

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

概要

38D2 群是采用了 740 族内核的 8 位单片机，和 38C2 群引脚兼容，具有 LCD 驱动控制电路、A/D 转换器和串行接口等附加功能。作为新功能追加了 ROM 校正功能和内部振荡器。

有 QzROM 版和闪存版两种。闪存版没有振荡开始模式的选择功能。振荡开始只有内部振荡器开始振荡。

有多种不同的内部存储器容量和封装种类的产品。有关详细内容请参照“产品型号、存储器容量和封装”。

特点

- 基本机器指令71
- 指令执行时间0.32 μ s
(在最短指令、振荡频率为 12.5MHz 时)
- 存储器容量 (QzROM 版)
 - ROM..... 16K ~ 60K 字节
 - RAM..... 640 ~ 2048 字节
- 存储器容量 (闪存版)
 - ROM 60K 字节
 - RAM..... 2048 字节
- 可编程输入/输出端口 51 个 (SEG 共用 24 个)
- 中断 18 个源、16 个向量
- 定时器 8 位 \times 4、16 位 \times 2
- 串行接口 8 位 \times 2
(时钟异步/同步)
- PWM 10 位 \times 2、16 位 \times 1 (IGBT 输出兼用)
- A/D 转换器 10 位 \times 8
(可在低速模式中运行)
- 看门狗定时器 8 位 \times 1
- ROM 校正功能 32 字节 \times 2 个向量
- LED 直接驱动端口 8 个
(平均电流 15mA、峰值电流 30mA、总和电流 90mA)
- LCD 驱动控制电路
 - 偏压 1/2、1/3 偏压
 - 分时 2、3、4 分时
 - 公共输出 4 个
 - 段输出 24 个
- 主时钟发生电路 内置 1 个电路
(陶瓷谐振器或者内部振荡器)
- 副时钟发生电路 内置 1 个电路
(外接晶体谐振器)

- 电源电压 (QzROM版)

[在2分频模式时]

$f(X_{IN}) \leq 12.5\text{MHz}$	4.5 ~ 5.5V
$f(X_{IN}) \leq 8\text{MHz}$	4.0 ~ 5.5V
$f(X_{IN}) \leq 4\text{MHz}$	2.0 ~ 5.5V
$f(X_{IN}) \leq 2\text{MHz}$	1.8 ~ 5.5V

[在4分频模式时]

$f(X_{IN}) \leq 16\text{MHz}$	4.5 ~ 5.5V
$f(X_{IN}) \leq 8\text{MHz}$	2.0 ~ 5.5V
$f(X_{IN}) \leq 4\text{MHz}$	1.8 ~ 5.5V

[在8分频模式时]

$f(X_{IN}) \leq 16\text{MHz}$	4.5 ~ 5.5V
$f(X_{IN}) \leq 8\text{MHz}$	2.0 ~ 5.5V
$f(X_{IN}) \leq 4\text{MHz}$	1.8 ~ 5.5V

[在低速模式时] 1.8 ~ 5.5V

【注】 在2分频模式中不能使用 $12.5\text{MHz} < f(X_{IN}) \leq 16\text{MHz}$ 。

- 电源电压 (闪存版)

[在2分频模式时]

$f(X_{IN}) \leq 12.5\text{MHz}$	4.5 ~ 5.5V
$f(X_{IN}) \leq 8\text{MHz}$	4.0 ~ 5.5V
$f(X_{IN}) \leq 4\text{MHz}$	2.7 ~ 5.5V

[在4分频模式时]

$f(X_{IN}) \leq 16\text{MHz}$	4.5 ~ 5.5V
$f(X_{IN}) \leq 8\text{MHz}$	2.7 ~ 5.5V

[在8分频模式时]

$f(X_{IN}) \leq 16\text{MHz}$	4.5 ~ 5.5V
$f(X_{IN}) \leq 8\text{MHz}$	2.7 ~ 5.5V

[在低速模式时] 2.7 ~ 5.5V

【注】 在2分频模式中不能使用 $12.5\text{MHz} < f(X_{IN}) \leq 16\text{MHz}$ 。

- 功耗 (QzROM版)

在2分频模式时 典型值32mW
($V_{CC}=5\text{V}$ 、 $f(X_{IN})=12.5\text{MHz}$ 、 $T_a=25^\circ\text{C}$)

在低速模式时 典型值18 μW
($V_{CC}=2.5\text{V}$ 、 $f(X_{IN})=\text{停止}$ 、 $f(X_{CIN})=32\text{kHz}$ 、 $T_a=25^\circ\text{C}$)

- 功耗 (闪存版)

在2分频模式时 典型值20mW
($V_{CC}=5\text{V}$ 、 $f(X_{IN})=12.5\text{MHz}$ 、 $T_a=25^\circ\text{C}$)

在低速模式时 典型值1.1mW
($V_{CC}=2.7\text{V}$ 、 $f(X_{IN})=\text{停止}$ 、 $f(X_{IN})=32\text{kHz}$ 、 $T_a=25^\circ\text{C}$)

- 工作环境温度 -20 ~ 85°C

闪存模式

- 编程/擦除电压 $V_{CC}=2.7 \sim 5.5V$
- 编程 字节单位
- 擦除 块擦除
- 程序/擦除控制方式
通过软件命令控制编程/擦除

应用

家电和民用设备等。

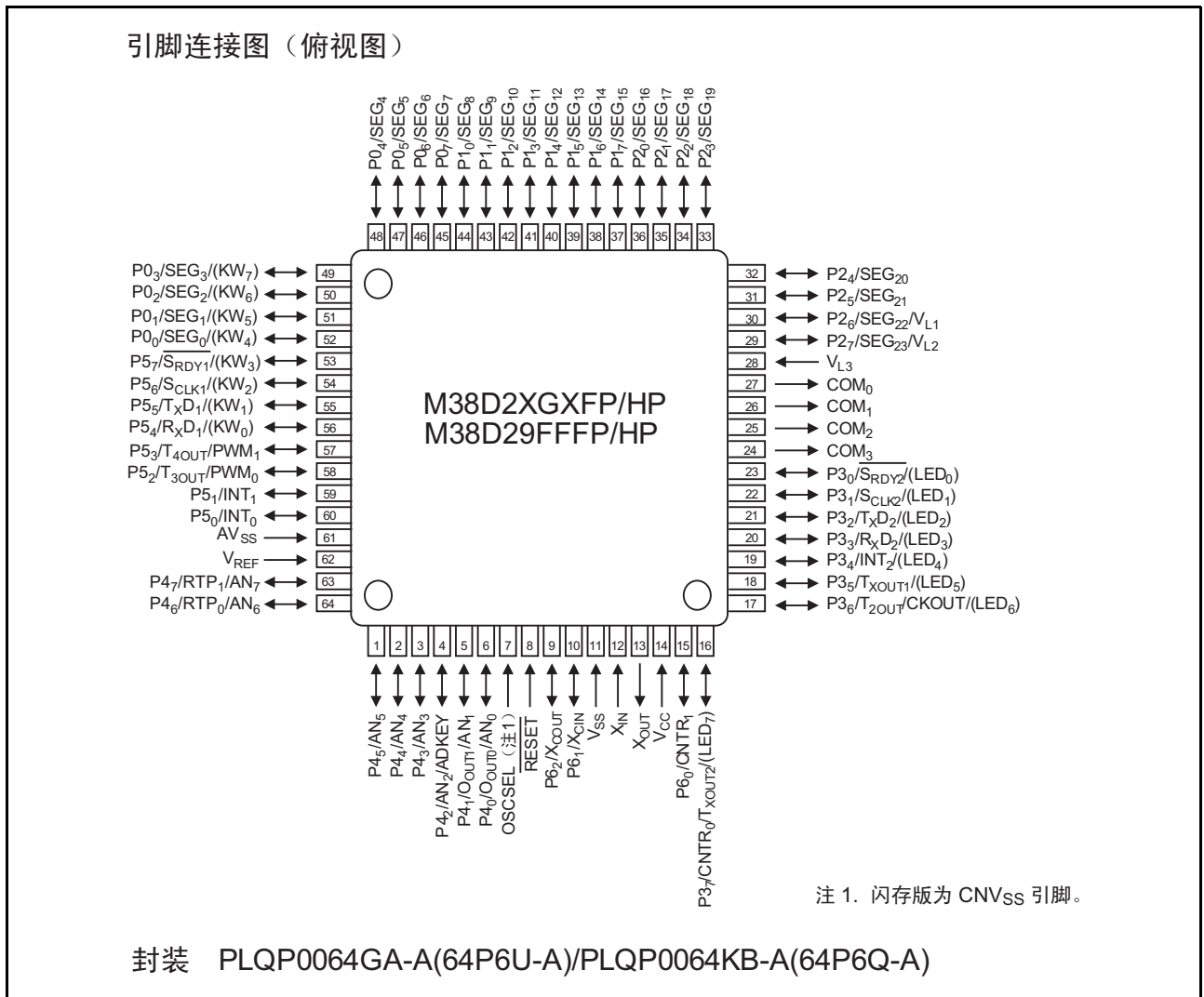


图 1 引脚连接图（俯视图）

表 1 性能概要 (1)

项 目		性 能	
基本指令数		71	
指令执行时间		0.32 μ s (在最短指令、振荡频率为 12.5MHz 时)	
振荡频率		16MHz (最大) (注 1)	
存储器容量 (QzROM 版)	ROM	16K ~ 60K 字节	
	RAM	640 ~ 2048 字节	
存储器容量 (闪存版)	ROM	60K 字节	
	RAM	2048 字节	
输入 / 输出端口	P0 ~ P5、P60 ~ P62	8 位 \times 6、3 位 \times 1 (SEG 共用 24 个)	
中断		18 个源、16 个向量 (包括键输入中断)	
定时器		8 位 \times 4、16 位 \times 2	
串行接口		8 位 \times 2 (时钟异步 / 同步)	
PWM		10 位 \times 2、16 位 \times 1 (IGBT 输出兼用)	
A/D 转换器		10 位 \times 8 (可在低速模式中运行)	
看门狗定时器		8 位 \times 1	
ROM 校正功能		32 字节 \times 2 个向量	
LED 直接驱动端口		8 个 (平均电流 15mA、峰值电流 30mA、 总和电流 90mA)	
LCD 驱动控制电路	偏压	1/2、1/3 偏压	
	分时	2、3、4 分时	
	公共输出	4 个	
	段输出	24 个	
主时钟发生电路		内置 1 个电路 (陶瓷谐振器或者内部振荡器)	
副时钟发生电路		内置 1 个电路 (外接晶体谐振器)	
电源电压 (QzROM 版)	在 2 分频模式时 (注 1)	$f(X_{IN}) \leq 12.5\text{MHz}$	4.5 ~ 5.5V
		$f(X_{IN}) \leq 8\text{MHz}$	4.0 ~ 5.5V
		$f(X_{IN}) \leq 4\text{MHz}$	2.0 ~ 5.5V
		$f(X_{IN}) \leq 2\text{MHz}$	1.8 ~ 5.5V
	在 4 分频模式时	$f(X_{IN}) \leq 16\text{MHz}$	4.5 ~ 5.5V
		$f(X_{IN}) \leq 8\text{MHz}$	2.0 ~ 5.5V
		$f(X_{IN}) \leq 4\text{MHz}$	1.8 ~ 5.5V
	在 8 分频模式时	$f(X_{IN}) \leq 16\text{MHz}$	4.5 ~ 5.5V
		$f(X_{IN}) \leq 8\text{MHz}$	2.0 ~ 5.5V
		$f(X_{IN}) \leq 4\text{MHz}$	1.8 ~ 5.5V
在低速模式时		1.8 ~ 5.5V	

【注】 1. 不能在 2 分频模式中使用 $12.5\text{MHz} < f(X_{IN}) \leq 16\text{MHz}$ 。

表 1 性能概要 (2)

项 目		性 能	
电源电压 (闪存版)	在 2 分频模式时 (注 1)	$f(X_{IN}) \leq 12.5\text{MHz}$	4.5 ~ 5.5V
		$f(X_{IN}) \leq 8\text{MHz}$	4.0 ~ 5.5V
		$f(X_{IN}) \leq 4\text{MHz}$	2.7 ~ 5.5V
	在 4 分频模式时	$f(X_{IN}) \leq 16\text{MHz}$	4.5 ~ 5.5V
		$f(X_{IN}) \leq 8\text{MHz}$	2.7 ~ 5.5V
	在 8 分频模式时	$f(X_{IN}) \leq 16\text{MHz}$	4.5 ~ 5.5V
		$f(X_{IN}) \leq 8\text{MHz}$	2.7 ~ 5.5V
在低速模式时		2.7 ~ 5.5V	
功耗 (QzROM 版)	在 2 分频模式时	典型值 32mW ($V_{CC}=5\text{V}$ 、 $f(X_{IN})=12.5\text{MHz}$ 、 $T_a=25^\circ\text{C}$)	
	低速模式	典型值 18 μW ($V_{CC}=2.5\text{V}$ 、 $f(X_{IN})=\text{停止}$ 、 $f(X_{CIN})=32\text{kHz}$ 、 $T_a=25^\circ\text{C}$)	
功耗 (闪存版)	在 2 分频模式时	典型值 20mW ($V_{CC}=5\text{V}$ 、 $f(X_{IN})=12.5\text{MHz}$ 、 $T_a=25^\circ\text{C}$)	
	在低速模式时	典型值 1.1mW ($V_{CC}=2.7\text{V}$ 、 $f(X_{IN})=\text{停止}$ 、 $f(X_{CIN})=32\text{kHz}$ 、 $T_a=25^\circ\text{C}$)	
输入 / 输出特性	输入 / 输出耐压	V_{CC}	
	输出电流	10mA	
工作环境温度		-20 ~ 85°C	
器件结构		CMOS 硅栅	
封装		64 引脚塑封 LQFP	

【注】 1. 不能在 2 分频模式中使用 $12.5\text{MHz} < f(X_{IN}) \leq 16\text{MHz}$ 。

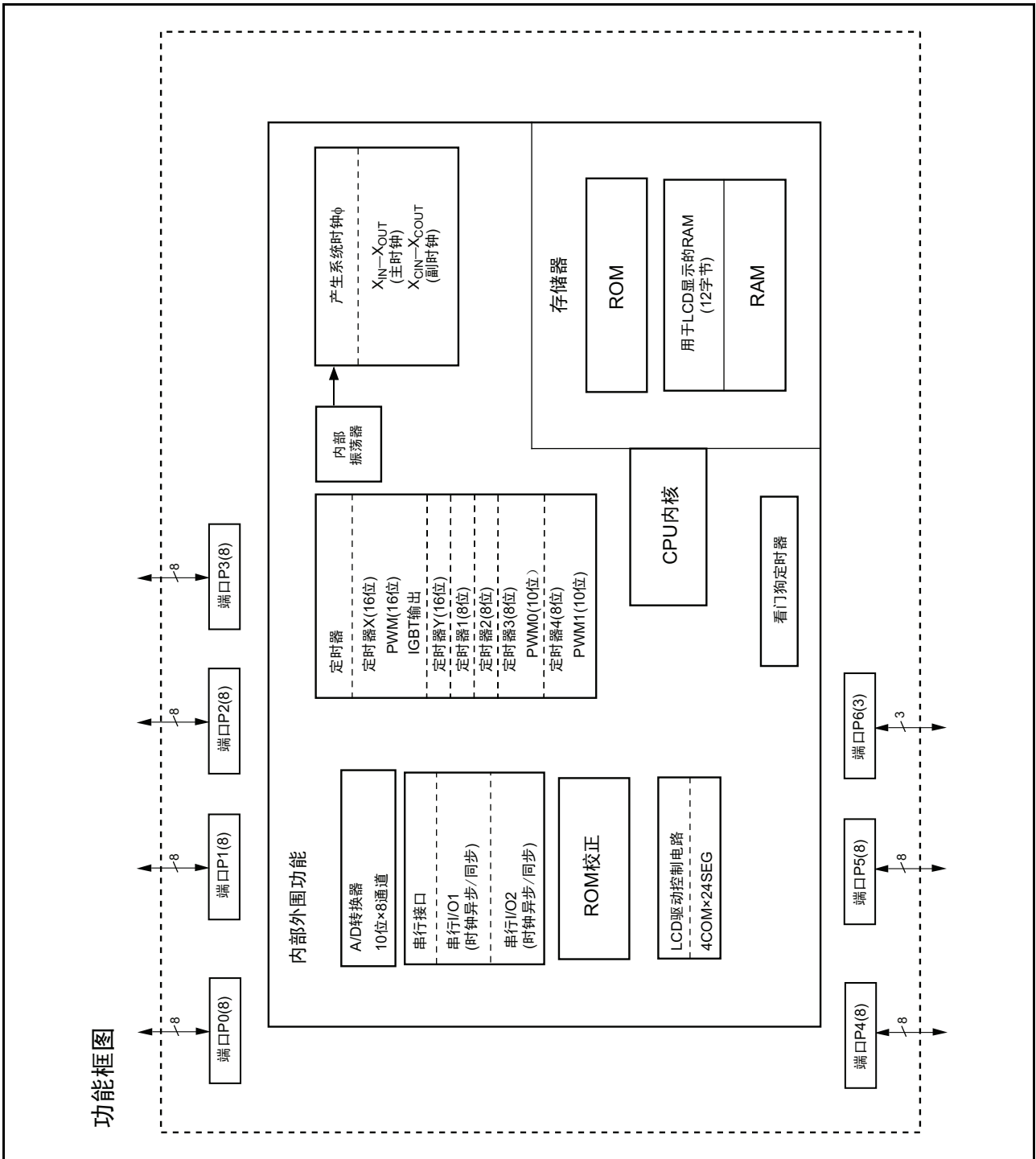


图 2 功能框图

表 2 引脚的功能说明 (1)

引脚名	名称	功能		
			端口以外的功能	
VCC、VSS	电源输入	给 VCC 外加 1.8 ~ 5.5V, 给 VSS 外加 0V。		
RESET	复位输入	是“L”电平有效的复位输入引脚。		
XIN	时钟输入	是主时钟发生电路的输入/输出引脚, 在 XIN 和 XOUT 之间连接陶瓷谐振器或者晶体谐振器。在使用外部时钟时, 将时钟振荡源连接到 XIN, XOUT 开路。内置反馈电阻。		
XOUT	时钟输出			
VL3	LCD 用电源输入	外加 $0 \leq V_{L1} \leq V_{L2} \leq V_{L3}$ 的电压, 给 LCD 外加 $0 \sim V_{L3}$ 的电压。		
COM0 ~ COM3	公共输出	是 LCD 的公共输出引脚。在 2 分时的情况下不使用 COM2 和 COM3; 在 3 分时的情况下不使用 COM3。		
P00/SEG0/(KW4) ~ P03/SEG3/(KW7)	输入/输出端口 P0	是 8 位输入/输出端口。输入为 CMOS 输入电平, 输出为 CMOS 三态输出。可通过程序以位单位指定输入/输出, 并能以位单位进行上拉控制。	LCD 段输出引脚	键输入中断的输入引脚
P04/SEG4 ~ P07/SEG7				
P10/SEG8 ~ P17/SEG15	输入/输出端口 P1	是 8 位输入/输出端口。输入为 CMOS 输入电平, 输出为 CMOS 三态输出。可通过程序以位为单位指定输入/输出, 并能以 4 位单位进行上拉控制。		
P20/SEG16 ~ P25/SEG21	输入/输出端口 P2	是 8 位输入/输出端口。输入为 CMOS 输入电平, 输出为 CMOS 三态输出。可通过程序以位单位指定输入/输出, 并能以位单位进行上拉控制。		LCD 电源输入
P26/SEG22/VL1 P27/SEG23/VL2				
P30/ $\overline{\text{SRDY}}_2$ /(LED0) P31/SCLK2/(LED1) P32/TxD2/(LED2) P33/RxD2/(LED3)	输入/输出端口 P3	是 8 位输入/输出端口。输入为 CMOS 输入电平, 输出为 CMOS 三态输出。可通过程序以位单位指定输入/输出, 并能以 4 位单位进行上拉控制。	串行 I/O2 的功能引脚	
P34/INT2/(LED4)			外部中断引脚	
P35/TXOUT1/(LED5) P36/T2OUT/CKOUT/(LED6)			定时器 X 和定时器 2 的输出引脚	
P37/CNTR0/TXOUT2/(LED7)			定时器 X 的功能引脚	
P40/OOUT0/AN0 P41/OOUT1/AN1	输入/输出端口 P4	是 8 位输入/输出端口。输入为 CMOS 输入电平, 输出为 CMOS 三态输出。可通过程序以位单位指定输入/输出, 并能以 4 位单位进行上拉控制。	A/D 转换器的输入引脚	振荡外部输出引脚
P42/AN2/ADKEY				ADKEY
P43/AN3 ~ P45/AN5				
P46/RTP0/AN6 P47/RTP1/AN7				实时端口功能引脚

表 2 引脚的功能说明 (2)

引脚名	名称	功能	
			端口以外的功能
P50/INT0 P51/INT1	输入 / 输出端口 P5	是 8 位输入 / 输出端口。输入为 CMOS 输入电平，输出为 CMOS 三态输出。可通过程序以位单位指定输入 / 输出，并能以 4 位单位进行上拉控制。	外部中断引脚
P52/T3OUT/PWM0 P53/T4OUT/PWM1			定时器 3 和定时器 4 的输出引脚 PWM 输出引脚
P54/RxD1/(KW0) P55/TxD1/(KW1) P56/SCLK/(KW2) P57/SRDY1/(KW3)			串行 I/O1 的功能引脚 键输入中断的输入引脚
P60/CNTR1			定时器 Y 的功能引脚
P61/XCIN P62/XCOUT	输入 / 输出端口 P6	是 3 位输入 / 输出端口。输入为 CMOS 输入电平，输出为 CMOS 三态输出。可通过程序以位单位指定输入 / 输出，并能以 3 位单位进行上拉控制。	副时钟发生电路的输入 / 输出引脚 (连接谐振器)
OSCSEL (仅限 QzROM 版)	振荡开始的选择 引脚	选择是通过 X _{IN} 、X _{OUT} 间的谐振器开始振荡，还是通过内部振荡器开始振荡。 QzROM 编程模式时，为 V _{PP} 电源输入引脚。	
CNV _{SS} (仅限闪存版)	CNV _{SS}	是控制芯片运行模式的引脚。必须连接到 V _{SS} 。	
V _{REF}	基准电压输入	是 A/D 转换器的基准电压输入引脚。	
AV _{SS}	模拟电源输入	是 A/D 转换器的电源输入引脚，必须将此引脚连接到 V _{SS} 。	

产品型号、存储器容量和封装

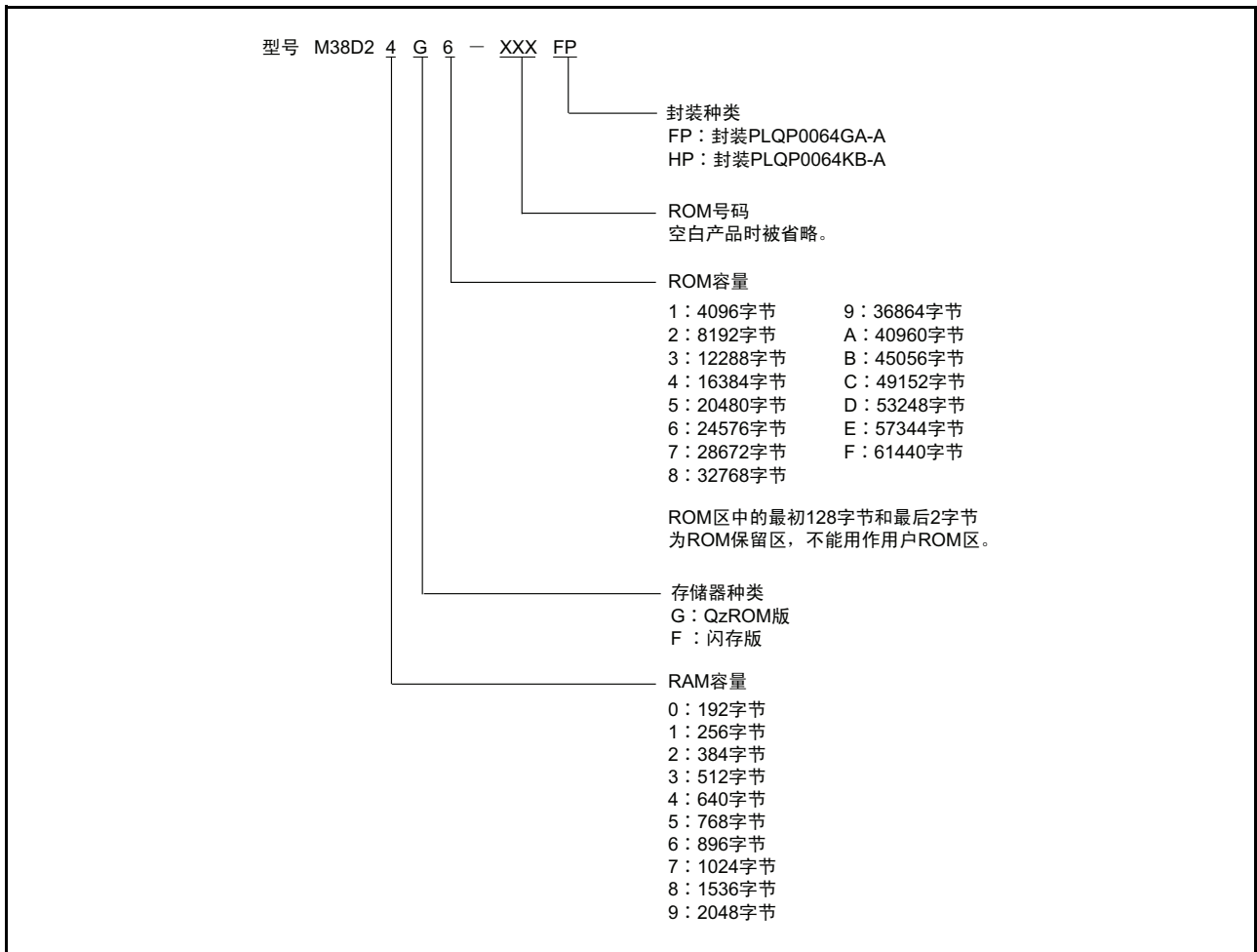


图3 产品型号、存储器容量和封装

群的展开

38D2 群正在按如图 4 所示的计划展开。

存储器容量

<QzROM 版>

ROM 容量 16K ~ 60K 字节

RAM 容量 640 ~ 2048 字节

<闪存版>

ROM 容量 60K 字节

RAM 容量 2048 字节

封装

PLQP0064GA-A(64P6U-A) 0.8mm 节距塑封 LQFP

PLQP0064KB-A(64P6Q-A) 0.5mm 节距塑封 LQFP

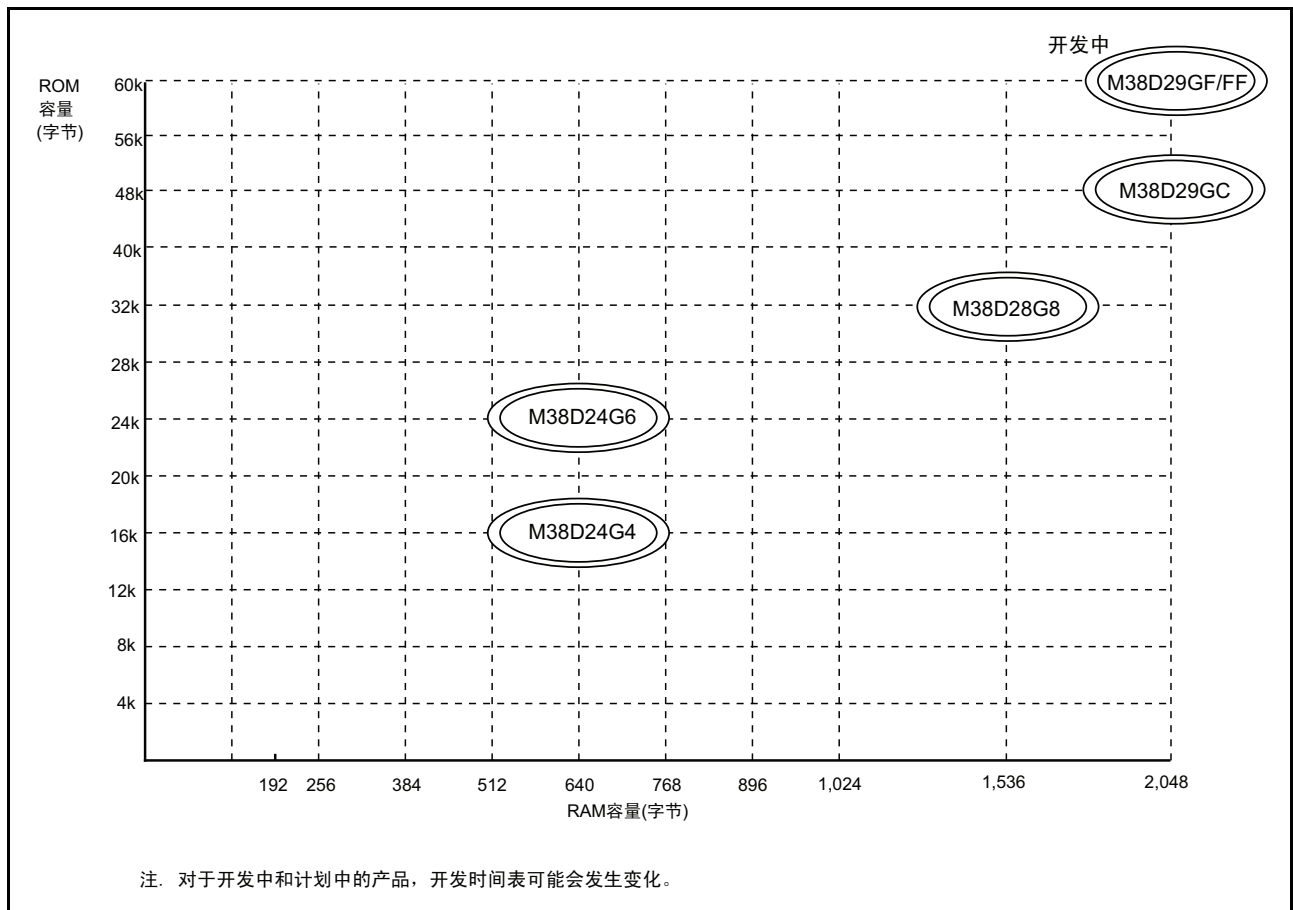


图 4 38D2 群 ROM、RAM 展开计划

现在计划支持的产品如表 3 所示。

表 3 支持产品一览表

2007 年 4 月

产品型号	ROM 容量 (字节) () 内为用户 ROM 容量	RAM 容量 (字节)	封装	备注
M38D29GF-XXXFP	61440 (61310)	2048	PLQP0064GA-A	
M38D29GF-XXXHP			PLQP0064KB-A	
M38D29GFFP			PLQP0064GA-A	空白产品
M38D29GFHP			PLQP0064KB-A	空白产品
M38D29GC-XXXFP	49152 (49022)	2048	PLQP0064GA-A	
M38D29GC-XXXHP			PLQP0064KB-A	
M38D29GCFP			PLQP0064GA-A	空白产品
M38D29GCHP			PLQP0064KB-A	空白产品
M38D28G8-XXXFP	32768 (32638)	1536	PLQP0064GA-A	
M38D28G8-XXXHP			PLQP0064KB-A	
M38D28G8FP			PLQP0064GA-A	空白产品
M38D28G8HP			PLQP0064KB-A	空白产品
M38D24G6-XXXFP	24576 (24446)	640	PLQP0064GA-A	
M38D24G6-XXXHP			PLQP0064KB-A	
M38D24G6FP			PLQP0064GA-A	空白产品
M38D24G6HP			PLQP0064KB-A	空白产品
M38D24G4-XXXFP	16384 (16254)	640	PLQP0064GA-A	
M38D24G4-XXXHP			PLQP0064KB-A	
M38D24G4FP			PLQP0064GA-A	空白产品
M38D24G4HP			PLQP0064KB-A	空白产品
M38D29FFFP	61440	2048	PLQP0064GA-A	闪存版
M38D29FFHP			PLQP0064KB-A	

表 4 QzROM 版和闪存版的不同点

复位时和从停止模式返回时的振荡电路	QzROM 版		闪存版
	OSCSEL= “H”	OSCSEL= “L”	CNVSS= “L”
通过 OSCSEL 引脚可以从主时钟 X _{IN} 或内部振荡器中选择	振荡	停止	内部振荡器
OSCSEL/CNV _{SS} 引脚处理	OSCSEL= “H”	OSCSEL= “L”	CNV _{SS} = “L”
复位时和从停止模式返回时的主时钟振荡	振荡	停止	停止
复位时和从停止模式返回时的内部振荡器振荡	停止	振荡	振荡
复位时和从停止模式返回时的系统时钟 ϕ 振荡	f(X _{IN})/8	f(OCO)/32	f(OCO)/32
安装主时钟振荡电路	必须	任意	任意
低速模式时的内部振荡器振荡	停止		因为不停止，所以必须使用内部振荡器停止位使其停止
内部振荡器模式时对内部振荡器停止位写 “1”	内部振荡器停止		内部振荡器不停止
复位输入 “L” 电平的脉冲宽度	大于等于 2 μ s		大于等于 2ms
绝对最大额定值 OSCSEL/CNCV _{SS} 引脚	-0.3 ~ 8.0		-0.3 ~ V _{CC} +0.3
最低工作电源电压	1.8V		2.7V
A/D 转换器最低工作电源电压	2.0V		2.7V

【注】 1. 详细内容请在正文中确认。

因 QzROM 版和闪存版的不同产生的注意点

1. 因为内部存储器的不同，使一部分的存储器配置、编程模式、写入电路不同。
2. X_{IN}-X_{OUT}、X_{CIN}-X_{COU}T 的振荡电路常数有可能不同。
3. 在 QzROM 版和闪存版中，因为制造工艺、内部 ROM、电路图的不同，使在电特性范围内的特性值、工作容限、A/D 转换精度、噪声耐量、噪声辐射量等的指标值有可能不同。
4. 从闪存版转换到 QzROM 版时，必须实施与在闪存版实施的系统评价试验同等的试验。
5. 使用仿真器（仿真器 MCU 电路板：M38D2 9T-RLFS）时，关于电特性以外的功能，与 QzROM 版的运行相同。

功能块的运行说明

中央运算处理器（CPU）

38D2 群具有和 740 族共同的 CPU。关于各指令的运行，请参照 740 族软件手册。
依存于产品种类的指令如下：

1. 没有 FST、SLW 指令。
2. 能使用 MUL、DIV 指令。
3. 能使用 WIT 指令。
4. 能使用 STP 指令。

中央运算处理器（CPU）有 6 个寄存器，CPU 的寄存器结构如图 5 所示。

【累加器】（A）

累加器是 8 位寄存器。以此寄存器为核心执行运算、传送等数据处理。

【变址寄存器 X】（X）

变址寄存器 X 是 8 位寄存器。在变址寻址方式中，使用此寄存器进行寻址。

【变址寄存器 Y】（Y）

变址寄存器 Y 是 8 位寄存器。在变址寻址方式中，使用此寄存器进行寻址。

【栈指针】（S）

栈指针是 8 位寄存器。在调用子程序或者中断时，此寄存器指向保存寄存器的存储位置（堆栈）的起始地址。

用此寄存器指定堆栈的低 8 位地址。高 8 位地址由栈页选择位的内容决定。此位是“0”时，高 8 位为“00₁₆”；此位是“1”时，高 8 位为“01₁₆”。

保存和返回到堆栈的运行如图 6 所示；累加器和处理状态寄存器的保存指令及返回指令如表 5 所示。对这里所列出以外的必要的寄存器，必须通过程序保存。

【程序计数器】（PC）

程序计数器是由 PC_H 和 PC_L 构成的 16 位计数器，PC_H 和 PC_L 都是 8 位结构。程序计数器指定下一个应该执行的程序存储地址。

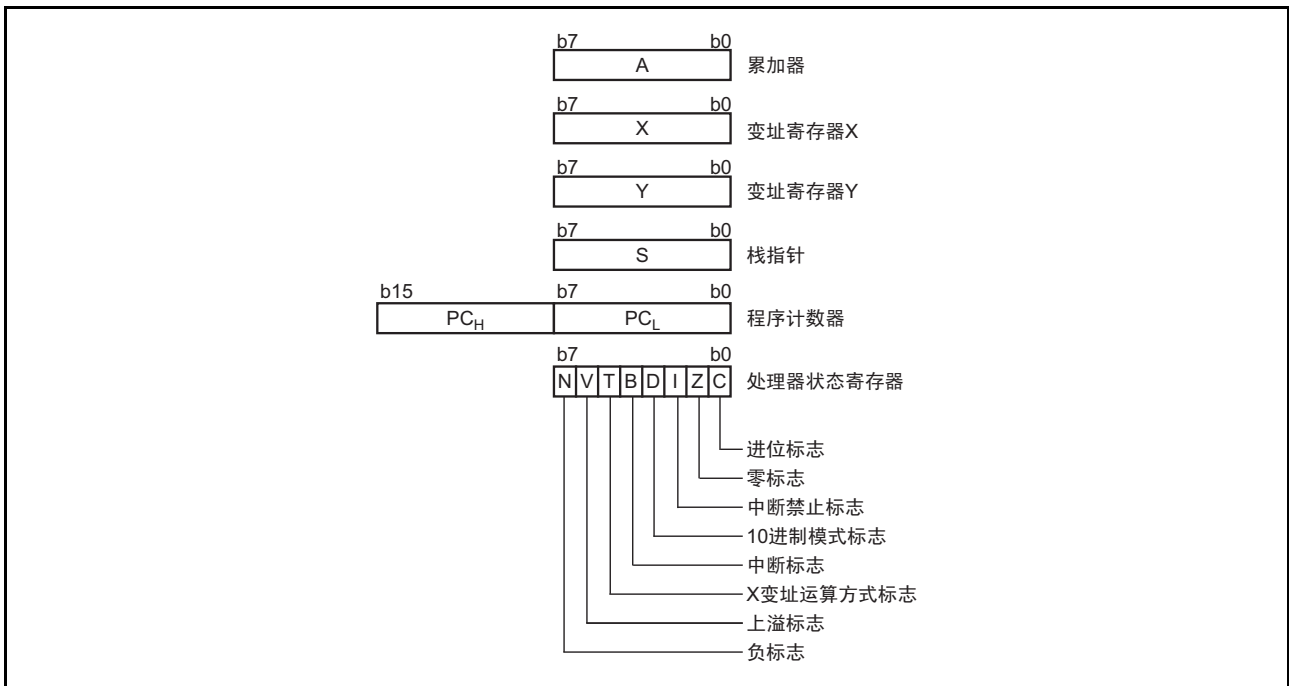


图5 740 族 CPU 的结构

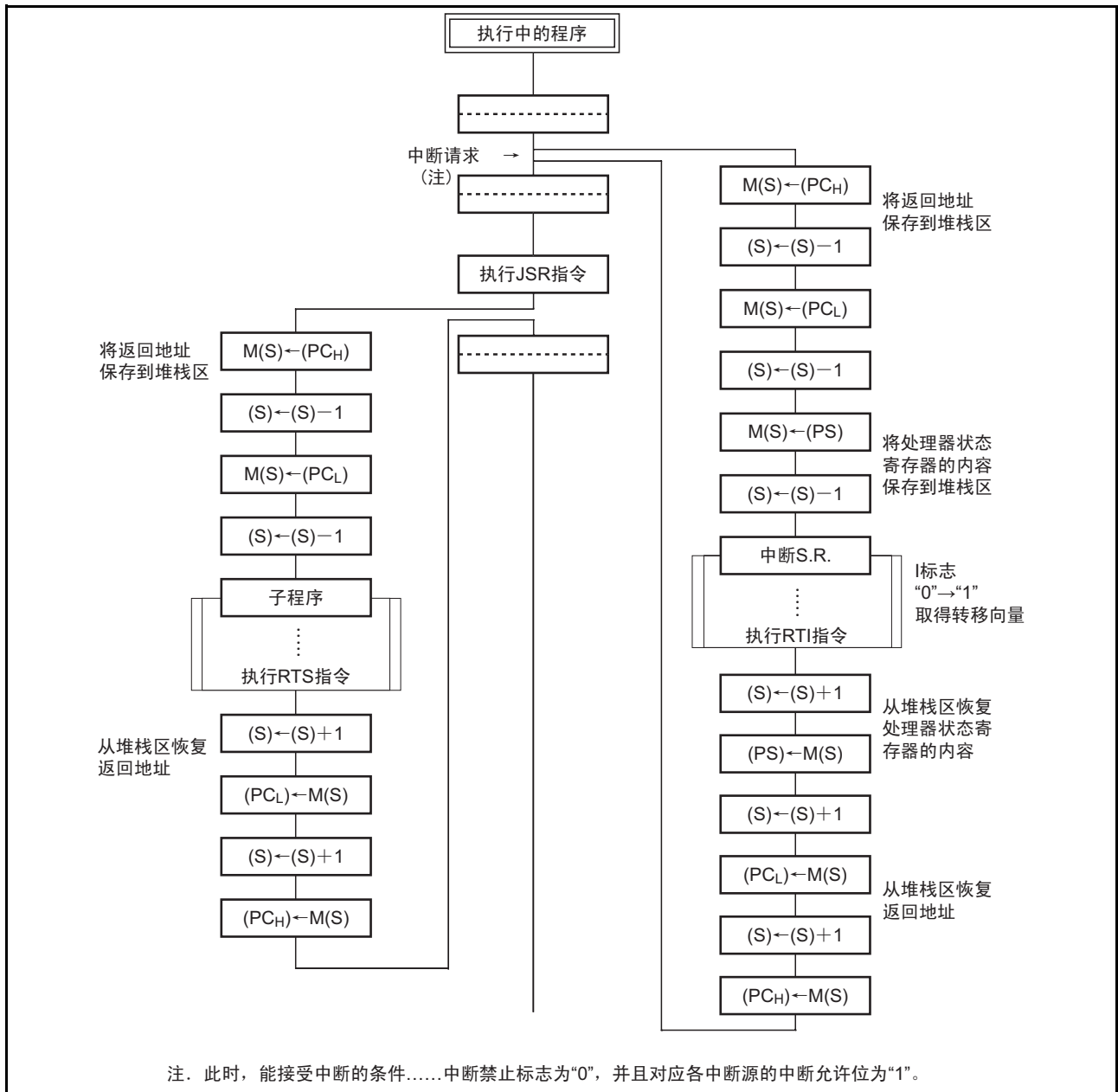


图 6 保存和返回到堆栈的运行

表 5 累加器和处理器状态寄存器的保存指令和返回指令

	保存到堆栈的指令	从堆栈返回的指令
累加器	PHA	PLA
处理器状态寄存器	PHP	PLP

【处理器状态寄存器】（PS）

处理器状态寄存器是 8 位寄存器，由保持刚进行运算后的状态的 5 个标志和决定 MCU 运行的 3 个标志构成。

C、Z、V 和 N 标志能用于转移指令的检测，但是在 10 进制模式时，Z、V 和 N 标志无效。

- bit0: 进位标志（C）
保持来自运算处理后的算术逻辑运算器的进位或者借位。也可通过移位指令或者循环指令来改变。
- bit1: 零标志（Z）
当运算处理或者数据传送的结果是“0”时，此标志为“1”。结果不是“0”时，此标志为“0”。
- bit2: 中断禁止标志（I）
用于禁止除BRK指令以外的全部中断的标志。当此标志为“1”时，为中断禁止状态。
- bit3: 10进制运算标志（D）
决定是用2进制还是用10进制进行加减运算的标志。当此标志为“1”时，将1字作为2位的10进制数进行运算。自动进行10进制调整，但是只有ADC指令和SBC指令能进行10进制运算。
- bit4: 中断标志（B）
用于识别BRK指令中断的标志。在BRK指令中断时，此标志自动置“1”。BRK指令中断以外的中断时，此标志置“0”，且保存到堆栈。
- bit5: X变址运算方式标志（T）
当此标志为“0”时，在累加器和存储器之间进行运算；当此标志为“1”时，不通过累加器，而直接在存储器和存储器之间进行运算。
- bit6: 上溢标志（V）
在将1字作为带符号的2进制数进行加减运算时，使用此标志。在加减运算结果大于+127或者小于-128时，此标志为“1”。另外，如果执行BIT指令，执行BIT指令的存储器的bit6就存入此标志。
- bit7: 负标志（N）
当运算处理或者数据传送的结果为负时，此标志为“1”。另外，如果执行BIT指令，执行BIT指令的存储器的bit7就存入此标志。

表 6 置位或者清除处理器状态寄存器各标志的指令

	C 标志	Z 标志	I 标志	D 标志	B 标志	T 标志	V 标志	N 标志
置位指令	SEC	—	SEI	SED	—	SET	—	—
清除指令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPU 模式寄存器】 CPUM

在 CPU 模式寄存器中分配了栈页选择位和内部系统时钟控制位等。

此寄存器被分配到地址 003B₁₆。

在 QzROM 版，根据 OSCSEL 引脚的状态决定复位解除后的运行模式。

如果将 OSCSEL 引脚置为 GND 电平，就只有内部振荡器开始振荡。X_{IN}-X_{OUT} 的振荡为停止状态，X_{CIN}-X_{COU}T 引脚用作输入 / 输出端口，运行模式为内部振荡器模式。

如果将 OSCSEL 引脚置为 V_{CC} 电平，就只有 X_{IN}-X_{OUT} 开始振荡。内部振荡器为停止状态，X_{CIN}-X_{COU}T 引脚用作输入 / 输出端口，运行模式为 8 分频模式。

闪存版只有内部振荡器开始振荡。X_{IN}-X_{OUT} 的振荡为停止状态。X_{CIN}-X_{COU}T 引脚用作输入 / 输出端口，运行模式为内部振荡器模式。

使用低速、X_{IN} 模式时，必须在允许 X_{IN} 和 X_{OUT}、X_{CIN} 和 X_{COU}T 之间的振荡后，通过内部振荡器模式等等待振荡稳定，然后进行转换。

如果不使用 X_{IN} 模式（不进行 X_{IN}-X_{OUT} 之间的振荡和向 X_{IN} 的外部时钟输入），就必须通过电阻将 X_{IN} 连接到 V_{CC}，X_{COU}T 置为开路。

【CPU 模式寄存器 2】 CPUM2

CPU 模式寄存器 2 分配了用于内部振荡器控制的位。

此寄存器被分配到地址 0011₁₆。

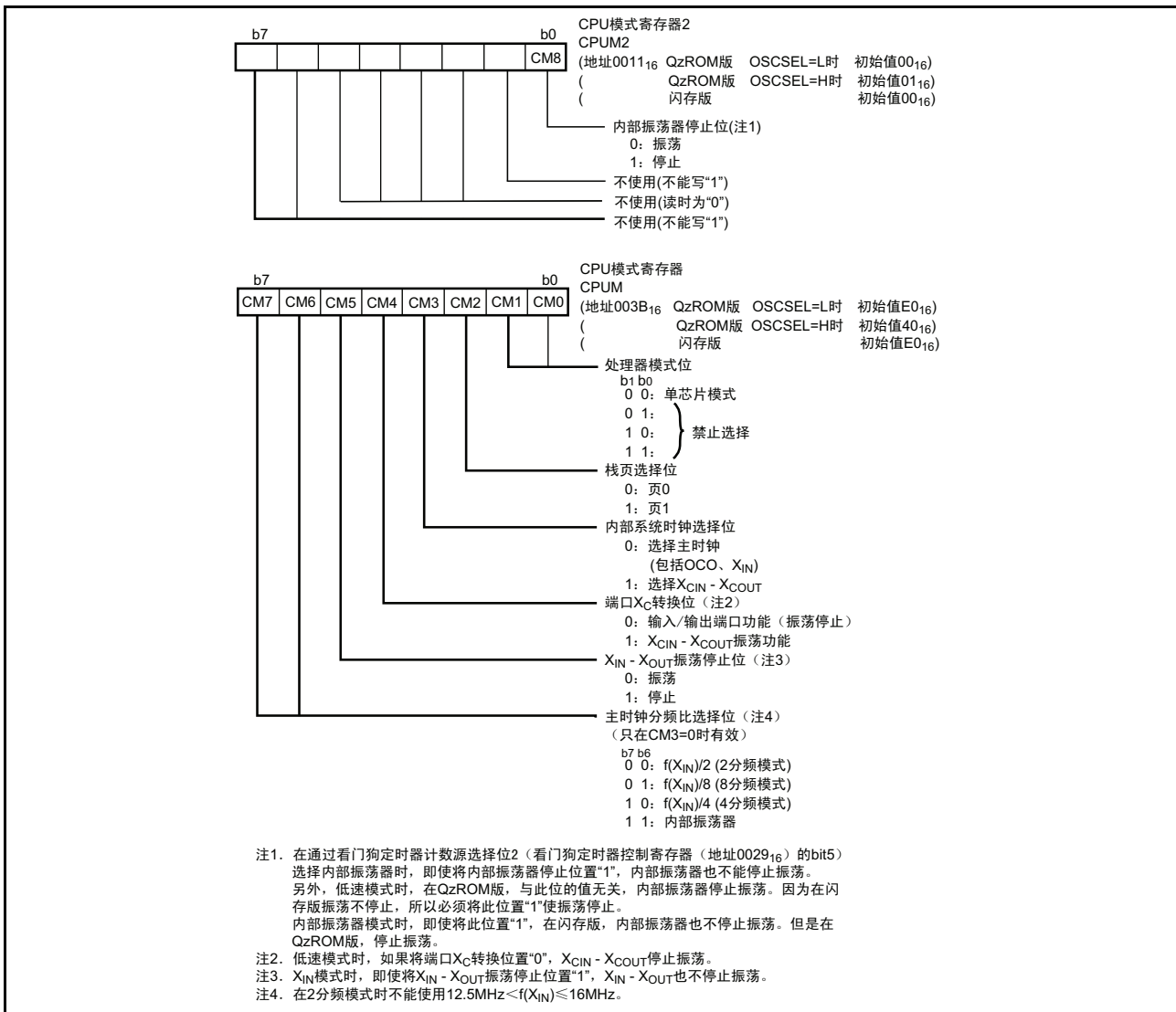


图 7 CPU 模式寄存器的结构

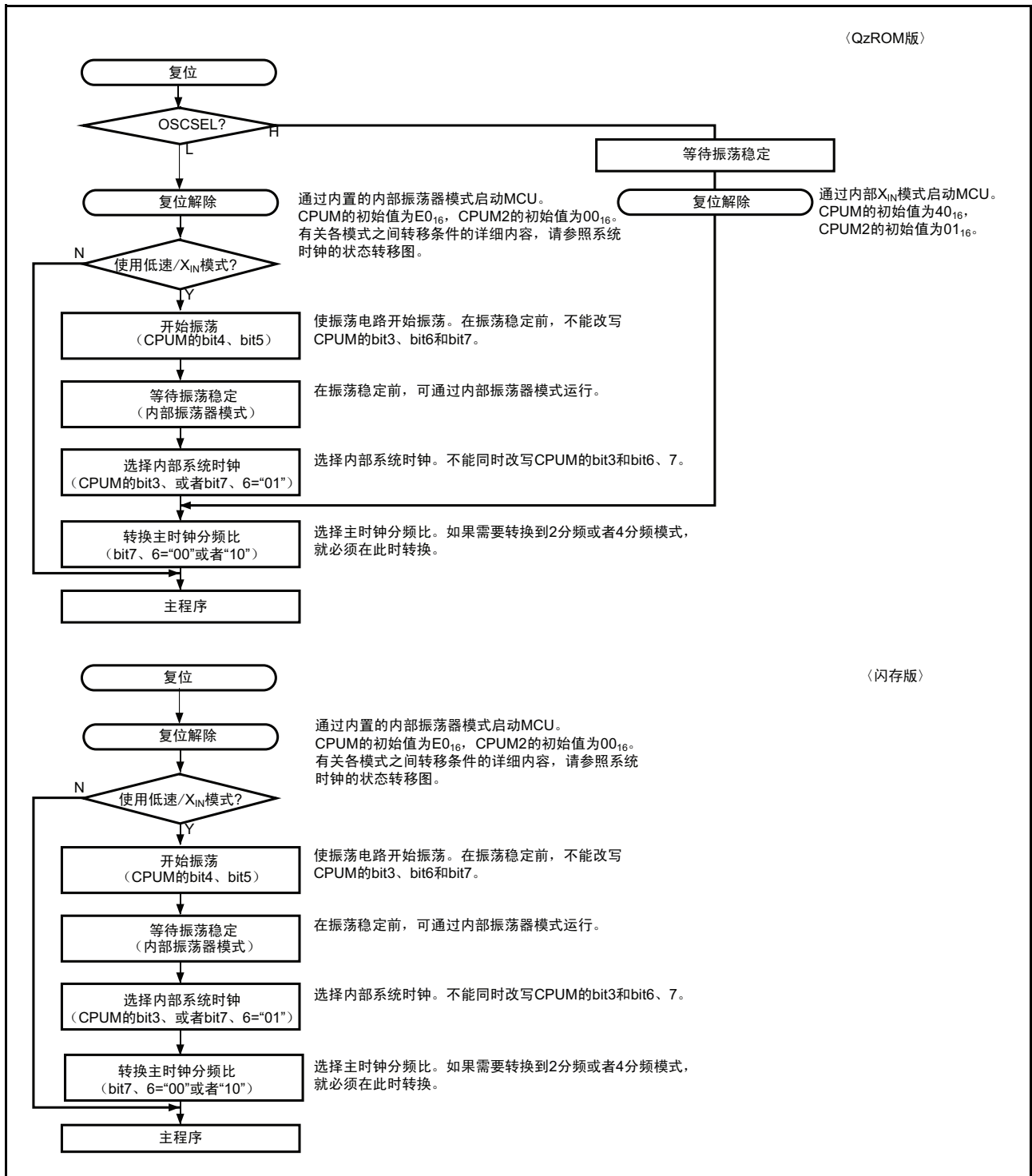


图 8 CPU 模式寄存器的转换步骤

存储器

SFR 区

此区域在零页 ROM 码内，并配置了输入 / 输出端口、定时器等控制寄存器。

RAM

用于数据保存、子程序调用以及中断时的堆栈等。

ROM

QzROM 版的最初 128 字节和最后 2 字节是用于检查产品的保留区，除此以外是用户区。另外地址 FFDB₁₆ 的 1 字节也为保留区。

闪存版可以在 ROM 保留区编程 / 擦除。

中断向量区

是复位和中断的向量地址保存区。

零页

是能通过使用零页寻址方式以 2 字存取的区域。

专用页

它是能通过使用专用页寻址方式以 2 字存取的区域。

QzROM 版的 ROM 码保护地址（地址 FFDB₁₆）

QzROM 版的 ROM 保留区的地址 FFDB₁₆ 是 ROM 码保护地址。如果选择“串行编程器的保护位写”或者在本公司已编程的产品出货时选择“有保护”时，“00₁₆”或者“FE₁₆”就被写到此地址。如果将“00₁₆”或者“FE₁₆”写到 ROM 码保护地址，保护功能就有效，此后串行编程器不能读写对应的该区域。

在由串行编程器对 QzROM 空白产品进行 ROM 写操作时，通过选择“保护位写”来保护 ROM 码。

能分 2 次进行保护，从 ROM 起始地址到“EFFF₁₆”的区域为保护区 1。

对于 QzROM 已编程出货产品，本公司在进行编程时，将“00₁₆”（全区有保护）、“FE₁₆”（保护区 1 有保护）和“FF₁₆”（无保护）中的一个写到 ROM 码保护地址。在订货时，必须用 ROM 选项（在掩模转换实用程序中记为“掩模选项”）选择写“00₁₆”还是“FE₁₆”或是“FF₁₆”。

关于闪存版的 ROM 码保护，请参照“闪存模式”。

注意事项

由于在复位时 RAM 的内容不定，所以在使用前请务必设定初始值。

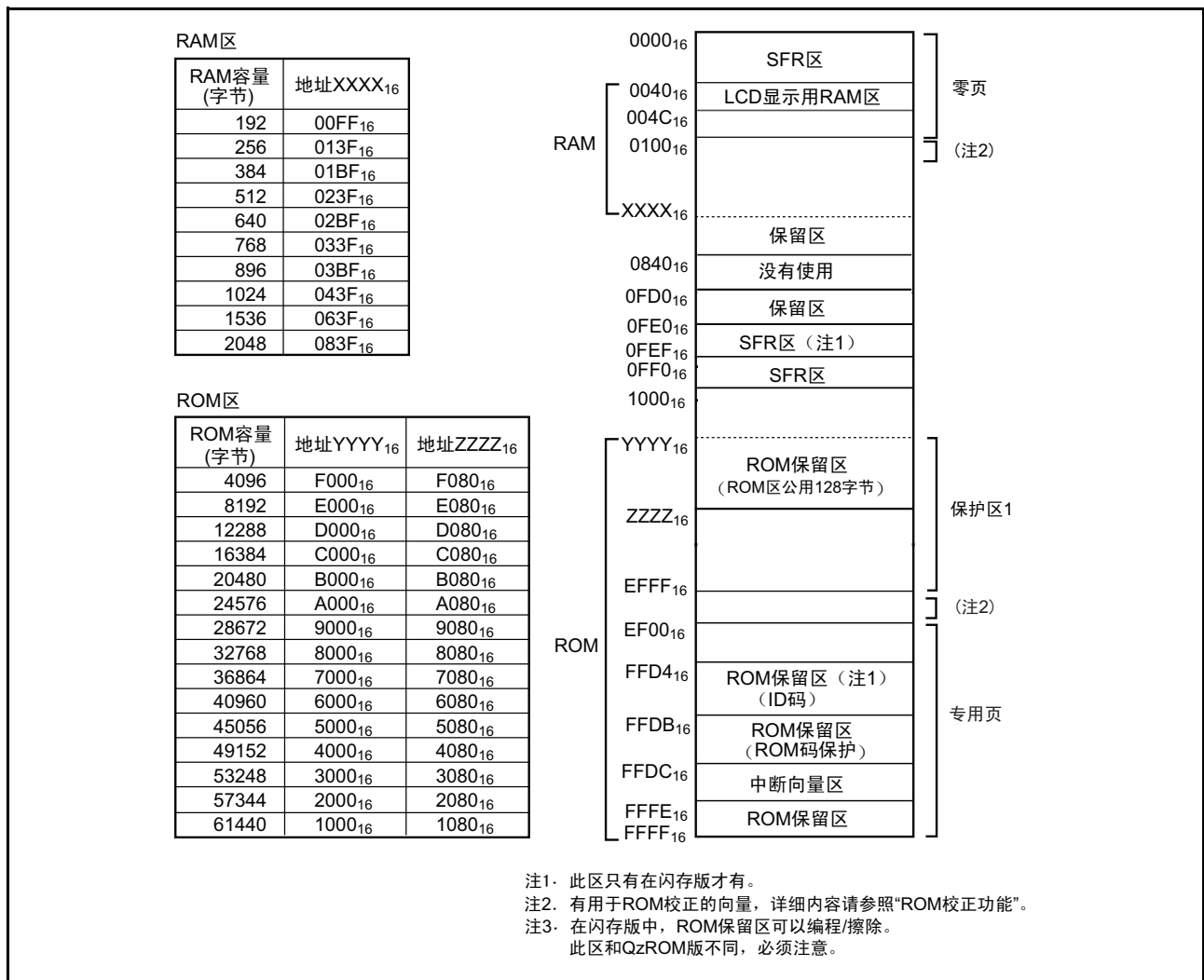


图9 存储器配置图

0000 ₁₆	端口P0(P0)	0020 ₁₆	定时器1(T1)
0001 ₁₆	端口P0方向寄存器(P0D)	0021 ₁₆	定时器2(T2)
0002 ₁₆	端口P1(P1)	0022 ₁₆	定时器3(T3)
0003 ₁₆	端口P1方向寄存器(P1D)	0023 ₁₆	定时器4(T4)
0004 ₁₆	端口P2(P2)	0024 ₁₆	PWM01寄存器(PWM01)
0005 ₁₆	端口P2方向寄存器(P2D)	0025 ₁₆	定时器12的模式寄存器(T12M)
0006 ₁₆	端口P3(P3)	0026 ₁₆	定时器34的模式寄存器(T34M)
0007 ₁₆	端口P3方向寄存器(P3D)	0027 ₁₆	定时器1234的模式寄存器(T1234M)
0008 ₁₆	端口P4(P4)	0028 ₁₆	定时器1234的分频选择寄存器(PRE1234)
0009 ₁₆	端口P4方向寄存器(P4D)	0029 ₁₆	看门狗定时器的控制寄存器(WDTCON)
000A ₁₆	端口P5(P5)	002A ₁₆	定时器X(低位)(TXL)
000B ₁₆	端口P5方向寄存器(P5D)	002B ₁₆	定时器X(高位)(TXH)
000C ₁₆	端口P6(P6)	002C ₁₆	定时器X(扩展)(TXEX)
000D ₁₆	端口P6方向寄存器(P6D)	002D ₁₆	定时器X的模式寄存器(TXM)
000E ₁₆		002E ₁₆	定时器X的控制寄存器1(TXCON1)
000F ₁₆		002F ₁₆	定时器X的控制寄存器2(TXCON2)
0010 ₁₆	振荡输出控制寄存器(OSCOUT)	0030 ₁₆	比较寄存器1(低位)(COMP1L)
0011 ₁₆	CPU模式寄存器2(CPUM2)	0031 ₁₆	比较寄存器1(高位)(COMP1H)
0012 ₁₆	RRF寄存器(RRFR)	0032 ₁₆	比较寄存器2(低位)(COMP2L)
0013 ₁₆	LCD模式寄存器(LM)	0033 ₁₆	比较寄存器2(高位)(COMP2H)
0014 ₁₆	LCD电源控制寄存器(VLCON)	0034 ₁₆	比较寄存器3(低位)(COMP3L)
0015 ₁₆	AD控制寄存器(ADCON)	0035 ₁₆	比较寄存器3(高位)(COMP3H)
0016 ₁₆	AD转换寄存器(低位)(ADL)	0036 ₁₆	定时器Y(低位)(TYL)
0017 ₁₆	AD转换寄存器(高位)(ADH)	0037 ₁₆	定时器Y(高位)(TYH)
0018 ₁₆	发送/接收缓冲寄存器1(TB1/RB1)	0038 ₁₆	定时器Y的模式寄存器(TYM)
0019 ₁₆	串行I/O1状态寄存器(SIO1STS)	0039 ₁₆	定时器Y的控制寄存器(TYCON)
001A ₁₆	串行I/O1控制寄存器(SIO1CON)	003A ₁₆	中断边沿选择寄存器(INTEDGE)
001B ₁₆	UART1控制寄存器(UART1CON)	003B ₁₆	CPU模式寄存器(CPUM)
001C ₁₆	波特率发生器1(BRG1)	003C ₁₆	中断请求寄存器1(IREQ1)
001D ₁₆	发送/接收缓冲寄存器2(TB2/RB2)	003D ₁₆	中断请求寄存器2(IREQ2)
001E ₁₆	串行I/O2状态寄存器(SIO2STS)	003E ₁₆	中断控制寄存器1(ICON1)
001F ₁₆	串行I/O2控制寄存器(SIO2CON)	003F ₁₆	中断控制寄存器2(ICON2)
0FE0 ₁₆	闪存控制寄存器0(FMCR0)	0FF0 ₁₆	PULL寄存器(PULL)
0FE1 ₁₆	闪存控制寄存器1(FMCR1)	0FF1 ₁₆	UART2控制寄存器(UART2CON)
0FE2 ₁₆	闪存控制寄存器2(FMCR2)	0FF2 ₁₆	波特率发生器2(BRG2)
0FE3 ₁₆	保留(注1)	0FF3 ₁₆	时钟输出控制寄存器(CKOUT)
0FE4 ₁₆	保留(注1)	0FF4 ₁₆	段输出禁止寄存器0(SEG0)
0FE5 ₁₆	保留(注1)	0FF5 ₁₆	段输出禁止寄存器1(SEG1)
0FE6 ₁₆	保留(注1)	0FF6 ₁₆	段输出禁止寄存器2(SEG2)
0FE7 ₁₆	保留(注1)	0FF7 ₁₆	键输入控制寄存器(KIC)
0FE8 ₁₆	保留(注1)	0FF8 ₁₆	ROM校正地址1高位寄存器(RCA1H)
0FE9 ₁₆	保留(注1)	0FF9 ₁₆	ROM校正地址1低位寄存器(RCA1L)
0FEA ₁₆	保留(注1)	0FFA ₁₆	ROM校正地址2高位寄存器(RCA2H)
0FEB ₁₆	保留(注1)	0FFB ₁₆	ROM校正地址2低位寄存器(RCA2L)
0FEC ₁₆	保留(注1)	0FFC ₁₆	ROM校正允许寄存器(RCR)
0FED ₁₆	保留(注1)	0FFD ₁₆	保留(注1)
0FEE ₁₆	保留(注1)	0FFE ₁₆	
0FEF ₁₆	保留(注1)	0FFF ₁₆	

注1. 因为是保留区, 所以不能写入任何数据。
注2. 不能进行SFR空白区的存储器存取。
注3. 只有闪存版才有0FE0₁₆~0FEF₁₆。

图 10 SFR (特殊功能寄存器) 存储器映像

输入 / 输出端口

方向寄存器（端口 P0 ~ P6）

输入 / 输出端口 P0 ~ P6 有方向寄存器，可按位单位设定是用作输入端口还是用作输出端口。如果将方向寄存器清“0”，该引脚就为输入端口。另外，如果将方向寄存器和段输出禁止寄存器都置“1”，端口 P0 ~ P2 就为输出端口；如果将方向寄存器置“1”，端口 P3 ~ P6 就为输出端口。

如果从被设定为输出端口的引脚进行读操作，就读取端口锁存器的内容而不是引脚的值。但是，选择 RTP1、RTP0、TXOUT1、T4OUT、T3OUT、T2OUT/CKOUT、OOUT0、OOUT1 的外围功能的输出时，就读取该输出的值。详细内容请参照端口的框图。被设定为输入端口的引脚处于浮动状态，能读引脚的值。如果进行写操作，虽然被写到端口锁存器，但是引脚仍然处于浮动状态。

上拉控制

通过设定方向寄存器和段输出禁止寄存器 0 ~ 2（地址 0FF4₁₆ ~ 0FF6₁₆），能通过程序以位单位对端口 P0 ~ P2 进行上拉控制。如果将方向寄存器置“0”并将段输出禁止寄存器置“1”，就上拉该引脚。通过设定 PULL 寄存器（地址 0FF0₁₆），能通过程序对端口 P3 ~ P6 进行上拉控制。但是，被设定为输出端口的引脚从此控制分离，就不能进行上拉。

方向寄存器 段输出禁止寄存器	“0”	“1”	初始状态
	“0”	输入端口 无上拉	
“1”	段输出	端口输出	

图 11 端口 P0 ~ P2 的设定

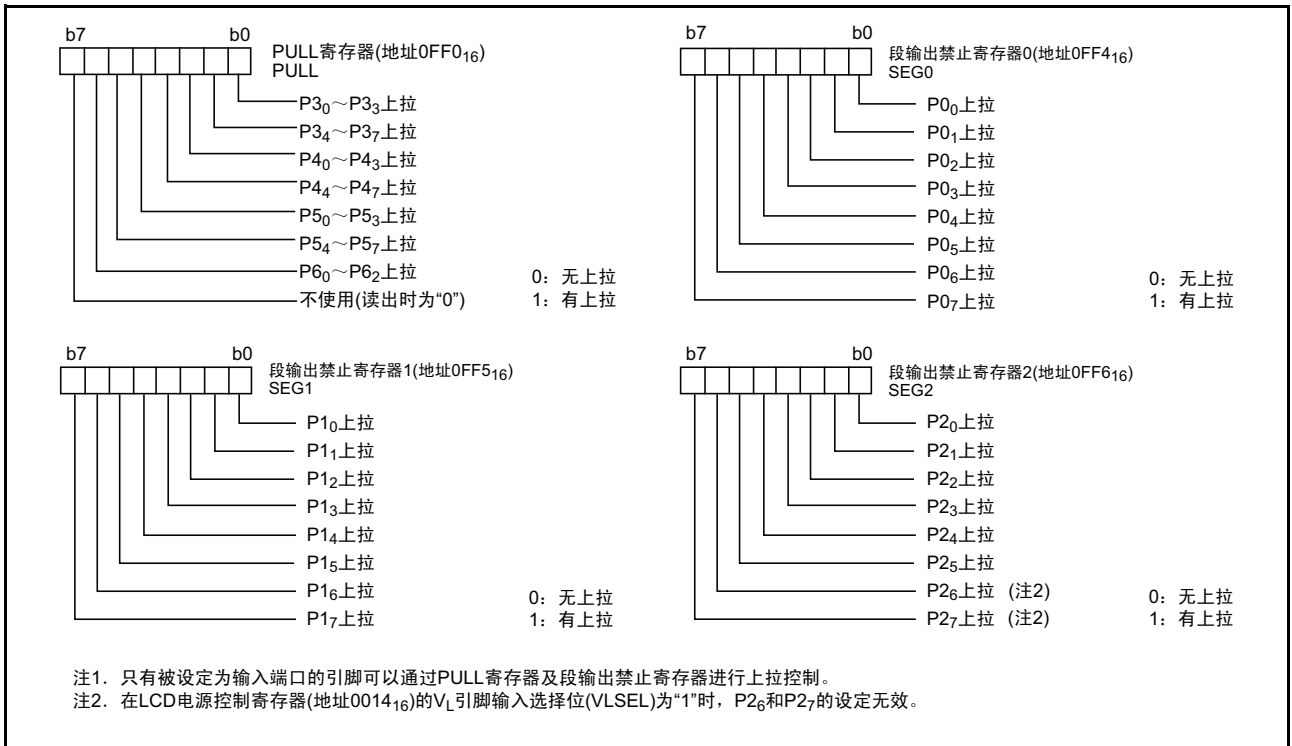


图 12 PULL 寄存器和段输出禁止寄存器的结构

表 7 输入 / 输出端口的功能一览表 (1)

引脚名	名称	输入 / 输出	输入 / 输出格式	端口以外的功能		关联的 SFR	图号			
P00/SEG0/(KW4) ~ P03/SEG3/(KW7)	端口 P0	输入 / 输出位 单位	CMOS 输入电平 CMOS 三态输出	LCD 的段 输出	键输入 (键唤醒) 中断输入	段输出禁止寄存器 0	(1)			
P04/SEG4 ~ P07/SEG7							(2)			
P10/SEG8 ~ P17/SEG15					端口 P1	输入 / 输出位 单位	CMOS 输入电平 CMOS 三态输出		段输出禁止寄存器 1	
P20/SEG16 ~ P25/SEG21					端口 P2	输入 / 输出位 单位	CMOS 输入电平 CMOS 三态输出		段输出禁止寄存器 2	
P26/SEG22/VL1、 P27/SEG23/VL2								LCD 电源 输入		
P30/ $\overline{\text{SRDY}}_2$ /(LED0)、 P31/SCLK2/(LED1)、 P32/TxD2/(LED2)、 P33/RxD2/(LED3)	端口 P3	输入 / 输出位 单位	CMOS 输入电平 CMOS 三态输出	串行 I/O2 功能的输入 / 输出		PULL 寄存器 串行 I/O2 控制寄存器 串行 I/O2 状态寄存器 UART2 控制寄存器	(3) (4) (5) (6)			
P34/INT2/(LED4)					外部中断输入	PULL 寄存器 中断边沿选择寄存器	(7)			
P35/TXOUT1/(LED5) P36/T2OUT/CKOUT/ (LED6)					定时器 X 的输出 1	PULL 寄存器 定时器 X 的模式寄存器 定时器 12 的模式寄存器 时钟输出控制寄存器	(8) (9)			
					定时器 2 的 输出			时钟输出		
P37/CNTR0/ TXOUT2/(LED7)					定时器 X 功能的输入 定时器 X 的输出 2	PULL 寄存器 定时器 X 的模式寄存器	(10)			
P40/OOUT0/AN0、 P41/OOUT1/AN1	端口 P4	输入 / 输出位 单位	CMOS 输入电平 CMOS 三态输出	A/D 转换 输入	振荡的外 部输出引 脚	PULL 寄存器 AD 控制寄存器 振荡输出控制寄存器	(13)			
P42/AN2/ADKEY							PULL 寄存器 AD 控制寄存器	(11)		
P43/AN3 ~ P45/AN5							(12)			
P46/RTP0/AN6、 P47/RTP1/AN7					实时端口 功能输出	PULL 寄存器 AD 控制寄存器 定时器 Y 的模式寄存器	(13)			

【注】 1. 有关将双功能 / 三功能端口作为功能输入 / 输出引脚的使用方法, 请参照相关的项目。

2. 在执行 STP 指令中, 必须将各引脚的输入电平置为 0V 或者 V_{CC}。如果电位不稳定, 就会产生输入段栅极的穿透电流, 增加电源电流。

表 7 输入 / 输出端口的功能一览表 (2)

引脚名	名称	输入 / 输出	输入 / 输出格式	端口以外的功能	关联的 SFR	图号
P50/INT0 P51/INT1	端口 P5	输入 / 输出位 单位	CMOS 输入电平 CMOS 三态输出	外部中断输入	PULL 寄存器 中断边沿选择寄存器	(7)
P52/T3OUT/PWM0、 P53/T4OUT/PWM1				定时器 3 的输出 定时器 4 的输出 PWM 输出	PULL 寄存器 定时器 34 的模式寄存器	(9)
P54/RxD1/(KW0)、 P55/TxD1/(KW1)、 P56/SCLK1/(KW2)、 P57/SRDY1/(KW3)				串行 I/O1 功 能的输入 / 输出	键输入 (键唤醒) 中断输入	PULL 寄存器 串行 I/O1 控制寄存器 串行 I/O1 状态寄存器 UART1 控制寄存器
P60/CNTR1	端口 P6	输入 / 输出位 单位	CMOS 输入电平 CMOS 三态输出	定时器 Y 功能的输入	PULL 寄存器 定时器 Y 的模式寄存器	(7)
P61/XCIN				副时钟振荡电路	PULL 寄存器	(18)
P62/XCOUT					CPU 模式寄存器	(19)
COM0 ~ COM3	公共	输出	LCD 的公共输出		LCD 模式寄存器	(20)

【注】 1. 有关将双功能 / 三功能端口作为功能输入 / 输出引脚的使用方法，请参照相关的项目。

2. 在执行 STP 指令中，必须将各引脚的输入电平置为 0V 或者 Vcc。如果电位不稳定，就会产生输入段栅极的穿透电流，增加电源电流。

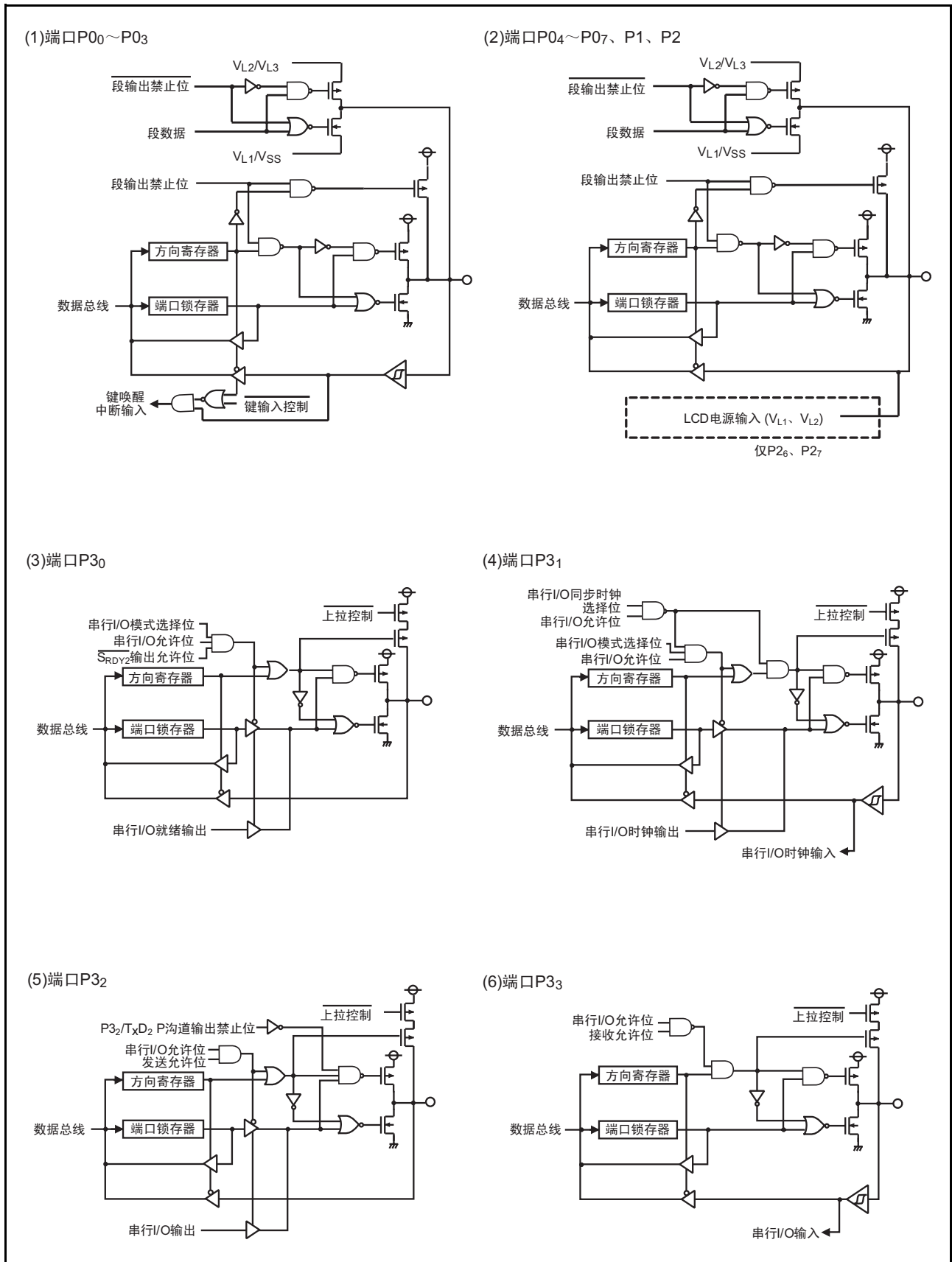


图 13 端口的框图 (1)

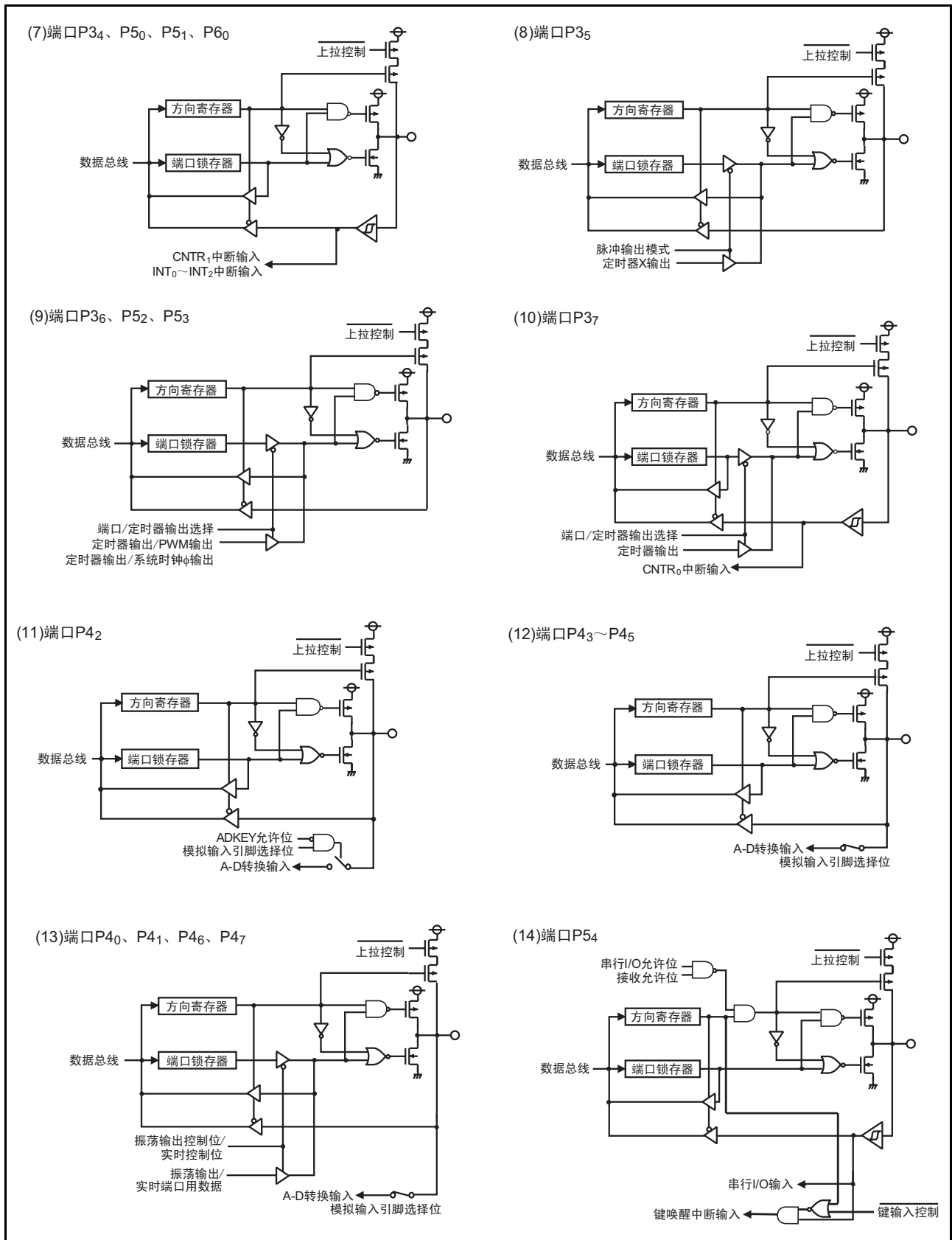


图 14 端口的框图 (2)

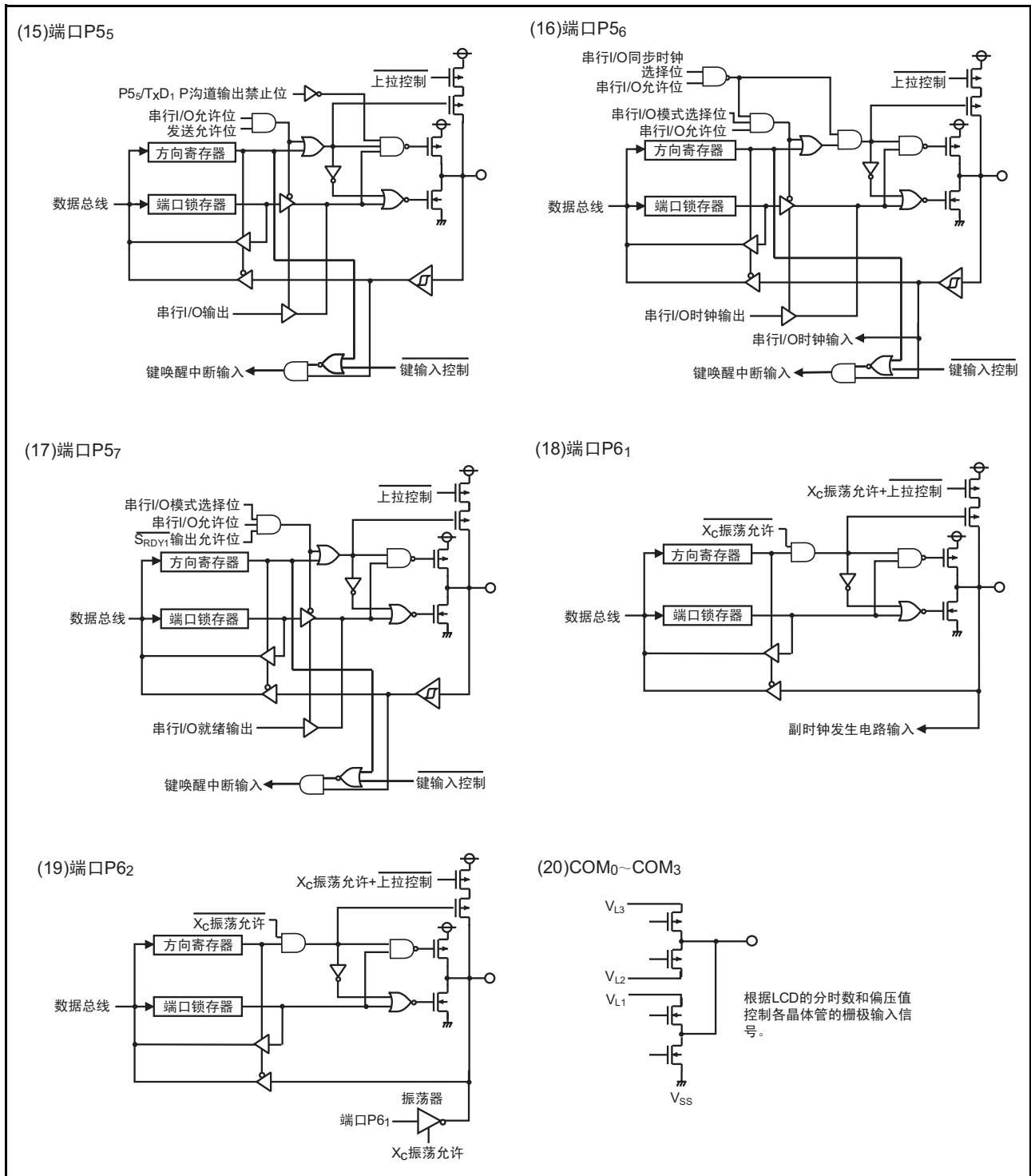


图 15 端口的框图 (3)

未使用引脚的处理方法

- 一般的引脚处理方法

输入/输出端口：必须选择输入端口或者输出端口并遵循各自的处理方法。

另外，为了避免误动作等，所以推荐对相关寄存器定期进行盖写。

输出端口：必须置为开路。

输入端口：在输入电平不稳定的情况下，因为穿透电流流入输入电路，尤其是在期待低消耗电流的状态下（在执行 STP、WIT 指令中等），有可能增大电源电流，所以必须进行上拉或者下拉（可使用内部电阻）。在将具有输入/输出端口和输出功能的引脚作为输入端口处理未使用引脚时，设想到由于误动作等而作为输出端口运行的情况，推荐通过能确保 $I_{OH(avg)}$ 或者 $I_{OL(avg)}$ 的电阻处理引脚。

表 8 未使用引脚的处理方法 (1)

引脚名	处理方法 1	处理方法 2	处理方法 3
P00/SEG0/(KW4) ~ P07/SEG7/(KW7)	输入 / 输出端口	当选择 SEG 输出时，必须置为开路。	—
P10/SEG8 ~ P17/SEG15			
P20/SEG16 ~ P27/SEG23/VL2			
P30/SRDY2/(LED0)、 P57/ SRDY1/(KW3)		当选择 SRDY 功能时，必须进行输出端口的处理。	—
P31/SCLK2/(LED1)、 P56/SCLK1/(KW2)		当选择外部时钟输入时，必须进行输入端口的处理。	当选择内部时钟输出时，必须进行输出端口的处理。
P32/TxD2/(LED2)、 P55/TxD1/(KW1)		当选择 TxD 功能时，必须进行输出端口的处理。	—
P33/RxD2/(LED3)、 P54/RxD1/(KW0)		当选择 RxD 功能时，必须进行输入端口的处理。	—
P34/INT2/(LED4)		当选择 INT 功能时，必须进行输入端口的处理。	—
P35/TXOUT1/(LED5)		当选择 TXOUT 功能时，必须进行输出端口的处理。	—
P36/T2OUT/CKOUT/(LED6)		当选择 T2OUT 功能、CKOUT 功能时，必须进行输出端口的处理。	—
P37/CNTR0/TXOUT2/(LED7)		当选择 TXOUT 功能时，必须进行输出端口的处理。	—
P40/OOUT0/AN0、 P41/OOUT1/AN1		当选择 AN 功能时，可置为开路（不能保证 A/D 转换结果）。	当选择振荡输出时，必须进行输出端口的处理。
P42/ADKEY/AN2			当选择 ADKEY 功能时，必须通过电阻上拉到 VCC。
P43/AN3 ~ P47/RTP1/AN7	—		

表 8 未使用引脚的处理方法 (2)

引脚名	处理方法 1	处理方法 2	处理方法 3
P50/INT ₀ 、 P51/INT ₁	输入 / 输出端口	当选择 INT 功能时，必须进行输入端口的处理。	—
P52/T _{3OUT} /PWM ₀ P53/T _{4OUT} /PWM ₁		当选择 PWM 功能、T _{3OUT} 或 T _{4OUT} 功能时，必须进行输出端口的处理。	—
P60/CNTR ₁		当选择 CNTR 功能时，必须进行输入端口的处理。	—
P61/XCIN、 P62/XCOUT		不能通过程序选择 XCIN-XCOUT 振荡功能。	—
V _{L3}	将 V _{L3} 连接位置“1”，并连接 V _{CC}	将 V _{L3} 连接位置“0”，并置为开路	—
COM ₀ ~ COM ₃	开路	—	—
V _{REF}	连接 V _{CC}	—	—
AV _{SS}	连接 V _{SS}	—	—
X _{IN}	当只使用内部振荡器时，通过电阻连接 V _{CC}	—	—
X _{OUT}	当输入外部时钟或者只使用内部振荡器时，置为开路	—	—

中断

38D2 群的中断是固定优先权方式的向量中断，能从 6 个外部中断源、11 个内部中断源和 1 个软件中断源的共 18 个中断源中的 16 个中断源产生中断。中断源、向量地址（注 1）及中断优先级如表 9 所示。

BRK 指令中断除外的各中断都有中断请求位和中断允许位，通过这些位和中断禁止标志（I 标志）可以控制中断请求的接受。中断控制图如图 16 所示。齐备以下所有条件时，接受中断请求。

- 中断禁止标志 “0”
- 中断请求位 “1”
- 中断允许位 “1”

中断的优先级通过软件被固定，但是通过使用上述位及标志，可以通过程序进行优先处理。

表 9 中断向量的地址和优先级

中断源	优先级	向量地址（注 1）		产生中断请求的条件	备注
		高位	低位		
复位（注 2）	1	FFFD ₁₆	FFFC ₁₆	当复位时	非屏蔽
INT ₀	2	FFFB ₁₆	FFFA ₁₆	当检测到 INT ₀ 输入的上升沿或者下降沿时	外部中断 （极性可编程）
INT ₁	3	FFF9 ₁₆	FFF8 ₁₆	当检测到 INT ₁ 输入的上升沿或者下降沿时	外部中断 （极性可编程）
INT ₂	4	FFF7 ₁₆	FFF6 ₁₆	当检测到 INT ₂ 输入的上升沿或者下降沿时	在选择 INT ₂ 中断时有效 外部中断 （极性可编程）
键输入 （键唤醒）				在端口 P0 ₀ ~ 0 ₃ 、P5 ₄ ~ 5 ₇ 输入电平的逻辑与的下降沿时	在选择键输入中断时有效 外部中断（下降沿有效）
CNTR ₀	5	FFF5 ₁₆	FFF4 ₁₆	当检测到 CNTR ₀ 输入的上升沿或者下降沿时	外部中断 （极性可编程）
定时器 X	6	FFF3 ₁₆	FFF2 ₁₆	当定时器 X 发生下溢时	
定时器 1	7	FFF1 ₁₆	FFF0 ₁₆	当定时器 1 发生下溢时	在选择定时器 1 中断时有效
定时器 2	8	FFEF ₁₆	FFEE ₁₆	当定时器 2 发生下溢时	在选择定时器 2 中断时有效
定时器 3	9	FFED ₁₆	FFEC ₁₆	当定时器 3 发生下溢时	在选择定时器 3 中断时有效
定时器 4	10	FFEB ₁₆	FFEA ₁₆	当定时器 4 发生下溢时	在选择定时器 4 中断时有效
串行 I/O1 接收	11	FFE9 ₁₆	FFE8 ₁₆	当结束串行 I/O1 的数据接收时	只在选择串行 I/O1 时有效
串行 I/O1 发送	12	FFE7 ₁₆	FFE6 ₁₆	当结束串行 I/O1 的发送移位时或者发送缓冲器空时	只在选择串行 I/O1 时有效
串行 I/O2 接收	13	FFE5 ₁₆	FFE4 ₁₆	当结束串行 I/O2 的数据接收时	只在选择串行 I/O2 时有效
串行 I/O2 发送	14	FFE3 ₁₆	FFE2 ₁₆	当结束串行 I/O2 的发送移位时或者发送缓冲器空时	只在选择串行 I/O2 时有效
定时器 Y	15	FFE1 ₁₆	FFE0 ₁₆	当定时器 Y 发生下溢时	
CNTR ₁				当检测到 CNTR ₁ 输入的上升沿或者下降沿时	外部中断 （极性可编程）
A/D 转换	16	FFDF ₁₆	FFDE ₁₆	当结束 A/D 转换时	在选择 A/D 中断时有效
BRK 指令	17	FFDD ₁₆	FFDC ₁₆	当执行 BRK 指令时	非屏蔽的软件中断

- 【注】 1. 向量地址是指中断转移地址的保存地址。
2. 复位被作为优先级最高的中断进行处理。

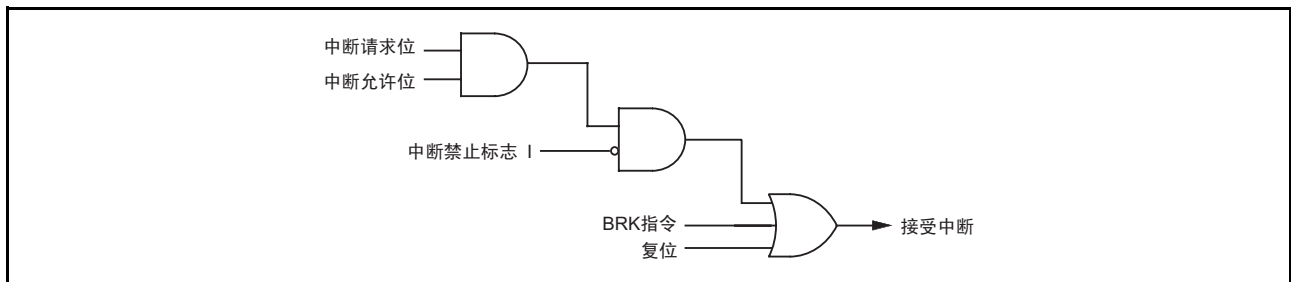


图 16 中断控制图

中断禁止标志

处理器状态寄存器的 bit2 是中断禁止标志。中断禁止标志是控制接受除 BRK 指令之外的所有中断请求的标志。

如果此标志置“1”，就禁止接受中断请求，置“0”，就允许接受中断请求。置“1”的指令为 SEI 指令，置“0”的指令为 CLI 指令。

如果接受中断请求，中断禁止标志保持“0”，处理器状态寄存器保存到堆栈。

之后，此标志自动置“1”，禁止多重中断。使用多重中断时，必须在中断程序中使用 CLI 指令，将此标志置“0”。

处理器状态寄存器通过 RTI 指令返回。

中断请求位

产生中断请求时，对应的中断请求位变为“1”，并且直到中断请求被接受为止保持“1”。如果中断请求被接受，就自动置“0”。

通过程序可以将中断请求位置“0”，但是不能置“1”。

中断允许位

中断允许位是控制接受对应中断请求的位。

此位为“0”时，禁止接受中断请求。此时，即使产生中断请求，如果只是中断请求位变为“1”，也不能接受中断请求。此位为“1”时，允许接受中断请求。

通过程序可以将中断允许位置“0”或置“1”。

必须将不使用的中断的中断允许位置“0”。

选择中断源

可以通过中断边沿选择寄存器（地址 003A₁₆）选择以下中断源中的其中一个。

1. INT₂或键输入
2. 定时器 Y 或 CNTR₁

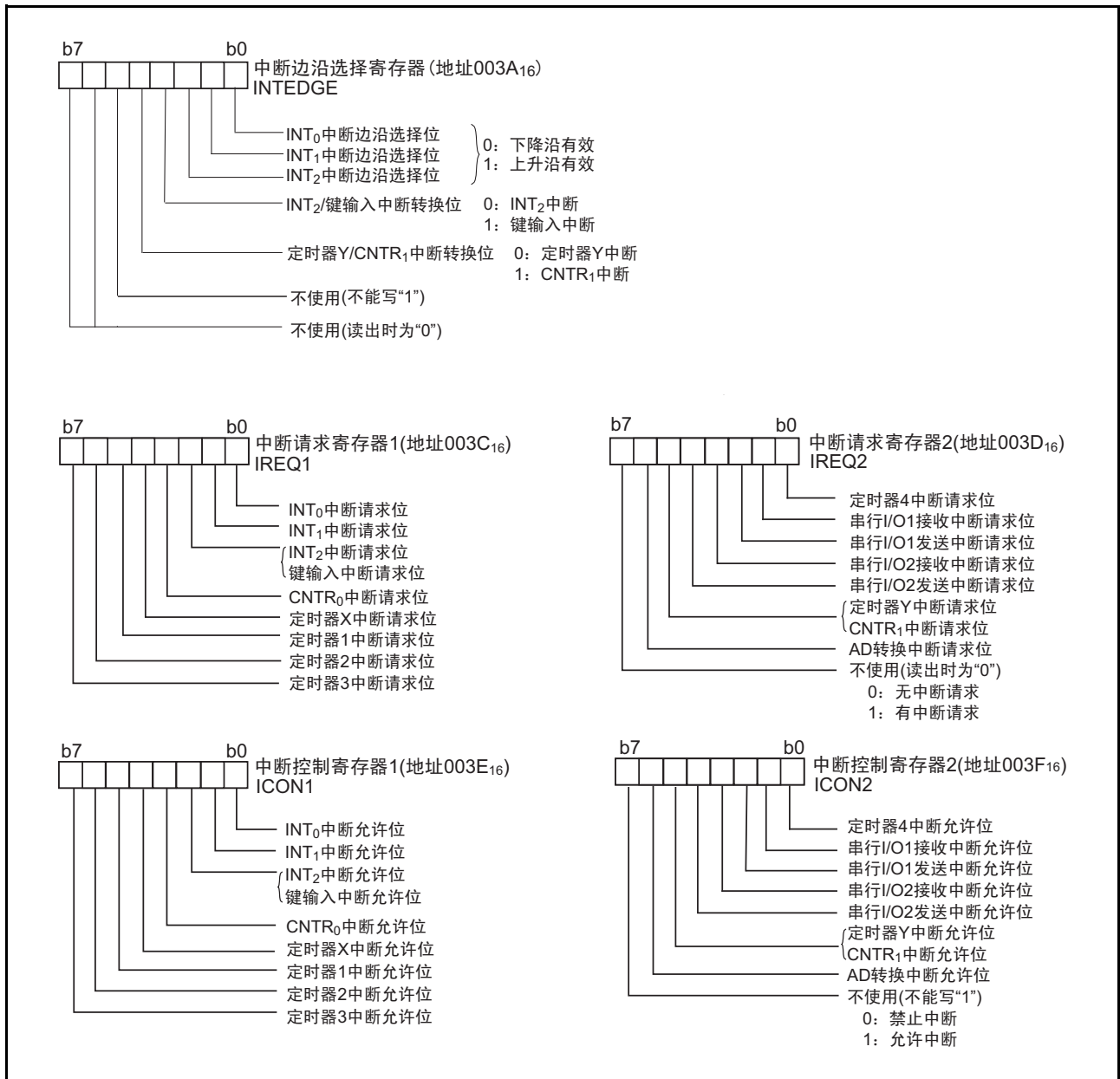


图 17 中断关联寄存器的结构

中断请求的产生 / 接受 / 处理

中断分为以下 3 个阶段。

1. 中断请求的产生

由各种中断源（外部中断信号输入、定时器的下溢等）产生中断请求，中断请求位为“1”。

2. 中断请求的接受

按照每个指令周期的中断接受时序，中断控制电路判定接受条件（中断请求位、中断允许位、中断禁止标志）和中断优先级后，接受中断请求。如果在相同时序有多个中断请求时，就接受其中优先级最高的中断请求。保持没有被接受的中断的中断请求位，在下一个中断请求时序时再次被判定是否被接受。

3. 接受中断的处理

执行被接受中断的处理。

到执行中断程序为止的时间如图 18、中断顺序如图 19、产生中断请求、中断请求位和中断请求接受的时序如图 20 所示。

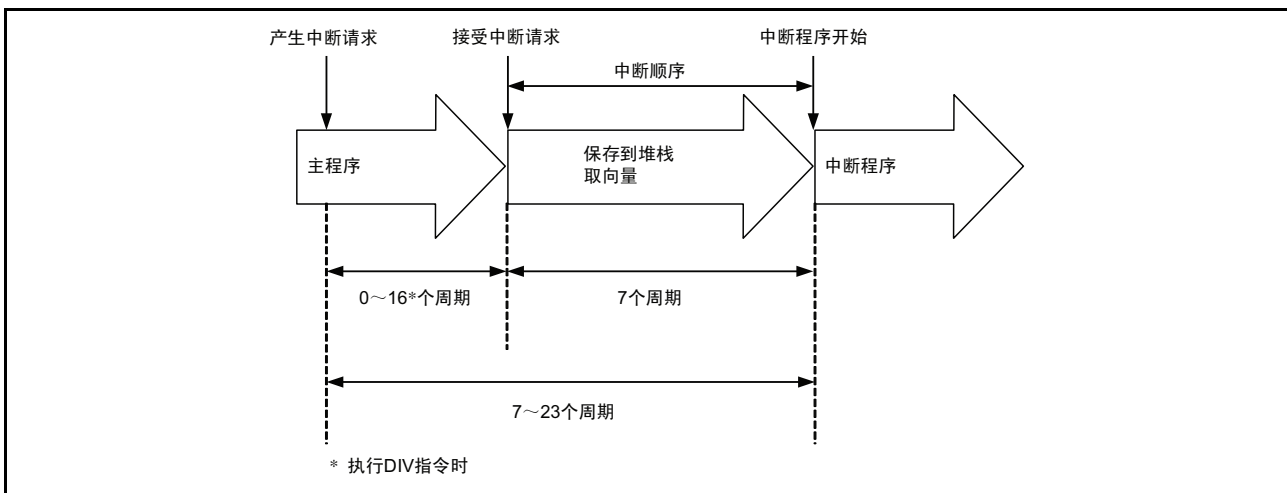


图 18 到执行中断程序为止的时间

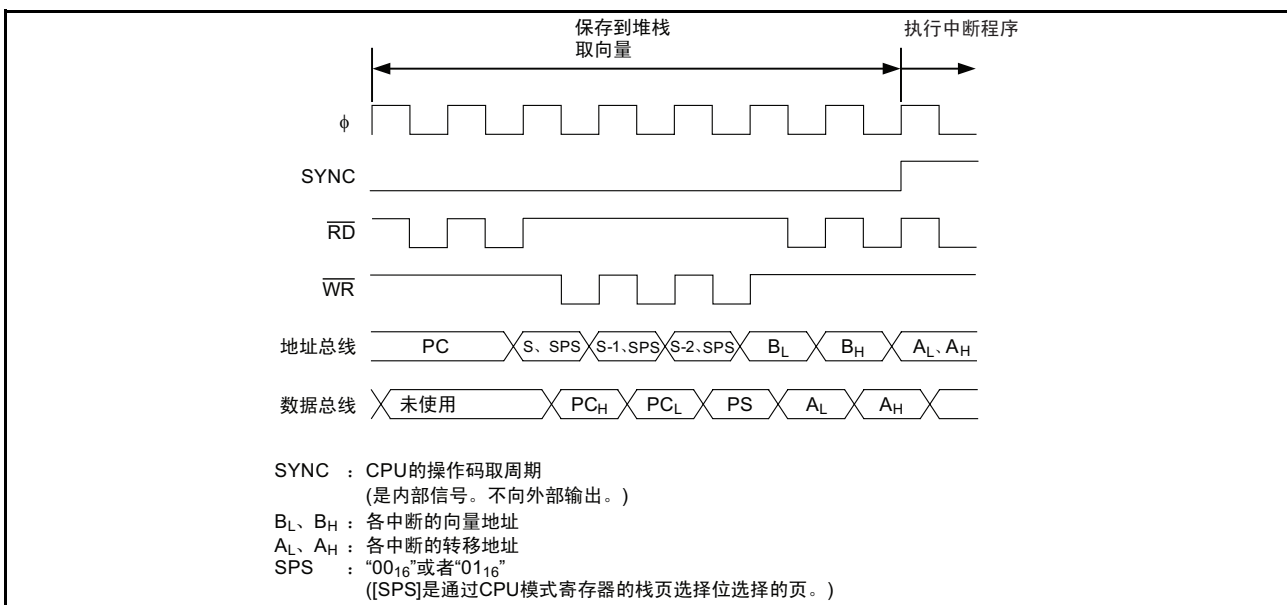


图 19 中断顺序

执行中断处理

执行中断处理时，自动执行以下运行。

1. 如果现在执行中的指令结束，就接受中断请求。
2. 此时的程序计数器和处理器状态寄存器的内容按照①→②→③的顺序保存到堆栈区。
 - ①程序计数器高位 (PCH)
 - ②程序计数器低位 (PCL)
 - ③处理器状态寄存器 (PS)
3. 在保存的同时，将对应的中断转移地址（中断程序的起始地址）从中断向量传送到程序计数器。
4. 对应中断的中断请求位变为“0”。另外，中断禁止标志变为“1”，并禁止多重中断。
5. 执行中断程序
6. 如果执行RTI指令，保存在堆栈区的寄存器内容按照③→②→①的顺序返回，并继续中断处理前的程序。

因此，为了执行中断程序，必须设定栈指针以及和各中断对应的到向量内的转移地址。

注意事项

以下情况时，中断请求位可能会置“1”。

〈在转换外部中断的有效边沿时〉

- INT₀中断边沿选择位
(中断边沿选择寄存器 (地址003A₁₆)的bit0)
- INT₁中断边沿选择位
(中断边沿选择寄存器的bit1)
- INT₂中断边沿选择位
(中断边沿选择寄存器的bit2)
- CNTR₀极性转换位
(定时器X控制寄存器1 (地址002E₁₆)的bit6、bit7)
- CNTR₁极性转换位
(定时器Y模式寄存器 (地址0038₁₆)的bit6)

〈在转换多个中断源共享的中断向量的中断源时〉

- INT₂/键输入中断转换位
(中断边沿选择寄存器的bit3)
- 定时器Y/CNTR₁中断转换位
(中断边沿选择寄存器的bit4)

如果不需要产生和这些设定同步的中断时，按照以下的顺序进行设定。

1. 将该当的中断允许位置“0”（禁止）。
2. 设定中断边沿选择位（极性转换位）或中断源位。
3. 在至少执行一条指令后，将该当中断请求位置“0”。
4. 将该当中断允许位置“1”（允许）。

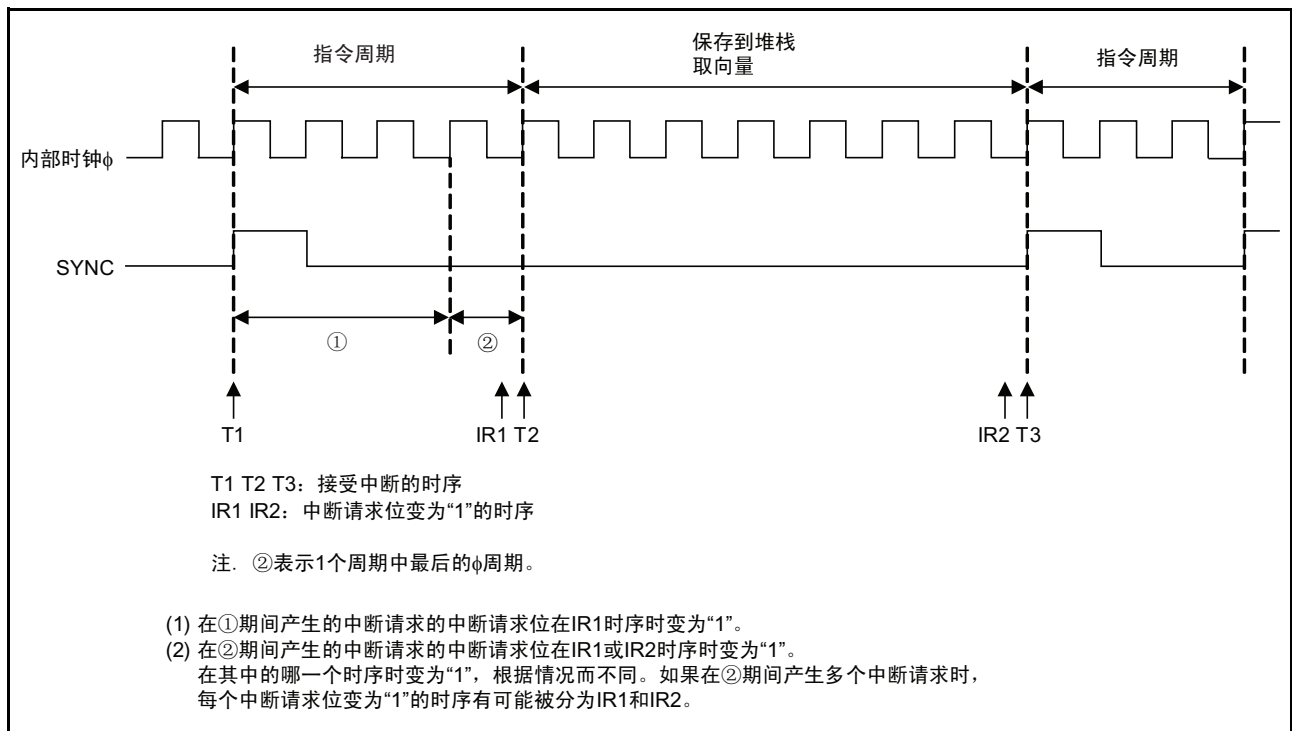


图 20 产生中断请求、中断请求位和中断请求接受的时序

键输入中断（键唤醒）

如果在端口 P0₀ ~ P0₃、P5₄ ~ P5₇ 中被设定为输入的引脚中检测到任意一个或几个引脚的下降沿，即输入电平的逻辑与从“1”变为“0”时，产生键输入中断请求。使用键输入中断的例子如图 21 所示。如果构成输入端口 P5₄ ~ P5₇ 的“L”电平有效的键矩阵，通过按键产生中断请求。

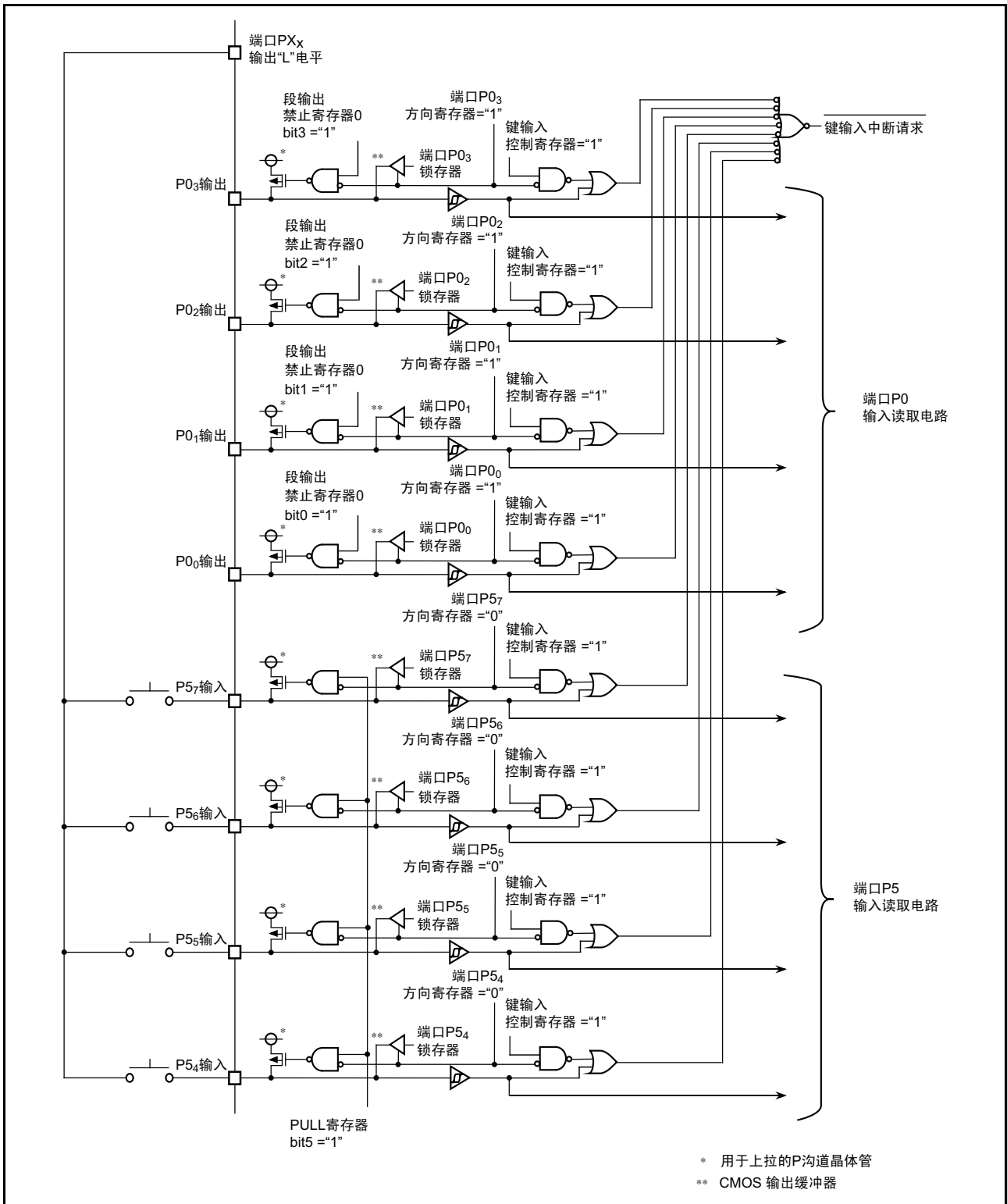


图 21 使用键输入中断时的接线例子

通过键输入控制寄存器和端口的方向寄存器控制键输入中断。允许键输入中断时，必须将键输入控制寄存器设定“1”。可以从端口 P0₀ ~ P0₃、P5₄ ~ P5₇ 中选择被设定为输入的引脚来接受键输入。

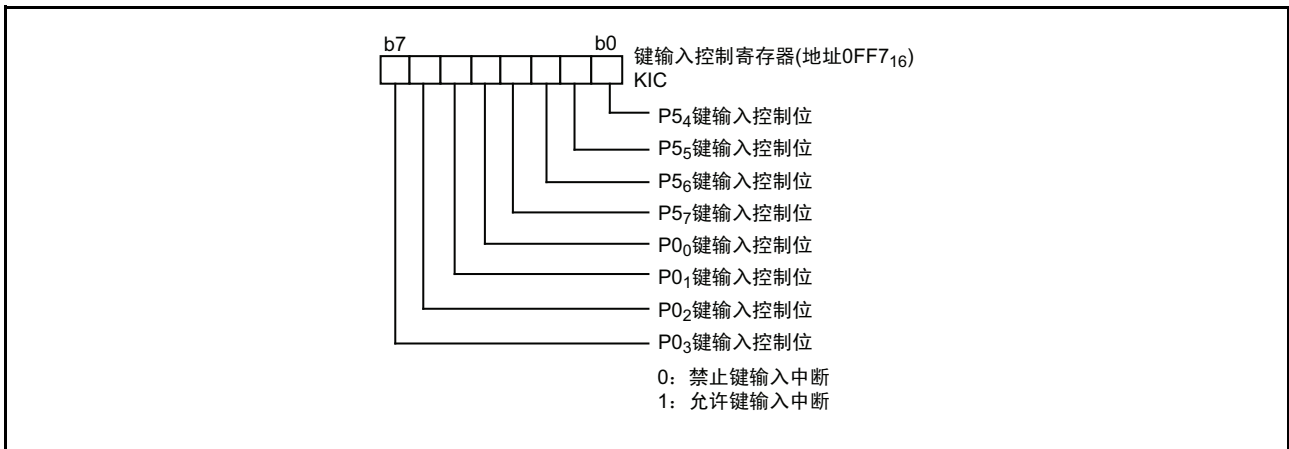


图 22 键输入控制寄存器的结构

定时器

8 位定时器

定时器 1、定时器 2、定时器 3 和定时器 4 是 8 位定时器，各自有定时器的锁存器。定时器为递减计数方式，在计数器的内容为“00₁₆”的下一个计数脉冲，再次将定时器的锁存器内容加载到到定时器。与此同时，对应各定时器的中断请求位被置“1”。

另外，通过将各定时器的停止位设定为“1”，可以停止计数。



图 23 定时器 1234 的框图

定时器的分频器

定时器 1、定时器 2、定时器 3 和定时器 4 有计数源分频器。分频器的计数源通过 CPU 模式寄存器转换为 X_{IN} 或 X_{CIN} ，或者在内部振荡器模式时转换为内部振荡器 OCO 的 4 分频。能通过各定时器的分频比选择位分别从 $f(X_{IN})$ 、 $f(X_{CIN})$ 和 $f(OCO)/4$ 的 1/1、1/2、1/16 和 1/256 中选择分频比。必须在定时器计数停止的状态下进行分频转换和计数源转换【注】。

【注】 将分频器输出作为定时器的计数源选择时，随着运行模式（内部振荡器模式、 X_{IN} 模式、低速模式）的转换，计数源也可能发生转换。在改变 CPU 模式寄存器的设定时必须注意。

定时器 1 和定时器 2

定时器 1 和定时器 2 能通过设定定时器 12 的模式寄存器选择计数源。可以选择 X_{CIN} 为计数源。如果选择了 X_{CIN} 为计数源，就与 X_{IN} 和内部振荡器无关可进行计数。另外，每当定时器 2 发生下溢时，能通过此寄存器从 P36/T2OUT 引脚输出极性相反的信号。

在复位输入时，定时器 12 的模式寄存器的全部位都被清除，并分别给定时器 1 和定时器 2 置“FF₁₆”和“01₁₆”。

在执行 STP 指令时，必须预先设定返回时的等待时间。

定时器 3 和定时器 4

定时器 3 和定时器 4 能通过设定定时器 34 的模式寄存器选择计数源。另外，每当定时器 3 或者定时器 4 发生下溢时，能通过此寄存器从 P52/T3OUT 或者 P53/T4OUT 引脚输出极性相反的信号。

定时器 3 的 PWM₀ 模式和定时器 4 的 PWM₁ 模式

通过设定定时器 34 的模式寄存器和 PWM01 寄存器，可以从 P52/PWM₀ 和 P53/PWM₁ 引脚输出相当于 10 位精度的 PWM 方波（参照图 24）。

输出脉冲的 1 个周期为小区间，4 个周期为大区间。假设定时器 3（地址 0022₁₆）或者定时器 4（地址 0023₁₆）的设定值为 n ，定时器 3 或者定时器 4 的计数源的 1 个周期为 t_s ，则小区间的“H”电平宽度用 $n \times t_s$ 表示。但是在大区间中，只有对应 PWM01 寄存器（地址 0024₁₆）设定值的次数，输出脉冲的“H”电平宽度被延长 t_s 的时间。

注意事项

(1) 有关定时器 3 的 PWM₀ 模式和定时器 4 的 PWM₁ 模式

- 如果在开始 PWM 输出后暂停，根据此时的输出脉冲电平，重新开始输出的时间就有可能延迟 1 个小区间（ $256 \times t_s$ ）。
停止在“H”电平时：无输出延迟
停止在“L”电平时：输出延迟 $256 \times t_s$ 的时间
- 在使用 PWM 模式时，按每个大区间（ $4 \times 256 \times t_s$ ）的周期更新定时器 3 和定时器 4 的中断请求以及定时器 3 和定时器 4 的值。

(2) 有关定时器 2、定时器 3 和定时器 4 的写操作

在只写锁存器时，如果写重加载锁存器的时序和发生下溢的时序几乎同时，值就同时被设定到定时器和定时器锁存器。此时，在重加载锁存器的写操作中停止计数。

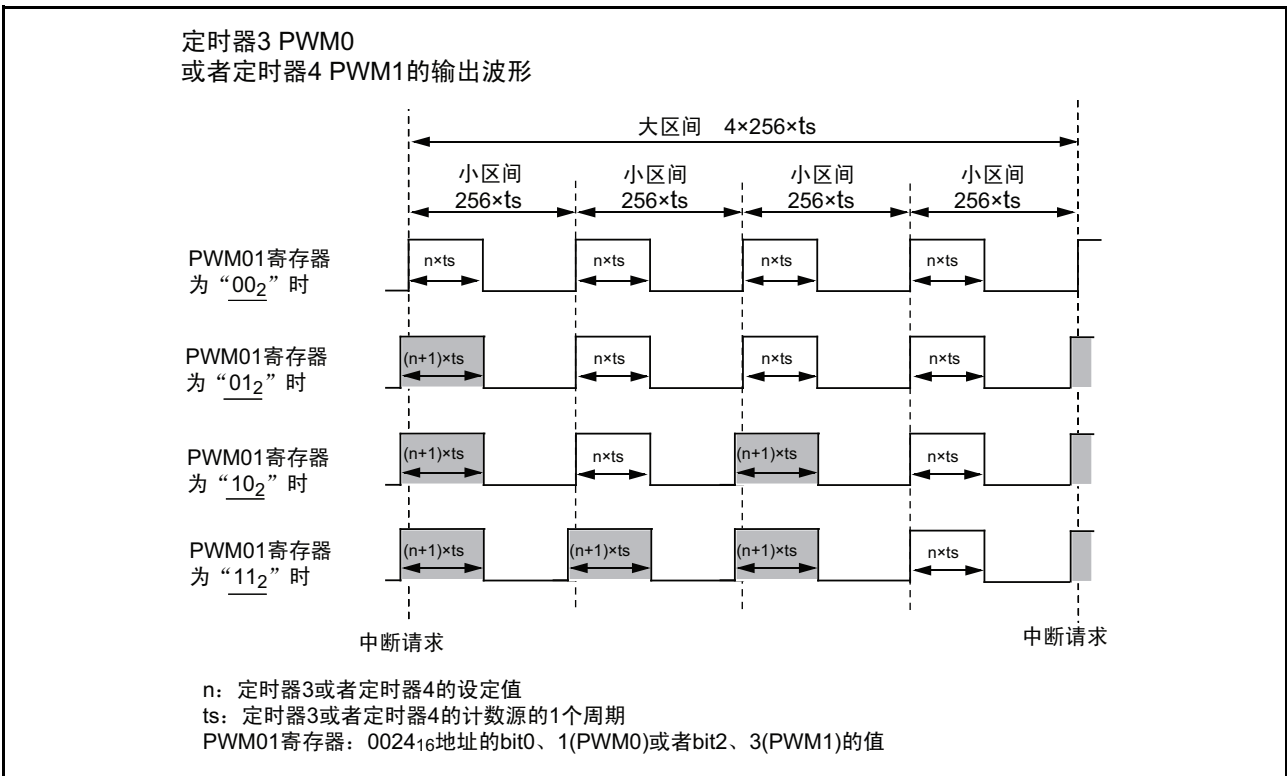


图 24 PWM0 和 PWM1 的波形图

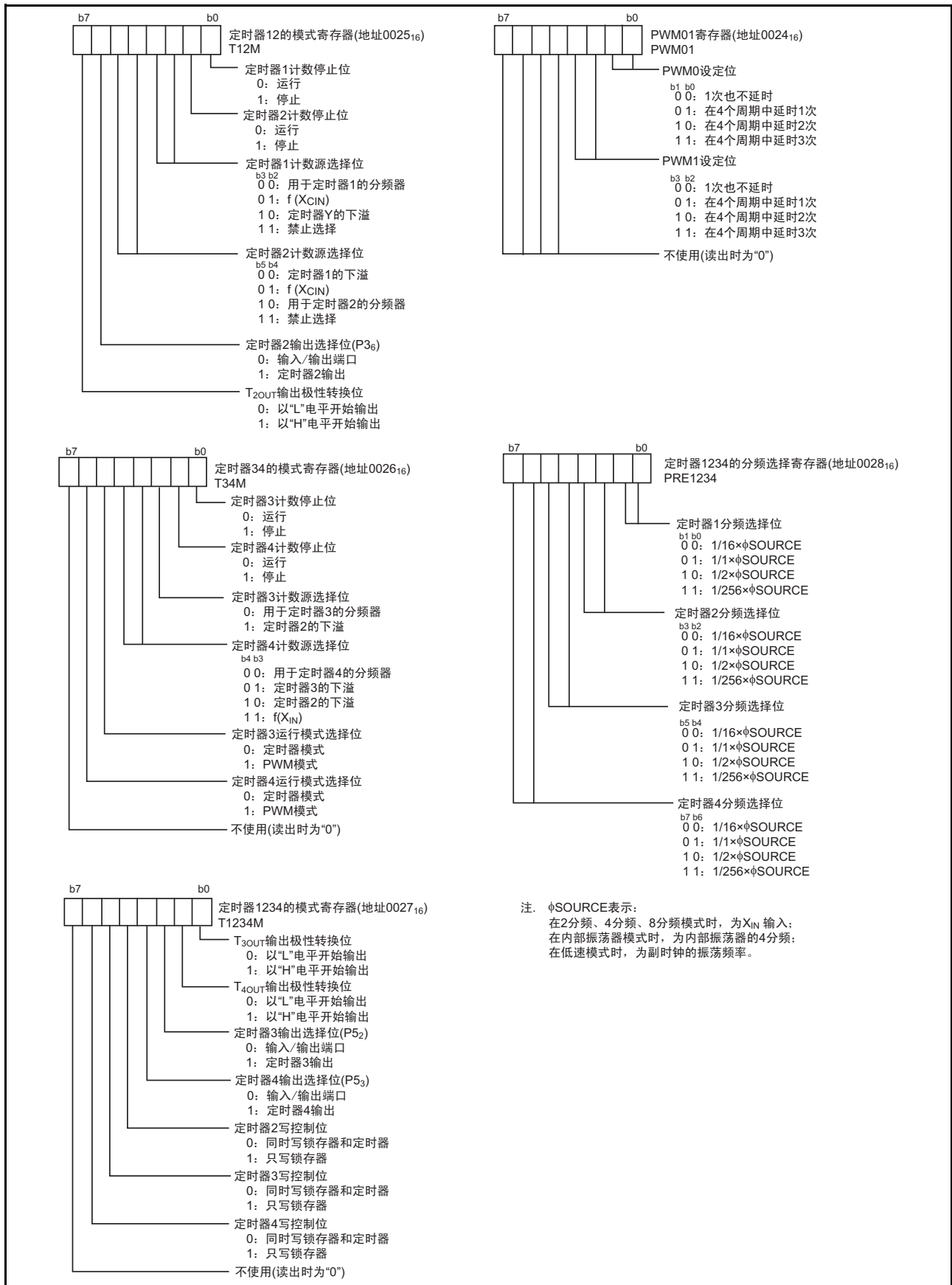


图 25 定时器 1 ~ 定时器 4 的关联寄存器的结构

16 位定时器

在读写定时器时，高位字节和低位字节都必须读写。在读定时器的值时，必须按照高位字节到低位字节的顺序进行；在写定时器的值时，必须按照低位字节到高位字节的顺序进行。另外，如果在写操作中进行读操作或者在读操作中进行写操作，就不能正常运行。

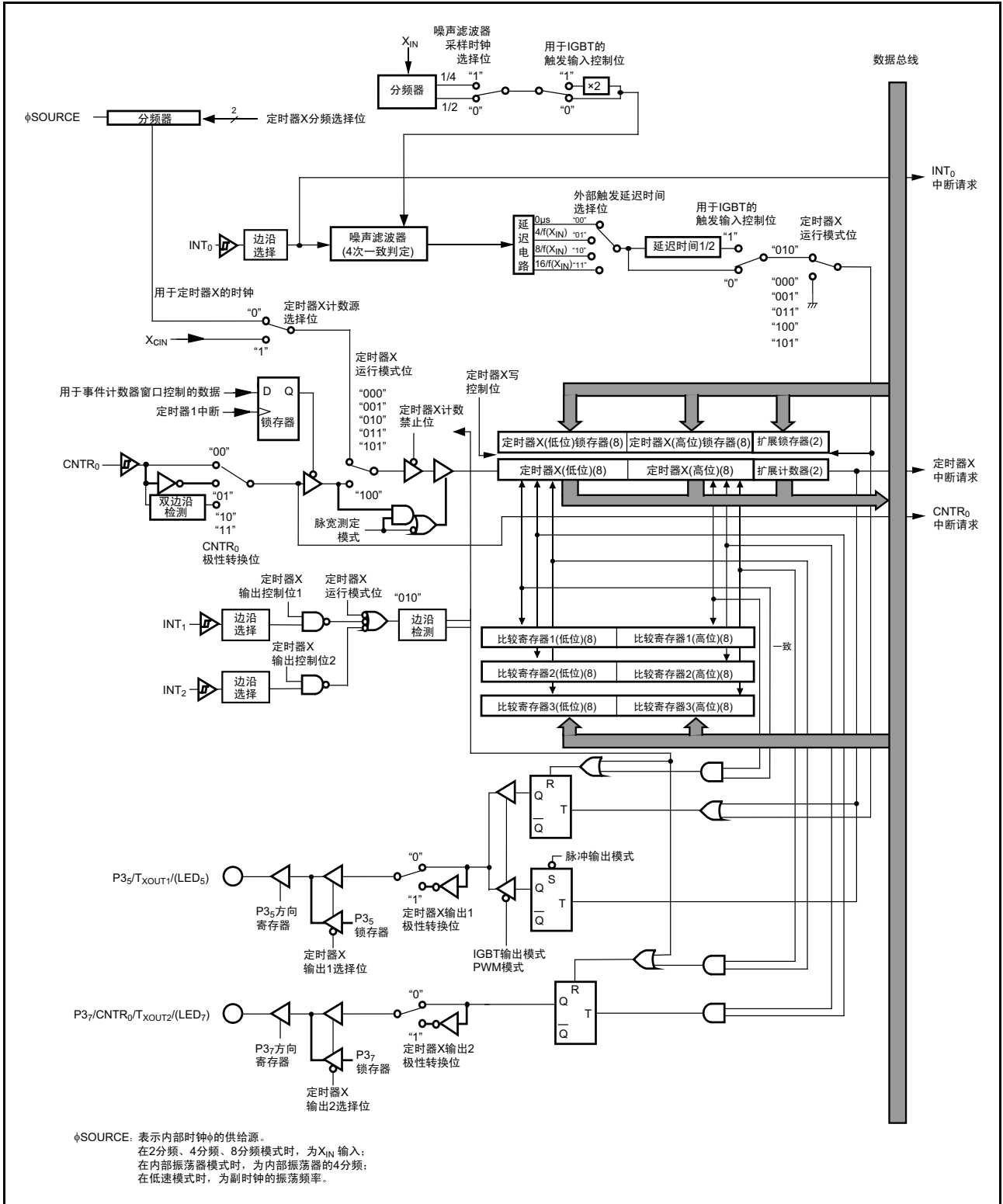


图 26 定时器 X 的框图

定时器的分频器

定时器 X 和定时器 Y 有计数源分频器。分频器的计数源通过 CPU 模式寄存器转换为 X_{IN} 或 X_{CIN}，或者在内部振荡器模式时转换为内部振荡器 OCO 的 4 分频。能通过各定时器的分频选择位分别从 f(X_{IN})、f(X_{CIN}) 和 f(OCO)/4 的 1/1、1/2、1/16 和 1/256 中选择分频比。必须在定时器计数停止的状态下进行分频转换和计数源转换【注】。

【注】 将分频器输出作为定时器的计数源选择时，随着运行模式（内部振荡器模式、X_{IN} 模式、低速模式）的转换，计数源也可能发生转换。在改变 CPU 模式寄存器的设定时必须注意。

定时器 X

定时器 X 能通过设定定时器 X 的模式选择计数源。可以选择 X_{CIN} 为计数源。选择 X_{CIN} 时，就与 X_{IN} 和内部振荡器无关可进行计数。

定时器 X 为递减计数方式，在定时器的内容为“0000₁₆”的下一个计数脉冲发生下溢后，再次加载到定时器的锁存器内容，继续递减计数。另外，如果定时器发生下溢，对应定时器 X 的中断请求位就被置“1”。

定时器 X 能通过定时器 X 模式寄存器和定时器 X 控制寄存器选择 6 种运行模式。

(1) 定时器模式

能通过设定定时器 X 的模式寄存器选择计数源。如果在此模式中设定定时器 X 的寄存器（扩展），定时器 X 就作为 18 位计数器运行。

(2) 脉冲输出模式

每当定时器发生下溢时，除了从 TXOUT1 引脚输出极性相反的脉冲以外，和定时器模式的运行相同。必须在此模式中将 TXOUT1 引脚共用的端口设定为输出。

(3) IGBT 输出模式

在 TXOUT1 引脚的虚输出后，将 INT₀ 引脚的输入作为触发开始计数。在定时器 X 的输出 1 极性转换位为“0”时，如果检测到触发或者定时器 X 发生下溢时，就从 TXOUT1 引脚输出“H”电平。此后，当定时器 X 的计数值和比较寄存器 1 的值一致时，TXOUT1 的输出变为“L”电平。

在噪声滤波器（在采样时钟连续 4 次为相同电平时，判断为信号）消除噪声成分后，INT₀ 信号能通过延迟电路选择 4 种延迟时间。

必须在此模式中将 INT₀ 引脚共用的端口设定为输入，并将用作 TXOUT1 和 TXOUT2 引脚的共用端口设定为输出。

如果将定时器 X 的控制寄存器的定时器 X 输出控制位 1 或者 2 置“1”，就通过 INT₁ 或者 INT₂ 的中断信号将定时器 X 计数停止位强制固定为“1”，在定时器 X 停止计数的同时，能将 TXOUT1 和 TXOUT2 引脚的输出强制设定为“L”电平输出。

在使用 IGBT 输出模式时，不能给定时器 X 的寄存器（扩展）写“1”。

(4) PWM 模式

除了不使用 IGBT 的虚输出、INT₀ 引脚的外部触发以及 INT₁ 和 INT₂ 引脚的输出控制以外，和 IGBT 输出模式的运行相同。PWM 波形的周期由定时器 X 的设定值决定。当定时器 X 的输出 1 极性转换位为“0”时，“H”电平期间由比较寄存器 1 的设定值决定；当定时器 X 的输出 2 极性转换位为“0”时，“H”电平期间由比较寄存器 2 和比较寄存器 3 的设定值决定。必须在此模式中将用作 TXOUT1 和 TXOUT2 引脚的共用端口设定为输出。

在使用 PWM 模式时，不能给定时器 X 的寄存器（扩展）写“1”。

(5) 事件计数器模式

对 CNTR0 引脚的输入进行计数。如果在此模式中设定定时器 X 的寄存器（扩展），定时器 X 就作为 18 位计数器运行。必须在此模式中将 CNTR0 引脚共用的端口设定为输入。

在此模式中，能通过定时器 1 的下溢进行窗口控制。如果将用于事件计数器窗口控制的数据位设定为“1”，就在下次定时器 1 发生下溢时停止计数；如果设定“0”，就在下次定时器 1 发生下溢时重新开始计数。

(6) 脉宽测定模式

计数源为定时器的分频器的输出。如果在此模式中设定定时器 X 的寄存器（扩展），定时器 X 就作为 18 位计数器运行。当 CNTR0 极性转换位的 bit6 为“0”时，就在 CNTR0 引脚的输入为“H”电平期间进行计数；当为“1”时，就在 CNTR0 引脚的输入为“L”电平期间进行计数。必须在此模式中将 CNTR0 引脚共用的端口设定为输入。

另外，必须将用于事件计数器窗口控制的数据（定时器 X 模式寄存器（地址 002D16）的 bit5）设定为允许（“0”）。

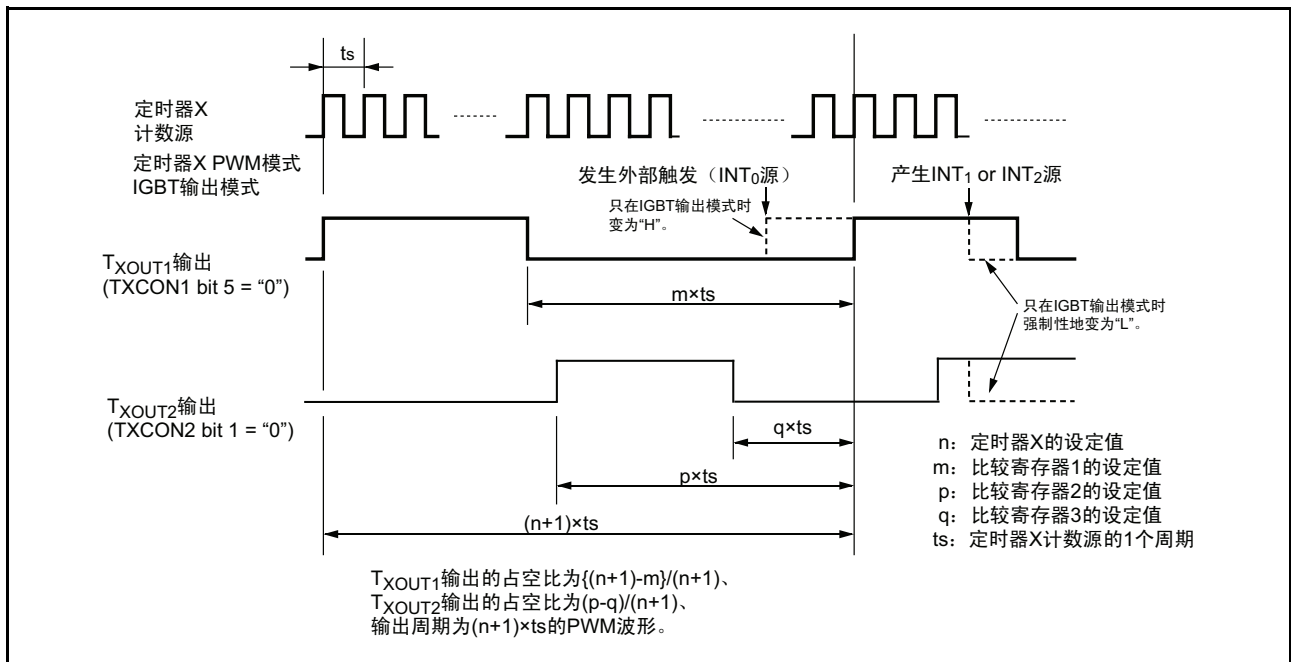


图 27 IGBT/PWM 波形图

注意事项

(1) 有关写定时器 X 的顺序

- 在设定定时器模式、脉冲输出模式、事件计数器模式或者脉宽测定模式时，必须按照定时器 X 的寄存器（扩展）、定时器 X 的寄存器（低位）、定时器 X 的寄存器（高位）的顺序进行写操作。另外，不能只写定时器 X 的寄存器（扩展）、定时器 X 的寄存器（低位）和定时器 X 的寄存器（高位）其中之一。

在设定上述的模式时定时器 X 作为 16 位计数器运行的情况下，如果在复位解除后一次也没有设定定时器 X 的寄存器（扩展），就不需要设定定时器 X 的寄存器（扩展）。此时必须按照定时器 X 的寄存器（低位）到定时器 X 的寄存器（高位）的顺序进行设定。但是必须注意：一旦写定时器 X 的寄存器（扩展），值就被保持到重加载锁存器。

- 必须以 16 位为单位写定时器 X 的寄存器。不能在写操作期间进行读操作。如果在中途停止写操作，就不能正常运行。
- 在设定 PWM 模式和 IGBT 输出模式时，不能给定时器 X 的寄存器（扩展）写“1”。另外，如果为已经写“1”状态，就必须先写“0”后再使用。按照比较寄存器 1、2、3（高位、低位）、定时器 X 的寄存器（扩展）、定时器 X 的寄存器（低位）、定时器 X 的寄存器（高位）的顺序进行写操作。比较寄存器的高位和低位没有写顺序。比较寄存器 1、2、3 和定时器 X 的寄存器都必须写。另外，必须给比较寄存器设定小于定时器 X 的寄存器设定值的值。并且不能设定为“00₁₆”。

(2) 有关读定时器 X 的顺序

- 各模式都必须按照定时器 X 的寄存器（扩展）、定时器 X 的寄存器（高位）、定时器 X 的寄存器（低位）的顺序进行读操作。在不需要读定时器 X 的寄存器（扩展）时，必须按照定时器 X 的寄存器（高位）到定时器 X 的寄存器（低位）的顺序进行读操作。有关比较寄存器 1、2、3，没有规定读的顺序。
- 必须以 16 位为单位读定时器 X 的寄存器。不能在读操作期间进行写操作。如果在中途停止读操作，就不能正常运行。

(3) 有关定时器 X 的写操作

- 定时器 X 能通过定时器 X 的模式寄存器（地址 002D₁₆）的定时器 X 写控制位（b3）选择是同时写锁存器和定时器还是只写锁存器。在只写锁存器的情况下，如果给定时器 X 的地址写值，值就被设定到重加载锁存器，定时器在下次发生下溢时被更新。在复位解除后为同时写锁存器和定时器，如果给定时器 X 的地址写值，值就同时被设定到定时器和定时器的锁存器。

另外，在只写锁存器的情况下，如果写高位重加载锁存器的时序和发生下溢的时序几乎同时，值就同时被设定到定时器和定时器的锁存器。此时，在高位重加载锁存器的写操作中停止计数。

- 必须在定时器计数停止的状态下进行分频转换和计数源转换【注】。

【注】 将分频器输出作为定时器的计数源选择时，随着运行模式（内部振荡器模式、X_{IN} 模式、低速模式）的转换，计数源也可能发生转换。在改变 CPU 模式寄存器的设定时必须注意。

(4) 有关定时器 X 的模式寄存器的设定

- 在设定 PWM 模式和 IGBT 输出模式时，必须将定时器 X 的模式寄存器的写控制位设定为“1”（只写锁存器）。在写定时器 X 的寄存器（高位）后，在下次发生下溢时两个寄存器的内容同时被反映到输出波形。

(5) 有关定时器 X 的输出控制功能

- 在使用输出控制功能 (INT1、INT2) 时, 必须在转换为 IGBT 输出模式前, 将 INT1、INT2 的电平设定为 “H” 电平 (当下降沿有效时) 或者设定为 “L” 电平 (当上升沿有效时)。

(6) 有关 CNTR₀ 中断极性转换

- CNTR₀ 中断极性转换位的设定同时也会影响中断极性。
- 在测定脉宽时, 必须将 CNTR₀ 极性转换位的 bit7 置 “0”。

(7) 使用定时器 X 脉宽测定模式时

使用定时器 X 脉宽测定模式时, 必须将用于事件计数器窗口控制的数据 (定时器 X 模式寄存器 (地址 002D16) 的 bit5) 设为允许 (“0”)。

<理由>

为了允许 / 禁止 CNTR₀ 的输入, 将用于事件计数器窗口控制的数据 (定时器 X 模式计数器 (地址 002D16) 的 bit5) 置 “1” 时, 在定时器 1 下溢后, 就不能接受 CNTR₀ 的输入。

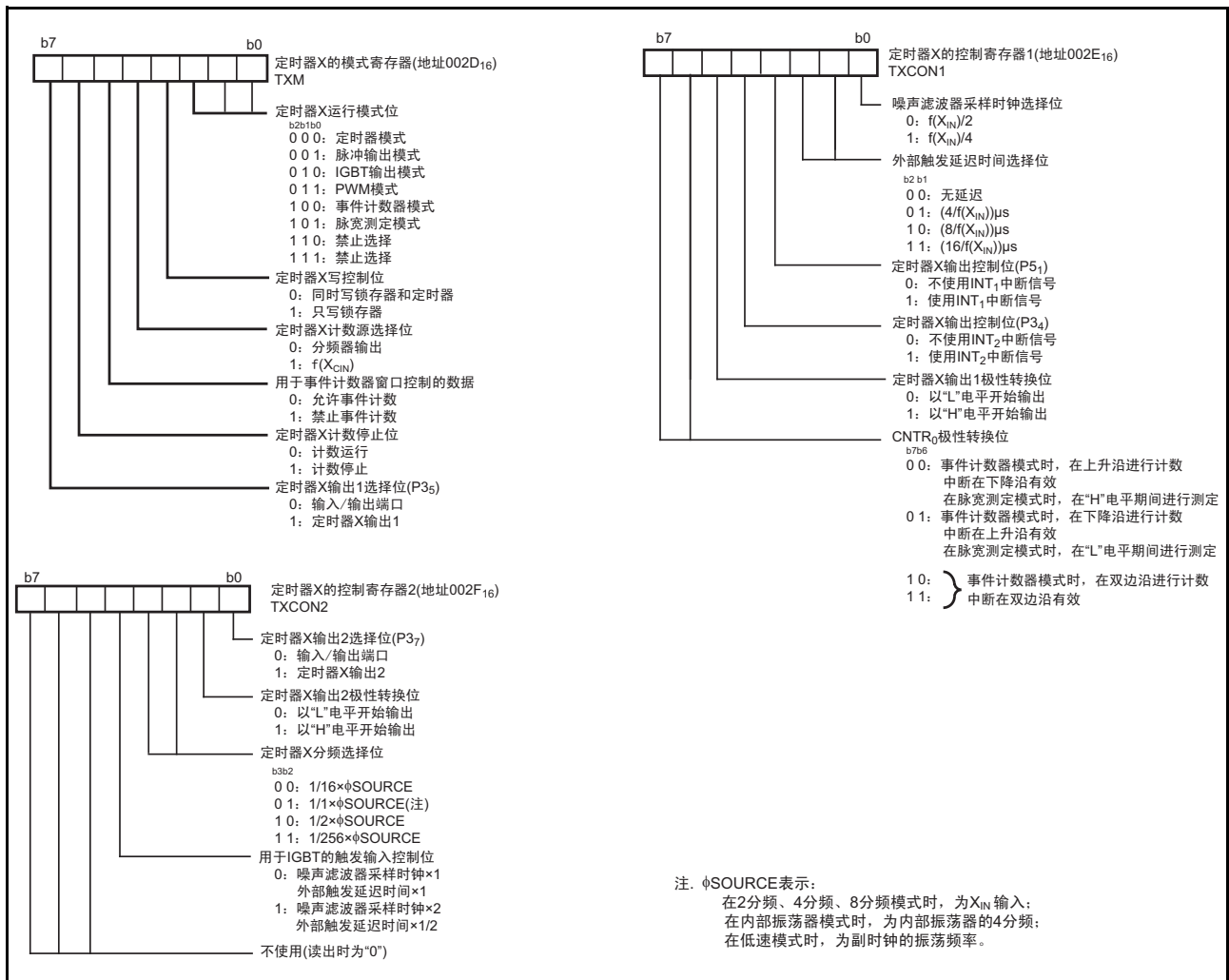


图 28 定时器 X 的关联寄存器的结构

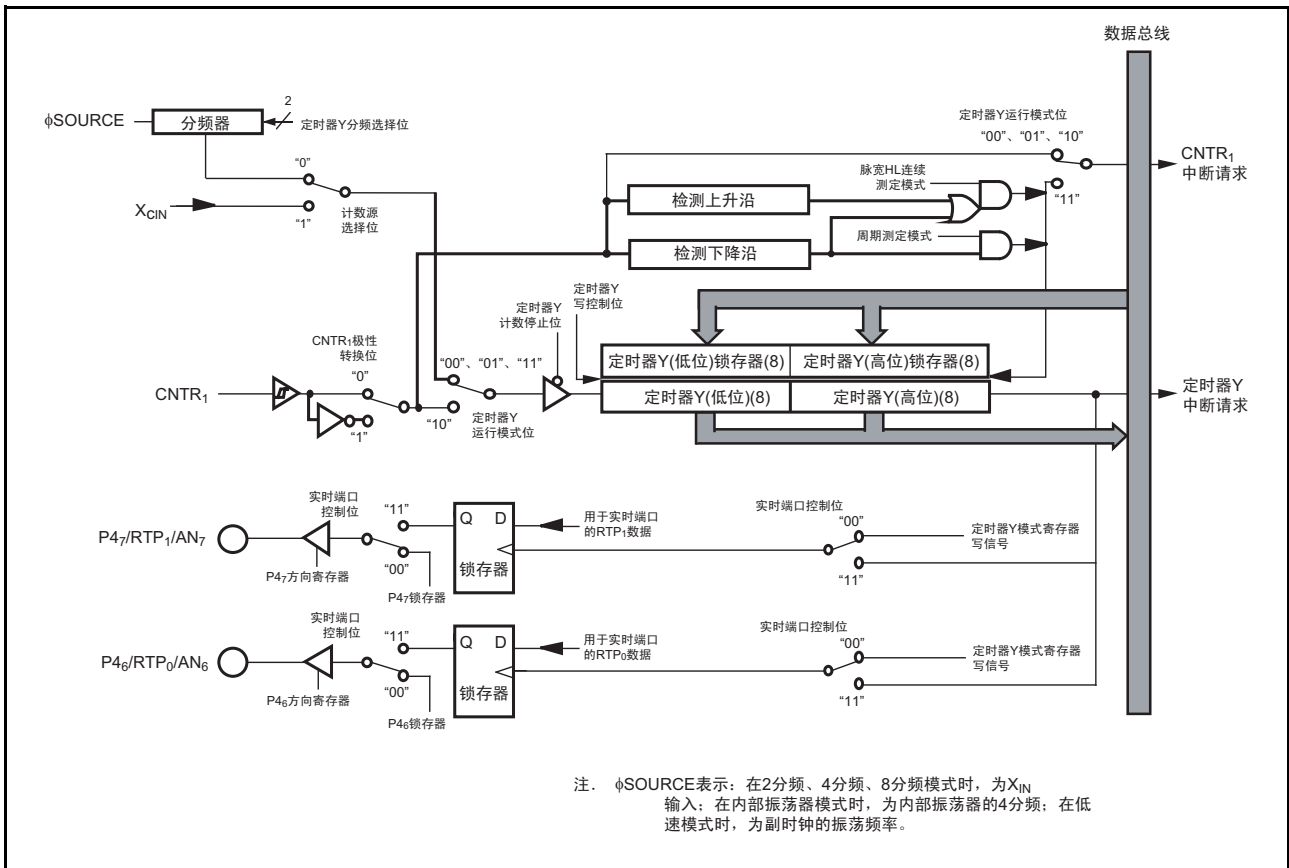


图 29 定时器 Y 的框图

定时器 Y

定时器 Y 是 16 位定时器, 能通过设定定时器 Y 的模式寄存器选择计数源。可以选择 X_{CIN} 为计数源。如果选择了 X_{CIN} 为计数源, 就与 X_{IN} 和内部振荡器无关可进行计数。定时器 Y 能通过定时器 Y 的模式寄存器选择 4 种运行模式, 也能控制实时端口。

(1) 定时器模式

能通过设定定时器 Y 的模式寄存器选择计数源。

(2) 周期测定模式

除了在 $CNTR_1$ 引脚输入的上升沿或者下降沿产生中断请求, 并将定时器的锁存器内容重新加载到定时器, 且继续进行计数以外, 和定时器模式的运行相同。

重新加载前 (在 $CNTR_1$ 引脚输入的上升或者下降时) 的定时器值可以保持到重新加载后该值被读出为止。另外, 能通过 $CNTR_1$ 中断得知 $CNTR_1$ 引脚输入的上升或者下降的时序。必须在此模式中将和 $CNTR_1$ 引脚共用的端口设定为输入。

(3) 事件计数器模式

除了对 $CNTR_1$ 引脚的输入进行计数以外, 和定时器模式的运行相同。必须在此模式中将和 $CNTR_1$ 引脚共用的端口设定为输入。

(4) 脉宽 HL 连续测定模式

除了在 CNTR₁ 引脚输入的上升沿和下降沿都产生中断请求以外，和周期测定模式的运行相同。必须在此模式中将和 CNTR₁ 引脚共用的端口设定为输入。

(5) 实时端口的控制

实时端口功能有效时，每当定时器 Y 下溢，就分别从端口 P4₆、P4₇ 输出用于实时端口的数据。（但是，在设定用于实时端口的数据后，当实时端口控制位从“00₂”变为“11₂”时，和定时器 Y 的运行无关数据被输出。）如果在实时端口功能有效时更改用于实时端口的数据，就会在下一个定时器 Y 的下溢时输出更改的值。

在实时端口控制位转换有效/无效时，为了使 2 位同时转换，必须通过使用 LDM、STA 指令等、以字节单位写定时器 Y 的模式寄存器。另外，使用此功能时，必须将对应端口的方向寄存器设定为输出。

注意事项

(1) 有关 CNTR₁ 中断的极性转换

CNTR₁ 极性转换位的设定同时也会影响中断有效边沿。但是，在脉宽 HL 连续测定模式的情况下，与 CNTR₁ 极性转换位的设定无关，在引脚的上升沿和下降沿都产生 CNTR₁ 中断请求。

(2) 有关定时器 Y 的读写操作

- 在读写定时器 Y 时，高位字节和低位字节都必须读写。在读定时器的值时，必须按照高位字节到低位字节的顺序进行；在写定时器的值时，必须按照低位字节到高位字节的顺序进行。另外，必须以 16 位为单位进行读写操作。如果在中途改变读操作或写操作，就不能正常运行。
- 定时器 Y 能通过定时器 Y 的控制寄存器（地址 0039₁₆）的写控制位（b0）选择是同时写锁存器和定时器还是只写锁存器。在只写锁存器的情况下，如果给定时器 Y 的地址写值，值就被设定到重加载锁存器，定时器在下次发生下溢时被更新。在复位解除后为同时写锁存器和定时器，如果给定时器 Y 的地址写值，值就同时被设定到定时器和定时器锁存器。
另外，在只写锁存器的情况下，如果写高位重加载锁存器的时序和发生下溢的时序几乎同时，值就同时被设定到定时器和定时器锁存器。此时，在高位重加载锁存器的写操作中停止计数。
- 必须在定时器计数停止的状态下进行分频转换和计数源转换【注】。

【注】 将分频器输出作为定时器的计数源选择时，随着运行模式（内部振荡器模式、XIN 模式、低速模式）的转换，计数源也可能发生转换。在改变 CPU 模式寄存器的设定时必须注意。

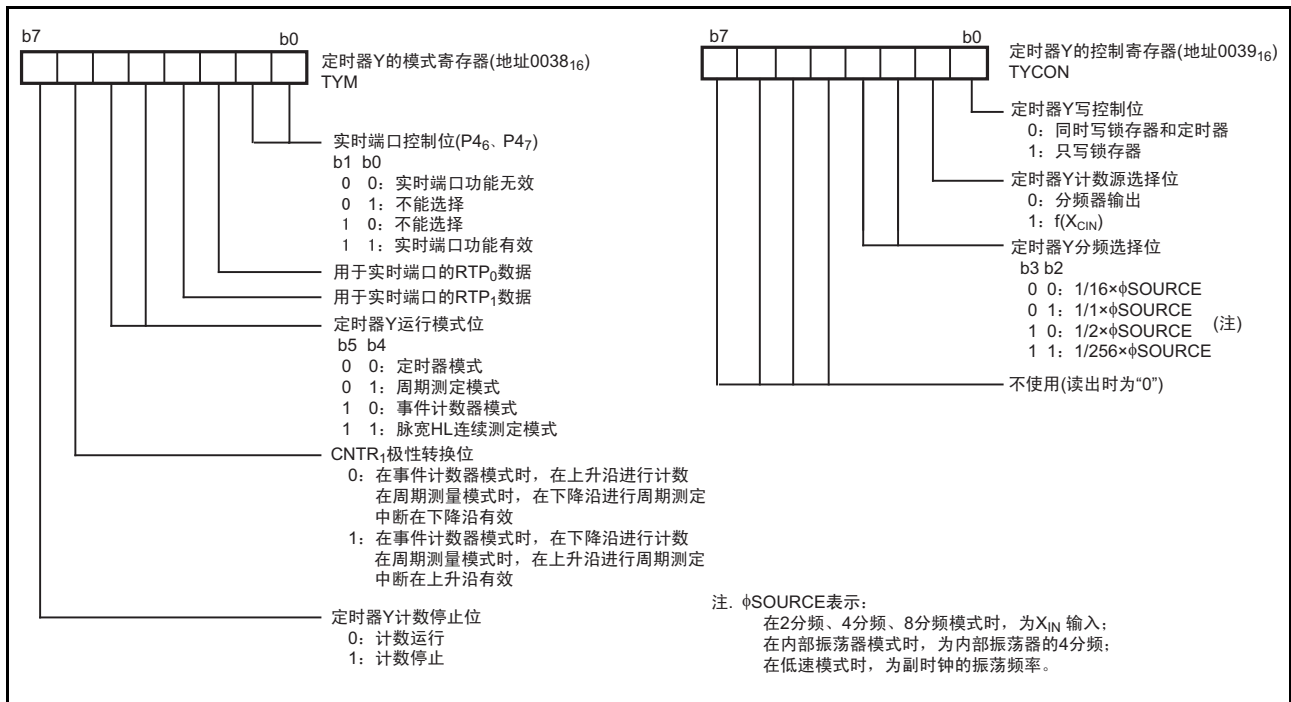


图 30 定时器 Y 的关联寄存器的结构

串行接口

串行 I/O

38D2 群内置 2 个（串行 I/O1、串行 I/O2）8 位串行 I/O。串行 I/O 在时钟同步模式或者在异步模式（UART）中都能运行，具有串行 I/O 运行时的波特率发生专用定时器（波特率发生器）。

(1) 时钟同步串行 I/O 模式

通过将串行 I/O 控制寄存器的模式选择位设定为“1”，选择时钟同步串行 I/O。

在时钟同步串行 I/O 中，对于串行 I/O 运行时钟，发送侧的单片机和接收侧的单片机使用同一时钟。在将内部时钟用作运行时钟的情况下，通过发送 / 接收缓冲寄存器的写信号开始发送和接收。

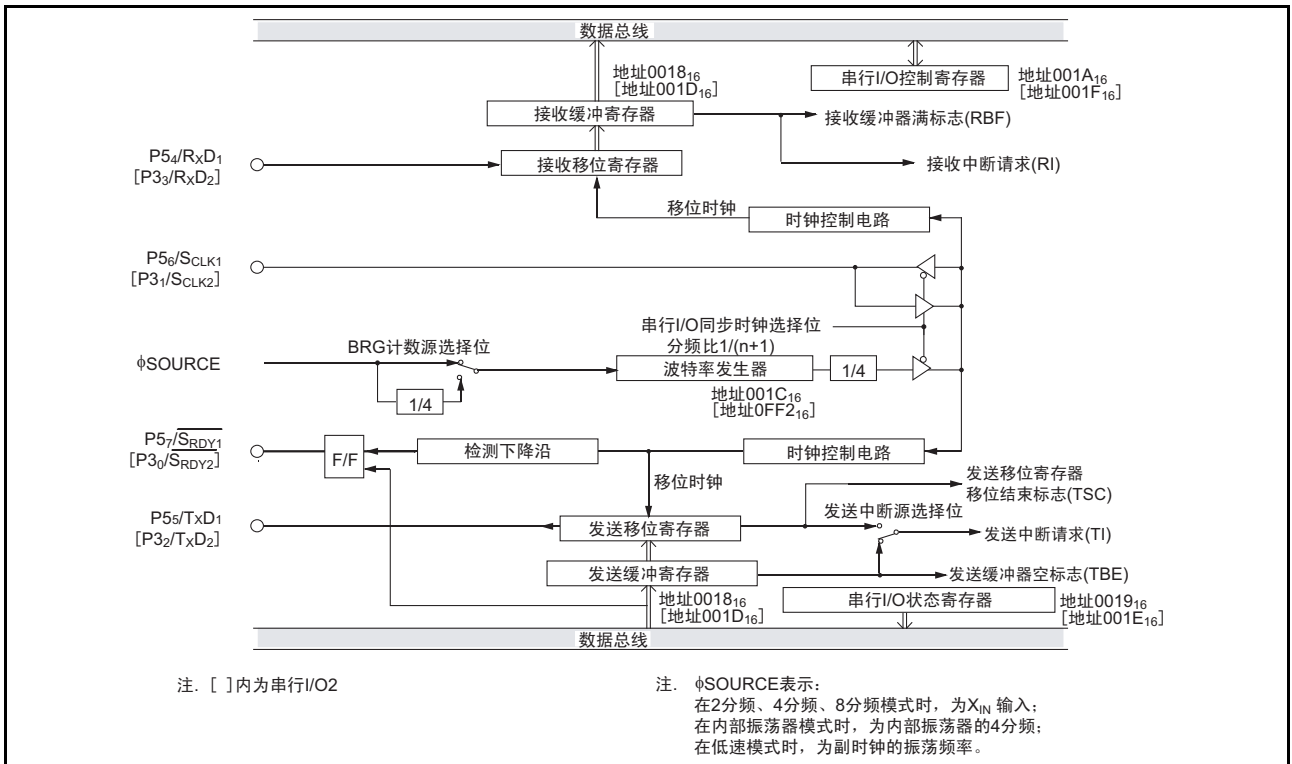


图 31 时钟同步串行 I/O 的框图

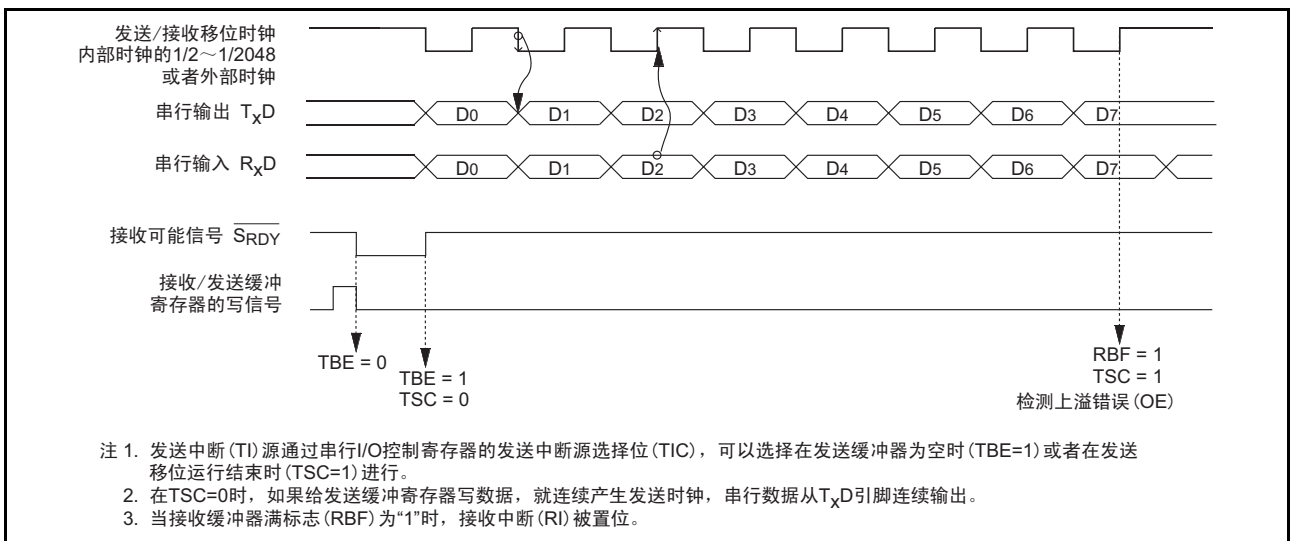


图 32 时钟同步串行 I/O 的运行图

(2) 异步串行 I/O (UART) 模式

通过将串行 I/O 控制寄存器的模式选择位设定为“0”，选择 UART。

38D2 群可选择 8 种串行数据传送格式，必须在发送侧和接收侧统一传送格式。

38D2 群的发送移位寄存器（用于发送串行数据）和接收移位寄存器（用于接收串行数据）有各自的缓冲寄存器（存储器内的地址相同）。因为不能直接读写移位寄存器，所以对各自的缓冲寄存器写发送数据或者读接收数据。另外，能通过这些缓冲寄存器预写下一个要发送的数据，或者连续接收 2 字节的接收数据。

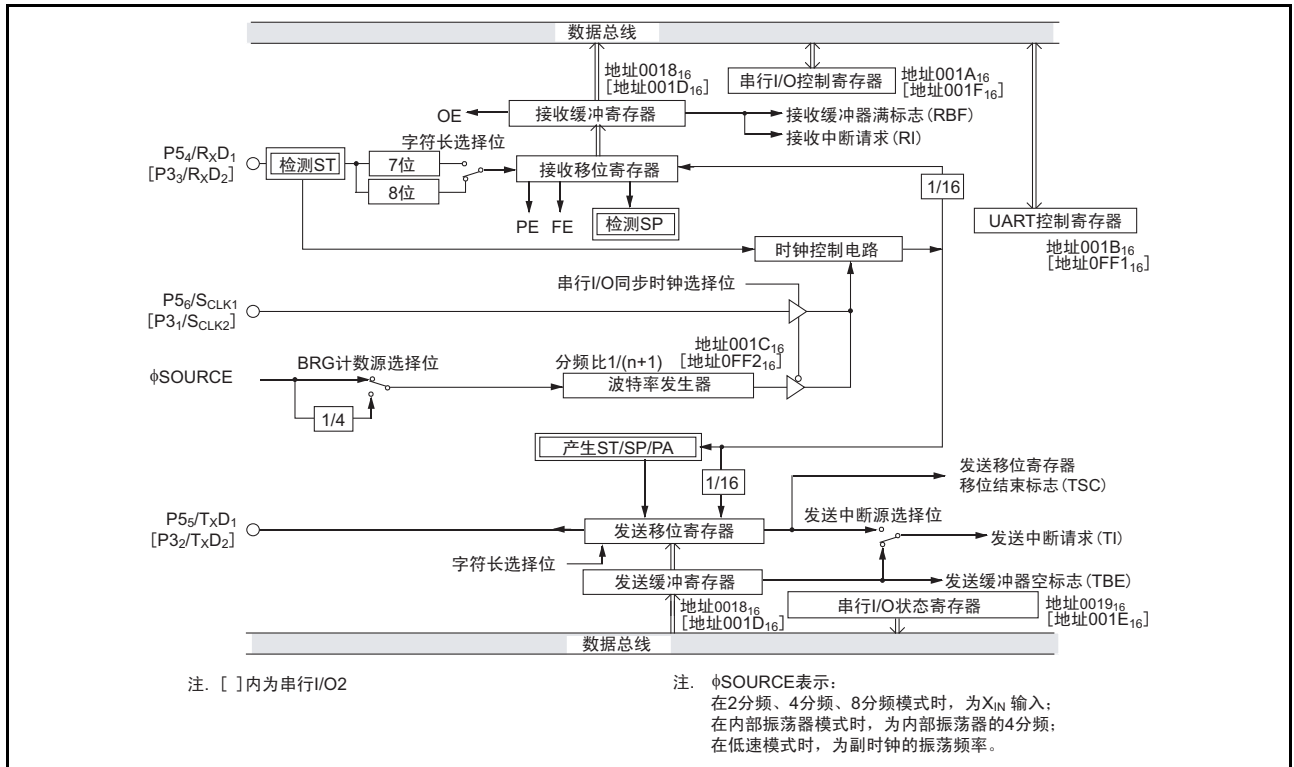


图 33 UART 串行 I/O 的框图

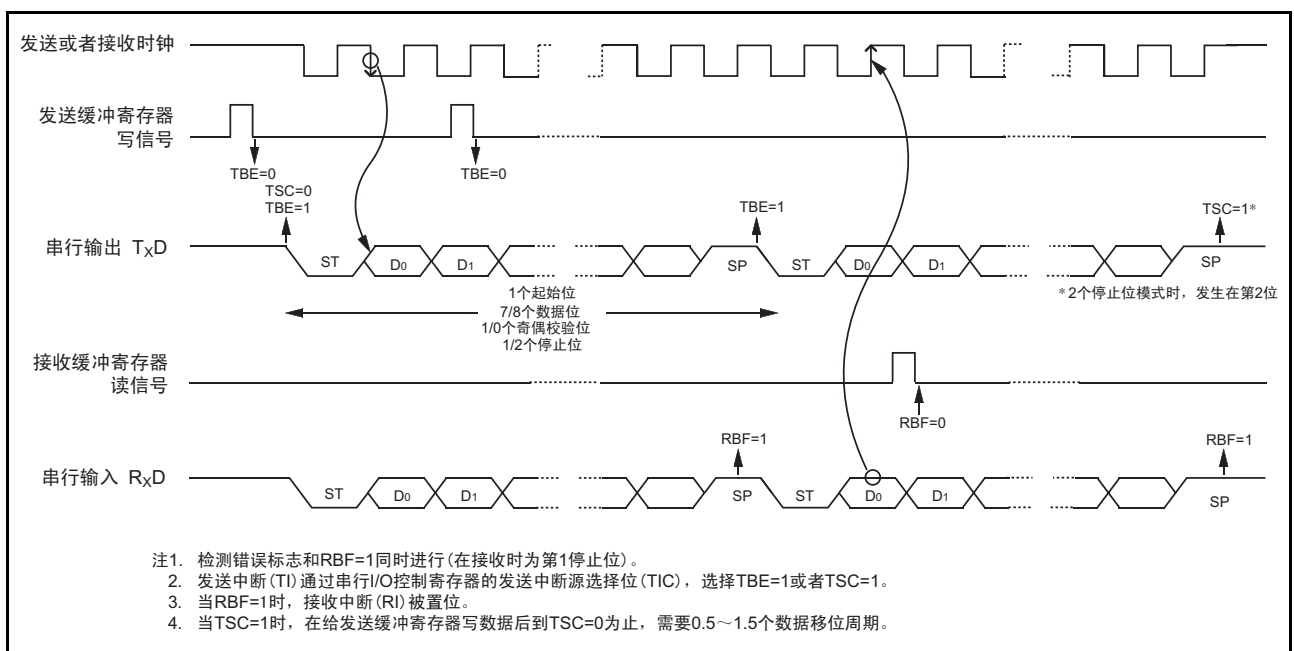


图 34 UART 串行 I/O 的运行图

【发送缓冲寄存器 / 接收缓冲寄存器】TB1、TB2/RB1、RB2

发送缓冲寄存器和接收缓冲寄存器被分配到相同的地址，发送缓冲寄存器为只写寄存器，接收缓冲寄存器为只读寄存器。另外，在字符位长为 7 位时，保存在接收缓冲寄存器的接收数据的 MSB 为“0”。

【串行 I/O 状态寄存器】SIO1STS、SIO2STS

它是由表示串行 I/O 运行状态的标志和各种错误标志构成的 7 位只读寄存器，bit4 ~ 6 只在 UART 模式时有效。

如果读接收缓冲寄存器，接收缓冲器满标志就被清“0”。

在数据从接收移位寄存器被传送到接收缓冲寄存器并且接收缓冲器满标志被置位的同时，进行错误检测。通过写串行 I/O 状态寄存器，清除全部的错误标志（OE、PE、FE 和 SE）。另外，如果给串行 I/O 允许位（SIOE）写“0”，包括错误标志的全部状态标志就被清“0”。

虽然此寄存器全部的位在复位时被初始化为“0”，但是，在将串行 I/O 控制寄存器的发送允许位设定为“1”时，bit2 和 bit0 变为“1”。

【串行 I/O 控制寄存器】SIO1CON、SIO2CON

串行 I/O 控制寄存器由进行串行 I/O 各种控制的 8 位选择位构成。

【UART 控制寄存器】UART1CON、UART2CON

它是由在选择 UART 时 4 位有效的控制位和 1 位总是有效的控制位构成的 5 位寄存器。根据此寄存器的内容设定发送和接收串行数据时的数据格式和 P55/TxD1[P32/TxD2] 引脚的输出形式等。

【波特率发生器】BRG1、BRG2

它决定串行传送的位速率。

是有重加载寄存器的 8 位计数器，通过设定值 n 以 $1/(n+1)$ 的分频比分频计数源。

注意事项

在将串行 I/O 的发送允许位设定为“1”时，串行 I/O 的发送中断请求位变为“1”。如果不需要发生与发送允许同步的中断，就必须按以下步骤进行设定：

1. 将串行 I/O 的发送中断允许位设定为“0”（禁止）。
2. 将发送允许位设定为“1”。
3. 在执行至少一条指令后，将串行 I/O 的发送中断请求位设定为“0”。
4. 将串行 I/O 的发送中断允许位设定为“1”（允许）。

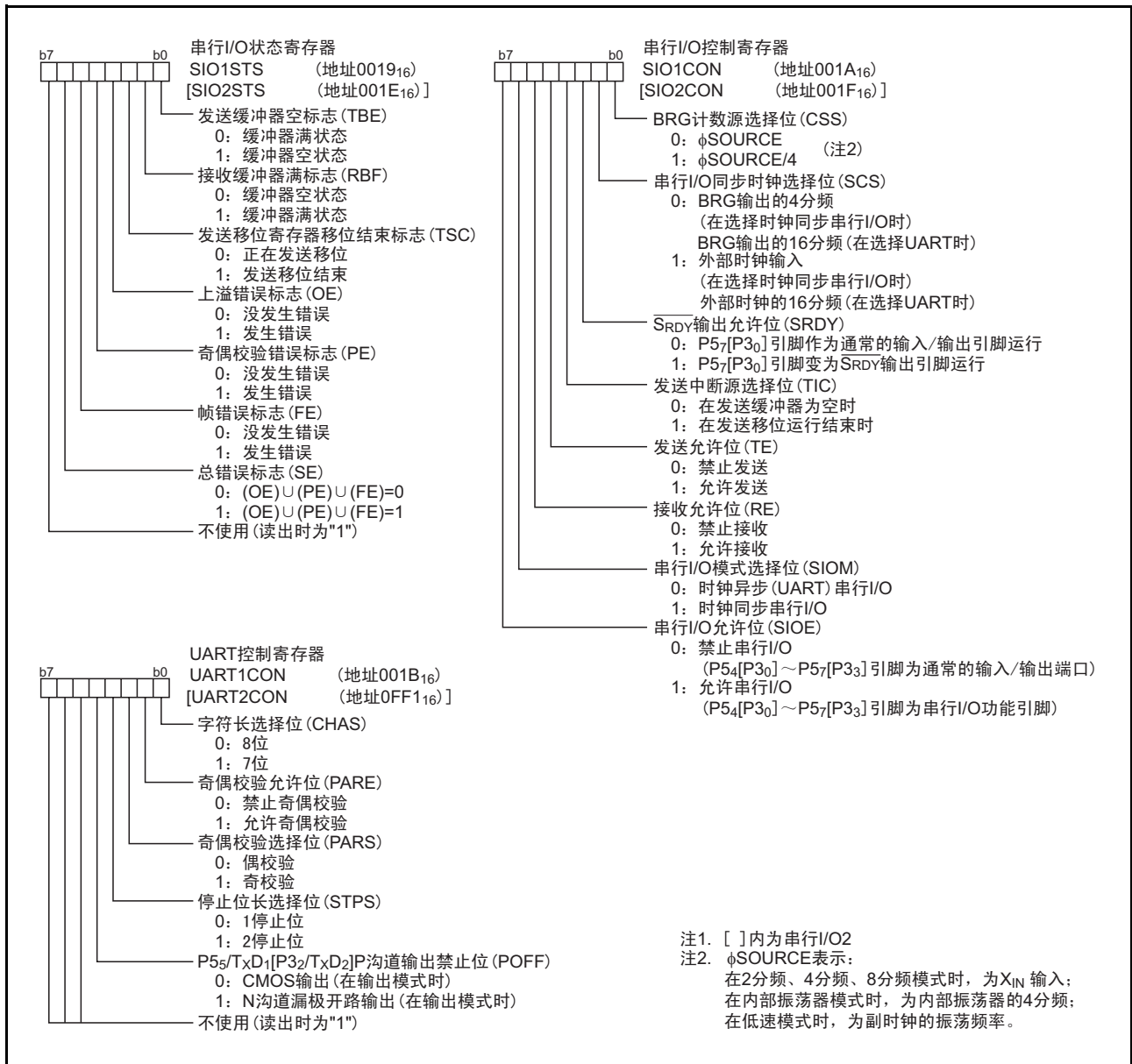


图 35 串行 I/O 的关联寄存器的结构

A/D 转换器

A/D 转换器

它是 10 位分辨率逐次逼近方式的 A/D 转换器。具有自动将 ADKEY 引脚的“L”电平模拟输入进行 A/D 转换的 ADKEY 功能。

【AD 转换寄存器】ADL 和 ADH

AD 转换寄存器是保存 A/D 转换结果的寄存器，有高位寄存器和低位寄存器。转换结果的高 8 位保存到 AD 转换寄存器（高位）（地址 0017₁₆），低 2 位保存到 AD 转换寄存器（低位）（地址 0016₁₆）的 bit7 和 bit6。不能在 A/D 转换中读此寄存器。

另外，能通过 V_{REF} 输入开关位（地址 0016₁₆ 的 bit0）控制梯形电阻和基准电压输入引脚（V_{REF}）的连接。如果给此位写“1”，梯形电阻就总是连接到 V_{REF}；如果写“0”，除在 A/D 转换中以外，梯形电阻就从 V_{REF} 分离。

【AD 控制寄存器】ADCON

AD 控制寄存器是控制 A/D 转换器的寄存器。bit2 ~ bit0 是模拟输入引脚的选择位。bit3 是 AD 转换结束位，在 A/D 转换中为“0”，当 A/D 转换结束时为“1”。通过给此位写“0”开始进行 A/D 转换。

bit5 是 ADKEY 允许位，通过给此位写“1”允许 ADKEY 功能。如果将此功能设定为有效，就忽略模拟输入引脚选择位。另外，当 bit5 为“1”时，不能通过程序给 bit3 写“0”。

【比较电压发生器】

用电阻对 AV_{SS} 和 V_{REF} 之间的电压进行分压，并输出分压。

【通道选择器】

从端口 P47/AN7 ~ P40/AN0 中选择 1 个通道，输入到比较器。

【比较器和控制电路】

将模拟输入电压和比较电压进行比较，该结果保存到 AD 转换寄存器。在 A/D 转换结束时，将 AD 转换结束位和 AD 转换中断请求位设定为“1”。

比较器的输入由电容耦合构成。如果转换速度不充分，就可能因电荷的消失而降低转换精度，所以在 X_{IN} 模式中进行 A/D 转换时，必须将 f(X_{IN}) 设定为大于等于 500kHz。另外，不能在 A/D 转换中执行 STP 指令和 WIT 指令。

在低速模式、内部振荡器模式中，因为使用内部振荡器作为 A/D 转换时钟，所以没有频率的限制。低速模式时，即使内部振荡器停止，在执行 A/D 转换时也会自动振荡，在结束 A/D 转换时也会自动停止。

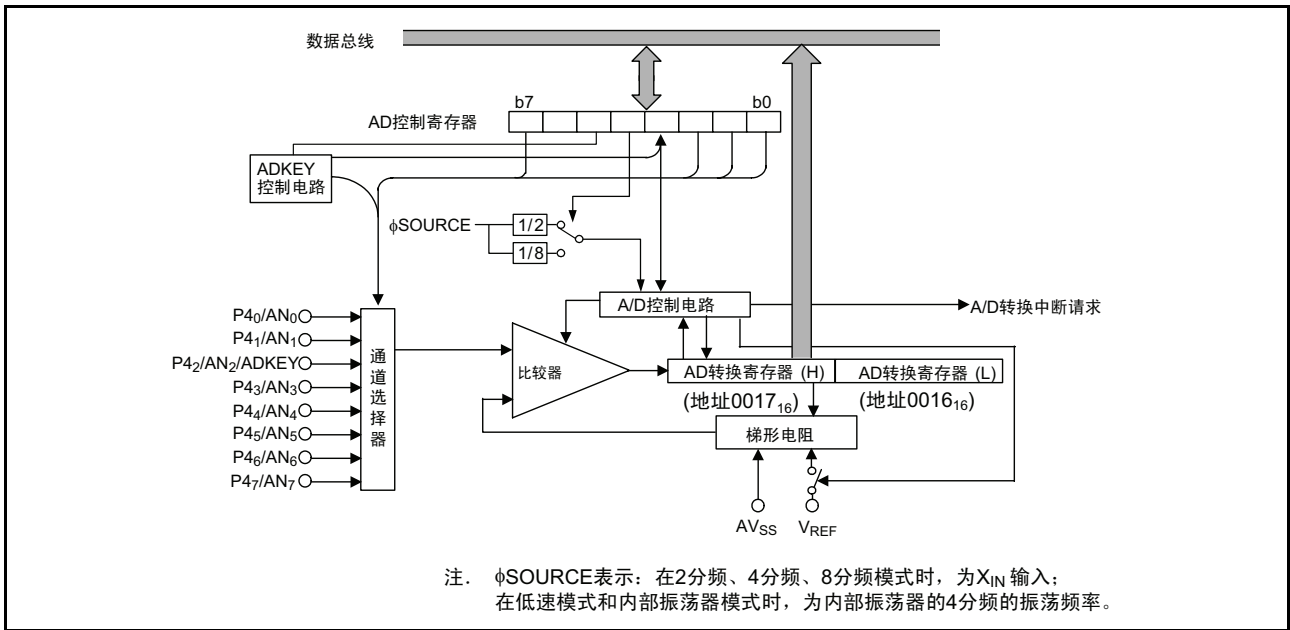


图 36 A/D 转换器的框图

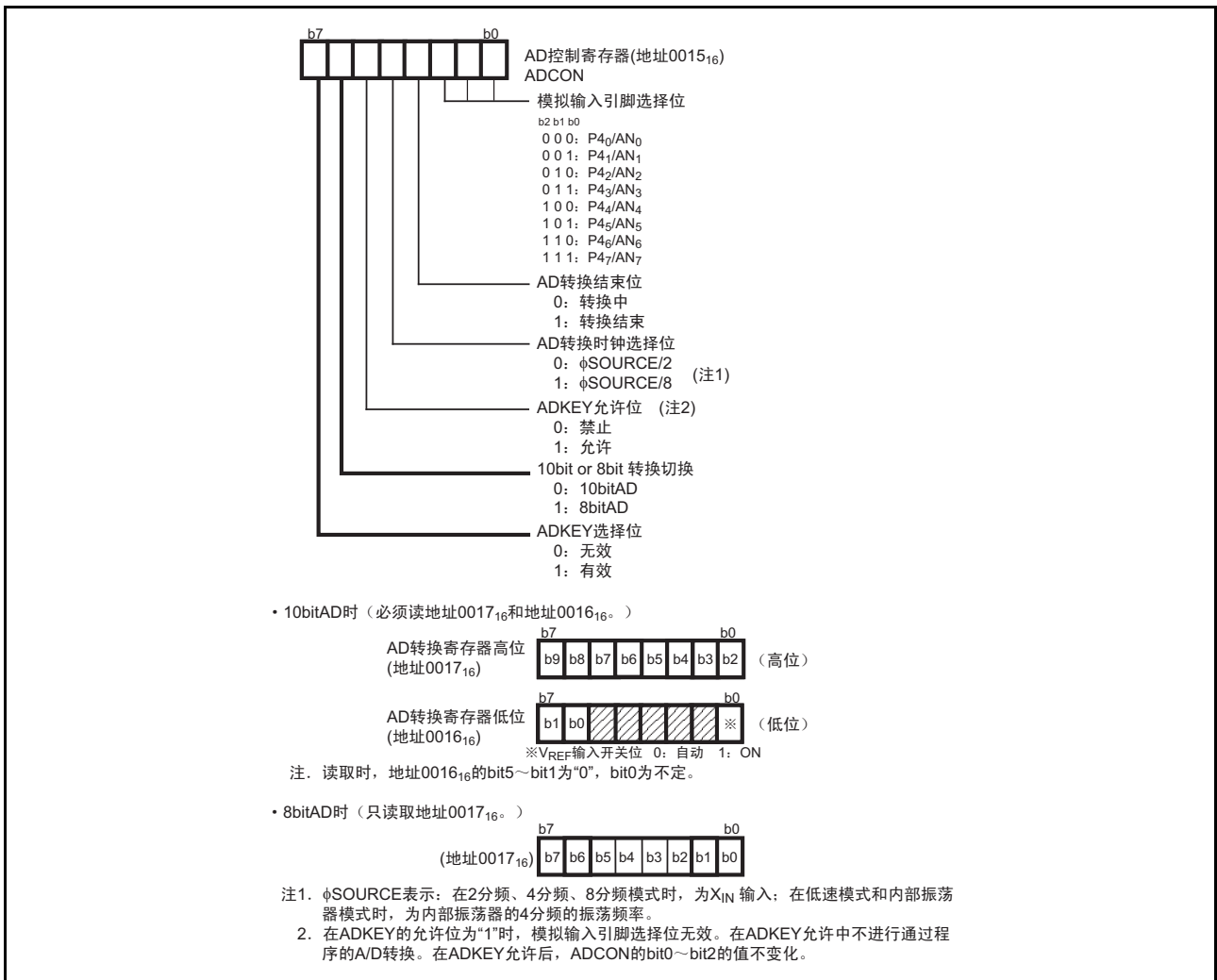


图 37 AD 控制寄存器的结构

ADKEY 功能

ADKEY 功能是判断输入到 ADKEY 引脚的模拟输入电压的功能。如果将小于等于 V_{IL} ($0.7 \times V_{CC} - 0.5$) 的电压输入到 ADKEY 引脚，A/D 转换器就开始运行，所以能通过 A/D 转换中断等进行判断。在 STP 和 WIT 状态下也能使用此功能。

对于 38D2 群的 ADKEY 功能，不能在 ADKEY 功能刚启动后就进行模拟输入电压的 A/D 转换。因此 ADKEY 功能刚启动后的 A/D 转换结果不稳定。在需要输入到 ADKEY 引脚的模拟输入电压的 A/D 转换结果时，必须在选择与 ADKEY 对应的模拟输入引脚后进行 A/D 转换。

- ADKEY 选择

在使用 ADKEY 引脚时，必须给 ADKEY 选择位设定“1”。在由 ADKEY 功能开始进行 A/D 转换后，ADKEY 选择位为“0”。

- ADKEY 允许

通过给 ADKEY 允许位写“1”，ADKEY 功能变为有效。在将 ADKEY 功能设定为有效时，必须在给 ADKEY 选择位设定“1”后给 ADKEY 允许位设定“1”。

当 ADKEY 允许位为“1”时，模拟输入引脚选择位变为无效。不能在 ADKEY 允许中给 AD 转换结束位写“0”。

【ADKEY 控制电路】

必须将 ADKEY 引脚的输入波形置为陡下降波形，并且必须在输入电压下降到小于等于 V_{IL} 的瞬间后的 8 个时钟周期（当 $f(X_{IN})=8\text{MHz}$ 时，为 $1\mu\text{s}$ ）内稳定输入电压。

ADKEY 引脚的实际阈值电压为 $V_{IH}-V_{IL}$ 之间的电压。

为了不进行因噪声等引起的不必要的 ADKEY 运行，必须在等待输入的状态下使 ADKEY 引脚的电压在大于等于 V_{IH} ($0.9V_{CC}$)。

在进行以下操作时，不能保证 A/D 转换的运行：

- 在 A/D 转换中操作 CPU 模式寄存器时
- 在 A/D 转换中操作 AD 控制寄存器时
- 在 A/D 转换中执行 STP、WIT 指令时

LCD 驱动控制电路

38D2 群内置 LCD（液晶显示器件）的驱动控制电路。

LCD 驱动控制电路由以下构成：

- LCD 显示 RAM
- 段输出禁止寄存器
- LCD 模式寄存器
- 选择器
- 时序控制器
- 公共驱动器
- 段驱动器
- 偏压控制电路

能使用最多 24 个段输出和最多 4 个公共输出，并能进行最多 96 像素的 LCD 显示。

如果在将数据设定到 LCD 模式寄存器、段输出禁止寄存器和 LCD 显示 RAM 后，将 LCD 允许位设定为点灯，LCD 驱动控制电路就自动读显示数据，进行偏压控制、分时控制等以及进行 LCD 屏的显示。

表 10 在各分时情况下的最大显示像素数

分时数	最大显示像素数
2	48 点或者 6 位 8 段 LCD
3	72 点或者 9 位 8 段 LCD
4	96 点或者 12 位 8 段 LCD

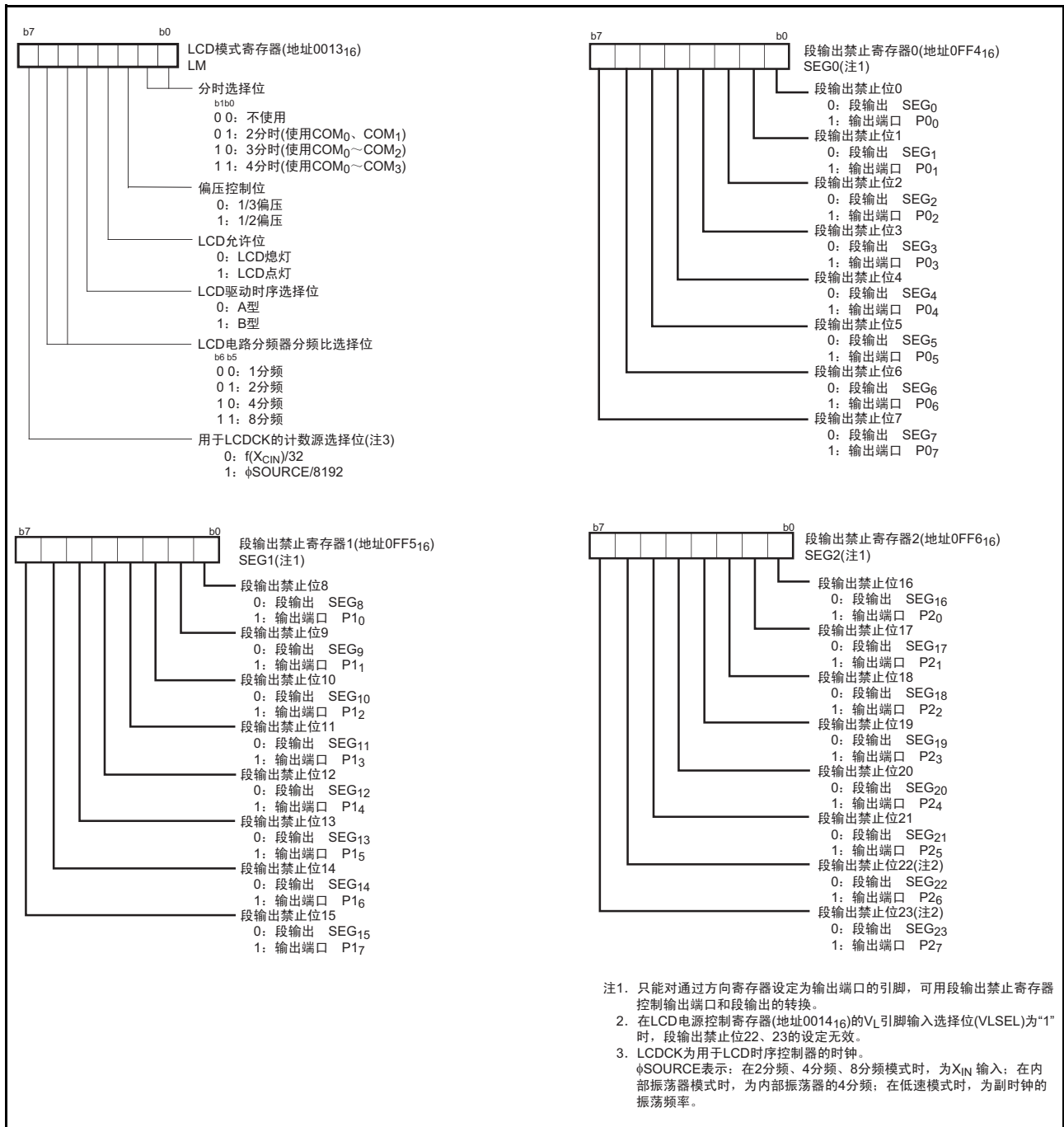
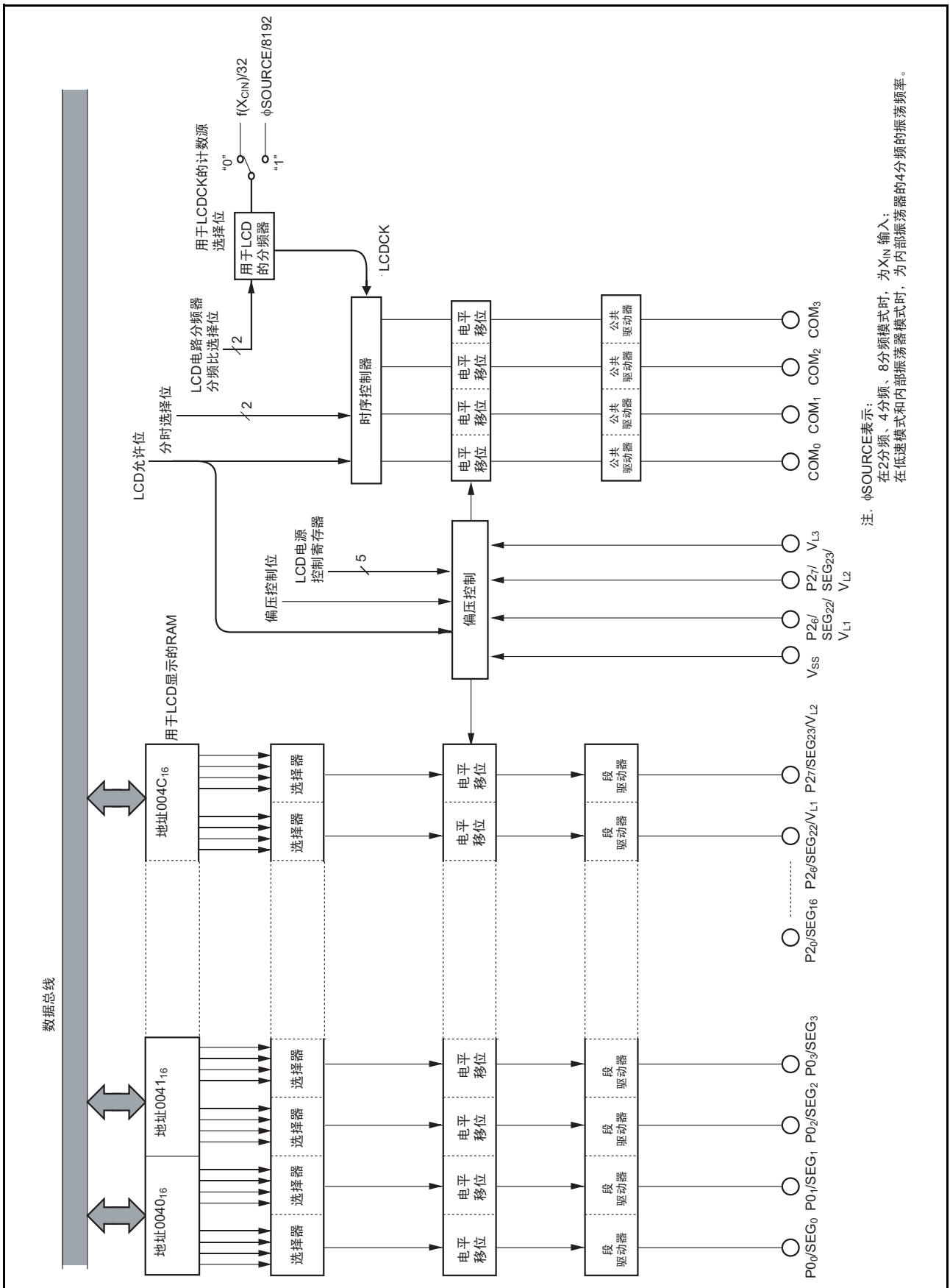


图 38 LCD 关联寄存器的结构



注. φSOURCE表示:
在2分频、4分频、8分频模式时, 为X_{IN} 输入;
在低速模式和内部振荡器模式时, 为内部振荡器的4分频的振荡频率。

图 39 LCD 控制器 / 驱动器的框图

偏压控制和给 LCD 的电源输入引脚外加电压

在由 LCD 的电源输入引脚 ($V_{L1} \sim V_{L3}$) 外加电压时, 必须将 V_L 引脚输入选择位 (LCD 电源控制寄存器的 bit5) 和 V_{L3} 连接位 (LCD 电源控制寄存器的 bit6) 置“1”, 并按照偏压值外加如表 11 所示的电压值。此时, 不能使用 2 个段输出 (SEG22、SEG23)。

另外, 必须通过偏压控制位 (LCD 模式寄存器的 bit2) 选择偏压值。

表 11 偏压控制和给 $V_{L1} \sim V_{L3}$ 的外加电压

偏压值	电压值
1/3 偏压	$V_{L3}=V_{LCD}$ $V_{L2}=2/3V_{LCD}$ $V_{L1}=1/3V_{LCD}$
1/2 偏压	$V_{L3}=V_{LCD}$ $V_{L2}=V_{L1}=1/2V_{LCD}$

【注】 V_{LCD} 是对 LCD 显示屏的供给电压的最大值。

公共引脚和分时控制

公共引脚 ($COM_0 \sim COM_3$) 由分时数决定要使用的引脚。必须通过分时选择位 (LCD 模式寄存器的 bit0 和 bit1) 选择分时数。在复位解除时, 从公共引脚输出 V_{CC} 的电压。

表 12 分时控制和使用的公共引脚

分时数	分时选择位		使用的公共引脚名
	bit1	bit0	
2	0	1	COM_0 、 COM_1
3	1	0	$COM_0 \sim COM_2$
4	1	1	$COM_0 \sim COM_3$

【注】 未使用的公共引脚输出未选择波形。

段信号的输出引脚

段信号的输出引脚 ($SEG_0 \sim SEG_{23}$) 和端口 P0 ~ P2 兼用。在这些引脚用作段信号的输出引脚时, 将对应引脚的方向寄存器置“1”, 并将段输出禁止寄存器清“0”。

另外, 这些引脚在复位解除后被设定为输入端口, 通过上拉电阻输出 V_{CC} 的电压。

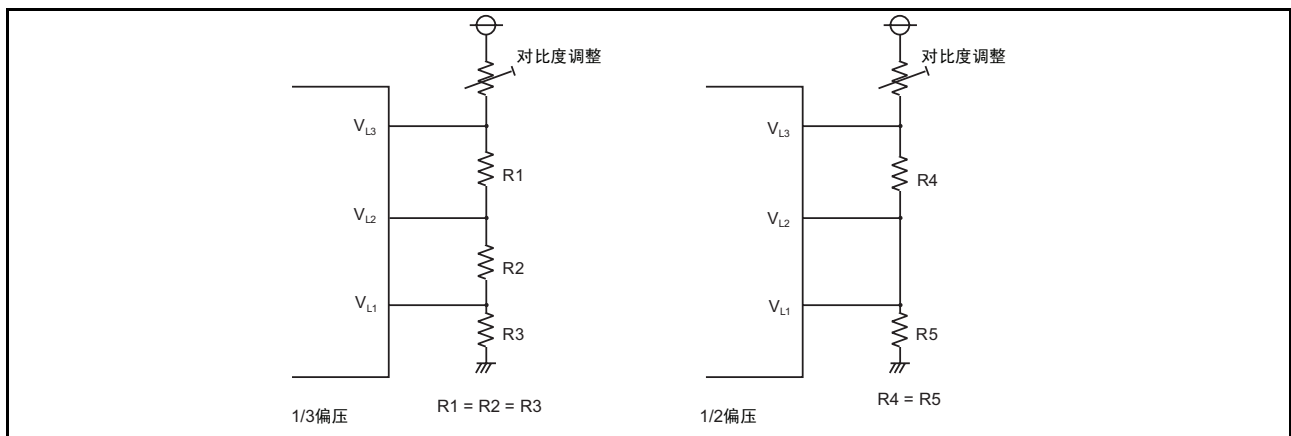


图 40 各偏压时的电路例子 (外部电源输入时)

LCD 电源电路

LCD 电源电路内置用于 LCD 电源的分压电阻，可通过软件断开该分压电阻。通过 LCD 电源控制寄存器设定此内部电阻的连接选择。

使用 LCD 时，必须从外部向 VL3 引脚外加电压，并将 VL3 连接位设定为“1”。用和 VCC 相等的电压使用 VL3 引脚时，也必须从外部外加电压。

不使用 LCD 时，必须进行以下处理中的任意一种。

- 将 VL3 连接位设定为“0”、VL3 引脚开路
- 将 VL3 连接位设定为“1”、向 VL3 引脚外加 VCC 电平

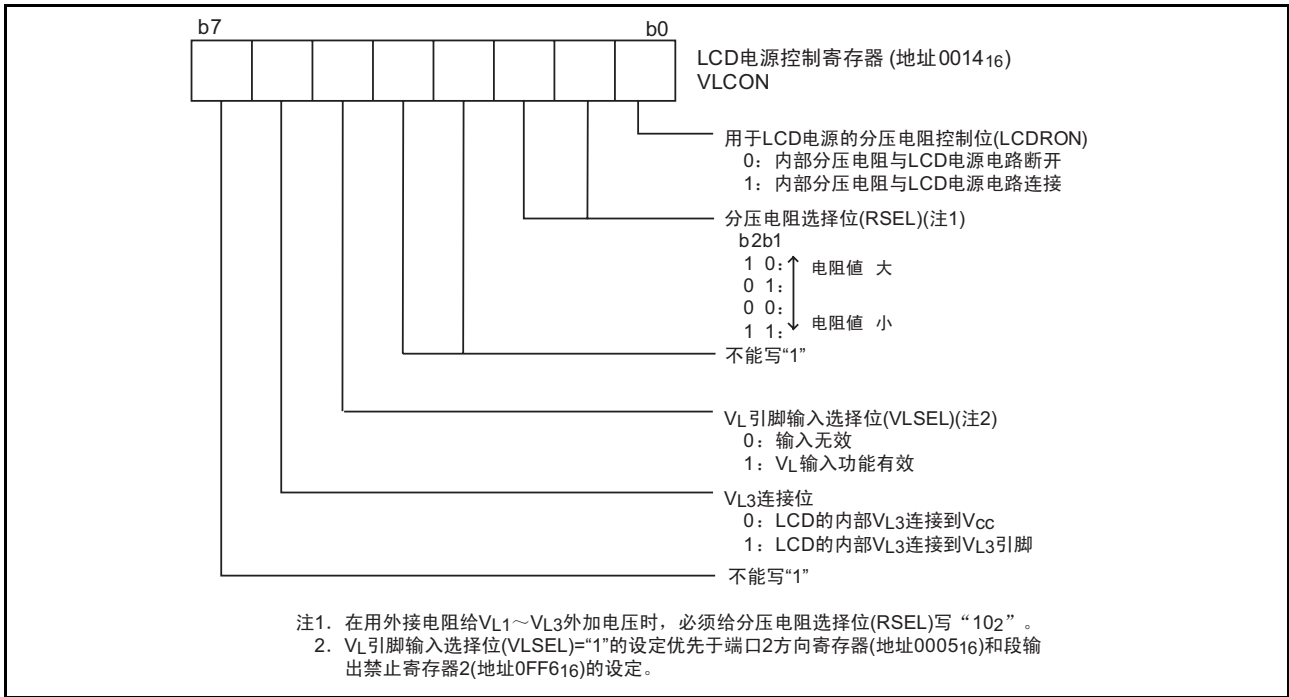


图 41 LCD 电源控制寄存器的结构

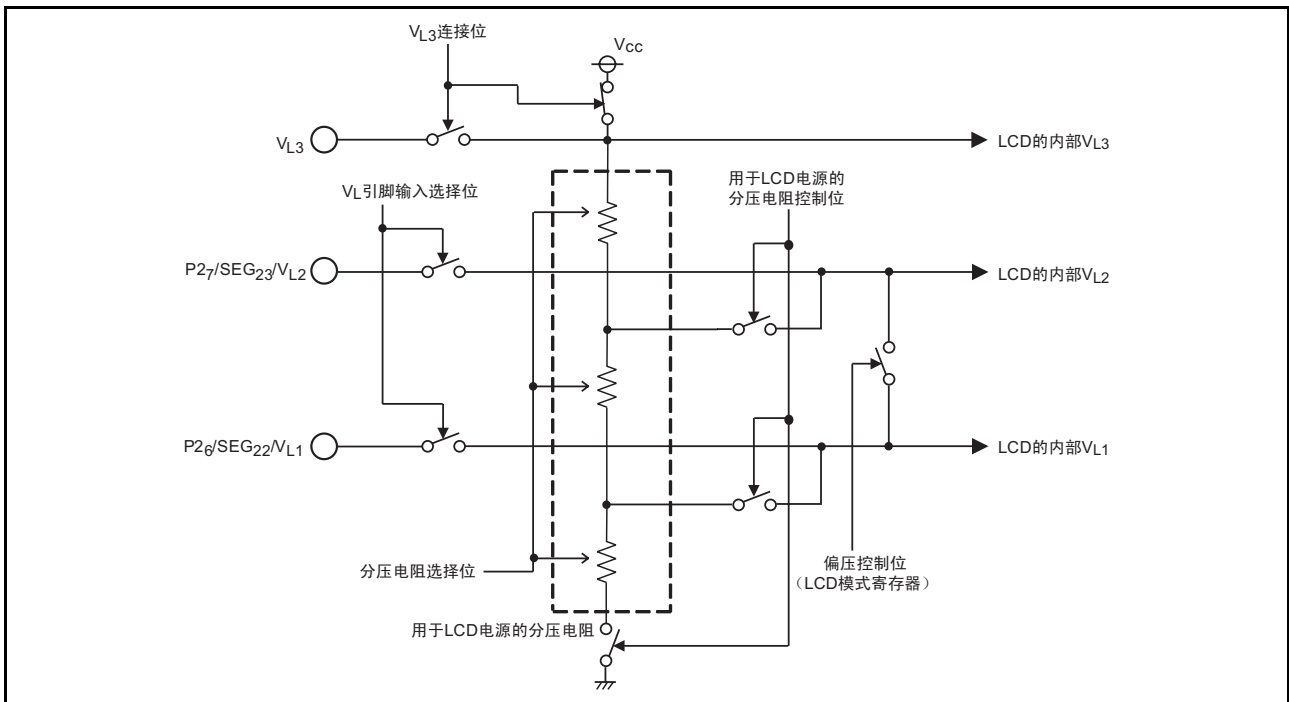


图 42 VL 框图

LCD 显示 RAM

从地址 0040₁₆ 到地址 004B₁₆ 的 12 字节是 LCD 显示 RAM。当给这些位写“1”时，LCD 显示屏的对应段就点灯。

LCD 驱动时序

LCD 驱动控制电路可选择 A 型或者 B 型的 LCD 驱动时序。

通过时序选择位（LCD 模式寄存器的 bit4）选择 LCD 驱动时序。

如果将 LCD 驱动时序选择位设定为“0”，就选择 A 型；如果设定为“1”，就选择 B 型。复位后的驱动时序为 A 型。

决定 LCD 驱动时序的内部信号 LCDCK 的频率和帧频如下：

$$f(\text{LCDCK}) = \frac{(\text{LCDCK 计数源频率})}{(\text{LCD 分频器分频比})}$$

$$\text{帧频} = f(\text{LCDCK}) / \text{分帧数}$$

注意事项

1. 如果执行 STP 指令，LCD 允许位（LCD 模式寄存器（地址 0013₁₆）的 bit3）和 LCD 电源控制寄存器的 bit0~5、bit7 位就被清“0”，LCD 显示屏熄灯。从停止模式返回后，使 LCD 显示屏点灯时，必须将这些位置“1”。
2. 在使用外接电阻给 V_{L1}~V_{L3} 外加电压时，必须给 LCD 电源控制寄存器（地址 0038₁₆）的分压电阻选择位（RSEL）写“10₂”。
3. 如果在 V_{L3}=V_{CC} 时使用 LCD 驱动控制电路，就必须给 V_{L3} 引脚外加 V_{CC} 电压，并且给 LCD 电源控制寄存器（地址 0038₁₆）的 V_{L3} 连接位写“1”。

位 地址	7	6	5	4	3	2	1	0
0040 ₁₆	SEG ₁			SEG ₀				
0041 ₁₆	SEG ₃			SEG ₂				
0042 ₁₆	SEG ₅			SEG ₄				
0043 ₁₆	SEG ₇			SEG ₆				
0044 ₁₆	SEG ₉			SEG ₈				
0045 ₁₆	SEG ₁₁			SEG ₁₀				
0046 ₁₆	SEG ₁₃			SEG ₁₂				
0047 ₁₆	SEG ₁₅			SEG ₁₄				
0048 ₁₆	SEG ₁₇			SEG ₁₆				
0049 ₁₆	SEG ₁₉			SEG ₁₈				
004A ₁₆	SEG ₂₁			SEG ₂₀				
004B ₁₆	SEG ₂₃			SEG ₂₂				
	COM ₃	COM ₂	COM ₁	COM ₀	COM ₃	COM ₂	COM ₁	COM ₀

图 43 LCD 显示 RAM 的映像

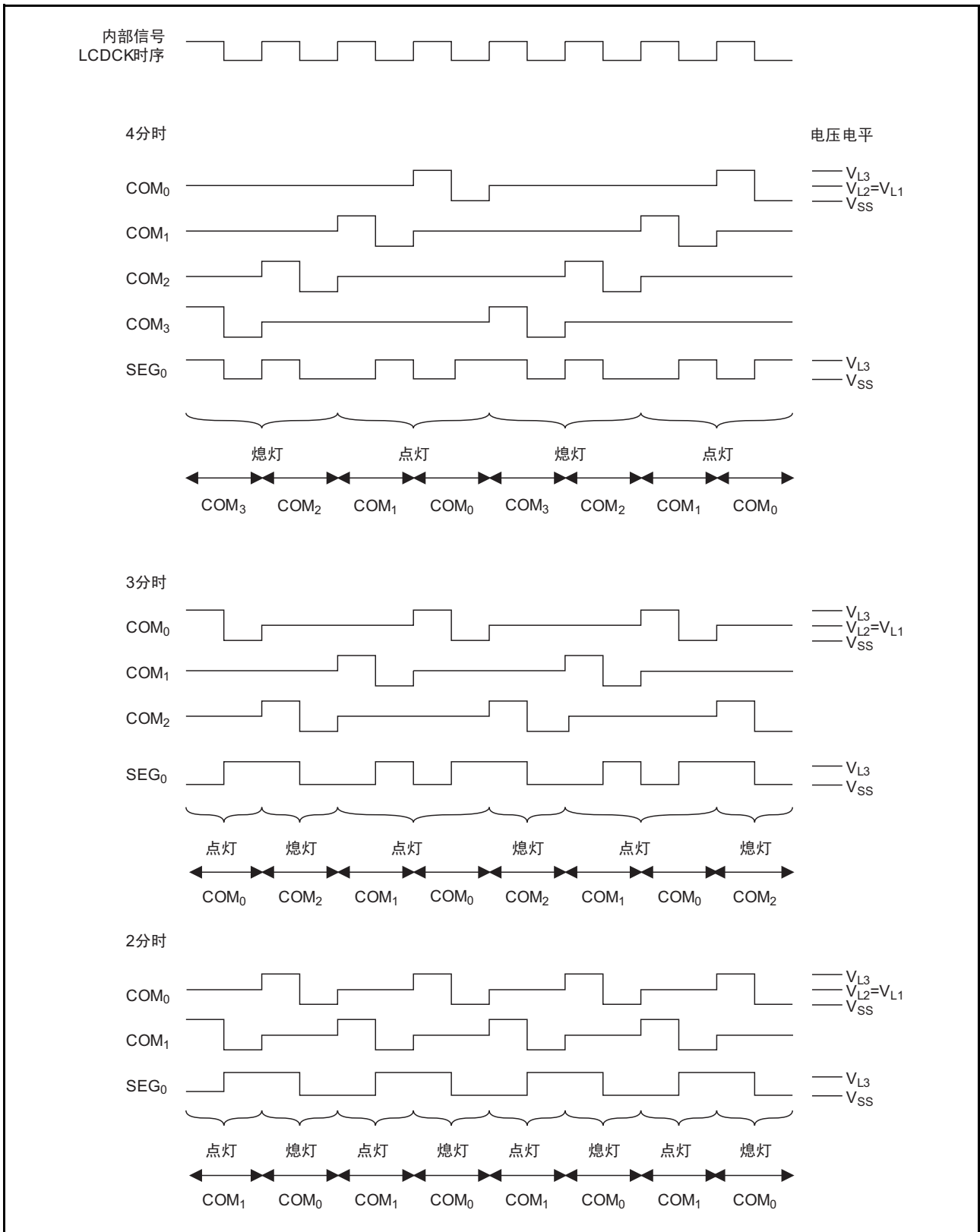


图 44 LCD 驱动波形 (1/2 偏压 A 型)

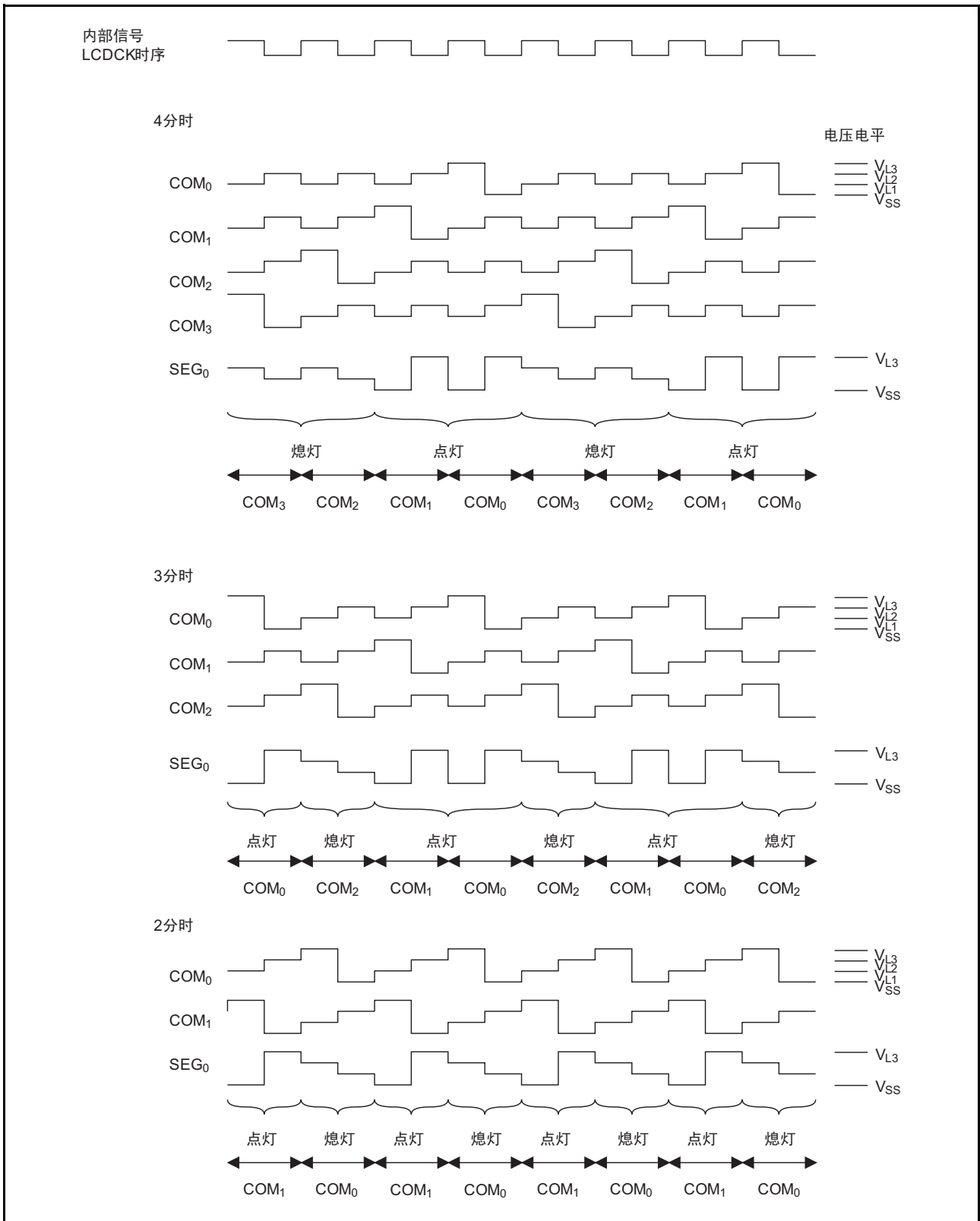


图 45 LCD 驱动波形 (1/3 偏压 A 型)

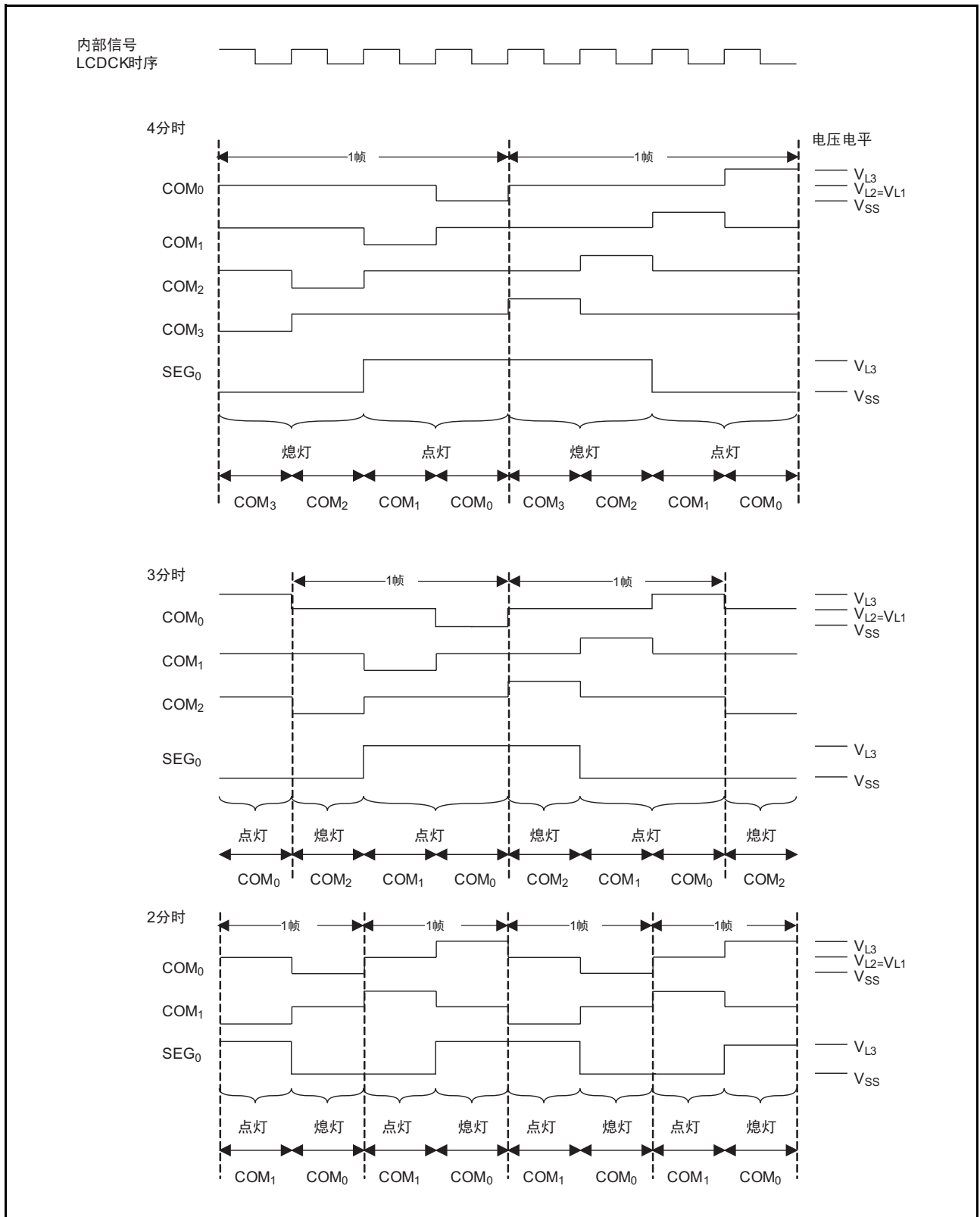


图 46 LCD 驱动波形 (1/2 偏压 B 型)

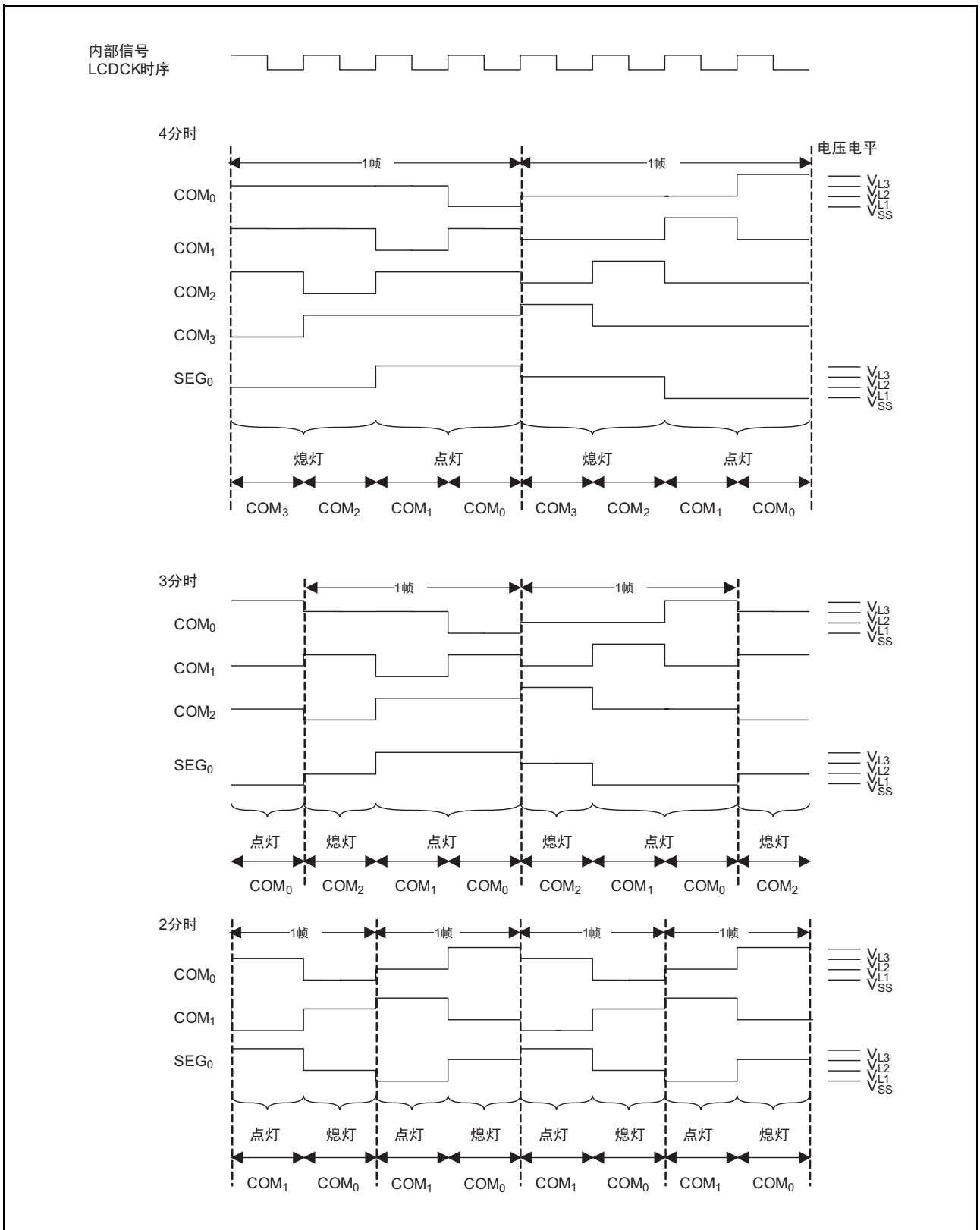


图 47 LCD 驱动波形 (1/3 偏压 B 型)

ROM 校正功能

能校正 ROM 内的一部分程序。

将要校正部分的起始地址（起始指令操作码的地址）设定到 ROM 校正地址的高位寄存器和低位寄存器。在执行程序时，如果程序计数器的值和设定在 ROM 校正地址寄存器的值一致，就转移到 ROM 校正向量。能通过将校正程序预先设定到校正向量执行此校正程序。要从校正程序返回主程序时，必须使用 JMP 指令（3 字节指令）。

能校正的部分最多为 2 个，有 2 个 ROM 校正向量。另外，能通过 ROM 校正存储器选择位，从 RAM 区或者 ROM 区选择 ROM 校正向量。

	RAM 区 RC2=0	ROM 区 RC2=1
向量 1	地址 0100 ₁₆	地址 F100 ₁₆
向量 2	地址 0120 ₁₆	地址 F120 ₁₆

通过 ROM 校正地址 1 允许位和 ROM 校正地址 2 允许位控制 ROM 校正功能。

不使用 ROM 校正功能时，ROM 校正用向量可以作为通常的 ROM/RAM 使用。作为通常的 ROM/RAM 使用时，必须将 ROM 校正允许寄存器的 bit1、0 置“0”（禁止使用）。

注意事项

1. 在使用 ROM 校正功能时，必须在设定 ROM 校正地址寄存器后将 ROM 校正地址允许位设定为允许状态。
2. 不能给 ROM 校正地址寄存器设定 ROM 区以外的地址。
另外，不能给 ROM 校正地址 1 寄存器和 ROM 校正地址 2 寄存器设定相同的地址。
3. 需要预先将 ROM 校正处理编入程序。

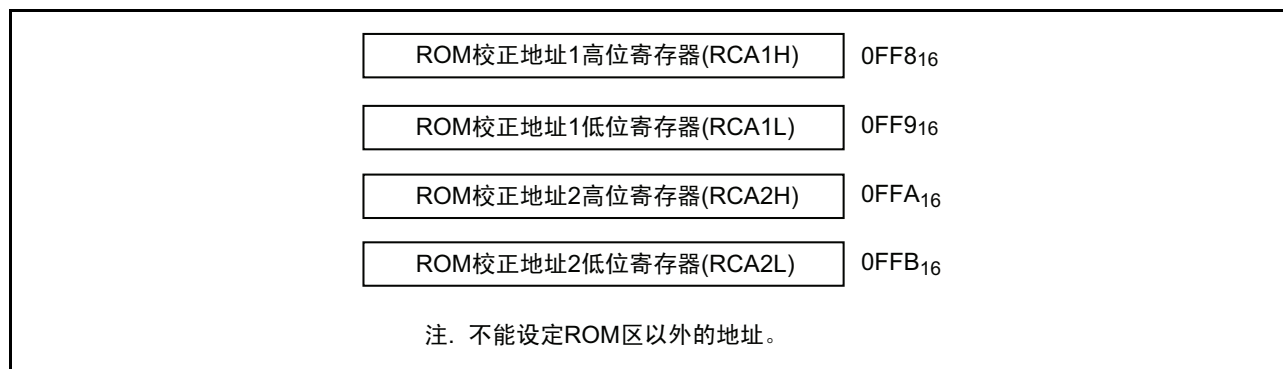


图 48 ROM 校正地址寄存器

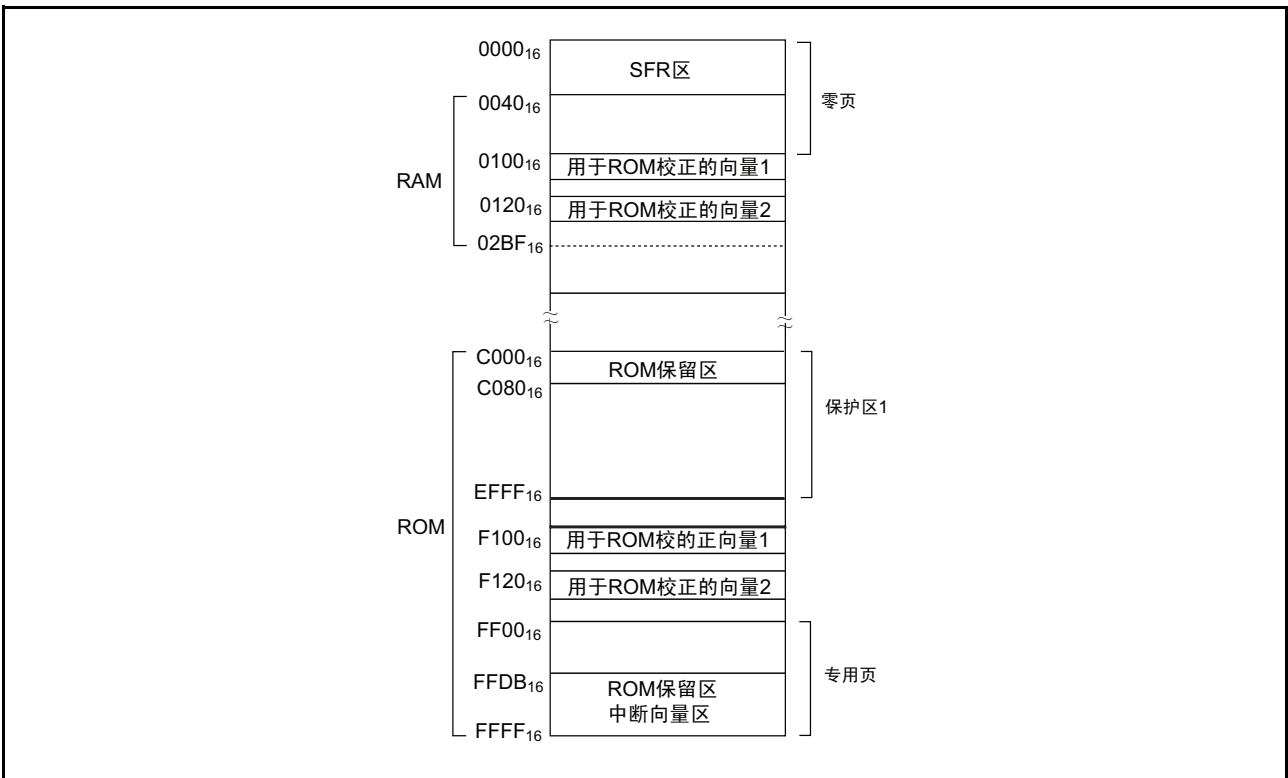


图 49 M38D24G4 的存储器配置图

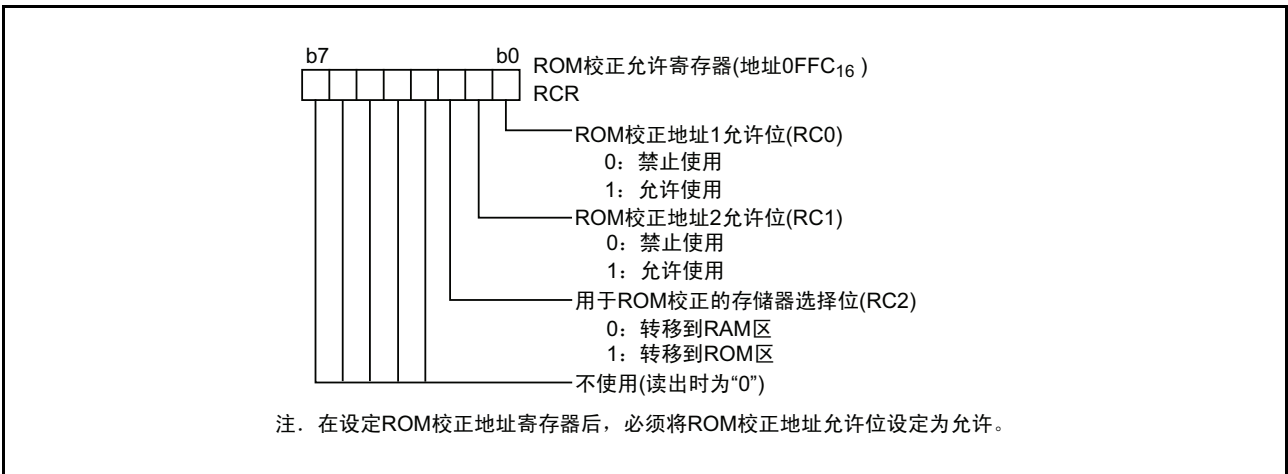


图 50 ROM 校正允许寄存器

看门狗定时器

在因失控等使程序不能正常循环的情况下，看门狗定时器提供返回到复位状态的手段。

看门狗定时器由 8 位计数器构成。

看门狗定时器的初始值

在复位时或者通过写看门狗定时器的控制寄存器，看门狗定时器被置为“FF₁₆”。写操作的指令只要是 STA、LDM 和 CLB 等产生写信号的指令都能使用。写数据在 bit7、bit6 和 bit5 以外的位没有含意，无条件地被设定为上述值。

bit7 ~ bit5 在复位后只能进行 1 次写操作。因为在写操作后被锁住，所以无法改写。这些位在复位后变为“0”。

看门狗定时器的运行

看门狗定时器在复位时停止运行，并通过写看门狗定时器的控制寄存器开始递减计数。如果看门狗定时器发生下溢，就产生内部复位，在等待复位解除时间后解除复位，从复位向量地址开始执行程序。通常，需要编写在看门狗定时器发生下溢前对看门狗定时器的控制寄存器进行写操作的程序。如果一次也没有写看门狗定时器的控制寄存器，看门狗定时器就不起作用。

如果读看门狗定时器的控制寄存器，就读高 5 位的计数器和计数源选择位 2 (bit5)、STP 指令功能选择位 (bit6) 以及计数源选择位 (bit7) 的值。

看门狗定时器的控制寄存器的 bit6

- 当此位为“0”时，如果执行 STP 指令，就转移到停止模式。在停止模式解除的同时看门狗定时器重新开始计数（注1）。
另外，在执行 WIT 指令时，看门狗定时器不停止运行。
- 当此位为“1”时，如果执行 STP 指令，就产生内部复位。一旦将此位改写为“1”，就不能通过程序改写为“0”。复位后的值为“0”。

在写看门狗定时器的控制寄存器后到看门狗定时器的寄存器发生下溢前的时间如下所示（当看门狗定时器的控制寄存器的 bit7 为“0”时）：

- 在 X_{IN} 模式时 (f(X_{IN})=8MHz) ----- 32.768ms
- 在低速模式时 (f(X_{CIN})=32kHz) ---- 8.19s

注意事项

1. 在停止模式时，看门狗定时器不运行。但是在停止解除的等待时间（用定时器 1 和定时器 2 设定的时间）以及在等待模式期间，看门狗定时器进行计数，所以必须在此期间向看门狗定时器控制寄存器进行写操作，使看门狗定时器不发生下溢。
2. 如果通过看门狗定时器的计数源选择位 2 选择内部振荡器时，内部振荡器就被强制振荡而不能停止。另外，此时，必须将 STP 指令功能选择位设定为“1”。
在停止内部振荡器的系统中，必须将看门狗定时器的计数源选择位 2 置“0” (φSOURCE)。

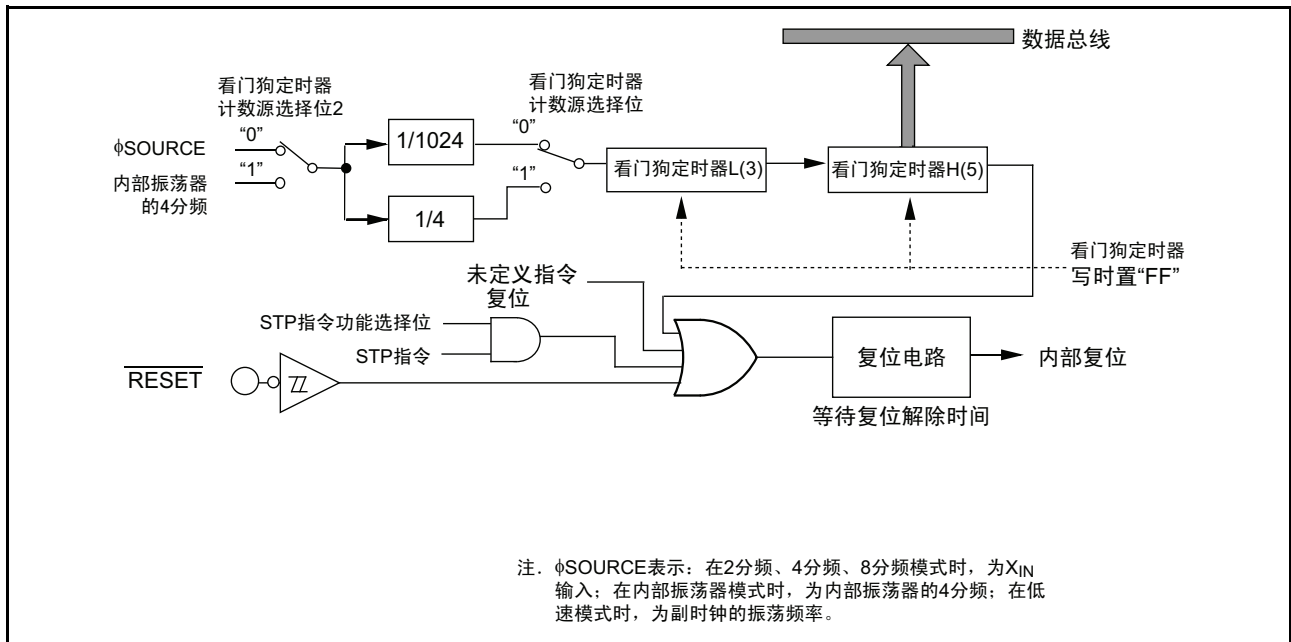


图 51 看门狗定时器的框图

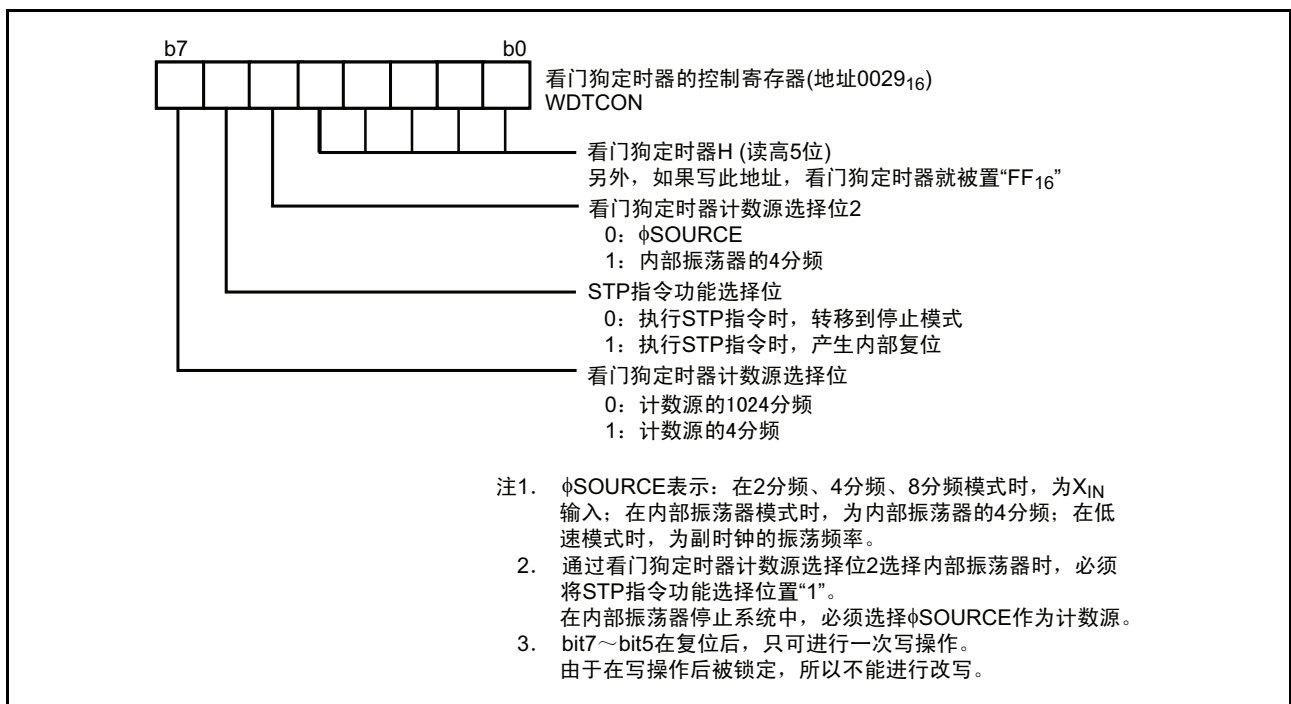


图 52 看门狗定时器控制寄存器的结构

时钟输出功能

能从输入 / 输出端口 P36 输出系统时钟 ϕ 。通过时钟输出控制寄存器（地址 0FF3₁₆）和定时器 12 的模式寄存器（地址 0025₁₆）的定时器 2 输出选择位（bit6），控制输入 / 输出端口、定时器 2 输出功能和系统时钟 ϕ 输出功能。

为了从输入 / 输出端口 P36 输出系统时钟 ϕ ，需要将定时器 2 输出选择位设定为“1”，并将时钟输出控制寄存器的 bit0 设定为“1”。如果选择时钟输出功能，就在端口 P36 的方向寄存器被设定为输出的期间输出时钟。

在改写定时器 2 的输出控制位后的下一个周期，P36 进行端口输出和非端口输出（定时器 2 的输出或者时钟的输出）的转换。

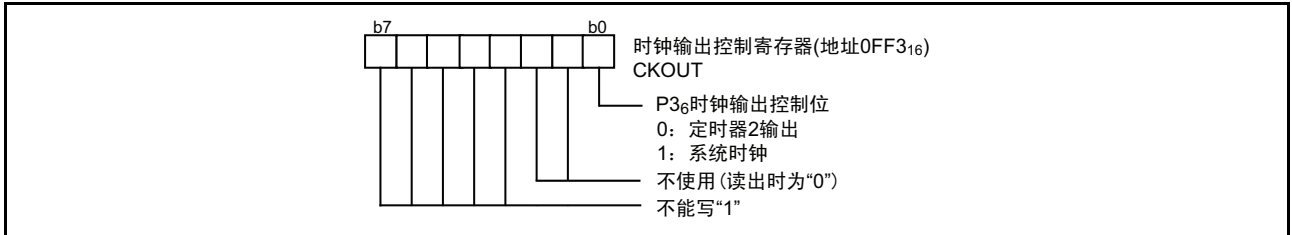


图 53 时钟输出控制寄存器的结构

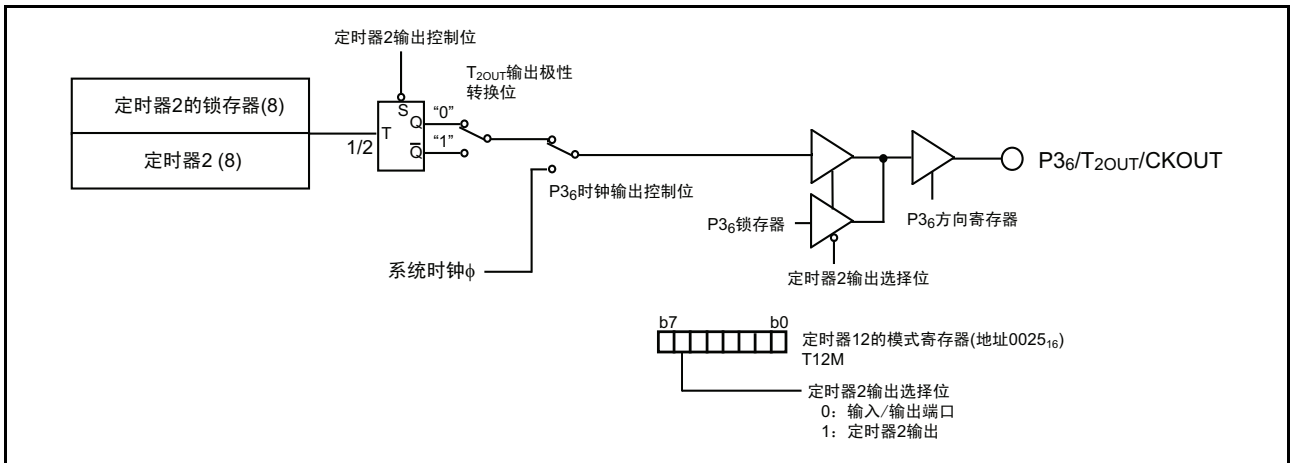


图 54 时钟输出功能的框图

其他功能寄存器

【RRF 寄存器】RRFR

地址 0012₁₆ 是没有控制功能的 8 位寄存器，写到此寄存器的值进行高 4 位和低 4 位的交换。此寄存器在复位后被初始化。

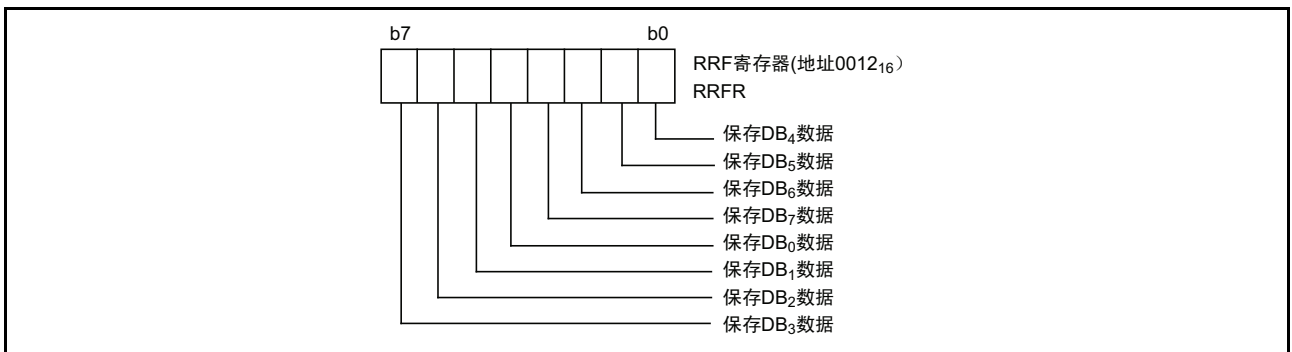


图 55 RRF 寄存器的结构

复位电路

当电源电压在 $V_{CC}(\text{min.}) \sim 5.5\text{V}$ 的范围内时，如果将 $\overline{\text{RESET}}$ 引脚保持大于等于 $2\mu\text{s}$ 的“L”电平恢复到“H”电平，38D2 群就解除复位，并从地址 FFFD_{16} 的内容为高位、地址 FFFC_{16} 的内容为低位的地址开始执行程序。

在电源电压通过 $V_{CC}(\text{min.})$ 时，复位输入电压必须符合 V_{IL} 的规格。

在闪存版，必须按照以下的顺序给 $\overline{\text{RESET}}$ 引脚进行输入。

- 电源稳定时
 - (1) 给 $\overline{\text{RESET}}$ 引脚输入大于等于 $2\mu\text{s}$ 的“L”电平
 - (2) 给 $\overline{\text{RESET}}$ 引脚输入“H”电平
- 上电时
 - (1) 给 $\overline{\text{RESET}}$ 引脚输入“L”电平
 - (2) 让电源电压上升到 2.7V
 - (3) 等待 $t_d(\text{P-R})$ 时间直到内部电源稳定
 - (4) 给 $\overline{\text{RESET}}$ 引脚输入“H”电平

在 QzROM 版，当 $\overline{\text{RESET}}$ 引脚从“L”电平变为“H”电平时，判定 OSCSEL 引脚的输入电平。

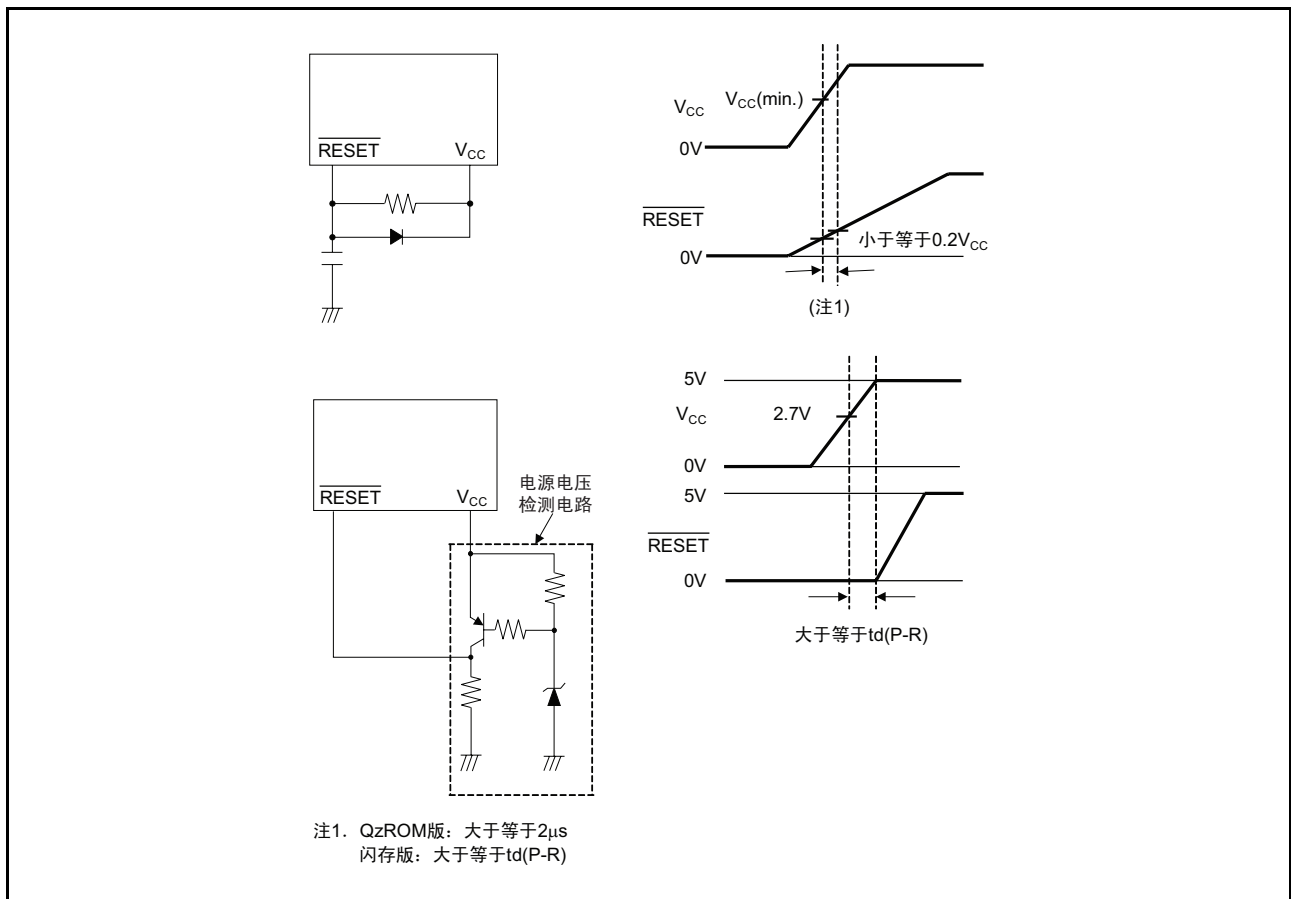


图 56 复位电路图

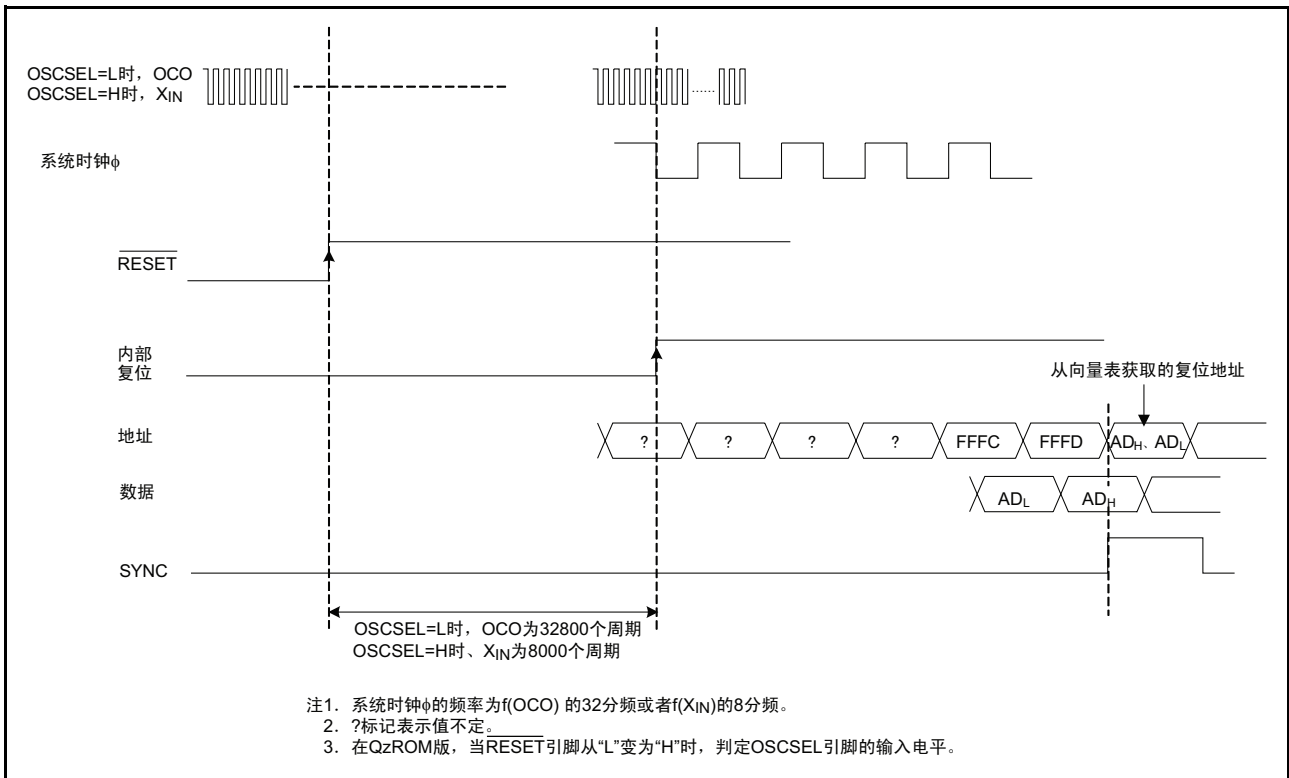


图 57 复位时的时序图

	地址	寄存器的内容		地址	寄存器的内容
(1) 端口P0	0000 ₁₆	00 ₁₆	(36) 定时器X(低位)	002A ₁₆	FF ₁₆
(2) 端口P0方向寄存器	0001 ₁₆	00 ₁₆	(37) 定时器X(高位)	002B ₁₆	FF ₁₆
(3) 端口P1	0002 ₁₆	00 ₁₆	(38) 定时器X(扩展)	002C ₁₆	00 ₁₆
(4) 端口P1方向寄存器	0003 ₁₆	00 ₁₆	(39) 定时器X的模式寄存器	002D ₁₆	00 ₁₆
(5) 端口P2	0004 ₁₆	00 ₁₆	(40) 定时器X的控制寄存器1	002E ₁₆	00 ₁₆
(6) 端口P2方向寄存器	0005 ₁₆	00 ₁₆	(41) 定时器X的控制寄存器2	002F ₁₆	00 ₁₆
(7) 端口P3	0006 ₁₆	00 ₁₆	(42) 比较寄存器1(低位)	0030 ₁₆	00 ₁₆
(8) 端口P3方向寄存器	0007 ₁₆	00 ₁₆	(43) 比较寄存器1(高位)	0031 ₁₆	00 ₁₆
(9) 端口P4	0008 ₁₆	00 ₁₆	(44) 比较寄存器2(低位)	0032 ₁₆	00 ₁₆
(10) 端口P4方向寄存器	0009 ₁₆	00 ₁₆	(45) 比较寄存器2(高位)	0033 ₁₆	00 ₁₆
(11) 端口P5	000A ₁₆	00 ₁₆	(46) 比较寄存器3(低位)	0034 ₁₆	00 ₁₆
(12) 端口P5方向寄存器	000B ₁₆	00 ₁₆	(47) 比较寄存器3(高位)	0035 ₁₆	00 ₁₆
(13) 端口P6	000C ₁₆	00 ₁₆	(48) 定时器Y(低位)	0036 ₁₆	FF ₁₆
(14) 端口P6方向寄存器	000D ₁₆	00 ₁₆	(49) 定时器Y(高位)	0037 ₁₆	FF ₁₆
(15) 振荡输出控制寄存器	0010 ₁₆	00 ₁₆	(50) 定时器Y的模式寄存器	0038 ₁₆	00 ₁₆
(16) CPU模式寄存器2	0011 ₁₆	0 0 0 0 0 0 0 0 *	(51) 定时器Y的控制寄存器	0039 ₁₆	00 ₁₆
(17) RRF寄存器	0012 ₁₆	00 ₁₆	(52) 中断边沿选择寄存器	003A ₁₆	00 ₁₆
(18) LCD模式寄存器	0013 ₁₆	00 ₁₆	(53) CPU模式寄存器	003B ₁₆	* 1 * 0 0 0 0 0 0
(19) LCD电源控制寄存器	0014 ₁₆	00 ₁₆	(54) 中断请求寄存器1	003C ₁₆	00 ₁₆
(20) AD控制寄存器	0015 ₁₆	08 ₁₆	(55) 中断请求寄存器2	003D ₁₆	00 ₁₆
(21) 串行I/O1状态寄存器	0019 ₁₆	1 0 0 0 0 0 0 0 0	(56) 中断控制寄存器1	003E ₁₆	00 ₁₆
(22) 串行I/O1控制寄存器	001A ₁₆	00 ₁₆	(57) 中断控制寄存器2	003F ₁₆	00 ₁₆
(23) UART1控制寄存器	001B ₁₆	1 1 1 0 0 0 0 0 0	(58) PULL寄存器	0FF0 ₁₆	00 ₁₆
(24) 串行I/O2状态寄存器	001E ₁₆	1 0 0 0 0 0 0 0 0	(59) UART2控制寄存器	0FF1 ₁₆	1 1 1 0 0 0 0 0 0
(25) 串行I/O2控制寄存器	001F ₁₆	00 ₁₆	(60) 时钟输出控制寄存器	0FF3 ₁₆	00 ₁₆
(26) 定时器1	0020 ₁₆	FF ₁₆	(61) 段输出禁止寄存器0	0FF4 ₁₆	FF ₁₆
(27) 定时器2	0021 ₁₆	01 ₁₆	(62) 段输出禁止寄存器1	0FF5 ₁₆	FF ₁₆
(28) 定时器3	0022 ₁₆	FF ₁₆	(63) 段输出禁止寄存器2	0FF6 ₁₆	FF ₁₆
(29) 定时器4	0023 ₁₆	FF ₁₆	(64) 键输入控制寄存器	0FF7 ₁₆	00 ₁₆
(30) PWM01寄存器	0024 ₁₆	00 ₁₆	(65) ROM校正地址1高位寄存器	0FF8 ₁₆	00 ₁₆
(31) 定时器12的模式寄存器	0025 ₁₆	00 ₁₆	(66) ROM校正地址1低位寄存器	0FF9 ₁₆	00 ₁₆
(32) 定时器34的模式寄存器	0026 ₁₆	00 ₁₆	(67) ROM校正地址2高位寄存器	0FFA ₁₆	00 ₁₆
(33) 定时器1234的模式寄存器	0027 ₁₆	00 ₁₆	(68) ROM校正地址2低位寄存器	0FFB ₁₆	00 ₁₆
(34) 定时器1234的分频选择寄存器	0028 ₁₆	00 ₁₆	(69) ROM校正允许寄存器	0FFC ₁₆	00 ₁₆
(35) 看门狗定时器的控制寄存器	0029 ₁₆	0 0 0 1 1 1 1 1	(70) 处理器状态寄存器 (PS)		x x x x x 1 x x
			(71) 程序计数器 (PC _H)		地址FFFD ₁₆ 的内容
			(PC _L)		地址FFFC ₁₆ 的内容

注. *: 为不定。
 *: 在QzROM版, 通过OSCSEL的设置。
 在闪存版, CPU模式寄存器2(地址0011₁₆)为"00₁₆"、
 CPU模式寄存器(地址003B₁₆)为"E0₁₆"。
 上述以外的寄存器及RAM的内容在复位时为不定, 必须设定初始值。

图 58 复位时的内部状态

时钟发生电路

能通过在主时钟 X_{IN} 和 X_{OUT} 的引脚之间以及副时钟 X_{CIN} 和 X_{COUT} 的引脚之间连接谐振器、电容和电阻等，形成振荡电路。

在由外部提供时钟的情况下，将时钟输入到 X_{IN} 引脚并将 X_{OUT} 引脚置为开路，而不能将时钟从外部输入到 X_{CIN} 。由于振荡电路的各常数因谐振器而不同，所以请使用谐振器厂家的推荐值。

在 X_{IN} - X_{OUT} 的引脚之间内置了反馈电阻（根据条件，有时需要外接反馈电阻）。因为在 X_{CIN} - X_{COUT} 之间没有内置反馈电阻，所以必须附加 $10M\Omega$ 左右的反馈电阻。

在 QzROM 版，根据 OSCSEL 引脚的状态决定复位后的运行模式。

如果将 OSCSEL 引脚置为 GND 电平，就只有内部振荡器开始振荡。 X_{IN} - X_{OUT} 的振荡为停止状态， X_{CIN} - X_{COUT} 引脚用作输入 / 输出端口。运行模式为内部振荡器模式。闪存版也同样。

如果将 OSCSEL 引脚置为 VCC 电平，就只有 X_{IN} - X_{OUT} 开始振荡。内部振荡器为停止状态， X_{CIN} - X_{COUT} 引脚用作输入 / 输出端口。运行模式为 8 分频模式。

另外，在各个模式时，必须注意以下事项。

- X_{IN} 模式
即使将 X_{IN} - X_{OUT} 振荡停止位置 “1”， X_{IN} - X_{OUT} 的振荡也不停止。
- 低速模式
将端口 X_C 转换位置 “0”， X_{CIN} - X_{COUT} 的振荡就停止。
- 内部振荡器模式
即使将内部振荡器停止位置 “1”，在闪存版，内部振荡器的振荡也不停止。但是在 QzROM 版振荡停止。

运行模式

(1) 内部振荡器模式

系统时钟 ϕ 为内部振荡器振荡的 32 分频时钟。

(2) X_{IN} 模式

2 分频模式、4 分频模式、8 分频模式总称 X_{IN} 模式。

- 8 分频模式
系统时钟 ϕ 为 X_{IN} 输入的 8 分频信号。
- 4 分频模式
系统时钟 ϕ 为 X_{IN} 输入的 4 分频信号。
- 2 分频模式
系统时钟 ϕ 为 X_{IN} 输入的 2 分频信号。

(3) 低速模式

系统时钟 ϕ 为副时钟振荡的 2 分频信号。

复位后及从停止状态返回后的运行模式，在闪存版为内部振荡器模式，在 QzROM 版取决于 OSCSEL 引脚的状态。当 RESET 引脚从 “L” 电平变为 “H” 电平以及执行 STP 指令时，判定 OSCSEL 引脚的输入电平。各模式的转移步骤必须遵循系统时钟的状态转移图。

X_{IN} - X_{OUT} 之间的振荡和副时钟的振荡分别由 CPUM 的 bit5 和 bit4 控制，内部振荡器的振荡由 CPUM2 的 bit0 控制。在内部振荡器模式中，能通过谐振器使振荡停止；在低速模式中，能停止 X_{IN} - X_{OUT} 之间的振荡，降低消耗电流。另外，在 QzROM 版的低速模式时，与内部振荡器停止位的值无关，内部振荡器的振荡停止。在闪存版因为振荡不停止，所以必须将内部振荡器停止位置 “1”，使振荡停止。在从这些模式重新开始已停止的振荡以及转换运行模式时，必须通过程序生成重新开始后的振荡稳定等待时间，在振荡充分稳定后进行运行模式的转换。在转换定时器的计数源时，也必须在振荡充分稳定后进行。

注意事项

在进行内部振荡器模式、 X_{IN} 模式和低速模式之间的转移时， X_{IN} 和 X_{CIN} 都需要处于振荡稳定状态。在刚接通电源后或者从停止模式返回时要特别注意。模式之间的转移必须遵循系统时钟的状态转移图。另外， $f(X_{IN})$ 必须为大于等于 $f(X_{CIN})$ 的 3 倍的频率。当不使用 X_{IN} 模式（不进行 X_{IN} - X_{OUT} 之间的振荡以及 X_{IN} 的外部时钟输入）时，必须通过电阻将 X_{IN} 连接到 VCC。

振荡的控制

(1) 停止模式

如果执行 STP 指令，系统时钟 ϕ 就在“H”电平的状态下停止，并且主时钟和副时钟停止振荡。此时，自动将预先设定在定时器 1 锁存器和定时器 2 锁存器中的值加载到定时器 1 和定时器 2。因此，必须在执行 STP 指令前将生成振荡稳定等待时间的值 * 写到定时器 1 和定时器 2 的锁存器（给定时器 1 和定时器 2 分别设定低 8 位和高 8 位）。将定时器 1 的分频器强制连接到定时器 1 的计数源，并将定时器 1 的输出强行连接到定时器 2。此时，定时器 12 的模式寄存器除了 bit7 和 bit6 以外，全部被清“0”。定时器 1234 的分频选择寄存器的值不变。必须在执行 STP 指令前将定时器 1 和定时器 2 的中断允许位设定为禁止状态（“0”）。

* 参考值（必须根据所使用的谐振器和系统决定）

- 当闪存版、QzROM 版的 OSCSEL=“L”时..... 大于等于 0005₁₆
- 当 QzROM 版的 OSCSEL=“H”时..... 大于等于 01FF₁₆

如果接受外部中断请求，QzROM 版时，根据 OSCSEL 引脚状态设定的时钟就开始振荡。返回时的运行模式由 OSCSEL 引脚的状态决定。CPUM 的 bit3、5、6、7 和 CPUM2 的 bit0 根据 OSCSEL 引脚的状态被强行改变。闪存版时，内部振荡器开始振荡，返回时的运行模式为内部振荡器模式。CPUM 的 bit3 被强行改变为“0”、bit5、6、7 被强行改变为“1”，CPUM2 的 bit0 被强行改变为“0”。

在定时器 2 发生下溢后，给 CPU 提供系统时钟 ϕ ，但是在将系统时钟从内部振荡器转换到主时钟或者副时钟时，必须通过程序生成各自的振荡稳定等待时间，在振荡充分稳定后进行转换。

(2) 等待模式

如果执行 WIT 指令，只有系统时钟 ϕ 在“H”电平的状态下停止。此时，主时钟、内部振荡器以及副时钟处于和执行 WIT 指令前相同的状态，不停止振荡。由于在刚接受中断后就开始提供系统时钟 ϕ ，所以能立即执行指令。

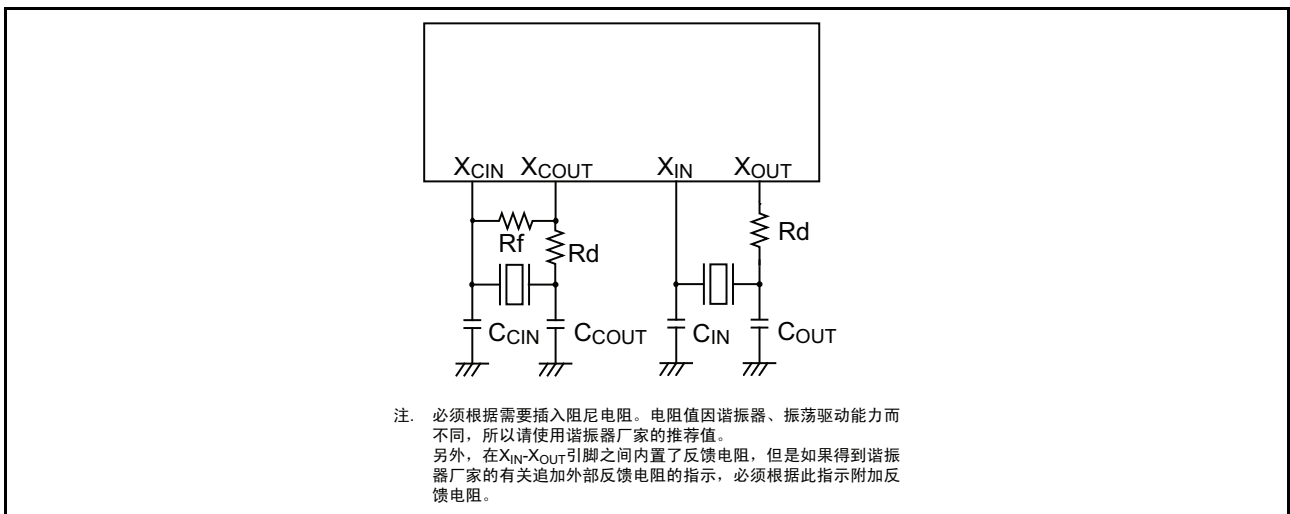


图 59 外接陶瓷谐振器的电路例

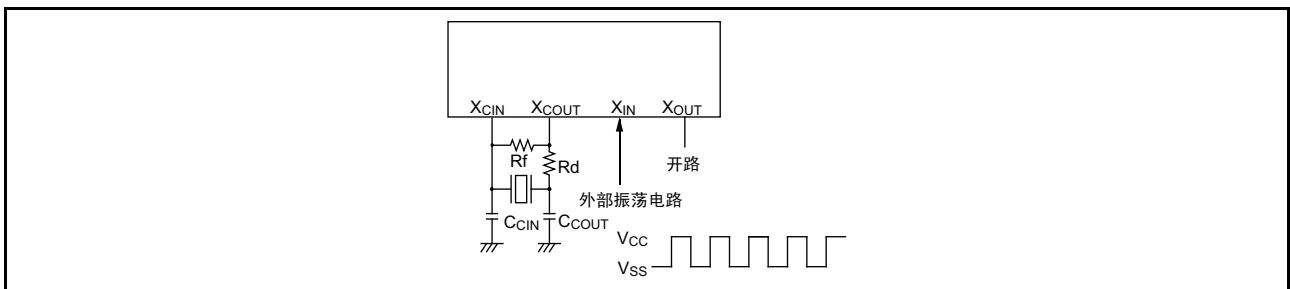


图 60 外部时钟的输入电路

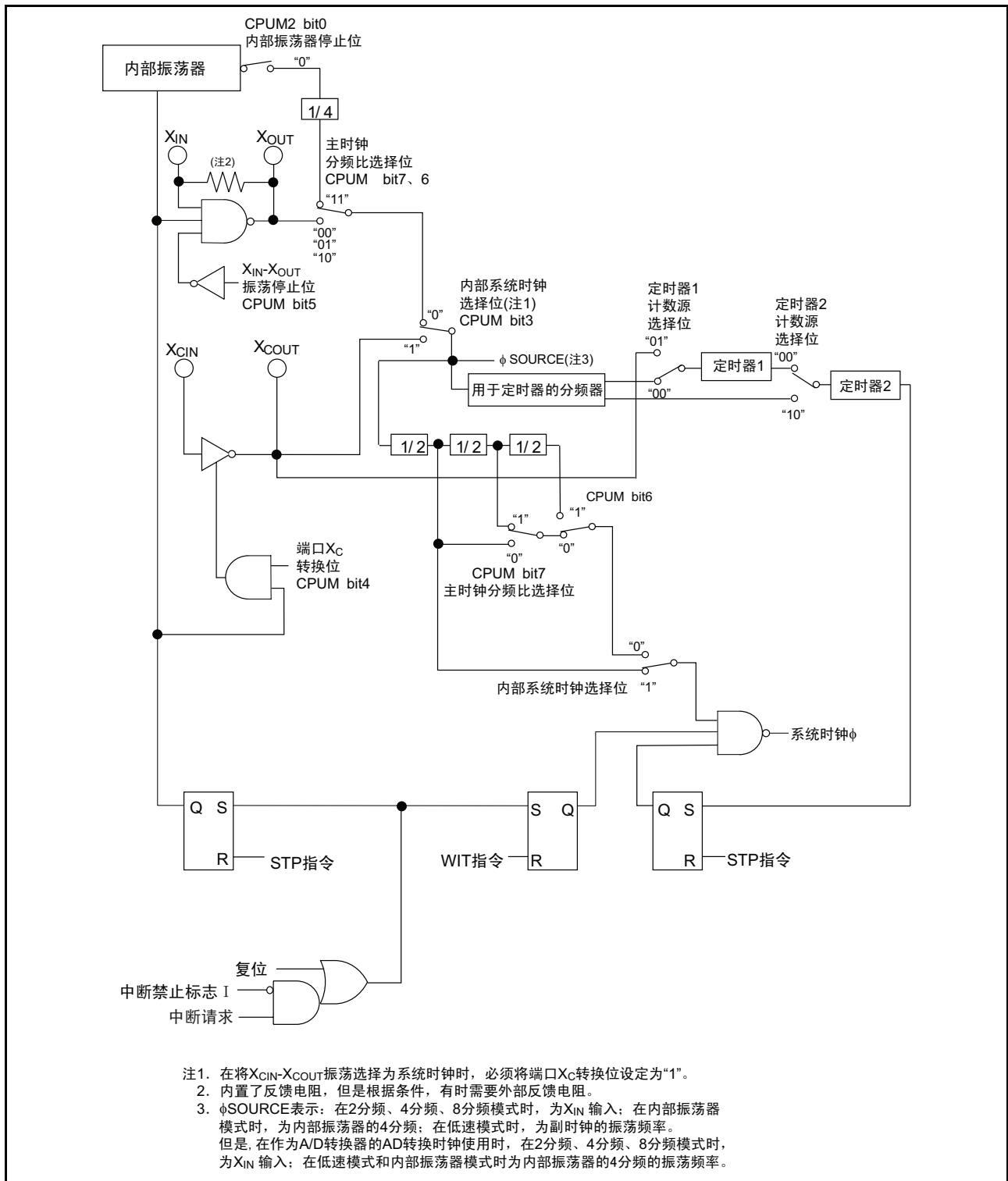


图 61 时钟发生电路的框图

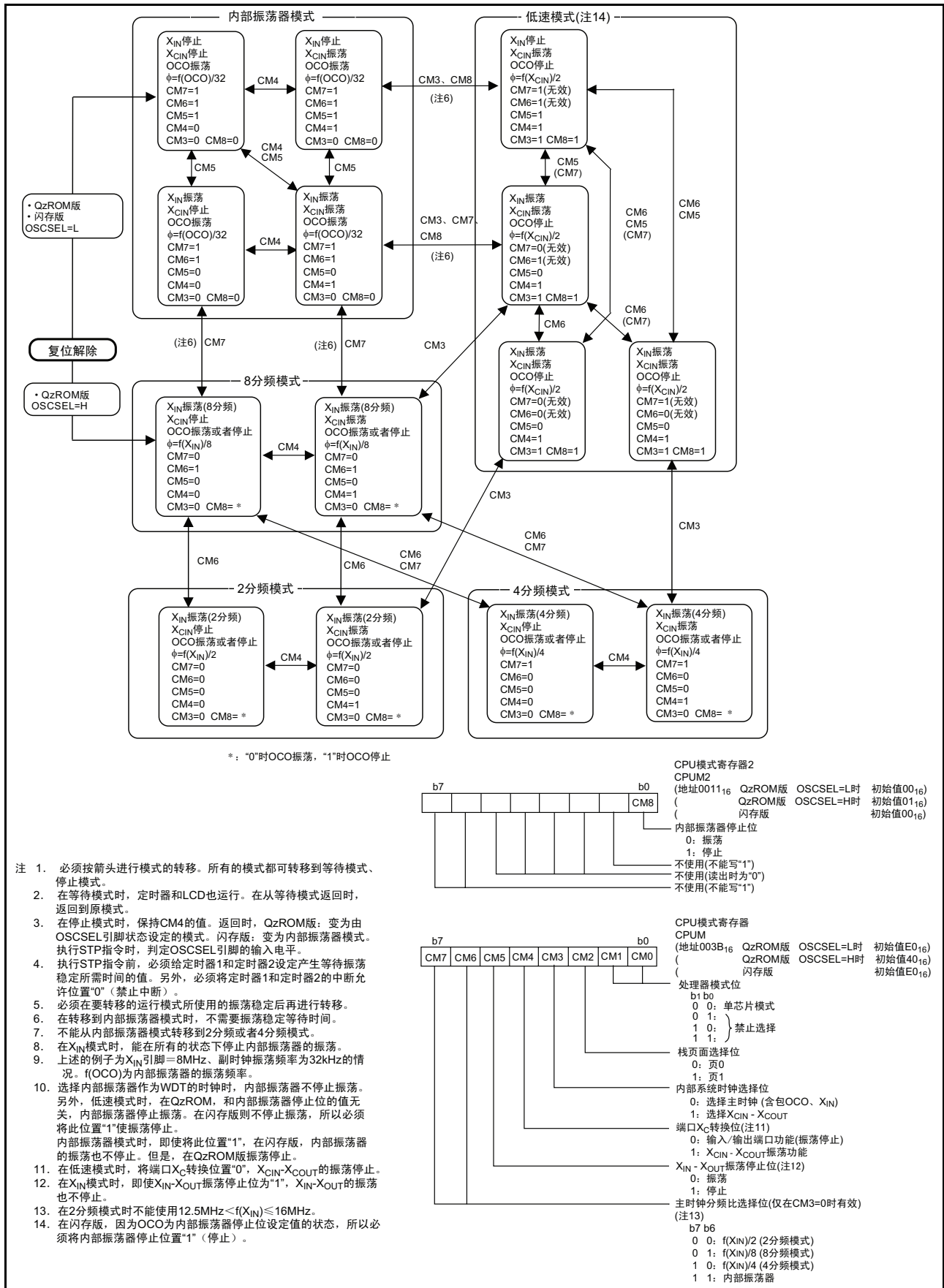


图 62 系统时钟的状态转移图

振荡外部输出功能

38D2 群具有通过振荡电路将从 P4₀ 和 P4₁ 获得的时钟输出（方形波）的功能（振荡外部输出功能）。为了使振荡外部输出功能有效，必须将时钟输出端口（P4₀、P4₁ 双方或者其中之一）设定为输出模式（将对应的方向寄存器设定为“1”）。

在通过振荡输出控制寄存器（地址 0010₁₆）的 P4₀/P4₁ 振荡输出控制位（bit0、1）选择外部输出来自 X_{COU}T 引脚的信号的功能时，副时钟（X_{CIN}-X_{COU}T）为振荡停止状态或者在停止模式时，X_{COU}T 外部输出信号为“H”电平。

同样，在通过振荡输出控制寄存器（地址 0010₁₆）的 P4₀/P4₁ 振荡输出控制位（bit0、1）选择外部输出来自 X_{OU}T 引脚的信号的功能时，主时钟（X_{IN}-X_{OU}T）为振荡停止状态或者在停止模式时，X_{OU}T 外部输出信号为“H”电平。

注意事项

将来自振荡电路的 X_{OU}T 引脚或者 X_{COU}T 引脚的信号直接取入本单片机以外的电路后使用时，有可能影响系统的稳定运行。为了安全共有振荡电路，对于本单片机以外的电路，必须有效利用此功能，使用从 P4₀、P4₁ 输出的时钟。

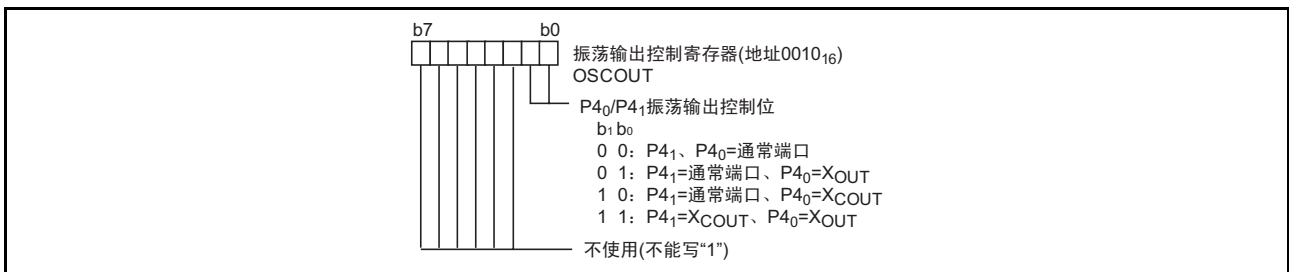


图 63 振荡输出控制寄存器的结构

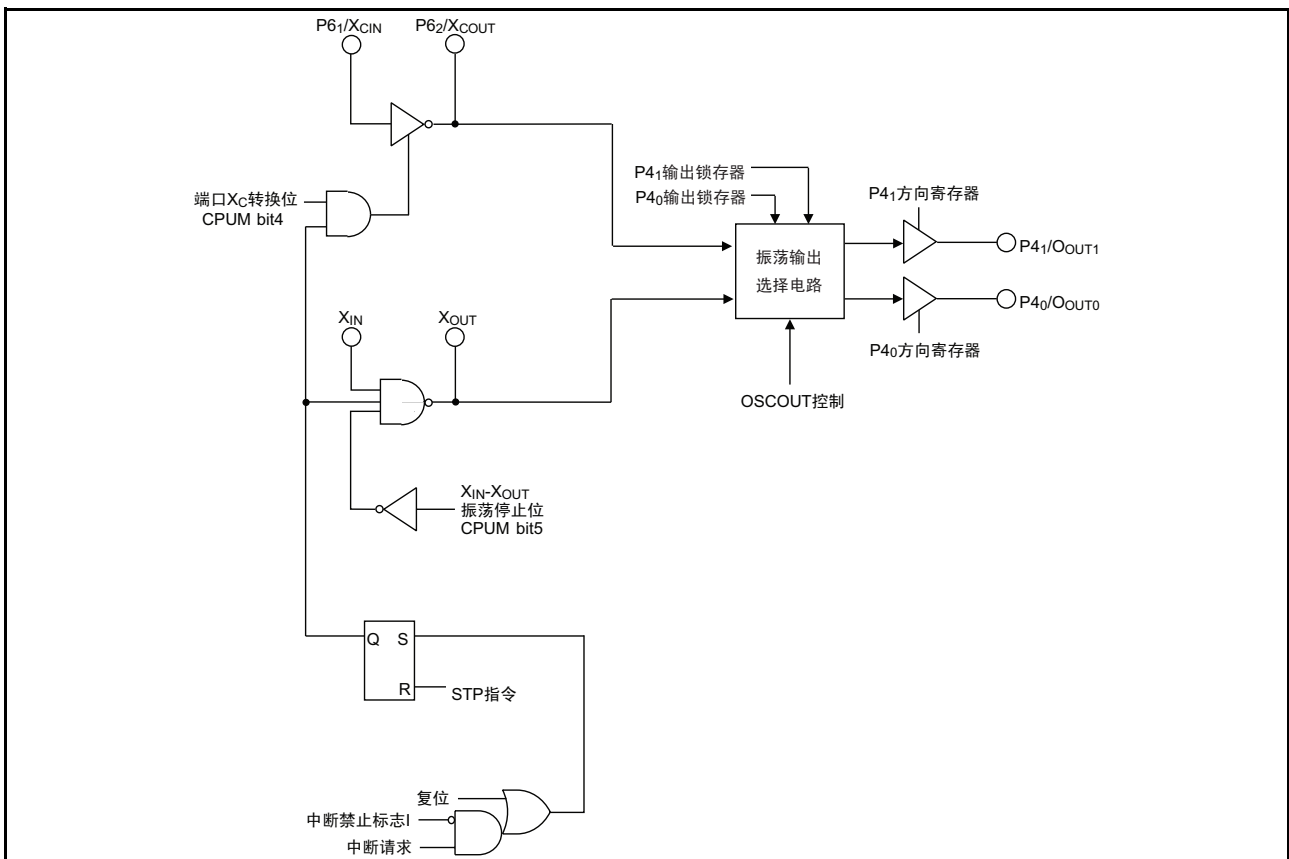


图 64 振荡外部输出功能的框图

QzROM 编程模式

在 QzROM 编程模式中，使用与本单片机对应的串行编程器，在单片机安装在电路板的状态下可以对用户 ROM 区进行编程。

引脚的功能说明（QzROM 编程模式）如表 13 所示，引脚连接图如图 65 所示。

与串行编程器连接的例子请参照电路板上引脚的处理的例（图 66 ~ 图 69）。有关串行编程器请向各厂家询问，有关串行编程器的操作方法请参照串行编程器的用户手册。

表 13 引脚的功能说明（QzROM 编程模式）

引脚名	名称	输入 / 输出	功能
V _{CC} 、V _{SS}	电源输入	输入	必须给 V _{CC} 外加 2.7 ~ 5.5V、给 V _{SS} 外加 0V。
RESET	复位输入	输入	是复位输入引脚。如果保持至少 X _{IN} 的 16 个周期的“L”电平，就进入复位状态。
X _{IN}	时钟输入	输入	必须进行和单芯片模式相同的引脚处理。
X _{OUT}	时钟输出	输出	
V _{REF}	基准电压输入	输入	必须输入 A/D 转换器的基准电压。
AV _{SS}	模拟电源输入	输入	必须连接到 V _{SS} 。
P0 ₀ ~ P0 ₇ P1 ₀ ~ P1 ₇ P2 ₀ ~ P2 ₇ P3 ₃ ~ P3 ₇ P4 ₀ ~ P4 ₇ P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₂	输入 / 输出端口	输入 / 输出	必须输入“H”电平或者“L”电平，或者置为开路。
OSCSEL	V _{PP} 输入	输入	是 QzROM 的电源输入引脚。
P3 ₂	ESDA 输入 / 输出	输入 / 输出	是串行数据的输入 / 输出引脚。
P3 ₁	ESCLK 输入	输入	是串行时钟的输入引脚。
P3 ₀	ESPGMB 输入	输入	是读 / 编程脉冲信号的输入引脚。

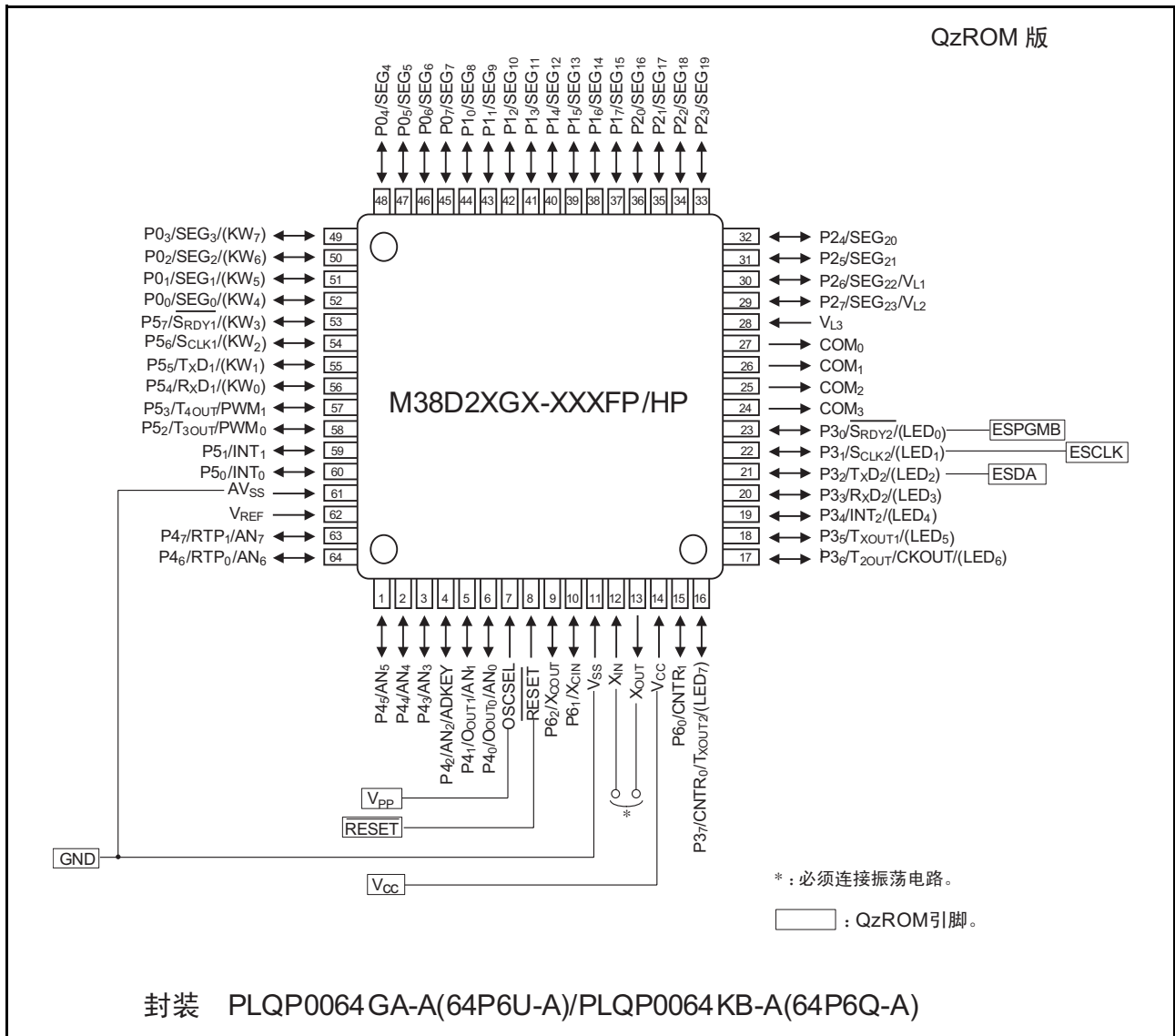


图 65 引脚连接图 (M38D2XGXFP)

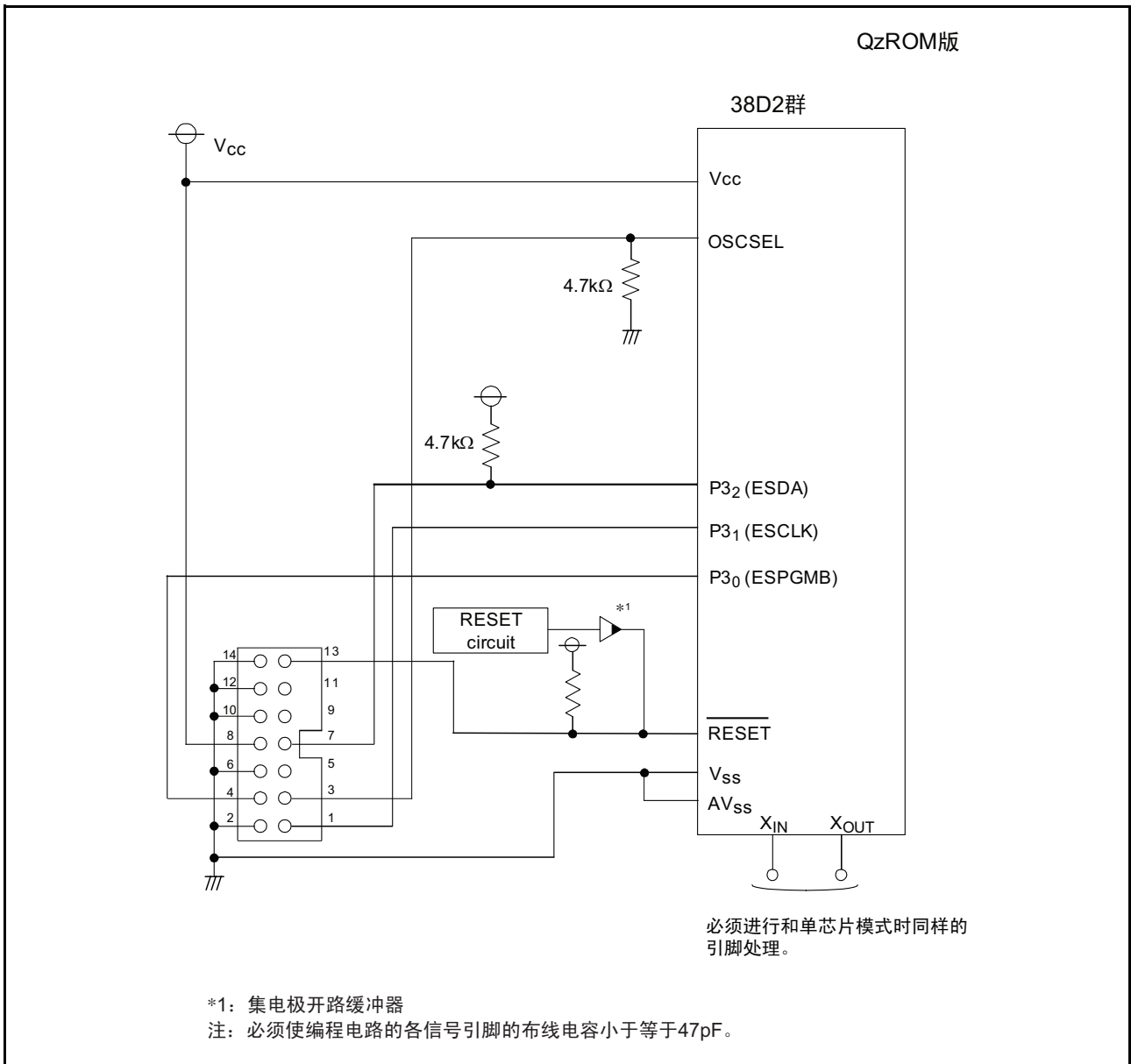


图 66 使用 E8 编程器时电路板上引脚的处理例 1 (OSCSEL= “L” 电平的系统例)

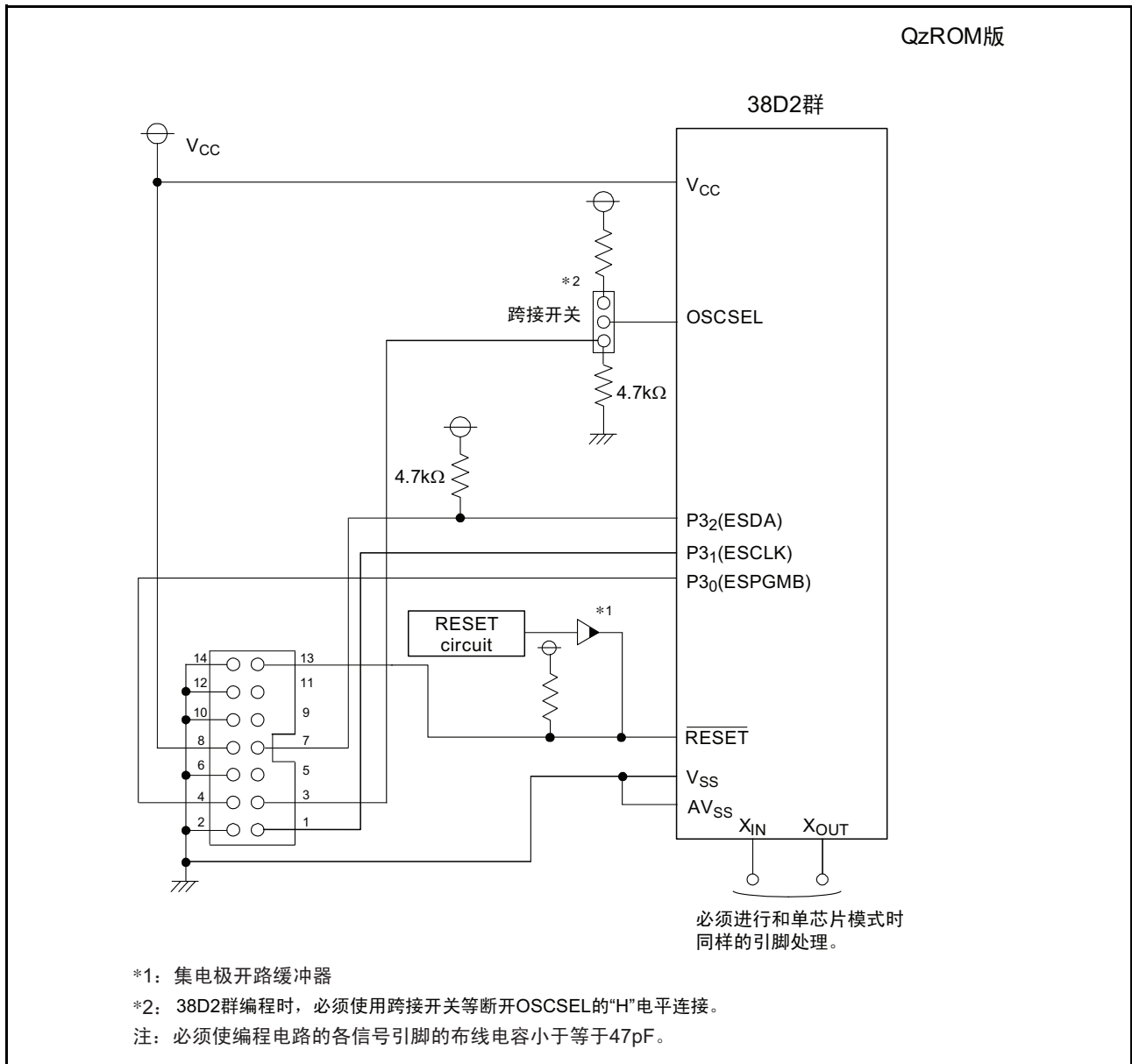


图 67 使用 E8 编程器时电路板上引脚的处理例 2 (OSCSEL= “H” 电平的系统例)

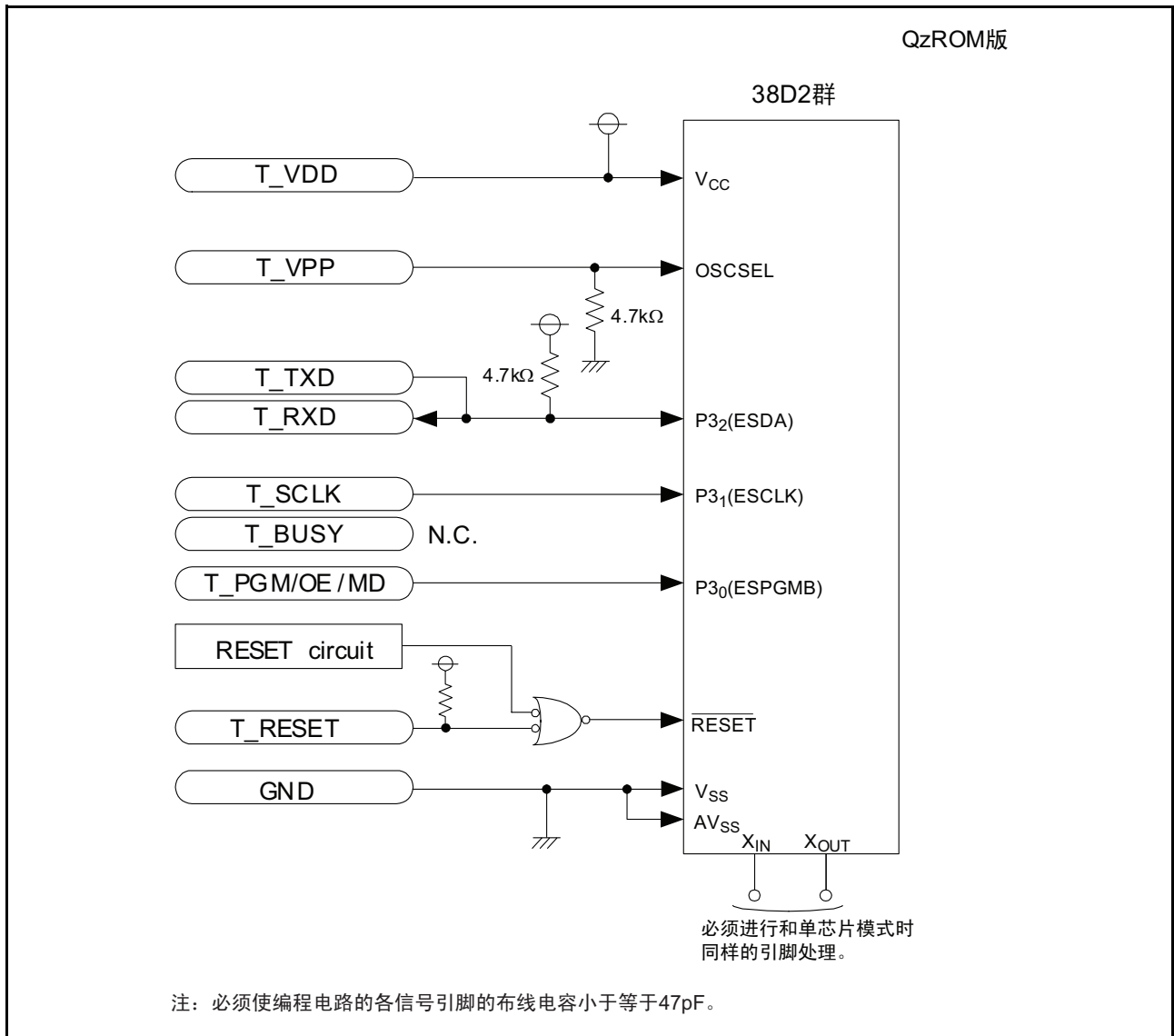


图 68 使用彗星电子系统生产的编程器时电路板上引脚的处理例 1 (OSCSEL=“L”电平的系统例)

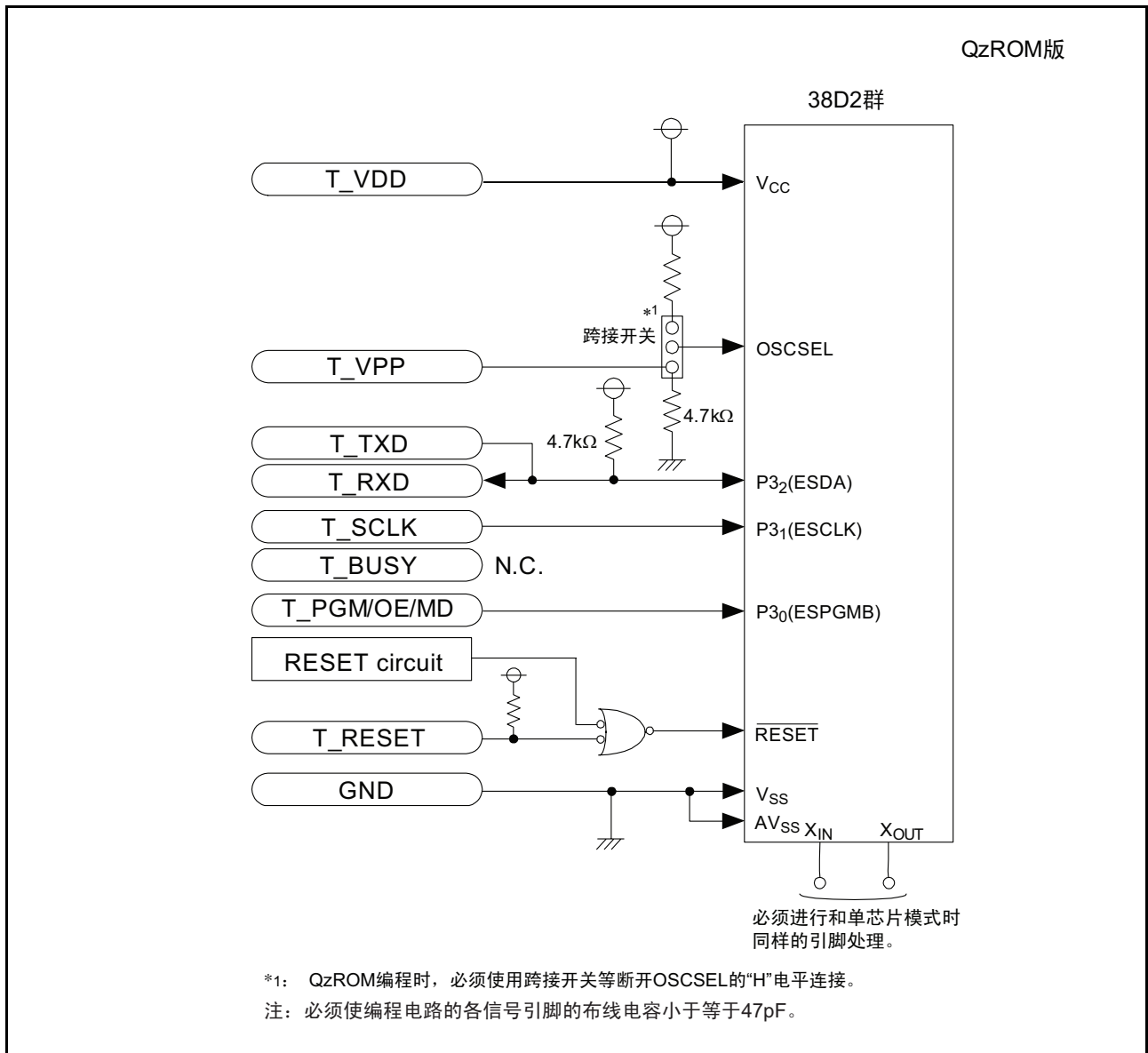


图 69 使用彗星电子系统生产的编程器时电路板上引脚的处理例 2 (OSCSEL=“H”电平的系统例)

闪存模式

38D2 群闪存版内置能用单电源改写的闪存。作为用于读、编程、擦除等操作的闪存模式，备有用编程器进行闪存操作的并行输入 / 输出模式、标准串行输入 / 输出模式以及用中央运算处理装置（CPU）操作闪存的 CPU 改写模式的 3 种模式。关于各模式，将在下一页以后说明。关于编程器，请咨询各生产厂家。另外，关于编程器的操作方法，请参照编程器的用户手册。

如图 70 所示，闪存被分成几块，能按各块进行擦除。

另外，内置的闪存除了有保存通常单片机运行的控制程序的用户 ROM 区，还有用于保存 CPU 改写模式和标准串行输入 / 输出模式的改写控制程序的引导 ROM 区。发货时，虽然在此引导 ROM 区写入标准串行输入 / 输出模式的控制程序，但是用户能写入适合系统的改写控制程序。此引导 ROM 区只能在并行输入 / 输出模式进行改写。

性能概要

闪存版的性能概要如表 14 所示。

表 14 闪存版的性能概要

项目		性能
电源电压		$V_{CC} = 2.7V \sim 5.5V$
编程 / 擦除电压		$V_{CC} = 2.7V \sim 5.5V$
闪存模式		3 种模式（并行输入 / 输出、标准串行输入 / 输出、CPU 改写）
擦除块分割	用户 ROM 区 / 数据 ROM 区	请参照图 70
	引导 ROM 区（注 1）	无分割（4K 字节）
编程方式		字节单位
擦除方式		块擦除
编程 / 擦除控制方式		通过软件命令控制编程 / 擦除
命令数		5 个命令
编程 / 擦除次数		100 次
ROM 码保护		支持并行输入 / 输出、标准串行输入 / 输出模式

【注】 1. 出货时，在引导 ROM 区保存有标准串行输入 / 输出模式的控制程序。此区只能在并行输入 / 输出模式进行擦除和写操作。

引导模式

必须事先在并行输入/输出模式，将 CPU 改写模式的控制程序写到用户 ROM 区或引导 ROM 区（在写引导 ROM 区时，标准串行输入/输出模式无法使用）。

引导 ROM 区如图 70 所示。

在 CNV_{SS} 引脚为“L”的状态下进行复位解除时，为通常的单片机模式，CPU 使用用户 ROM 区的控制程序运行。

在 P3₂/Tx_D 引脚为“H”、CNV_{SS} 引脚也为“H”的状态下进行复位解除时，CPU 通过引导 ROM 区的控制程序开始运行（程序的开始地址保存在地址 FFFC₁₆、地址 FFFD₁₆）。此模式称为引导模式。用引导 ROM 区上的控制程序也能改写用户 ROM 区。

块地址

块地址为各块的最大地址。在块擦除命令使用此地址。

CPU 改写模式

CPU 改写模式是通过中央运算处理装置（CPU）的控制，对内部闪存进行操作（读、编程、擦除等）的模式。

在 CPU 改写模式，如图 70 所示只能改写用户 ROM 区，不能改写引导 ROM 区。编程、块擦除的命令只能用于用户 ROM 区和各块区。

CPU 改写模式的控制程序无论保存在用户 ROM 区，还是引导 ROM 区都可以。在 CPU 改写模式，由于不能从 CPU 读闪存，所以改写控制程序必须在传送到内部 RAM 后，在 RAM 上执行。

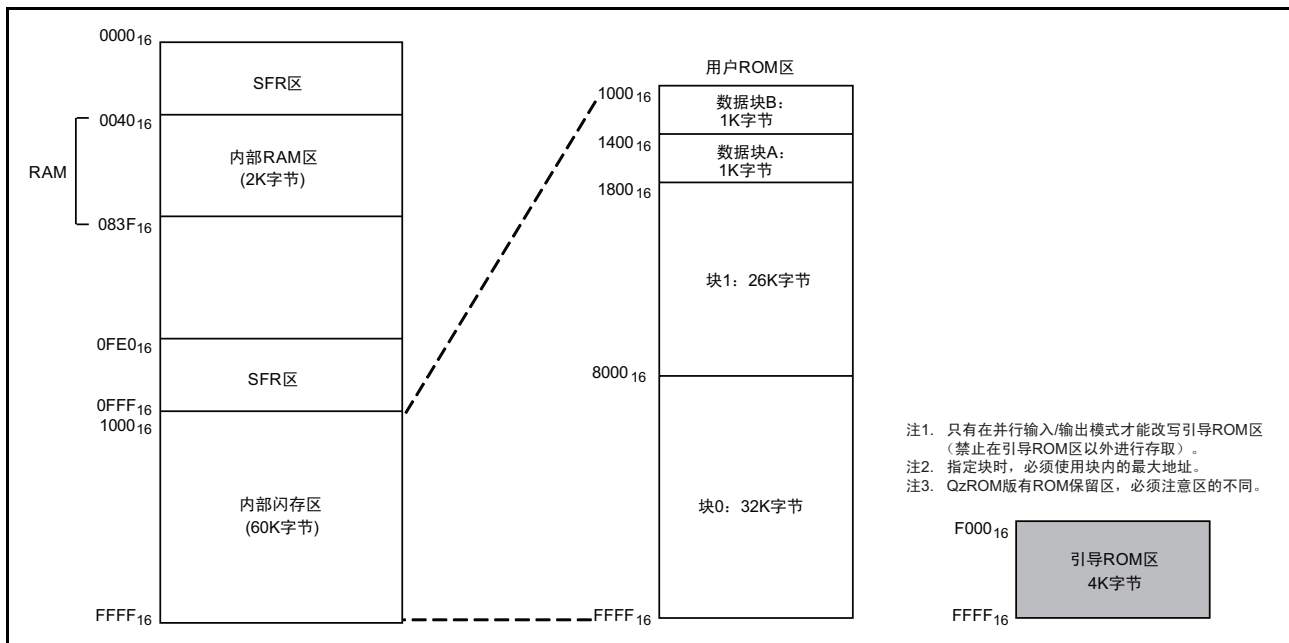


图 70 内部闪存框图

功能概要

CPU 改写模式可以在单芯片模式和引导模式执行，并且只进行用户 ROM 区的改写。

在 CPU 改写模式，CPU 通过执行软件命令，对内部闪存进行擦除、编程、读等操作。此控制程序必须先传送到 RAM 后，在 RAM 上执行。

通过给 CPU 改写模式选择位（地址 $0FE0_{16}$ 的 bit1）置“1”，转移到 CPU 改写模式，并能接受软件命令。

通过读状态寄存器，能检查编程或着擦除的正常 / 错误结束等状态。

闪存控制寄存器 0 如图 71 所示。bit0 是 RY/BY 的状态标志，并且是表示闪存运行状况的只读位。在编程、擦除运行中为“0”（忙），此外时为“1”（就绪）。

bit1 是 CPU 改写模式选择位。通过将此位设定成“1”，变为 CPU 改写模式，可接受软件命令。在 CPU 改写模式，CPU 不能直接存取内部闪存。因此，对 bit1 的写必须通过传送到 RAM 上的控制程序进行。在给 bit1 设定“1”时，必须对 bit1 连续写“0”和写“1”；在给 bit1 设定“0”时，只对 bit1 写“0”。

bit2 是用户块 1E/W 允许位。通过此位和用户块 0E/W 允许位（闪存控制寄存器 2（地址 $0FE2_{16}$ ）的 bit4）的组合，如表 15 所示，在 CPU 改写模式时对用户块禁止 E/W。

bit3 是闪存复位位，并且是用于复位内部闪存控制电路的位。在闪存的存取发生异常时使用。在 CPU 改写模式选择位为“1”的状态下，如果对 bit3 写“1”，就执行复位。解除复位时，必须接着写“0”。

bit5 是用户 ROM 区选择位，并且是只在引导模式时有效的位。如果对此位设定“1”，就能存取用户 ROM 区，并能进行 CPU 改写。此位的操作必须通过 RAM 上的程序进行。

bit6 是编程状态标志，在对闪存的写发生异常结束时变为“1”。在发生编程错误时，不能使用此块。

bit7 是擦除状态标志，在闪存的擦除发生异常结束时变为“1”。在发生擦除错误时，不能使用此块。

闪存控制寄存器 1 如图 72 所示。bit0 是擦除挂起允许位。通过对此位设定“1”，能使用在执行块擦除命令时暂时中止擦除处理的擦除挂起模式。在对此位设定“1”时，必须对 bit0 连续写“0”和写“1”；对此位设定“0”时，只写“0”。

bit1 是擦除挂起请求位。如果在擦除挂起允许位为“1”的状态下对此位写“1”，就中止擦除处理。

bit6 是擦除挂起标志，在擦除闪存时此位为“0”。

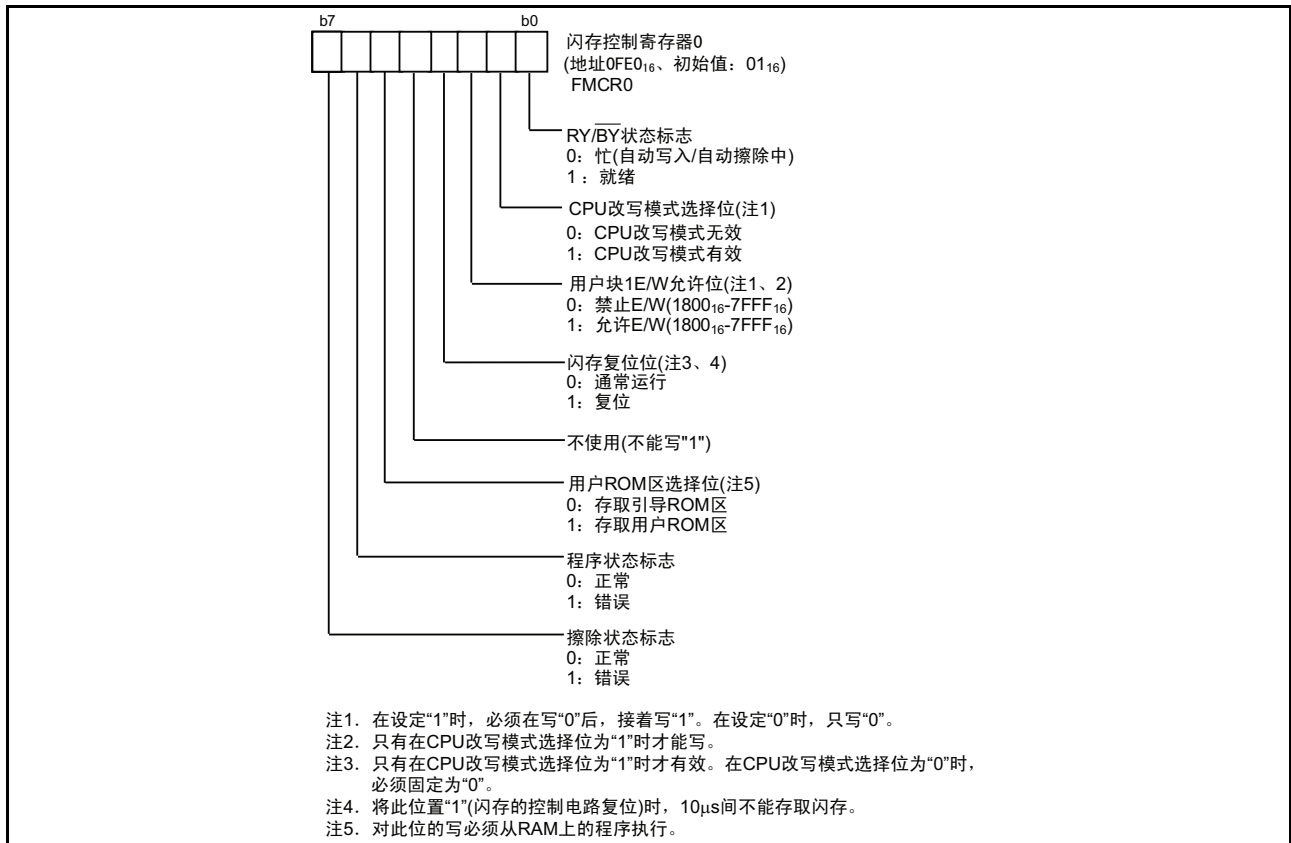


图 71 闪存控制寄存器 0 的结构

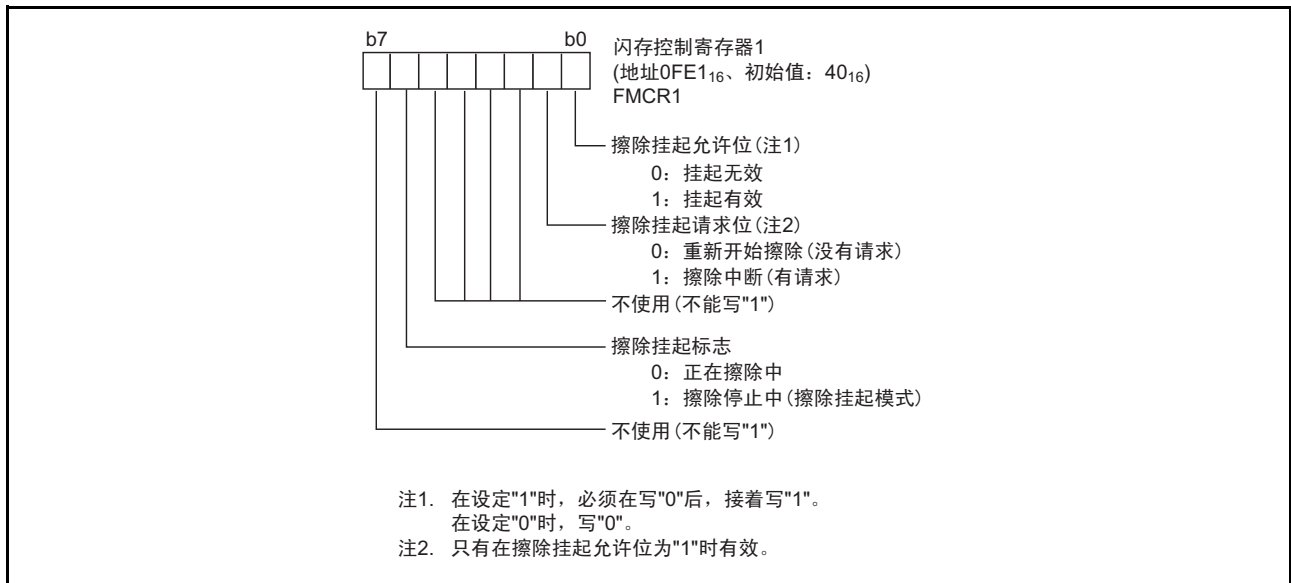


图 72 闪存控制寄存器 1 的结构

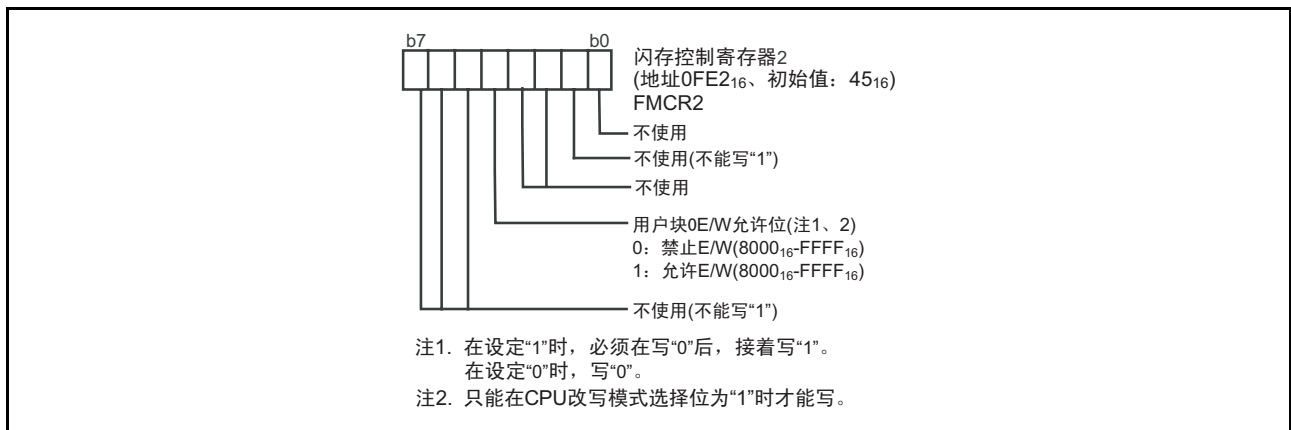


图 73 闪存控制寄存器 2 的结构

表 15 E/W 禁止功能的状态

用户块 0 E/W 允许位	用户块 1 E/W 允许位	用户块 0 8000 ₁₆ ~ FFFF ₁₆	用户块 1 1800 ₁₆ ~ 7FFF ₁₆	数据块 1000 ₁₆ ~ 17FF ₁₆
0	0	禁止 E/W	禁止 E/W	允许 E/W
0	1	禁止 E/W	允许 E/W	允许 E/W
1	0	允许 E/W	禁止 E/W	允许 E/W
1	1	允许 E/W	允许 E/W	允许 E/W

CPU 改写模式的设定 / 解除流程图如图 74 所示。必须按照此流程图进行操作。

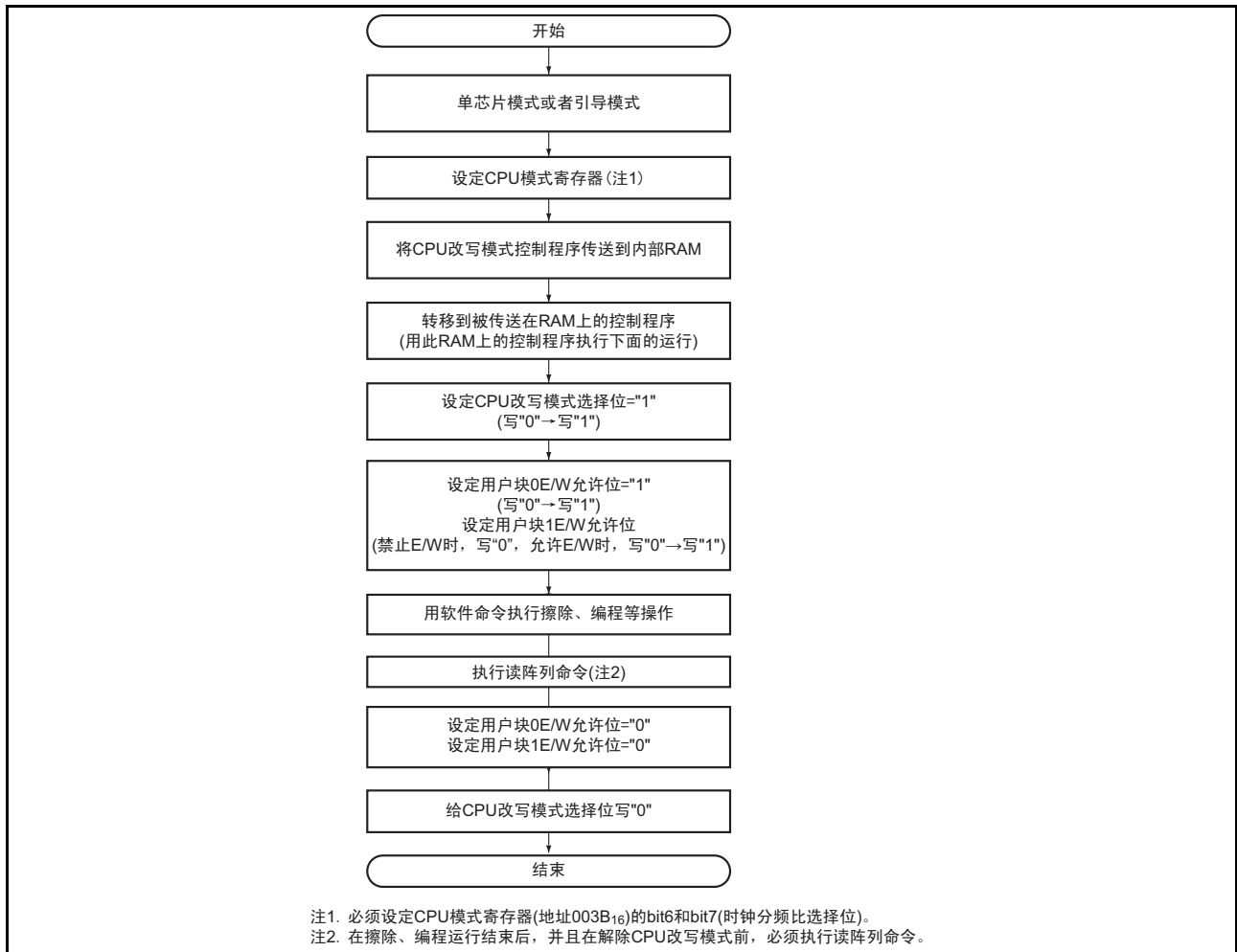


图 74 CPU 改写模式的设定 / 解除流程图

CPU 改写模式的注意事项

使用 CPU 改写模式改写闪存时, 有以下注意事项:

(1) 运行速度

在 CPU 改写模式中, 必须通过时钟分频比选择位 (地址 003B₁₆ 的 bit6、bit7), 将系统时钟 ϕ 设定为不超过 4.0MHz。

(2) 使用禁止指令

在 CPU 改写模式中, 不能使用参照闪存内部数据的指令。

(3) 中断

在 CPU 改写模式中, 由于参照闪存内部的数据, 不能使用中断。

(4) 看门狗定时器

在已经启动看门狗定时器的情况下, 由于在编程或者擦除期间, 看门狗定时器总是被清除, 因此不发生由下溢引起的内部复位。

(5) 复位

总是接受复位。在复位解除时, 在 $CNV_{SS} = H$ 的情况下, 由于用引导模式启动, 因此从被保存在引导 ROM 区的地址 FFFC₁₆ 和 FFFD₁₆ 中的地址开始执行程序。

软件命令

软件命令一览表如表 16 所示。

将 CPU 改写模式选择位设定“1”后，通过执行软件命令，指定擦除、编程等。

以下说明各软件命令的内容。

读阵列命令 (FF₁₆)

如果在第 1 总线周期写命令码“FF₁₆”，就变为读阵列模式。如果在下一个总线周期以后输入读地址，指定地址的内容就被读到数据总线 (D₀ ~ D₇)。

读阵列模式被保持到写其它命令为止。

读状态寄存器命令 (70₁₆)

如果在第 1 总线周期写命令码“70₁₆”，就通过第 2 总线周期的读，将状态寄存器的内容读到数据总线 (D₀ ~ D₇)。

关于状态寄存器在下一节说明。

清除状态寄存器命令 (50₁₆)

是在表示状态寄存器的错误结束位 (SR₄、SR₅) 被置位后，用于清除这些位的命令。在第 1 总线周期写命令码“50₁₆”。

编程命令 (40₁₆)

如果在第 1 总线周期写命令码“40₁₆”，就变为编程模式。如果继续在第 2 总线周期写编程的地址和数据，就开始编程运行 (数据的编程和验证)。

通过读状态寄存器或者读 RY/BY 状态标志，可以确认编程结束。读状态寄存器时，必须写读状态寄存器命令“70₁₆”。状态寄存器的 bit7 (SR₇) 在开始编程的同时变为“0”，在结束的同时变为“1”。读状态寄存器模式被保持到下一次写读阵列命令 (FF₁₆) 为止。RY/BY 状态标志和状态寄存器的 bit7 相同，在编程期间为“0”，在结束后变为“1”。在编程结束后，通过读状态寄存器，可以知道编程结果。

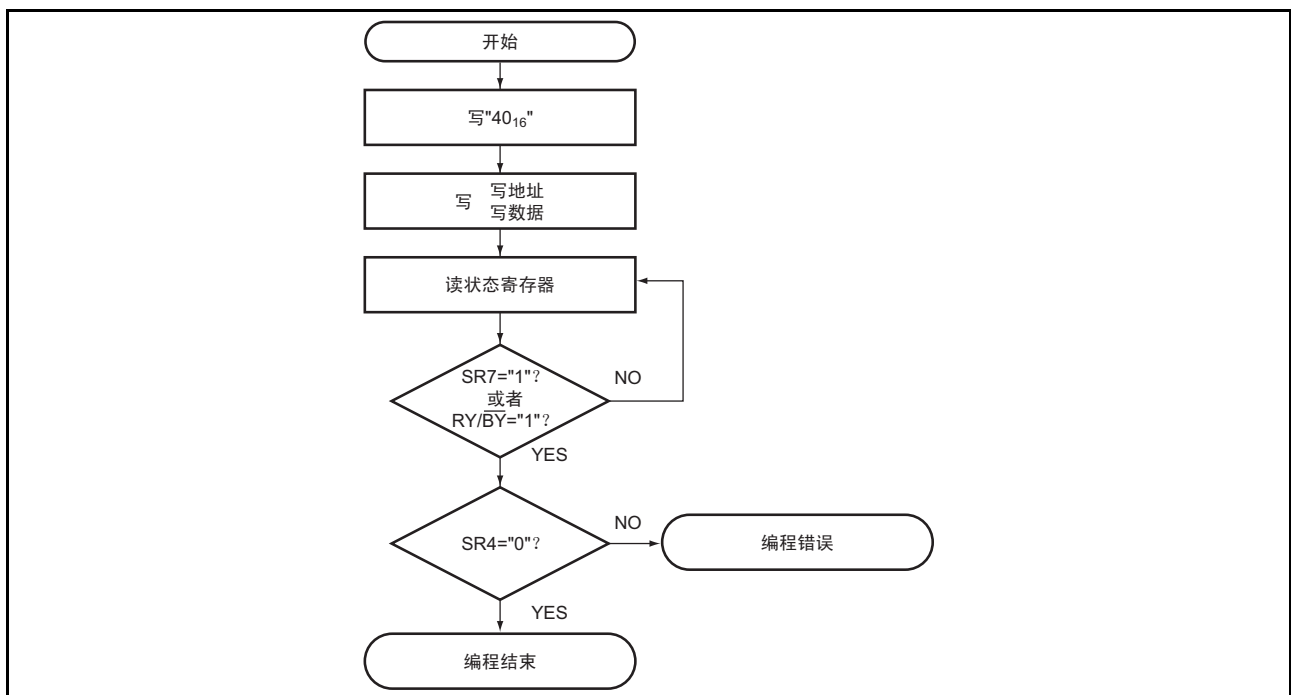


图 75 编程流程图

表 16 软件命令一览表 (CPU 改写模式)

命令	周期数	第 1 总线周期			第 2 总线周期		
		模式	地址	数据 (D ₀ ~ D ₇)	模式	地址	数据 (D ₀ ~ D ₇)
读阵列	1	写	× (注 4)	FF ₁₆			
读状态寄存器	2	写	×	70 ₁₆	读	×	SRD (注 1)
清除状态寄存器	1	写	×	50 ₁₆			
编程	2	写	×	40 ₁₆	写	WA (注 2)	WD (注 2)
块擦除	2	写	×	20 ₁₆	写	BA (注 3)	D0 ₁₆

- 【注】
1. SRD= 状态寄存器数据
 2. WA= 写地址、WD= 写数据
 3. BA= 擦除块地址 (必须输入各块的最大地址。)
 4. X 是用户 ROM 区内的任意地址

块擦除 (20₁₆/D0₁₆)

如果在第 1 总线周期写命令码 “20₁₆” 后, 继续在第 2 总线周期写确认命令码 “D0₁₆” 和块地址, 就对指定的块开始块擦除运行 (擦除和擦除验证)。

通过读状态寄存器或者读 RY/BY 状态标志, 可以确认块擦除的结束。在读状态寄存器时, 必须写读状态寄存器命令 “70₁₆”。状态寄存器的 bit7 (SR7) 在开始块擦除的同时变为 “0”, 在结束的同时返回到 “1”。此时的读状态寄存器模式被保持到下一次读写阵列命令 (FF₁₆) 为止。

RY/BY 状态标志和状态寄存器的 bit7 相同, 在擦除期间为 “0”, 在结束后变为 “1”。

在块擦除结束后, 通过读取状态寄存器, 可以知道块擦除的结果。详细内容请参照状态寄存器的章节。

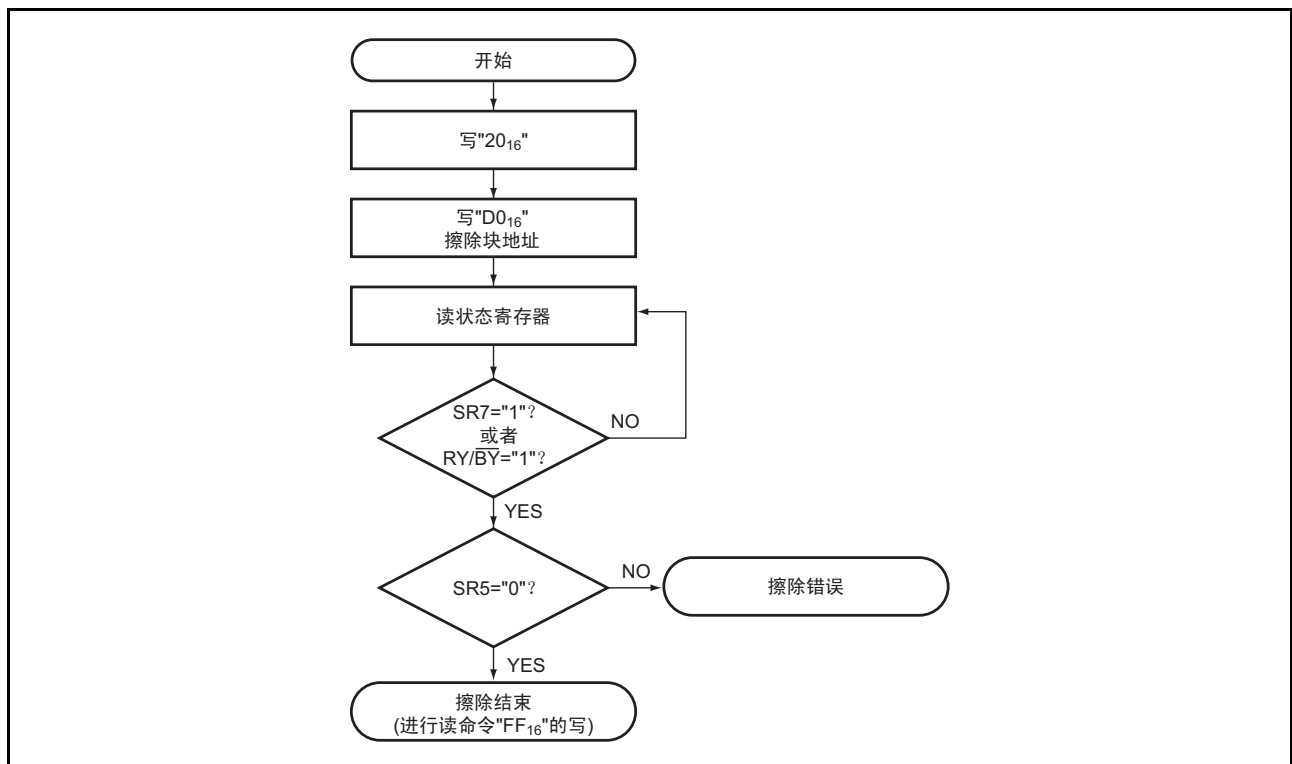


图 76 擦除状态图

状态寄存器

状态寄存器是表示闪存的运行状态和擦除、编程的正常 / 错误结束等状态的寄存器。在具备以下的条件时能读取状态寄存器：

1. 在进行读状态寄存器命令（70₁₆）的写后，读取用户ROM区内的任意地址时
2. 在从编程开始或者擦除开始到输入读阵列命令（FF₁₆）为止的期间，读取用户ROM区的任意地址时

另外，在具备以下的条件时，清除状态寄存器：

1. 在写清除状态寄存器命令（50₁₆）时

状态寄存器各位的定义如表 17 所示。

在复位解除后，状态寄存器变为“80₁₆”。

顺序状态 (SR7)

顺序状态表示闪存的运行状况，在接通电源时被置“1”（就绪）。在编程和擦除运行中被清“0”（忙），但是，在这些运行结束的同时被置“1”。

擦除状态 (SR5)

擦除状态通知擦除的运行状况，在发生擦除错误时被置“1”。

擦除状态在清除时变为“0”。

编程状态 (SR4)

编程状态通知编程的运行状况，在发生编程错误时被置“1”。

编程状态在清除时变为“0”。

在 SR5 或者 SR4 被置成“1”的状态下，不接受读阵列命令、编程命令以及块擦除命令。在执行这些命令前，必须执行清除状态寄存器命令，并清除状态寄存器。

另外，在没有正确输入命令时，SR5 和 SR4 双方都被置“1”。

表 17 状态寄存器各位的定义

SRD 的各位	状态名	定义	
		“1”	“0”
SR7(bit7)	顺序状态	就绪	忙
SR6(bit6)	保留	—	—
SR5(bit5)	擦除状态	错误结束	正常结束
SR4(bit4)	编程状态	错误结束	正常结束
SR3(bit3)	保留	—	—
SR2(bit2)	保留	—	—
SR1(bit1)	保留	—	—
SR0(bit0)	保留	—	—

全状态检查

通过全状态检查，能知道擦除、编程的执行结果。

全状态检查流程图和各错误发生时的处理方法如图 77 所示。

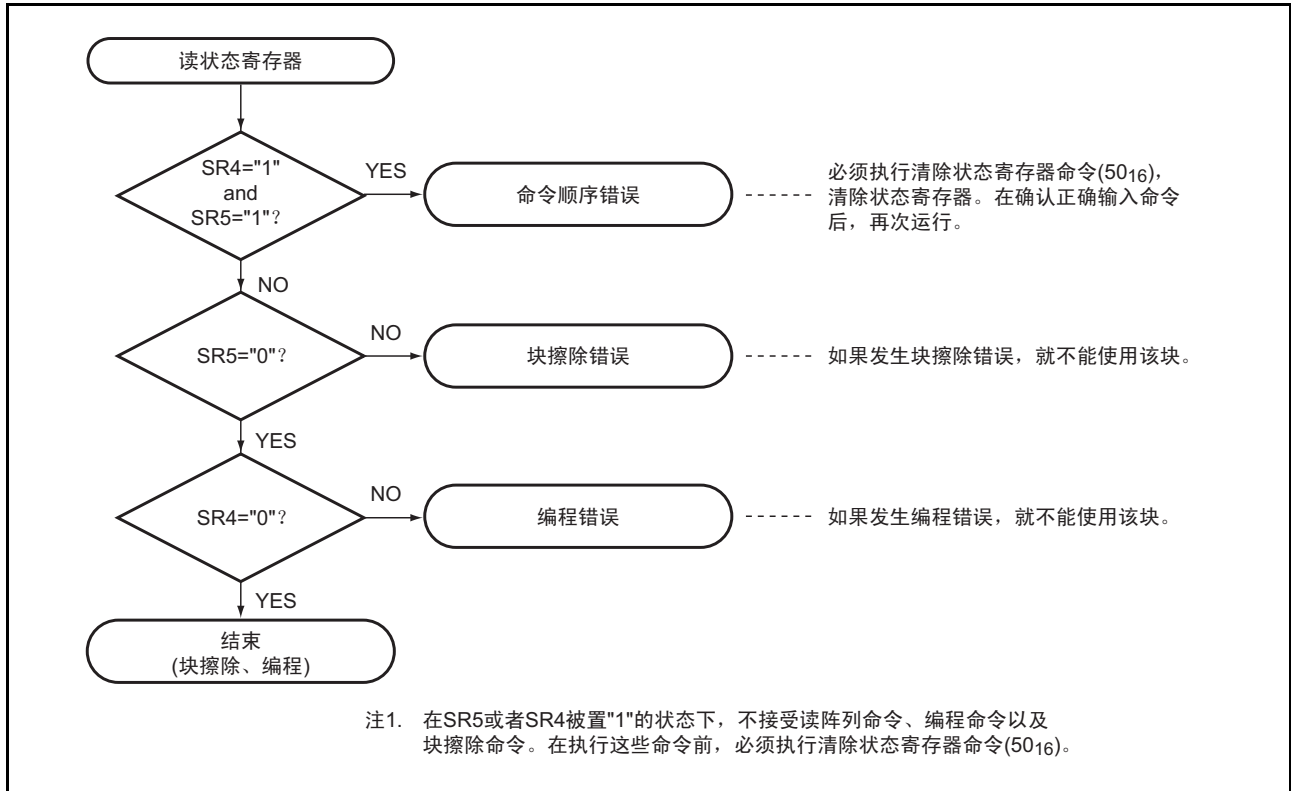


图 77 全状态检查流程图和各错误发生时的处理方法

禁止内部闪存改写功能

为了不能随意读取或者改写内部闪存的内容，在并行输入/输出模式，内置 ROM 码保护功能；在标准串行输入/输出模式，内置 ID 码检查功能。

ROM 码保护功能

ROM 码保护是在使用并行输入/输出模式时，通过 ROM 码保护控制地址（地址 FFDB₁₆），禁止读取或者改写内部闪存内容的功能。ROM 码保护控制地址（地址 FFDB₁₆）的结构如图 78 所示（此地址存在于用户 ROM 区）。

在由 2 位构成的 ROM 码保护位中，无论给其中的哪一位设定“0”，ROM 码保护都被设定，禁止读取或者改写内部闪存的内容。ROM 码保护有级 1 和级 2 两级，如果选择级 2，即使用发货检查用的 LSI 测试器等也不能进行读操作。在选择级 1 和级 2 双方的情况下，级 2 被选择。

如果给 ROM 码保护解除位设定“00”，就解除 ROM 码保护，并能读取或者改写内部闪存内容。一旦设定 ROM 码保护，就不能在并行输入/输出模式改变 ROM 码保护解除位的内容。必须在串行输入/输出模式等其它模式，改写 ROM 码保护解除位的内容。

改写时，必须改写包含 ROM 码保护控制地址（地址 FFDB₁₆）的整个用户 ROM 区（块 0）。不能只改写 ROM 码保护控制地址（地址 FFDB₁₆）。

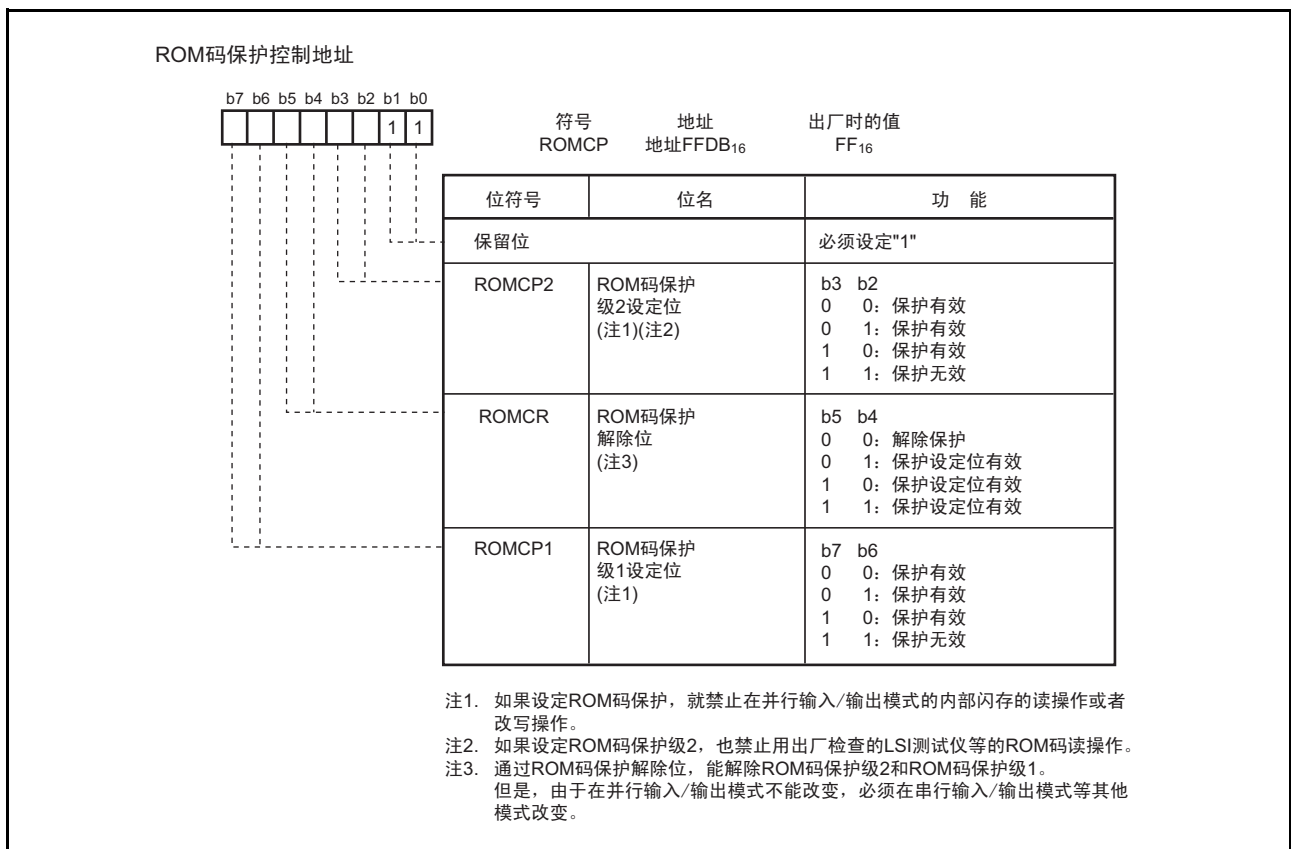


图 78 ROM 码保护控制地址的结构

ID 码检查功能

ID 码检查是在使用标准串行输入 / 输出模式时，并且在闪存的内容不为空的情况下，判断从串行编程器送来的 ID 码和写在闪存中的 ID 码是否一致的功能。如果码不一致，就不接受从串行编程器送来的命令。ID 码各为 8 位数据，被分配在地址 $FFD4_{16} \sim FFDA_{16}$ 。必须将给这些地址预先设定 ID 码的程序写入闪存。

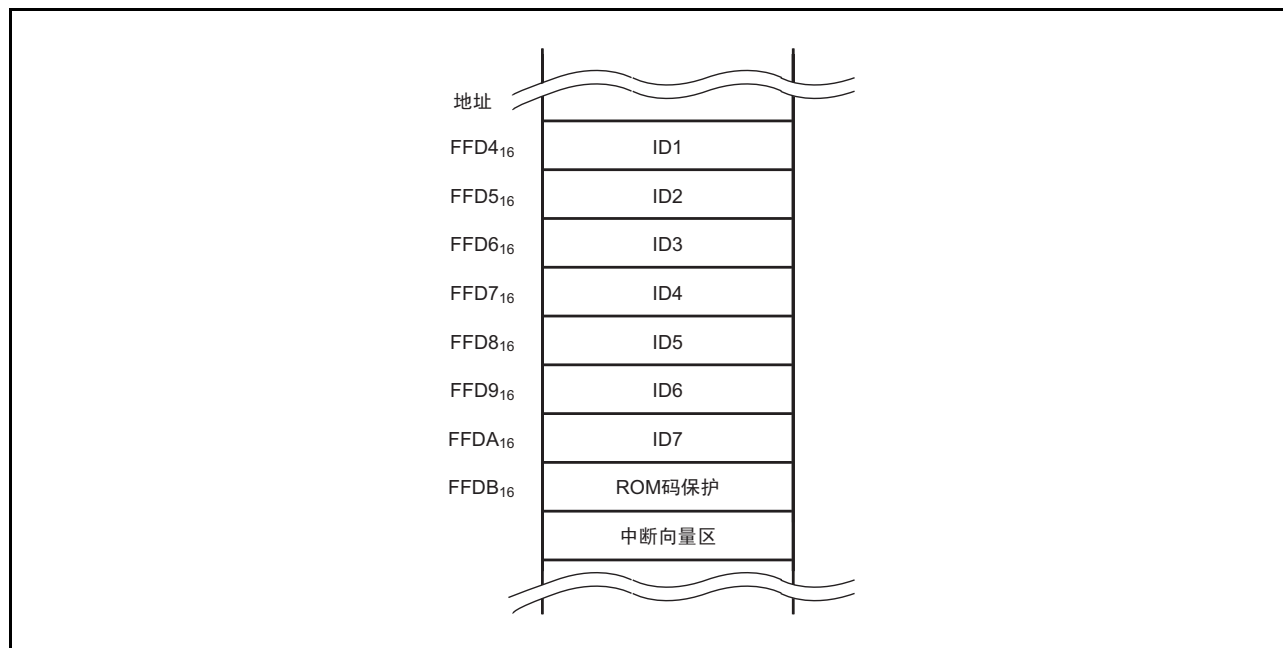


图 79 ID 码的保存地址

并行输入 / 输出模式

并行输入 / 输出模式是在对内部闪存进行操作（读、编程以及擦除等）时，并行输入 / 输出所必需的软件命令、地址以及数据的模式。

用户 ROM 区和引导 ROM 区

在并行输入 / 输出模式，能改写如图 70 所示的用户 ROM 区和引导 ROM 区。闪存的操作方法在两区域相同。

引导 ROM 区为 4K 字节，被分配在地址 F000₁₆ ~ FFFF₁₆。编程、块擦除只能在此范围内进行（禁止对此范围外的存取）。

引导 ROM 区的擦除块只有 4K 字节单位的一个块。引导 ROM 区在发货时，写入标准串行输入 / 输出模式的控制软件。因此，在标准串行输入 / 输出模式使用时，不必写引导 ROM 区。

标准串行输入 / 输出模式

标准串行输入 / 输出模式是在对内部闪存进行操作（读、编程以及擦除等）时，串行输入 / 输出所需要的软件命令、地址以及数据的模式，并且使用专用串行编程器。

标准串行输入 / 输出模式和并行输入 / 输出模式不同，CPU 控制闪存的改写（使用 CPU 改写模式）和改写数据的串行输入等。在 P3₂（BOOTENT）引脚为“H”、CNV_{SS} 引脚为“H”的状态下，通过复位解除来启动标准串行输入 / 输出模式（在通常的单片机模式，必须将 CNV_{SS} 设定成“L”）。

此控制程序在发货时被写入在引导 ROM 区。因此，必须注意：在并行输入 / 输出模式改写引导 ROM 区时，无法使用标准串行输入 / 输出模式。标准串行输入 / 输出模式有时钟同步串行的标准串行输入 / 输出模式 1 和时钟异步串行的标准串行输入 / 输出模式 2 两种。标准串行输入 / 输出模式时的引脚功能说明如表 18、表 19 所示，标准串行输入 / 输出模式时的引脚连接图如图 80 所示，使用标准串行输入 / 输出模式 1 时电路板上的引脚处理例如图 81、图 82 所示，标准串行输入 / 输出模式 1 和 2 的运行波形图如图 83、图 84 所示。

在标准串行输入 / 输出模式，只能改写如图 70 所示的用户 ROM 区，不能改写引导 ROM 区。

标准串行输入 / 输出模式具有 7 字节的 ID 码。在闪存的内容不为空的情况下，判断从编程器送来的 ID 码是否与写在闪存中的 ID 码一致。如果 ID 码的内容不一致，就不接受从编程器送来的命令。

表 18 引脚的功能说明（闪存标准串行输入 / 输出模式 1）

引脚名	名称	输入 / 输出	功能
VCC、VSS	电源输入	输入	必须给 VCC 外加 2.7V ~ 5.5V、给 VSS 外加 0V。
CNVSS	CNVSS	输入	在进行端口的输入设定后，必须设定为“H”。
$\overline{\text{RESET}}$	复位输入	输入	复位输入引脚。如果保持不低于 X _{IN} 的 16 个周期的“L”电平，变为复位状态。
X _{IN}	时钟输入	输入	必须给 X _{IN} 引脚、X _{OUT} 引脚连接振荡电路。关于连接方法，请参照“时钟发生电路”。
X _{OUT}	时钟输出	输出	
AVSS	模拟电源输入		必须连接到 VSS。
VREF	基准电压输入	输入	必须输入 A/D 转换器的基准电压。
P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇ P2 ₀ ~ P2 ₇ 、P3 ₄ ~ P3 ₇ P4 ₀ ~ P4 ₇ 、P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₂	输入 / 输出端口	输入 / 输出	必须输入“H”、“L”，或者置为开路。
P3 ₃	R _X D 输入	输入	串行数据的输入引脚。
P3 ₂	T _X D 输出	输出	串行数据的输出引脚。
P3 ₁	SCLK 输入	输入	串行时钟的输入引脚。
P3 ₀	BUSY 输出	输出	BUSY 信号的输出引脚。

表 19 引脚的功能说明（闪存标准串行输入 / 输出模式 2）

引脚名	名称	输入 / 输出	功能
VCC、VSS	电源输入	输入	必须给 VCC 外加 2.7V ~ 5.5V、给 VSS 外加 0V。
CNVSS	CNVSS	输入	在进行端口的输入设定后，必须设定为“H”。
$\overline{\text{RESET}}$	复位输入	输入	复位输入引脚。如果保持不低于 X _{IN} 的 16 个周期的“L”电平，变为复位状态。
X _{IN}	时钟输入	输入	必须给 X _{IN} 引脚、X _{OUT} 引脚连接振荡电路。关于连接方法，请参照“时钟发生电路”。
X _{OUT}	时钟输出	输出	
AVSS	模拟电源输入		必须连接到 VSS。
VREF	基准电压输入	输入	必须输入 A/D 转换器的基准电压。
P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇ P2 ₀ ~ P2 ₇ 、P3 ₄ ~ P3 ₇ P4 ₀ ~ P4 ₇ 、P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₂	输入 / 输出端口	输入 / 输出	必须输入“H”、“L”，或者置为开路。
P3 ₃	R _X D 输入	输入	串行数据的输入引脚。
P3 ₂	T _X D 输出	输出	串行数据的输出引脚。
P3 ₁	SCLK 输入	输入	必须输入“L”。
P3 ₀	BUSY 输出	输出	BUSY 信号的输出引脚。

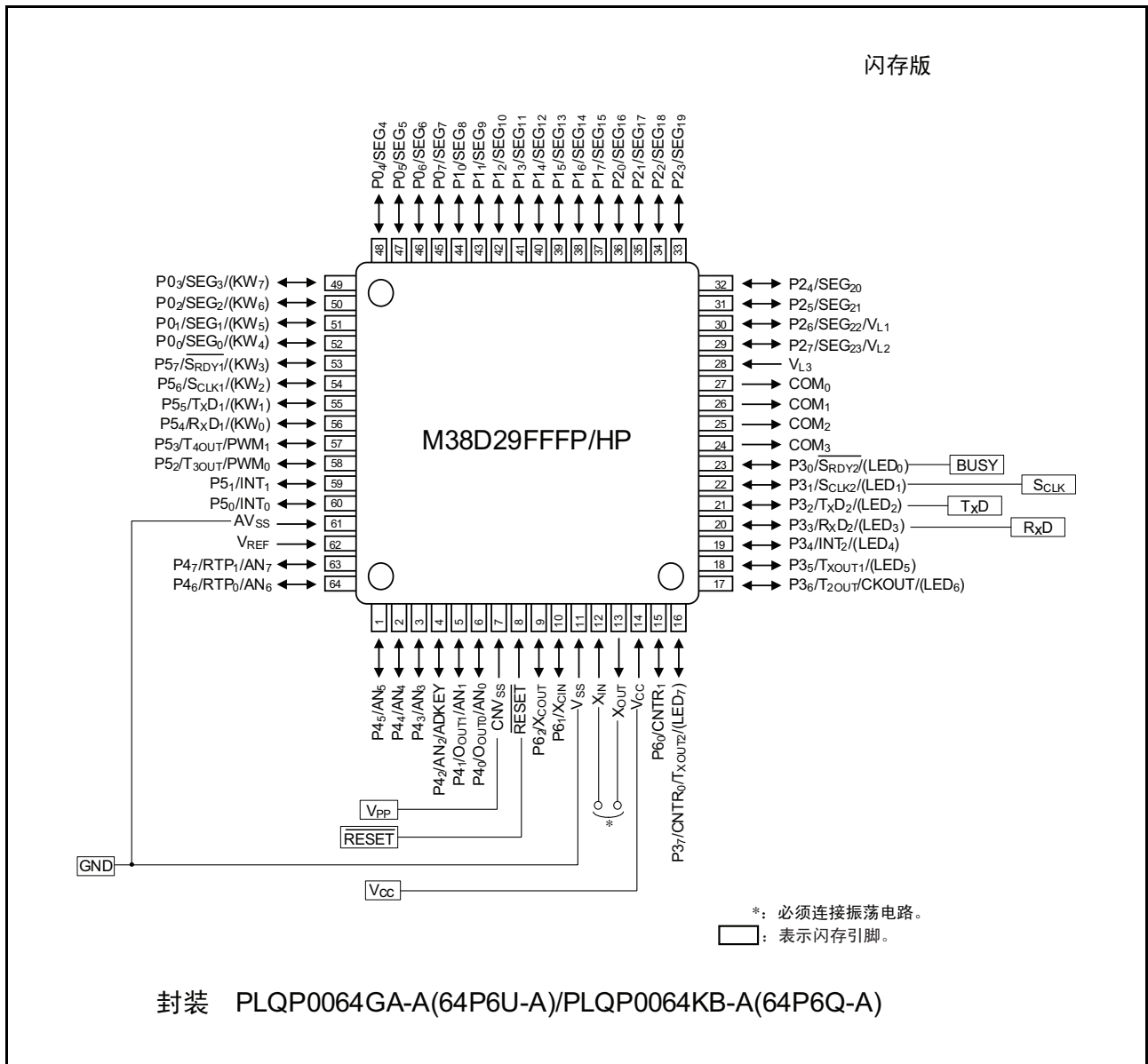


图 80 标准串行输入 / 输出模式 1 时的引脚连接图

闪存版

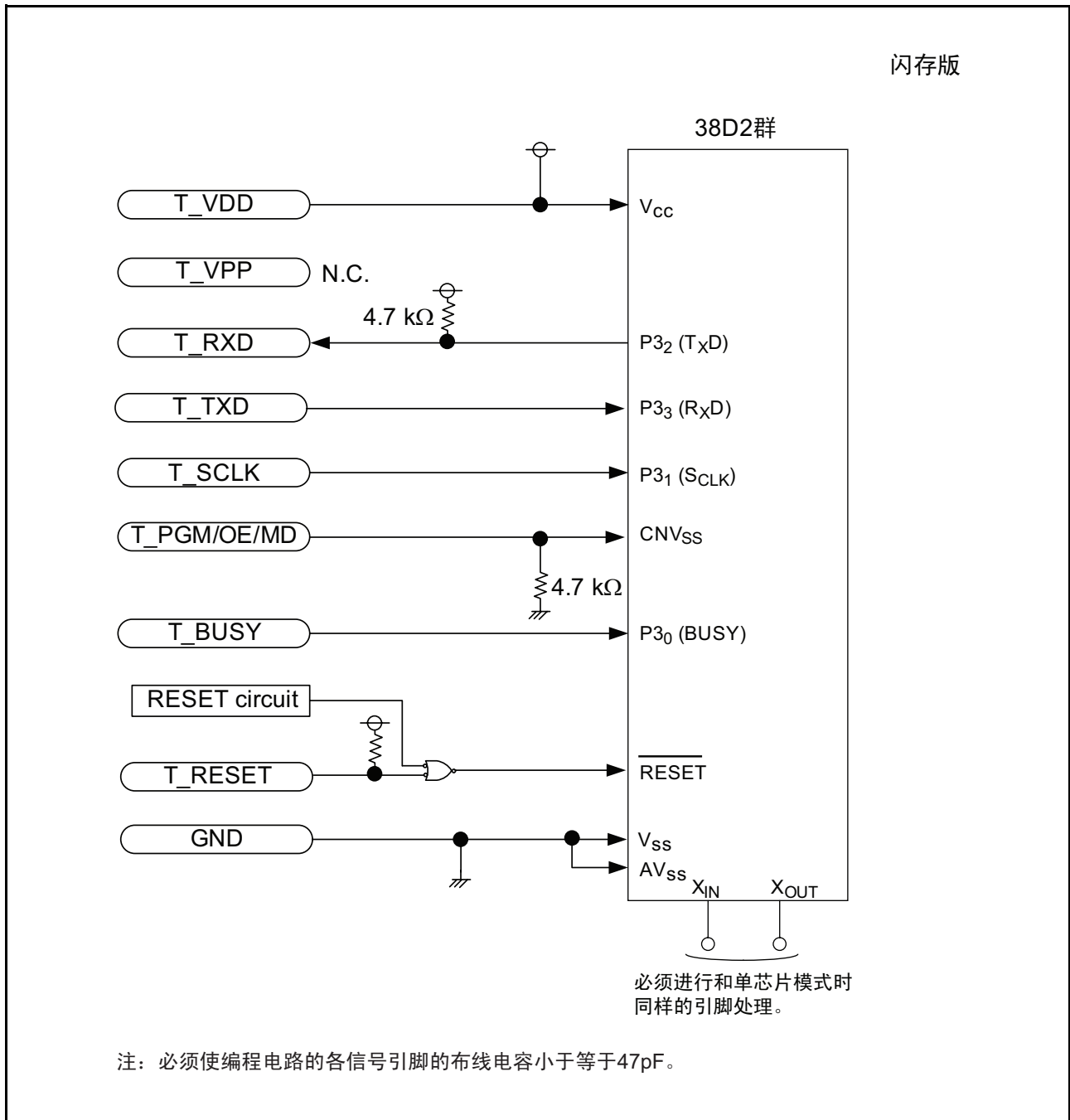


图 81 使用彗星电子系统生产的编程器（标准串行输入 / 输出模式 1）时电路板上的引脚处理例

闪存版

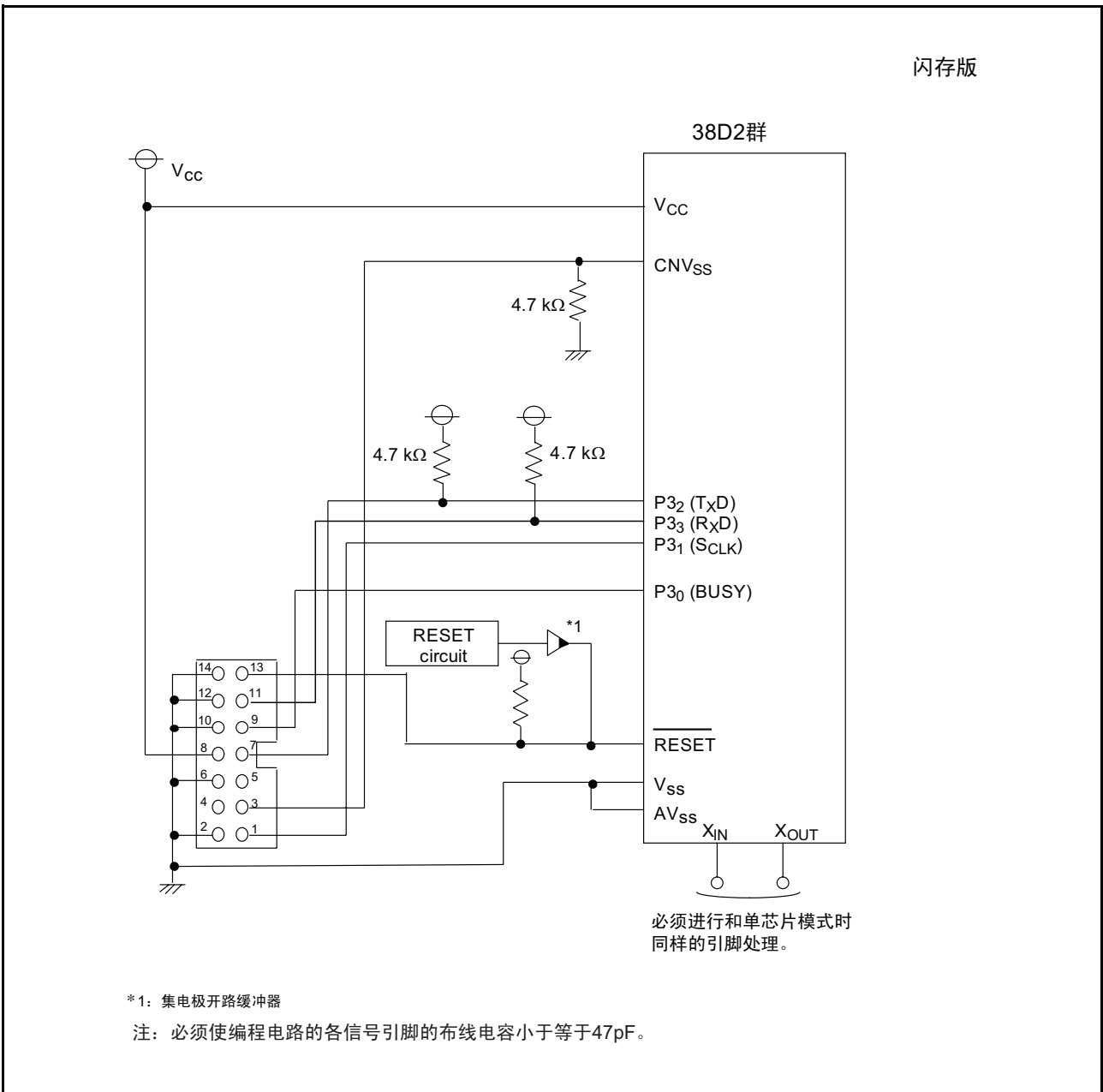


图 82 使用 E8 编程器（标准串行输入 / 输出模式 1）时电路板上的引脚处理例

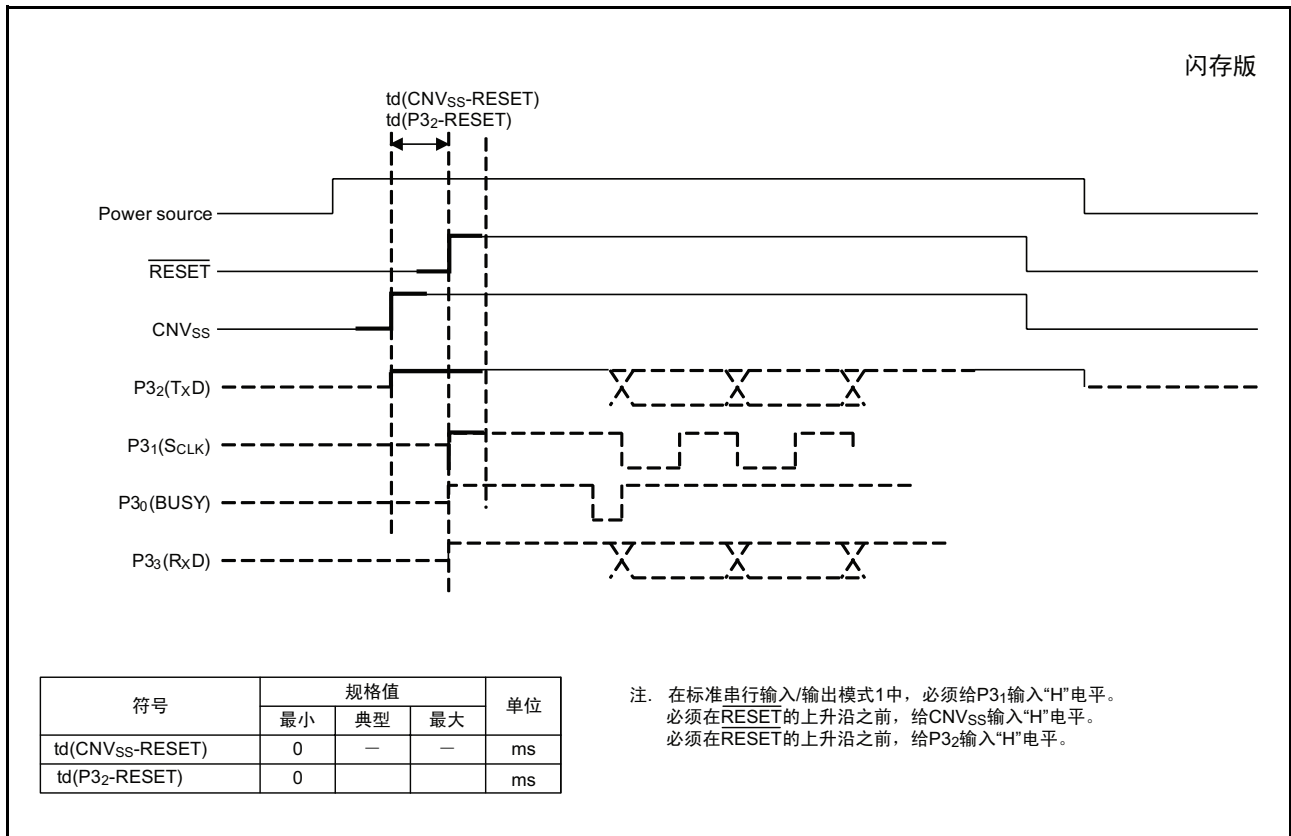


图 83 标准串行输入 / 输出模式 1 时的运行波形图

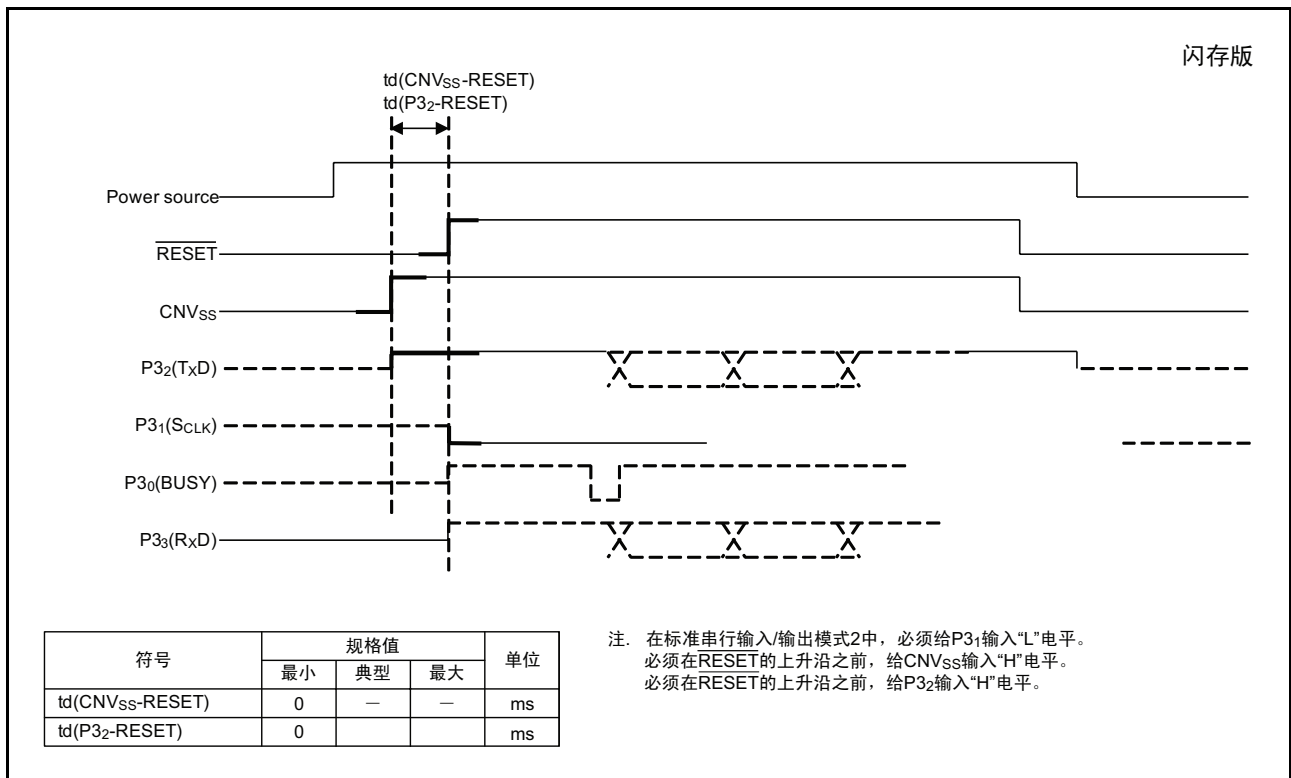


图 84 标准串行输入 / 输出模式 2 时的运行波形图

使用时的注意事项

有关处理器状态寄存器的注意事项

处理器状态寄存器（PS）除了中断禁止标志 I 为“1”以外，刚复位后的值不定。因此，需要对影响程序执行的标志进行初始化。

尤其是必须对影响运算本身的 T 标志和 D 标志进行初始化。必须在程序的起始部进行初始化。

有关中断的注意事项

在刚通过程序更改中断请求位的内容后，如果执行 BBC 和 BBS 指令，就执行更改前的内容。为了执行更改后的内容，必须在至少执行 1 条指令后进行。

有关 10 进制运算的注意事项

- 在进行 10 进制运算时，必须在将 10 进制模式标志 D 置“1”后执行 ADC 指令或者 SBC 指令。此时，必须在 ADC 指令或者 SBC 指令后执行至少 1 条的指令，然后执行 SEC 指令、CLC 指令或者 CLD 指令。
- 在 10 进制模式中 N（负）、V（上溢）和 Z（零）标志无效。

有关定时器的注意事项

给定时器锁存器写值 n（0 ~ 255）时的分频比为 $1/(n+1)$ 。

有关乘除运算指令的注意事项

- MUL 和 DIV 指令不受 T 标志和 D 标志的影响。
- 在执行乘除运算指令时，处理器状态寄存器的内容不变。

有关方向寄存器的注意事项

不能读端口方向寄存器的值。即，不能使用 LDA 指令、T 标志为“1”时的存储器运算指令以及将方向寄存器的值作为变址值的寻址方式、BBC 和 BBS 等位测试指令。另外，也不能使用 CLB、SEB 等位操作指令和 ROR 等运算的方向寄存器的读 - 修改 - 写指令。必须使用 LDM、STA 等指令设定方向寄存器。

有关串行接口的注意事项

对于时钟同步串行 I/O，当接收侧使用外部时钟输出 SRDY 时，必须将接收允许位、SRDY 输出允许位和发送允许位都置“1”。

另外，串行 I/O 在发送结束后，TxD 引脚锁存最后的位并继续输出。

有关 A/D 转换的注意事项

比较器的输入由电容耦合构成。如果转换速度不充分，就可能因电荷的消失而降低转换精度，所以在 X_{IN} 模式中进行 A/D 转换时，必须将 f(X_{IN}) 设定为小于等于 500kHz。另外，不能在 A/D 转换中执行 STP 指令和 WIT 指令。

因为在低速模式（在选择内部振荡器时）中使用内部振荡器进行 A/D 转换，所以对 f(X_{IN}) 没有下限频率的限制。

有关 LCD 驱动控制电路的注意事项

如果执行 STP 指令，LCD 允许位（LCD 模式寄存器（地址 0013₁₆）的 bit3）以及 LCD 电源控制寄存器的 bit0 ~ bit5、bit7 为“0”，且 LCD 显示屏熄灯。从停止模式返回后，如果要使 LCD 显示屏点灯，必须将这些位置“1”。

有关指令的执行时间的注意事项

可以由机器指令一览表所记载的周期数乘以系统时钟 ϕ 的周期得出指令的执行时间。

有关电源电压的注意事项

在单片机的电源电压低于推荐运行条件值时，单片机可能无法正常运行而处于不稳定的运行状态。

在电源电压下降和切断电源时电源电压缓慢下降的系统中，将系统设计为在电源电压低于推荐运行条件时单片机复位等，这样即使在不稳定的运行状态也不会导致系统异常。

有关使用电源引脚的注意事项

在使用时，为了防止闩锁现象，必须将高频特性良好的电容作为旁路电容外接在组件的电源引脚（VCC 引脚）和 GND 引脚（VSS 引脚）以及电源引脚（VCC 引脚）和模拟电源输入引脚（AVSS 引脚）之间。旁路电容推荐使用 0.01 μ F ~ 0.1 μ F 的陶瓷电容。

另外，必须以最短距离将旁路电容外接在电源引脚和 GND 引脚、电源引脚和模拟电源输入引脚之间。

有关 LCD 驱动电源的注意事项

根据 LCD 电源的分压电阻值和 LCD 显示屏的特性，电源容量有可能不足，此时可将 0.1 ~ 0.33 μ F 左右的旁路电容连接到 VL1 ~ VL3 引脚。LCD 驱动电源的强化对策例如图 85 所示。

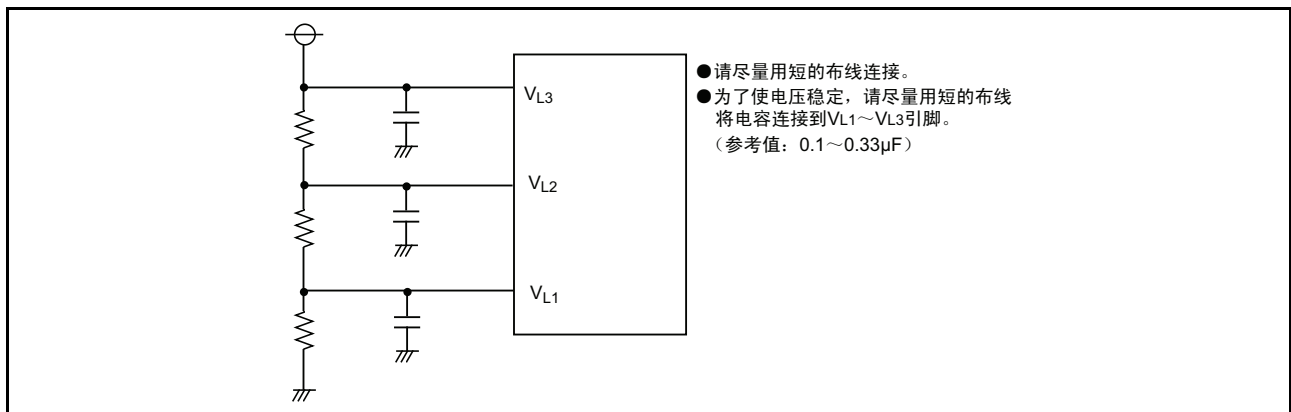


图 85 LCD 驱动电源的强化对策例

有关 QzROM 版的注意事项

OSCSEL 引脚布线

(1) OSCSEL 引脚 = “L” 电平时

请尽量以最短的布线将 OSCSEL 引脚连接到离供给单片机 V_{SS} 引脚的 GND 最近的 GND 图形。

另外，通过将约 5kΩ 的电阻串联到 GND，有可能改善抗噪声耐量。此时也和上述同样，尽量以最短的布线将电阻连接到离供给单片机的 V_{SS} 引脚的 GND 最近的 GND 图形。

(2) OSCSEL 引脚 = “H” 电平时

请尽量以最短的布线将 OSCSEL 引脚连接到离供给单片机 V_{CC} 引脚的 V_{CC} 最近的 V_{CC} 图形。

另外，通过将约 5kΩ 的电阻串联到 V_{CC}，有可能改善抗噪声耐量。此时也和上述同样，尽量以最短的布线将电阻连接到离供给单片机 V_{CC} 引脚的 V_{CC} 最近的 V_{CC} 图形。

• 理由

OSCSEL 引脚是内部 QzROM 的电源输入引脚。在给 QzROM 写程序时，为了产生写电流，降低了 OSCSEL 引脚的阻抗，所以噪声容易侵入。如果噪声从 OSCSEL 引脚侵入，来自 QzROM 的指令码和数据的读操作就不能正常进行而导致失控。

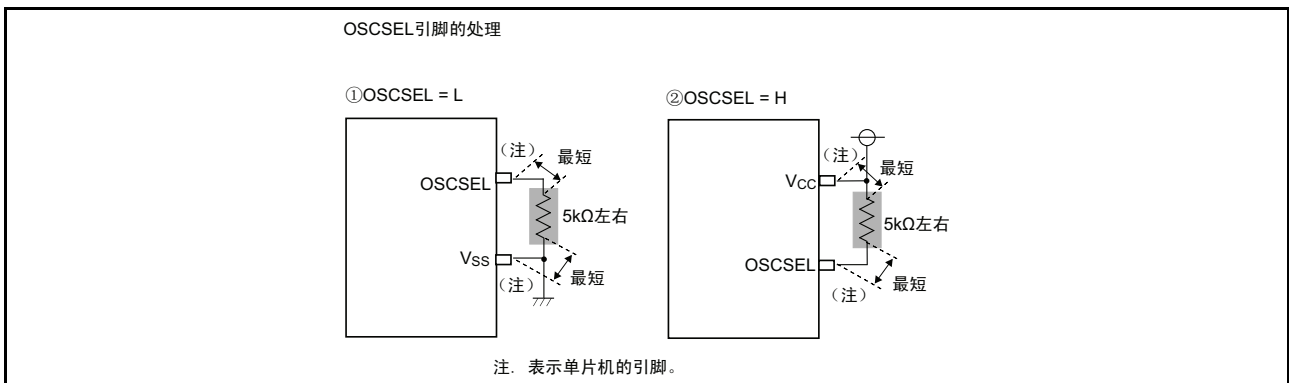


图 86 OSCSEL 引脚的布线

QzROM 版过电压

必须注意：不能给其他引脚外加超过 V_{CC} 引脚电压的电压。

特别是关于电源上升及下降时的 OSCSEL 引脚（QzROM 的 V_{PP} 电源输入引脚），不要出现如图 87 所示的粗线区间状态。如果出现此状态，QzROM 的内容有可能改写。

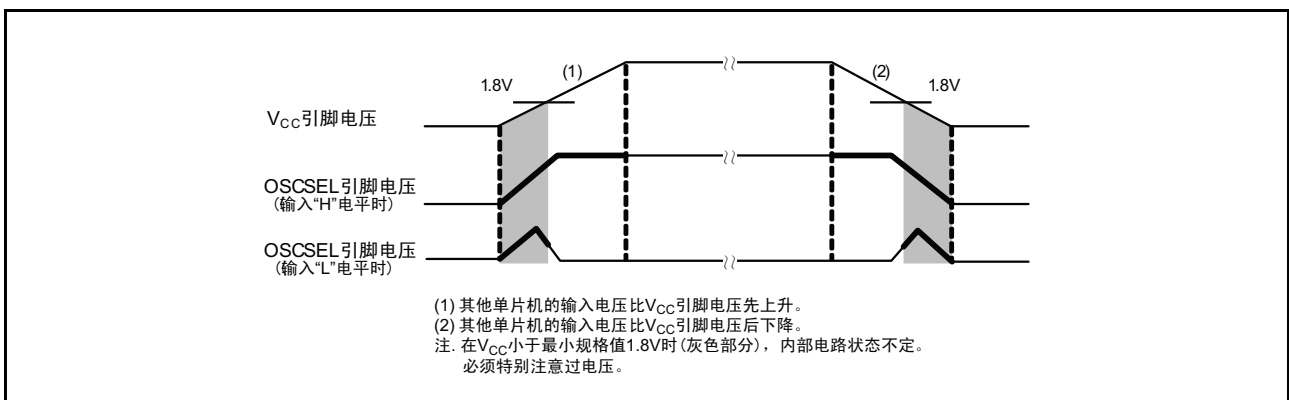


图 87 时序图（相当于粗线的区间）

QzROM 版空白出货产品

空白出货产品虽然在组装工程前对空白出货产品进行了充分的 QzROM 写测试，但是在组装工程后对用户 ROM 区没有进行写测试，因此有可能发生 0.1% 左右的写失败。另外，写的环境也会造成写失败，所以在使用时必须充分注意电缆的接触和插座上的异物等。

订购 QzROM 编程后的产品时

在订购 QzROM 编程后的出货产品时，必须提交用掩模文件转换实用程序（MM）建立的掩模文件（扩展名 .msk）。

另外，在执行掩模文件转换实用程序（MM）建立掩模文件时，必须设定 ROM 选项（在掩模转换实用程序中记为“掩模选项”）的数据。

ROM 码保护（QzROM 编程后的出货产品）

QzROM 编程后的出货产品的 ROM 码保护由订货时提出的建立掩模文件时的 ROM 选项数据决定。

建立掩模文件时的 ROM 选项数据为“有保护”时设定“0016”；为“只对保护区 1 进行保护”时设定“FE16”；为“无保护”时设定“FF16”。因此，QzROM 编程后的出货产品的 ROM 码保护地址（ROM 保留区）的内容为“0016”、“FF16”和“FE16”其中之一。

另外，必须注意：在没有设定 ROM 选项数据或者设定了“0016”、“FF16”和“FE16”以外的数据时，不能接受该掩模文件。

订购 QzROM 编程后的产品时的提交资料

必须在订购 QzROM 编程后的出货产品时提交以下的资料：

- QzROM 编程确认书*
- 标记指定书*
- ROM 的数据 . . . 掩模文件

* 有关 QzROM 编程确认书和标记指定书，请参照瑞萨科技主页（<http://cn.renesas.com/homepage.jsp>）。另外，QzROM 单片机不对应特殊字体标记（如贵公司商标等）。

QzROM 产品的验货步骤

由客户进行编程时，请按照以下步骤进行验货：

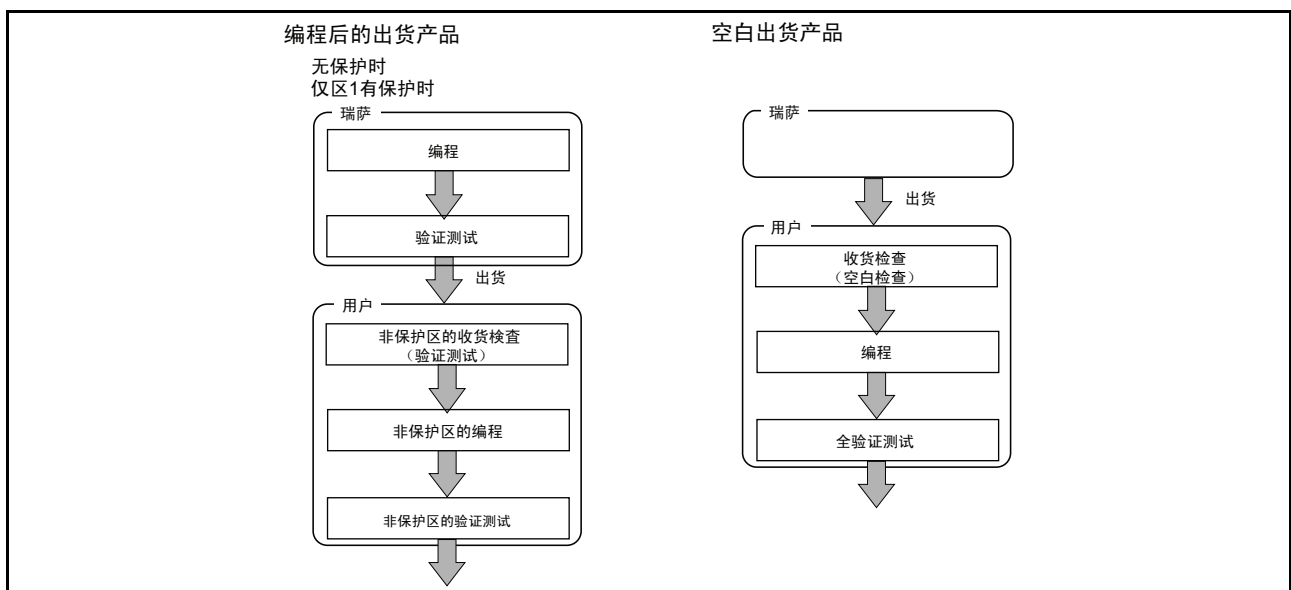


图 88 QzROM 产品的验货步骤

有关闪存版的注意事项

CPU 改写模式

(1) 运行速度

在 CPU 改写模式中，必须通过主时钟分频比选择位（地址 003B₁₆ 的 bit7 和 bit6）将系统时钟 ϕ 设定为不超过 4.0MHz。

(2) 使用禁止指令

在 CPU 改写模式中，不能使用参照闪存内部数据的指令。

(3) 中断

在 CPU 改写模式中，由于参照闪存内部数据，所以不能使用中断。

(4) 看门狗定时器

在已启动了看门狗定时器的情况下，由于在编程或者擦除时看门狗定时器总是被清除，所以不发生由下溢引起的内部复位。

(5) 复位

总是接受复位。在复位解除时，在 CNV_{SS}=H 的情况下，就以引导模式启动。因此，从保存在引导 ROM 区的地址 FFFC₁₆、FFFD₁₆ 中的地址开始执行程序。

CNV_{SS} 引脚

CNV_{SS} 引脚是决定闪存模式的引脚。

必须尽量以最短的布线将 CNV_{SS} 引脚连接到离供给单片机 V_{SS} 引脚的 GND 最近的 GND 图形（注）。另外，如果以串联的方式插入 5k Ω 的电阻，并且通过和 GND 连接有可能改善噪声耐量。此时也要和上述同样，必须尽量以最短的布线连接到离供给单片机 V_{SS} 引脚的 GND 最近的 GND 图形。

【注】 使用引导模式、标准串行输入 / 输出模式时，必须转换到 CNV_{SS} 引脚的输入电平。

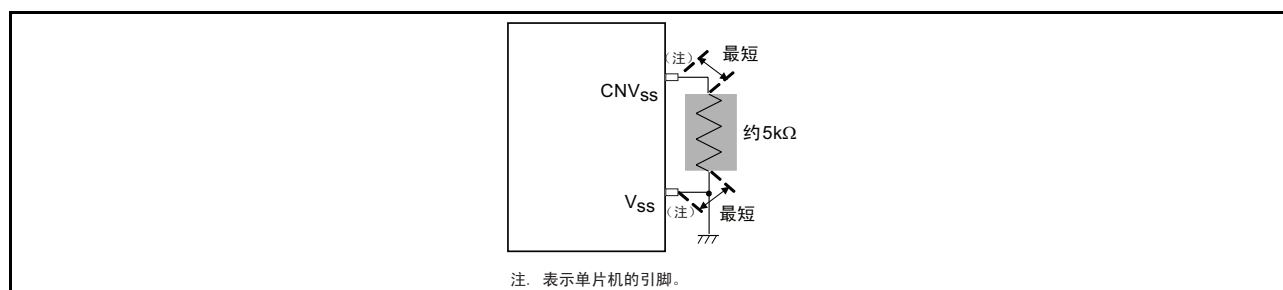


图 89 CNV_{SS} 引脚的布线

有关 QzROM 版 / 闪存版不同点的注意事项

QzROM 版和闪存版由于制造工艺、内部 ROM、电路图的不同，使在电特性范围内的特性值、工作容限、噪声耐量、噪声辐射量等也有可能不同。从闪存版转换到 QzROM 版时，必须实施与在闪存版实施的系统评价试验同等的试验。

功能的不同请参照第 12 页。

有关噪声的注意事项

请按照如下的处理，进行防止噪声的系统设计和充分的评价。

(1) 缩短布线的长度

1. 复位引脚的布线

必须缩短连接复位引脚的布线，尤其是连接在复位引脚和 V_{SS} 引脚之间的电容，必须尽量用短（20mm 以内）的布线连接。

• 理由

时序的必要条件规定了输入到复位引脚的脉宽。如果将小于规定宽度的脉宽噪声输入到复位引脚，就在单片机内部完全进入初始化状态前解除复位，导致程序失控。

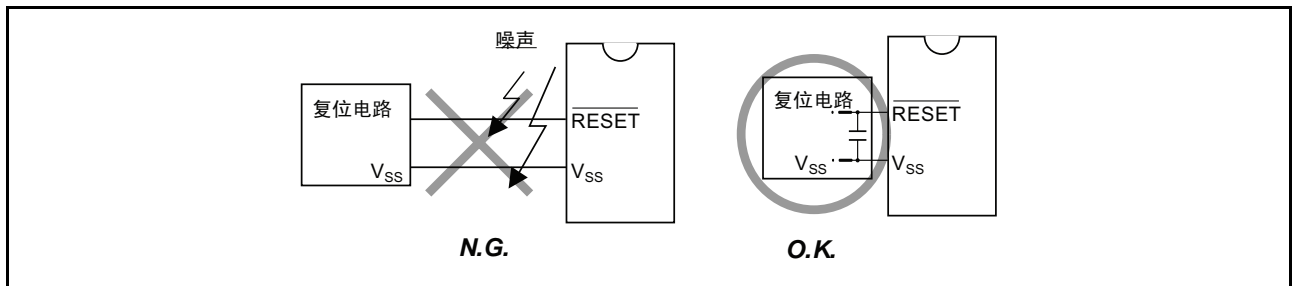


图 90 复位输入引脚的布线

2. ②时钟输入/输出引脚的布线

- 必须缩短连接时钟输入/输出引脚的布线。
- 必须用最短（20mm 以内）的布线连接谐振器的电容接地端引线和单片机的 V_{SS} 引脚。
- 必须将用于振荡的 V_{SS} 布线作为振荡电路专用布线，并和其他 V_{SS} 布线分离。

• 理由

如果有噪声侵入时钟输入/输出引脚，时钟的波形就会发生紊乱，导致误动作和失控。另外，如果因噪声而引起单片机 V_{SS} 电平和谐振器 V_{SS} 电平之间产生电位差，就不能将正确的时钟输入到单片机。

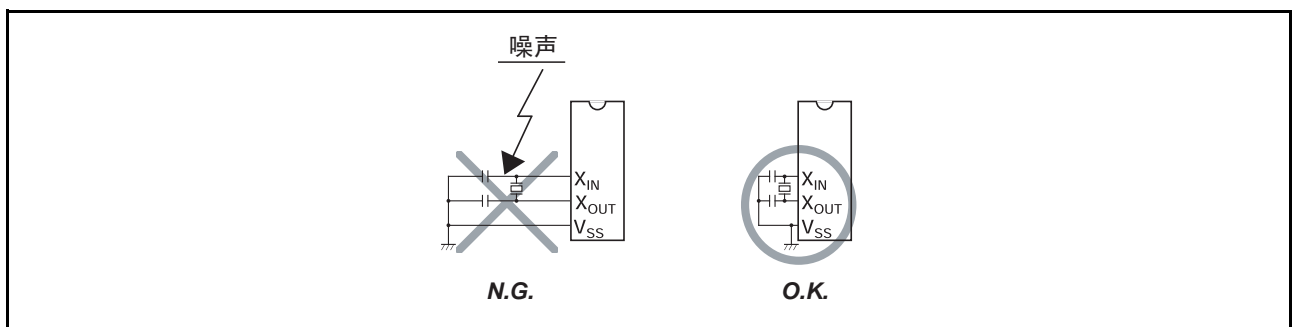


图 91 时钟输入/输出引脚的布线

(2) 在 V_{SS}—V_{CC} 的布线之间插入旁路电容

为了系统稳定工作和防止闩锁，必须在以下的条件下在 V_{SS}—V_{CC} 的布线之间插入 0.1μF 左右的旁路电容。

- V_{SS} 引脚—旁路电容间的布线长度和 V_{CC} 引脚—旁路电容间的布线长度相等
- 尽量缩短 V_{SS} 引脚—旁路电容之间的布线长度和 V_{CC} 引脚—旁路电容之间的布线长度
- V_{SS} 布线和 V_{CC} 布线使用比其他信号线粗的布线
- 电源布线经由旁路电容连接到 V_{SS} 引脚和 V_{CC} 引脚

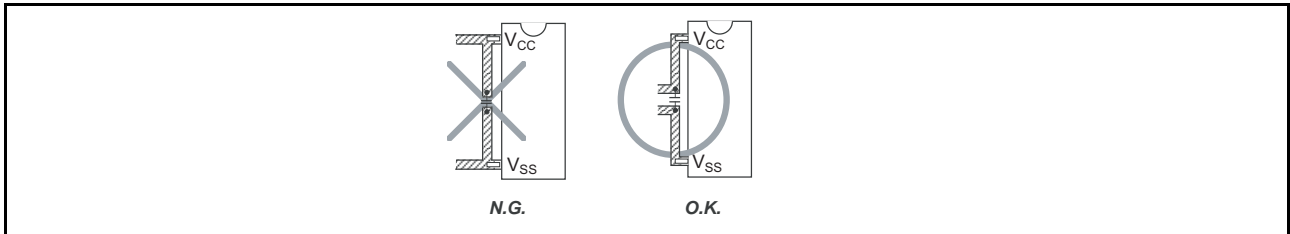


图 92 V_{SS}—V_{CC} 布线间的旁路电容

(3) 对谐振器的考虑

对于用户系统及其使用条件，为了能获得稳定的运行时钟，请在征求谐振器厂家意见的基础上选定谐振器和振荡电路常数。在大电压范围和大温度范围的条件下使用时需特别注意。

另外，必须考虑不能让其他信号影响产生单片机运行基本时钟的谐振器。

1. 大电流信号线的回避

请尽量使超过单片机处理的电流值范围的大电流信号线远离单片机（特别是谐振器）。

- 理由

在使用单片机的系统中有控制马达、LED 和热敏头等的信号线。在这些信号线有大电流流动时，由于互感而产生噪声。

2. 高速电平变化信号线的回避

请尽量使高速电平变化的信号线远离谐振器和谐振器的布线。

另外，高速电平变化的信号线不能和时钟相关的信号线及其他易受噪声影响的信号线交叉。

- 理由

高速电平变化的 CNTR 引脚等信号因上升或者下降时的电平变化而容易影响其他信号线。尤其是在和时钟相关的信号线交叉时，时钟的波形会发生紊乱，导致误动作和失控。

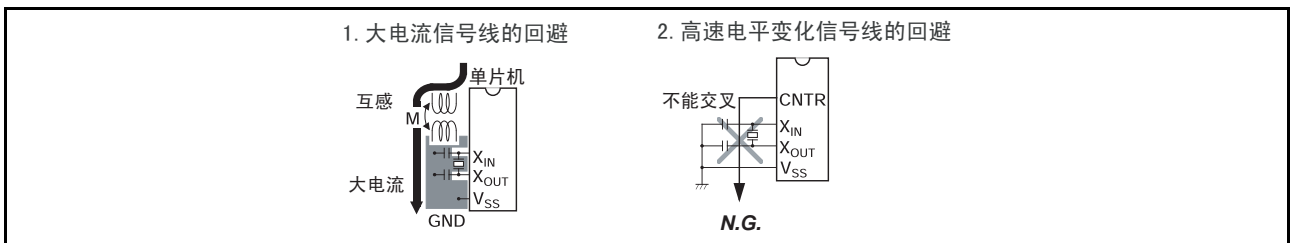


图 93 大电流信号线的布线和高速电平变化信号线的布线

(4) 模拟输入

模拟输入引脚连接电压比较器的电容。因此，如果将高阻抗的模拟信号源连接到模拟输入引脚，就有可能因 A/D 转换时的充放电电流而得不到充分的精度。为了获得更稳定的 A/D 转换结果，必须减小模拟信号源的阻抗或者在模拟输入引脚附加平滑电容。

(5) 存储器容量的不同

在同一群内有不同存储器容量的产品，其电特性、A/D 转换精度以及噪声误动作耐量指标值等指标值有可能不同。在换用这些产品时，必须在确认产品规格后对每个产品进行系统评价。

QzROM 版的电特性

表 20 绝对最大额定值

符号	项目	条件	额定值	单位	
V _{CC}	电源电压	以 V _{SS} 引脚为基准进行测定。 在测定输入电压时，输出晶体管处于截止状态。	-0.3 ~ 6.5	V	
V _I	输入电压 P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇ 、P2 ₀ ~ P2 ₇ P3 ₀ ~ P3 ₇ 、P4 ₀ ~ P4 ₇ 、P5 ₀ ~ P5 ₇ 、P6 ₀ ~ P6 ₂		-0.3 ~ V _{CC} + 0.3	V	
V _I	输入电压 V _{L1}		-0.3 ~ V _{L2}	V	
V _I	输入电压 V _{L2}		V _{L1} ~ V _{L3}	V	
V _I	输入电压 V _{L3}		V _{L2} ~ 6.5	V	
V _I	输入电压 $\overline{\text{RESET}}$ 、X _{IN} 、OSCSEL		-0.3 ~ V _{CC} + 0.3	V	
V _O	输出电压 P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇ 、P2 ₀ ~ P2 ₇		在输出端口时	-0.3 ~ V _{CC} + 0.3	V
			在段输出时	-0.3 ~ V _{L3} + 0.3	V
V _O	输出电压 COM ₀ ~ COM ₃		-0.3 ~ V _{L3} + 0.3	V	
V _O	输出电压 P3 ₀ ~ P3 ₇ 、P4 ₀ ~ P4 ₇ 、P5 ₀ ~ P5 ₇ 、P6 ₀ ~ P6 ₂		-0.3 ~ V _{CC} + 0.3	V	
V _O	输出电压 X _{OUT}	-0.3 ~ V _{CC} + 0.3	V		
P _d	功耗	T _a =25°C	300	mW	
T _{opr}	工作环境温度	—	-20 ~ 85	°C	
T _{stg}	保存温度	—	-40 ~ 125	°C	

表 21 推荐运行条件 (1)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	条件	规格值			单位	
			最小	典型	最大		
V _{CC}	电源电压 (注 1)	在 2 分频模式时 (注 2)	$f(X_{IN}) \leq 12.5MHz$	4.5		5.5	V
			$f(X_{IN}) \leq 8.0MHz$	4.0		5.5	V
			$f(X_{IN}) \leq 4.0MHz$	2.0		5.5	V
			$f(X_{IN}) \leq 2.0MHz$	1.8		5.5	V
		在 4 分频模式时	$f(X_{IN}) \leq 16MHz$	4.5		5.5	V
			$f(X_{IN}) \leq 8.0MHz$	2.0		5.5	V
			$f(X_{IN}) \leq 4.0MHz$	1.8		5.5	V
		在 8 分频模式时	$f(X_{IN}) \leq 16MHz$	4.5		5.5	V
			$f(X_{IN}) \leq 8.0MHz$	2.0		5.5	V
			$f(X_{IN}) \leq 4.0MHz$	1.8		5.5	V
		在低速模式时			1.8		5.5
在内部振荡器模式时			1.8		5.5	V	
在振荡开始时 (注 3)			$0.05 \times f + 1.9$			V	
V _{SS}	电源电压			0		V	
V _{L3}	LCD 电源电压		2.5		5.5	V	
V _{REF}	A/D 转换器的基准电压		2.0		V _{CC}	V	
AV _{SS}	模拟电源电压			0		V	
V _{IA}	模拟输入电压 AN ₀ ~ AN ₇		AV _{SS}		V _{CC}	V	
V _{IH}	“H”电平输入电压 P ₀₄ ~ P ₀₇ 、P ₁₀ ~ P ₁₇ 、P ₂₀ ~ P ₂₇ 、P ₃₀ 、P ₃₂ 、P ₃₅ 、 P ₃₆ 、P ₄₀ ~ P ₄₇ 、P ₅₂ 、P ₅₃ 、P ₆₂		$0.7V_{CC}$		V _{CC}	V	
V _{IH}	“H”电平输入电压 P ₀₀ ~ P ₀₃ 、P ₃₁ 、P ₃₃ 、P ₃₄ 、P ₃₇ 、 P ₅₀ 、P ₅₁ 、P ₅₄ ~ P ₅₇ 、P ₆₀ 、P ₆₁		$0.8V_{CC}$		V _{CC}	V	
V _{IH}	“H”电平输入电压 RESET	$2.2 < V_{CC} \leq 5.5V$	$0.8V_{CC}$		V _{CC}	V	
		$V_{CC} \leq 2.2V$	$V_{CC} - \frac{65 \times V_{CC} - 99}{100}$		V _{CC}		
V _{IH}	“H”电平输入电压 X _{IN}		$0.8V_{CC}$		V _{CC}	V	
V _{IL}	“L”电平输入电压 P ₀₄ ~ P ₀₇ 、P ₁₀ ~ P ₁₇ 、P ₂₀ ~ P ₂₇ 、P ₃₀ 、P ₃₂ 、P ₃₅ 、 P ₃₆ 、P ₄₀ ~ P ₄₇ 、P ₅₂ 、P ₅₃ 、P ₆₂		0		$0.3V_{CC}$	V	

- 【注】
1. 在使用 A/D 转换器时, 请参照 A/D 转换器的推荐运行条件。
 2. 不能在 2 分频模式中使用 $12.5MHz < f(X_{IN}) \leq 16MHz$ 。
 3. 振荡开始电压和振荡开始时间因谐振器、电路常数和工作环境温度等而不同。尤其是高频率的谐振器在低电压时可能很难开始振荡, 所以必须注意。
f: 为谐振器的振荡频率 ($1MHz \leq f(X_{IN}) \leq 8MHz$), 当 8MHz 时 f 为 “8”。

表 21 推荐运行条件 (2)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	条件	规格值			单位
			最小	典型	最大	
V_{IL}	“L”电平输入电压	$P0_0 \sim P0_3$ 、 $P3_1$ 、 $P3_3$ 、 $P3_4$ 、 $P3_7$ 、 $P5_0$ 、 $P5_1$ 、 $P5_4 \sim P5_7$ 、 $P6_0$ 、 $P6_1$ 、OSCSEL	0		$0.2V_{CC}$	V
V_{IL}	“L”电平输入电压 RESET	$2.2 < V_{CC} \leq 5.5V$	0		$0.2V_{CC}$	V
		$V_{CC} \leq 2.2V$	0		$\frac{65 \times V_{CC} - 99}{100}$	V
V_{IL}	“L”电平输入电压	X_{IN}	0		$0.2V_{CC}$	V

表 22 推荐运行条件 (3)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	规格值			单位
		最小	典型	最大	
$\Sigma I_{OH}(\text{peak})$	“H”电平输出总峰值电流 (注1)			-40	mA
	$P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$ 、 $P2_0 \sim P2_7$ 、 $P3_0 \sim P3_7$				
$\Sigma I_{OH}(\text{peak})$	“H”电平输出总峰值电流 (注1)			-40	mA
	$P4_0 \sim P4_7$ 、 $P5_0 \sim P5_7$ 、 $P6_0 \sim P6_2$				
$\Sigma I_{OL}(\text{peak})$	“L”电平输出总峰值电流 (注1)			40	mA
	$P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$ 、 $P2_0 \sim P2_7$				
$\Sigma I_{OL}(\text{peak})$	“L”电平输出总峰值电流 (注1)			40	mA
	$P4_0 \sim P4_7$ 、 $P5_0$ 、 $P5_1$ 、 $P5_4 \sim P5_7$ 、 $P6_0 \sim P6_2$				
$\Sigma I_{OL}(\text{peak})$	“L”电平输出总峰值电流 (注1)			110	mA
	$P3_0 \sim P3_7$ 、 $P5_2$ 、 $P5_3$				
$\Sigma I_{OH}(\text{avg})$	“H”电平输出总平均电流 (注1)			-20	mA
	$P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$ 、 $P2_0 \sim P2_7$ 、 $P3_0 \sim P3_7$				
$\Sigma I_{OH}(\text{avg})$	“H”电平输出总平均电流 (注1)			-20	mA
	$P4_0 \sim P4_7$ 、 $P5_0 \sim P5_7$ 、 $P6_0 \sim P6_2$				
$\Sigma I_{OL}(\text{avg})$	“L”电平输出总平均电流 (注1)			20	mA
	$P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$ 、 $P2_0 \sim P2_7$				
$\Sigma I_{OL}(\text{avg})$	“L”电平输出总平均电流 (注1)			20	mA
	$P4_0 \sim P4_7$ 、 $P5_0$ 、 $P5_1$ 、 $P5_4 \sim P5_7$ 、 $P6_0 \sim P6_2$				
$\Sigma I_{OL}(\text{avg})$	“L”电平输出总平均电流 (注1)			90	mA
	$P3_0 \sim P3_7$ 、 $P5_2$ 、 $P5_3$				

【注】 1. 输出总电流是流到相应端口的全部电流的总和。总平均电流是 100ms 期间的平均值，总峰值电流是峰值的总和。

表 22 推荐运行条件 (4)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	规格值			单位
		最小	典型	最大	
I _{OH} (peak)	“H”电平输出峰值电流 (注1) P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇ 、P2 ₀ ~ P2 ₇			-2.0	mA
I _{OH} (peak)	“H”电平输出峰值电流 (注1) P3 ₀ ~ P3 ₇ 、P4 ₀ ~ P4 ₇ 、P5 ₀ ~ P5 ₇ 、P6 ₀ ~ P6 ₂			-5.0	mA
I _{OL} (peak)	“L”电平输出峰值电流 (注1) P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇ 、P2 ₀ ~ P2 ₇			5.0	mA
I _{OL} (peak)	“L”电平输出峰值电流 (注1) P4 ₀ ~ P4 ₇ 、P5 ₀ 、P5 ₁ 、P5 ₄ ~ P5 ₇ 、P6 ₀ ~ P6 ₂			10	mA
I _{OL} (peak)	“L”电平输出峰值电流 (注1) P3 ₀ ~ P3 ₇ 、P5 ₂ 、P5 ₃			30	mA
I _{OH} (avg)	“H”电平输出平均电流 (注2) P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇ 、P2 ₀ ~ P2 ₇			-1.0	mA
I _{OH} (avg)	“H”电平输出平均电流 (注2) P3 ₀ ~ P3 ₇ 、P4 ₀ ~ P4 ₇ 、P5 ₀ ~ P5 ₇ 、P6 ₀ ~ P6 ₂			-2.5	mA
I _{OL} (avg)	“L”电平输出平均电流 (注2) P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇ 、P2 ₀ ~ P2 ₇			2.5	mA
I _{OL} (avg)	“L”电平输出平均电流 (注2) P4 ₀ ~ P4 ₇ 、P5 ₀ 、P5 ₁ 、P5 ₄ ~ P5 ₇ 、P6 ₀ ~ P6 ₂			5.0	mA
I _{OL} (avg)	“L”电平输出平均电流 (注2) P3 ₀ ~ P3 ₇ 、P5 ₂ 、P5 ₃			15	mA

- 【注】 1. 输出峰值电流是流到每 1 个端口的电流峰值。
2. 输出平均电流是 I_{OL}(avg)、I_{OH}(avg) 在 100ms 期间的平均值。

表 23 推荐运行条件 (5)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	条件	规格值			单位
			最小	典型	最大	
f(CNTR ₀) f(CNTR ₁)	定时器 X 和定时器 Y 的输入频率 (当占空比为 50%时)	$4.5V \leq V_{CC} \leq 5.5V$			6.25	MHz
$4.0V \leq V_{CC} < 4.5V$				$2 \times V_{CC} - 4$	MHz	
$2.0V \leq V_{CC} < 4.0V$				V_{CC}	MHz	
$V_{CC} < 2.0V$				$5 \times V_{CC} - 8$	MHz	
f(Tclk)	用于定时器 X、定时器 Y 和 定时器 1、2、3、4 的时钟频率 (各定时器的计数源频率)	$4.5V \leq V_{CC} \leq 5.5V$			16	MHz
$4.0V \leq V_{CC} < 4.5V$				$4 \times V_{CC} - 8$	MHz	
$2.0V \leq V_{CC} < 4.0V$				$2 \times V_{CC}$	MHz	
$V_{CC} < 2.0V$				$10 \times V_{CC} - 16$	MHz	
f(ϕ)	系统时钟 ϕ 的频率 (注 1)	$4.5V \leq V_{CC} \leq 5.5V$			6.25	MHz
$4.0V \leq V_{CC} < 4.5V$				4	MHz	
$2.0V \leq V_{CC} < 4.0V$				V_{CC}	MHz	
$V_{CC} < 2.0V$				$5 \times V_{CC} - 8$	MHz	
f(X _{IN})	主时钟输入振荡频率 (当占空比为 50%时) (注 2、3)	$4.5V \leq V_{CC} \leq 5.5V$	1.0		16	MHz
$2.0V \leq V_{CC} < 4.5V$		1.0		8.0	MHz	
$V_{CC} < 2.0V$		1.0		$20 \times V_{CC} - 32$	MHz	
f(X _{CIN})	副时钟输入振荡频率 (当占空比为 50%时) (注 4、5)		32.768		80	kHz

- 【注】 1. 系统时钟 ϕ 的频率和电源电压的关系如下图所示。
 2. 在使用 A/D 转换器时, 请参照 A/D 转换器的推荐运行条件。
 3. 不能在 2 分频模式中使用 $12.5MHz < f(X_{IN}) \leq 16MHz$ 。
 4. 振荡开始电压和振荡开始时间因谐振器、电路常数和环境温度等而不同。尤其是高频率的谐振器在低电压时可能很难开始振荡, 所以必须注意。
 5. 在使用低速模式时, 必须将钟表时钟的输入振荡频率设定为 $f(X_{CIN}) < f(X_{IN})/3$ 。

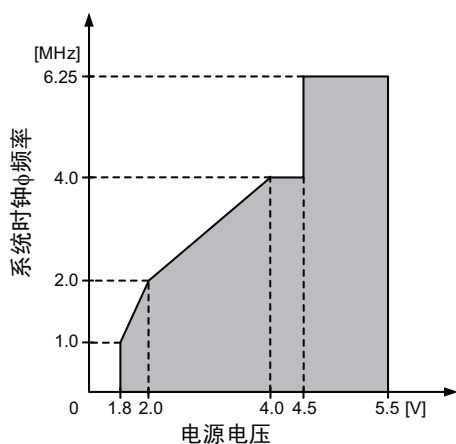
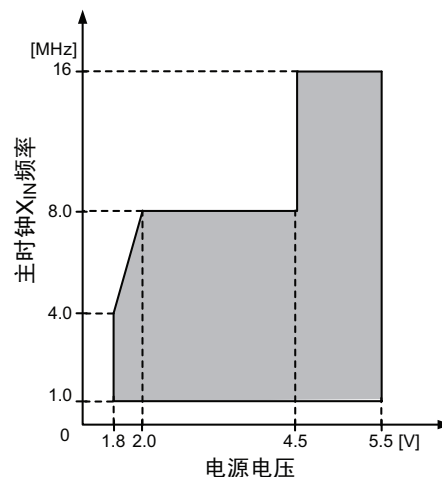
〈系统时钟 ϕ 频率〉〈主时钟X_{IN}频率〉

表 24 电特性 (1)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
VOH	“H”电平输出电压 P00 ~ P07、P10 ~ P17、P20 ~ P27	$I_{OH}=-2.5mA$	$V_{CC}-2.0$			V
		$I_{OH}=-0.6mA$ $V_{CC}=2.5V$	$V_{CC}-1.0$			
VOH	“H”电平输出电压 P30 ~ P37、P40 ~ P47、 P50 ~ P57、P60 ~ P62 (注1)	$I_{OH}=-5mA$	$V_{CC}-2.0$			V
		$I_{OH}=-1.25mA$	$V_{CC}-0.5$			
		$I_{OH}=-1.25mA$ $V_{CC}=2.5V$	$V_{CC}-1.0$			
VOL	“L”电平输出电压 P00 ~ P07、P10 ~ P17、P20 ~ P27	$I_{OL}=5mA$			2.0	V
		$I_{OL}=1.25mA$			0.5	
		$I_{OL}=1.25mA$ $V_{CC}=2.5V$			1.0	
VOL	“L”电平输出电压 P40 ~ P47、P50、P51、P54 ~ P57、 P60 ~ P62 (注1)	$I_{OL}=10mA$			2.0	V
		$I_{OL}=2.5mA$			0.5	
		$I_{OL}=2.5mA$ $V_{CC}=2.5V$			1.0	
VOL	“L”电平输出电压 P30 ~ P37、P52、P53	$I_{OL}=15mA$			2.0	V
		$I_{OL}=3.0mA$ $V_{CC}=2.5V$			0.8	
$V_{T+} - V_{T-}$	滞后 CNTR0、CNTR1、INT0 ~ INT2、 KW0 ~ KW7			0.5		V
$V_{T+} - V_{T-}$	滞后 RxD1、RxD2、SCLK1、SCLK2			0.5		V
$V_{T+} - V_{T-}$	滞后 RESET	RESET: $V_{CC}=2.0V \sim 5.5V$		0.5		V
I_{IH}	“H”电平输入电流 P00 ~ P07、P10 ~ P17、P20 ~ P27	$V_i=V_{CC}$			5.0	μA
I_{IH}	“H”电平输入电流 P30 ~ P37、P40 ~ P47、 P50 ~ P57、P60 ~ P62	$V_i=V_{CC}$			5.0	μA
I_{IH}	“H”电平输入电流 RESET、OSCSEL	$V_i=V_{CC}$			5.0	μA

【注】 1. 当 CPU 模式寄存器的端口 Xc 转换位 (地址 003B16 的 bit4) 为 “1” 时, P62 的驱动能力和上述不同。

表 24 电特性 (2)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
I_{IH}	“H”电平输入电流 X_{IN}	$V_I=V_{CC}$		4.0		μA
I_{IL}	“L”电平输入电流 $P_{00} \sim P_{07}$ 、 $P_{10} \sim P_{17}$ 、 $P_{20} \sim P_{27}$	$V_I=V_{SS}$ 上拉 OFF			-5.0	μA
		$V_{CC}=5.0V$ 、 $V_I=V_{SS}$ 上拉 ON	-60	-120	-240	μA
		$V_{CC}=3.0V$ 、 $V_I=V_{SS}$ 上拉 ON	-25	-50	-100	μA
I_{IL}	“L”电平输入电流 $P_{30} \sim P_{37}$ 、 $P_{40} \sim P_{47}$ 、 $P_{50} \sim P_{57}$ 、 $P_{60} \sim P_{62}$	$V_I=V_{SS}$ 上拉 OFF			-5.0	μA
		$V_{CC}=5.0V$ 、 $V_I=V_{SS}$ 上拉 ON	-30	-70	-140	μA
		$V_{CC}=3.0V$ 、 $V_I=V_{SS}$ 上拉 ON	-6.5	-25	-45	μA
I_{IL}	“L”电平输入电流 \overline{RESET} 、 $OSCSEL$	$V_I=V_{SS}$			-5.0	μA
I_{IL}	“L”电平输入电流 X_{IN}	$V_I=V_{SS}$		-4.0		μA
$f(OCO)$	内部振荡器的振荡频率	$V_{CC}=5.0V$ 、 $T_a=25^{\circ}C$	2500	5000	7500	kHz

表 25 电特性 (3)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ 、 $f(X_{CIN})=32.768kHz$ 、输出晶体管处于截止状态、A/D转换器不运行时)

符号	项目	测定条件			规格值			单位
					最小	典型	最大	
V_{RAM}	RAM 保持电压	在时钟停止时			1.8		5.5	V
I_{CC}	电源电流	在 2 分频模式时	$V_{CC}=5.0V$	$f(X_{IN})=12.5MHz$		6.4	13	mA
				$f(X_{IN})=12.5MHz$ (在执行 WIT 指令时)		1.5	3.0	mA
				$f(X_{IN})=4MHz$		2.2	3.0	mA
			$V_{CC}=2.5V$	$f(X_{IN})=4MHz$		0.6	1.2	mA
				$f(X_{IN})=4MHz$ (在执行 WIT 指令时)		0.3	0.6	mA
				$f(X_{IN})=2MHz$		0.4	0.8	mA

表 25 电特性 (4)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a=-20 \sim 85^{\circ}C$ 、 $f(X_{CIN})=32.768kHz$ 、输出晶体管处于截止状态、A/D转换器不运行时)

符号	项目	测定条件			规格值			单位
					最小	典型	最大	
I _{CC}	电源电流	在 4 分频模式时	V _{CC} =5.0V	f(X _{IN})=12.5MHz		3.5	10	mA
				f(X _{IN})=12.5MHz (在执行 WIT 指令时)		1.5	3.0	mA
				f(X _{IN})=4MHz		1.5	2.5	mA
			V _{CC} =2.5V	f(X _{IN})=8MHz		0.8	2.5	mA
				f(X _{IN})=8MHz (在执行 WIT 指令时)		0.3	0.6	mA
				f(X _{IN})=4MHz		0.5	1.0	mA
		在 8 分频模式时	V _{CC} =5.0V	f(X _{IN})=12.5MHz		2.5	5.0	mA
				f(X _{IN})=12.5MHz (在执行 WIT 指令时)		1.5	3.0	mA
				f(X _{IN})=4MHz		1.2	1.6	mA
			V _{CC} =2.5V	f(X _{IN})=8MHz		0.5	1.0	mA
				f(X _{IN})=8MHz (在执行 WIT 指令时)		0.3	0.6	mA
				f(X _{IN})=4MHz		0.3	0.6	mA
		在低速模式时	V _{CC} =5.0V	f(X _{IN})= 停止		17	26	μA
				在执行 WIT 指令时		5.5	11	μA
			V _{CC} =2.5V	f(X _{IN})= 停止		7.0	14	μA
				在执行 WIT 指令时		3.5	7.0	μA
		内部振荡器模式 f(X _{IN})、f(X _{CIN})= 停止	V _{CC} =5.0V			270	540	μA
			V _{CC} =2.5V			35	90	μA
			V _{CC} =2.5V (在执行 WIT 指令时)			25	75	μA
		振荡全部停止 (在执行 STP 指令时)	T _a =25°C			0.1	1.0	μA
			T _a =85°C				10	μA
A/D 转换器运行时的电流增加	f(X _{IN})=12.5MHz、V _{CC} =5V 2、4、8 分频模式时				0.5		mA	
	f(X _{IN})= 停止、V _{CC} =5V 内部振荡器运行模式时				0.5		mA	
	f(X _{IN})= 停止、V _{CC} =5V 低速模式时				0.4		mA	

A/D 转换器推荐运行条件

表 26 A/D 转换器推荐运行条件

(在没有指定时: $V_{CC} = 2.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a = -20 \sim 85^\circ C$ 、输出晶体管处于截止状态)

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
V_{CC}	电源电压		2.0	5.0	5.5	V
V_{IH}	“H”电平输入电压 ADKEY		$0.9V_{CC}$		V_{CC}	V
V_{IL}	“L”电平输入电压 ADKEY		0		$0.7 \times V_{CC} - 0.5$	V
$f(\phi AD)$	AD 转换时钟频率 (注 1) (低速和内部振荡器模式除外)	$4.5V < V_{CC} \leq 5.5V$			6.25	MHz
		$4.0V < V_{CC} \leq 4.5V$			4.0	MHz
		$2.0V < V_{CC} \leq 4.0V$			V_{CC}	MHz

【注】 1. 还必须根据主时钟输入频率的推荐运行条件进行确认。

表 27 A/D 转换器特性 (1)

(在没有指定时: $V_{CC}=2.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^\circ C$ 、输出晶体管处于截止状态、包括在低速和内部振荡器模式时)

符号	项目	测定条件	规格值			单位	
			最小	典型	最大		
—	分辨率				10	BIT	
ABS	绝对精度 (量化误差除外)	选择 10bitAD 时	$4.5V < V_{CC} \leq 5.5V$ 、 AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 6.25MHz$			4	LSB
			$4.0V < V_{CC} \leq 4.5V$ 、 AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 4MHz$				
			$2.2V \leq V_{CC} \leq 4.0V$ 、 AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq V_{CC}MHz$				
			$2.0V \leq V_{CC} \leq 5.5V$ 、 AD 转换时钟 $=f(OCO)/8$ 、 $f(OCO)/32$				
		选择 8bitAD 时	$4.5V < V_{CC} \leq 5.5V$ 、 AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 6.25MHz$			2	
			$4.0V < V_{CC} \leq 4.5V$ 、 AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 4MHz$				
			$2.2V < V_{CC} \leq 4.0V$ 、 AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq V_{CC}MHz$				
			$2.0V \leq V_{CC} \leq 2.2V$ 、 AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq (6V_{CC}-11)MHz$				

表 27 A/D 转换器特性 (2)

(在没有指定时: $V_{CC}=2.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ 、输出晶体管处于截止状态、包括在低速和内部振荡器模式时)

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
ABS	绝对精度 (量化误差除外)	选择 8bitAD 时 $2.0V \leq V_{CC} \leq 2.2V$ 、 AD 转换时钟 = $f(X_{IN})/8 \leq V_{CC}MHz$ $2.0V \leq V_{CC} \leq 5.5V$ 、 AD 转换时钟 = $f(OCO)/8$ 、 $f(OCO)/32$			2	LSB
tCONV	转换时间 (注 1)	选择 10bitAD 时	$t_c(\phi AD) \times 61$		$t_c(\phi AD) \times 62$	μs
		选择 8bitAD 时	$t_c(\phi AD) \times 49$		$t_c(\phi AD) \times 50$	
RLADDER	梯形电阻		12	35	100	$k\Omega$
I _{VREF}	基准电源输入 电流	$V_{REF}=5.0V$	50	150	200	μA
I _{IA}	模拟输入电流				5.0	μA

【注】 1. $t_c(\phi AD)$: 是 AD 转换时钟的 1 个周期。AD 转换时钟能选择 $\phi SOURCE/2$ 或者 $\phi SOURCE/8$ 。 $\phi SOURCE$ 表示: 在 2 分频、4 分频和 8 分频模式中为 X_{IN} 输入; 在低速模式和内部振荡器模式中为内部振荡器的 4 分频的振荡频率。
在 2 分频、4 分频和 8 分频模式时进行 A/D 转换的情况, 必须设定 $f(X_{IN}) \geq 500kHz$ 。

AD 转换时钟频率和电源电压、AD 转换模式以及绝对精度的关系如下:

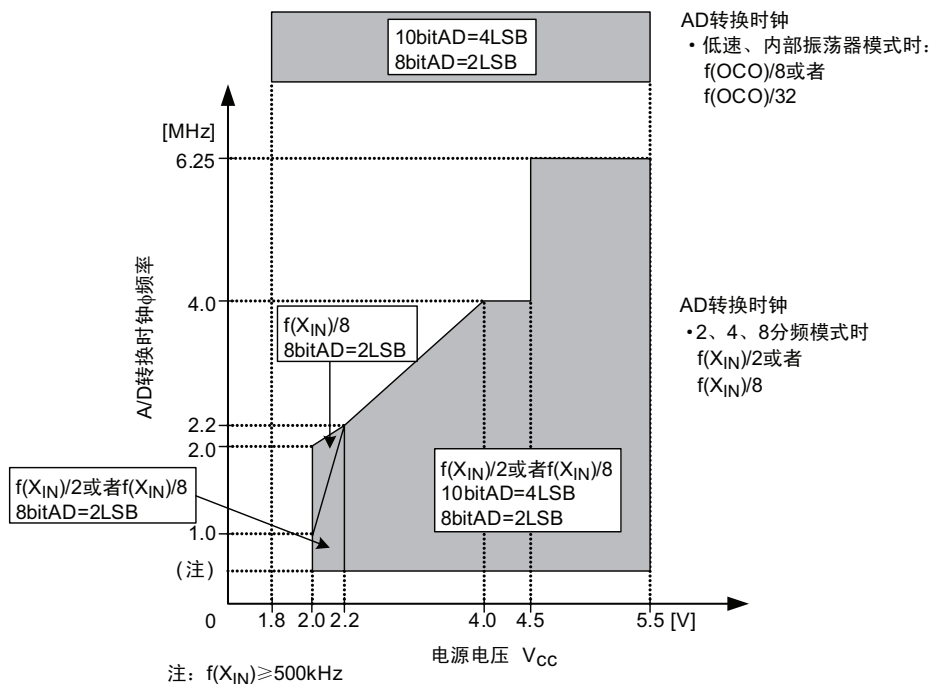


表 28 LCD 电特性（连接用于 LCD 电源的分压电阻时）

（在没有指定时：V_{CC}=1.8 ~ 5.5V、V_{SS}=0V、Ta=-20 ~ 85°C）

符号	项目	测定条件		规格值			单位	
				最小	典型	最大		
RLCD	用于 LCD 电源的分压电阻值（注 1）	RSEL= "10" RSEL= "11"			200		kΩ	
					5			
		LCD 驱动 时序 A	LCD 电路 分频比 = 1 分频	RSEL= "01"		120		
				RSEL= "00"		90		
			LCD 电路 分频比 = 2 分频	RSEL= "01"		150		
				RSEL= "00"		120		
			LCD 电路 分频比 = 4 分频	RSEL= "01"		170		
				RSEL= "00"		150		
		LCD 驱动 时序 B	LCD 电路 分频比 = 1 分频	RSEL= "01"		150		
				RSEL= "00"		120		
			LCD 电路 分频比 = 2 分频	RSEL= "01"		170		
				RSEL= "00"		150		
			LCD 电路 分频比 = 4 分频	RSEL= "01"		190		
				RSEL= "00"		170		
LCD 电路 分频比 = 8 分频	RSEL= "01"		190					
	RSEL= "00"		190					

【注】 1. 1 个分压电阻的平均值。

表 29 时序的必要条件 (1)

(在没有指定时: $V_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a = -20 \sim 85^{\circ}C$)

符号	项目		规格值			单位
			最小	典型	最大	
$t_{w}(\overline{RESET})$	复位输入的“L”电平脉宽		2			μs
$t_{c}(X_{IN})$	主时钟输入的周期时间	$4.5V \leq V_{CC} \leq 5.5V$ (注 1)	62.5			ns
		$4.0V \leq V_{CC} < 4.5V$	125			ns
$t_{WH}(X_{IN})$	主时钟输入的“H”电平脉宽	$4.5V \leq V_{CC} \leq 5.5V$ (注 2)	25			ns
		$4.0V \leq V_{CC} < 4.5V$	50			ns
$t_{WL}(X_{IN})$	主时钟输入的“L”电平脉宽	$4.5V \leq V_{CC} \leq 5.5V$ (注 2)	25			ns
		$4.0V \leq V_{CC} < 4.5V$	50			ns
$t_{c}(CNTR)$	CNTR ₀ 、CNTR ₁ 输入的周期时间		250			ns
$t_{WH}(CNTR)$	CNTR ₀ 、CNTR ₁ 输入的“H”电平脉宽		105			ns
$t_{WL}(CNTR)$	CNTR ₀ 、CNTR ₁ 输入的“L”电平脉宽		105			ns
$t_{WH}(INT)$	INT ₀ ~ INT ₂ 输入的“H”电平脉宽		80			ns
$t_{WL}(INT)$	INT ₀ ~ INT ₂ 输入的“L”电平脉宽		80			ns
$t_{c}(SCLK)$	串行 I/O1、2 时钟输入的周期时间 (注 3)		800			ns
$t_{WH}(SCLK)$	串行 I/O1、2 时钟输入的“H”电平脉宽 (注 3)		370			ns
$t_{WL}(SCLK)$	串行 I/O1、2 时钟输入的“L”电平脉宽 (注 3)		370			ns
$t_{su}(RxD-SCLK)$	串行 I/O1、2 输入的准备时间		220			ns
$t_{h}(SCLK-RxD)$	串行 I/O1、2 输入的保持时间		100			ns

- 【注】 1. 在使用 2 分频模式时，为 80ns。
 2. 在使用 2 分频模式时，为 32ns。
 3. 地址 001A₁₆、地址 001F₁₆ 的 bit6 为“1”（时钟同步模式）的情况。
 当地址 001A₁₆、地址 001F₁₆ 的 bit6 为“0”（时钟异步模式）时，规格值为 1/4。

表 30 时序的必要条件 (2)

(在没有指定时: $V_{CC}=1.8 \sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目		规格值			单位
			最小	典型	最大	
$t_w(\overline{RESET})$	复位输入的“L”电平脉宽		2			μs
$t_c(X_{IN})$	主时钟输入的周期时间 (输入 X_{IN})	$2.0V \leq V_{CC} < 4.0V$	125			ns
		$V_{CC} < 2.0V$	166			ns
$t_{WH}(X_{IN})$	主时钟输入的“H”电平脉宽	$2.0V \leq V_{CC} < 4.0V$	50			ns
		$V_{CC} < 2.0V$	70			ns
$t_{WL}(X_{IN})$	主时钟输入的“L”电平脉宽	$2.0V \leq V_{CC} < 4.0V$	50			ns
		$V_{CC} < 2.0V$	70			ns
$t_c(CNTR)$	CNTR ₀ 、CNTR ₁ 输入的周期时间	$2.0V \leq V_{CC} < 4.0V$	$1000/V_{CC}$			ns
		$V_{CC} < 2.0V$	$1000/(5 \times V_{CC} - 8)$			ns
$t_{WH}(CNTR)$	CNTR ₀ 、CNTR ₁ 输入的“H”电平脉宽		$t_c(CNTR)/2-20$			ns
$t_{WL}(CNTR)$	CNTR ₀ 、CNTR ₁ 输入的“L”电平脉宽		$t_c(CNTR)/2-20$			ns
$t_{WH}(INT)$	INT ₀ ~ INT ₂ 输入的“H”电平脉宽		230			ns
$t_{WL}(INT)$	INT ₀ ~ INT ₂ 输入的“L”电平脉宽		230			ns
$t_c(SCLK)$	串行 I/O1、2 时钟输入的周期时间 (注 1)		2000			ns
$t_{WH}(SCLK)$	串行 I/O1、2 时钟输入的“H”电平脉宽 (注 1)		950			ns
$t_{WL}(SCLK)$	串行 I/O1、2 时钟输入的“L”电平脉宽 (注 1)		950			ns
$t_{su}(RxD-SCLK)$	串行 I/O1、2 输入的准备时间		400			ns
$t_h(SCLK-RxD)$	串行 I/O1、2 输入的保持时间		200			ns

【注】 1. 地址 001A₁₆、地址 001F₁₆ 的 bit6 为“1” (时钟同步模式) 的情况。当地址 001A₁₆、地址 001F₁₆ 的 bit6 为“0” (时钟异步模式) 时, 规格值为 1/4。

表 31 开关特性 (1)

(在没有指定时: $V_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目		规格值			单位
			最小	典型	最大	
$t_{WH}(SCLK)$	串行 I/O1、2 时钟输出的“H”电平脉宽		$t_c(SCLK)/2-30$			ns
$t_{WL}(SCLK)$	串行 I/O1、2 时钟输出的“L”电平脉宽		$t_c(SCLK)/2-30$			ns
$t_d(SCLK-TxD)$	串行 I/O1、2 输出的延迟时间 (注 1)				140	ns
$t_v(SCLK-TxD)$	串行 I/O1、2 输出的有效时间 (注 1)		-30			ns
$t_r(SCLK)$	串行 I/O1、2 时钟输出的上升时间				30	ns
$t_f(SCLK)$	串行 I/O1、2 时钟输出的下降时间				30	ns

【注】 1. UART 控制寄存器的 P5₅/TxD1[P3₂/TxD2] P 沟道输出禁止位 (地址 001B₁₆[地址 0FF1₁₆] 的 bit4) 为“0”的情况。

表 32 开关特性 (2)

(在没有指定时: $V_{CC}=1.8 \sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	规格值			单位
		最小	典型	最大	
$t_{WH}(SCLK)$	串行 I/O1、2 时钟输出的“H”电平脉宽	$t_c(SCLK)/2-80$			ns
$t_{WL}(SCLK)$	串行 I/O1、2 时钟输出的“L”电平脉宽	$t_c(SCLK)/2-80$			ns
$t_d(SCLK-TxD)$	串行 I/O1、2 输出的延迟时间 (注 1)			350	ns
$t_v(SCLK-TxD)$	串行 I/O1、2 输出的有效时间 (注 1)	-30			ns
$t_r(SCLK)$	串行 I/O1、2 时钟输出的上升时间			80	ns
$t_f(SCLK)$	串行 I/O1、2 时钟输出的下降时间			80	ns

【注】 1. UART 控制寄存器的 P5₅/TxD₁[P3₂/TxD₂] P 沟道输出禁止位 (地址 001B₁₆[地址 0FF1₁₆] 的 bit4) 为“0”的情况。

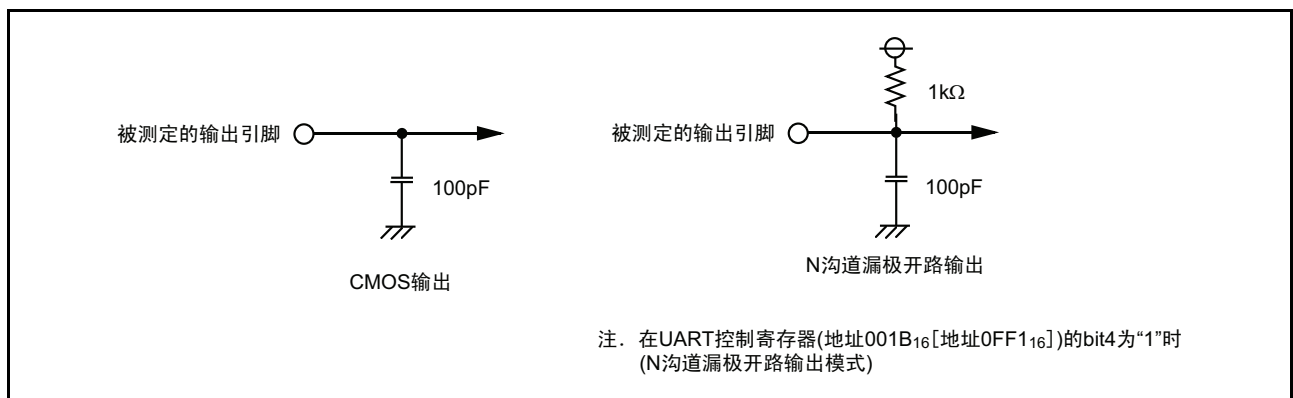


图 94 输出开关特性的测定电路图

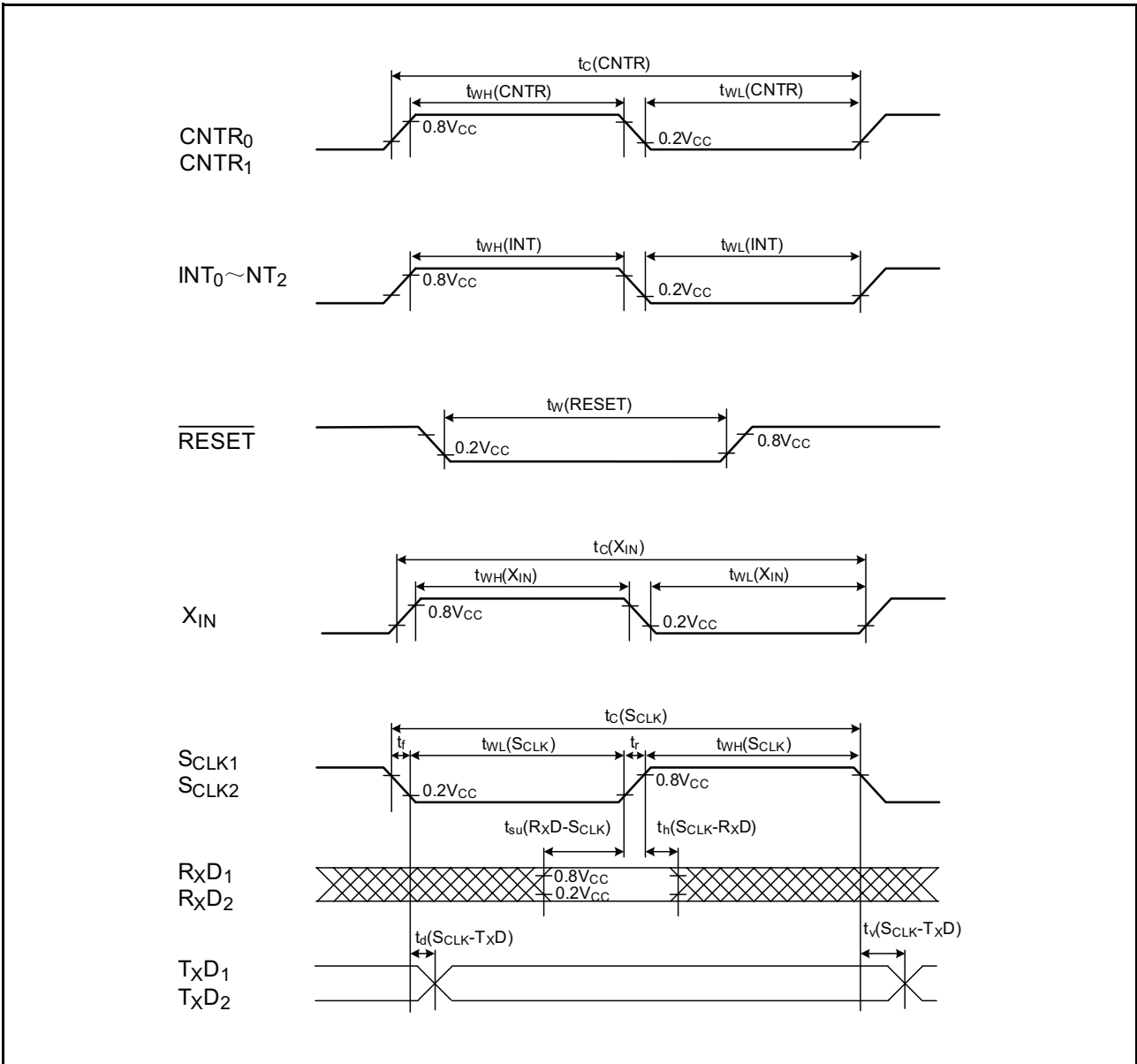


图 95 时序图

闪存版的电特性

表 33 绝对最大额定值

符号	项目	条件	额定值	单位	
V _{CC}	电源电压	以 V _{SS} 引脚为基准进行测定。 在测定输入电压时，输出晶体管处于截止状态。	-0.3 ~ 6.5	V	
V _I	输入电压 P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇ 、P2 ₀ ~ P2 ₇ P3 ₀ ~ P3 ₇ 、P4 ₀ ~ P4 ₇ 、P5 ₀ ~ P5 ₇ 、P6 ₀ ~ P6 ₂		-0.3 ~ V _{CC} + 0.3	V	
V _I	输入电压 V _{L1}		-0.3 ~ V _{L2}	V	
V _I	输入电压 V _{L2}		V _{L1} ~ V _{L3}	V	
V _I	输入电压 V _{L3}		V _{L2} ~ 6.5	V	
V _I	输入电压 $\overline{\text{RESET}}$ 、X _{IN} 、CNV _{SS}		-0.3 ~ V _{CC} + 0.3	V	
V _O	输出电压 P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇ 、P2 ₀ ~ P2 ₇		在输出端口时	-0.3 ~ V _{CC} + 0.3	V
			在段输出时	-0.3 ~ V _{L3} + 0.3	V
V _O	输出电压 COM ₀ ~ COM ₃		-0.3 ~ V _{L3} + 0.3	V	
V _O	输出电压 P3 ₀ ~ P3 ₇ 、P4 ₀ ~ P4 ₇ 、P5 ₀ ~ P5 ₇ 、P6 ₀ ~ P6 ₂		-0.3 ~ V _{CC} + 0.3	V	
V _O	输出电压 X _{OUT}	-0.3 ~ V _{CC} + 0.3	V		
P _d	功耗	T _a =25°C	300	mW	
T _{opr}	工作环境温度	—	-20 ~ 85	°C	
T _{stg}	保存温度	—	-40 ~ 125	°C	

表 34 推荐运行条件 (1)

(在没有指定时: $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	条件条件	规格值			单位	
			最小	典型	最大		
V _{CC}	电源电压 (注 1)	在 2 分频模式时 (注 2)	$f(X_{IN}) \leq 12.5MHz$	4.5		5.5	V
			$f(X_{IN}) \leq 8.0MHz$	4.0		5.5	V
			$f(X_{IN}) \leq 4.0MHz$	2.7		5.5	V
		在 4 分频模式时	$f(X_{IN}) \leq 16MHz$	4.5		5.5	V
			$f(X_{IN}) \leq 8.0MHz$	2.7		5.5	V
		在 8 分频模式时	$f(X_{IN}) \leq 16MHz$	4.5		5.5	V
			$f(X_{IN}) \leq 8.0MHz$	2.7		5.5	V
		在低速模式时		2.7		5.5	V
在内部振荡器模式时		2.7		5.5	V		
V _{SS}	电源电压			0		V	
V _{L3}	LCD 电源电压		2.5		5.5	V	
V _{REF}	A/D 转换器的基准电压		2.7		V _{CC}	V	
A _{VSS}	模拟电源电压			0		V	
V _{IA}	模拟输入电压 AN ₀ ~ AN ₇		A _{VSS}		V _{CC}	V	
V _{IH}	“H” 电平输入电压 P ₀₄ ~ P ₀₇ 、P ₁₀ ~ P ₁₇ 、P ₂₀ ~ P ₂₇ 、P ₃₀ 、P ₃₂ 、P ₃₅ 、 P ₃₆ 、P ₄₀ ~ P ₄₇ 、P ₅₂ 、P ₅₃ 、P ₆₂		0.7V _{CC}		V _{CC}	V	
V _{IH}	“H” 电平输入电压 P ₀₀ ~ P ₀₃ 、P ₃₁ 、P ₃₃ 、P ₃₄ 、P ₃₇ 、P ₅₀ 、P ₅₁ 、 P ₅₄ ~ P ₅₇ 、P ₆₀ 、P ₆₁		0.8V _{CC}		V _{CC}	V	
V _{IH}	“H” 电平输入电压 \overline{RESET}		0.8V _{CC}		V _{CC}	V	
V _{IH}	“H” 电平输入电压 X _{IN}		0.8V _{CC}		V _{CC}	V	
V _{IL}	“L” 电平输入电压 P ₀₄ ~ P ₀₇ 、P ₁₀ ~ P ₁₇ 、P ₂₀ ~ P ₂₇ 、P ₃₀ 、P ₃₂ 、P ₃₅ 、 P ₃₆ 、P ₄₀ ~ P ₄₇ 、P ₅₂ 、P ₅₃ 、P ₆₂		0		0.3V _{CC}	V	
V _{IL}	“L” 电平输入电压 P ₀₀ ~ P ₀₃ 、P ₃₁ 、P ₃₃ 、P ₃₄ 、P ₃₇ 、 P ₅₀ 、P ₅₁ 、P ₅₄ ~ P ₅₇ 、P ₆₀ 、P ₆₁ 、CNV _{SS}		0		0.2V _{CC}	V	
V _{IL}	“L” 电平输入电压 \overline{RESET}		0		0.2V _{CC}	V	
V _{IL}	“L” 电平输入电压 X _{IN}		0		0.2V _{CC}	V	

- 【注】 1. 在使用 A/D 转换器时, 请参照 A/D 转换器的推荐运行条件。
2. 不能在 2 分频模式中使用 $12.5MHz < f(X_{IN}) \leq 16MHz$ 。

表 35 推荐运行条件 (2)

(在没有指定时: $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	规格值			单位
		最小	典型	最大	
$\Sigma I_{OH}(\text{peak})$	“H”电平输出总峰值电流 (注1) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37			-40	mA
$\Sigma I_{OH}(\text{peak})$	“H”电平输出总峰值电流 (注1) P40 ~ P47、P50 ~ P57、P60 ~ P62			-40	mA
$\Sigma I_{OL}(\text{peak})$	“L”电平输出总峰值电流 (注1) P00 ~ P07、P10 ~ P17、P20 ~ P27			40	mA
$\Sigma I_{OL}(\text{peak})$	“L”电平输出总峰值电流 (注1) P40 ~ P47、P50、P51、P54 ~ P57、P60 ~ P62			40	mA
$\Sigma I_{OL}(\text{peak})$	“L”电平输出总峰值电流 (注1) P30 ~ P37、P52、P53			110	mA
$\Sigma I_{OH}(\text{avg})$	“H”电平输出总平均电流 (注1) P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37			-20	mA
$\Sigma I_{OH}(\text{avg})$	“H”电平输出总平均电流 (注1) P40 ~ P47、P50 ~ P57、P60 ~ P62			-20	mA
$\Sigma I_{OL}(\text{avg})$	“L”电平输出总平均电流 (注1) P00 ~ P07、P10 ~ P17、P20 ~ P27			20	mA
$\Sigma I_{OL}(\text{avg})$	“L”电平输出总平均电流 (注1) P40 ~ P47、P50、P51、P54 ~ P57、P60 ~ P62			20	mA
$\Sigma I_{OL}(\text{avg})$	“L”电平输出总平均电流 (注1) P30 ~ P37、P52、P53			90	mA
$I_{OH}(\text{peak})$	“H”电平输出峰值电流 (注2) P00 ~ P07、P10 ~ P17、P20 ~ P27			-2.0	mA
$I_{OH}(\text{peak})$	“H”电平输出峰值电流 (注2) P30 ~ P37、P40 ~ P47、P50 ~ P57、P60 ~ P62			-5.0	mA
$I_{OL}(\text{peak})$	“L”电平输出峰值电流 (注2) P00 ~ P07、P10 ~ P17、P20 ~ P27			5.0	mA
$I_{OL}(\text{peak})$	“L”电平输出峰值电流 (注2) P40 ~ P47、P50、P51、P54 ~ P57、P60 ~ P62			10	mA
$I_{OL}(\text{peak})$	“L”电平输出峰值电流 (注2) P30 ~ P37、P52、P53			30	mA
$I_{OH}(\text{avg})$	“H”电平输出平均电流 (注3) P00 ~ P07、P10 ~ P17、P20 ~ P27			-1.0	mA
$I_{OH}(\text{avg})$	“H”电平输出平均电流 (注3) P30 ~ P37、P40 ~ P47、P50 ~ P57、P60 ~ P62			-2.5	mA
$I_{OL}(\text{avg})$	“L”电平输出平均电流 (注3) P00 ~ P07、P10 ~ P17、P20 ~ P27			2.5	mA
$I_{OL}(\text{avg})$	“L”电平输出平均电流 (注3) P40 ~ P47、P50、P51、P54 ~ P57、P60 ~ P62			5.0	mA
$I_{OL}(\text{avg})$	“L”电平输出平均电流 (注3) P30 ~ P37、P52、P53			15	mA

- 【注】 1. 输出总电流是流到相应端口的全部电流的总和。总平均电流是 100ms 期间的平均值，总峰值电流是峰值的总和。
2. 输出峰值电流是流到每 1 个端口的电流峰值。
3. 输出平均电流是 $I_{OL}(\text{avg})$ 、 $I_{OH}(\text{avg})$ 在 100ms 期间的平均值。

表 36 推荐运行条件 (3)

(在没有指定时: $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	条件	规格值			单位
			最小	典型	最大	
$f(CNTR_0)$ $f(CNTR_1)$	定时器 X 和定时器 Y 的输入频率 (当占空比为 50%时)	$4.5V \leq V_{CC} \leq 5.5V$			6.25	MHz
		$4.0V \leq V_{CC} < 4.5V$			$2 \times V_{CC} - 4$	MHz
		$2.7V \leq V_{CC} < 4.0V$			V_{CC}	MHz
$f(Tclk)$	用于定时器 X、定时器 Y 和 定时器 1、2、3、4 的时钟频率 (各定时器的计数源频率)	$4.5V \leq V_{CC} \leq 5.5V$			16	MHz
		$4.0V \leq V_{CC} < 4.5V$			$4 \times V_{CC} - 8$	MHz
		$2.7V \leq V_{CC} < 4.0V$			$2 \times V_{CC}$	MHz
$f(\phi)$	系统时钟 ϕ 的频率 (注 1)	$4.5V \leq V_{CC} \leq 5.5V$			6.25	MHz
		$4.0V \leq V_{CC} < 4.5V$			4	MHz
		$2.7V \leq V_{CC} < 4.0V$			V_{CC}	MHz
$f(X_{IN})$	主时钟输入振荡频率 (当占空比为 50%时) (注 2、3)	$4.5V \leq V_{CC} \leq 5.5V$	1.0		16	MHz
		$2.7V \leq V_{CC} < 4.5V$	1.0		8.0	MHz
$f(X_{CIN})$	副时钟输入振荡频率 (当占空比为 50%时) (注 4、5)			32.768	80	kHz

- 【注】
1. 系统时钟 ϕ 的频率和电源电压的关系如下图所示。
 2. 在使用 A/D 转换器时, 请参照 A/D 转换器的推荐运行条件。
 3. 不能在 2 分频模式中使用 $12.5MHz < f(X_{IN}) \leq 16MHz$ 。
 4. 振荡开始电压和振荡开始时间因谐振器、电路常数和环境温度等而不同。尤其是高频率的谐振器在低电压时可能很难开始振荡, 所以必须注意。
 5. 在使用低速模式时, 必须将钟表时钟的输入振荡频率设定为 $f(X_{CIN}) < f(X_{IN})/3$ 。

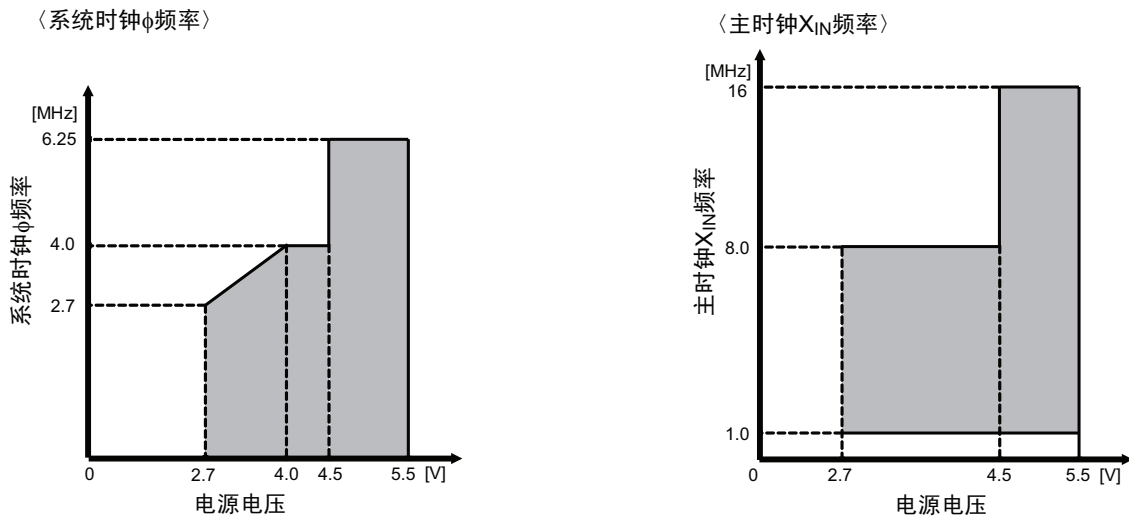


表 37 电特性 (1)

(在没有指定时: $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
V_{OH}	“H”电平输出电压 P00 ~ P07、P10 ~ P17、P20 ~ P27	$I_{OH}=-2.5mA$	$V_{CC}-2.0$			V
V_{OH}	“H”电平输出电压 P30 ~ P37、P40 ~ P47、 P50 ~ P57、P60 ~ P62 (注1)	$I_{OH}=-5mA$	$V_{CC}-2.0$			V
		$I_{OH}=-1.25mA$	$V_{CC}-0.5$			
V_{OL}	“L”电平输出电压 P00 ~ P07、P10 ~ P17、P20 ~ P27	$I_{OL}=5mA$			2.0	V
		$I_{OL}=1.25mA$			0.5	
V_{OL}	“L”电平输出电压 P40 ~ P47、P50、P51、P54 ~ P57、 P60 ~ P62 (注1)	$I_{OL}=10mA$			2.0	V
		$I_{OL}=2.5mA$			0.5	
V_{OL}	“L”电平输出电压 P30 ~ P37、P52、P53	$I_{OL}=15mA$			2.0	V
$V_{T+} - V_{T-}$	滞后 CNTR0、CNTR1、INT0 ~ INT2、 KW0 ~ KW7			0.5		V
$V_{T+} - V_{T-}$	滞后 RxD1、RxD2、SCLK1、SCLK2			0.5		V
$V_{T+} - V_{T-}$	滞后 RESET			0.5		V
I_{IH}	“H”电平输入电流 P00 ~ P07、P10 ~ P17、P20 ~ P27	$V_I=V_{CC}$			5.0	μA
I_{IH}	“H”电平输入电流 P30 ~ P37、P40 ~ P47、 P50 ~ P57、P60 ~ P62	$V_I=V_{CC}$			5.0	μA
I_{IH}	“H”电平输入电流 RESET、CNVSS	$V_I=V_{CC}$			5.0	μA
I_{IH}	“H”电平输入电流 XIN	$V_I=V_{CC}$		4.0		μA
I_{IL}	“L”电平输入电流 P00 ~ P07、P10 ~ P17、P20 ~ P27	$V_I=V_{SS}$ 上拉 OFF			-5.0	μA
		$V_{CC}=5.0V$ 、 $V_I=V_{SS}$ 上拉 ON	-60	-120	-240	μA
		$V_{CC}=3.0V$ 、 $V_I=V_{SS}$ 上拉 ON	-25	-50	-100	μA

【注】 1. 当 CPU 模式寄存器的端口 Xc 转换位 (地址 003B₁₆ 的 bit4) 为 “1” 时, P62 的驱动能力和上述不同。

表 37 电特性 (2)

(在没有指定时: $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
I _{IL}	“L”电平输入电流 P30 ~ P37、P40 ~ P47、 P50 ~ P57、P60 ~ P62	V _I =V _{SS} 上拉 OFF			-5.0	μA
		V _{CC} =5.0V、V _I =V _{SS} 上拉 ON	-30	-70	-140	μA
		V _{CC} =3.0V、V _I =V _{SS} 上拉 ON	-6.5	-25	-45	μA
I _{IL}	“L”电平输入电流 RESET、CNV _{SS}	V _I =V _{SS}			-5.0	μA
I _{IL}	“L”电平输入电流 X _{IN}	V _I =V _{SS}		-4.0		μA
f(OCO)	内部振荡器的振荡频率	V _{CC} =5.0V、T _a =25°C	2500	5000	7500	kHz

表 38 电特性 (3)

(在没有指定时: $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ 、 $f(X_{CIN})=32.768kHz$ 、输出晶体管处于截止状态、A/D 转换器不运行时)

符号	项目	测定条件	规格值			单位		
			最小	典型	最大			
V _{RAM}	RAM 保持电压	在时钟停止时	2.2		5.5	V		
I _{CC}	电源电流	2 分频模式	V _{CC} =5.0V	f(X _{IN})=12.5MHz		4.0	7.0	mA
				f(X _{IN})=12.5MHz (在执行 WIT 指令时)		2.0	3.5	mA
				f(X _{IN})=4MHz		2.0	3.5	mA
		V _{CC} =2.7V	f(X _{IN})=4MHz		1.5	3	mA	
			f(X _{IN})=4MHz (在执行 WIT 指令时)		1.0	2.5	mA	
			f(X _{IN})=2MHz		1.0	2.5	mA	
		4 分频模式	V _{CC} =5.0V	f(X _{IN})=12.5MHz		3.2	5.6	mA
				f(X _{IN})=12.5MHz (在执行 WIT 指令时)		1.6	3.2	mA
				f(X _{IN})=4MHz		1.6	3.2	mA
V _{CC} =2.7V	f(X _{IN})=8MHz		1.6	3.2	mA			
	f(X _{IN})=8MHz (在执行 WIT 指令时)		1.0	2.5	mA			
	f(X _{IN})=4MHz		1.0	2.5	mA			

表 38 电特性 (4)

(在没有指定时: $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ 、 $f(X_{CIN})=32.768kHz$ 、输出晶体管处于截止状态、A/D 转换器不运行时)

符号	项目	测定条件		规格值			单位			
				最小	典型	最大				
I _{CC}	电源电流	8 分频模式	V _{CC} =5.0V	f(X _{IN})=12.5MHz			2.5	5	mA	
				f(X _{IN})=12.5MHz (在执行 WIT 指令时)			1.5	3	mA	
				f(X _{IN})=4MHz			1.5	3	mA	
			V _{CC} =2.7V	f(X _{IN})=8MHz			1.5	3	mA	
				f(X _{IN})=8MHz (在执行 WIT 指令时)			1.0	2.5	mA	
				f(X _{IN})=4MHz			1.0	2.5	mA	
		低速模式	V _{CC} =5.0V	f(X _{IN})= 停止			400	800	μA	
				在执行 WIT 指令时	Ta=25°C			4.0	10	μA
					Ta=85°C				20	
			V _{CC} =2.7V	f(X _{IN})= 停止			300	600	μA	
				在执行 WIT 指令时	Ta=25°C			3.7	9	μA
					Ta=85°C				18	
		内部振荡器模式 f(X _{IN})、 f(X _{CIN})= 停止	V _{CC} =5.0V			600	1200	μA		
			V _{CC} =2.7V			500	1000	μA		
			V _{CC} =2.7V (在执行 WIT 指令时)			500	1000	μA		
		振荡全部停止 (在执行 STP 指令时)	Ta=25°C			0.6	3.0	μA		
			Ta=85°C			1.0		μA		
		A/D 转换器运行时的电 流增加	f(X _{IN})=12.5MHz、V _{CC} =5V 2、4、8 分频模式时			1.0		mA		
			f(X _{IN})= 停止、V _{CC} =5V 内部振荡器运行模式时			1.0		mA		
			f(X _{IN})= 停止、V _{CC} =5V 低速模式时			0.8		mA		

表 39 A/D 转换器推荐运行条件

(在没有指定时: $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a = -20 \sim 85^\circ C$ 、输出晶体管处于截止状态)

符号	项 目	规格值			单位
		最小	典型	最大	
V_{CC}	电源电压	2.7	5.0	5.5	V
V_{IH}	“H”电平输入电压 ADKEY	$0.9V_{CC}$		V_{CC}	V
V_{IL}	“L”电平输入电压 ADKEY	0		$0.7 \times V_{CC} - 0.5$	V
$f(\phi AD)$	AD 转换时钟频率 (注 1) (低速和内部振荡器模式除外)	$4.5V < V_{CC} \leq 5.5V$		6.25	MHz
		$4.0V < V_{CC} \leq 4.5V$		4.0	MHz
		$2.7V < V_{CC} \leq 4.0V$		V_{CC}	MHz

【注】 1. 还必须根据主时钟输入频率的推荐运行条件进行确认。

表 40 A/D 转换器特性 (1)

(在没有指定时: $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^\circ C$ 、输出晶体管处于截止状态、包括在低速和内部振荡器模式时)

符号	项目	测定条件	规格值			单位	
			最小	典型	最大		
—	分辨率				10	BIT	
ABS	绝对精度 (量化误差除外)	选择 10bitAD 时	$4.5V < V_{CC} \leq 5.5V$ 、 AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 6.25MHz$			4	LSB
			$4.0V < V_{CC} \leq 4.5V$ 、 AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 4MHz$				
			$2.7V \leq V_{CC} \leq 4.0V$ 、 AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq V_{CC}MHz$				
			$2.7V \leq V_{CC} \leq 5.5V$ 、 $f(OCO)/8$ 、 $f(OCO)/32$				
		选择 8bitAD 时	$4.5V < V_{CC} \leq 5.5V$ 、 AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 6.25MHz$			2	
			$4.0V < V_{CC} \leq 4.5V$ 、 AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 4MHz$				
			$2.7V \leq V_{CC} \leq 4.0V$ 、 AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq V_{CC}MHz$				
			$2.7V \leq V_{CC} \leq 5.5V$ 、 $f(OCO)/8$ 、 $f(OCO)/32$				

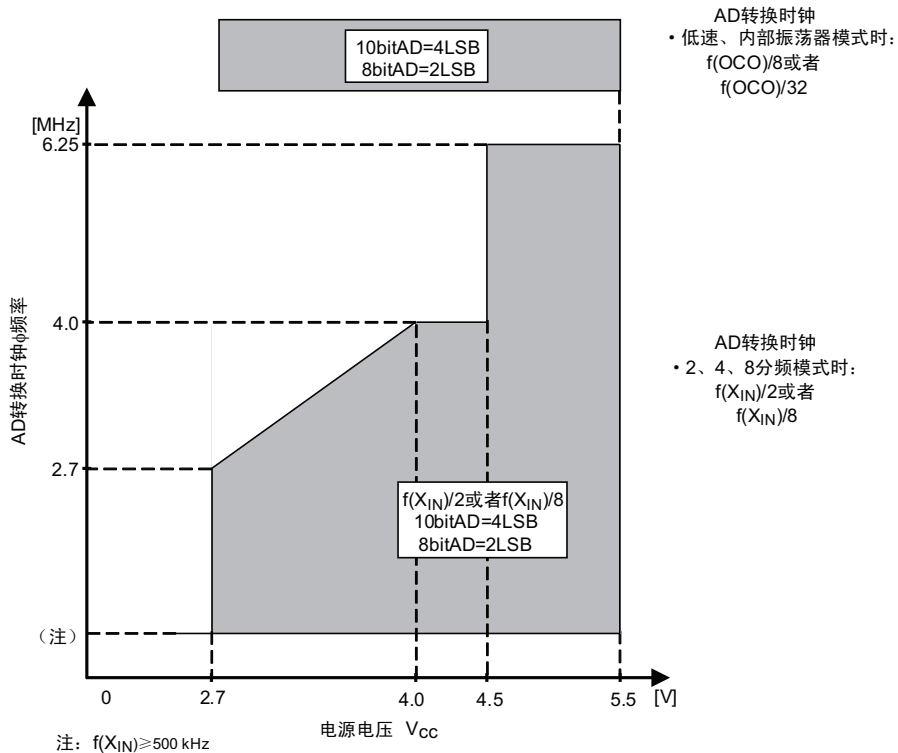
表 40 A/D 转换器特性 (2)

(在没有指定时: $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ 、输出晶体管处于截止状态、包括在低速和内部振荡器模式时)

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
tCONV	转换时间 (注 1)	选择 10bitAD 时	$t_c(\phi AD) \times 61$		$t_c(\phi AD) \times 62$	μs
		选择 8bitAD 时	$t_c(\phi AD) \times 49$		$t_c(\phi AD) \times 50$	
RLADDER	梯形电阻		12	35	100	k Ω
I _{VREF}	基准电压输入电流	$V_{REF}=5V$	50	150	200	μA
I _{IA}	模拟输入电流				5.0	μA

- 【注】 1. $t_c(\phi AD)$: 是 AD 转换时钟的 1 个周期。AD 转换时钟能选择 $\phi SOURCE/2$ 或者 $\phi SOURCE/8$ 。 $\phi SOURCE$ 表示: 在 2 分频、4 分频和 8 分频模式中为 X_{IN} 输入; 在低速模式和内部振荡器模式中为内部振荡器的 4 分频的振荡频率。
在 2 分频、4 分频和 8 分频模式时进行 A/D 转换的情况, 必须设定 $f(X_{IN}) \geq 500kHz$ 。

AD 转换时钟频率和电源电压、AD 转换模式以及绝对精度的关系如下:



LCD 电特性

表 41 LCD 电特性（连接用于 LCD 电源的分压电阻时）

（在没有指定时：V_{CC}=2.7 ~ 5.5V、V_{SS}=0V、Ta=-20 ~ 85°C）

符号	项目	测定条件		规格值			单位	
				最小	典型	最大		
RLCD	用于 LCD 电源的分压电阻值（注 1）	RSEL= “10” RSEL= “11”			200		kΩ	
					5			
		LCD 驱动 时序 A	LCD 电路 分频比 = 1 分频	RSEL= “01”		120		
				RSEL= “00”		90		
			LCD 电路 分频比 = 2 分频	RSEL= “01”		150		
				RSEL= “00”		120		
			LCD 电路 分频比 = 4 分频	RSEL= “01”		170		
				RSEL= “00”		150		
		LCD 驱动 时序 B	LCD 电路 分频比 = 1 分频	RSEL= “01”		150		
				RSEL= “00”		120		
			LCD 电路 分频比 = 2 分频	RSEL= “01”		170		
				RSEL= “00”		150		
		LCD 电路 分频比 = 4 分频	RSEL= “01”		190			
			RSEL= “00”		170			
LCD 电路 分频比 = 8 分频	RSEL= “01”		190					
	RSEL= “00”		190					

【注】 1. 1 个分压电阻的平均值。

表 42 电源电路的时序特性

(在没有指定时: $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a = -20 \sim 85^\circ C$)

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
td(P-R)	投入电源时的内部电源稳定时间	$2.7V \leq V_{CC} \leq 5.5V$	2			ms

表 43 时序的必要条件 (1)

(在没有指定时: $V_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a = -20 \sim 85^\circ C$)

符号	项目		规格值			单位
			最小	典型	最大	
$t_{w}(\overline{RESET})$	复位输入的“L”电平脉宽		2			μs
$t_c(X_{IN})$	主时钟输入的周期时间	$4.5V \leq V_{CC} \leq 5.5V$ (注 1)	62.5			ns
		$4.0V \leq V_{CC} < 4.5V$	125			ns
$t_{WH}(X_{IN})$	主时钟输入的“H”电平脉宽	$4.5V \leq V_{CC} \leq 5.5V$ (注 2)	25			ns
		$4.0V \leq V_{CC} < 4.5V$	50			ns
$t_{WL}(X_{IN})$	主时钟输入的“L”电平脉宽	$4.5V \leq V_{CC} \leq 5.5V$ (注 2)	25			ns
		$4.0V \leq V_{CC} < 4.5V$	50			ns
$t_c(CNTR)$	CNTR ₀ 、CNTR ₁ 输入的周期时间		250			ns
$t_{WH}(CNTR)$	CNTR ₀ 、CNTR ₁ 输入的“H”电平脉宽		105			ns
$t_{WL}(CNTR)$	CNTR ₀ 、CNTR ₁ 输入的“L”电平脉宽		105			ns
$t_{WH}(INT)$	INT ₀ ~ INT ₂ 输入的“H”电平脉宽		80			ns
$t_{WL}(INT)$	INT ₀ ~ INT ₂ 输入的“L”电平脉宽		80			ns
$t_c(SCLK)$	串行 I/O1、2 时钟输入的周期时间 (注 3)		800			ns
$t_{WH}(SCLK)$	串行 I/O1、2 时钟输入的“H”电平脉宽 (注 3)		370			ns
$t_{WL}(SCLK)$	串行 I/O1、2 时钟输入的“L”电平脉宽 (注 3)		370			ns
$t_{su}(RxD-SCLK)$	串行 I/O1、2 输入的准备时间		220			ns
$t_h(SCLK-RxD)$	串行 I/O1、2 输入的保持时间		100			ns

- 【注】 1. 在使用 2 分频模式时, 为 80ns。
 2. 在使用 2 分频模式时, 为 32ns。
 3. 地址 001A₁₆、地址 001F₁₆ 的 bit6 为“1” (时钟同步模式) 的情况。
 当地址 001A₁₆、地址 001F₁₆ 的 bit6 为“0” (时钟异步模式) 时, 规格值为 1/4。

表 44 时序的必要条件 (2)

(在没有指定时: $V_{CC}=2.7 \sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项 目	规格值			单位
		最小	典型	最大	
$t_{W}(\overline{RESET})$	复位输入的“L”电平脉宽	2			μs
$t_{C}(X_{IN})$	主时钟输入的周期时间 (输入 X_{IN})	125			ns
$t_{WH}(X_{IN})$	主时钟输入的“H”电平脉宽	50			ns
$t_{WL}(X_{IN})$	主时钟输入的“L”电平脉宽	50			ns
$t_{C}(CNTR)$	$CNTR_0$ 、 $CNTR_1$ 输入的周期时间	$1000/V_{CC}$			ns
$t_{WH}(CNTR)$	$CNTR_0$ 、 $CNTR_1$ 输入的“H”电平脉宽	$t_{C}(CNTR)/2-20$			ns
$t_{WL}(CNTR)$	$CNTR_0$ 、 $CNTR_1$ 输入的“L”电平脉宽	$t_{C}(CNTR)/2-20$			ns
$t_{WH}(INT)$	$INT_0 \sim INT_2$ 输入的“H”电平脉宽	230			ns
$t_{WL}(INT)$	$INT_0 \sim INT_2$ 输入的“L”电平脉宽	230			ns
$t_{C}(SCLK)$	串行 I/O1、2 时钟输入的周期时间 (注 1)	2000			ns
$t_{WH}(SCLK)$	串行 I/O1、2 时钟输入的“H”电平脉宽 (注 1)	950			ns
$t_{WL}(SCLK)$	串行 I/O1、2 时钟输入的“L”电平脉宽 (注 1)	950			ns
$t_{su}(RxD-SCLK)$	串行 I/O1、2 输入的准备时间	400			ns
$t_{h}(SCLK-RxD)$	串行 I/O1、2 输入的保持时间	200			ns

【注】 1. 地址 001A₁₆、地址 001F₁₆ 的 bit6 为“1” (时钟同步模式) 的情况。当地址 001A₁₆、地址 001F₁₆ 的 bit6 为“0” (时钟异步模式) 时, 规格值为 1/4。

表 45 开关特性 (1)

(在没有指定时: $V_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项 目	规格值			单位
		最小	典型	最大	
$t_{WH}(SCLK)$	串行 I/O1、2 时钟输出的“H”电平脉宽	$t_{C}(SCLK)/2-30$			ns
$t_{WL}(SCLK)$	串行 I/O1、2 时钟输出的“L”电平脉宽	$t_{C}(SCLK)/2-30$			ns
$t_{d}(SCLK-TxD)$	串行 I/O1、2 输出的延迟时间 (注 1)			140	ns
$t_{v}(SCLK-TxD)$	串行 I/O1、2 输出的有效时间 (注 1)	-30			ns
$t_{r}(SCLK)$	串行 I/O1、2 时钟输出的上升时间			30	ns
$t_{f}(SCLK)$	串行 I/O1、2 时钟输出的下降时间			30	ns

【注】 1. UART 控制寄存器的 P5₅/TxD1[P3₂/TxD2] P 沟道输出禁止位 (地址 001B₁₆[地址 0FF1₁₆] 的 bit4) 为“0”的情况。

表 46 开关特性 (2)

(在没有指定时: $V_{CC}=2.7 \sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	规格值			单位
		最小	典型	最大	
$t_{WH}(SCLK)$	串行 I/O1、2 时钟输出的“H”电平脉宽	$t_c(SCLK)/2-80$			ns
$t_{WL}(SCLK)$	串行 I/O1、2 时钟输出的“L”电平脉宽	$t_c(SCLK)/2-80$			ns
$t_d(SCLK-TxD)$	串行 I/O1、2 输出的延迟时间 (注 1)			350	ns
$t_v(SCLK-TxD)$	串行 I/O1、2 输出的有效时间 (注 1)	-30			ns
$t_r(SCLK)$	串行 I/O1、2 时钟输出的上升时间			80	ns
$t_f(SCLK)$	串行 I/O1、2 时钟输出的下降时间			80	ns

【注】 1. UART 控制寄存器的 P5₅/TxD₁[P3₂/TxD₂] P 沟道输出禁止位 (地址 001B₁₆[地址 0FF1₁₆] 的 bit4) 为“0”的情况。

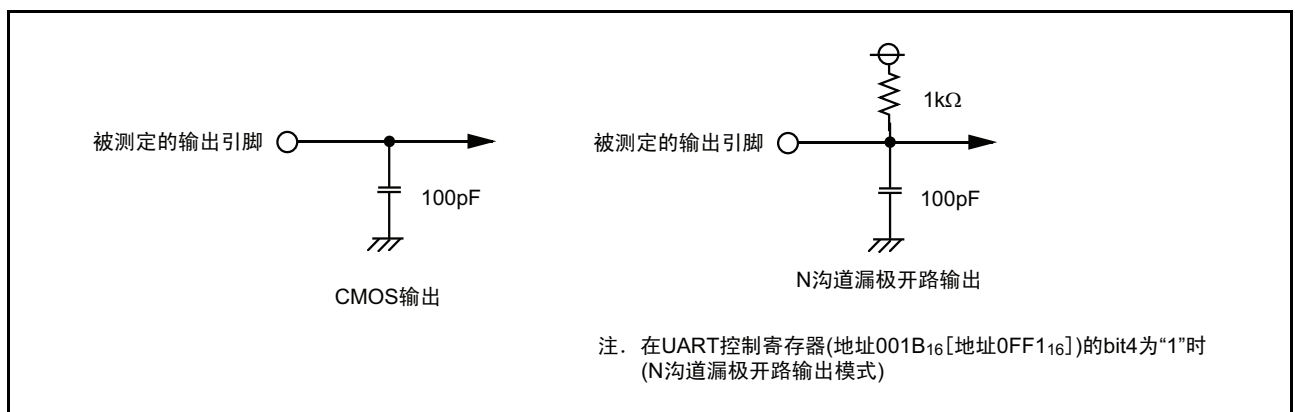


图 96 输出开关特性的测定电路图

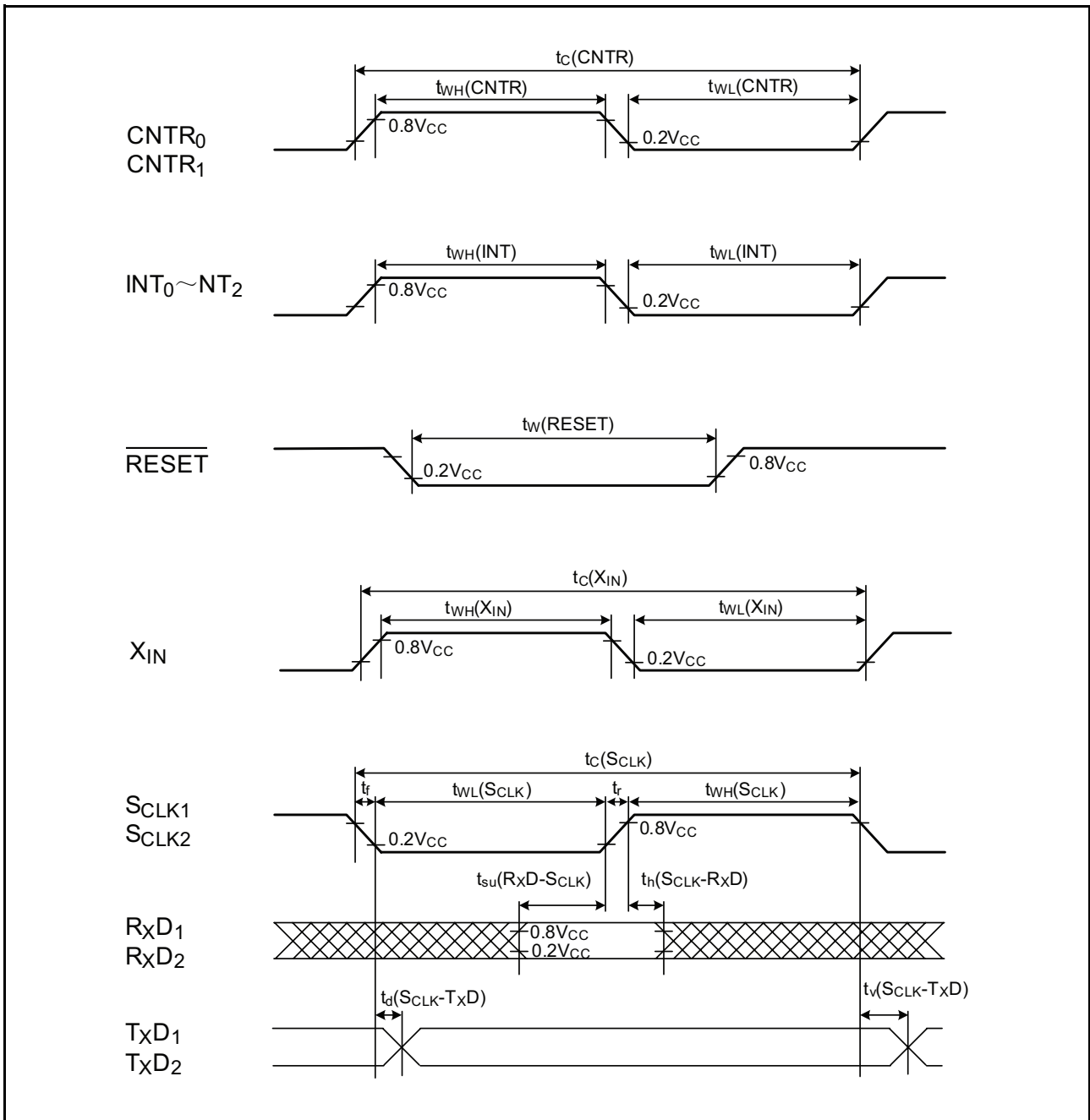
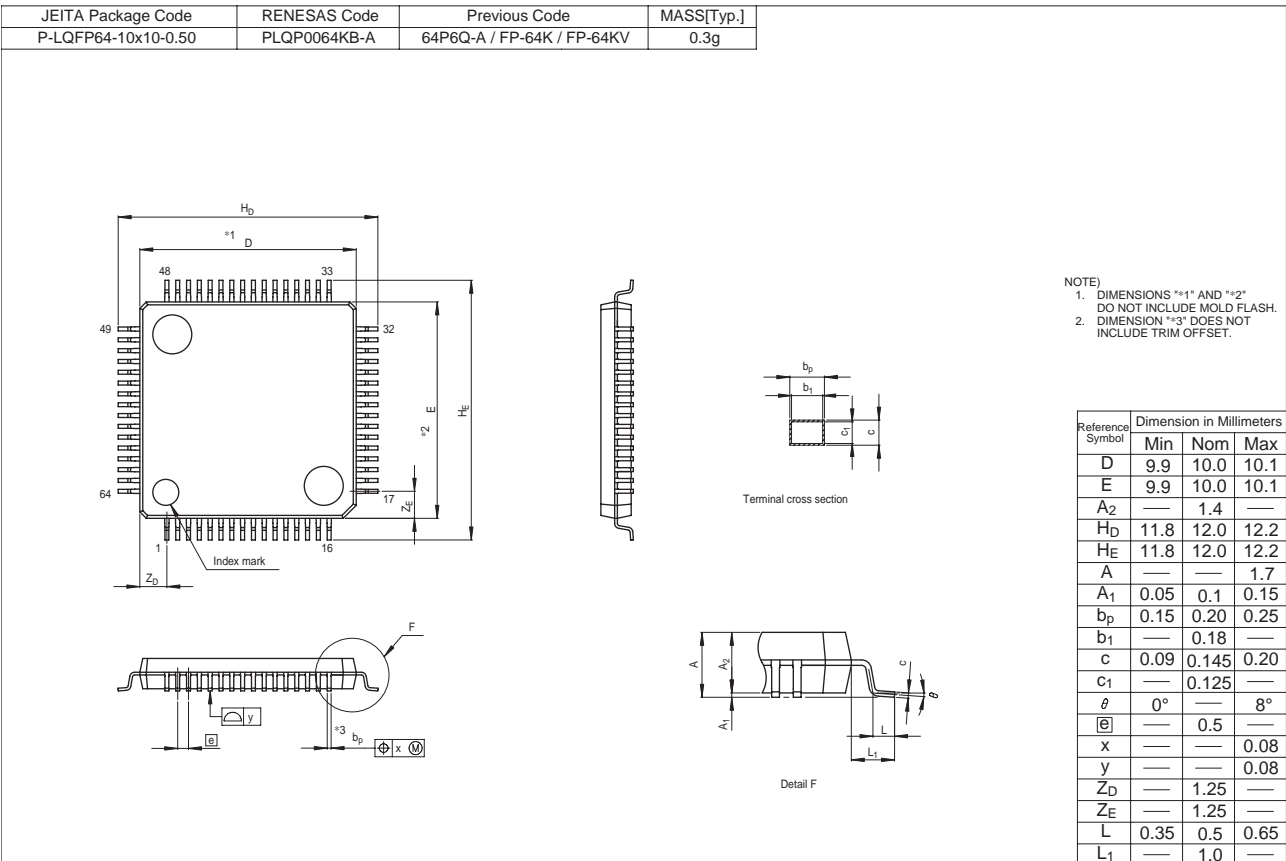
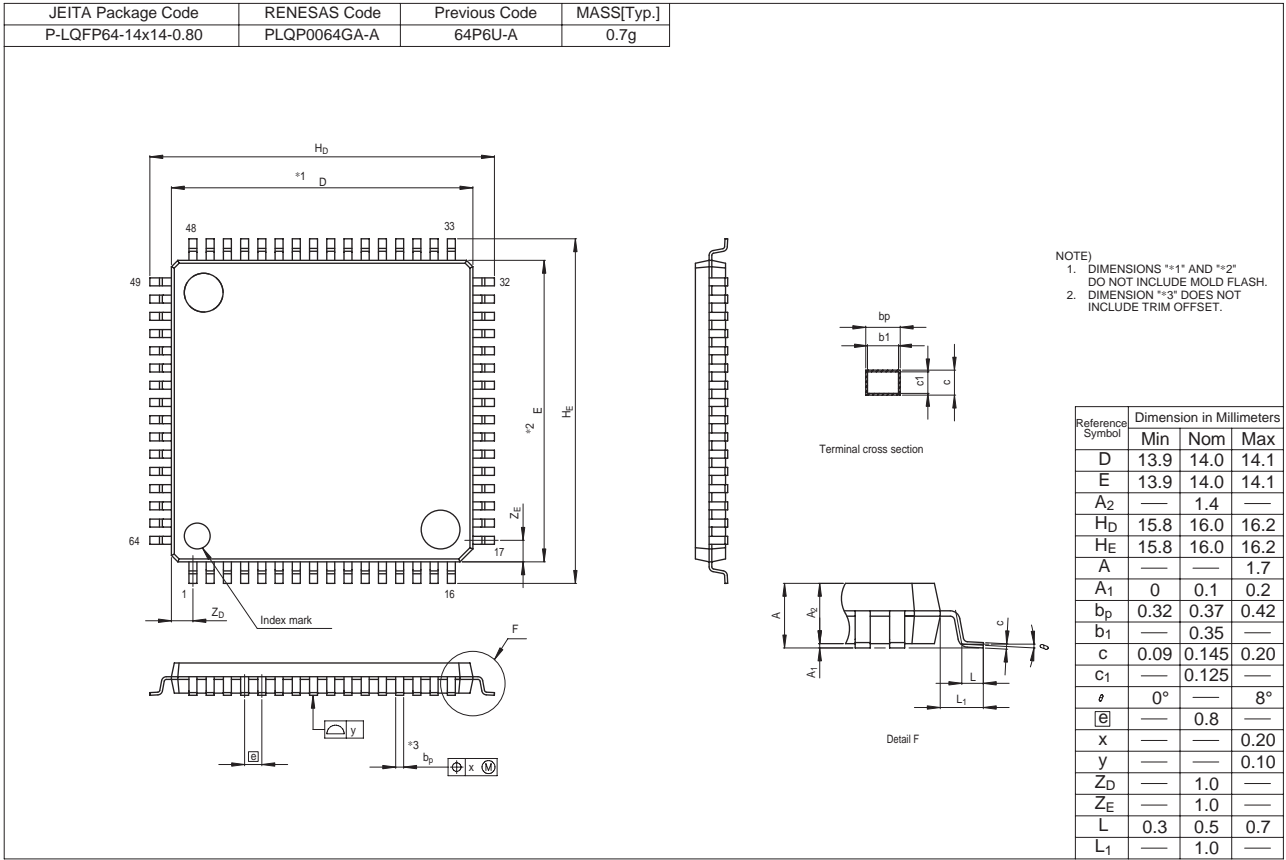


图 97 时序图（单芯片模式时）

封装尺寸图

关于封装尺寸图的最新版和安装信息，请参照刊登在瑞萨主页的“封装”。



附录

有关编程的注意事项

处理器状态寄存器

(1) 处理器状态寄存器的初始化

有必要对影响程序执行的处理器状态寄存器（PS）的标志进行初始化。特别是 T 标志和 D 标志直接影响到运算本身，因此必须对其初始化。必须在程序的起始部进行初始化。

<理由>

处理器状态寄存器（PS）除了 I 标志为“1”以外，复位后的值不定。

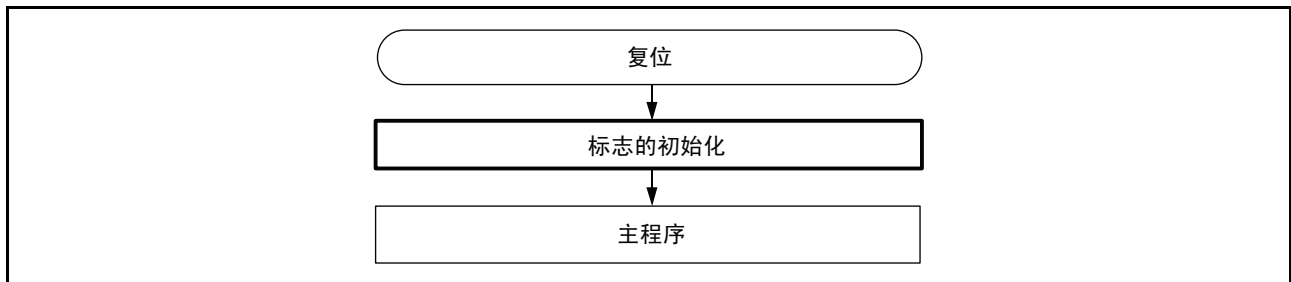


图 98 处理器状态寄存器标志的初始化

(2) 处理器状态寄存器的参照方法

在需要参照处理器状态寄存器（PS）的内容时，请在执行一次 PHP 指令后读取 (S) + 1 的内容。如果还需要时，通过执行 PLP 指令恢复被保存的 PS。

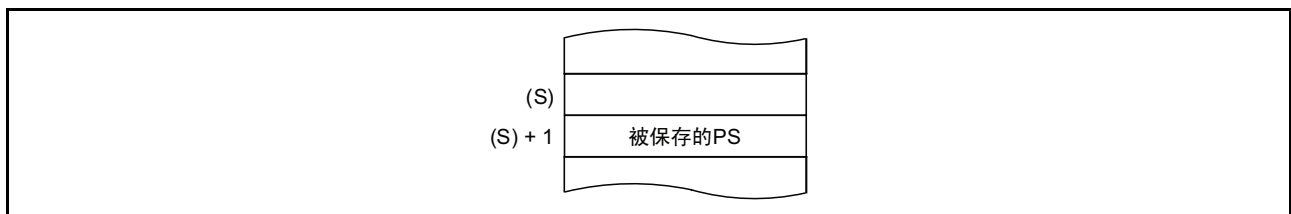


图 99 执行 PHP 指令后的堆栈存储器的内容

10 进制运算

(1) 10 进制运算时的指令

在 10 进制运算时，通过 SED 指令将 10 进制模式标志 D 置“1”，然后执行 ADC 指令或者 SBC 指令。此时，必须在 ADC 指令或者 SBC 指令后执行一条指令之后，再执行 SEC 指令、CLC 指令或者 CLD 指令。

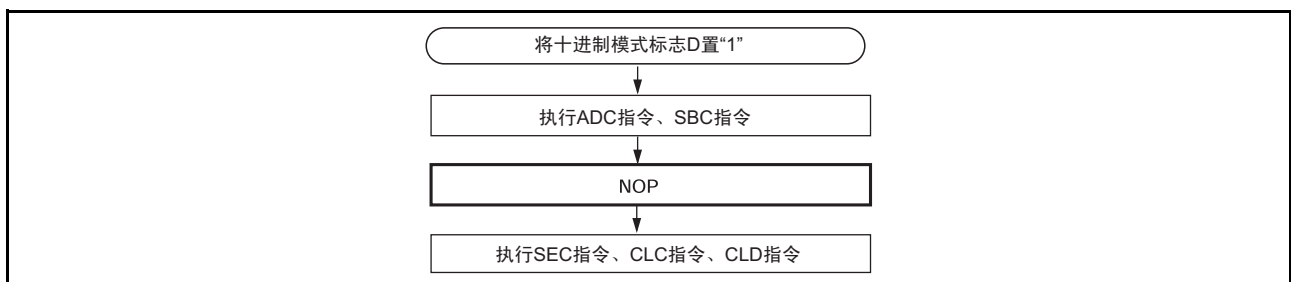


图 100 10 进制运算时的指令

(2) 10 进制运算时的状态标志

在 10 进制模式（D 标志 = “1”）时执行 ADC、SBC 指令后，状态标志中的 N、V、Z、3 个标志变为无效。

另外，C（进位）标志在运算结果发生进位时被置“1”，在发生借位时被清“0”，因此 C（进位）标志可用作判断运算结果的进位或借位的标志。在运算前必须对 C 标志进行初始化。

JMP 指令

在使用 JMP 指令（间接寻址方式）时，不能将低 8 位为“FF₁₆”的地址指定为操作数。

乘除运算指令

1. MUL、DIV 指令不受 T、D 标志的影响。
2. 在执行乘除运算指令时，处理器状态寄存器的内容不变。

读 / 修改 / 写指令

对不能读取的 SFR 不可执行读 / 修改 / 写指令。

读 / 修改 / 写指令是以字节单位对存储器进行读、修改，并以字节单位写到原存储器的指令。

在 740 族中，以下所示的指令为读 / 修改 / 写指令。

1. 位处理指令
CLB、SEB
2. 移位、循环指令
ASL、LSR、ROL、ROR、RRF
3. 加减运算指令
DEC、INC
4. 逻辑运算指令（1 的补码）
COM

另外，虽然加减运算指令、逻辑运算指令（ADC、SBC、AND、EOR、ORA）不是读 / 修改 / 写指令，但是在 T 标志为“1”时这些指令和读 / 修改 / 写指令进行同样的运行。因此，对不能读的 SFR 不可执行这些指令。

< 理由 >

如果对不能读的 SFR 执行这些指令，就会出现如下情况：

由于 SFR 为不能读的寄存器，因此读取的值不定。如果修改并且写此不定的值，写入的值就变为不可预测的值。

有关外围功能的注意事项

有关输入 / 输出引脚的注意事项

在待机状态下的使用

在待机状态 *1 以低功耗为目的使用时，不能将输入 / 输出端口的输入电平置为不定状态。特别是在 N 沟道漏极开路的输入 / 输出端口时要注意。

此时，必须通过电阻上拉（连接 V_{CC}）或者下拉（连接 V_{SS}）端口。

在决定电阻值时，请注意以下 2 点：

- 外接电路
- 通常运行时的输出电平的变动

另外，在使用内部上拉电阻时，必须注意电流值的偏差。

- 设定成输入端口时：固定输入电平。
- 设定成输出端口时：不要使电流流向外部。

<理由>

因为即使由方向寄存器将端口设定成输出端口，当端口锁存器的内容为“1”时，晶体管为 OFF 状态，所以端口为高阻抗状态。因此，根据外接电路，电平可能出现不定的状态。

如果输入 / 输出端口的输入电平出现不定的状态，被输入到单片机内部的输入缓冲器的电位就变为不稳定状态，因此可能会发生电源电流的流动。

- *1 待机状态：通过执行 STP 指令的停止模式
通过执行 WIT 指令的等待模式

通过位处理指令改写输出数据

在使用位处理指令 *1 改写输入 / 输出端口的端口锁存器时，可能会改变未指定位的值。

<理由>

输入 / 输出端口可以以位为单位设定输入模式或输出模式。对端口寄存器进行读、写时输入 / 输出端口进行以下的运行：

- 输入模式的端口
读：读引脚的电平
写：写端口锁存器
- 输出模式的端口
读：读端口锁存器或者读外围功能的输出（根据端口使运行不同）。
写：写端口锁存器（从引脚输出端口锁存器的内容）。

因为位处理指令为读 / 修改 / 写指令 *2，所以给端口寄存器执行位处理指令时，没有用指令指定的位也会同时进行读和写。

没有指定的位为输入模式时，读引脚的电平，并将读出的值写到端口锁存器。此时，如果原端口锁存器的内容和引脚的电平不同时，端口锁存器的内容变化。

没有指定的位为输出模式时，基本上读端口锁存器，但是有时也读外围功能的输出，并将读出的值写到端口锁存器。此时，如果原端口锁存器的内容和外围功能的输出不同时，端口锁存器的内容变化。

- *1 位处理指令：SEB 指令、CLB 指令

- *2 读 / 修改 / 写指令：

是以字节单位读、修改存储器，并以字节单位写到原存储器的指令。

方向寄存器

不能读取端口方向寄存器的值。即，不能使用 LDA 指令、T 标志为“1”时的存储器运算指令、将方向寄存器的值作为变址值的寻址方式以及 BBC、BBS 等位测试指令。另外，也不能使用 CLB 和 SEB 等位操作指令、ROR 等运算的方向寄存器的读 / 修改 / 写指令。必须使用 LDM、STA 等指令设定方向寄存器。

上拉控制

只有设定为输入端口的引脚可以通过 PULL 寄存器和段输出禁止寄存器进行上拉控制。

有关未使用引脚处理的注意事项

未使用引脚的正确处理

必须尽可能用短的布线（20mm 以内）处理以下的单片机引脚：

(1) 输入 / 输出端口

在设定成输入模式时，必须通过 $1k \sim 10k\Omega$ 的电阻将各引脚连接到 VCC 或者 VSS。对于能选择内部上拉电阻的端口，也可使用内部上拉电阻。

在设定成输出模式时，必须在输出“L”或者“H”的状态下将各引脚置为开路。

- 在设定成输出模式且置成开路的情况下，从复位后到由程序将端口转换成输出模式为止，保持初始状态的输入模式。因此，引脚的电压电平不定，在端口为输入模式期间，电源电流可能会增大。关于对系统的影响，用户必须进行充分的系统评价。
- 请考虑因噪声和程序失控等引起方向寄存器变化的情况，通过定期用程序重新设定方向寄存器，进一步提高程序的可靠度。

处理时的注意事项

(1) 将输入 / 输出端口设定为输入模式时

1. 不能置为开路
<理由>
 - 根据初级电路，电源电流可能会增大。
 - 与“未使用引脚的正确处理”中的“(1) 输入/输出端口”的处理相比，容易受噪声影响。
2. 不能直接连接 VCC 或者 VSS
<理由>

在因噪声和程序失控等引起方向寄存器变成输出模式时，有可能发生短路的情况。
3. 不能通过电阻将多个端口一起连接到 VCC 或者 VSS
<理由>

在因噪声和程序失控等引起方向寄存器变成输出模式时，端口间有可能发生短路的情况。

有关中断的注意事项

改变相关寄存器的设定

在选择外部中断的有效边沿以及选择多个中断源共享的中断向量的中断源时，如果不需要与这些设定同步产生的中断，必须按以下的步骤进行设定：

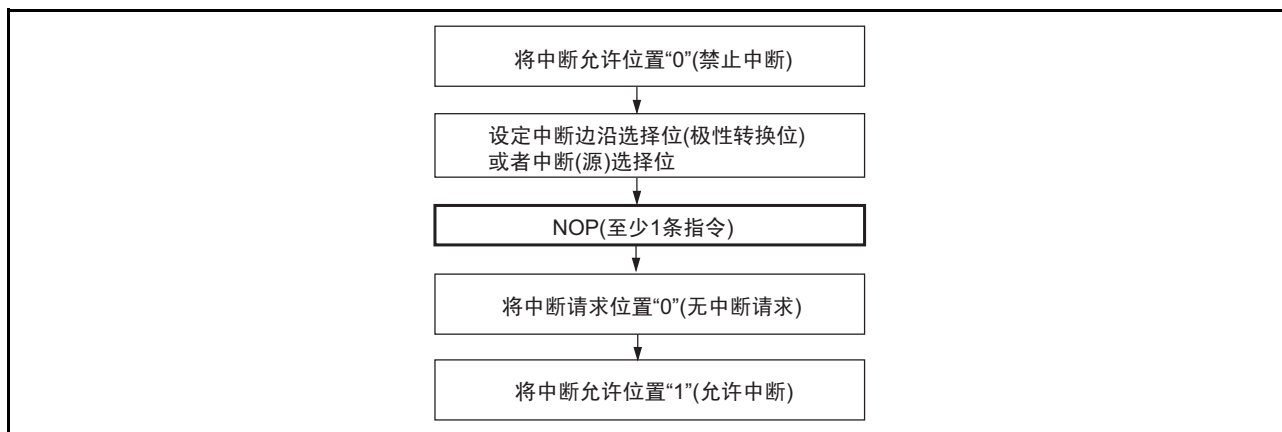


图 101 相关寄存器的设定步骤

< 理由 >

在以下的情况，对应中断的中断请求位有可能变为“1”。

< 在转换外部中断的有效边沿时 >

- INT₀中断边沿选择位
(中断边沿选择寄存器 (地址003A₁₆) 的bit0)
- INT₁中断边沿选择位
(中断边沿选择寄存器的bit1)
- INT₂中断边沿选择位
(中断边沿选择寄存器的bit2)
- CNTR₀极性转换位
(定时器X控制寄存器1 (地址002E₁₆) 的bit6、bit7)
- CNTR₁极性转换位
(定时器Y模式寄存器 (地址0038₁₆) 的bit6)

< 在转换多个中断源共享的中断向量的中断源时 >

- INT₂/键输入中断转换位
(中断边沿选择寄存器的bit3)
- 定时器Y/CNTR₁中断转换位
(中断边沿选择寄存器的bit4)

中断请求位的判断

在将中断请求位清“0”后立即通过 BBC 指令或者 BBS 指令判断此位时，必须按以下的步骤进行判断：
<理由>

如果在将中断请求位清“0”后立即执行 BBC 指令或者 BBS 指令，就判断清“0”前的中断请求位的值。

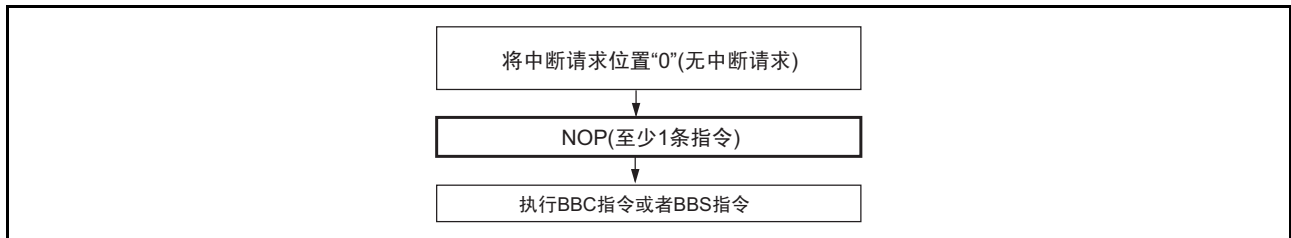


图 102 中断请求位的设定步骤

未使用中断的设定

必须将未使用中断的中断允许位清“0”（禁止）。

有关定时器的注意事项

分频器

生成计数源的分频器是全部定时器共享 1 个电路。

因此启动各定时器时，不进行分频器的初始化。所以选择分频器作为计数源时，从启动开始到定时器实际开始计数或到波形输出为止期间，产生最大计数源的 1 个周期时间的延迟。

另外，不能从外部观测计数源。

定时器 1 ~ 4 的分频比

给定时器锁存器写值 n ($0 \sim 255$) 时的分频比为 $1/(n+1)$ 。

定时器 1 ~ 4、X、Y 分频的转换和计数源的转换

必须在定时器计数停止的状态下进行分频转换和计数源转换【注】

【注】 将分频器输出作为定时器的计数源选择时，随着运行模式（内部振荡器模式、X_{IN} 模式、低速模式）的转换，计数源也可能发生转换。在改变 CPU 模式寄存器的设定时必须注意。

STP 指令时的定时器 1 和定时器 2 的设定

执行 STP 指令时，必须事先设定返回时的等待时间。

定时器 1 ~ 定时器 4 的设定顺序

转换定时器 1 ~ 定时器 4 的计数源时，在输入计数时产生细小脉冲，定时器的计数值有可能变得不定。另外，将定时器串联连接后使用时，给前段定时器进行写操作，就在输出时产生细小的脉冲，后段定时器的计数值有可能会变得不定。

所以，在设定定时器 1 ~ 定时器 4 的计数源后，必须从定时器 1 开始按顺序设定值。

有关定时器 2、定时器 3、定时器 4 的写操作

只写锁存器时，如果写重加载锁存器的时序和下溢的时序几乎同时，值就被同时设定在定时器和定时器锁存器。此时，在重加载锁存器的写操作中停止计数。

定时器 3 的 PWM₀ 模式和定时器 4 的 PWM₁ 模式

- 如果在开始 PWM 输出后暂停，根据此时的输出脉冲电平，重新开始输出的时间就有可能延迟 1 个小区间（256×ts）。
停止在“H”电平时：无输出延迟
停止在“L”电平时：输出延迟 256×ts 的时间
- 在使用 PWM 模式时，按每个大区间（4×256×ts）的周期产生定时器 3 和定时器 4 的中断请求以及更新定时器 3 和定时器 4 的值。

有关写定时器 X 的顺序

- 在设定定时器模式、脉冲输出模式、事件计数器模式或者脉宽测定模式时，必须按照定时器 X 的寄存器（扩展）、定时器 X 的寄存器（低位）、定时器 X 的寄存器（高位）的顺序进行写操作。另外，不能只写定时器 X 的寄存器（扩展）、定时器 X 的寄存器（低位）和定时器 X 的寄存器（高位）其中之一。
在设定上述的模式时定时器 X 作为 16 位计数器运行的情况下，如果在复位解除后一次也没有设定定时器 X 的寄存器（扩展），就不需要设定定时器 X 的寄存器（扩展）。此时必须按照定时器 X 的寄存器（低位）到定时器 X 的寄存器（高位）的顺序进行设定。但是必须注意：一旦写定时器 X 的寄存器（扩展），值就被保持到重加载锁存器。
- 必须以 16 位为单位写定时器 X 的寄存器。不能在写操作期间进行读操作。如果在中途停止写操作，就不能正常运行。
- 在设定 PWM 模式和 IGBT 输出模式时，不能给定时器 X 的寄存器（扩展）写“1”。另外，如果为已经写“1”状态，就必须先写“0”后再使用。按照比较寄存器 1、2、3（高位、低位）、定时器 X 的寄存器（扩展）、定时器 X 的寄存器（低位）、定时器 X 的寄存器（高位）的顺序进行写操作。比较寄存器的高位和低位没有写顺序。比较寄存器 1、2、3 和定时器 X 的寄存器都必须写。

有关读定时器 X 的顺序

- 各模式都必须按照定时器 X 的寄存器（扩展）、定时器 X 的寄存器（高位）、定时器 X 的寄存器（低位）的顺序进行读操作。在不需要读定时器 X 的寄存器（扩展）时，必须按照定时器 X 的寄存器（高位）到定时器 X 的寄存器（低位）的顺序进行读操作。有关比较寄存器 1、2、3，没有规定读的顺序。
- 必须以 16 位为单位读定时器 X 的寄存器。不能在读操作期间进行写操作。如果在中途停止读操作，就不能正常运行。

有关定时器 X 的写操作

- 定时器 X 能通过定时器 X 的模式寄存器（地址 002D16）的写控制位（b3）选择是同时写锁存器和定时器还是只写锁存器。在只写锁存器的情况下，如果给定时器 X 的地址写值，值就被设定到重加载锁存器，定时器在下次发生下溢时被更新。在复位解除后为同时写锁存器和定时器，如果给定时器 X 的地址写值，值就同时被设定到定时器和定时器的锁存器。
另外，在只写锁存器的情况下，如果写高位重加载锁存器的时序和发生下溢的时序几乎同时，值就同时被设定到定时器和定时器的锁存器。此时，在高位重加载锁存器的写操作中停止计数。
- 必须在定时器计数停止的状态下进行分频转换和计数源转换【注】。

【注】 将分频器输出作为定时器的计数源选择时，随着运行模式（内部振荡器模式、X_{IN} 模式、低速模式）的转换，计数源也可能发生转换。在改变 CPU 模式寄存器的设定时必须注意。

有关定时器 X 的模式寄存器的设定

在设定 PWM 模式和 IGBT 输出模式时，必须将定时器 X 的模式寄存器的写控制位设定为“1”（只写锁存器）。在写定时器 X 的寄存器（高位）后，在下次发生下溢时两个寄存器的内容同时被反映到输出波形。

有关定时器 X 的输出控制功能

在使用输出控制功能（INT1、INT2）时，必须在转换为 IGBT 输出模式前，将 INT1、INT2 的电平设定为“H”电平（当下下降沿有效时）或者设定为“L”电平（当上升沿有效时）。

有关 CNTR₀ 极性转换

- CNTR₀ 极性转换位的设定同时也会影响中断极性。
- 在测定脉宽时，必须将 CNTR₀ 极性转换位的 bit7 置“0”。

使用定时器 X 的脉宽测定模式时

使用定时器 X 的脉宽测定模式时，必须将用于控制事件计数器窗口的数据（定时器 X 的模式寄存器（地址 002D₁₆）的 bit5）设定为允许（“0”）。

〈理由〉

为了允许 / 禁止 CNTR₀ 的输入，将用于控制事件计数器窗口的数据（定时器 X 的模式寄存器（地址 002D₁₆）的 bit5）置“1”（禁止）时，定时器 1 下溢后不能接受 CNTR₀ 输入。

有关 CNTR₁ 极性转换

CNTR₁ 极性转换位的设定同时也会影响中断有效边沿。但是，在脉宽 HL 连续测定模式的情况下，与 CNTR₁ 极性转换位的设定无关，在引脚的上升沿和下降沿都产生 CNTR₁ 中断请求。

有关定时器 Y 的读写操作

- 在读写定时器 Y 时，高位字节和低位字节都必须读写。在读定时器的值时，必须按照高位字节到低位字节的顺序进行；在写定时器的值时，必须按照低位字节到高位字节的顺序进行。另外，必须以 16 位为单位进行读写操作。如果在中途改变读操作或写操作，就不能正常运行。
- 定时器 Y 能通过定时器 Y 的控制寄存器（地址 0039₁₆）的写控制位（b0）选择是同时写锁存器和定时器还是只写锁存器。在只写锁存器的情况下，如果给定时器 Y 的地址写值，值就被设定到重加载锁存器，定时器在下次发生下溢时被更新。在复位解除后为同时写锁存器和定时器，如果给定时器 Y 的地址写值，值就同时被设定到定时器和定时器锁存器。
另外，在只写锁存器的情况下，如果写高位重加载锁存器的时序和发生下溢的时序几乎同时，值就同时被设定到定时器和定时器的锁存器。此时，在高位重加载锁存器的写操作中停止计数。
- 必须在定时器计数停止的状态下进行分频转换和计数源转换【注】。

【注】 将分频器输出作为定时器的计数源选择时，随着运行模式（内部振荡器模式、X_{IN} 模式、低速模式）的转换，计数源也可能发生转换。在改变 CPU 模式寄存器的设定时必须注意。

有关实时端口控制

在实时端口控制位转换有效 / 无效时，为了使 2 位同时转换，必须使用 LDM、STA 指令等，以字节为单位给定时器 Y 模式寄存器进行写操作。另外，利用此功能时，必须将对应的端口方向寄存器设定为输出。

有关串行 I/O1 的注意事项

以下是有关串行 I/O1 的记述，但是，串行 I/O2 和串行 I/O1 的运行相同。

给波特率发生器进行写操作

波特率发生器（BRG）的写操作必须在发送 / 接收停止期间进行。

使用串行 I/O1 发送中断时的设定步骤

使用串行 I/O1 发送中断时，如果不需要与设定同步产生的中断，必须按照以下的步骤进行设定。

1. 将串行 I/O1 发送中断允许位（中断控制寄存器 2（地址 003F₁₆）的 bit2）清“0”（禁止）。
2. 将发送允许位置“1”。
3. 在至少执行 1 个指令以后，将串行 I/O1 发送中断请求位（中断请求寄存器 2（地址 003D₁₆）的 bit2 清“0”（无中断请求）。
4. 将串行 I/O1 发送中断允许位置“1”（允许）。

<理由>

将发送允许位置“1”，发送缓冲器空标志（串行 I/O1 状态寄存器的 bit0）以及发送移位寄存器的移位结束标志变为“1”。

因此通过发送中断源选择位（串行 I/O1 控制寄存器的 bit3）不管给哪一个标志选择中断产生源都会产生中断请求，且串行 I/O1 发送中断请求位变为“1”。

使用发送移位寄存器的移位结束标志时的数据发送控制

给发送缓冲寄存器写发送数据后，发送移位寄存器的移位结束标志（串行 I/O1 状态寄存器（地址 0019₁₆）的 bit2）在延迟移位时钟的 0.5 ~ 1.5 个时钟时间后，从“1”变为“0”。因此给发送缓冲寄存器写发送数据后，参照发送移位寄存器的结束标志控制数据发送时，必须注意此延迟。

串行 I/O1 控制寄存器的重新设定

串行 I/O1 控制寄存器的重新设定必须在发送允许位及接收允许位都清“0”，且在初始化发送电路和接收电路后才能进行。

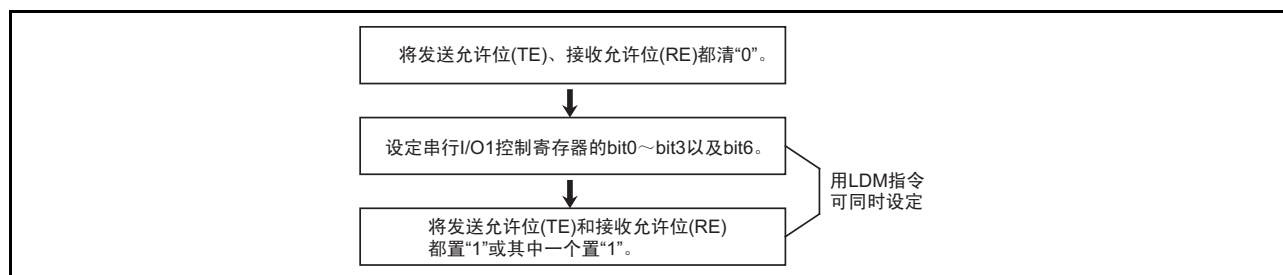


图 103 串行 I/O1 控制寄存器的重新设定步骤

发送结束后的引脚状态

发送结束后，T_XD 引脚保持发送结束时的电平。

在时钟同步串行 I/O 模式选择内部时钟时，S_{CLK1} 引脚为“H”电平。

发送运行中的串行 I/O1 允许位

发送时，将串行 I/O1 允许位（串行 I/O1 控制寄存器（地址 001A₁₆）的 bit7）置“0”（禁止串行 I/O1），引脚功能为输入 / 输出端口，且不能向外部输出发送数据，但是内部的发送运行继续进行。另外，在此状态下写缓冲寄存器时，就在内部开始发送运行。此时，将串行 I/O1 允许位置“1”，从那时起发送数据输出到 T_XD 引脚。

选择外部时钟时的发送控制

发送数据时，选择外部时钟作为同步时钟时，必须在 SCLK1 为“H”电平的状态下将发送允许位置“1”。另外，发送缓冲寄存器的写操作也必须在 SCLK1 为“H”电平的状态下进行。

时钟同步串行 I/O 模式时的接收运行

在时钟同步串行 I/O 模式的接收时，必须将发送允许位和接收允许位一起置“1”。然后，必须给发送缓冲寄存器写虚数据。选择内部时钟作为同步时钟时，此时输出同步时钟，接收运行开始。选择外部时钟时，此时变为可以接受的状态，如果输入外部时钟，接收运行开始。

另外，从 P55/TxD1 [P32/TxD2] 引脚输出写在发送缓冲寄存器的虚数据。

时钟同步串行 I/O 模式时的发送 / 接收运行

在时钟同步串行 I/O 模式时，同时停止发送和接收运行时，必须同时将发送允许位和接收允许位清“0”。如果只停止其中的一个运行时，就不能使发送和接收同步，并发生错位。

有关 A/D 转换的注意事项

模拟输入引脚

必须减小模拟输入的信号源的阻抗。或者在模拟输入引脚上连接 $0.01\mu\text{F} \sim 1\mu\text{F}$ 的外接电容。并且用户必须充分确认应用产品的运行。

<理由>

模拟输入引脚内置了用于模拟电压比较的电容。因此，如果来自高阻抗信号源的信号输入到模拟输入引脚，就会产生充放电噪声，有可能无法获得充分的 A/D 转换精度。

A/D 转换中的时钟频率

比较器的输入是由电容耦合构成，如果转换速度不充分，由电荷丢失可能使转换精度受损，因此在 X_{IN} 模式进行 A/D 转换时，必须将 $f(\text{X}_{\text{IN}})$ 设定为大于等于 500kHz。另外，不要在 A/D 转换中执行 STP 指令和 WIT 指令。

在低速模式（选择内部振荡器）时，因为使用内部振荡器进行 A/D 转换，所以对 $f(\text{X}_{\text{IN}})$ 没有最低频率的限制。

ADKEY 功能

ADKEY 允许位为“1”时，模拟输入引脚选择位为无效。ADKEY 允许中不要通过程序执行 A/D 转换。通过允许 ADKEY，ADCON 的 bit0 ~ bit2 的值不变。

启动 ADKEY 功能后的 A/D 转换

ADKEY 功能，不能在 ADKEY 功能刚启动后就进行模拟输入电压的 A/D 转换，因此 ADKEY 功能刚启动后的 A/D 转换结果不稳定。在需要输入到 ADKEY 引脚的模拟输入电压的 A/D 转换结果时，必须在选择与 ADKEY 对应的模拟输入引脚后进行 A/D 转换。

ADKEY 引脚的输入电压

必须将 ADKEY 引脚的输入波形置为陡下降波形，并且必须在输入电压下降到小于等于 V_{IL} 的瞬间后的 8 个时钟周期（当 $f(\text{X}_{\text{IN}})=8\text{MHz}$ 时，为 $1\mu\text{s}$ ）内稳定输入电压。

ADKEY 引脚的实际阈值电压为 $V_{\text{IH}}-V_{\text{IL}}$ 之间的电压。

为了不进行因噪声等引起的不必要的 ADKEY 运行，必须在等待输入的状态下使 ADKEY 引脚的电压大于等于 V_{IH} ($0.9V_{\text{CC}}$)。

A/D 转换运行中的寄存器操作

- 在进行以下操作时，不能保证 A/D 转换的运行：
- 在 A/D 转换中操作 CPU 模式寄存器时
 - 在 A/D 转换中操作 AD 控制寄存器时
 - 在 A/D 转换中执行 STP、WIT 指令时

用于 A/D 转换器的电源引脚

不管是否使用 A/D 转换功能，必须将用于 A/D 转换器的电源引脚 AVSS 连接到 VSS。
 <理由>
 将 AVSS 引脚置为开路，由于受到噪声等影响，单片机可能会产生误动作。

有关 LCD 驱动控制电路的注意事项

用于 LCD 显示的 RAM 数据的设定

LCD 允许位为“1”，且 LCD 点灯中给用于 LCD 显示的 RAM 写数据时，必须写确定的数据。如果改写暂定的数据，LCD 可能会有闪烁的情况。LCD 点灯中给用于 LCD 显示的 RAM 写数据的处理例如图 104 所示。

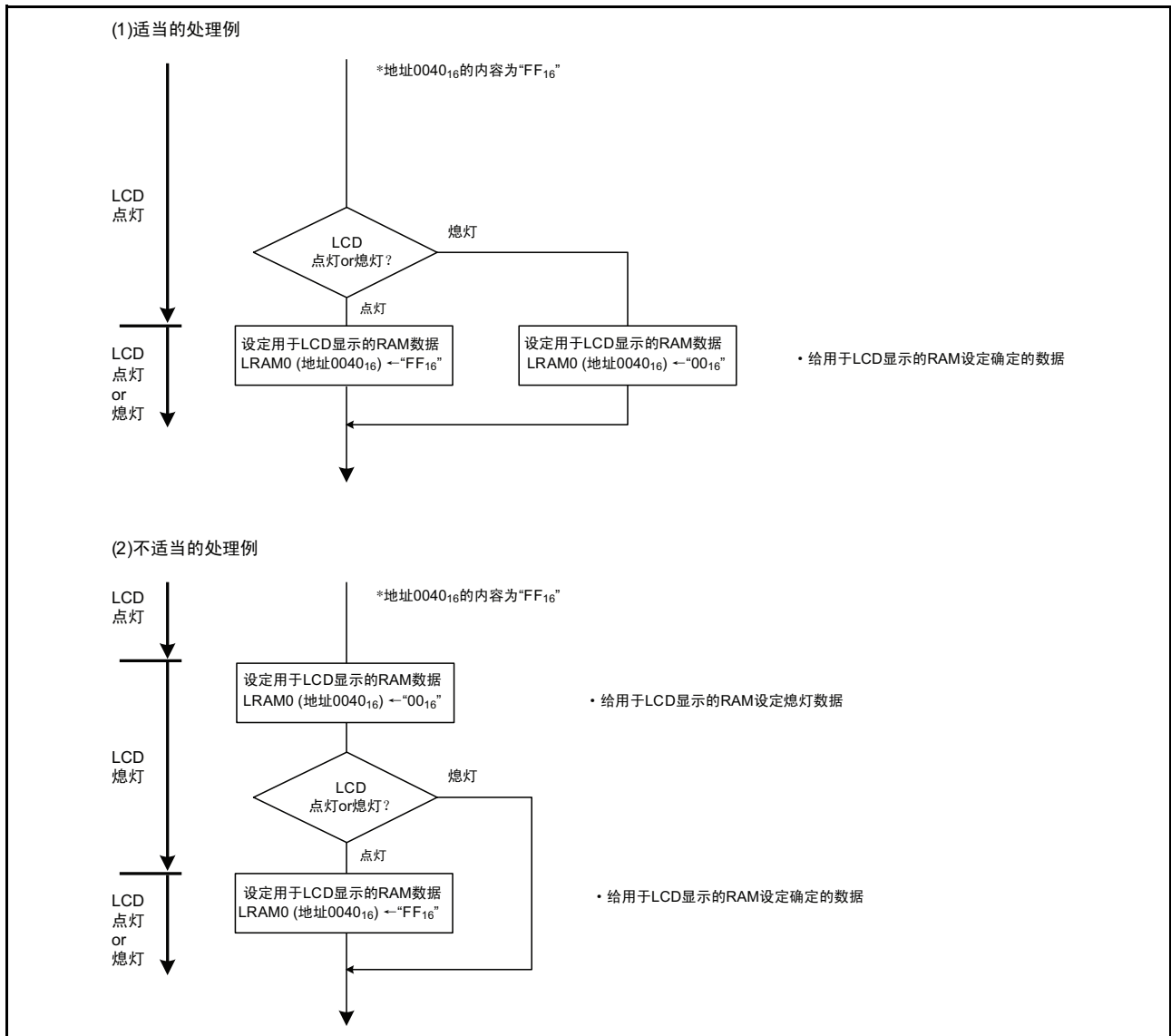


图 104 LCD 点灯中给用于 LCD 显示的 RAM 写数据的处理例

执行 STP 指令时

如果执行 STP 指令，LCD 允许位（LCD 模式寄存器（地址 0013₁₆）的 bit3）以及 LCD 电源控制寄存器的 bit0 ~ bit5、bit7 为“0”，且 LCD 显示屏熄灯。从停止模式返回后，如果要使 LCD 显示屏点灯，必须将这些位置“1”。

V_{L3} 引脚

V_{L3} 引脚用与 V_{CC} 相同的电压使用 LCD 驱动控制电路时，必须给 V_{L3} 引脚外加 V_{CC} 电压，且将 LCD 电源控制寄存器（地址 0038₁₆）的 V_{L3} 连接位置“1”。

LCD 驱动电源

根据 LCD 电源的分压电阻值和 LCD 显示屏的特性，电源容量有可能不足，此时可将 0.1 ~ 0.33μF 左右的旁路电容连接到 V_{L1} ~ V_{L3} 引脚。LCD 驱动电源的强化对策例如图 105 所示。

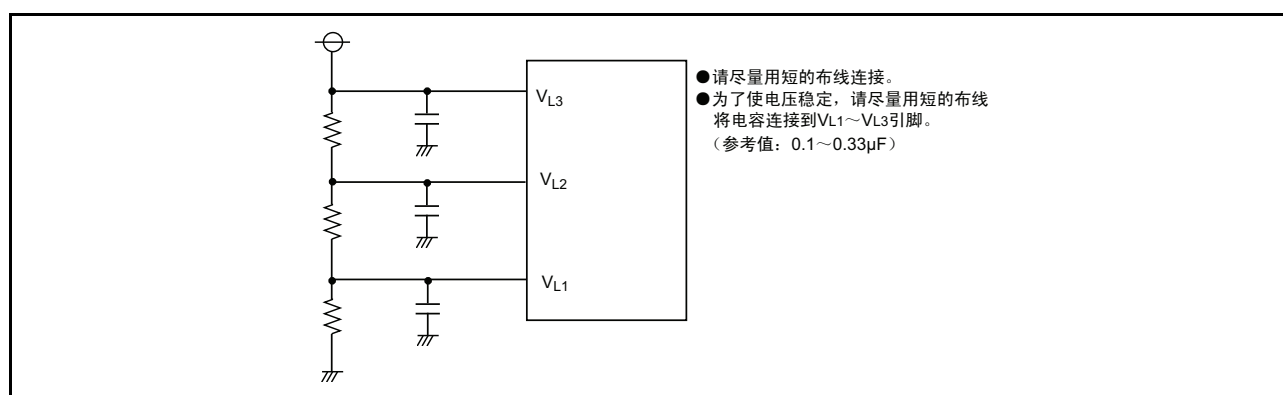


图 105 LCD 驱动电源的强化对策例

有关 ROM 校正功能的注意事项

返回到主程序

从校正程序返回到主程序时，必须使用 JMP 指令（3 字节指令）。

使用 ROM 校正功能时

在使用 ROM 校正功能时，必须在设定 ROM 校正地址寄存器后将 ROM 校正地址允许位设定为允许状态。

地址

不能给 ROM 校正地址寄存器设定 ROM 区以外的地址。另外，不能给 ROM 校正地址 1 寄存器和 ROM 校正地址 2 寄存器设定相同的地址。

用于 ROM 校正的处理

需要预先将 ROM 校正处理编入程序。

不使用 ROM 校正功能时

不使用 ROM 校正功能时，用于 ROM 校正的向量可以作为通常的 RAM/ROM 使用。作为通常的 RAM/ROM 使用时，必须将 ROM 校正允许寄存器的 bit1、bit0 清“0”（使用禁止）。

有关时钟发生电路的注意事项

振荡电路常数

振荡电路的各个常数因谐振器而不同，所以必须使用谐振器厂家的推荐值。

在 X_{IN} - X_{OUT} 的引脚之间内置了反馈电阻（根据条件，有时需要外接反馈电阻）。因为在 X_{CIN} - X_{COUT} 之间没有内置反馈电阻，所以必须附加 $10M\Omega$ 左右的反馈电阻。

模式间的转移

在进行内部振荡器模式、 X_{IN} 模式和低速模式之间的转移时， X_{IN} 和 X_{CIN} 都需要处于振荡稳定状态。在刚接通电源后或者从停止模式返回时要特别注意。模式之间的转移必须遵循系统时钟的状态转移图。另外， $f(X_{IN})$ 必须为大于等于 $f(X_{CIN})$ 的 3 倍的频率。当不使用 X_{IN} 模式（不进行 X_{IN} - X_{OUT} 之间的振荡以及 X_{IN} 的外部时钟输入）时，必须通过电阻将 X_{IN} 连接到 V_{CC} 。

振荡稳定

必须在执行 STP 指令前将生成振荡稳定等待时间的值 * 写到定时器 1 和定时器 2 的锁存器（给定时器 1 和定时器 2 分别设定低 8 位和高 8 位）。

* 参考值（必须根据所使用的谐振器和系统决定）

- 当闪存版、QzROM 版的 OSCSEL=“L”时 大于等于 0005_{16}
- 当 QzROM 版的 OSCSEL=“H”时 大于等于 $01FF_{16}$

低速、 X_{IN} 模式

使用低速、 X_{IN} 模式时，必须在允许 X_{IN} 和 X_{OUT} 、 X_{CIN} 和 X_{COUT} 之间的振荡后，必须通过内部振荡器模式等等待振荡稳定，然后进行转换。

有关闪存模式的注意事项

CPU 改写模式

(1) 运行速度

在 CPU 改写模式中，必须通过时钟分频比选择位（地址 $003B_{16}$ 的 bit7 和 bit6）将系统时钟 ϕ 设定为不超过 4.0MHz。

(2) 使用禁止指令

在 CPU 改写模式中，不能使用参照闪存内部数据的指令。

(3) 中断

在 CPU 改写模式中，由于参照闪存内部数据，所以不能使用中断。

(4) 看门狗定时器

在已启动了看门狗定时器的情况下，由于在编程或者擦除时看门狗定时器总是被初始化，所以不发生由下溢引起的内部复位。

(5) 复位

总是接受复位。在复位解除时，在 $CNV_{SS}=H$ 的情况下，就以引导模式启动。因此，从保存在引导 ROM 区的地址 $FFFC_{16}$ 、 $FFFD_{16}$ 中的地址开始执行程序。

有关看门狗定时器的注意事项

看门狗定时器的下溢

停止模式时，虽然看门狗定时器不运行，但是在停止解除的等待时间（用定时器 1 和定时器 2 设定的时间）和停止模式时，看门狗定时器计数，因此为了防止在此期间看门狗定时器产生下溢，必须对看门狗定时器控制寄存器进行写操作。

内部振荡器的振荡停止

通过看门狗定时器计数源选择位 2 选择内部振荡器时，内部振荡器强制振荡，且不能停止。另外，此时必须将 STP 指令功能选择位置“1”。在内部振荡器停止系统中，必须将看门狗定时器计数源选择位 2 清“0”（ ϕ SOURCE）。

看门狗定时器控制寄存器

在 bit7 ~ bit5 复位后，只能进行一次写操作。因为在写操作后被锁住，所以无法改写。这些位在复位后为“0”。

有关 QzROM 版和闪存版的不同点的注意事项

QzROM 版和闪存版因为制造工艺、内部 ROM、电路图的不同，使在电特性范围内的特性值、工作容限、噪声耐量、噪声辐射量等有可能不同。向 QzROM 版转换时，必须实施与在闪存版实施的系统评价试验同等的试验。

功能的不同请参照第 12 页。

有关电源电压的注意事项

在单片机的电源电压低于推荐运行条件值时，单片机可能无法正常运行而处于不稳定的运行状态。

在电源电压下降和切断电源时电源电压缓慢下降的系统中，将系统设计为在电源电压低于推荐运行条件时单片机复位等，这样即使在不稳定的运行状态也不会导致系统异常。

有关使用电源引脚的注意事项

在使用时，为了防止门锁现象，必须将高频特性良好的电容作为旁路电容外接在组件的电源引脚（VCC 引脚）和 GND 引脚（VSS 引脚）以及电源引脚（VCC 引脚）和模拟电源输入引脚（AVSS 引脚）之间。旁路电容推荐使用 0.01 μ F ~ 0.1 μ F 的陶瓷电容。

另外，必须以最短距离将旁路电容外接在电源引脚和 GND 引脚、电源引脚和模拟电源输入引脚之间。

有关存储器的注意事项

RAM

因为 RAM 的内容在复位时不定，所以必须在使用前进行初始值的设定。

有关 QzROM 版的注意事项

OSCSEL 引脚布线

(1) OSCSEL 引脚 = “L” 电平时

请尽量以最短的布线将 OSCSEL 引脚连接到离供给单片机 V_{SS} 引脚的 GND 最近的 GND 图形。

另外，通过将约 5kΩ 的电阻串联到 GND，有可能改善抗噪声耐量。此时也和上述同样，尽量以最短的布线将电阻连接到离供给单片机的 V_{SS} 引脚的 GND 最近的 GND 图形。

(2) OSCSEL 引脚 = “H” 电平时

请尽量以最短的布线将 OSCSEL 引脚连接到离供给单片机 V_{CC} 引脚的 V_{CC} 最近的 V_{CC} 图形。

另外，通过将约 5kΩ 的电阻串联到 V_{CC}，有可能改善抗噪声耐量。此时也和上述同样，尽量以最短的布线将电阻连接到离供给单片机 V_{CC} 引脚的 V_{CC} 最近的 V_{CC} 图形。

• 理由

OSCSEL 引脚是内部 QzROM 的电源输入引脚。在给 QzROM 写程序时，为了产生写电流，降低了 OSCSEL 引脚的阻抗，所以噪声容易侵入。如果噪声从 OSCSEL 引脚侵入，来自 QzROM 的指令码和数据的读操作就不能正常进行而导致失控。

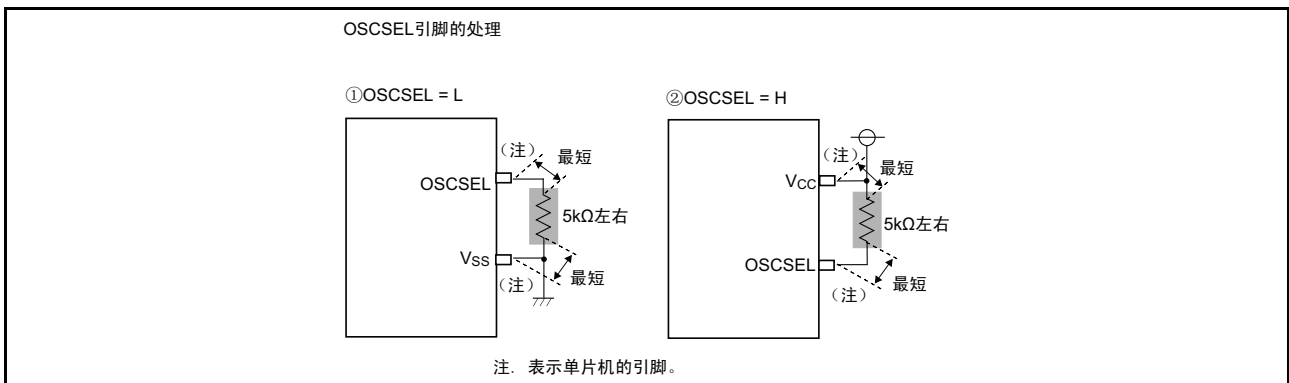


图 106 OSCSEL 引脚的布线

QzROM 版过电压

必须注意：不能给其他引脚外加超过 V_{CC} 引脚电压的电压。

特别是关于电源上升及下降时的 OSCSEL 引脚（QzROM 的 V_{PP} 电源输入引脚），不要出现如图 107 所示的粗线区间状态。如果出现此状态，QzROM 的内容有可能改写。

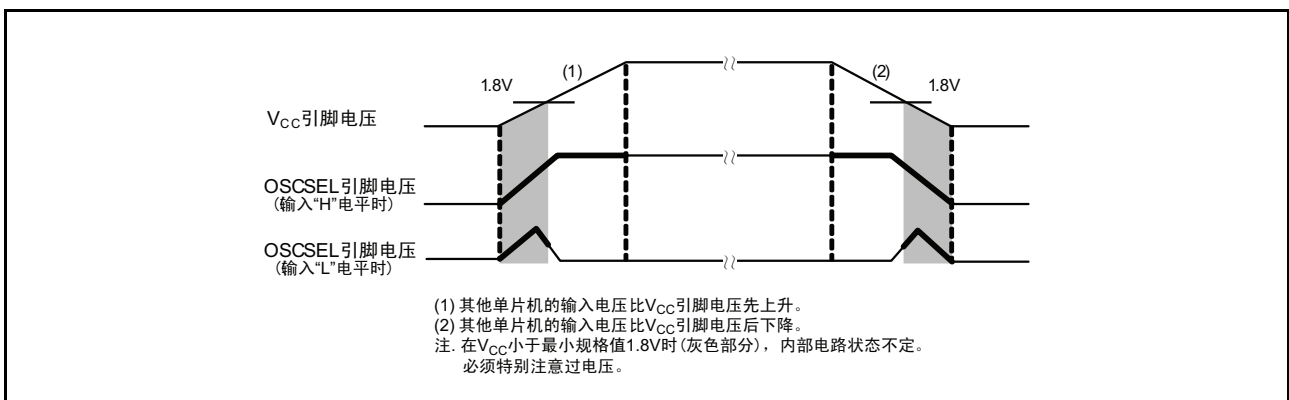


图 107 时序图（相当于粗线的区间）

QzROM 版空白出货产品

空白出货产品虽然在组装工程前对空白出货产品进行了充分的 QzROM 写测试，但是在组装工程后对用户 ROM 区没有进行写测试，因此有可能发生 0.1% 左右的写失败。另外，写的环境也会造成写失败，所以在使用时必须充分注意电缆的接触和插座上的异物等。

订购 QzROM 编程后的产品时

在订购 QzROM 编程后的出货产品时，必须提交用掩模文件转换实用程序（MM）建立的掩模文件（扩展名 .msk）。

另外，在执行掩模文件转换实用程序（MM）建立掩模文件时，必须设定 ROM 选项（在掩模转换实用程序中记为“掩模选项”）的数据。

ROM 码保护（QzROM 编程后的出货产品）

QzROM 编程后的出货产品的 ROM 码保护由订货时提出的建立掩模文件时的 ROM 选项数据决定。

建立掩模文件时的 ROM 选项数据为“有保护”时设定“0016”；为“只对保护区 1 进行保护”时设定“FE16”；为“无保护”时设定“FF16”。因此，QzROM 编程后的出货产品的 ROM 码保护地址（ROM 保留区）的内容为“0016”、“FF16”和“FE16”其中之一。

另外，必须注意：在没有设定 ROM 选项数据或者设定了“0016”、“FF16”和“FE16”以外的数据时，不能接受该掩模文件。

订购 QzROM 编程后的产品时的提交资料

必须在订购 QzROM 编程后的出货产品时提交以下的资料：

- QzROM 编程确认书*
- 标记指定书*
- ROM 的数据 . . . 掩模文件

* 有关 QzROM 编程确认书和标记指定书，请参照瑞萨科技主页（<http://cn.renesas.com/homepage.jsp>）。另外，QzROM 单片机不对应特殊字体标记（如贵公司商标等）。

QzROM 产品的验货步骤

由客户进行编程时，请按照以下步骤进行验货：

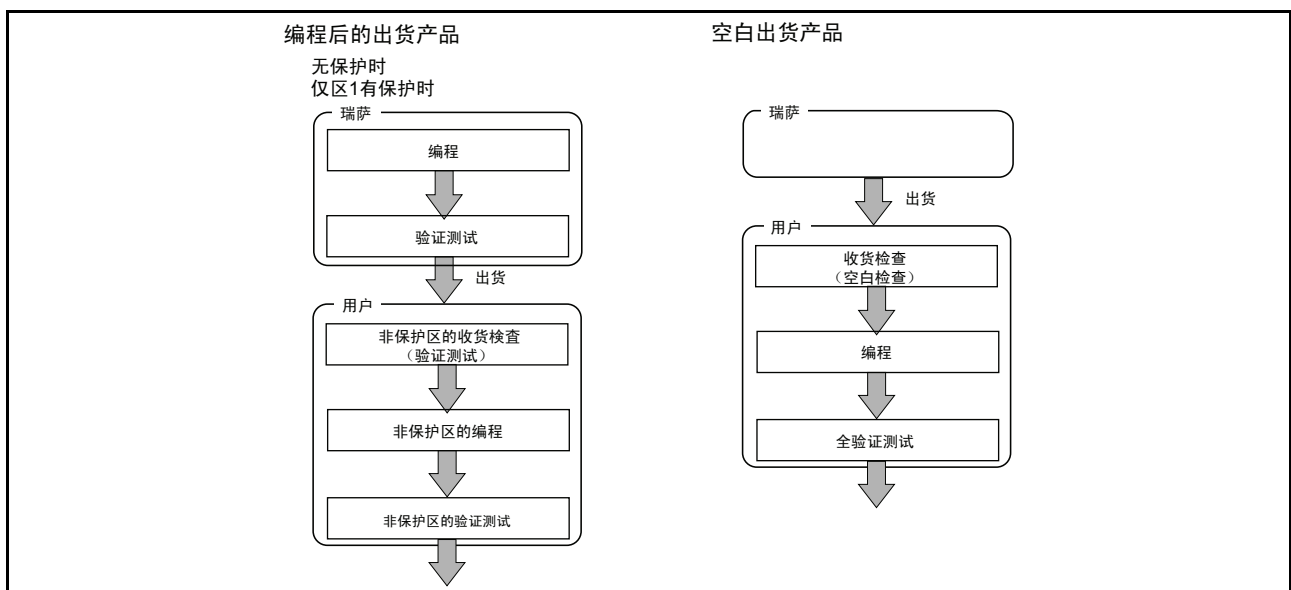


图 108 QzROM 产品的验货步骤

有关闪存版的注意事项

CPU 改写模式

(1) 运行速度

在 CPU 改写模式中，必须通过主时钟分频比选择位（地址 003B₁₆ 的 bit7 和 bit6）将系统时钟 ϕ 设定为不超过 4.0MHz。

(2) 使用禁止指令

在 CPU 改写模式中，不能使用参照闪存内部数据的指令。

(3) 中断

在 CPU 改写模式中，由于参照闪存内部数据，所以不能使用中断。

(4) 看门狗定时器

在已启动了看门狗定时器的情况下，由于在编程或者擦除时看门狗定时器总是被清除，所以不发生由下溢引起的内部复位。

(5) 复位

总是接受复位。在复位解除时，在 CNV_{SS}=H 的情况下，就以引导模式启动。因此，从保存在引导 ROM 区的地址 FFFC₁₆、FFFD₁₆ 中的地址开始执行程序。

CNV_{SS} 引脚

CNV_{SS} 引脚是决定闪存模式的引脚。

必须尽量以最短的布线将 CNV_{SS} 引脚连接到离供给单片机 V_{SS} 引脚的 GND 最近的 GND 图形（注）。另外，如果以串联的方式插入 5k Ω 的电阻，并且通过和 GND 连接有可能改善噪声耐量。此时也要和上述同样，必须尽量以最短的布线连接到离供给单片机 V_{SS} 引脚的 GND 最近的 GND 图形。

【注】 使用引导模式、标准串行输入 / 输出模式时，必须转换到 CNV_{SS} 引脚的输入电平。

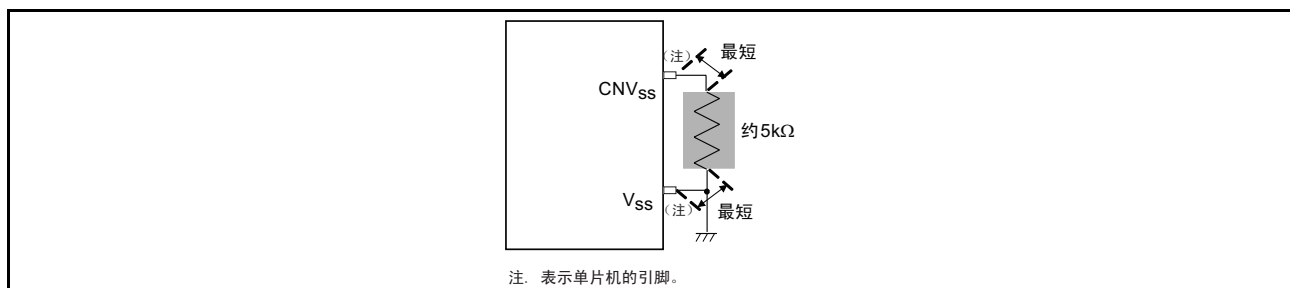


图 109 CNV_{SS} 引脚的布线

修订记录	38D2 群 数据表
------	------------

Rev.	发行日	修订内容	
		页	修订处
1.00	2006.08.30	—	初版发行
2.00	2008.01.28	全文	在本数据表中追加“闪存版”的内容。
		1～3	修改“概要”中的部分内容；在“特点”中追加“闪存版”的内容。
		4、5	修改表 1 中的部分内容，并追加“闪存版”的内容。
		7、8	修改表 2 中的部分内容，并追加“闪存版”的内容。
		9	在图 3 中追加“F: 闪存版”。
		10	在“存储器容量”中追加“闪存版”的内容；删除“存储器的种类”；删除图 4 中除“M38D29GF/FF”以外的“开发中”。
		11	在表 3 中的追加“闪存版”的内容。
		12	追加表 4 及“因 QzROM 版和闪存版的不同产生的注意点”。
		13	删除“中央运算处理器”中的“740 族寻址方式和机器指令一览表或者”；在“栈指针”中追加“累加器和处理状态寄存器的保存指令及返回指令如表 5 所示”。
		16	修改“处理器状态寄存器”中的“bit1”、“bit4”、“bit5”、“bit6”和“bit7”的部分内容。
		17	修改“CPU 模式寄存器”中的部分内容，并追加“闪存版”的内容；修改图 7 中的部分内容并追加注 3、注 4。
		18	替换图 8。
		19	修改“ROM”的内容，并追加“闪存版”的内容；在“ROM 码保护地址（地址 FFDB ₁₆ ）”前追加“QzROM 版的”，并在其中追加“闪存版”的内容。
		20	修改图 9 中的部分内容。
		21	修改图 10 中的部分内容并追加“闪存版”的内容。
		22	在“方向寄存器”后追加“（端口 P0～P6）”并修改其中的部分内容；修改“上拉控制”中的部分内容；在图 12 中 2 处追加“0: 无上拉 1: 有上拉”。
		23、24	修改表 7 中的部分内容。
		26	替换图 14（2）中的（10）。
		28、29	修改表 8 中的部分内容。
		30～37	全面修改“中断”的内容。
		39	修改“定时器的分频器”和“注意事项（1）”中的部分内容。
		41	将图 25 中的“总是读出“0””改为“读出时为“0””。
		42	将图 26 中的“用于 IGBT 的触发控制位”改为“用于 IGBT 的触发输入控制位”、“延迟时间选择位”改为“外部触发延迟时间选择位”、“计数源选择位”改为“定时器 X 计数源选择位”。
		43	修改“定时器的分频器”中的部分内容；将“IGBT 输出模式”和“PWM 模式”中的“定时器 X1 的输出极性转换位”改为“定时器的输出 1 极性转换位”、“定时器 X2 的输出极性转换位”改为“定时器的输出 2 极性转换位”。

Rev.	发行日	修订内容	
		页	修订处
		44	在“脉宽测定模式”中追加“另外，必须将用于事件计数器窗口控制的数据（定时器 X 模式寄存器（地址 002D ₁₆ ）的 bit5）设定为允许（“0”）”。
		45、46	在“注意事项”中（1）～（6）的标题内追加“有关”；修改（1）、（3）中的部分内容；追加（7）；修改图 28 中的部分内容。
		47	修改图 29 中的部分内容。
		48	修改“（5）实时端口的控制”和“（2）有关定时器 Y 的读写操作”中的部分内容。
		49	修改图 30 中的部分内容。
		50	在“串行 I/O”中追加“（串行 I/O1、串行 I/O2）”。
		52	将“发送缓冲寄存器 / 接受缓冲寄存器”后的“TB/RB”改为“TB1、TB2/RB1、RB2”；将图 35 后的“注意事项”移到图 35 前。
		53	将图 35 中的“串行 I/O1 状态寄存器”改为“串行 I/O 状态寄存器”。
		54	将“AD 控制寄存器”中的“模拟输入选择位”改为“模拟输入引脚选择位”；将“比较器和控制电路”中的“AD 中断请求位”改为“AD 转换中断请求位”；追加部分内容；删除“因为在低速模式中使用内部自振荡电路进行 A/D 转换，所以对 f(X _{IN}) 没有下限频率的限制”。
		55	将图 36 中的“A/D 中断请求”改为“A/D 转换中断请求”；将图 37 中的“模拟输入选择位”改为“模拟输入引脚选择位”。
		56	将“ADKEY 允许”中的“模拟输入选择位”改为“模拟输入引脚选择位”。
		61	修改“LCD 电源电路”中的部分内容；修改图 41 中的部分内容并删除注 3；将图 42 中的“LCD 电源控制寄存器（bit6）”改为“V _{L3} 连接位”、“LCD 电源控制寄存器（bit5）”改为“V _L 引脚输入选择位”、“LCD 电源控制寄存器（bit2、bit1）”改为“分压电阻选择位”、“LCD 电源控制寄存器（bit0）”改为“用于 LCD 电源的分压电阻控制位”、“LCD 模式寄存器（bit2）”改为“偏压控制位（LCD 模式寄存器）”。
		62	修改“注意事项（1）”中的部分内容。
		67	在“ROM 校正功能”中追加“不使用 ROM 校正功能时，ROM 校正用向量可以作为通常的 ROM/RAM 使用。作为通常的 ROM/RAM 使用时，必须将 ROM 校正允许寄存器的 bit1、0 置“0”（禁止使用）”。
		68	将图 50 中的“（总是读出“0”）”改为“（读出时为“0”）”；删除“（不能写“1”）”。
		69	在“看门狗定时器的初始值”内追加“这些位在复位后变为“0””；将“看门狗定时器的运行”中的“STP 指令禁止位”改为“STP 指令功能选择位”；修改“注意事项”中的部分内容。
		70	将图 51 中的“看门狗定时器选择位 2”改为“看门狗定时器计数源选择位 2”；在图 52 的注 2 中追加“在内部振荡器停止系统中，必须选择 fSOURCE 作为计数源”。将注 3 中的“复位解除后”改为“复位后”。
		71	修改图 53 中的部分内容。
		72	在“复位电路”中追加“闪存版”的内容；替换图 56。

Rev.	发行日	修订内容	
		页	修订处
		73	修改图 57 中的部分内容。
		75	修改“时钟发生电路”和“运行模式”中的部分内容。
		76	修改“停止模式”中的部分内容，并追加“闪存版”的内容。
		77	替换图 61。
		78	替换图 62。
		79	将图 63 中的“读的值为“0”写时只写“0””改为“不使用（不能写“1”）”；替换图 64
		80	将表 13 中的“ESDA 输入”改为“ESDA 输入/输出”、其后的“输出”改为“输入/输出”、“1.8 ~ 5.5V”改为“2.7 ~ 5.5V”。
		81	在图 65 中追加“QzROM 版”并修改部分内容。
		82	在图 66 中追加“QzROM 版”。
		83	在图 67 中追加“QzROM 版”。
		84	替换图 68。
		85	替换图 69。
		86 ~ 102	追加“闪存版”的内容。
		103	将“编程的注意事项”改为“使用上的注意事项”，并将其中的“有关端口的注意事项”改为“有关方向寄存器的注意事项”。
		104	将 Rev.1.00 中 P75 的“有关电源电压的注意事项”和“有关 LCD 驱动电源的注意事项”移动到此页，并修改“有关电源电压的注意事项”中的部分内容；追加“有关使用电源引脚的注意事项”。
		105	全面修改“有关 QzROM 版的注意事项”（位置移动）。
		107	追加“有关闪存版的注意事项”和“有关 QzROM 版 / 闪存版不同点的注意事项”。
		110 ~ 124	在每页开始处追加“QzROM 版”。
		110	修改表 20 中的部分内容。
		110 ~ 120	在表 21 ~ 表 28 的条件中追加“ $V_{SS} = 0V$ ”。
		111	删除表 21（1）中有关“ X_{CIN} ”的记述；删除注 4、注 5；修改“ $V_{CC} \leq 2.2V$ ”时的“ V_{IH} ”的最小值。
		112	将表 21（2）中的“ CNV_{SS} ”改为“ $OSCSEL$ ”。
		113	修改表 22（4）的注 2。
		114	将表 23（5）注 4 中的“温度”改为“工作环境温度”。
		115 ~ 116	将表 24（1）和表 24（2）条件中的“ $V_{CC} = 4.0 \sim 5.5V$ ”改为“ $V_{CC} = 1.8 \sim 5.5V$ ”。
		118	修改表 27 和表 27（1）中的部分内容。
		119	修改表 27（2）中的部分内容，并修改注 1。
		121	修改表 29（1）中“ $t_C(X_{IN}) \sim t_{WL}(X_{IN})$ ”的内容。
		122	将表 30（2）中的“ $2.0V \leq V_{CC} \leq 4.0V$ ”改为“ $2.0V \leq V_{CC} < 4.0V$ ”、“ $V_{CC} \leq 2.0V$ ”改为“ $V_{CC} < 2.0V$ ”。
		124	删除图 95 中“ X_{CIN} ”的时序图。
		125 ~ 138	追加“闪存版”的内容。
		139	在“封装尺寸图”内追加“关于封装尺寸图的最新版和安装信息，请参照刊登在瑞萨主页的“封装””。
		140 ~ 156	追加“附录”。

所有商标及注册商标分别归属于其所有者

Notes:

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guaranties regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
 - (1) artificial life support devices or systems
 - (2) surgical implantations
 - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
 - (4) any other purposes that pose a direct threat to human lifeRenesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

株式会社 瑞萨科技

下面所记中文只作为参考译文，英文具有正式效力。

请遵循安全第一进行电路设计:

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并非意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页 (<http://www.renesas.com>) 等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而致使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负担任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统(如各种安全装置或者运输通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等)而设计和制造的,特别是对于品质和可靠性要求极高的机器和系统等(将本公司指定用于汽车方面的产品用于汽车时除外)。如果要用于上述的目的,请务必事先向本公司的营业窗口咨询。另外,对于用于上述目的而造成的损失等,本公司概不负责。
8. 除上述第7项内容外,不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失,本公司概不负责。
 - 1) 生命维持装置。
 - 2) 生命维持装置。
 - 3) 用于治疗(切除患部、给药等)的装置。
 - 4) 其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时,对于最大额定值、工作电源电压的范围、散热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时,对于由此而造成的故障和出现的事故,本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性,但一般来说,半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司的产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失,希望客户能自行负责进行冗余设计、采取延缓对策及进行防止错误运行等的安全设计(包括硬件和软件两方面的设计)以及老化处理等,这是作为机器和系统的出厂保证。特别是单片机的软件,由于单独进行验证很困难,所以要求在顾客制造的最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下,有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时,请顾客自行负责将本公司产品设置为不容易剥离的安全设计。如果从顾客的设备上剥离而造成事故时,本公司将不承担任何责任。
12. 在未得到本公司的事先书面认可时,不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容,或者有其他关心的问题,请向本公司的营业窗口咨询。



RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

Renesas Technology America, Inc.

450 Holger Way, San Jose, CA 95134-1368, U.S.A
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology (Shanghai) Co., Ltd.

Unit 204, 205, AZIACenter, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7858/7898

Renesas Technology Hong Kong Ltd.

7th Floor, North Tower, World Finance Centre, Harbour City, Canton Road, Tsimshatsui, Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2377-3473

Renesas Technology Taiwan Co., Ltd.

10th Floor, No.99, Fushing North Road, Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 3518-3399

Renesas Technology Singapore Pte. Ltd.

1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

Renesas Technology Korea Co., Ltd.

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

Renesas Technology Malaysia Sdn. Bhd

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: <603> 7955-9390, Fax: <603> 7955-9510