

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

三菱マイクロコンピュータ 38C8グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

概要

38C8グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。LCD駆動制御回路(バイアス制御、時分割制御)、A-D変換器、シリアルI/Oなどの付加機能を備えています。

38C8グループには内蔵するメモリの種類の異なる複数の品種があります。詳細については形名とメモリサイズ・パッケージの項を参照してください。

特長

基本機械語命令	71
命令実行時間	0.5 μ s
(最短命令、発振周波数8MHz時)	
メモリ容量 ROM	60Kバイト
RAM	2048バイト
プログラマブル入出力ポート	35本
ソフトウエアブルアップ抵抗内蔵	ポートP0 ~ P3, P4 ₁ ~ P4 ₇
割り込み	14要因、14ベクタ
(キー入力割り込みを含む)	
タイマ	8ビット×3、16ビット×2
シリアルI/O	8ビット×1
(UART又はクロック同期形)	

A-D変換器(32kHz動作時使用可)	10ビット×8チャンネル	
LCD駆動制御回路	バイアス	1/5、1/7バイアス
	時分割	16、32時分割
	コモン出力	16/32本
	セグメント出力	52/68本
メインクロック発生回路(RC発振選択可)	1回路内蔵	
(セラミック共振子又は抵抗外付け)		
サブクロック発生回路	1回路内蔵	
(水晶発振子外付け)		
電源電圧 高速モード時	4.0 ~ 5.5V	
中速モード時	2.2 ~ 5.5V	
低速モード時	2.2 ~ 5.5V	
消費電力 高速モード時	30mW	
(発振周波数8MHz、電源電圧5V時)		
低速モード	60 μ W	
(発振周波数32kHz、電源電圧3V、WIT時 昇圧回路動作、LCD駆動波形生成状態)		
動作周囲温度	- 20 ~ 85	

応用

ドットマトリックスLCD表示機器

三菱マイクロコンピュータ 38C8グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

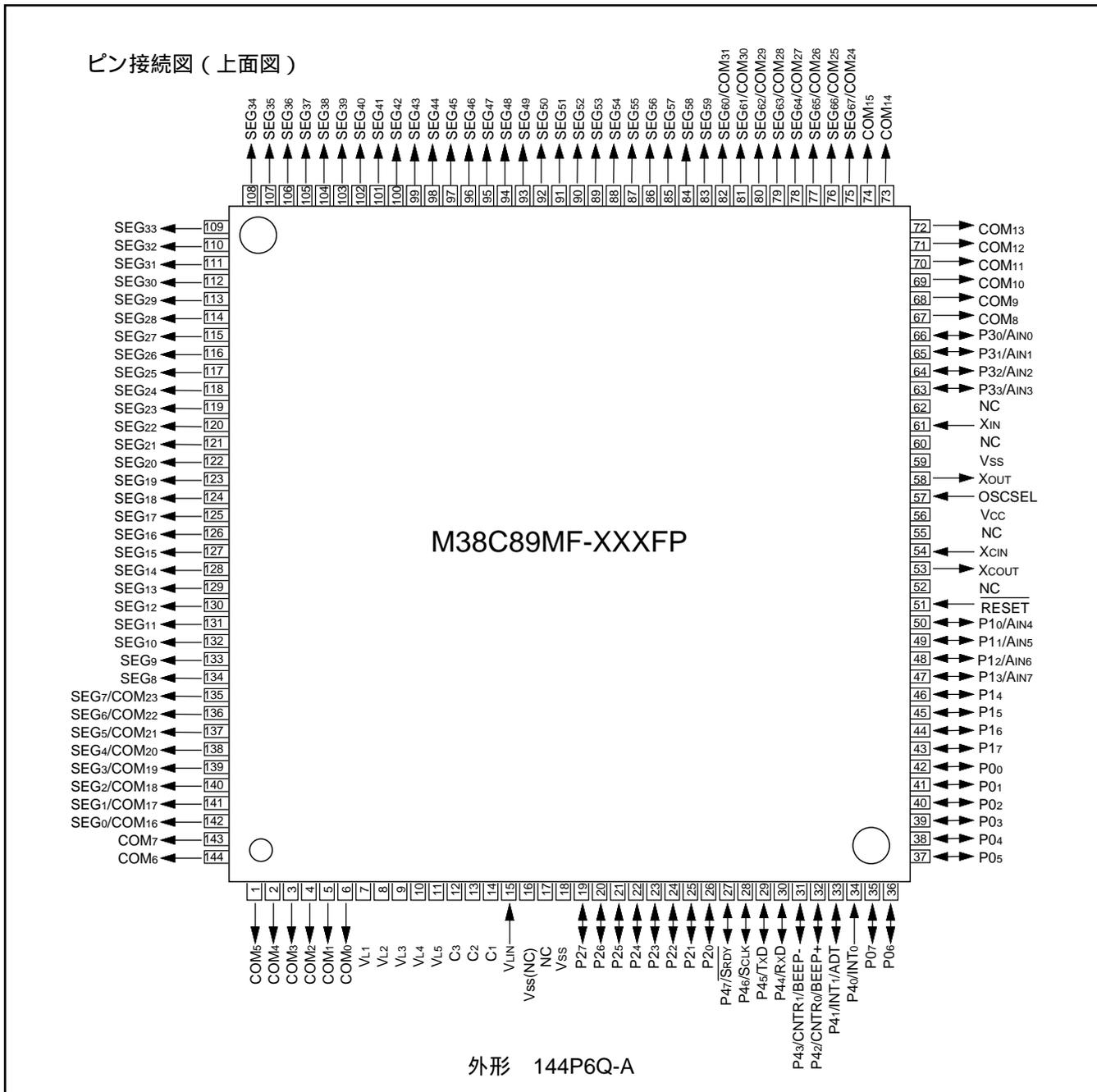
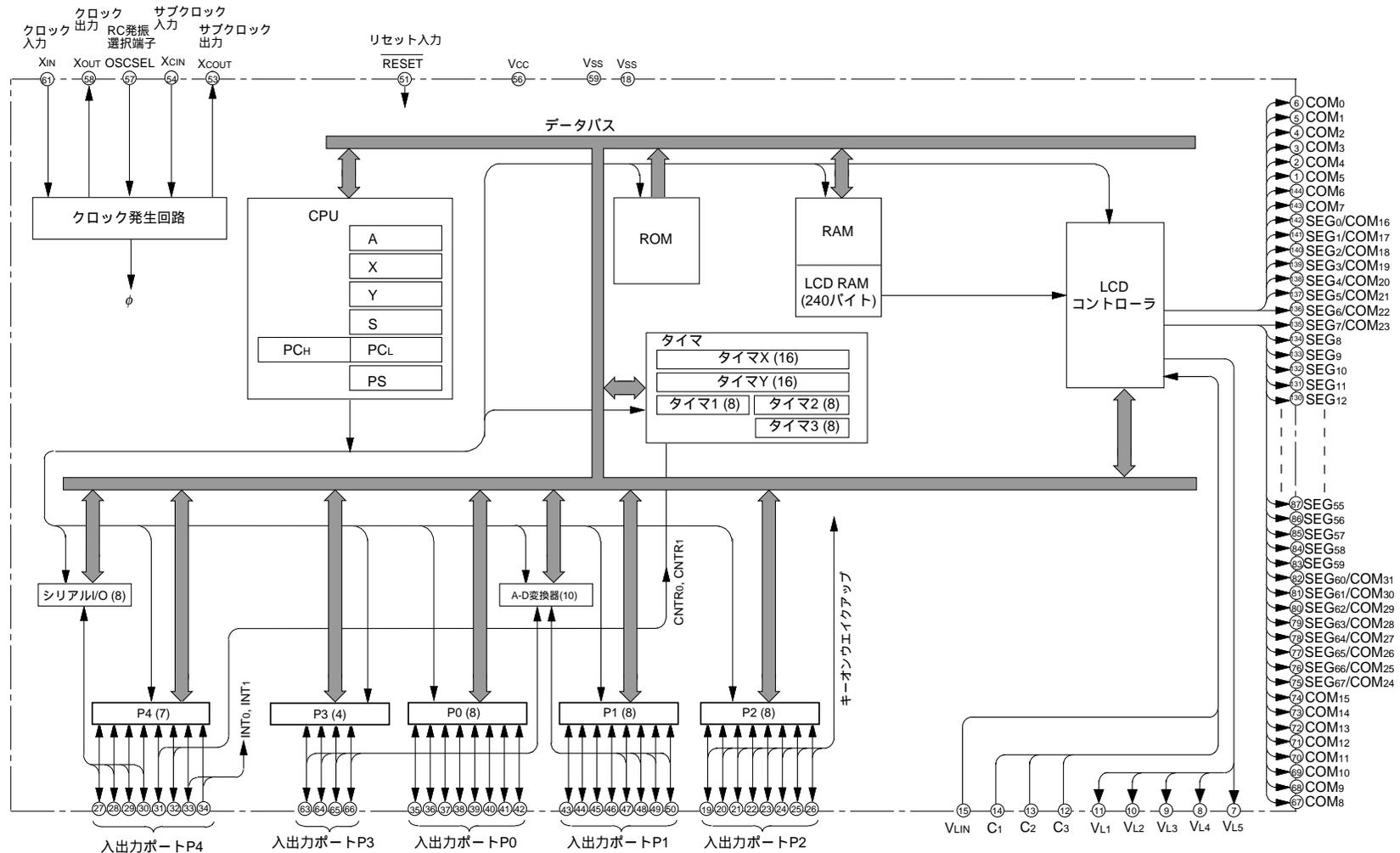


図1 . M38C89MF-XXXFPピン接続図

機能ブロック図 (ピン番号は144P6Q-Aパッケージタイプ)



三菱マイクロコンピュータ 38C8グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

端子の機能説明

表1. 端子の機能説明

端子名	名称	機能	ポート以外の機能
VCC, VSS	電源入力	VCCに4.0～5.5V、VSSに0Vを印加します。(高速モード時)	
RESET	リセット入力	アクティブ L のリセット入力端子です。	
XIN	クロック入力	メインクロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時はクロック発振源をXINに接続し、XOUTは開放にします。帰還抵抗内蔵です。	
XOUT	クロック出力		
OSCSEL	RC発振選択端子	XIN、XOUT間を発振子による発振か、抵抗による発振かを選択します。	
XCIN	サブクロック入力	サブクロック発生回路の入出力端子です。(XCINとXCOUTの間に水晶共振子を接続します。外部で生成したクロックを直接入力することはできません。)	
XCOUT	サブクロック出力		
VLIN	LCD用電源入力	LCD用基準電圧の入力端子です。この端子への入力電圧を昇圧回路で3倍に昇圧します。	
VL1～VL5	LCD電源	LCD駆動用電源端子です。	
COM0～COM15	コモン出力	LCDコモン出力端子です。	
SEG0/COM16 ～SEG7/COM23, SEG60/COM31 ～SEG67/COM24	セグメント出力 / コモン出力	LCDセグメント/コモン出力端子です。	
SEG8～SEG59	セグメント出力	LCDセグメント出力端子です。	
P00～P07	入出力ポートP0	8ビット入出力ポートです。 CMOS入力レベルで、出力形式はCMOS3ステートです。	A-D変換器アナログ入力
P14～P17	入出力ポートP1		キーオンウエイクアップ 割り込み入力端子
P10/AIN4 ～P13/AIN7			
P20～P27	入出力ポートP2		
P30/AIN0 ～P33/AIN3	入出力ポートP3	4ビット入出力ポートです。 CMOS入力レベルで、出力形式はCMOS3ステートです。	A-D変換器アナログ入力
P40/INT0	入力ポートP4	1ビットのCMOSレベル入力ポートです。	外部割り込み端子
P41/INT1/ADT	入出力ポートP4	7ビット入出力ポートです。 CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位の入出力指定可能です。	外部割り込み端子 A-Dトリガ入力端子
P42/CNTR0/ BEEP+, P43/CNTR1/ BEEP-			タイマ機能入出力端子
P44/RxD, P45/TxD, P46/SCLK, P47/SRDY			シリアルI/Oの入出力端子
C1, C2, C3,	昇圧回路端子	LCD用電源昇圧回路のコンテナ接続端子です。	
VSS(NC), NC		無機能端子です。VSS(NC)は、開放にしてください。	

三菱マイクロコンピュータ 38C8グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

形名とメモリサイズ・パッケージ

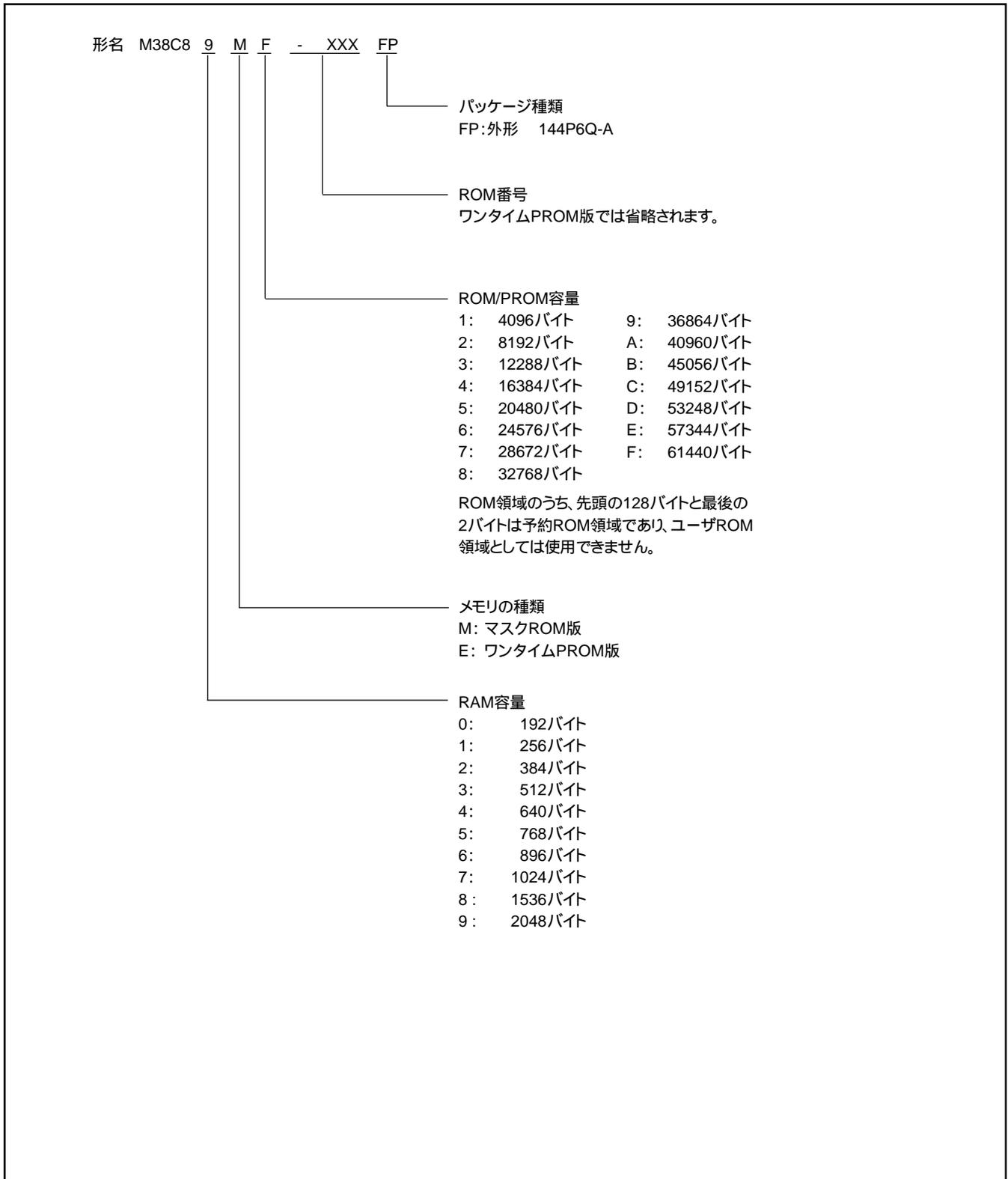


図3 . 形名とメモリサイズ・パッケージ

三菱マイクロコンピュータ 38C8グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

グループ展開

38C8グループは次のような展開を計画しています。

パッケージ

144P6Q-A..... 0.5mmピッチプラスチックモールドQFP

メモリの種類

マスクROM版、ワンタイムPROM版のサポート

メモリ容量

ROM/PROM容量 60Kバイト

RAM容量 2048バイト

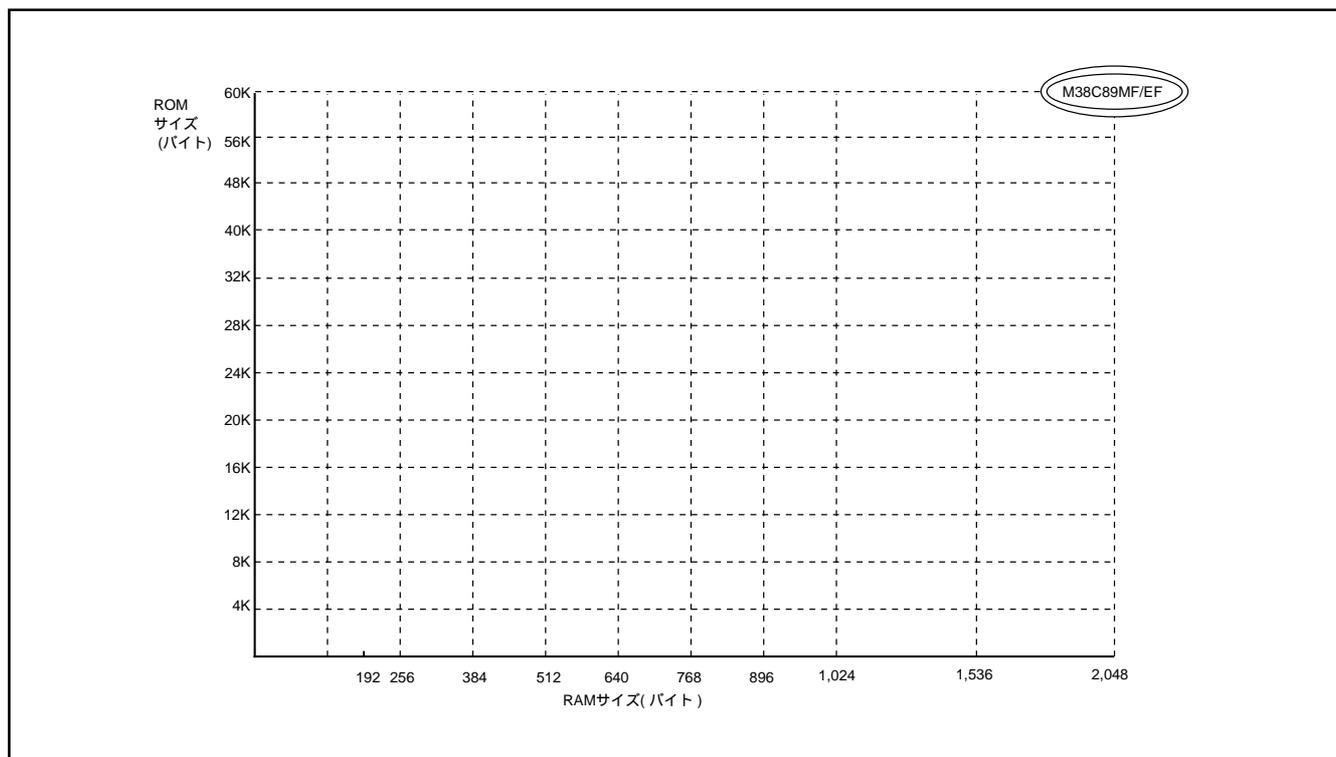


図4 . 38C8グループ ROM、RAM展開計画

製品一覧を表2に示します。

表2 . 製品一覧

製品形名	(P)ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M38C89MF-XXXFP	61440(61310)	2048	144P6Q-A	マスクROM版
M38C89EFFP	61440(61310)	2048	144P6Q-A	ワンタイムPROM版

機能ブロック動作説明

中央演算処理装置 (CPU)

38C8グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレスモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図5にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

スタックへの退避及び復帰動作を図6に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表3参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

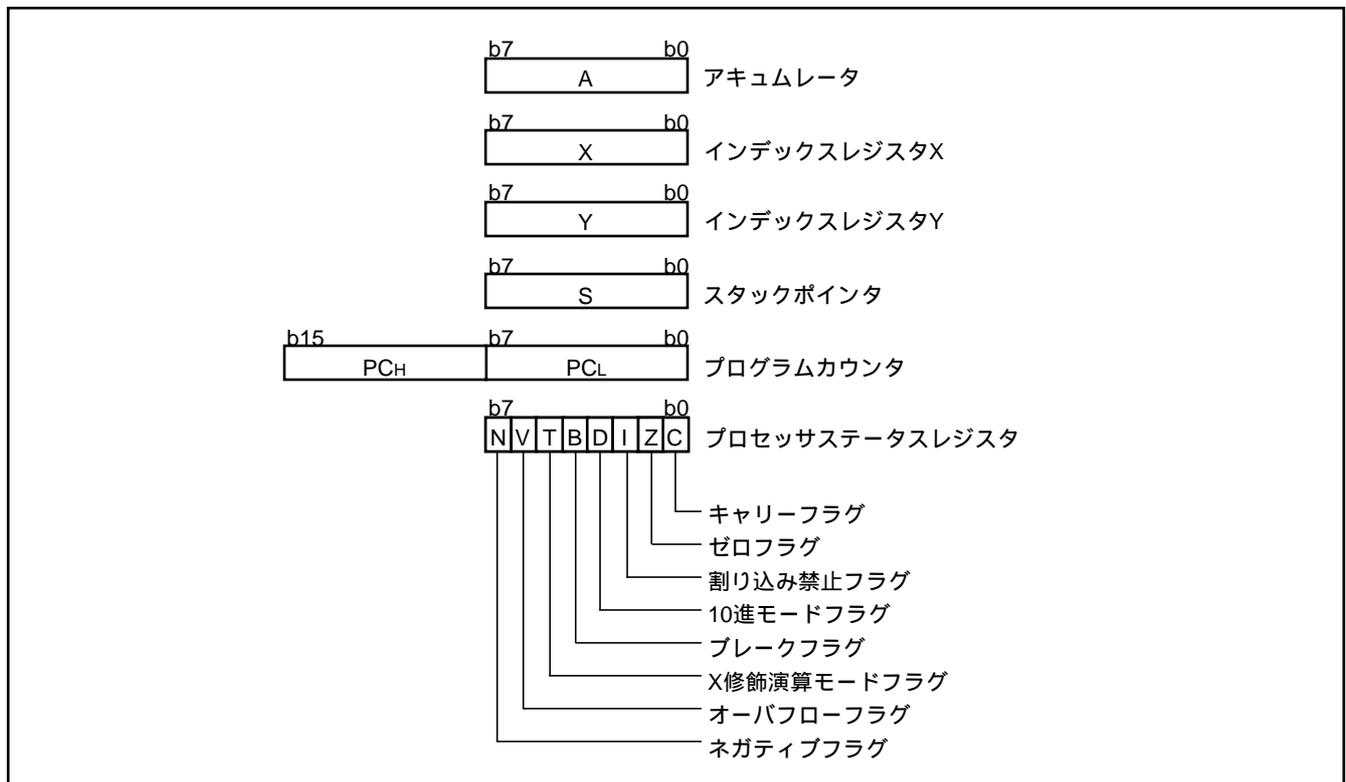


図5. 740ファミリ CPUの構成

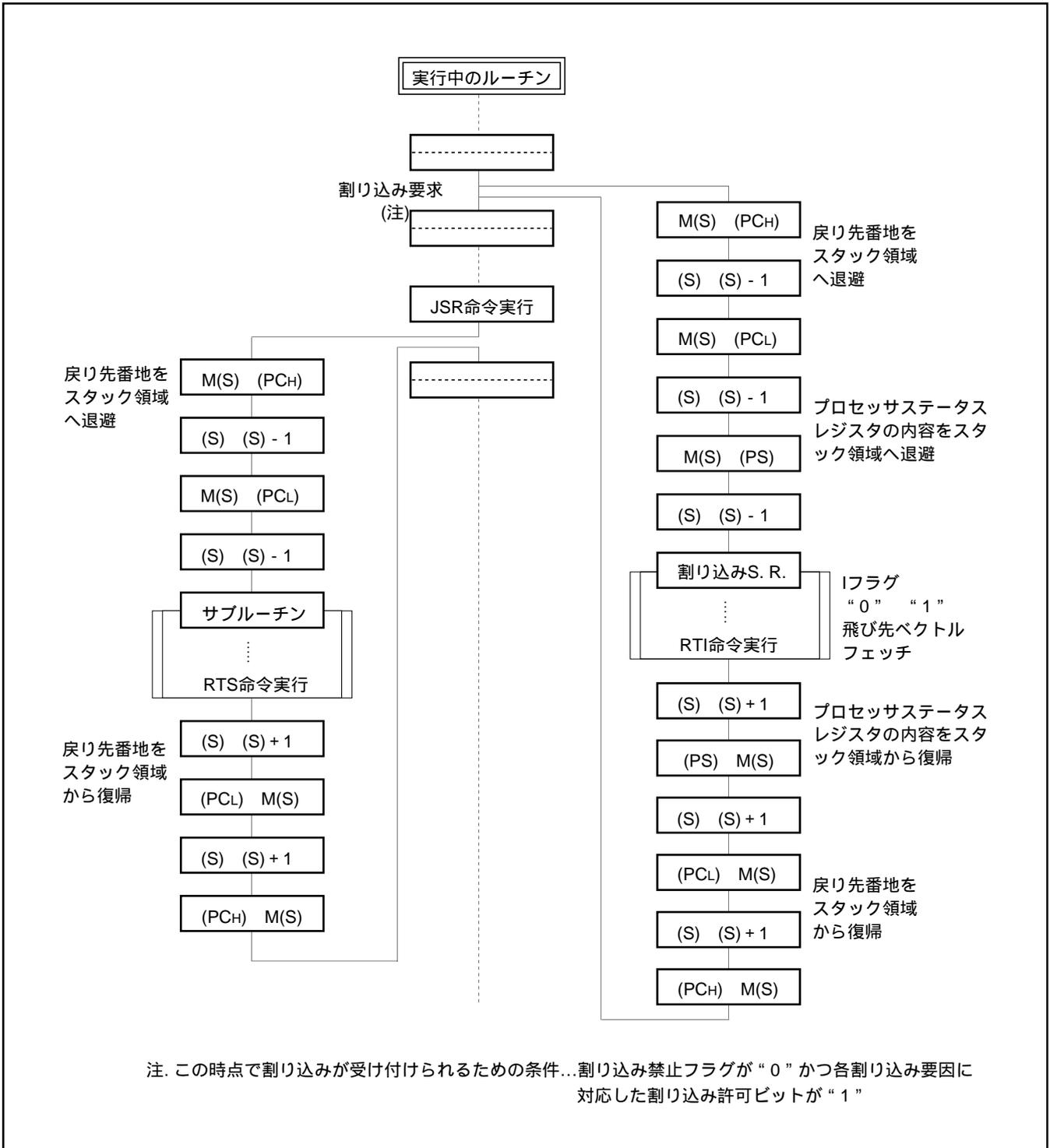


図6. スタックへの退避及び復帰動作

表3. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又はボローを保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに回避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4. プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページの選択ビットや内部システムクロックの制御ビットなどが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

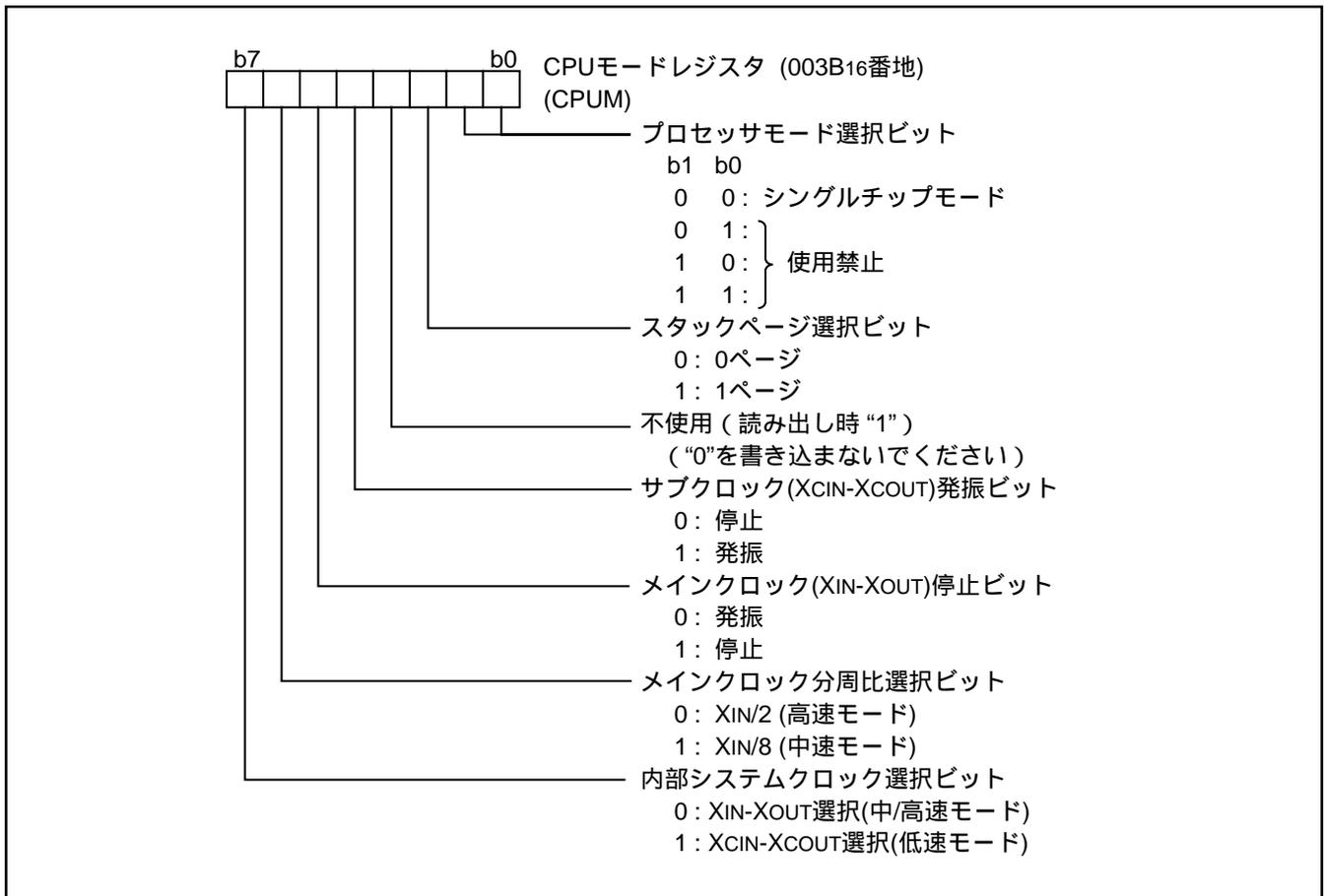


図7 . CPUモードレジスタの構成

三菱マイクロコンピュータ 38C8グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

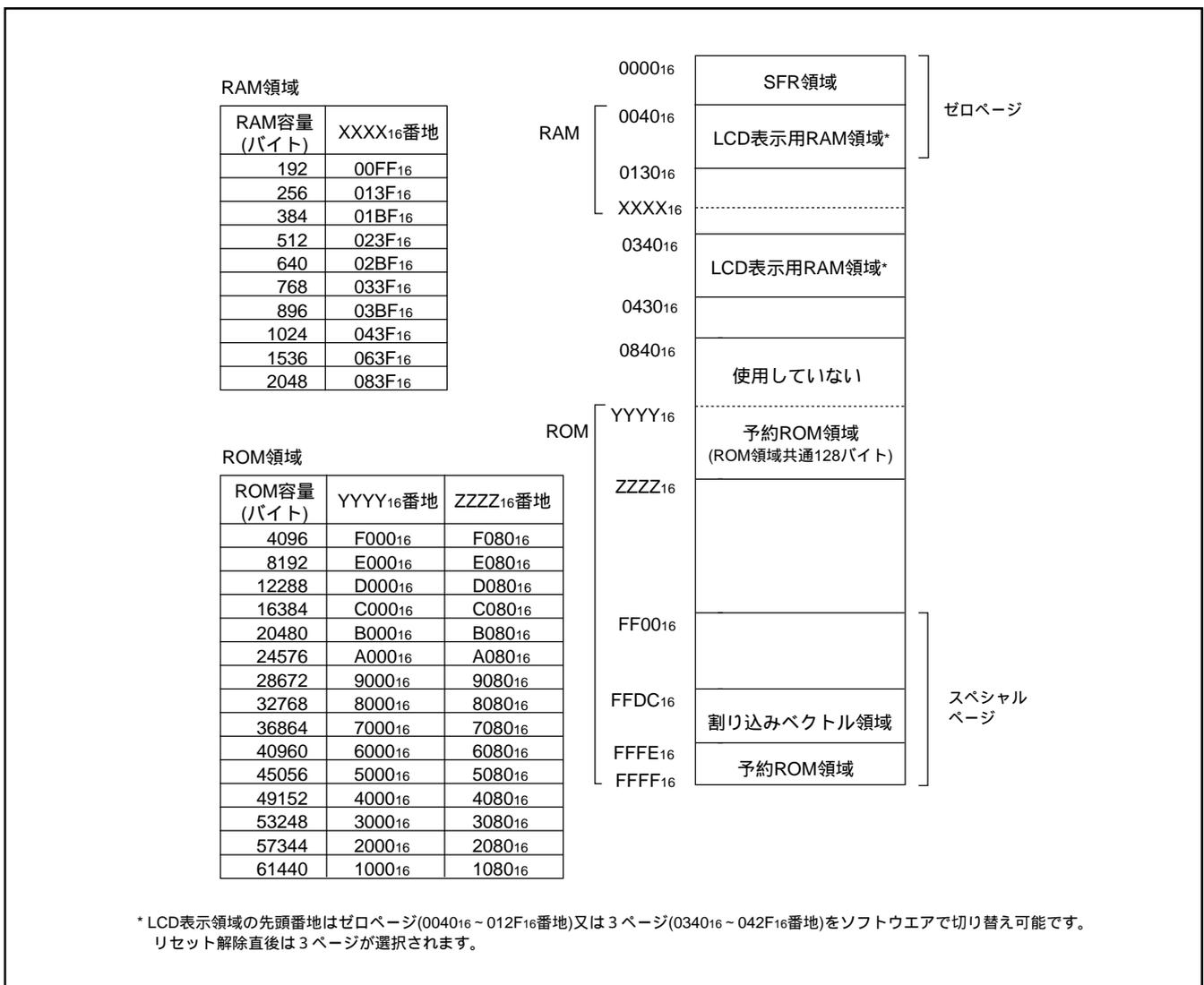


図8. メモリ配置図

三菱マイクロコンピュータ 38C8グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

0000 ₁₆	ポートP0 (P0)	0020 ₁₆	タイマX (下位) (TXL)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	タイマX (上位) (TXH)
0002 ₁₆	ポートP1 (P1)	0022 ₁₆	タイマY (下位) (TYL)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマY (上位) (TYH)
0004 ₁₆	ポートP2 (P2)	0024 ₁₆	タイマ1 (T1)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	タイマ2 (T2)
0006 ₁₆	ポートP3 (P3)	0026 ₁₆	タイマ3 (T3)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	タイマXモードレジスタ (TXM)
0008 ₁₆	ポートP4 (P4)	0028 ₁₆	タイマYモードレジスタ (TYM)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	タイマ123モードレジスタ (T123M)
000A ₁₆		002A ₁₆	
000B ₁₆		002B ₁₆	
000C ₁₆		002C ₁₆	
000D ₁₆		002D ₁₆	
000E ₁₆		002E ₁₆	
000F ₁₆		002F ₁₆	
0010 ₁₆		0030 ₁₆	
0011 ₁₆		0031 ₁₆	A-D制御レジスタ(ADCON)
0012 ₁₆		0032 ₁₆	A-D変換レジスタ (下位) (ADL)
0013 ₁₆		0033 ₁₆	A-D変換レジスタ (上位) (ADH)
0014 ₁₆		0034 ₁₆	
0015 ₁₆		0035 ₁₆	
0016 ₁₆	PULLレジスタA(PULLA)	0036 ₁₆	
0017 ₁₆	PULLレジスタB(PULLB)	0037 ₁₆	LCD制御レジスタ1(LC1)
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	LCD制御レジスタ2(LC2)
0019 ₁₆	シリアルI/Oステータスレジスタ(SIOSTS)	0039 ₁₆	LCDモードレジスタ(LM)
001A ₁₆	シリアルI/O制御レジスタ(SIOCON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ポーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1 (IREQ1)
001D ₁₆		003D ₁₆	割り込み要求レジスタ2 (IREQ2)
001E ₁₆		003E ₁₆	割り込み制御レジスタ1 (ICON1)
001F ₁₆		003F ₁₆	割り込み制御レジスタ2 (ICON2)

図9 . SFR (スペシャルファンクションレジスタ)メモリマップ

入出力ポート

方向レジスタ

入出力ポートP0～P3、P41～P47は方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するか、ビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

プルアップ制御

ポートP0～P4(P40を除く)はPULLレジスタA(0016₁₆番地)及びPULLレジスタB(0017₁₆番地)を設定することにより、プログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離されプルアップは行われません。

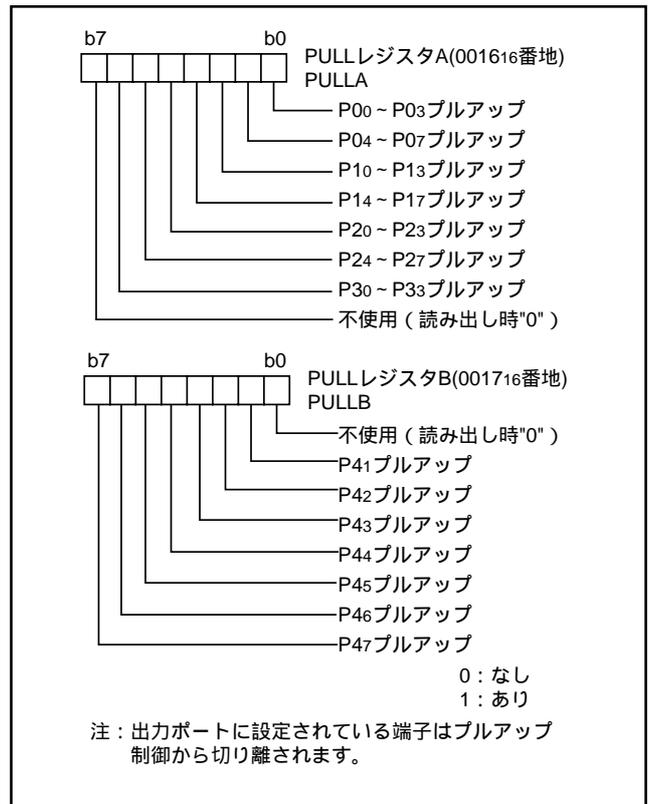


図10 . PULLレジスタA、PULLレジスタBの構成

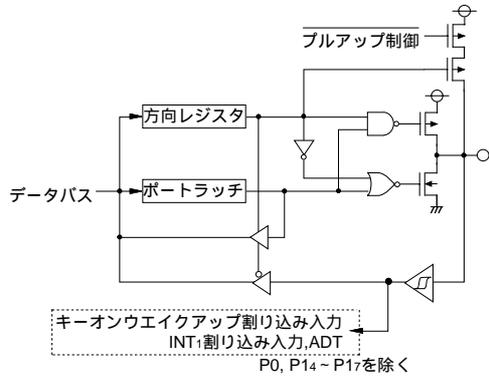
三菱マイクロコンピュータ 38C8グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

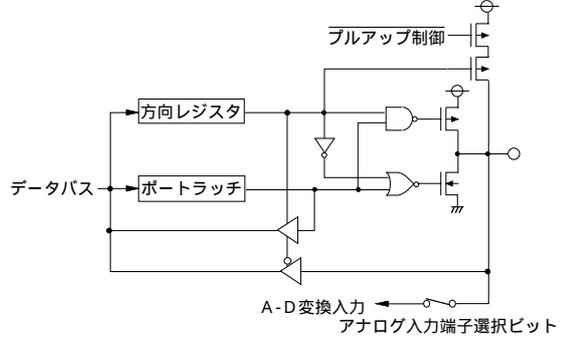
表5. 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番	
P00 ~ P07	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力		PULLレジスタA	(1)	
P10/AIN4 ~ P13/AIN7	ポートP1			A-D変換入力	PULLレジスタA A-D制御レジスタ	(2)	
P14 ~ P17					PULLレジスタA	(1)	
P20 ~ P27	ポートP2	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	キー入力(キーオンウエイク アップ)割り込み入力	PULLレジスタA 割り込み制御レジスタ2	(1)	
P30/AIN0 ~ P33/AIN3	ポートP3	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	A-D変換入力	PULLレジスタA A-D制御レジスタ	(2)	
P40/INT0	ポートP4	入力	CMOS入力レベル	外部割り込み入力	PULLレジスタB 割り込みエッジ選択 レジスタ	(3)	
P41/INT1/ADT		入出力 ビット単位	CMOS入力レベル CMOS3ステート出力			(1)	
P42/ CNTR0/BEEP+				タイマX機能入出力	PULLレジスタB タイマXモードレジスタ	(4)	
P43/ CNTR1/BEEP-				タイマY機能入出力	PULLレジスタB タイマYモードレジスタ	(5)	
P44/RxD, P45/TxD, P46/SCLK, P47/SRDY				シリアルI/O機能入出力	PULLレジスタB シリアルI/O制御 レジスタ シリアルI/O ステータスレジスタ UART制御レジスタ	(6) (7) (8) (9)	
COM0 ~ COM7, COM8 ~ COM15		コモン	出力	LCDコモン出力		LCDモードレジスタ	
SEG0/COM16 ~ SEG7/COM23, SEG60/COM31 ~ SEG67/COM24		セグメント /コモン		LCDセグメント出力 LCDコモン出力			
SEG8 ~ SEG59		セグメント		LCDセグメント出力			

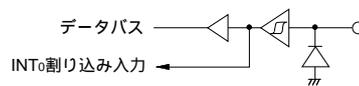
(1)ポートP0,P14~P17,P2,P41



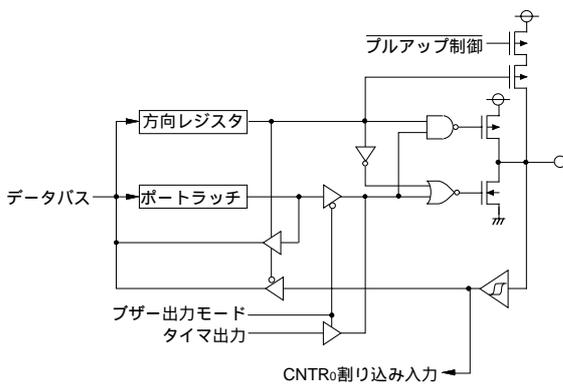
(2)ポートP10~P13,P3



(3)ポートP40



(4)ポートP42



(5)ポートP43

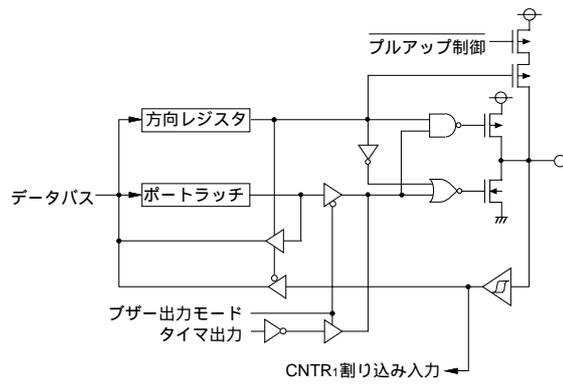


図11. ポートのブロック図(1)

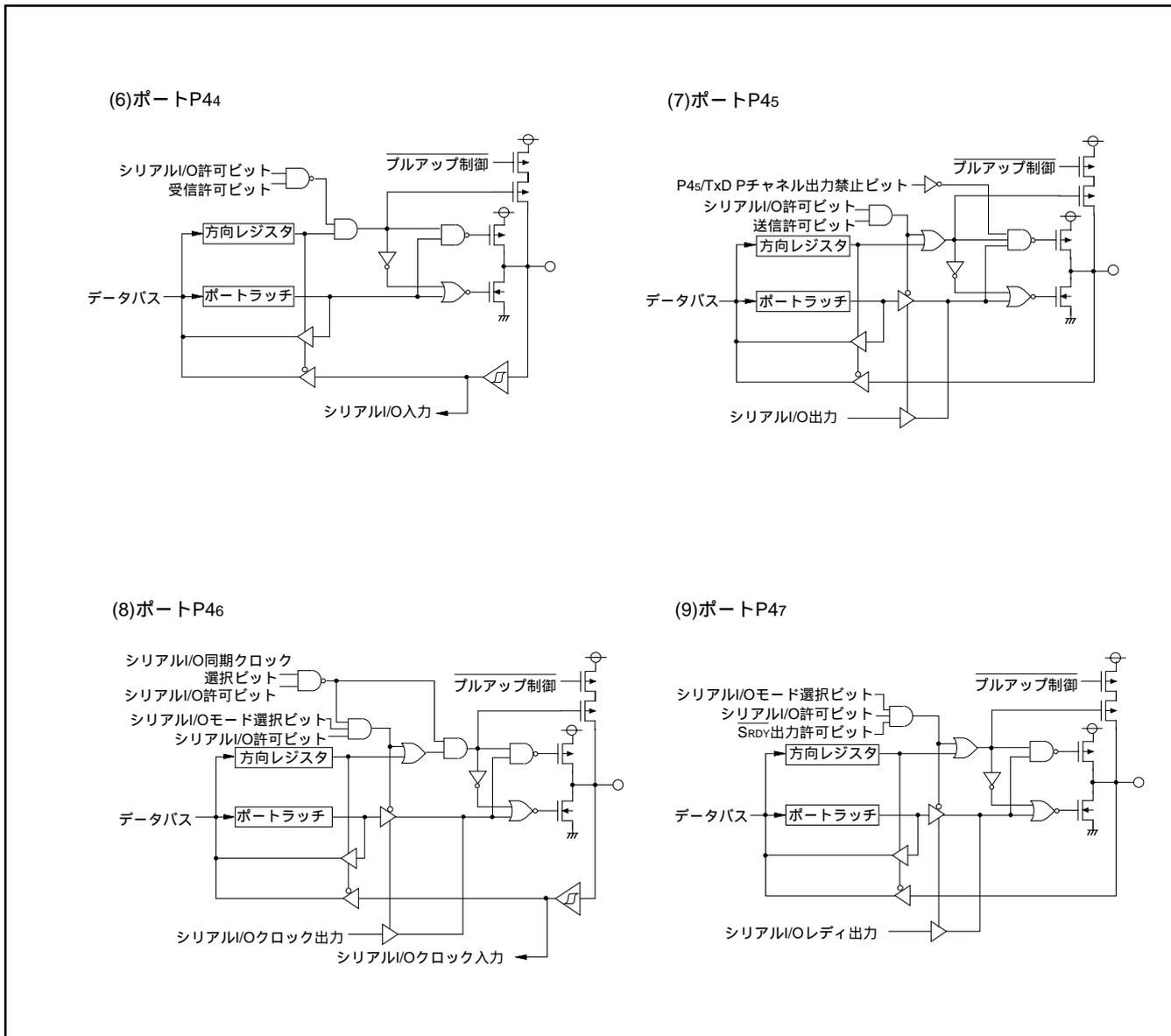


図12. ポートのブロック図(2)

三菱マイクロコンピュータ 38C8グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

割り込み

割り込みはベクトル割り込みで、外部5要因、内部8要因、ソフトウェア1要因の14要因から発生することが可能です。

割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”で、かつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビット

がクリアされます。

3. 割り込み飛び先番地がプログラムカウンタに入ります。

注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込みのアクティブエッジを設定する際
対象レジスタ：割り込みエッジ選択レジスタ(3A₁₆番地)
タイマXモードレジスタ(27₁₆番地)
タイマYモードレジスタ(28₁₆番地)
- ・同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
対象レジスタ：A-D制御レジスタ(0031₁₆番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

該当する割り込み許可ビットを“0”(禁止)にする。

割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因選択ビットを設定する。

一命令以上おいてから、該当する割り込み要求ビットを“0”にする。

該当する割り込み許可ビットを“1”(許可)にする。

表6. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスカブル
INT ₀	2	FFFB ₁₆	FFFA ₁₆	INT ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT ₁	3	FFF9 ₁₆	FFF8 ₁₆	INT ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
シリアルI/O受信	4	FFF7 ₁₆	FFF6 ₁₆	シリアルI/Oデータ受信終了時	シリアルI/O選択時のみ有効
シリアルI/O送信	5	FFF5 ₁₆	FFF4 ₁₆	シリアルI/O送信シフト終了時又は送信バッファ空時	シリアルI/O選択時のみ有効
タイマX	6	FFF3 ₁₆	FFF2 ₁₆	タイマXアンダフロー時	
タイマY	7	FFF1 ₁₆	FFF0 ₁₆	タイマYアンダフロー時	
タイマ2	8	FFEF ₁₆	FFEE ₁₆	タイマ2アンダフロー時	
タイマ3	9	FFED ₁₆	FFEC ₁₆	タイマ3アンダフロー時	
CNTR ₀	10	FFEB ₁₆	FFEA ₁₆	CNTR ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
CNTR ₁	11	FFE9 ₁₆	FFE8 ₁₆	CNTR ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
タイマ1	12	FFE7 ₁₆	FFE6 ₁₆	タイマ1アンダフロー時	
キー入力(キーオンウエイクアップ)	13	FFE1 ₁₆	FFE0 ₁₆	ポートP2(入力時)入力レベルの論理積の立ち下がり時	外部割り込み(立ち下がり有効)
A-D変換	14	FFDF ₁₆	FFDE ₁₆	A-D変換終了時	A-D割り込み選択時有効
BRK命令	15	FFDD ₁₆	FFDC ₁₆	BRK命令実行時	ノンマスカブルソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

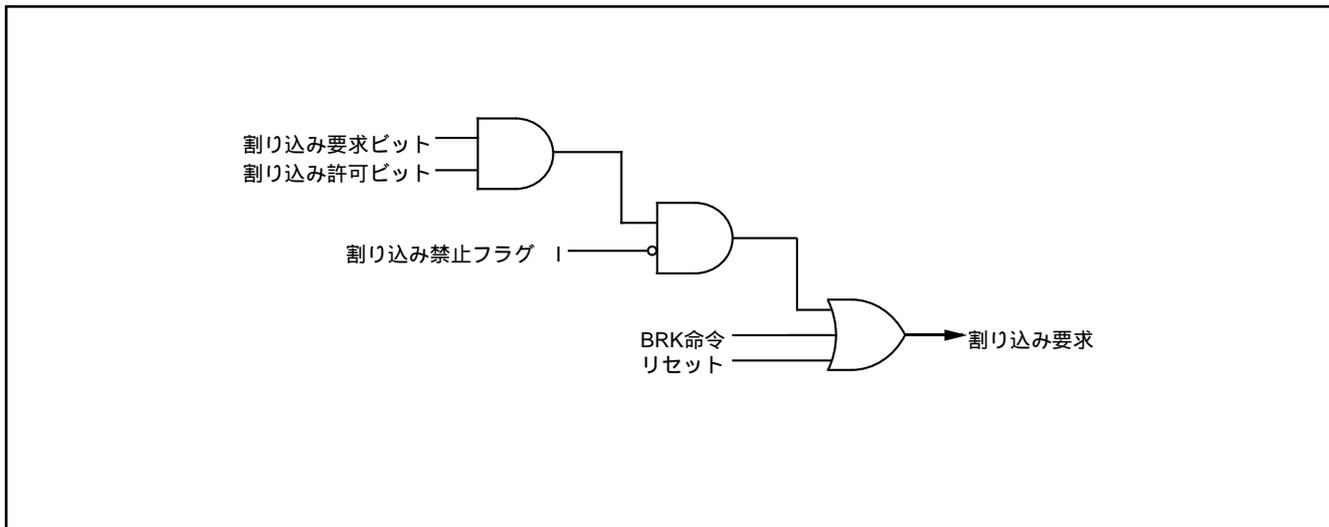


図13. 割り込み制御図

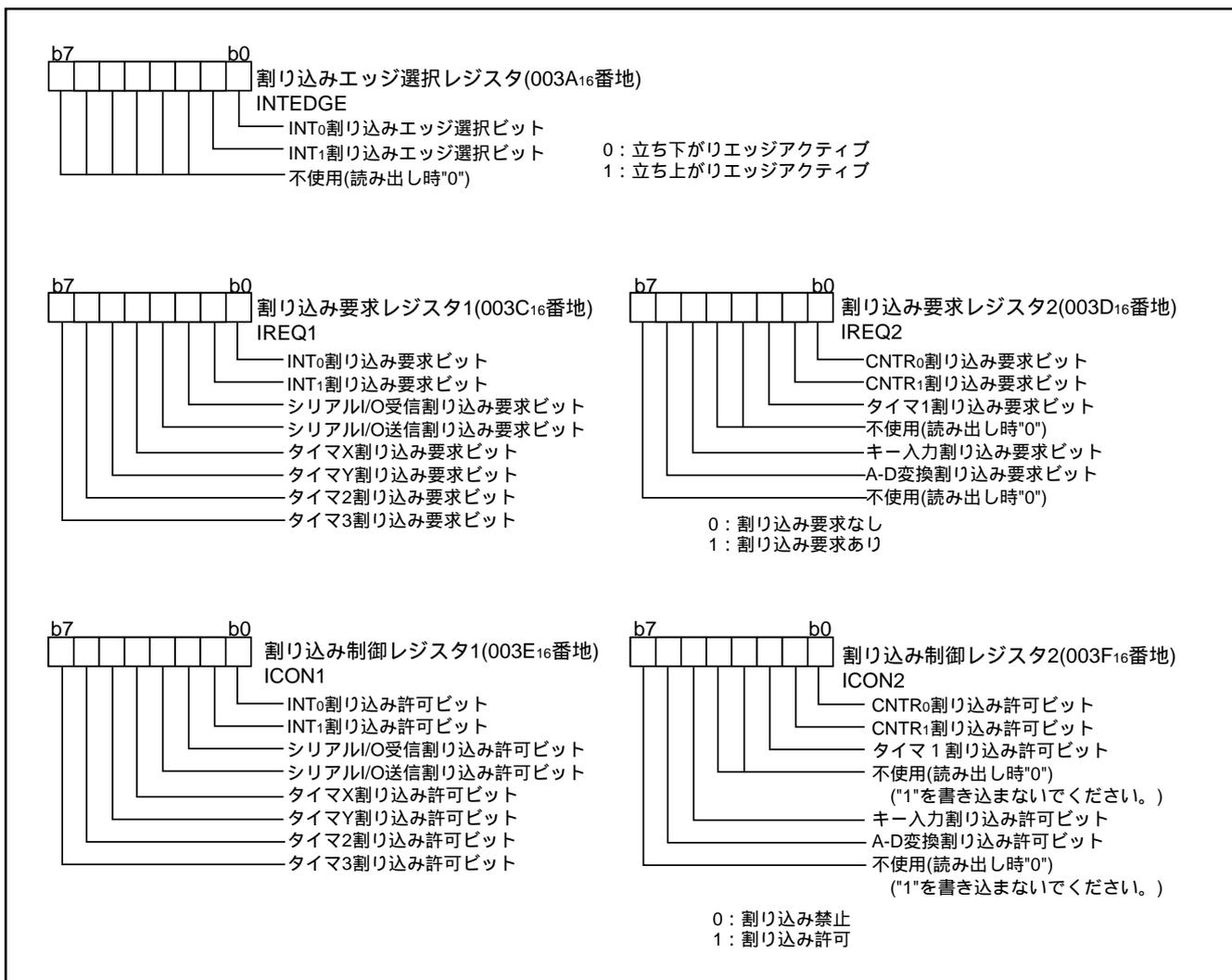


図14. 割り込み関係レジスタの構成

キー入力割り込み(キーオンウエイクアップ)

キー入力割り込みは、ポートP2のうち入力に設定されている端子のいずれかに立ち下がりエッジが検出されると、すなわち入力レベルの論理積が“1”から“0”になると、キー入力割

り込み要求が発生します。図15はキー入力割り込みを用いた一例です。ポートP20～P23を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込み要求が発生します。

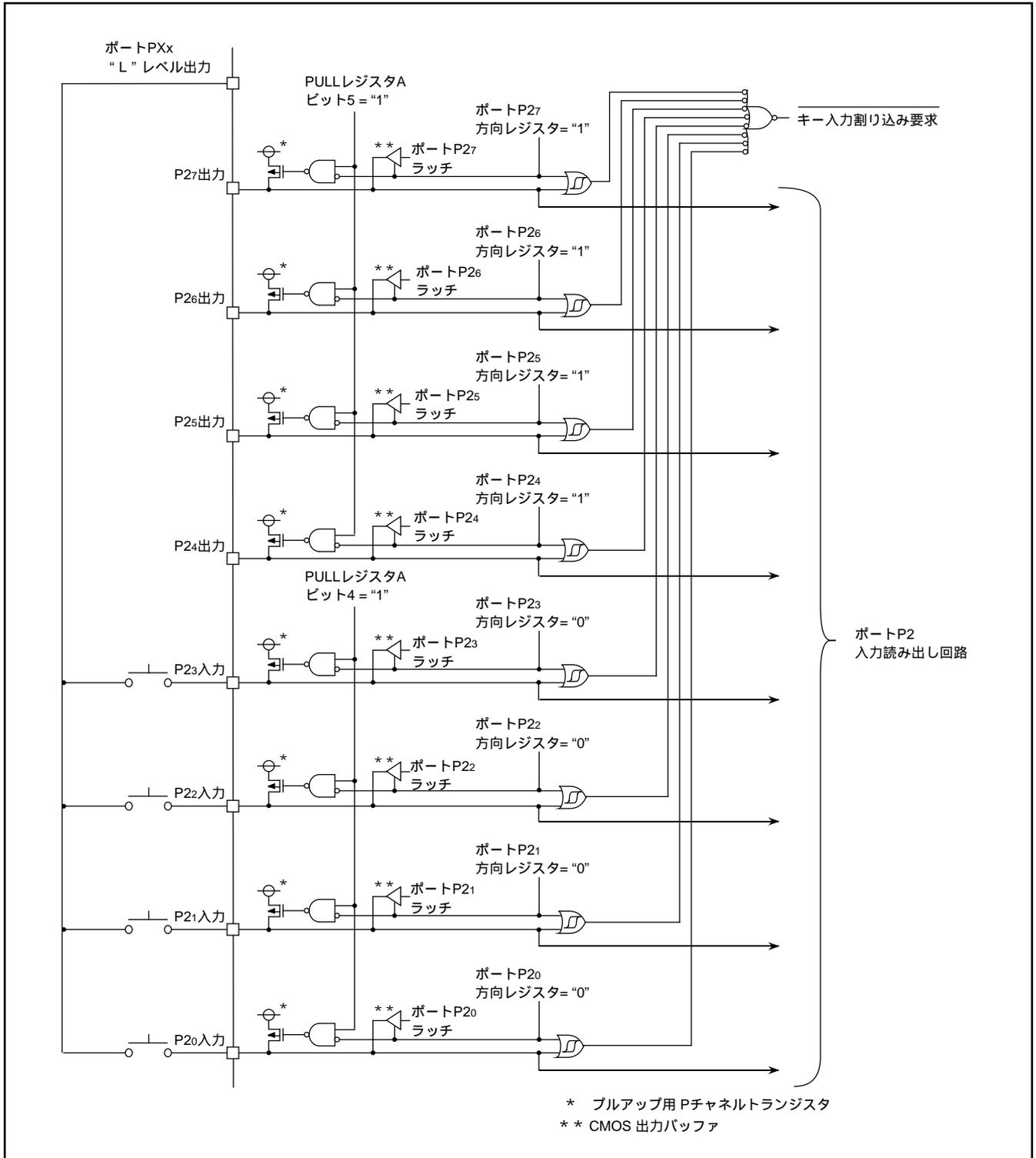


図15 . キー入力割り込み使用時の結線例とポートP2のブロック図

タイマ

タイマはタイマX、タイマYの16ビットタイマ2本と、タイマ1、タイマ2、タイマ3の8ビットタイマ3本があります。

タイマはすべてカウントダウン方式で、タイマの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

16ビットタイマに読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。16ビットタイマの値を読み出す場合は上位バイト、下位バイトの順に読み出し、値を書き込む場合は下位バイト、上位バイトの順に書き込んでください。なお、16ビットタイマは、書き込み操作中に読み出ししたり、読み出し操作中に書き込みを行うと正常な動作を行いません。

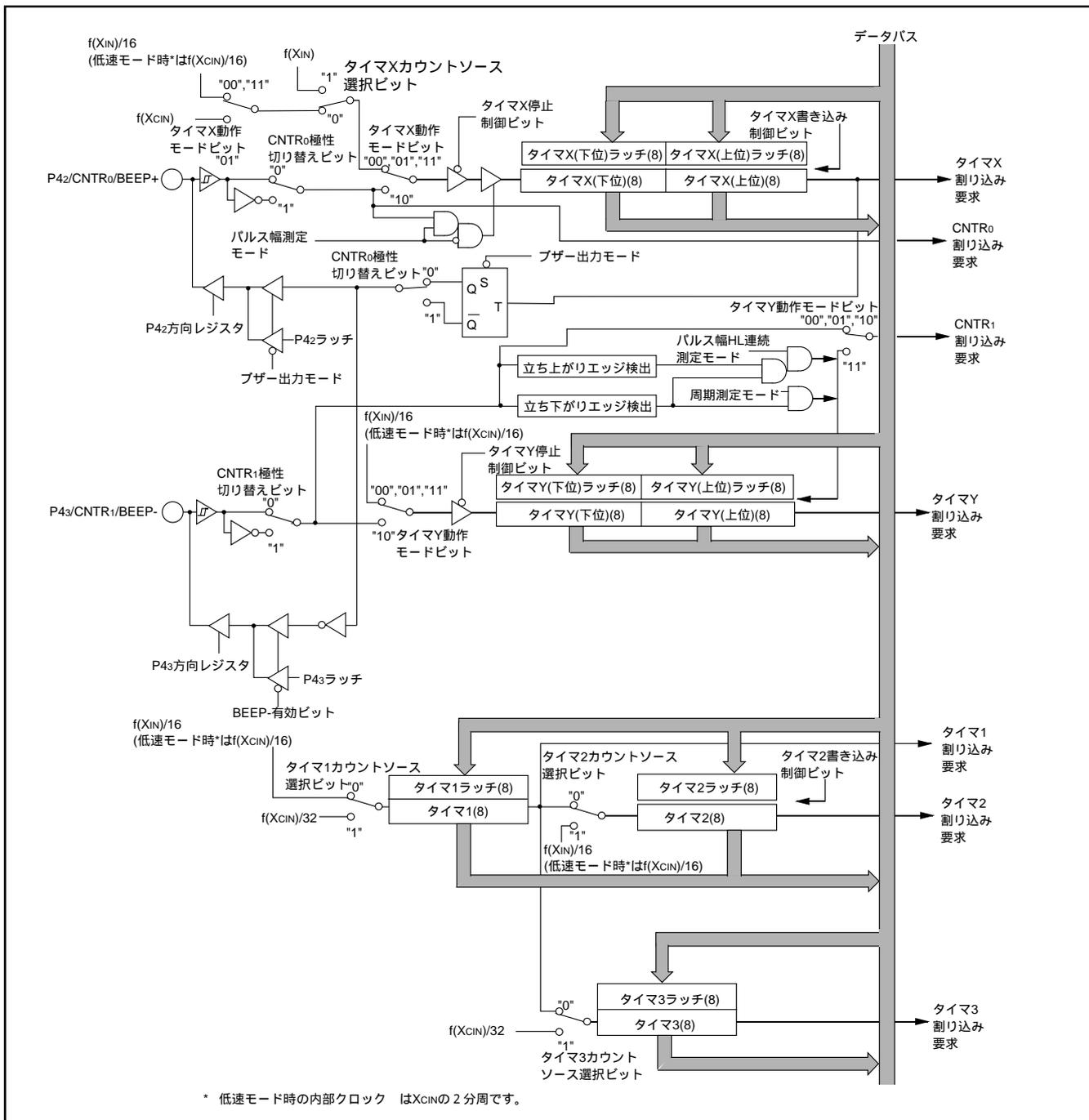


図16. タイマのブロック図

タイマX

タイマXは16ビットタイマで、タイマXモードレジスタにより4つの動作モードの選択と、タイマX書き込み制御ができます。

(1) タイマモード

タイマXカウントソース選択ビットが“0”の場合は、 $f(XIN)/16$ (低速モード時は $f(XCIN)/16$)を、“1”の場合は $f(XIN)$ をカウントします。

(2) ブザー出力モード

カウントソースはタイマXカウントソース選択ビットが“0”の場合は $f(XCIN)$ 、“1”の場合は $f(XIN)$ です。

タイマがアンダフローする毎に極性の反転するパルスをBEEP+端子から出力します。BEEP-有効ビットを“1”にすると、BEEP+の逆相信号をBEEP-端子から出力します。BEEP+、BEEP-を使用する場合、これらの端子と共用のポートを出力に設定してください。

(3) イベントカウンタモード

CNTR0端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではCNTR0端子と共用のポートを入力に設定してください。

(4) パルス幅測定モード

カウントソースはタイマXカウントソース選択ビットが“0”の場合は $f(XIN)/16$ (低速モード時は $f(XCIN)/16$)、“1”の場合は $f(XIN)$ です。CNTR0極性切り替えビットが“0”の場合は、CNTR0端子の入力が“H”の期間カウントします。“1”の場合はCNTR0端子の入力が“L”の期間カウントします。このモードではCNTR0端子と共用のポートを入力に設定してください。

・タイマX書き込み制御

通常はラッチ及びタイマ同時書き込みになっており、タイマXのアドレスに値を書き込むと、タイマとタイマラッチに同時に値が設定されます。

タイマラッチのみ書き込む場合、タイマXのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。

なお、タイマラッチのみ書き込む場合、タイマのアンダフロー時にタイマラッチに書き込みを行うと、タイマとタイマラッチに同時に値が設定されます。また、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、上位側カウンタに望ましくない値が設定されることがあります。

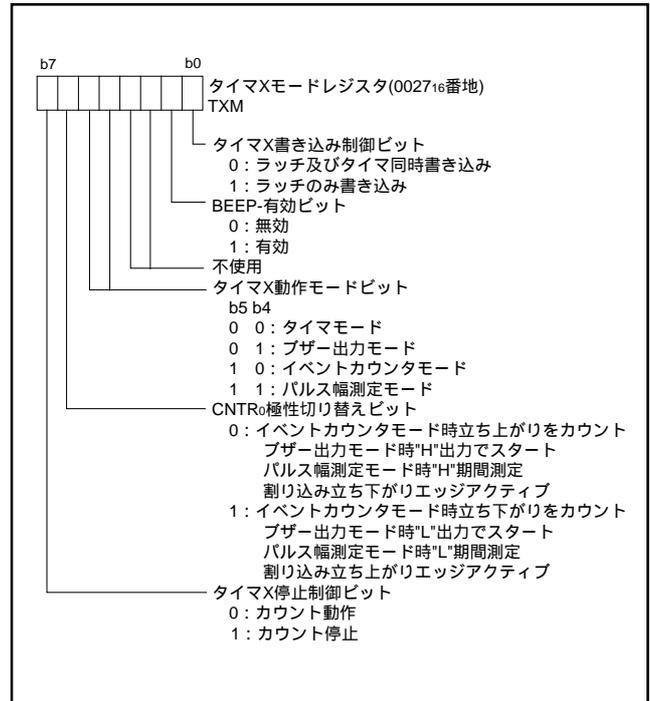


図17. タイマXモードレジスタの構成

CNTR0割り込み極性切り替えについての注意

CNTR0極性切り替えビットの設定により、同時に割り込み極性も影響を受けます。

タイマY

タイマYは16ビットタイマで、タイマYモードレジスタにより4つの動作モードを選択することができます。

(1) タイマモード

$f(X_{IN})/16$ (低速モード時は $f(X_{CIN})/16$)の周波数をカウントします。

(2) 周期測定モード

CNTR₁端子入力の立ち上がり/立ち下がりでも割り込み要求が発生し、タイマラッチの内容を再びタイマにロードしてカウントを続けることを除けば、タイマモードと同じ動作をします。CNTR₁端子入力の立ち上がり/立ち下がり時の再ロード直前のタイマ値は、再ロード後1度読み出されるまで保持されます。なお、CNTR₁端子入力の立ち上がり/立ち下がりタイミングはCNTR₁割り込みで知ることができます。このモードではCNTR₁端子と共用のポートを入力に設定してください。

(3) イベントカウンタモード

CNTR₁端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではCNTR₁端子と共用のポートを入力に設定してください。

(4) パルス幅HL連続測定モード

CNTR₁端子入力の立ち上がり、立ち下がりとも割り込み要求が発生することを除けば、周期測定モードと同じ動作をします。このモードではCNTR₁端子と共用のポートを入力に設定してください。

CNTR₁割り込み極性切り替えについての注意

CNTR₁極性切り替えビットの設定により、同時に割り込みのアクティブエッジも影響を受けます。ただし、パルス幅HL連続測定モードの場合はCNTR₁極性切り替えビットの設定によらず、端子の立ち上がり、立ち下がりともにCNTR₁割り込み要求が生じます。

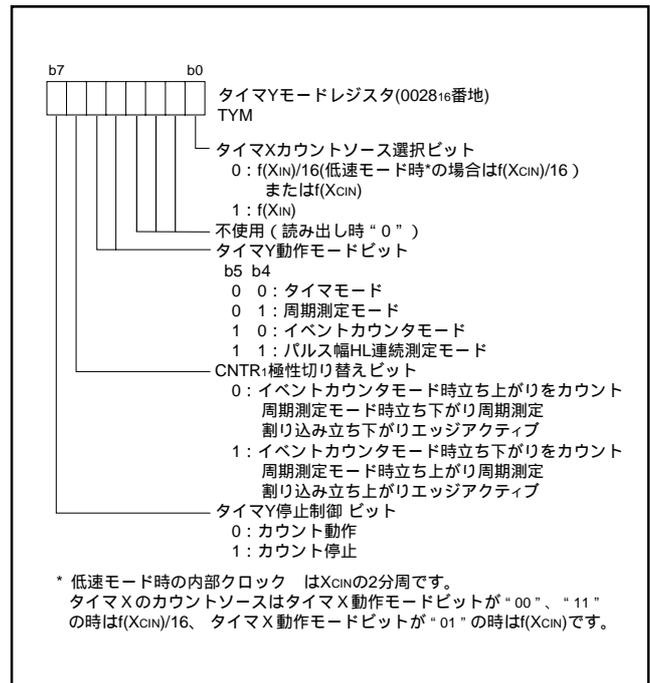


図18. タイマYモードレジスタの構成

タイマ1、タイマ2、タイマ3

タイマ1~3は8ビットのタイマで、タイマ123モードレジスタにより、カウントソースの選択などができます。

なお、カウントソースを切り替えるときにはタイマラッチの値は変化しませんが、タイマの値が不正になりますので再設定してください。

・タイマ2書き込み制御

ラッチのみ書き込む場合、タイマのアドレスに値を書き込むとリロード用ラッチのみに値が設定され、タイマは次のアンダフローで更新されます。通常はラッチ及びタイマ同時書き込みになっており、タイマのアドレスに値を書き込むとタイマとタイマラッチの両方に同時に値が設定されます。

タイマ1~タイマ3使用上の注意

タイマ1~タイマ3のカウントソースを切り替えるとき、カウント入力に細かいパルスが生じてタイマのカウント値が大きくなる場合があります。また、タイマ2又はタイマ3のカウントソースとしてタイマ1出力を選択している場合、タイマ1に書き込みを行うときに出力に細かいパルスが生じて、タイマ2又はタイマ3のカウント値が大きくなる場合があります。

したがって、タイマ1~タイマ3のカウントソースを設定した後、タイマ1から順に値を設定してください。

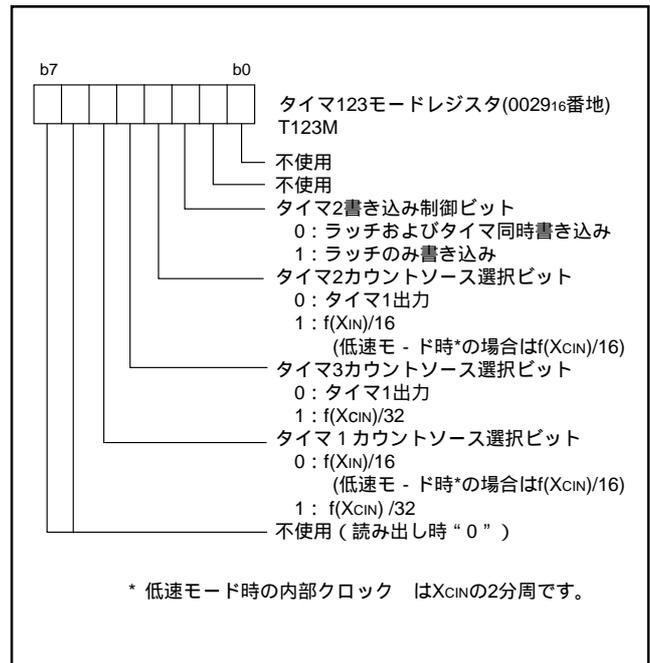


図19 . タイマ123モードレジスタの構成

シリアルI/O

シリアルI/O

シリアルI/Oはクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O動作時のポーレート発生専用タイマ(ポーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O制御レジスタのモード選択ビットを“1”にすることによって、クロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

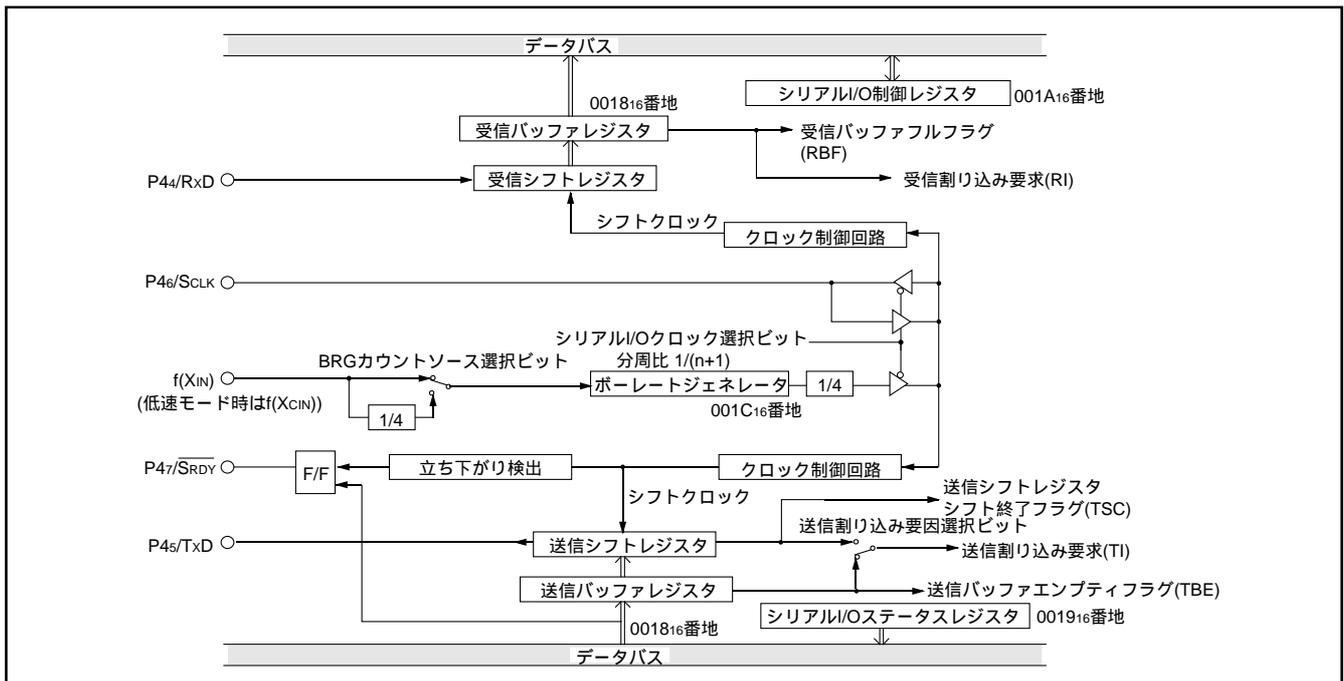


図20 . クロック同期形シリアルI/Oのブロック図

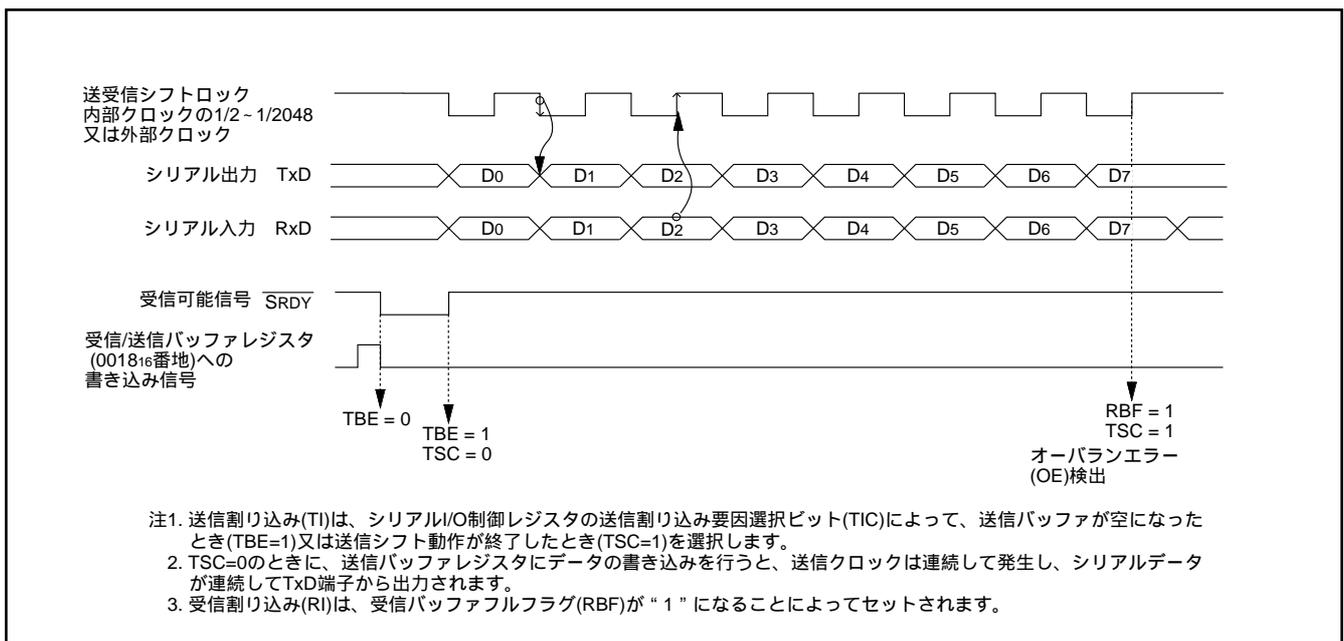


図21 . クロック同期形シリアルI/O動作図

(2) 非同期形シリアルI/O (UART)モード

シリアルI/O制御レジスタのモード選択ビットを“0”にすることによってUARTが選択されます。

38C8グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

38C8グループはシリアルデータの送信、受信を行う送信シ

フトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

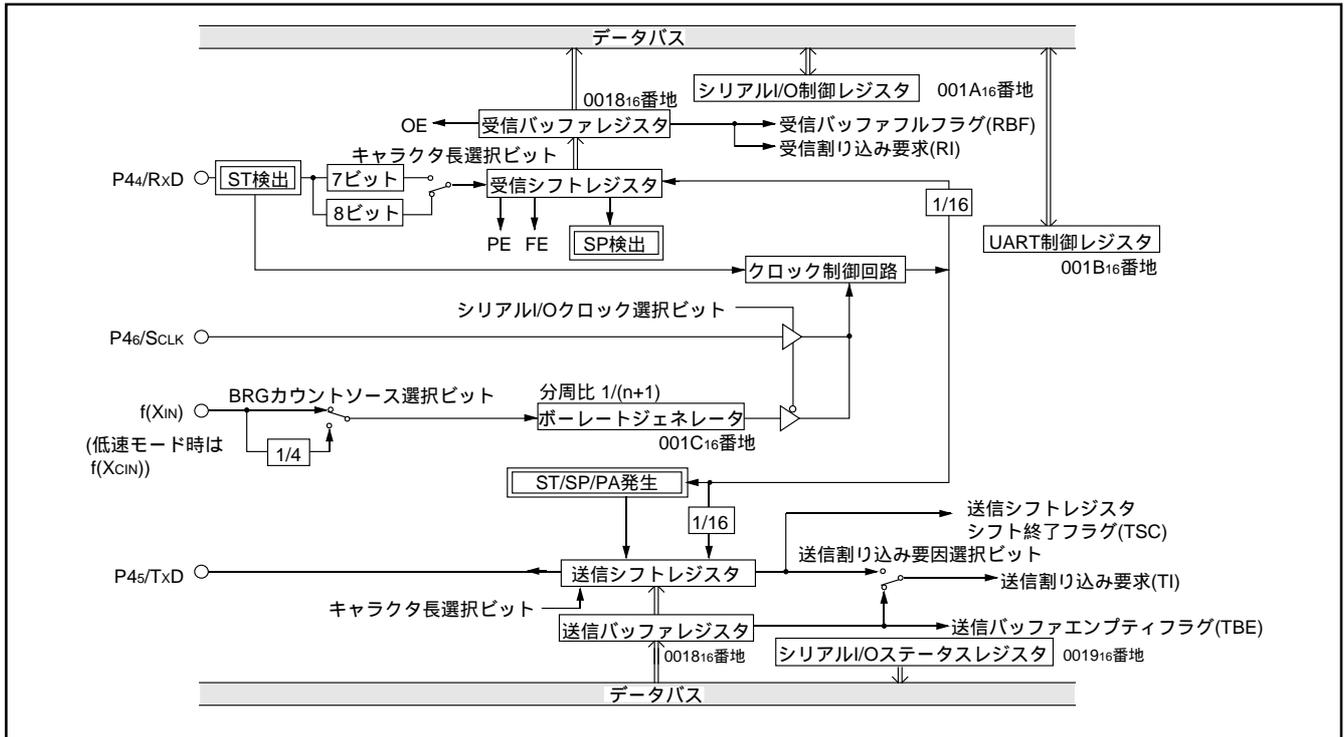


図22. UART形シリアルI/Oのブロック図

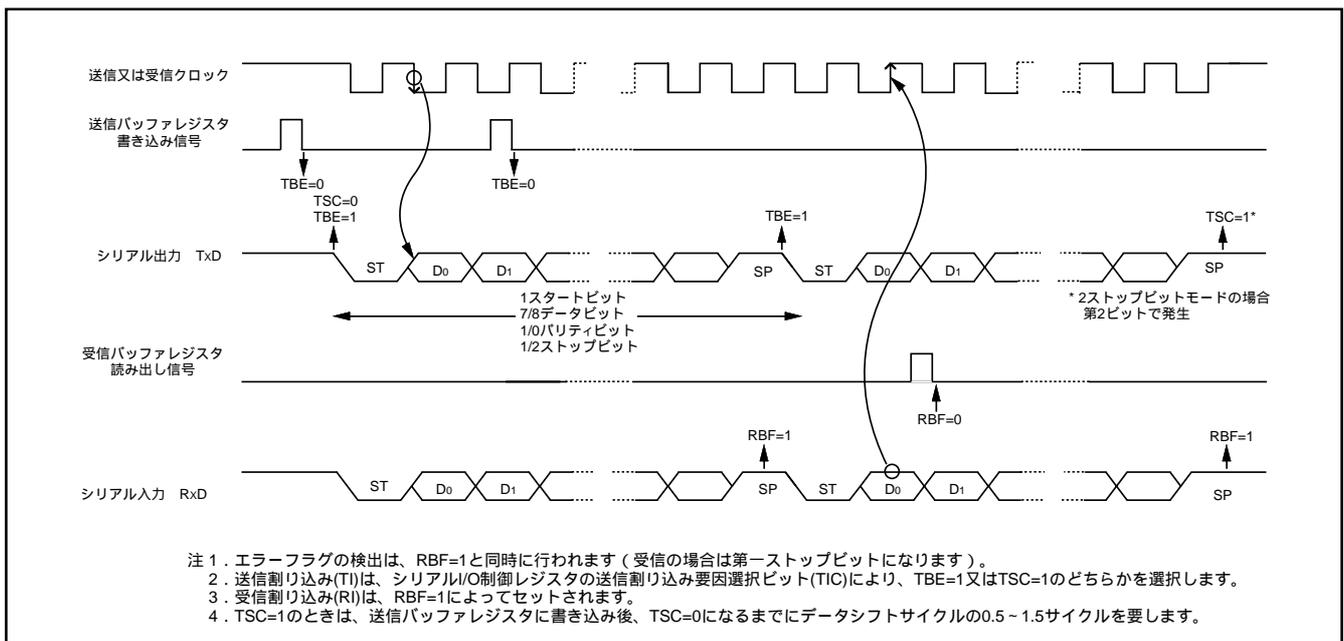


図23. UART形シリアルI/O動作図

【送信バッファレジスタ/受信バッファレジスタ】 TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/Oステータスレジスタ】 SIOSTS

シリアルI/Oの動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/Oステータスレジスタへの書き込みで、すべてのエラーフラグ(OE, PE, FE, SE)がクリアされます。また、シリアルI/O許可ビット(SIOE)に“0”を書き込むと、エラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのすべてのビットはリセット時“0”に初期化されますが、シリアルI/O制御レジスタの送信許可ビットを“1”にしたとき、ビット2とビット0は“1”になります。

【シリアルI/O制御レジスタ】 SIOCON

シリアルI/O制御レジスタはシリアルI/Oの各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】 UARTCON

UART選択時に有効な4ビットの制御ビットと、常に有効な1ビットの制御ビットにより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P45/TxD端子の出力形式などを設定します。

【ポーレートジェネレータ】 BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

注意事項

シリアルI/Oの送信許可ビットを“1”にしたとき、シリアルI/O送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

シリアルI/O送信割り込み許可ビットを“0”(禁止)にする。
送信許可ビットを“1”にする。

一命令以上おいてから、シリアルI/O送信割り込み要求ビットを“0”にする。

シリアルI/O送信割り込み許可ビットを“1”(許可)にする。

三菱マイクロコンピュータ 38C8グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

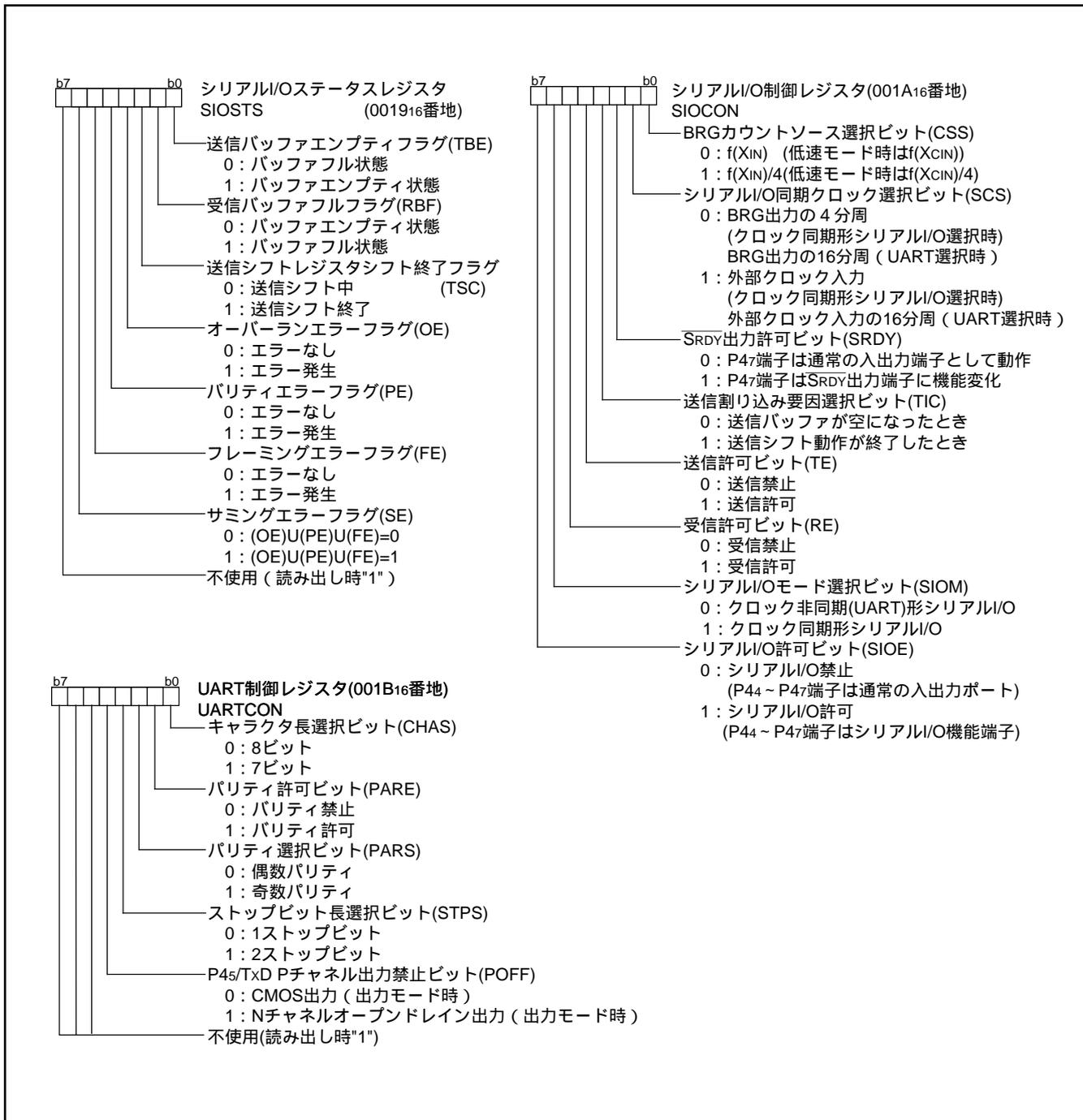


図24 . シリアルI/O関係レジスタの構成

A-D変換器

【A-D変換レジスタ】 ADH,ADL

A-D変換結果が格納される読み出し専用レジスタです。A-D変換中は、このレジスタを読み出さないでください。

【A-D制御レジスタ】 ADCON

A-D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。ビット3はA-D変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことによりA-D変換を開始します。ビット5に“1”に設定するとADT入力の立ち上がり、又は立ち下がりによるA-D変換が可能になります。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタに格納します。また、A-D変換終了時にA-D変換終了ビット及びA-D割り込み要求ビットを“1”にセットします。

コンパレータへの入力は容量で結合されています。変換速度が充分でない場合、電荷の消失により変換精度を損なう恐れがありますので、A-D変換を行う場合は $f(XIN)$ を500kHz以上にしてください。

CPUモードレジスタのビット5及びビット4がともに“1”の場合は、内蔵の自己発振回路を用いてA-D変換を行います。

【トリガスタート】

A-D外部トリガを使用する場合は、ADT端子と共用のポートを入力に設定して下さい。A-D外部トリガの極性はINT1割り込みエッジに準じます。また、外部トリガを有効にした後にINT1割り込みエッジ極性を切り替えるとA-D変換を開始することがあります。

【抵抗ラダー】

VDDとVSS間電圧を抵抗分割し比較電圧を出力します。

【チャンネルセレクト】

ポートP33/AIN3～P30/AIN0及びポートP10/AIN4～P13/AIN7より1本を選択し、コンパレータに入力します。

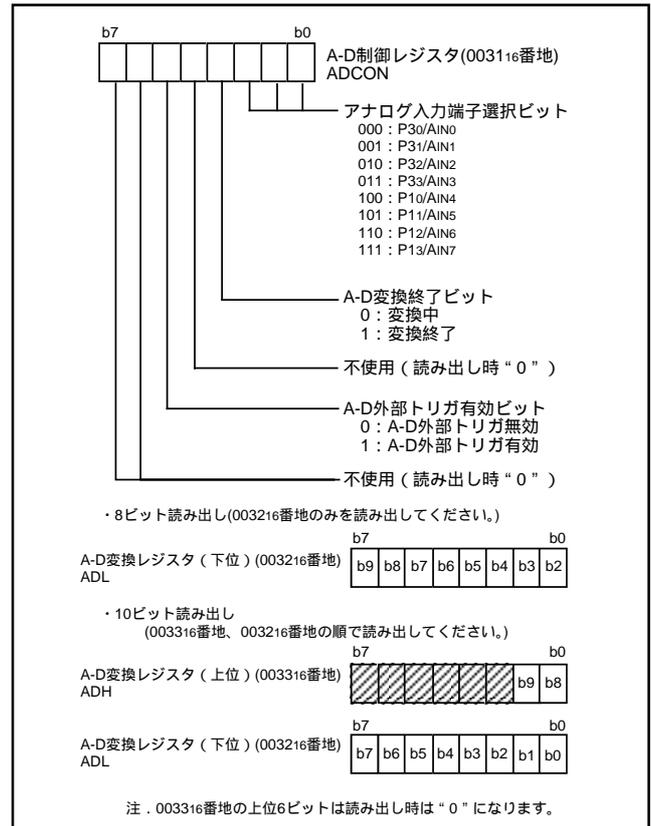


図25. A-D制御レジスタの構成

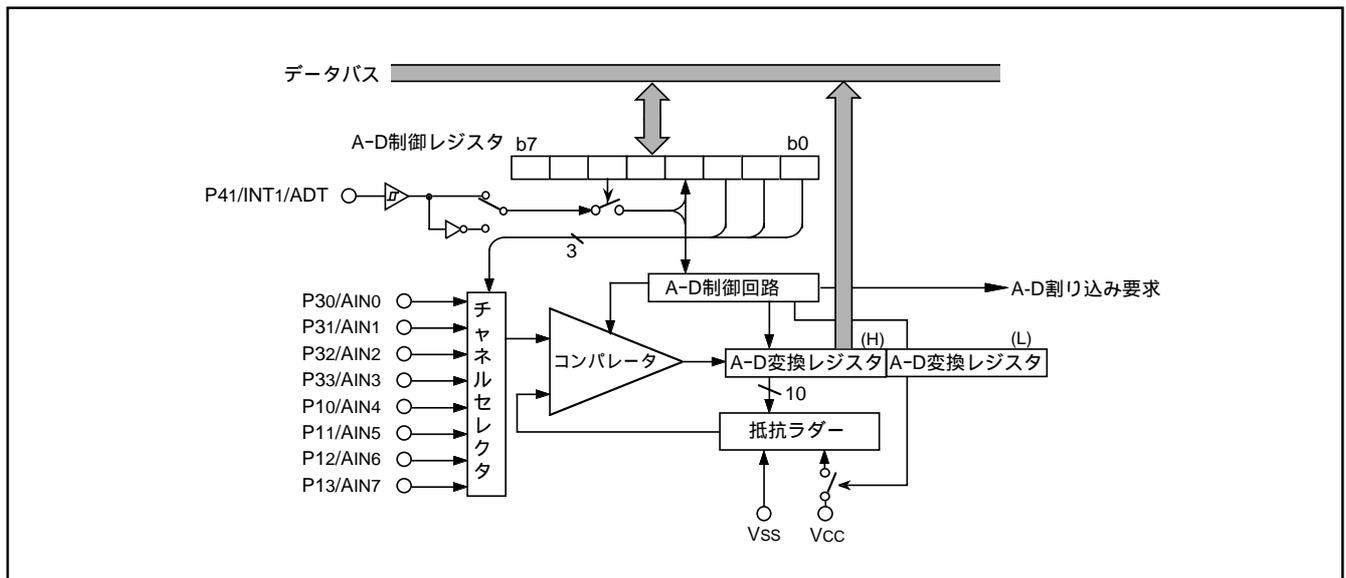


図26. A-D変換器のブロック図

LCDコントローラ/ドライバ

本製品はLCD(液晶表示素子)のコントローラ/ドライバを内蔵しています。

LCDコントローラ/ドライバは、

- ・240バイトLCD表示RAM
- ・52/68セグメントドライバ
- ・16/32コモンドライバ
- ・LCDクロックジェネレータ

- ・タイミングコントローラ
- ・バイアスコントローラ
- ・昇圧回路
- ・LCDモードレジスタ
- ・LCD制御レジスタ1、2

によって構成されています。

セグメント出力は最大68本、コモン出力は最大32本まで外部LCD表示装置の制御に使用できます。

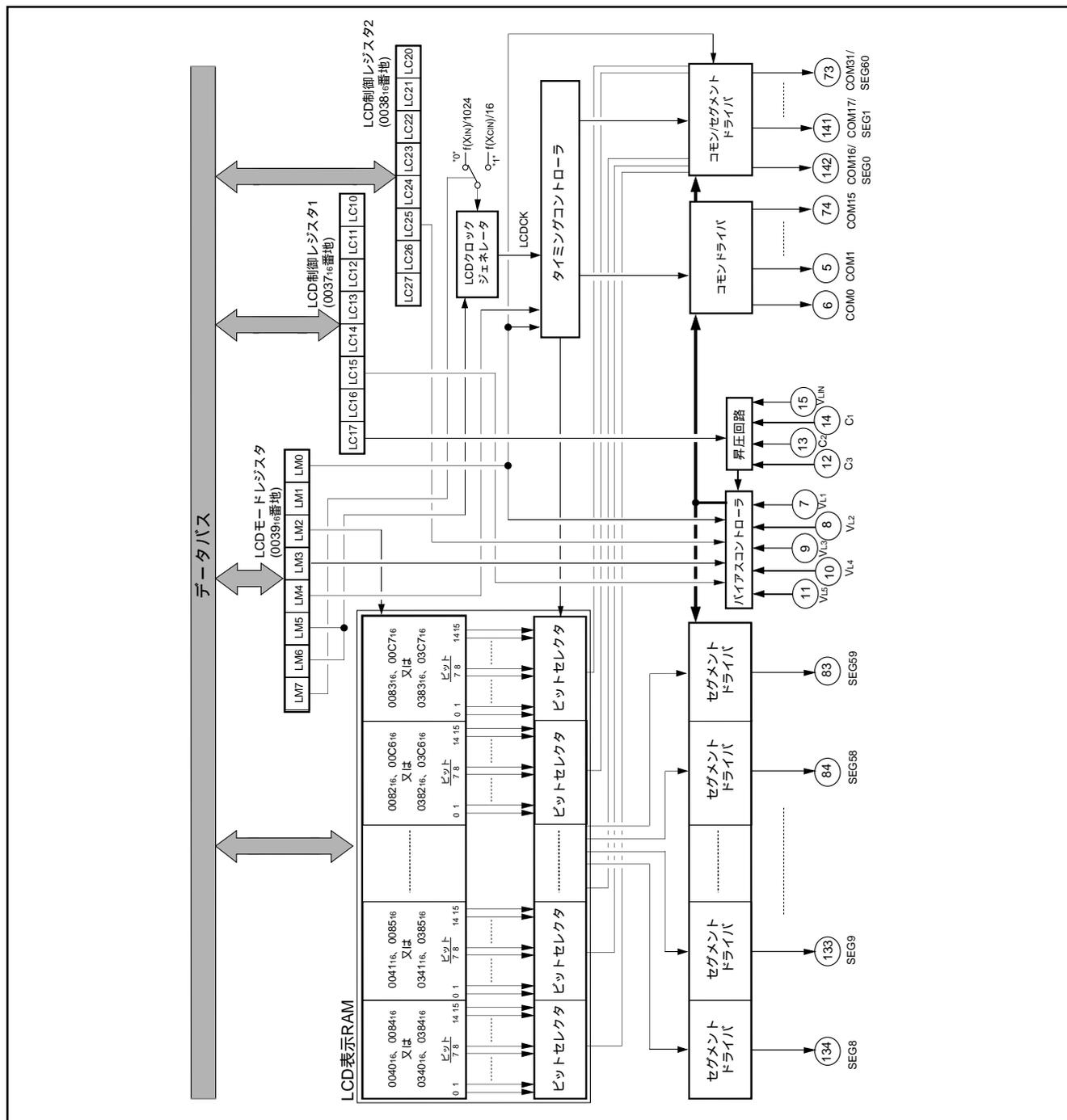


図27. LCDコントローラ/ドライバのブロック図

LCDコントローラ/ドライバの機能

コントローラ/ドライバはLCD制御レジスタ1、2 (LC1,LC2)、及びLCDモードレジスタ(LM)によりバイアス制御・時分割制御を行い、コモン端子の出力タイミングに合わせて、該当するLCDRAMのデータをセグメント端子から出力します。

38C8グループではLCDコントローラ/ドライバと昇圧回路を内蔵しています。

【LCDモードレジスタ】 LM

LCDモードレジスタは、使用するLCDパネルに合わせてLCDコントローラ/ドライバを設定するために使います。

【LCD制御レジスタ1】 LC1

LCD制御レジスタ1は、昇圧回路と内蔵抵抗の制御を行います。

【LCD制御レジスタ2】 LC2

LCD制御レジスタ2は書き込み専用レジスタで、ビット5を“1”にすることで内蔵抵抗を低抵抗にし、セグメント、コモン端子の駆動能力を上げることができます。

表7. 各時分割時の最大表示素子数

時分割	最大表示素子数
16	16×68ドット (5×7ドット+カーソル 2行)
32	32×52ドット (5×7ドット+カーソル 4行)

注. LCD操作中にSTP命令を実行する場合は、LCDを禁止(LCDモードレジスタのビット3を“0”にセット)した後にSTP命令を実行してください。

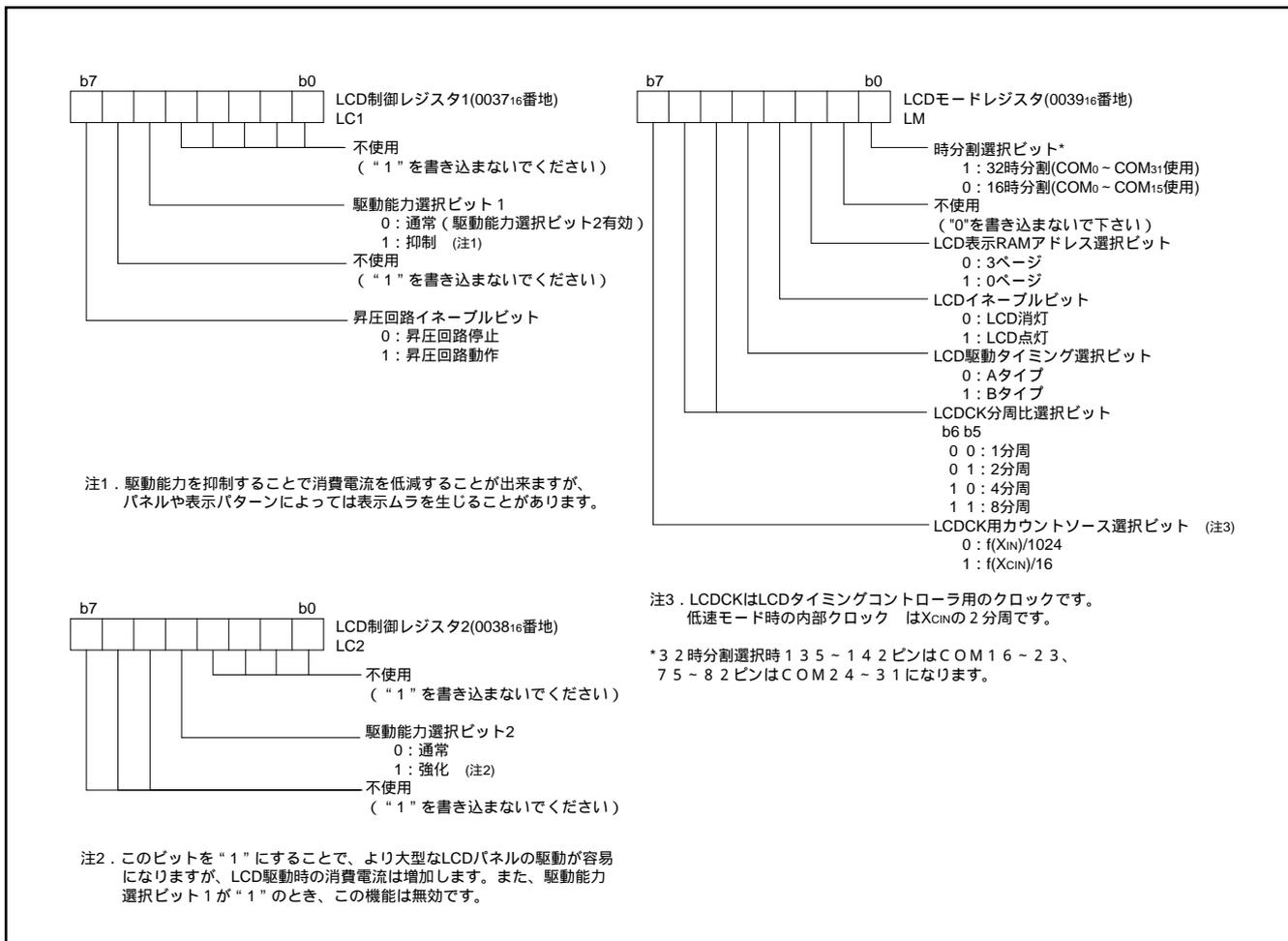


図28. LCD関係レジスタの構成

バイアス制御

LCD用電源端子(VL1 ~ VL5)には、32時分割時は1/7バイアス、16時分割時は1/5バイアスが自動的に発生します。これらの端子には平滑用コンデンサを接続してください。

32時分割時に1/5バイアスが必要な場合は、外付け抵抗で必要なレベルを発生させてください。このときLC1レジスタの駆動能力選択ビットを、必ず「1」にしてください。

表8 . バイアス制御とVL1 ~ VL5への印加電圧

バイアス値	電圧値
32時分割時 1/7バイアス	VL5 = VLCD
	VL4 = 6/7 VLCD
	VL3 = 5/7 VLCD
	VL2 = 2/7 VLCD
	VL1 = 1/7 VLCD
16時分割時 1/5バイアス	VL5 = VLCD
	VL4 = 4/5 VLCD
	VL3 = 3/5 VLCD
	VL2 = 2/5 VLCD
	VL1 = 1/5 VLCD

注 VLCDはLCDパネルへ供給可能な電圧であり、かつ最大定格未満の電圧にして下さい。

昇圧回路

昇圧の基準電源をLCD用電源VLINに印加した後に昇圧回路を動作させると、VL5端子にVLIN端子電圧のおおよそ3倍の電圧が発生します。昇圧回路はVLIN端子に基準電圧を印加した後に動作させてください。

昇圧回路はVLIN端子電圧をC1 - C2端子間、及びC3端子に接続したコンデンサの充放電により昇圧します。そのため、大型のLCDパネルを駆動する場合や外付け抵抗でバイアス値を変更すると、VL5端子から所望のレベルが得られないことがあります。このような場合は、安定した電力を供給できる外部電源の使用を推奨します。昇圧回路を使用する場合は、VL5 - Vss端子間の抵抗値(R1 ~ R5の総和)を可能な限り高抵抗(100k 以上)にしてください。

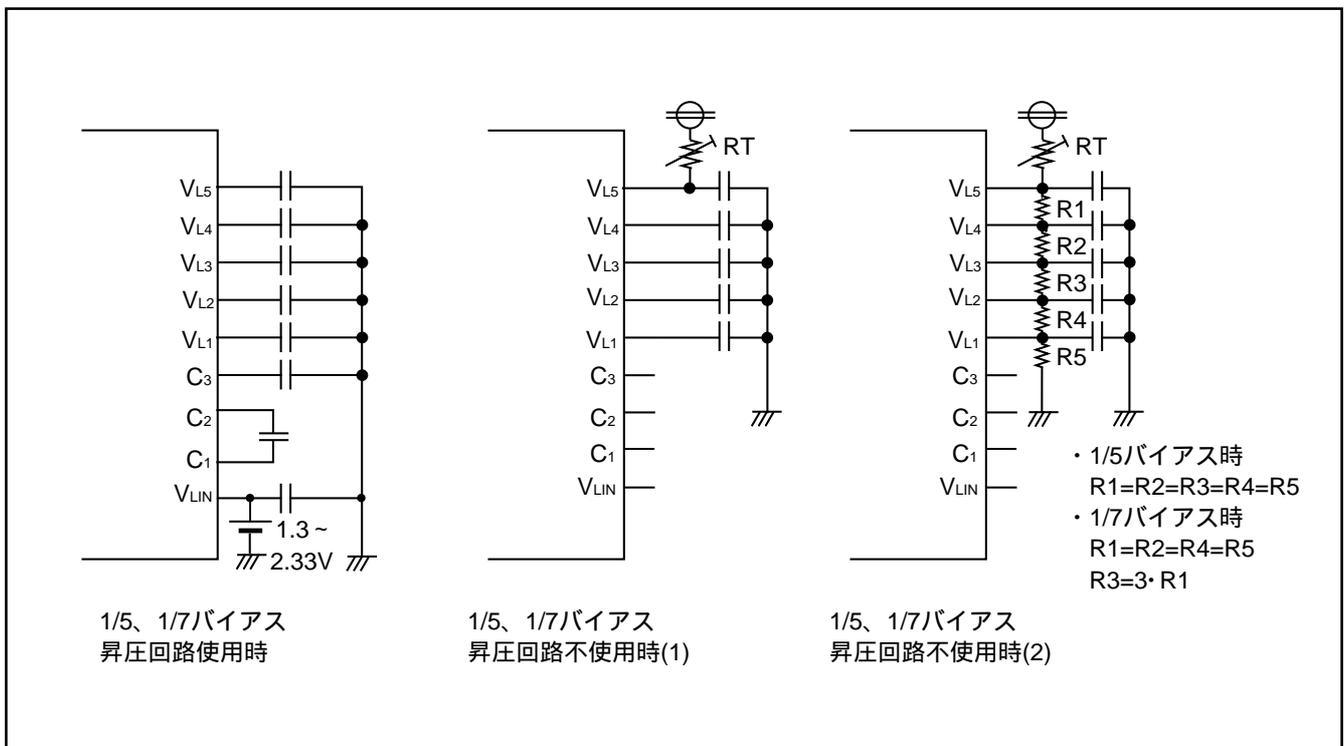


図29 . 各バイアス時の回路例

コモン端子と時分割制御

コモン端子(COM0 ~ COM31)は、時分割数によって使用する端子が決まっています。時分割数は時分割選択ビット(LCDモードレジスタのビット0)で選択してください。

表9. 時分割制御と使用コモン端子

時分割数	時分割選択ビット	使用コモン端子名
	ビット0	
16	0	COM0 ~ COM15 (注)
32	1	COM0 ~ COM31

注. COM16 ~ COM23はSEG0 ~ SEG7,
COM24 ~ COM31はSEG60 ~ SEG67

LCD表示用RAM

LCD表示RAM選択ビットが"0"の場合は0340₁₆番地から042F₁₆番地まで、"1"の場合は0040₁₆番地から012F₁₆番地までの240バイトはLCD表示用RAMです。これらのビットに"1"を書き込むと、LCDパネルの対応するセグメントが点灯します。

LCD駆動タイミング

LCD駆動タイミングを決定する内部信号LCDCKの周波数及びフレーム周波数は次のようになります。

$$f(\text{LCDCK}) = \frac{(\text{LCDCK用カウンタソース周波数})}{(\text{LCD用分周器分周比})}$$

$$\text{フレーム周波数} = f(\text{LCDCK})/\text{時分割数}$$

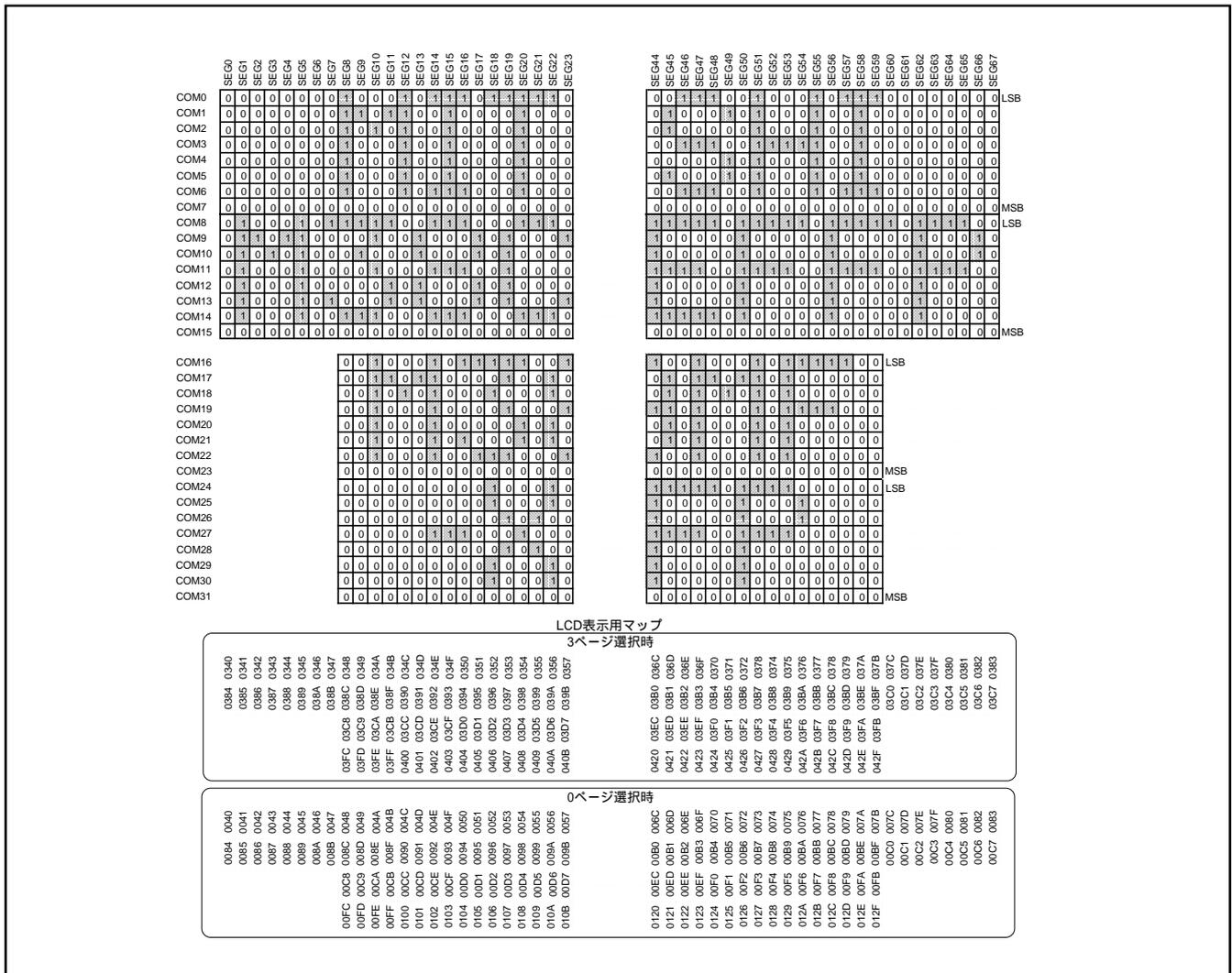


図30. LCD表示用RAMマップ

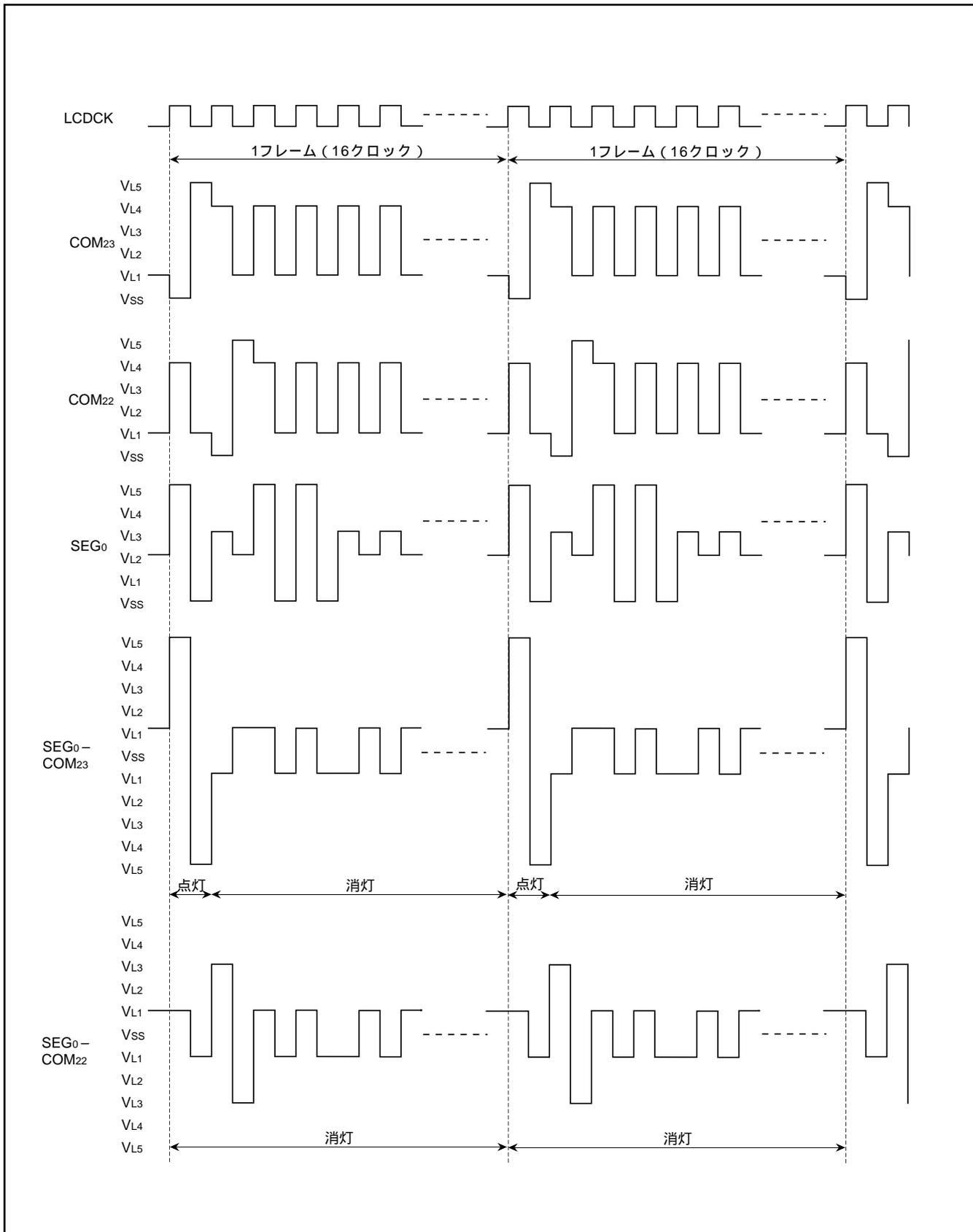


図31 . LCD駆動波形 16時分割、1/5バイアス、Aタイプの場合)

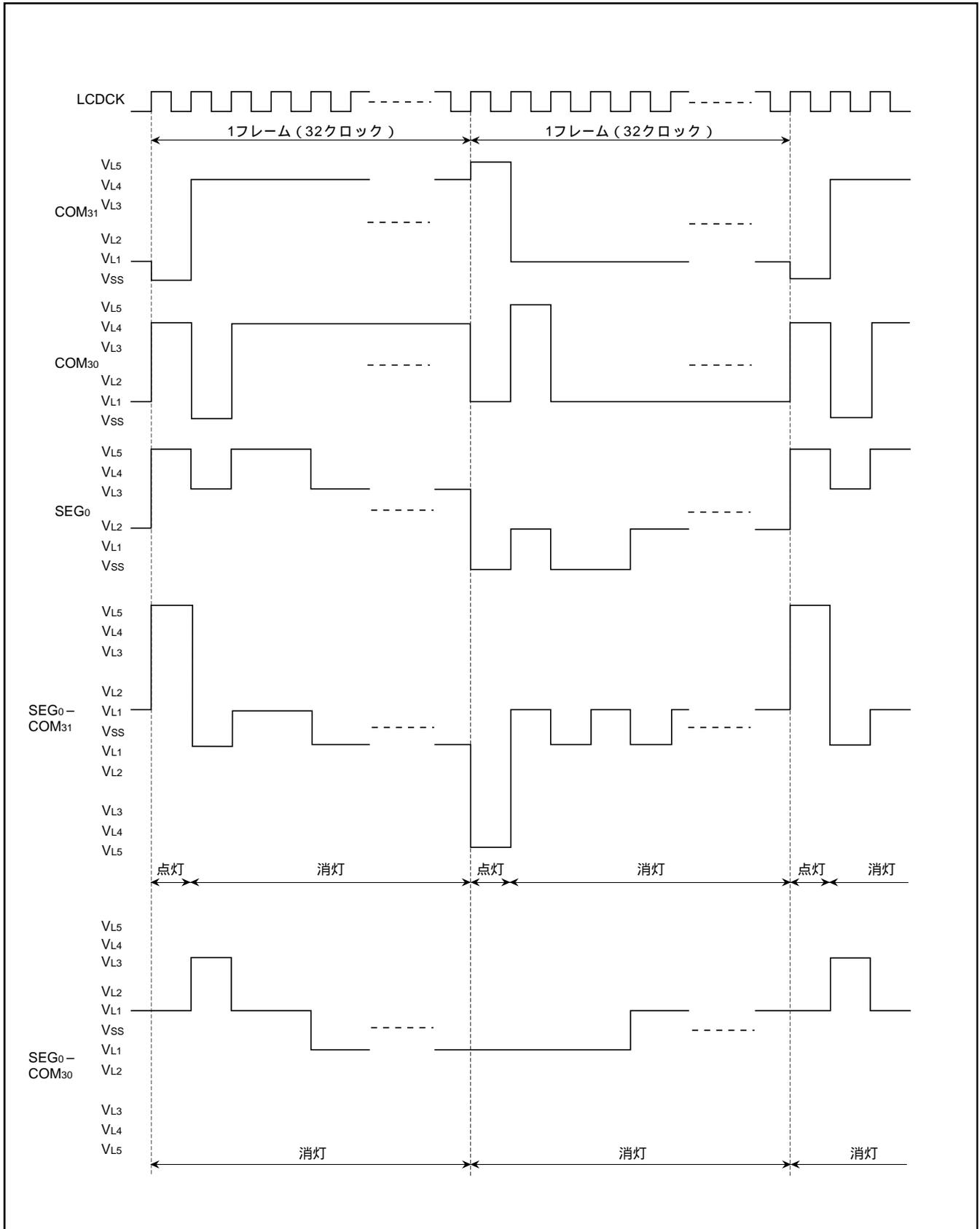


図32 . LCD駆動波形 32時分割、1/7バイアス、Bタイプの場合)

リセット回路

38C8グループは、電源電圧が $V_{CC}(\text{min.}) \sim 5.5\text{V}$ の範囲にあり水晶発振子などが安定発振しているとき、 $\overline{\text{RESET}}$ 端子を $2\mu\text{s}$ 以上 Lレベルに保った後 Hレベルに戻すとリセット解除され、FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を低位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が $V_{CC}(\text{min.})$ を通過する時点で $0.2V_{CC}$ 以下になるようにしてください。

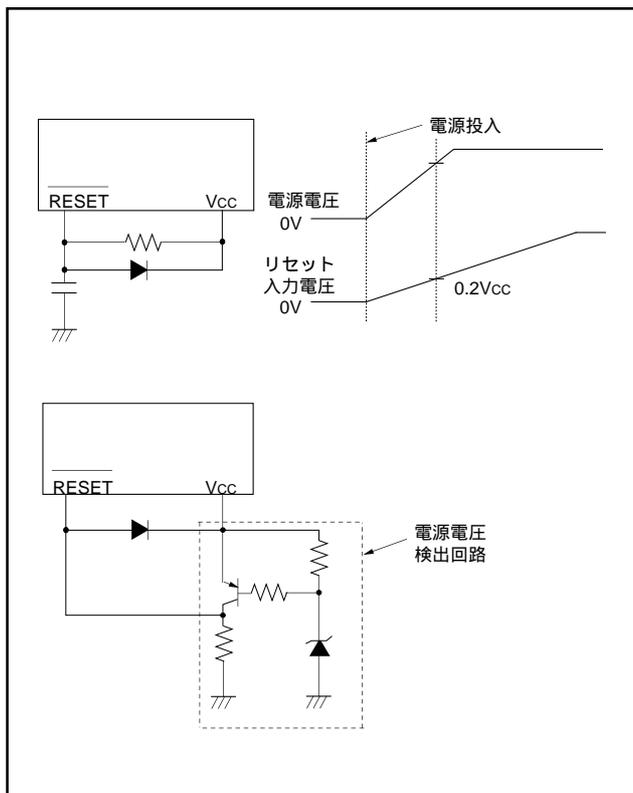


図33 . リセット回路例

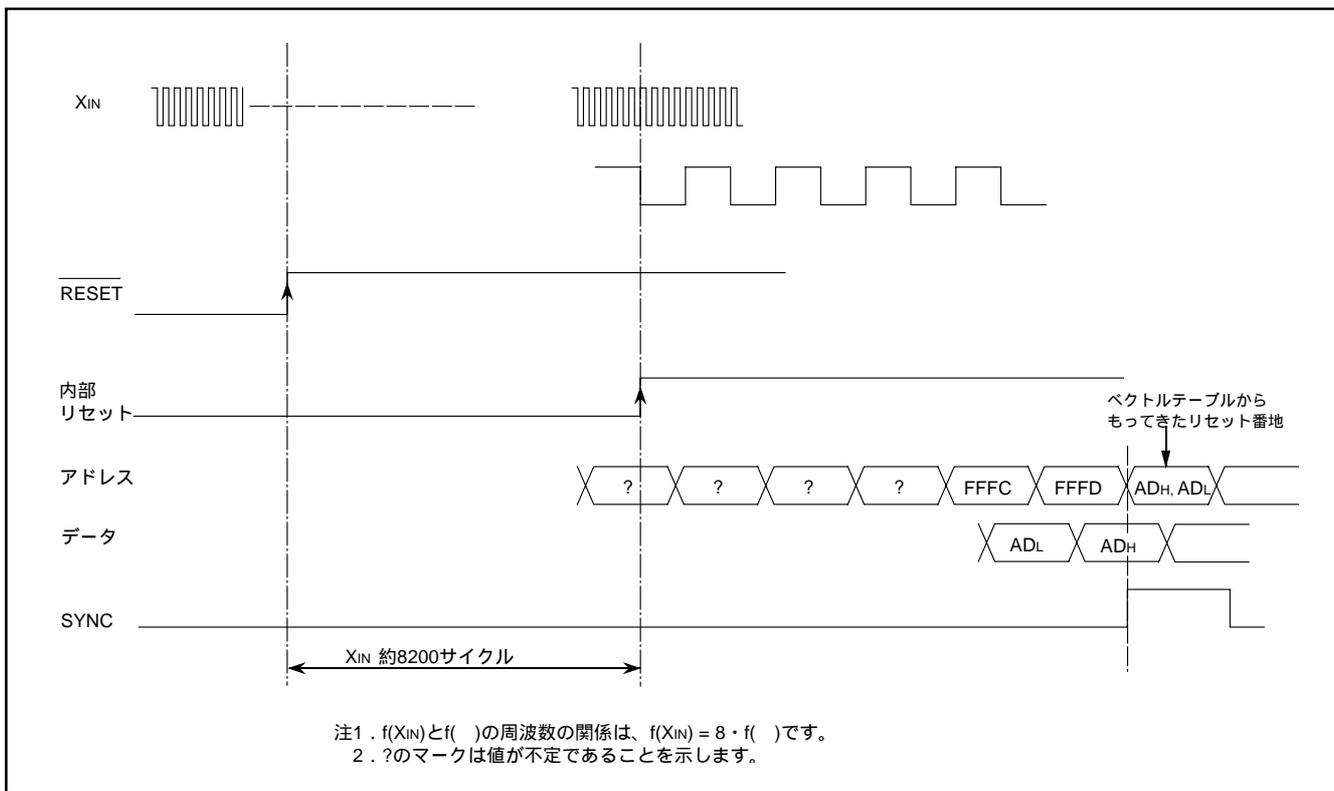


図34 . リセット時のタイミング図

	番地	レジスタの内容		番地	レジスタの内容							
(1) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆	(21) A-D制御レジスタ	0031 ₁₆	08 ₁₆							
(2) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆	(22) A-D変換レジスタ(下位)	0032 ₁₆	XX ₁₆							
(3) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆	(23) A-D変換レジスタ(上位)	0033 ₁₆	XX ₁₆							
(4) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆	(24) LCD制御レジスタ1	0037 ₁₆	00 ₁₆							
(5) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(25) LCD制御レジスタ2	0038 ₁₆	00 ₁₆							
(6) PULL レジスタA	0016 ₁₆	00 ₁₆	(26) LCDモードレジスタ	0039 ₁₆	03 ₁₆							
(7) PULL レジスタB	0017 ₁₆	00 ₁₆	(27) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆							
(8) シリアルI/Oステータスレジスタ	0019 ₁₆	80 ₁₆	(28) CPUモードレジスタ	003B ₁₆	4C ₁₆							
(9) シリアルI/O制御レジスタ	001A ₁₆	00 ₁₆	(29) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆							
(10) UART制御レジスタ	001B ₁₆	E0 ₁₆	(30) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆							
(11) タイマX (下位)	0020 ₁₆	FF ₁₆	(31) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆							
(12) タイマX (上位)	0021 ₁₆	FF ₁₆	(32) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆							
(13) タイマY (下位)	0022 ₁₆	FF ₁₆	(33) プロセッサステータスレジスタ	(PS)	<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>1</td><td>x</td><td>x</td></tr></table>	x	x	x	x	1	x	x
x	x	x	x	1	x	x						
(14) タイマY (上位)	0023 ₁₆	FF ₁₆	プログラムカウンタ	(PC _H)	FFF _{D16} 番地の内容							
(15) タイマ1	0024 ₁₆	FF ₁₆		(PC _L)	FFFC ₁₆ 番地の内容							
(16) タイマ2	0025 ₁₆	01 ₁₆										
(17) タイマ3	0026 ₁₆	FF ₁₆										
(18) タイマXモードレジスタ	0027 ₁₆	00 ₁₆										
(19) タイマYモードレジスタ	0028 ₁₆	00 ₁₆										
(20) タイマ123モードレジスタ	0029 ₁₆	00 ₁₆										

注 . x : 不定です。
上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図35 . リセット時の内部状態

クロック発生回路

38C8グループはメインクロックXIN-XOUTとサブクロックXCIN-XCOUTの2つの発振回路を内蔵しています。XIN-XOUTはRC発振が可能です。

リセット解除直後はXIN-XOUT間が発振を開始し、XCIN-XCOUTはハイインピーダンス状態です。

メインクロック

OSCSEL端子を「L」レベルにし、XINとXOUTの端子間に共振子を接続すると、共振子による発振回路になります。共振子によって容量などの定数が異なりますので、共振子メーカーの推奨値をご使用ください。XINとXOUT間には帰還抵抗を内蔵しています。外部からクロック信号を供給する場合は、OSCSEL端子が「L」レベルの状態ではXOUT端子を解放し、XIN端子からクロックを供給してください。

OSCSEL端子を「H」レベルにし、XINとXOUTの端子間に抵抗を接続することにより、RC発振回路を形成することが出来ます。このとき、帰還抵抗は切り離されます。RC発振は基板の寄生容量や配線長などで周波数が変動しますので、メインクロックの周波数精度を必要とする用途では使用しないでください。

サブクロック

XCIN-XCOUTの端子間には共振子を接続してください。帰還抵抗は内蔵しておりませんので、XCINとXCOUTの端子間に帰還抵抗を付加してください。また、外部からクロック信号を供給する事が出来ませんので、必ず共振子によりクロックを生成してください。

周波数制御

(1) 中速モード

内部クロックの周波数は、 $f(XIN)$ の8分周です。リセット解除後はこのモードです。

(2) 高速モード

内部クロックの周波数は、 $f(XIN)$ の2分周です。

(3) 低速モード

内部クロックの周波数は、 $f(XCIN)$ の2分周です。

低速モード時には、CPUモードレジスタのメインクロック停止ビットを「1」にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXINの発振再開時はメインクロック停止ビットを「0」にした後、発振が安定するまでの待ち時間をプログラムで生成してください。

注. 中/高速モードと低速モード間の移行を行う場合は、メインクロック、サブクロックともに発振が安定している必要があります。特に、サブクロックの発振立ち上がりは時間を要するので、電源投入直後やストップモードからの復帰時は注意してください。また、モードを移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。

発振制御

(1) ストップモード

STP命令を実行すると内部クロックが「H」の状態では停止し、メインクロック及びサブクロックの発振が停止します。このとき、タイマ1には「FF16」、タイマ2には「0116」がセットされ、タイマ1のカウントソースにはXIN又はXCINの16分周、タイマ2にはタイマ1の出力が強制的に接続されます。このときタイマ123モードレジスタはビット4以外すべて「0」にクリアされます。STP命令実行前にタイマ1、タイマ2割り込みの許可ビットを禁止状態「0」に設定してください。

発振はリセット又は外部割り込み要求が受け付けられると再開しますが、タイマ2がアンダフローしてはじめてCPUに内部クロックが供給されます。これは、外付け共振子を使用した場合、発振の立ち上がりに時間を要するためです。

(2) ウェイトモード

WIT命令を実行すると、内部クロックのみ「H」の状態では停止します。このときXIN及びXCINはWIT命令実行前と同じ状態になっています。リセット又は割り込みを受け付けると、停止を解除します。発振器は停止していませんので、直ちに命令を実行できます。

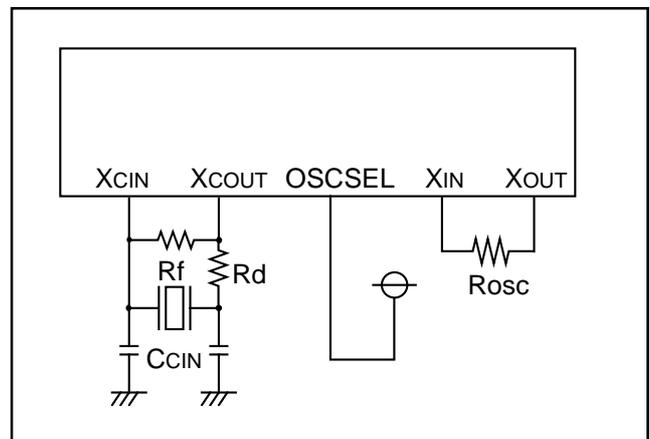


図36. RC発振外付け回路

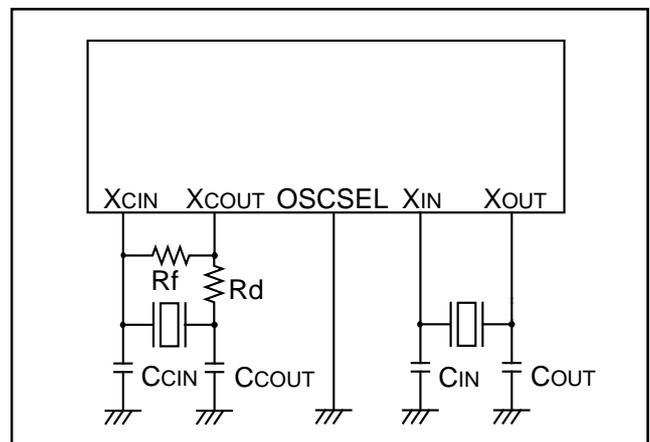


図37. 共振子外付け回路

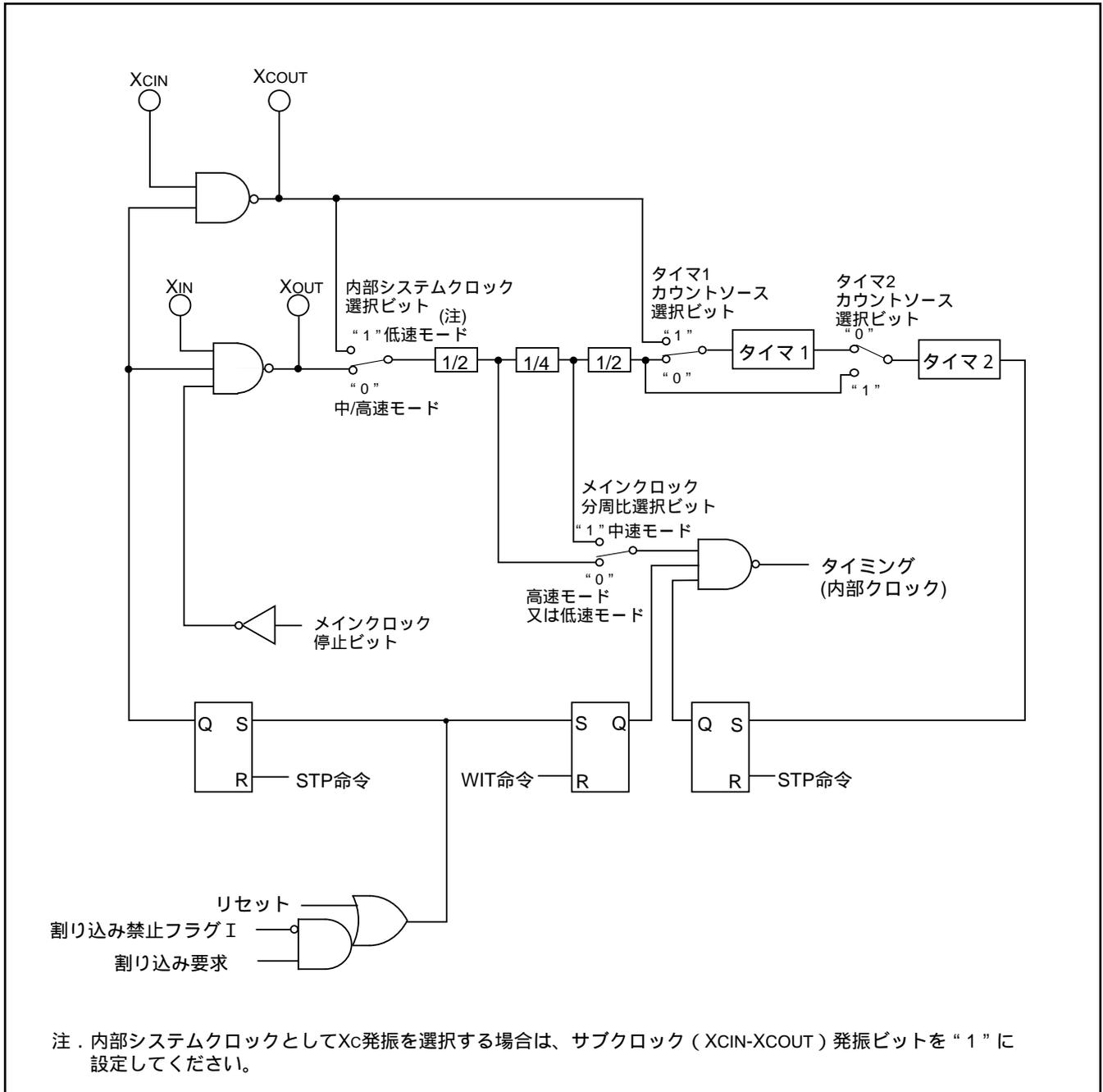


図38．クロック発生回路のブロック図

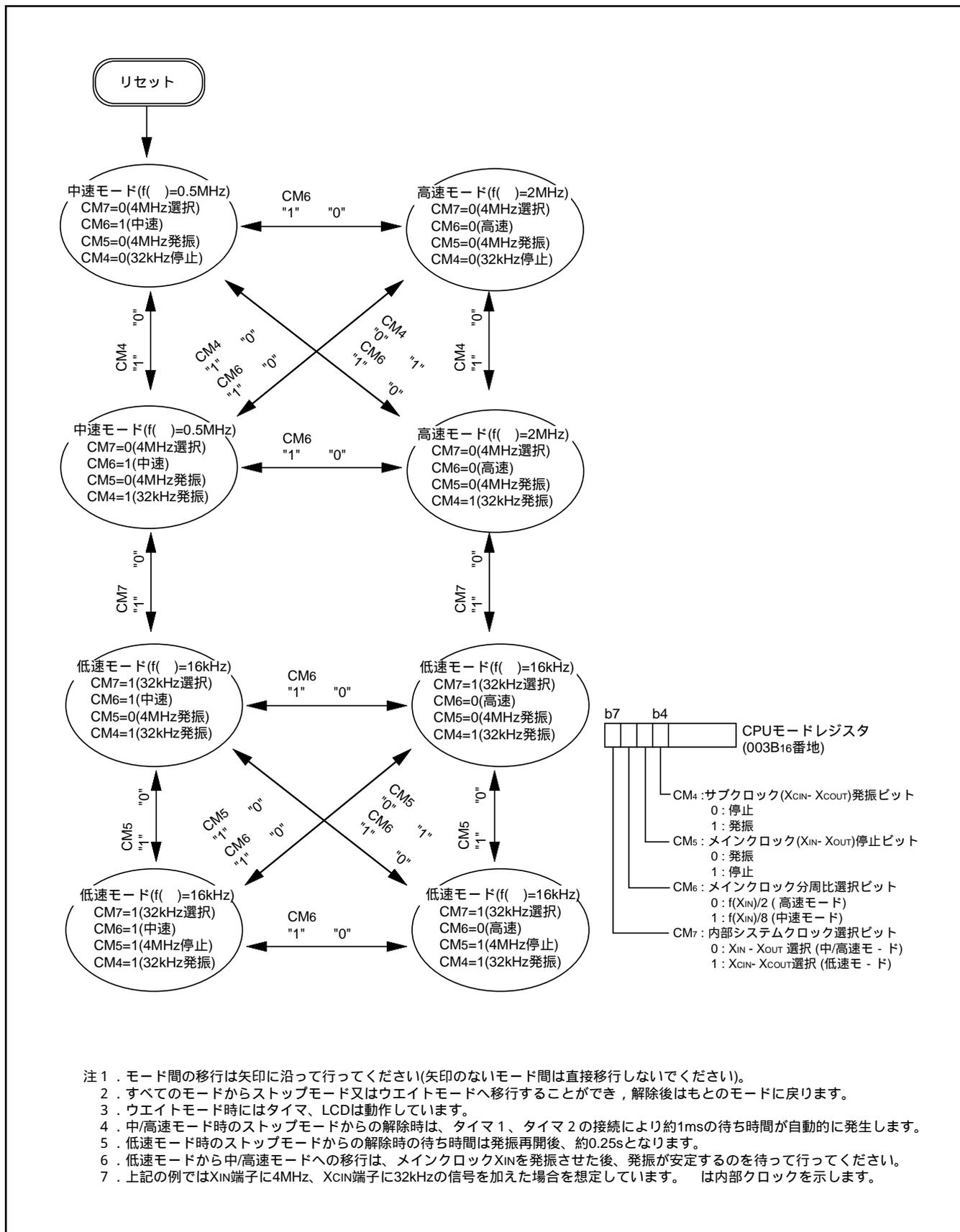


図39. システムクロックの状態遷移図

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後にBBC、BBS命令を実行すると、変更前の内容に対して実行されません。変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを“1”に設定して、ADC命令、又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

タイマラッチに値 n (0 ~ 255)を書き込んだ場合の分周比は、 $1(n+1)$ です。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

シリアルI/Oに関するもの

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY}}$ 出力許可ビットとともに、送信許可ビットも“1”にセットしてください。

また、シリアルI/Oでは、送信終了後、TXD端子が最終ビットをラッチし出力し続けます。

A-D変換に関するもの

コンパレータへの入力は容量で結合されています。そのため、変換速度が充分でない場合、電荷の消失により変換精度を損なう恐れがありますので、A-D変換を行う場合は $f(XIN)$ を500kHz以上にしてください。

以下の操作を行った場合のA-D変換は、正常な動作を保障できません。

- ・A-D変換動作中にCPUモードレジスタを操作した場合
- ・A-D変換動作中にA-D制御レジスタを操作した場合
- ・A-D変換動作中にSTP命令、WIT命令を実行した場合

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載のサイクル数に、内部クロックの周期をかけることによって得られます。

LCD制御に関するもの

- ・昇圧回路を使用する場合、LCDイネーブルビットを“0”の状態ではVLIN端子に所定の電圧を印加した後に昇圧回路イネーブルビットを“1”にしてください。

使用上の注意事項

ノイズに関する注意

以下に示すようなノイズに留意したシステム設計を行い、十分な評価を行ってください。

(1) 配線長の短縮

リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

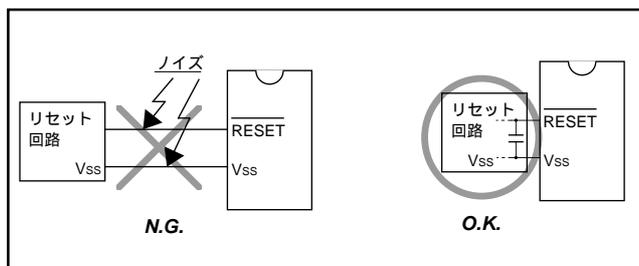


図40．リセット入力端子の配線

クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

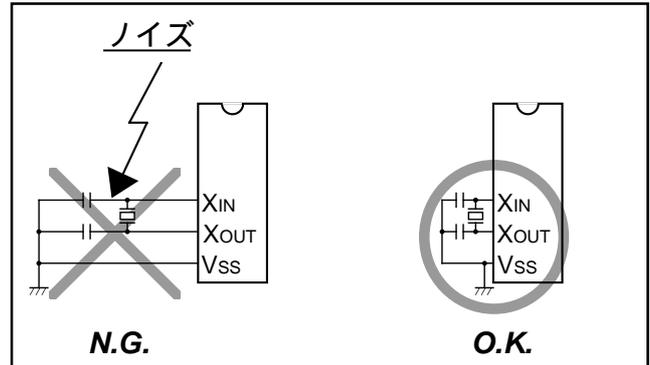


図41．クロック入出力端子の配線

(2) Vss - Vccライン間へのバイパスコンデンサ挿入

システムの動作安定化とラッチアップ防止のため、Vss - Vccライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- ・Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- ・Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- ・電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

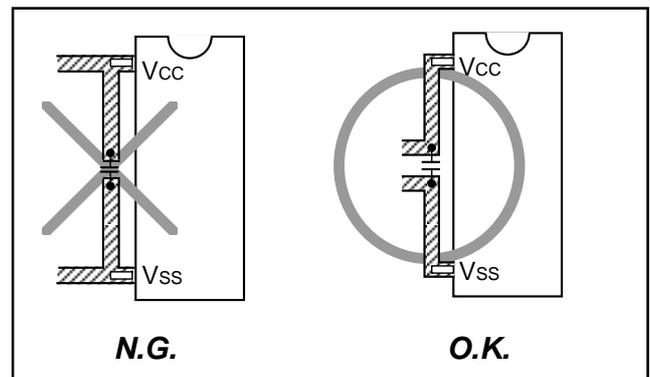


図42．VSS - VCCライン間のバイパスコンデンサ

(3) 発振子への配慮

お客様のご使用になるシステム・条件で、安定した動作クロックが得られるように、発振子メーカとご相談の上で、発振子および発振回路定数を選定してください。ご使用になる電圧範囲や温度範囲が広い場合は特に注意してください。

また、マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

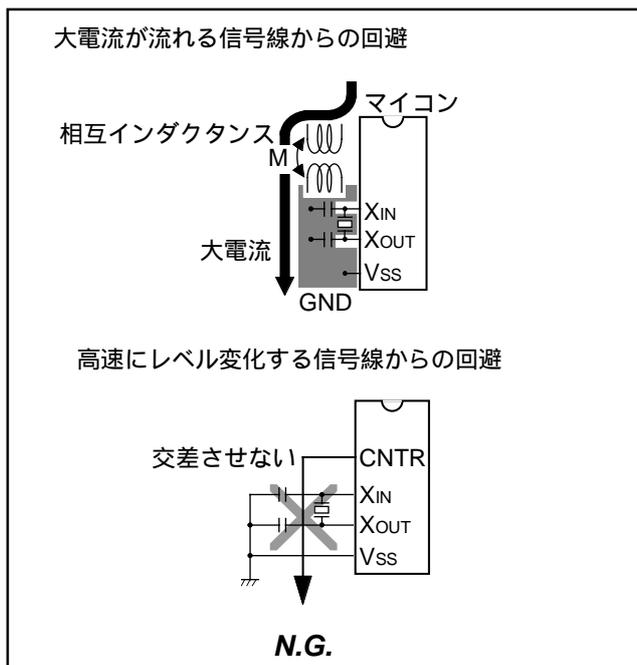


図43. 大電流が流れる信号線の配線/高速にレベル変化する信号線の配線

(4) アナログ入力

アナログ入力端子はコンパレータのコンデンサに接続されています。そのため、アナログ入力端子にインピーダンスの高いアナログ信号源を接続した場合、A-D変換時の充放電電流によって十分な精度が得られない場合があります。より安定したA-D変換結果を得るためにアナログ信号源インピーダンスを下げるか、アナログ入力端子に平滑用コンデンサを付加してください。

(5) メモリの種類、容量の違い

同一グループ内のマスクROM版、PROM版、メモリ容量などが異なる製品は、電気的特性、A-D変換精度、ノイズ誤動作耐量などの実力値が異なる場合があります。これらの製品を切り替えて使用される場合は、製品仕様をご確認の上、個々の製品ごとにシステム評価を実施してください。

(6) ワンタイムPROM版のVPP端子配線

VPP端子のできるだけ近くに5kΩ程度の抵抗を直列に挿入してください。

注. 5kΩ程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障はありません。

理由

ワンタイムPROMマイコンのVPP端子は内蔵PROMの電源入力端子です。内蔵PROMへのプログラムの書き込み時に、書き込み電流が流れるようにVPP端子のインピーダンスを低くしているため、ノイズが侵入しやすくなっています。VPP端子からノイズが侵入すると、内蔵PROMから異常な命令コード、データが読み出され、暴走の原因となります。

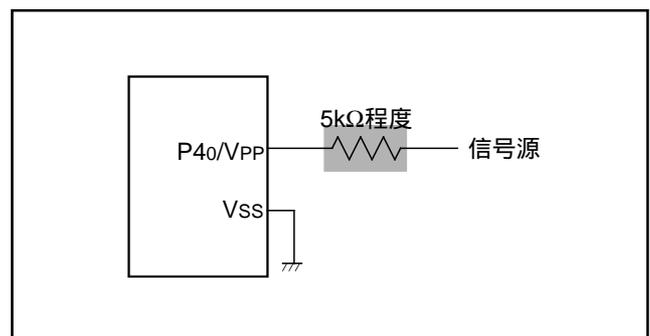


図44. ワンタイムPROM版のVPP端子の配線

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1) マスク化確認書
- (2) マーク指定書
- (3) ROMのデータ EPROM 3セット
又はフロッピーディスク 1枚

*マスク化確認書及びマーク指定書につきましては、三菱マイクロン技術情報ホームページ (<http://www.infocom.maec.co.jp/>) を参照してください。

ROM書き込み方法

ワンタイムPROM版(ブランク品)及びEPROM内蔵版は、専用の書き込みアダプタ(PCA7447FP)を使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。なお、PROMライターのアドレス設定は、ユーザROM領域に設定してご使用ください。

表10 専用書き込みアダプタ

パッケージ	書き込みアダプタ形名
144P6Q-A	PCA7447FP

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図40に示すフローで書き込み、テストを行った後、使用されることを推奨いたします。

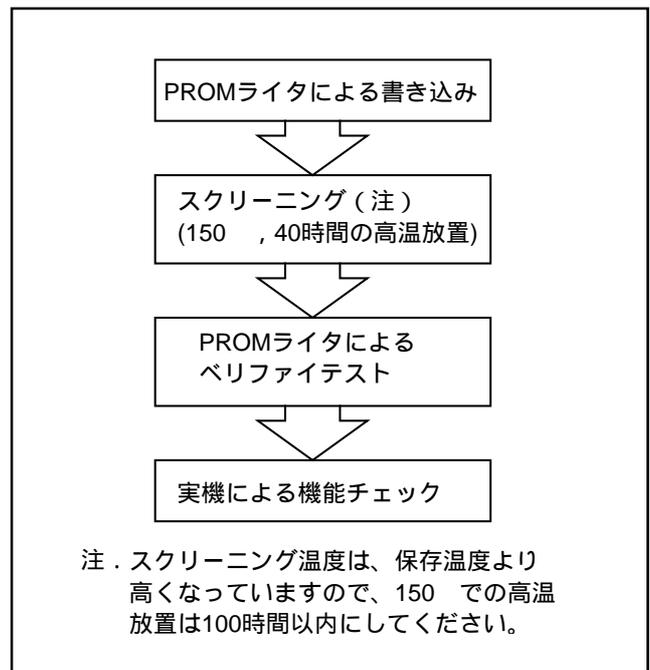


図45 .ワンタイムPROM版書き込みとテスト

規格値

表11 絶対最大定格

記号	項目	条件	定格値	単位
VCC	電源電圧	Vss端子を基準にして測定。 出力トランジスタは遮断状態	- 0.3 ~ 7.0	V
Vi	入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P33, P40 ~ P47		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 C1, C2		- 0.3 ~ 7.0	V
Vi	入力電圧 RESET, XIN, XCIN		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 VLIN		昇圧回路非動作時	- 0.3 ~ 7.0
Vi	入力電圧 VL1, VL2, VL3, VL4, VL5	VL1 VL2 VL3 VL4 VL5	- 0.3 ~ 7.0	V
Vo	出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P33, P41 ~ P47		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧 C1, C2, C3		- 0.3 ~ 7.0	V
Vo	出力電圧 COM0 ~ COM31, SEG0 ~ SEG67		- 0.3 ~ VL5 + 0.3	V
Vo	出力電圧 XOUT, XCOUT		- 0.3 ~ Vcc + 0.3	V
Pd	消費電力	Ta = 25	300	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

表12 推奨動作条件

(指定のない場合は、Vcc = 2.2 ~ 5.5V, Ta = - 20 ~ 85)

記号	項目	規格値			単位	
		最小	標準	最大		
VCC	電源電圧	高速モード時 f(XIN) 8MHz	4.0	5.0	5.5	V
		中速モード時 f(XIN) 8MHz	2.7	5.0	5.5	V
		中速モード時 (マスクROM版) f(XIN) 4MHz	2.2	5.0	5.5	V
		中速モード時 (ワンタイムPROM版) f(XIN) 4MHz	2.5	5.0	5.5	V
		低速モード時 (マスクROM版)	2.2	5.0	5.5	V
		低速モード時 (OTP版)	2.5	5.0	5.5	V
VSS	電源電圧		0		V	
VLIN	電源電圧 VLIN			2.33	V	
VL5	電源電圧 VL5			7.0	V	
ViA	アナログ入力電圧 AIN0 ~ AIN7	Vss		Vcc	V	
ViH	"H" 入力電圧 P00 ~ P07, P10 ~ P17, P45, P47	0.7Vcc		Vcc	V	
ViH	"H" 入力電圧 P20 ~ P27, P30 ~ P33, P40 ~ P43, P44, P46	0.8Vcc		Vcc	V	
ViH	"H" 入力電圧 RESET	0.8Vcc		Vcc	V	
ViH	"H" 入力電圧 XIN	0.8Vcc		Vcc	V	
ViL	"L" 入力電圧 P00 ~ P07, P10 ~ P17, P45, P47	Vss		0.3Vcc	V	
ViL	"L" 入力電圧 P20 ~ P27, P30 ~ P33, P40 ~ P43, P44, P46	Vss		0.2Vcc	V	
ViL	"L" 入力電圧 RESET	Vss		0.2Vcc	V	
ViL	"L" 入力電圧 XIN	Vss		0.2Vcc	V	
IOH(peak)	"H" 出力総尖頭電流 全ポート (注1)			- 60.0	mA	
IOL(peak)	"L" 出力総尖頭電流 全ポート (注1)			60.0	mA	
IOH(avg)	"H" 出力総平均電流 全ポート (注2)			- 30.0	mA	
IOL(avg)	"L" 出力総平均電流 全ポート (注2)			30.0	mA	
IOH(peak)	"H" 出力尖頭電流 全ポート (注3)			- 5.0	mA	
IOL(peak)	"L" 出力尖頭電流 全ポート (注3)			10.0	mA	
IOH(avg)	"H" 出力平均電流 全ポート (注4)			- 2.5	mA	
IOL(avg)	"L" 出力平均電流 全ポート (注4)			5.0	mA	
ROSC	発振抵抗 RC発振選択時	5	8.2	10	k	

注1. 出力総尖頭電流は該当するポート全てに流れる尖頭電流の最高値です。

2. 出力総平均電流は該当するポート全てに流れる100ms期間内の平均値です。

3. 出力尖頭電流は1ポートごとに流れる尖頭電流の最高値です。

4. 出力平均電流は1ポートに流れる100ms期間内の平均値です。

三菱マイクロコンピュータ 38C8グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表13 推奨動作条件(マスクROM版)
(指定のない場合は、 $V_{CC} = 2.2 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f(CNTR0) f(CNTR1)	タイマX、タイマY 入力周波数 (デューティ50%時)				f(XIN)/2	Hz
f(XIN)	メインクロック 入力発振周波数 (注1)	高速モード (4.0V $V_{CC} = 5.5V$)			8.0	MHz
		高速モード (2.2V $V_{CC} < 4.0V$)			$2.9 \times V_{CC} - 3.6$	MHz
		中速モード (2.7V $V_{CC} = 5.5V$)			8.0	MHz
		中速モード (2.2V $V_{CC} < 2.7V$)			$8 \times (V_{CC} - 1.7)$	MHz
f(XCIN)	サブクロック入力発振周波数	(注1、2)		32.768	50	kHz

注1．発振周波数はデューティ50%の場合です。
2．低速モードを使用する場合、 $f(XCIN) < f(XIN)/3$ としてください。

表14 推奨動作条件(PROM版)
(指定のない場合は、 $V_{CC} = 2.5 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f(CNTR0) f(CNTR1)	タイマX、タイマY 入力周波数 (デューティ50%時)				f(XIN)/2	Hz
f(XIN)	メインクロック 入力発振周波数 (注1)	高速モード (4.0V $V_{CC} = 5.5V$)			8.0	MHz
		高速モード (2.5V $V_{CC} < 4.0V$)			$4 \times V_{CC} - 8$	MHz
		中速モード (2.7V $V_{CC} = 5.5V$)			8.0	MHz
		中速モード (2.5V $V_{CC} < 2.7V$)			$20 \times (V_{CC} - 2.3)$	MHz
f(XCIN)	サブクロック入力発振周波数	(注1、2)		32.768	50	kHz

注1．発振周波数はデューティ50%の場合です。
2．低速モードを使用する場合、 $f(XCIN) < f(XIN)/3$ としてください。

表15 電気的特性
(指定のない場合は、Vcc = 2.2 ~ 5.5V、Ta = - 20 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P17, P30 ~ P33	IOH = - 5.0mA Vcc = 5.0V	Vcc - 2.0			V
		IOH = - 1.5mA Vcc = 5.0V	Vcc - 0.5			V
		IOH = - 1.25mA Vcc = 2.2V	Vcc - 1.0			V
VOH	“H”出力電圧 P20 ~ P27, P41 ~ P47	IOH = - 5.0mA Vcc = 5.0V	Vcc - 2.0			V
		IOH = - 1.5mA Vcc = 5.0V	Vcc - 0.5			V
		IOH = - 1.25mA Vcc = 2.2V	Vcc - 1.0			V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P17, P30 ~ P33	IOl = 5.0mA Vcc = 5.0V			2.0	V
		IOl = 1.5mA Vcc = 5.0V			0.5	V
		IOl = 1.25mA Vcc = 2.2V			1.0	V
VOL	“L”出力電圧 P20 ~ P27, P41 ~ P47	IOl = 5.0mA Vcc = 5.0V			2.0	V
		IOl = 1.5mA Vcc = 5.0V			0.5	V
		IOl = 1.25mA Vcc = 2.2V			1.0	V
VT+ - VT-	ヒステリシス INT0, INT1, ADT, CNTR0, CNTR1, P20 ~ P27			0.5		V
VT+ - VT-	ヒステリシス SCLK, RxD			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
IiH	“H”入力電流 全ポート				5.0	μA
IiH	“H”入力電流 RESET				5.0	μA
IiH	“H”入力電流 XIN			4.0		μA
IiL	“L”入力電流 全ポート	Vi = Vss プルアップOFF			- 5.0	μA
		Vcc = 5.0V, Vi = Vss プルアップON	- 60.0	- 120.0	- 240.0	μA
		Vcc = 2.2V, Vi = Vss プルアップON	- 5.0	- 20.0	- 40.0	μA
IiL	“L”入力電流 RESET	Vi = Vss			- 5.0	μA
IiL	“L”入力電流 XIN	Vi = Vss		- 4.0		μA

表16 電気的特性

(指定のない場合は、V_{CC}=2.2~5.5V、T_a= -20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VRAM	RAM保持電圧	クロック停止時	2.0	5.0	5.5	V
I _{CC}	電源電流	高速モード時、V _{CC} = 5.0V f(X _{IN}) = 8.0MHz f(X _{CIN}) = 32.768kHz		5.5	11.0	mA
		中速モード時、V _{CC} = 5.0V f(X _{IN}) = 8.0MHz f(X _{CIN}) = 32.768kHz		3.0	6.0	mA
		中速モード時、V _{CC} = 3.0V f(X _{IN}) = 8.0MHz f(X _{CIN}) = 32.768kHz		1.0	2.0	mA
		低速モード時、V _{CC} = 3.0V f(X _{IN}) = 停止 f(X _{CIN}) = 32.768kHz		20.0	40.0	μA
		高速・中速モード時、V _{CC} = 5.0V f(X _{IN}) = 8.0MHz(WIT命令実行時) f(X _{CIN}) = 32.768kHz		0.9	1.8	mA
		高速・中速モード時、V _{CC} = 3.0V f(X _{IN}) = 8.0MHz(WIT命令実行時) f(X _{CIN}) = 32.768kHz		0.3	0.6	mA
		低速モード時、V _{CC} = 3.0V f(X _{IN}) = 停止 f(X _{CIN}) = 32.768kHz(WIT命令実行時)		4.5	9.0	μA
		発振はすべて停止 T _a = 25、出力トランジスタは遮断状態 (STP命令実行時)		0.1	1.0	μA
		発振はすべて停止 T _a = 85、出力トランジスタは遮断状態 (STP命令実行時)			10.0	μA
I _{AD}	A-D変換器消費電流	A-D変換器動作時の電流増加 f(X _{IN}) = 8.0MHz		0.8	1.6	mA
I _{L5}	V _{L5} 入力電流(注1)	V _{L5} = 6.0V、T _a = 25		3	6	μA
FROSC	RC発振周波数	ROSC = 8.2k	1.5	2.5	3.5	MHz

注1. 通常の駆動能力(駆動能力選択ビット1 = "0"、駆動能力選択ビット2 = "0")を選択した場合です。

表17 A-D変換器特性

(指定のない場合は、V_{CC} = 2.2~5.5V、V_{SS} = 0V、T_a = -20~85、f(X_{IN}) = 4MHz、中速/高速モード時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				10	BITS
-	絶対精度(量子化誤差は除く)	V _{CC} = 2.7~5.5V			±4	LSB
		V _{CC} = 2.5~2.7V(T _a = -10~50)			±6	LSB
t _{CONV}	変換時間	f(X _{IN}) = 4MHz(注)	30.5		34	μs
I _{IA}	アナログ入力電流			0.5	5.0	μA

注 システムクロックにメインクロックを選択時。

表18 . タイミング必要条件1

(指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = - 20 ~ 85)

記 号	項 目	規 格 値			単 位
		最 小	標 準	最 大	
tw(RESET)	リセット入力 “ L ” パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	125			ns
tWH(XIN)	メインクロック入力 “ H ” パルス幅	45			ns
tWL(XIN)	メインクロック入力 “ L ” パルス幅	40			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	250			ns
tWH(CNTR)	CNTR0, CNTR1入力 “ H ” パルス幅	105			ns
tWL(CNTR)	CNTR0, CNTR1入力 “ L ” パルス幅	105			ns
tWH(INT)	INT0,INT1入力 “ H ” パルス幅	80			ns
tWL(INT)	INT0,INT1入力 “ L ” パルス幅	80			ns
tc(SCLK)	シリアル/Oクロック入力サイクル時間 (注)	800			ns
tWH(SCLK)	シリアル/Oクロック入力 “ H ” パルス幅 (注)	370			ns
tWL(SCLK)	シリアル/Oクロック入力 “ L ” パルス幅 (注)	370			ns
tsu(RxD-SCLK)	シリアル/O入力セットアップ時間	220			ns
th(SCLK-RxD)	シリアル/Oホールド入力時間	100			ns

注 . 001A16番地のビット6が “ 1 ” の場合です。
001A16番地のビット6が “ 0 ” の場合、値は1/4になります。

表19 . タイミング必要条件2(マスクROM版)

(指定のない場合は、Vcc = 2.2 ~ 4.0V、Vss = 0V、Ta = - 20 ~ 85)

記 号	項 目	規 格 値			単 位
		最 小	標 準	最 大	
tw(RESET)	リセット入力 “ L ” パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力) Vcc=2.7 ~ 4.0V	125			ns
	メインクロック入力サイクル時間(XIN入力) Vcc=2.2 ~ 2.7V	250			ns
tWH(XIN)	メインクロック入力 “ H ” パルス幅 Vcc=2.7 ~ 4.0V	45			ns
	メインクロック入力 “ H ” パルス幅 Vcc=2.2 ~ 2.7V	100			ns
tWL(XIN)	メインクロック入力 “ L ” パルス幅 Vcc=2.7 ~ 4.0V	40			ns
	メインクロック入力 “ L ” パルス幅 Vcc=2.2 ~ 2.7V	100			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	2/f(XIN)			s
tWH(CNTR)	CNTR0, CNTR1入力 “ H ” パルス幅	tc(CNTR)/2 - 20			ns
tWL(CNTR)	CNTR0, CNTR1入力 “ L ” パルス幅	tc(CNTR)/2 - 20			ns
tWH(INT)	INT0,INT1入力 “ H ” パルス幅	230			ns
tWL(INT)	INT0,INT1入力 “ L ” パルス幅	230			ns
tc(SCLK)	シリアル/Oクロック入力サイクル時間 (注)	2000			ns
tWH(SCLK)	シリアル/Oクロック入力 “ H ” パルス幅 (注)	950			ns
tWL(SCLK)	シリアル/Oクロック入力 “ L ” パルス幅 (注)	950			ns
tsu(RxD-SCLK)	シリアル/O入力セットアップ時間	400			ns
th(SCLK-RxD)	シリアル/Oホールド入力時間	200			ns

注 . 001A16番地のビット6が “ 1 ” の場合です。
001A16番地のビット6が “ 0 ” の場合、値は1/4になります。

三菱マイクロコンピュータ 38C8グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表20 .タイミング必要条件2(ワンタイムPROM版)
(指定のない場合は、V_{CC} = 2.5 ~ 4.0V、V_{SS} = 0V、Ta = - 20 ~ 85)

記 号	項 目	規 格 値			単 位
		最 小	標 準	最 大	
tw(RESET)	リセット入力 “ L ” パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力) V _{CC} =2.7 ~ 4.0V	125			ns
	メインクロック入力サイクル時間(XIN入力) V _{CC} =2.5 ~ 2.7V	250			ns
twh(XIN)	メインクロック入力 “ H ” パルス幅 V _{CC} =2.7 ~ 4.0V	45			ns
	メインクロック入力 “ H ” パルス幅 V _{CC} =2.5 ~ 2.7V	100			ns
tWL(XIN)	メインクロック入力 “ L ” パルス幅 V _{CC} =2.7 ~ 4.0V	40			ns
	メインクロック入力 “ L ” パルス幅 V _{CC} =2.5 ~ 2.7V	100			ns
tc(CNTR)	CNTR ₀ , CNTR ₁ 入力サイクル時間	2/f(XIN)			s
twh(CNTR)	CNTR ₀ , CNTR ₁ 入力 “ H ” パルス幅	tc(CNTR)/2 - 20			ns
tWL(CNTR)	CNTR ₀ , CNTR ₁ 入力 “ L ” パルス幅	tc(CNTR)/2 - 20			ns
twh(INT)	INT ₀ , INT ₁ 入力 “ H ” パルス幅	230			ns
tWL(INT)	INT ₀ , INT ₁ 入力 “ L ” パルス幅	230			ns
tc(SCLK)	シリアル/Oクロック入力サイクル時間 (注)	2000			ns
twh(SCLK)	シリアル/Oクロック入力 “ H ” パルス幅 (注)	950			ns
tWL(SCLK)	シリアル/Oクロック入力 “ L ” パルス幅 (注)	950			ns
tsu(RxD-SCLK)	シリアル/O入力セットアップ時間	400			ns
th(SCLK-RxD)	シリアル/Oホールド入力時間	200			ns

注 . 001A₁₆番地のビット6が “ 1 ” の場合です。
001A₁₆番地のビット6が “ 0 ” の場合、値は1/4になります。

表21 スイッチング特性1

(指定のない場合は、Vcc = 4.0 ~ 5.5V, Vss = 0V, Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK)	シリアル/Oクロック出力“H”パルス幅	tc(SCLK)/2 - 30			ns
t _{WL} (SCLK)	シリアル/Oクロック出力“L”パルス幅	tc(SCLK)/2 - 30			ns
t _d (SCLK-TxD)	シリアル/O出力遅延時間 (注1)			140	ns
t _v (SCLK-TxD)	シリアル/O出力有効時間 (注1)	- 30			ns
t _r (SCLK)	シリアル/Oクロック出力立ち上がり時間			30	ns
t _f (SCLK)	シリアル/Oクロック出力立ち下がり時間			30	ns
t _r (CMOS)	CMOS出力立ち上がり時間 (注2)		10	30	ns
t _f (CMOS)	CMOS出力立ち下がり時間 (注2)		10	30	ns

注1. UART制御レジスタのP45/TxD Pチャンネル出力禁止ビット(001B₁₆番地のビット4)が“0”の場合です。

2. X_{OUT}、X_{CO_{UT}}を除きます。

表22 スイッチング特性2

(指定のない場合は、Vcc = 2.2 ~ 4.0V, Vss = 0V, Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
t _{WH} (SCLK)	シリアル/Oクロック出力“H”パルス幅	tc(SCLK)/2 - 50			ns
t _{WL} (SCLK)	シリアル/Oクロック出力“L”パルス幅	tc(SCLK)/2 - 50			ns
t _d (SCLK-TxD)	シリアル/O出力遅延時間 (注1)			350	ns
t _v (SCLK-TxD)	シリアル/O出力有効時間 (注1)	- 30			ns
t _r (SCLK)	シリアル/Oクロック出力立ち上がり時間			50	ns
t _f (SCLK)	シリアル/Oクロック出力立ち下がり時間			50	ns
t _r (CMOS)	CMOS出力立ち上がり時間 (注2)		20	50	ns
t _f (CMOS)	CMOS出力立ち下がり時間 (注2)		20	50	ns

注1. UART制御レジスタのP45/TxD Pチャンネル出力禁止ビット(001B₁₆番地のビット4)が“0”の場合です。

2. X_{OUT}、X_{CO_{UT}}を除きます。

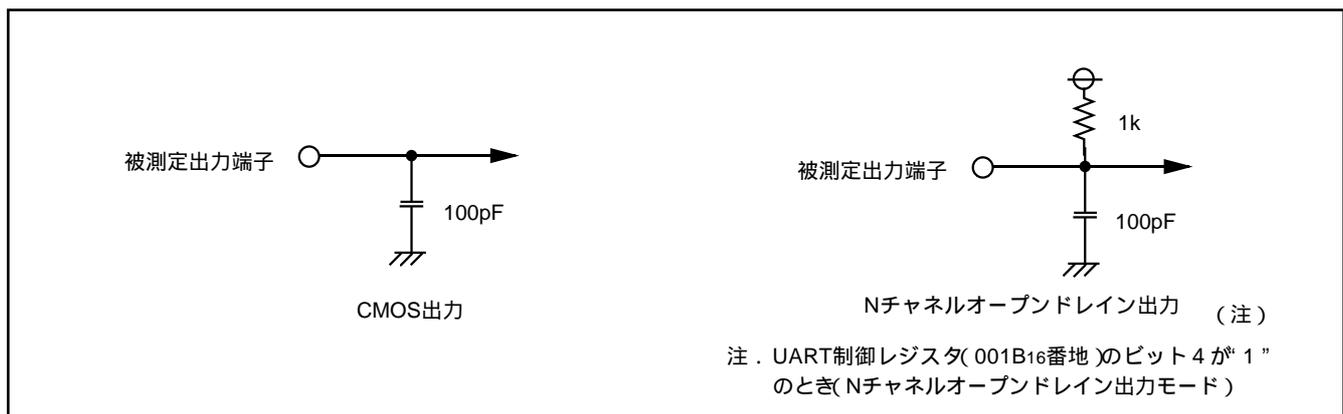


図46 出力スイッチング特性の測定回路図

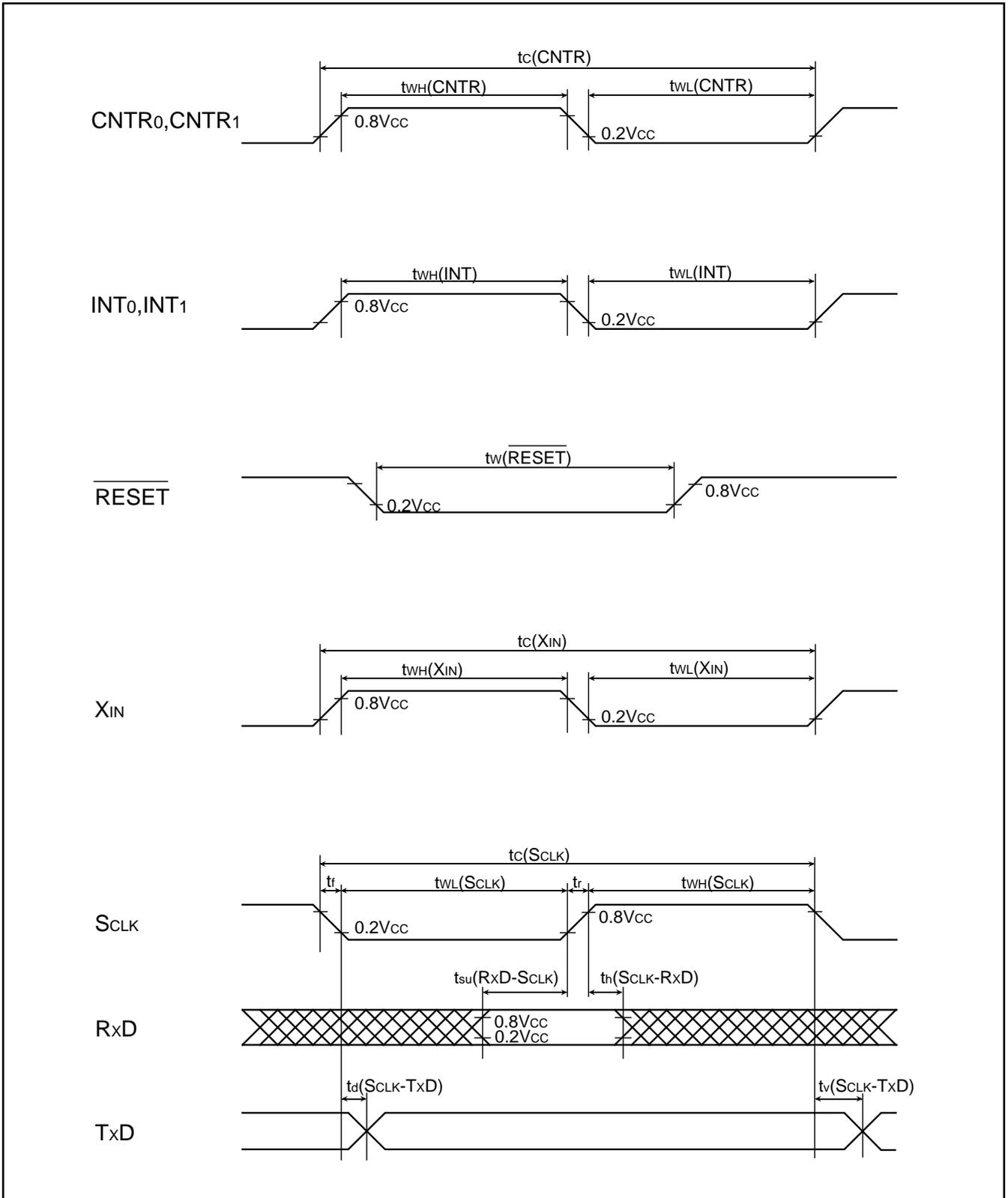


図47. タイミング図

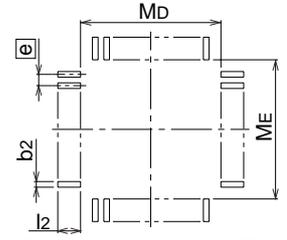
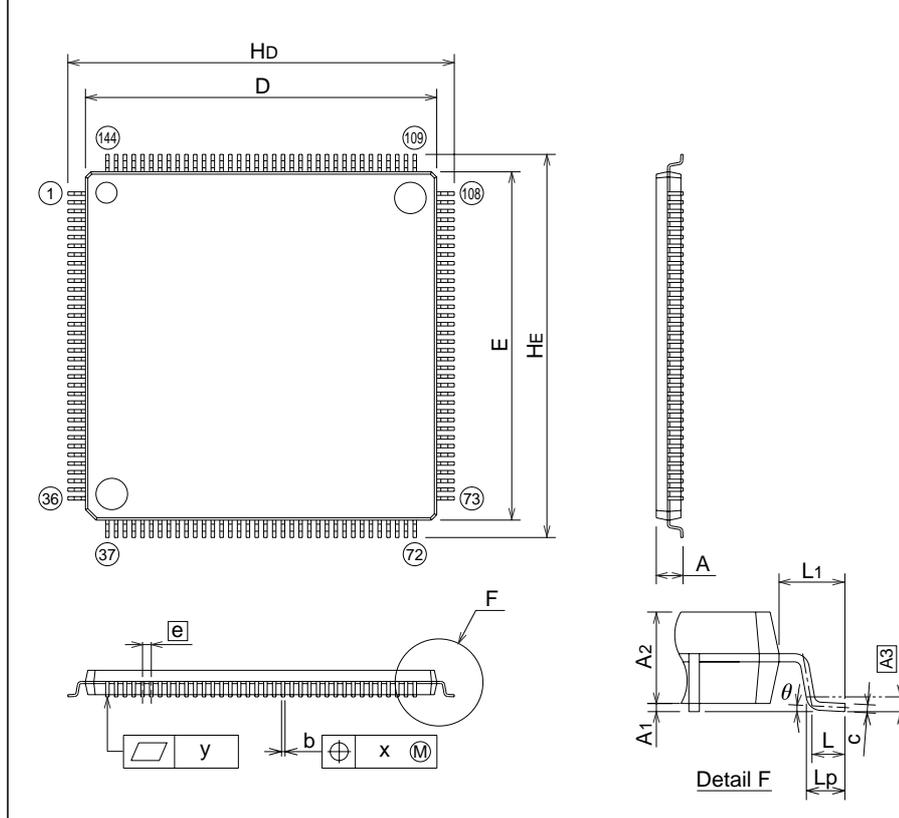
外形寸法図

144P6Q-A

(MMP)

Plastic 144pin 20X20mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP144-P-2020-0.50	-	1.23	Cu Alloy



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0.05	0.125	0.2
A2	-	1.4	-
b	0.17	0.22	0.27
c	0.105	0.125	0.175
D	19.9	20.0	20.1
E	19.9	20.0	20.1
e	-	0.5	-
Hd	21.8	22.0	22.2
HE	21.8	22.0	22.2
L	0.35	0.5	0.65
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.08
y	-	-	0.1
theta	0°	-	8°
b2	-	0.225	-
l2	0.95	-	-
MD	-	20.4	-
ME	-	20.4	-

株式会社ルネサス テクノロジ 東京都千代田区大手町 2-6-2 〒 100-0004

安全設計に関するお願い (弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項 (本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (<http://www.semicon.melco.co.jp/>) などを通じて公開される情報に常にご注意ください。
・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へ照会ください。
・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

2002年10月 作成

改訂履歴

38C8 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	00/11/10		PDF ファイル初版発行
2.0	01/01/29	1	概要の文章を一部削除及び変更
		2	図 1 M38C89MF-XXXXFP ピン接続図の一部変更
		3	図 2 機能ブロック図の一部変更
		4	表 1 端子の機能説明の一部変更
		12	図 9 SFR メモリマップの一部修正
		13	図 10 PULL レジスタ A, PULL レジスタ B の構成の一部修正
		14	表 5 入出力ポートの機能一覧の P44/RxD, P45/TxD, P46/SCLK, P47/SRDY のポート以外の機能及び関連する SFR を一部修正
		14	表 5 入出力ポートの機能一覧の P10/AIN4 ~ P13/AIN7, P30/AIN0 ~ P33/AIN3, P41/INT1/ADT, SEG60/COM31 ~ SEG67/COM24 の端子名修正
		17	割り込みの 注意事項の修正
		26	シリアル I/O の 注意事項の追加
		28	図 25 A-D 制御レジスタの構成の一部修正
		28	図 26 A-D 変換器のブロック図の一部修正
		29	LCD コントローラ/ドライバの文章を一部削除
		29	図 27 LCD コントローラ/ドライバのブロック図の一部変更
		30	LCD コントローラ/ドライバの機能の文章を一部削除
		30	【LCD 制御レジスタ 1】の文章を一部削除
		30	図 28 LCD 関係レジスタの構成の一部変更
		31	機能説明の文章を一部削除
		31	図 29 各バイアス時の回路例の一部変更
		32	コモン端子と時分割制御の文章を一部修正
		35	図 33 リセット回路例の一部変更
		36	図 35 リセット時の内部状態の(10)UART 制御レジスタの名称修正
		40	プログラミング上の注意事項の LCD 制御に関するものの文章を一部削除
		42	表 11 推奨動作条件の Vcc の項目を一部削除
		42	表 11 推奨動作条件の V _{IA} の端子名を修正
		42	表 11 推奨動作条件の P40, P43 の V _{IH} , V _{IL} の規格値を修正
		43	表 12 推奨動作条件(マスク ROM 版)の f(X _{IN})の測定条件及び規格値を一部修正
		43	表 13 推奨動作条件(PROM 版)の f(X _{IN})の測定条件を一部修正
		44	表 14 電気的特性の RESET の I _{IH} の規格値を修正
		45	表 15 電気的特性の I _{CC} の測定条件を一部修正
		45	表 15 電気的特性の I _{L5} に追加
		45	表 15 電気的特性の項目を一部削除
		46	Rev.1.0 の表 17 を削除
		49	図 42 タイミング図の一部修正
2.1	01/10/15	3	図 2 機能ブロック図の一部修正
		15	図 11 ポートのブロック図(1)の一部修正
		16	図 12 ポートのブロック図(2)の一部修正
		41	マスク化発注時の提出資料の文章を一部追加
		41	表 10 専用書き込みアダプタを追加
		42	表 12 推奨動作条件の Vcc の項目を一部削除
		43	表 13 推奨動作条件(マスク ROM 版)の f(CNTR ₀), f(CNTR ₁)の単位の修正
		43	表 13 推奨動作条件(マスク ROM 版)の f(X _{IN})の高速モード(2.2V V _{CC} < 4.0V)の規格値を修正
		43	表 13 推奨動作条件(マスク ROM 版)の f(X _{IN})に中速モード(2.2V V _{CC} < 2.7V)の規格値を追加
		43	表 14 推奨動作条件(PROM 版)の f(CNTR ₀), f(CNTR ₁)の単位の修正

改訂履歴

38C8 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
2.1	01/10/15	43 46 46 47	表 14 推奨動作条件 (PROM 版) の $f(XIN)$ に中速モード (2.5V $V_{CC} < 2.7V$) の規格値を追加 表 19 タイミング必要条件 2 (マスク ROM 版) の $t_C(XIN)$ 、 $t_{WH}(XIN)$ 、 $t_{WL}(XIN)$ の項目を追加 表 19 タイミング必要条件 2 (マスク ROM 版) の $t_C(CNTR)$ の規格値及び単位の修正 表 20 タイミング必要条件 2 (ワンタイム PROM 版) を追加
2.2	01/12/05	3 4 14 17 28 36 40	図 2 機能ブロック図の一部変更 表 1 端子の機能説明の一部変更 表 5 入出力ポートの機能一覧の一部変更 割り込みの 注意事項の文章を一部変更 【コンパレータ及び制御回路】の文章を一部変更 図 35 リセット時の内部状態の一部変更 プログラミング上の注意事項の A-D 変換に関するものの文章を一部変更
2.3	02/01/21	22	図 18 タイマ Y モードレジスタの構成の一部変更
2.4	02/05/29	全ページ 1 6 8 10 11 13 14 17 19 20 21 21 25 31 32 35 38 39 40 41、42	ヘッダ部の [開発中] の表記を削除 割り込み要因数、ベクタ数を修正 図 4 [開発中] の表記及び [注] を削除 図 6 [注] の文章を一部変更 図 7 b4 の名称を変更 図 8 [*] の文章 (番地) を一部修正 図 10 [注] の文章を一部変更 表 5 [P43/CNTR1/BEEP+] のポート以外の機能を一部修正 [割り込み] の要因数を一部修正 図 15 ブロック図の一部修正 図 16 モード名を修正 (パルス出力 ブザー出力) [(2) ブザー出力モード] に説明文を追加 図 17 モード名を修正 (パルス出力 ブザー出力) 図 22 $f(XIN)$ に追記 [昇圧回路] [バイアス制御] に説明文を追加 [LCD 表示用 RAM] に説明文を追加 図 33 [注] を削除 図 38 [注] のビット名称を変更 図 39 CM4 の名称を変更 [A-D 変換に関するもの] に説明文を追加 追加
2.5	02/06/25	3 4 14 15 30 33、34 47	図 2 図の一部変更 表 1 端子名 [COM0 ~ COM15] に修正 表 5 [入出力形式] の一部修正 図 11 (1) の一部変更 (P1 P14 ~ P17) 表 7 [時分割] の数値表記を変更 図 31 及び 32 の図題を修正 表 16 [測定条件] の 7 項目に修正 (中速モード時 高速・中速モード時)
2.6	02/10/23	15	図 11 (3)、(4)、(5) の一部変更