

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

### 概要

38C5グループは、740ファミリアを採用した8ビットマイクロコンピュータです。LCD駆動制御回路、A/Dコンバータ、シリアルインタフェースなどの付加機能を備えています。

38C5グループには内蔵するメモリの種類、容量、パッケージの異なる複数の品種があります。

本データシートは、38C5グループのワンタイムPROM版についてのみ記載しております。ワンタイムPROM版以外の製品につきましては、38C5グループデータシートを参照ください。

### 特長

基本機械語命令 .....	71
命令実行時間 .....	0.67 $\mu$ s(最小命令、発振周波数6MHz時)
メモリ容量 ROM .....	60Kバイト
RAM .....	2048バイト
プログラマブル入出力ポート .....	59本( SEG共用32本 )
割り込み .....	17要因、16ベクタ (キー入力割り込み含む)
タイマ .....	8ビット×4、16ビット×2
シリアルインタフェース	
シリアルI/O1 .....	8ビット×1 (UART又はクロック同期形)
シリアルI/O2 .....	8ビット×1 (クロック同期形)
PWM .....	10ビット×2、16ビット×1 (IGBT出力兼用)
A/Dコンバータ .....	10ビット×8 (低速モード時動作可)
ウォッチドッグタイマ .....	8ビット×1
LED直接駆動ポート .....	6本 (平均電流15mA、尖頭電流30mA、総和電流90mA)

LCD駆動制御回路	バイアス .....	1/2、1/3バイアス
	時分割 ..	スタティック、2、3、4、8時分割
	コモン出力 .....	4/8本
	セグメント出力 .....	32/36本
メインクロック発生回路 .....	1回路内蔵 (セラミック共振子又はオンチップオシレータ)	
サブクロック発生回路 .....	1回路内蔵 (水晶共振子外付け)	
電源電圧	高速モード時( f(X <sub>IN</sub> )6MHz ) .....	3.0 ~ 3.6V
	高速モード時( f(X <sub>IN</sub> )4MHz ) .....	2.0 ~ 3.6V
	中速モード時( f(X <sub>IN</sub> )6MHz ) .....	1.8 ~ 3.6V
	低速モード時 .....	1.8 ~ 3.6V
消費電力( マスクROM版 )		
	高速モード時 .....	標準15mW (V <sub>CC</sub> =2.5V、f(X <sub>IN</sub> )=4MHz、Ta=25 )
	低速モード時 .....	標準18 $\mu$ W (V <sub>CC</sub> =2.5V、f(X <sub>IN</sub> )=停止、f(X <sub>CIN</sub> )=32kHz、Ta=25 )
動作周囲温度 .....		- 20 ~ 85

### 応用

家電、民生機器など

ピン接続図 (上面図)

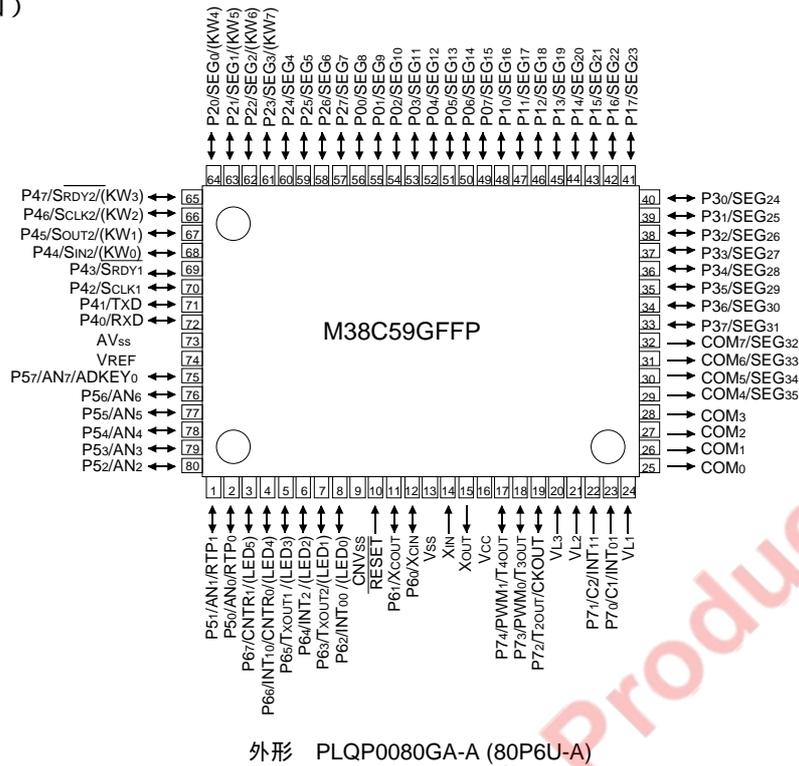


図1. M38C59GFFPピン接続図

ピン接続図 (上面図)

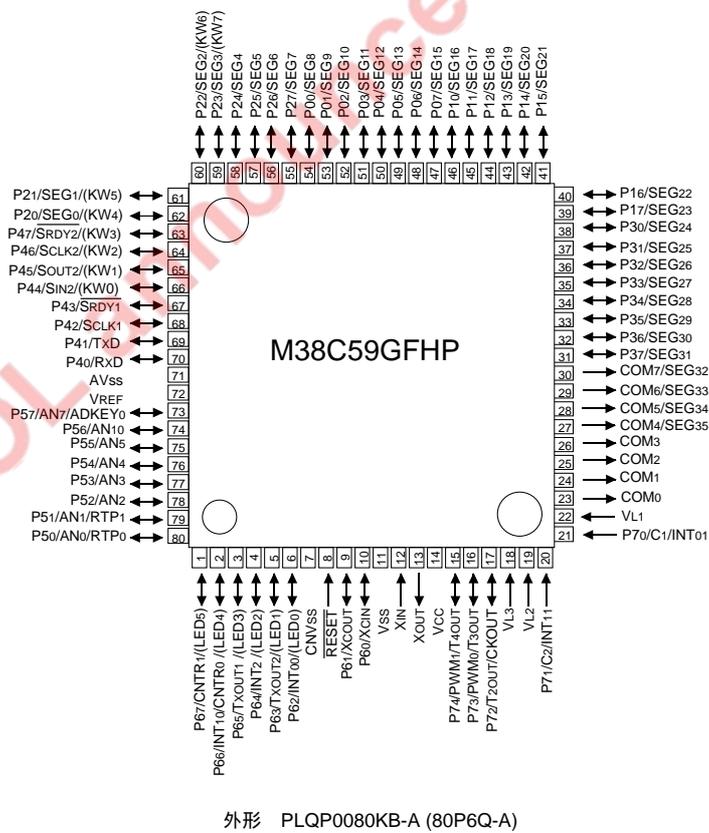


図2. M38C59GFHPピン接続図

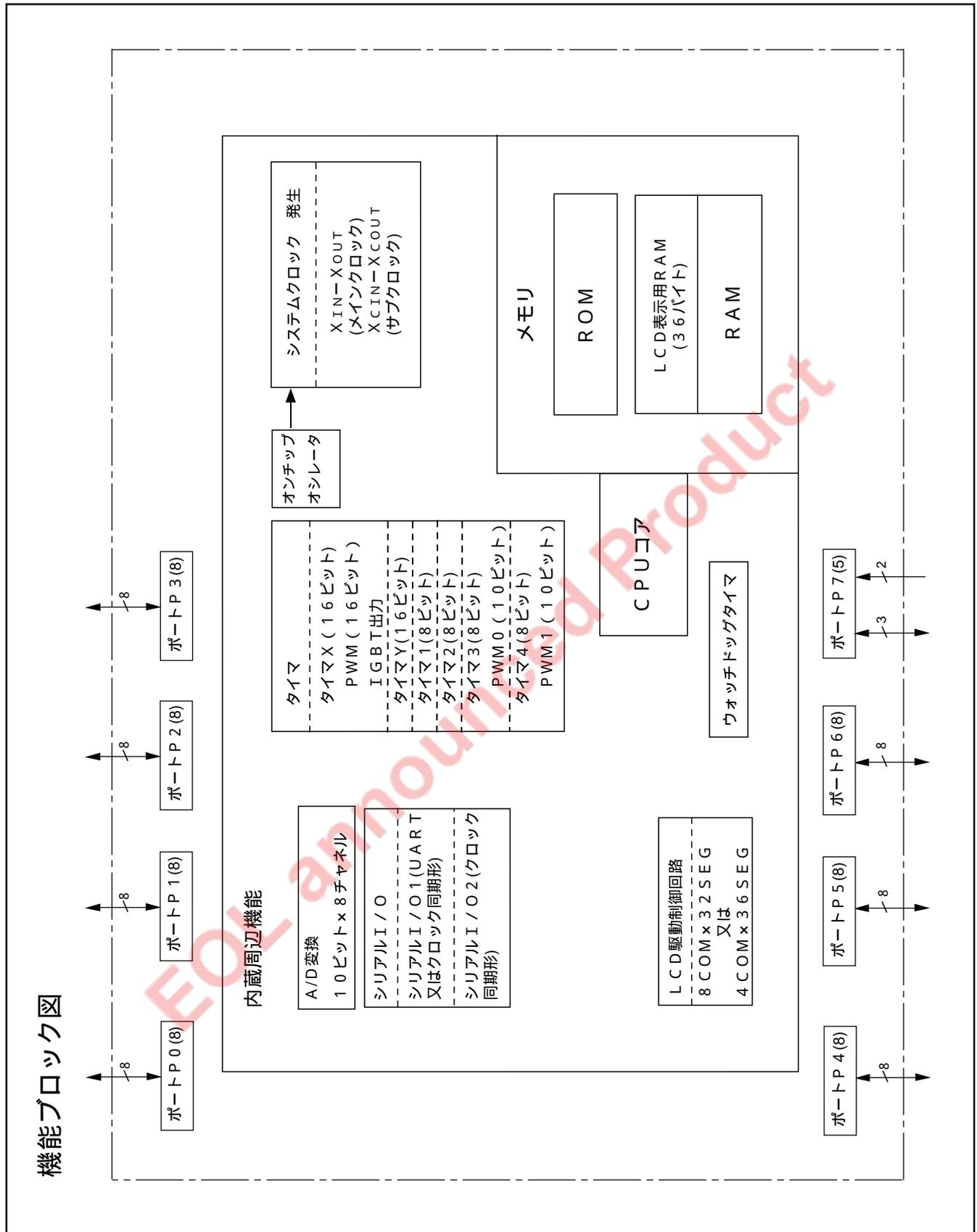


図3. 機能ブロック図

端子の機能説明

表1. 端子の機能説明

端子名	名称	機能	ポート以外の機能			
Vcc,Vss	電源入力	Vccに電源電圧、Vssに0Vを印加します。				
RESET	リセット入力	アクティブ“L”のリセット入力端子です。				
XIN	クロック入力	メインクロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。				
XOUT	クロック出力	外部クロック使用時はクロック発振源をXINに接続し、XOUTは開放にします。帰還抵抗内蔵です。				
VL1、VL2、VL3	LCD用電源入力	0 V <sub>L1</sub> V <sub>L2</sub> V <sub>L3</sub> の電圧を印加します。LCDには、0~V <sub>L3</sub> の電圧を印加します。				
COM0~COM3	コモン出力	LCDコモン出力端子です。2時分割時はCOM2、COM3は使用しません。3時分割時はCOM3は使用しません。				
COM4/SEG35~COM7/SEG32	コモン出力 / セグメント出力	LCDコモン / セグメント出力端子です。				
P00/SEG8~P07/SEG15	入出力ポートP0	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。				
P10/SEG16~P17/SEG23	入出力ポートP1	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、4ビット単位で入出力の指定が可能です。4ビット単位でプルアップ制御が可能です。				
P20/SEG0((KW4)~P23/SEG3((KW7)	入出力ポートP2	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。	キー入力割り込み入力端子			
P24/SEG4~P27/SEG7						
P30/SEG24~P37/SEG31	入出力ポートP3	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、4ビット単位で入出力の指定が可能です。4ビット単位でプルアップ制御が可能です。				
P40/RxD、P41/TxD、P42/ScLK1、P43/SRDY1	入出力ポートP4	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、4ビット単位で入出力の指定が可能です。4ビット単位でプルアップ制御が可能です。	シリアルI/O1の機能端子			
P44/SIN2((KW0)、P45/SOUT2((KW1)、P46/ScLK2((KW2)、P47/SRDY2((KW3)			シリアルI/O2の機能端子	キー入力割り込み入力端子		
P50/AN0/RTP0、P51/AN1/RTP1	入出力ポートP5	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。	A/Dコンバータ入力端子	リアルタイムポート機能端子		
P52/AN2~P56/AN6						
P57/AN7/ADKEY0			ADKEY入力端子			
P60/XCIN、P61/XCOUT	入出力ポートP6	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。P62~P67はLED駆動用の大電流出力が可能です。	サブクロック発生回路の入出力端子 (発振子を接続します。)			
P62/INT00(LED0)、P63/TXOUT2((LED1)、P64/INT2((LED2)			外部割り込み端子	タイマX出力端子		
P65/TXOUT1((LED3)			外部割り込み端子	タイマX出力端子		
P66/INT10/CNTR0(LED4) P67/CNTR1(LED5)			タイマX、タイマY	外部割り込み端子機能端子		
P70/C1/INT01、P71/C2/INT11			入力ポートP7	2ビットの入力ポートです。CMOS入力レベルです。	外部割り込み端子	LCD昇圧用容量接続端子
P72/T2OUT/CKOUT			入出力ポートP7	3ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。	クロック出力端子	タイマ2出力端子
P73/PWM0/T3OUT、P74/PWM1/T4OUT			PWM出力端子	タイマ3出力端子 タイマ4出力端子		
CNVss	CNVss	この端子はVssに接続してください。				
VREF	基準電圧入力	A/Dコンバータの基準電圧入力端子です。				
AVss	アナログ電源入力	A/Dコンバータの電源入力端子です。この端子はVssに接続してください。				

型名とメモリサイズ・パッケージ

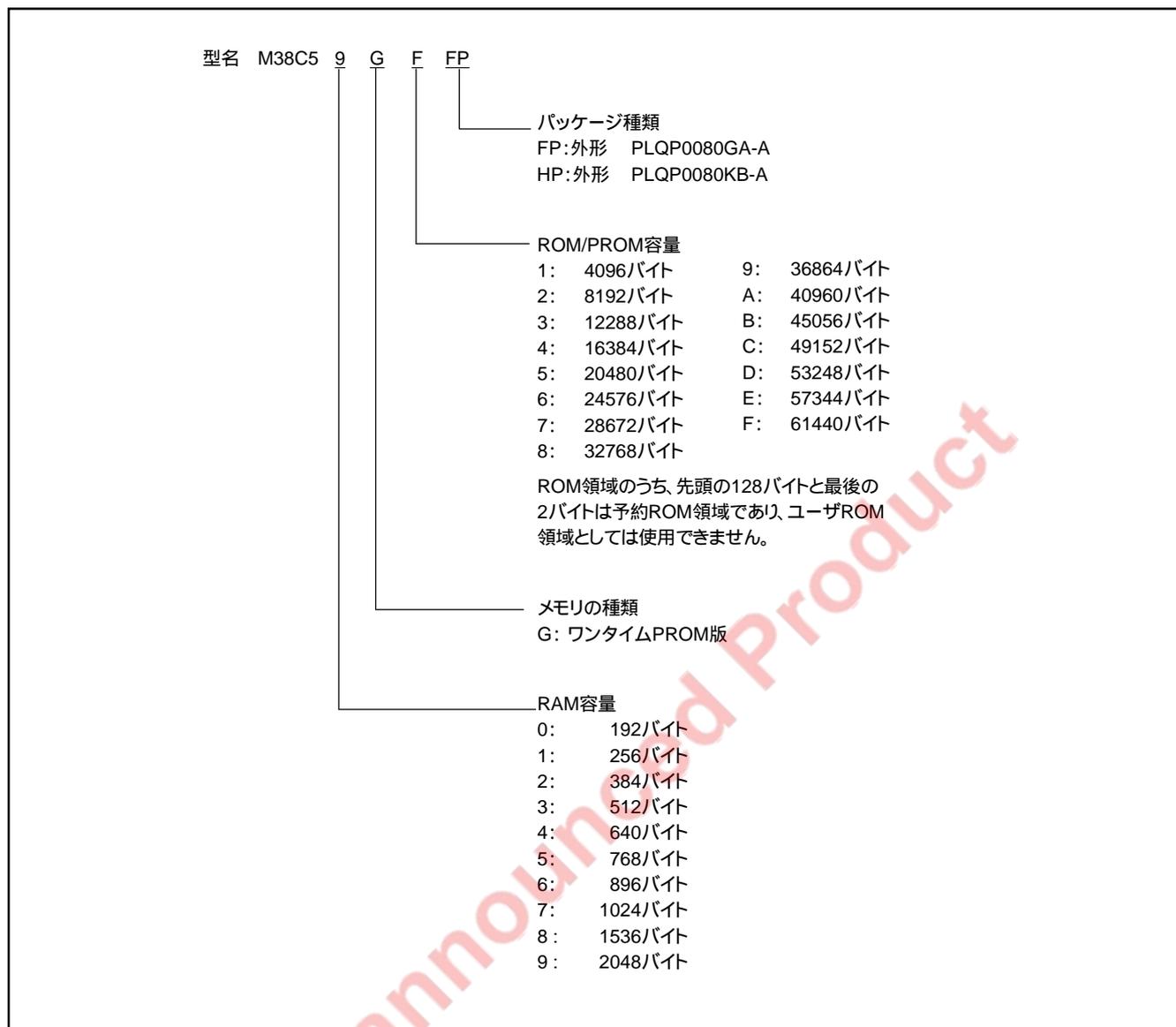


図4. 型名とメモリサイズ・パッケージ

グループ展開

38C5グループ(ワンタイムPROM版)は次のような展開を計画しています。

メモリ容量

ワンタイムPROM容量 ..... 60Kバイト  
RAM容量 ..... 2048バイト

パッケージ

PLQP0080GA-A ..... 0.8mmピッチプラスチックモールドQFP  
PLQP0080KB-A ..... 0.5mmピッチプラスチックモールドQFP

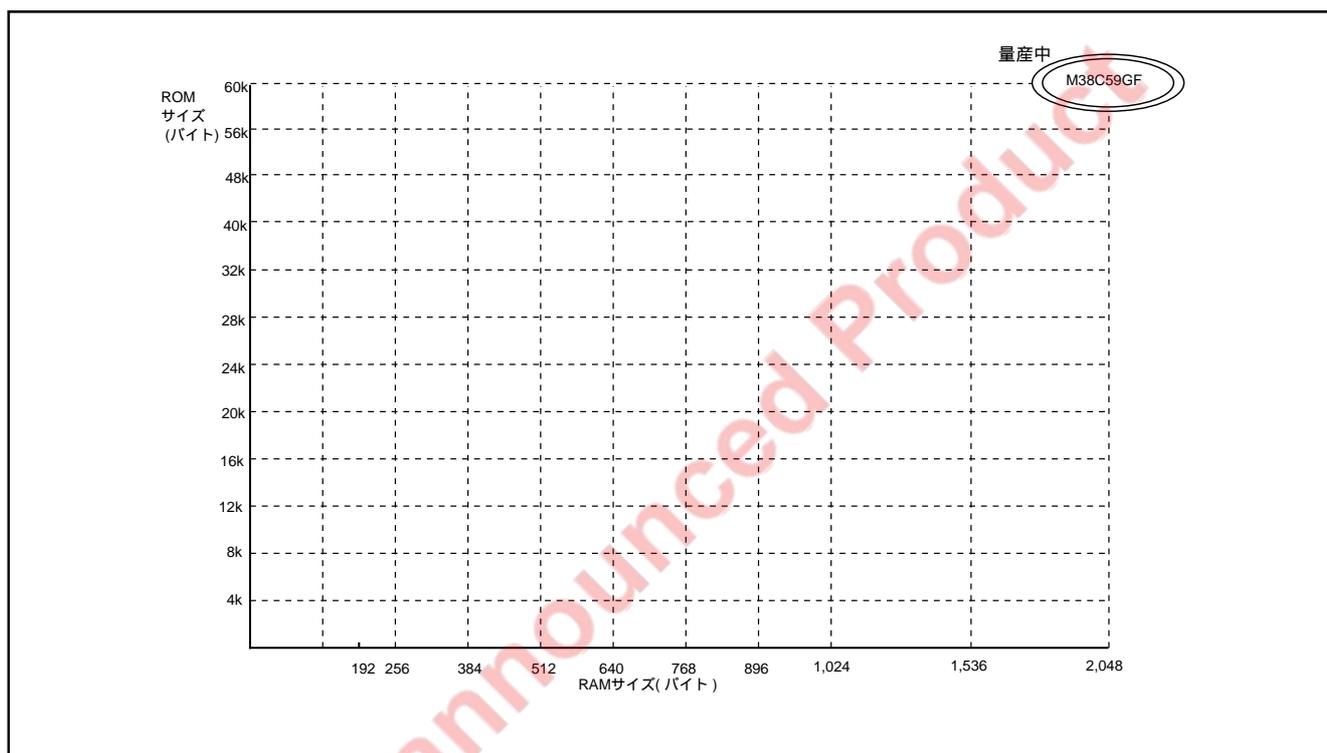


図5 . 38C5グループ(ワンタイムPROM版) ROM、RAM展開計画

現在サポートを計画している製品を表2に示します。

表2. サポート製品一覧

2005年11月現在

製品型名	ROM容量(バイト) ( )内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M38C59GFFP	61440	2048	PLQP0080GA-A	ワンタイムPROM版
M38C59GFHP	(61310)		PLQP0080KB-A	

EOL announced Product

## 機能ブロック動作説明

## 中央演算処理装置(CPU)

38C5グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。

図6にCPUのレジスタ構成を示します。

## 【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

## 【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

## 【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

## 【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

図7にスタックへの退避及び復帰動作、表3にアキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令を示します。ここに示す以外に必要なレジスタは、プログラムで退避してください。

## 【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウントです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

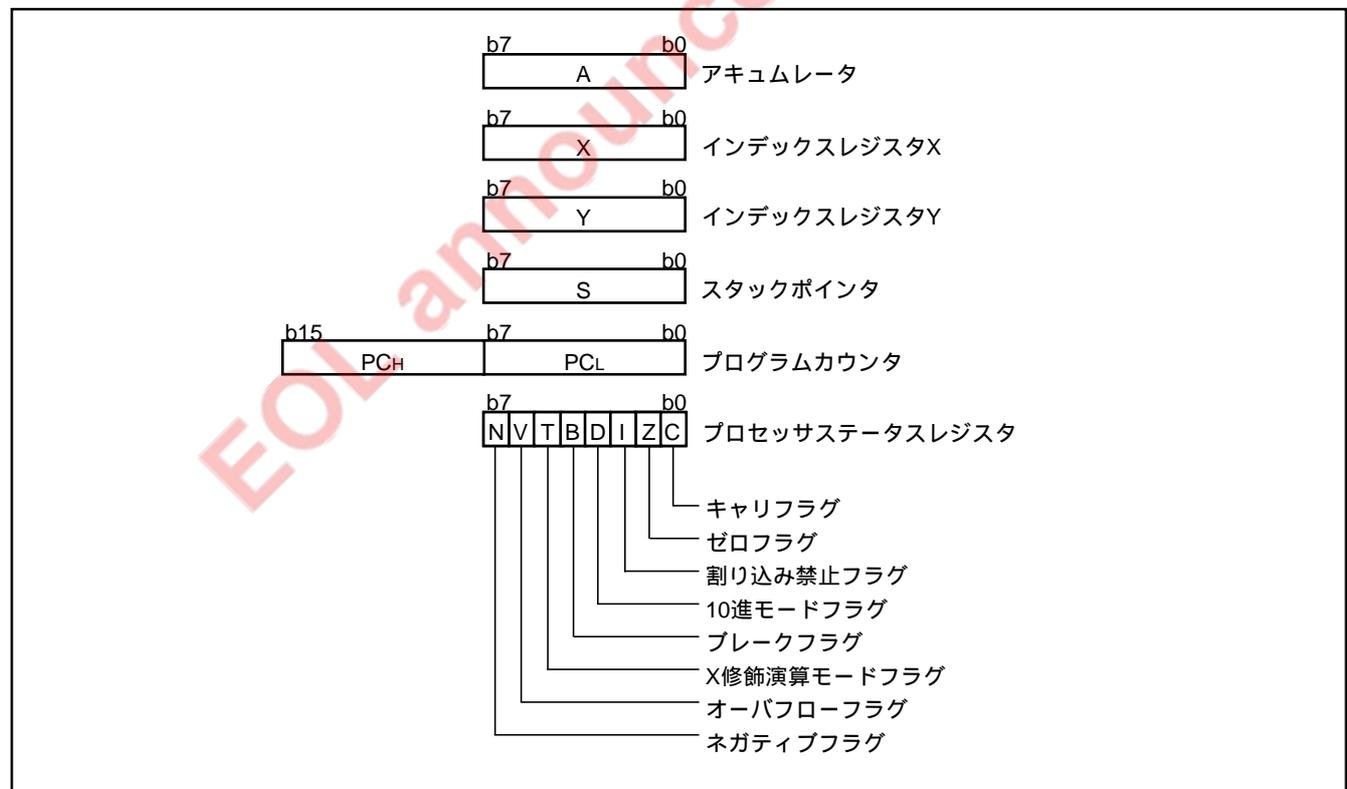


図6. 740ファミリ CPUの構成

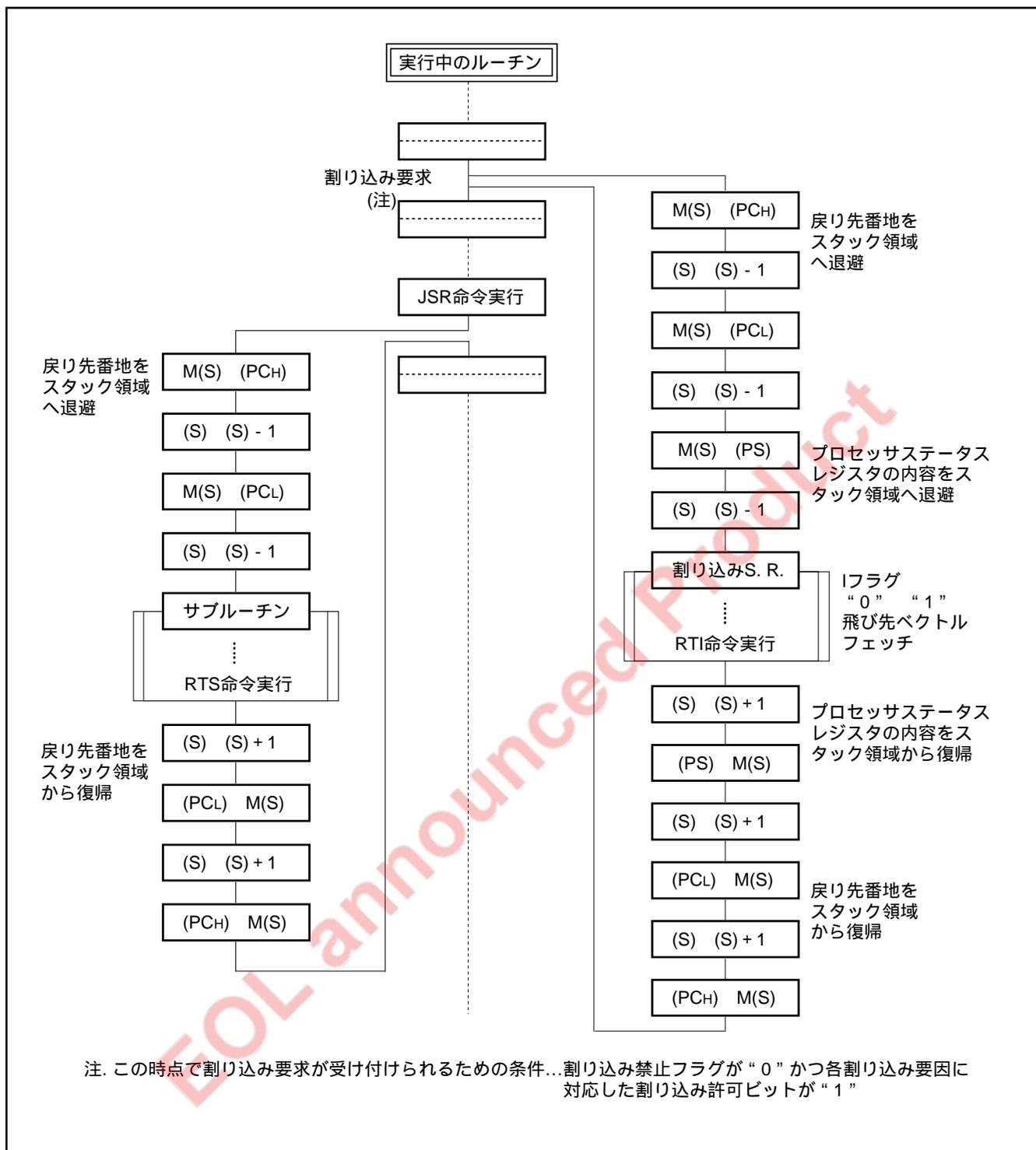


図7 . スタックへの退避及び復帰動作

表3 . アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

## 【プロセッサステータスレジスタ】PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できませんが、10進モード時はZ、V、Nフラグは無効です。

## ・ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリ又はボーローを保持します。シフト命令又はローテート命令でも変化します。

## ・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のとき、このフラグは“1”になります。結果が“0”でないとき、このフラグは“0”になります。

## ・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

## ・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

## ・ビット4：ブレイクフラグ(B)

BRK命令割り込みを識別するためのフラグです。BRK命令割り込みの場合は自動的にこのフラグが“1”になり、それ以外の割り込みでは“0”になり、スタックに退避されます。

## ・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算が行われます。

## ・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合に“1”になります。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

## ・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときに“1”になります。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4 .プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページの選択ビットや内部システムクロックの制御ビットなどが割り当てられています。

このレジスタは003B<sub>16</sub>番地に配置されています。

リセット解除後はオンチップオシレータモードが選択されており、XINとXOUT、XCINとXCOUT間には発振していません。低速、中速、高速モードを使用する場合は、XINとXOUT、XCINとXCOUT間の発振を許可した後、発振が安定するまでオンチップオシレータモードなどで待機してから切り替えてください。

中・高速モードを使用しない(XIN-XOUT間の発振やXINへの外部クロック入力を行わない)場合、XINは抵抗を介してVccに接続してください。

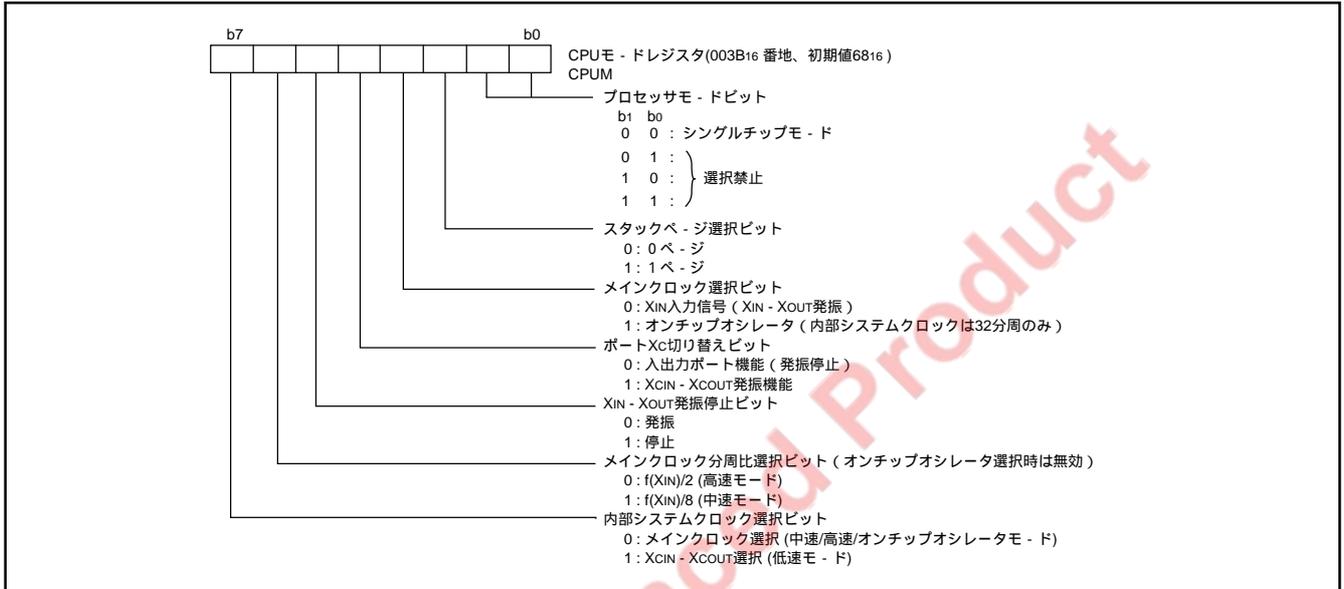


図8 . CPUモードレジスタの構成

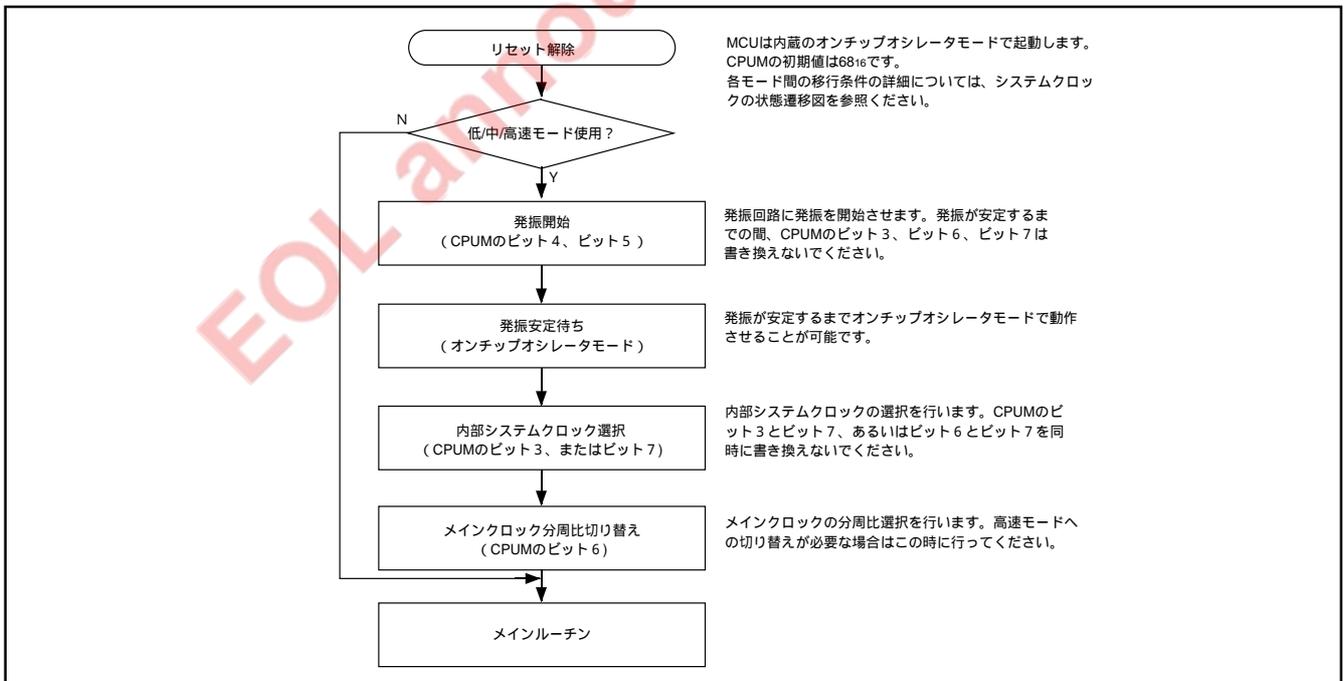


図9 . CPUモードレジスタの切り替え手順

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

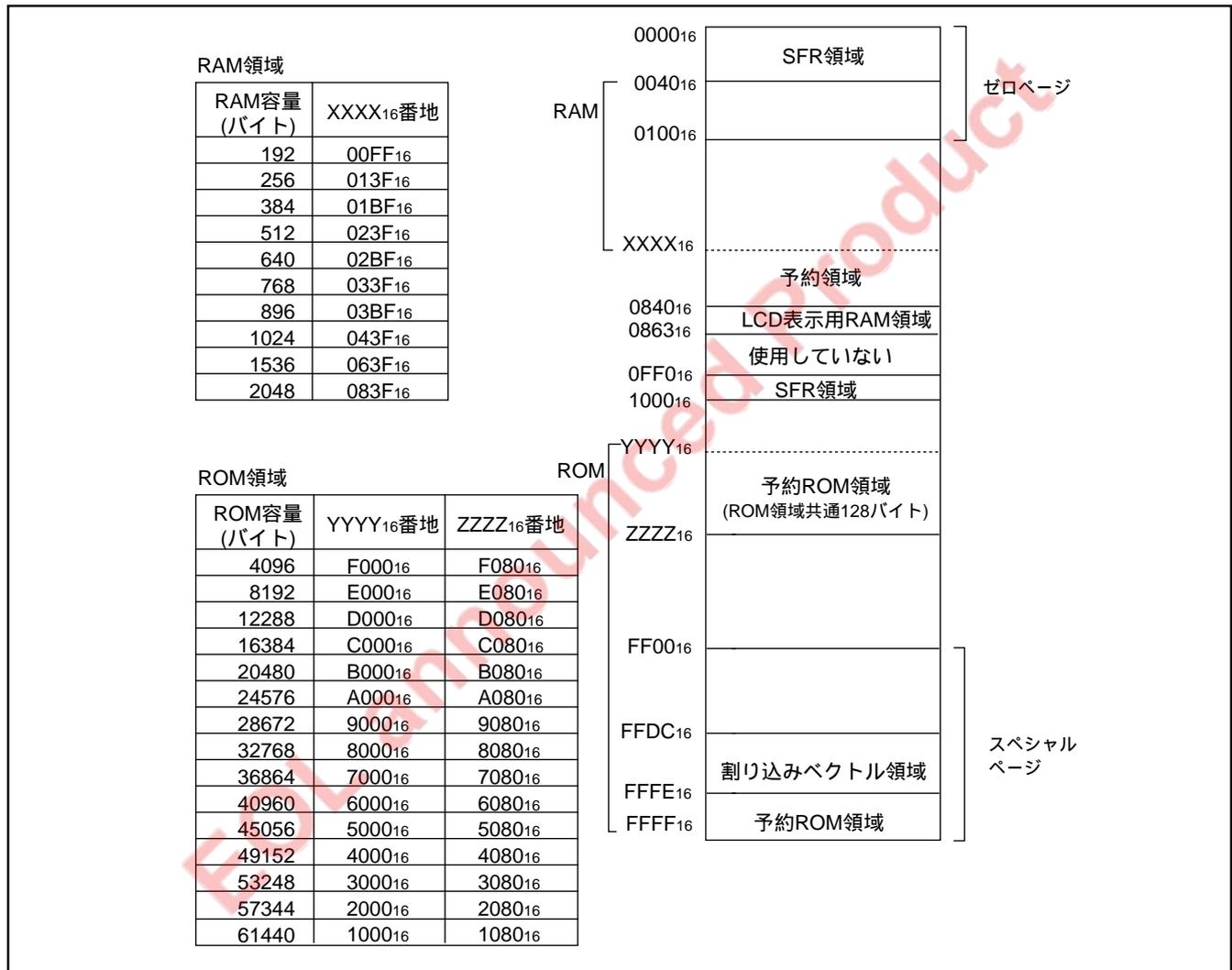


図10. メモリ配置図

0000 <sup>16</sup>	ポートP0(P0)	0020 <sup>16</sup>	タイマ1(T1)
0001 <sup>16</sup>	ポートP0方向レジスタ(P0D)	0021 <sup>16</sup>	タイマ2(T2)
0002 <sup>16</sup>	ポートP1(P1)	0022 <sup>16</sup>	タイマ3(T3)
0003 <sup>16</sup>	ポートP1方向レジスタ(P1D)	0023 <sup>16</sup>	タイマ4(T4)
0004 <sup>16</sup>	ポートP2(P2)	0024 <sup>16</sup>	PWM01レジスタ(PWM01)
0005 <sup>16</sup>	ポートP2方向レジスタ(P2D)	0025 <sup>16</sup>	タイマ12モードレジスタ(T12M)
0006 <sup>16</sup>	ポートP3(P3)	0026 <sup>16</sup>	タイマ34モードレジスタ(T34M)
0007 <sup>16</sup>	ポートP3方向レジスタ(P3D)	0027 <sup>16</sup>	タイマ1234モードレジスタ(T1234M)
0008 <sup>16</sup>	ポートP4(P4)	0028 <sup>16</sup>	タイマ1234分周選択レジスタ(PRE1234)
0009 <sup>16</sup>	ポートP4方向レジスタ(P4D)	0029 <sup>16</sup>	ウォッチドッグタイマ制御レジスタ(WDTCON)
000A <sup>16</sup>	ポートP5(P5)	002A <sup>16</sup>	タイマX(下位)(TXL)
000B <sup>16</sup>	ポートP5方向レジスタ(P5D)	002B <sup>16</sup>	タイマX(上位)(TXH)
000C <sup>16</sup>	ポートP6(P6)	002C <sup>16</sup>	タイマX(拡張)(TXEX)
000D <sup>16</sup>	ポートP6方向レジスタ(P6D)	002D <sup>16</sup>	タイマXモードレジスタ(TXM)
000E <sup>16</sup>	ポートP7(P7)	002E <sup>16</sup>	タイマX制御レジスタ1(TXCON1)
000F <sup>16</sup>	ポートP7方向レジスタ(P7D)	002F <sup>16</sup>	タイマX制御レジスタ2(TXCON2)
0010 <sup>16</sup>		0030 <sup>16</sup>	コンペアレジスタ1(下位)(COMP1L)
0011 <sup>16</sup>		0031 <sup>16</sup>	コンペアレジスタ1(上位)(COMP1H)
0012 <sup>16</sup>	RRFレジスタ(RRFR)	0032 <sup>16</sup>	コンペアレジスタ2(下位)(COMP2L)
0013 <sup>16</sup>	LCDモードレジスタ1(LM1)	0033 <sup>16</sup>	コンペアレジスタ2(上位)(COMP2H)
0014 <sup>16</sup>	LCDモードレジスタ2(LM2)	0034 <sup>16</sup>	コンペアレジスタ3(下位)(COMP3L)
0015 <sup>16</sup>	A/D制御レジスタ(ADCON)	0035 <sup>16</sup>	コンペアレジスタ3(上位)(COMP3H)
0016 <sup>16</sup>	A/D変換レジスタ(下位)(ADL)	0036 <sup>16</sup>	タイマY(下位)(TYL)
0017 <sup>16</sup>	A/D変換レジスタ(上位)(ADH)	0037 <sup>16</sup>	タイマY(上位)(TYH)
0018 <sup>16</sup>	バッファレジスタ1(TB1/RB1)	0038 <sup>16</sup>	タイマYモードレジスタ(TYM)
0019 <sup>16</sup>	シリアル/O1ステータスレジスタ(SIO1STS)	0039 <sup>16</sup>	タイマY制御レジスタ(TYCON)
001A <sup>16</sup>	シリアル/O1制御レジスタ(SIO1CON)	003A <sup>16</sup>	割り込みエッジ選択レジスタ(INTEDGE)
001B <sup>16</sup>	UART制御レジスタ(UARTCON)	003B <sup>16</sup>	CPUモードレジスタ(CPUM)
001C <sup>16</sup>	ポーレートジェネレータ(BRG)送信/受信	003C <sup>16</sup>	割り込み要求レジスタ1(IREQ1)
001D <sup>16</sup>	シリアル/O2制御レジスタ(SIO2CON)	003D <sup>16</sup>	割り込み要求レジスタ2(IREQ2)
001E <sup>16</sup>	予約領域(アクセス禁止)	003E <sup>16</sup>	割り込み制御レジスタ1(ICON1)
001F <sup>16</sup>	シリアル/O2レジスタ(SIO2)	003F <sup>16</sup>	割り込み制御レジスタ2(ICON2)
0FF0 <sup>16</sup>	PULLレジスタ1(PULL1)	0FF8 <sup>16</sup>	
0FF1 <sup>16</sup>	PULLレジスタ2(PULL2)	0FF9 <sup>16</sup>	
0FF2 <sup>16</sup>	PULLレジスタ3(PULL3)	0FFA <sup>16</sup>	
0FF3 <sup>16</sup>	クロック出力制御レジスタ(CKOUT)	0FFB <sup>16</sup>	
0FF4 <sup>16</sup>	セグメント出力禁止レジスタ0(SEG0)	0FFC <sup>16</sup>	
0FF5 <sup>16</sup>	セグメント出力禁止レジスタ1(SEG1)	0FFD <sup>16</sup>	
0FF6 <sup>16</sup>	セグメント出力禁止レジスタ2(SEG2)	0FFE <sup>16</sup>	
0FF7 <sup>16</sup>	キー入力制御レジスタ(KIC)	0FFF <sup>16</sup>	

注．SFRの空き領域のメモリアクセスは行わないでください。

図11．SFR(スペシャルファンクションレジスタ)メモリマップ

入出力ポート

方向レジスタ(ポートP0～P6、P7<sub>2</sub>～P7<sub>4</sub>)

入出力ポートP0～P6、P7<sub>2</sub>～P7<sub>4</sub>は方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するか、ビット単位に設定することが可能です。方向レジスタを“0”にクリアすると、その端子は入力ポートになります。また、ポートP0～P3は方向レジスタを“1”かつセグメント出力禁止レジスタを“1”にセットすると出力ポートになり、ポートP4～P6、P7<sub>2</sub>～P7<sub>4</sub>は方向レジスタを“1”にセットすると出力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。ただしRTP1、RTP0、TXOUT1、TXOUT2、T4OUT、T3OUT、T2OUT/CKOUTの出力を選択している場合は、その出力の値となります。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

ポートP7<sub>0</sub>、P7<sub>1</sub>

昇圧回路と兼用の入力ポートです。昇圧回路使用時は、読み出し値が“1”になります。

プルアップ制御

ポートP0～P3は、方向レジスタ及びセグメント出力禁止レジスタ0～2(0FF4～0FF6<sub>16</sub>番地)を設定することにより、プログラムでプルアップのビット単位又は4ビット単位の制御が可能です。方向レジスタを“0”かつセグメント出力禁止レジスタを“1”にするとその端子はプルアップされます。ポートP4～P7はPULLレジスタ(0FF0～0FF2<sub>16</sub>番地)を設定することにより、プログラムでプルアップのビット単位又は4ビット単位の制御が可能です。ただし、出力ポートに設定されている端子は、この制御から切り離されプルアップは行われません。

セグメント出力禁止レジスタ	方向レジスタ	“0”	“1”	初期状態
“0”	“0”	入力ポート プルアップなし	入力ポート プルアップあり	
“1”	“0”	セグメント出力	ポート出力	

図12 . ポートP0～P3の設定

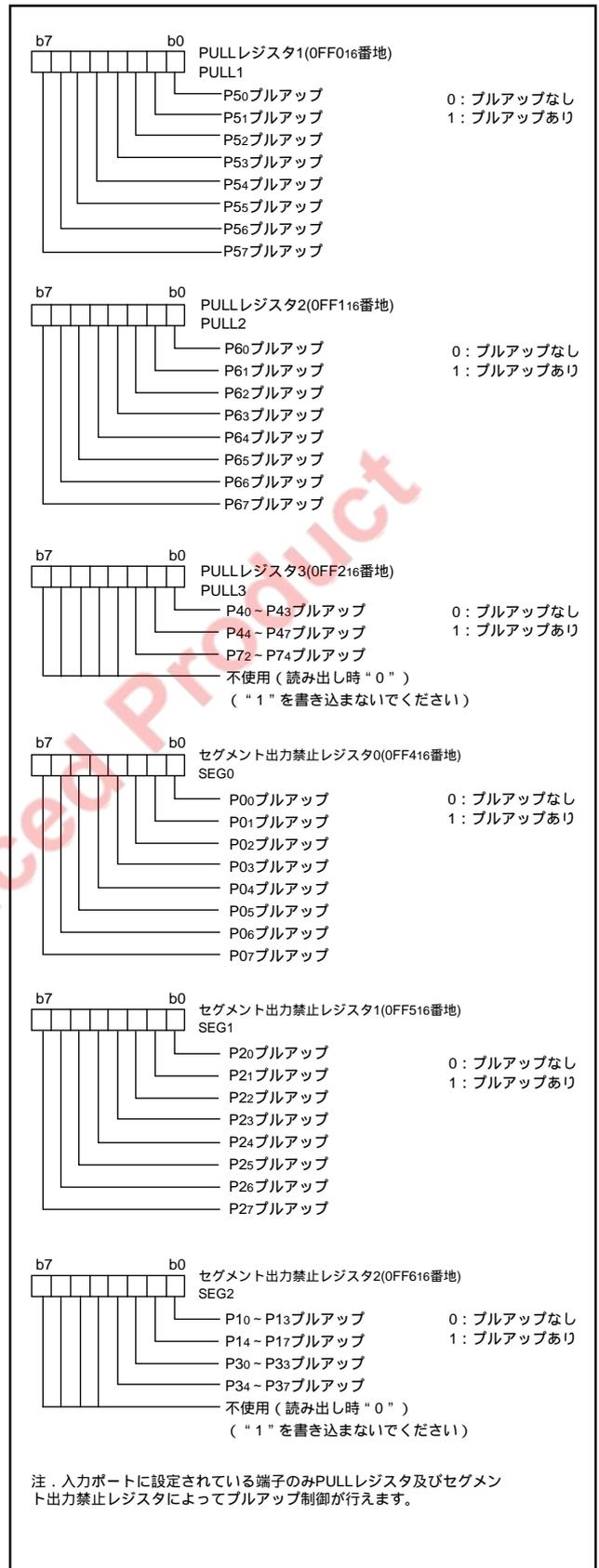


図13 . PULLレジスタ、セグメント出力禁止レジスタの構成

表5. 入出力ポート機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能		関連するSFR	図番
P00/SEG8 ~ P07/SEG15	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	LCDセグメント出力		セグメント出力禁止レジスタ0	(1)
P10/SEG16 ~ P17/SEG23	ポートP1	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力			セグメント出力禁止レジスタ2	
P20/SEG0/(KW4) ~ P23/SEG3/(KW7)	ポートP2	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力		キー入力 (キーオンウェイクアップ) 割り込み入力	セグメント出力禁止レジスタ1	(2)
P24/SEG4 ~ P27/SEG7						キー入力制御レジスタ	
P30/SEG24 ~ P37/SEG31	ポートP3	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力			セグメント出力禁止レジスタ1	(1)
						セグメント出力禁止レジスタ2	
P40/RxD、 P41/TxD、 P42/SCLK1、 P43/SDY1	ポートP4	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアルI/O1機能入出力		PULLレジスタ3	(3)
						シリアルI/O1ステータスレジスタ	(4)
						UART制御レジスタ	(5)
P44/SIN2/(KW0)、 P45/SOUT2/(KW1)、 P46/SCLK2/(KW2)、 P47/SDY2/(KW3)				シリアルI/O2機能入出力	キー入力 (キーオンウェイクアップ) 割り込み入力	PULLレジスタ3	(7)
						シリアルI/O2制御レジスタ	(8)
						シリアルI/O2レジスタ	(9)
						キー入力制御レジスタ	(10)
P50/AN0/RTP0、 P51/AN1/RTP1	ポートP5	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	A/D変換入力	リアルタイム ポート機能出力	PULLレジスタ1	(11)
P52/AN2 ~ P56/AN6						A/D制御レジスタ	
P57/AN7/ADKEY0						A/D制御レジスタ	
P60/XCIN、 P61/XCOUT	ポートP6	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	サブクロック発振回路		PULLレジスタ2	(14)
P62/INT00/(LED0)				外部割り込み入力	CPUモードレジスタ	(15)	
P63/TXOUT2/(LED1)				タイマX出力2	PULLレジスタ2	(16)	
					割り込みエッジ選択レジスタ		
P64/INT2/(LED2)				外部割り込み入力	PULLレジスタ2	(17)	
P65/TXOUT1/(LED3)				タイマX出力1	タイマXモードレジスタ	(18)	
					タイマX制御レジスタ1、2		
P66/INT10/CNTR0/(LED4)				タイマX機能入力 外部割り込み入力	PULLレジスタ2	(19)	
					割り込みエッジ選択レジスタ		
					タイマXモードレジスタ		
P67/CNTR1/(LED5)	タイマY機能入力	PULLレジスタ2	(17)				
		タイマYモードレジスタ					
P70/C1/INT01、 P71/C2/INT11	ポートP7	入力 ビット単位	CMOS入力レベル	外部割り込み入力		割り込みエッジ選択レジスタ	(20)
P72/T2OUT/CKOUT、 P73/PWM0/T3OUT、 P74/PWM1/T4OUT		入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	LCD昇圧回路制御入力		LCDモードレジスタ1,2	
				タイマ2出力 タイマ3出力 タイマ4出力	クロック出力 PWM出力	PULLレジスタ3	
COM0 ~ COM3	コモン	出力	LCDコモン出力	LCDコモン出力		タイマ1234モードレジスタ タイマ1234分周レジスタ	(22)
COM4/SEG35 ~ COM7/SEG32	コモン / セグメント		LCDコモン / セグメント出力		LCDセグメント出力		(23)

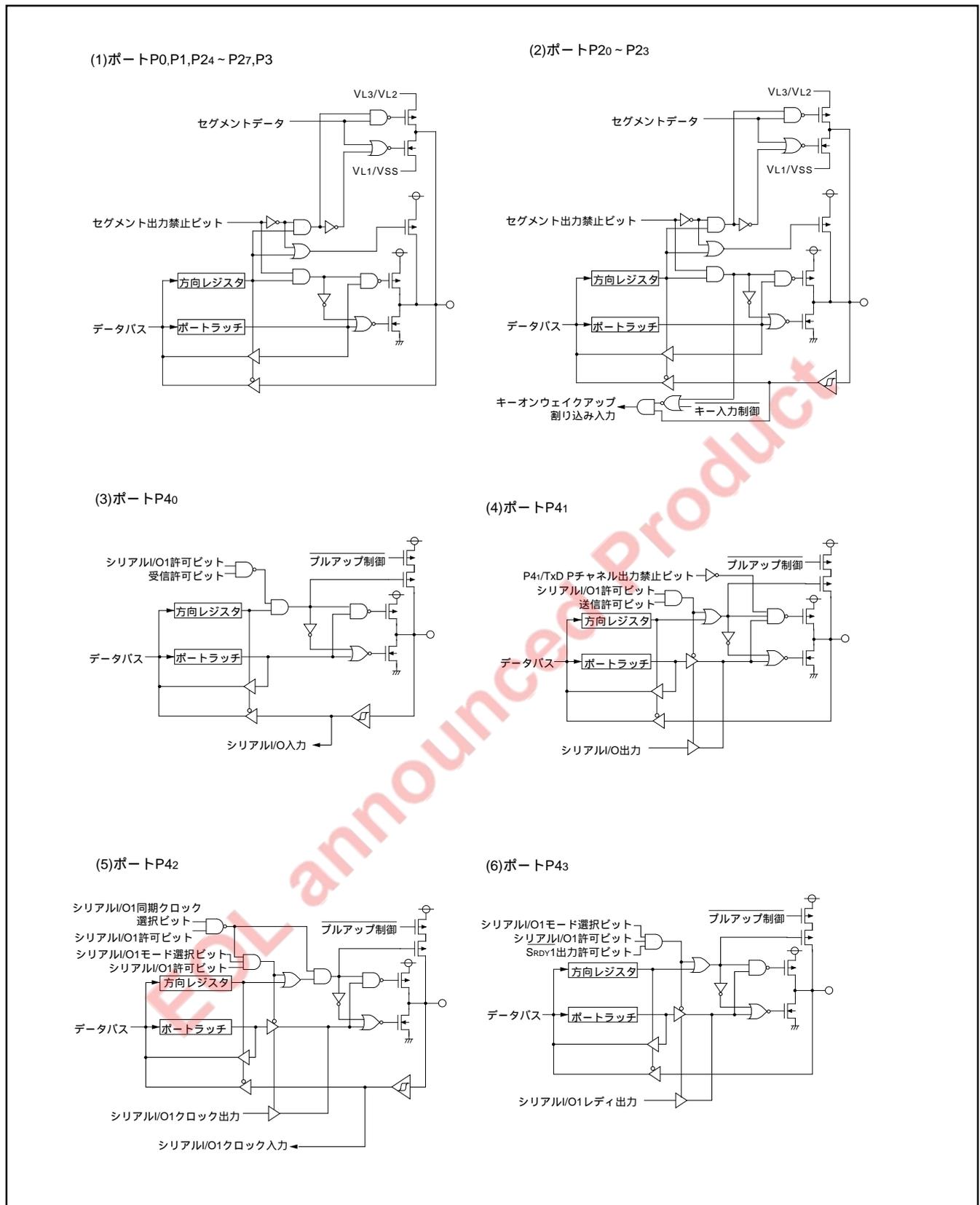


図14 . ポートのブロック図 (1)

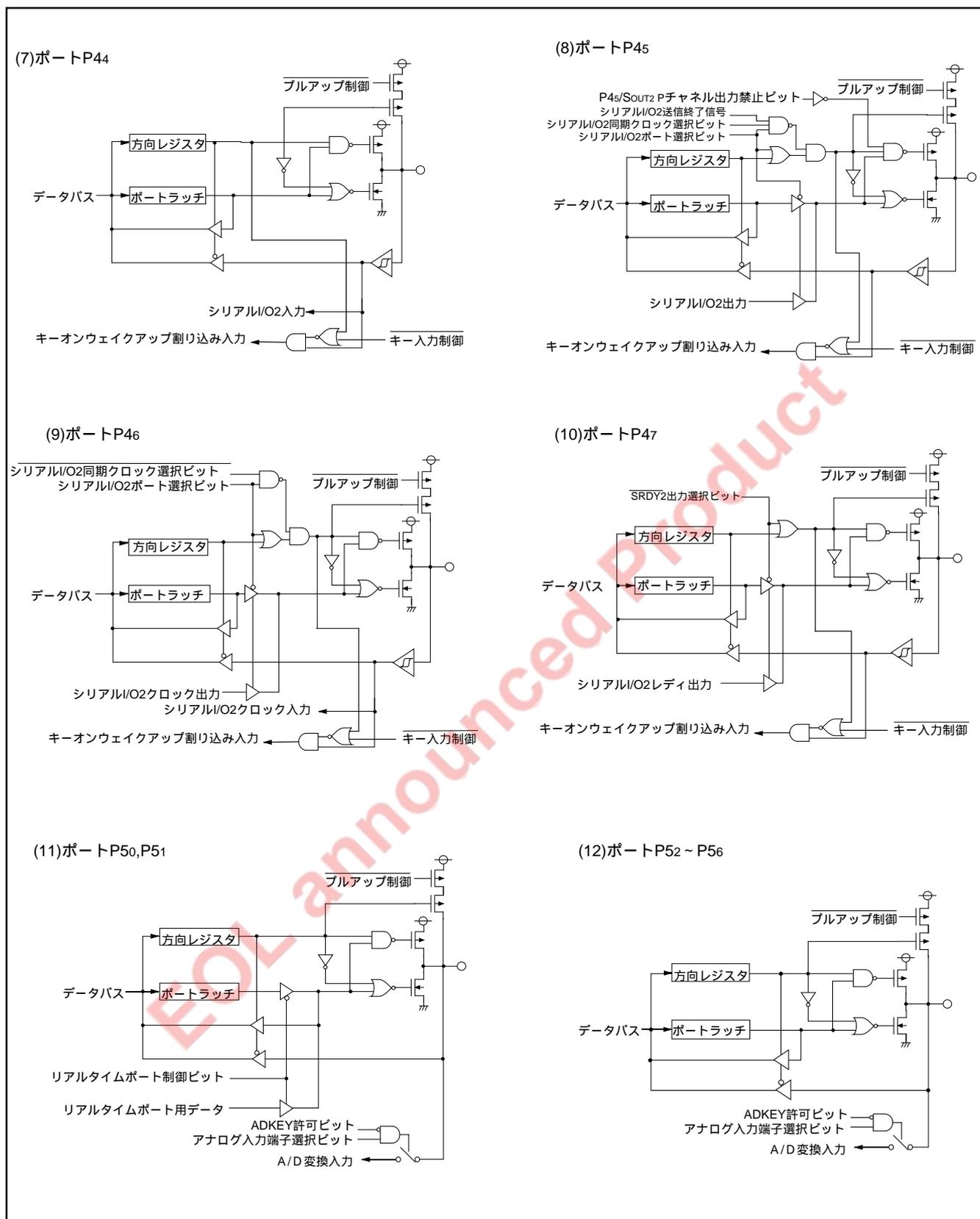


図15 . ポートのブロック図 (2)

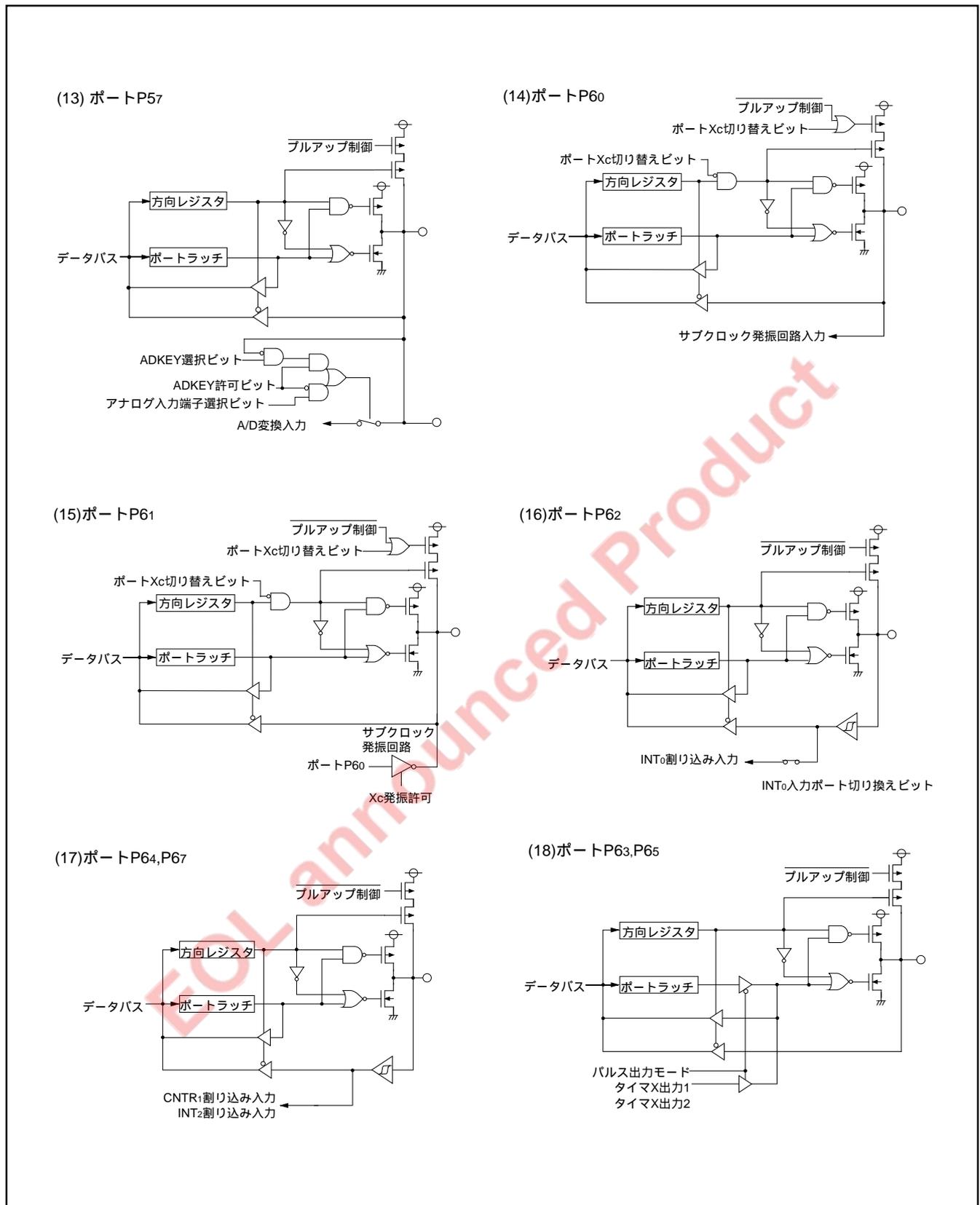


図16 . ポートのブロック図 (3)

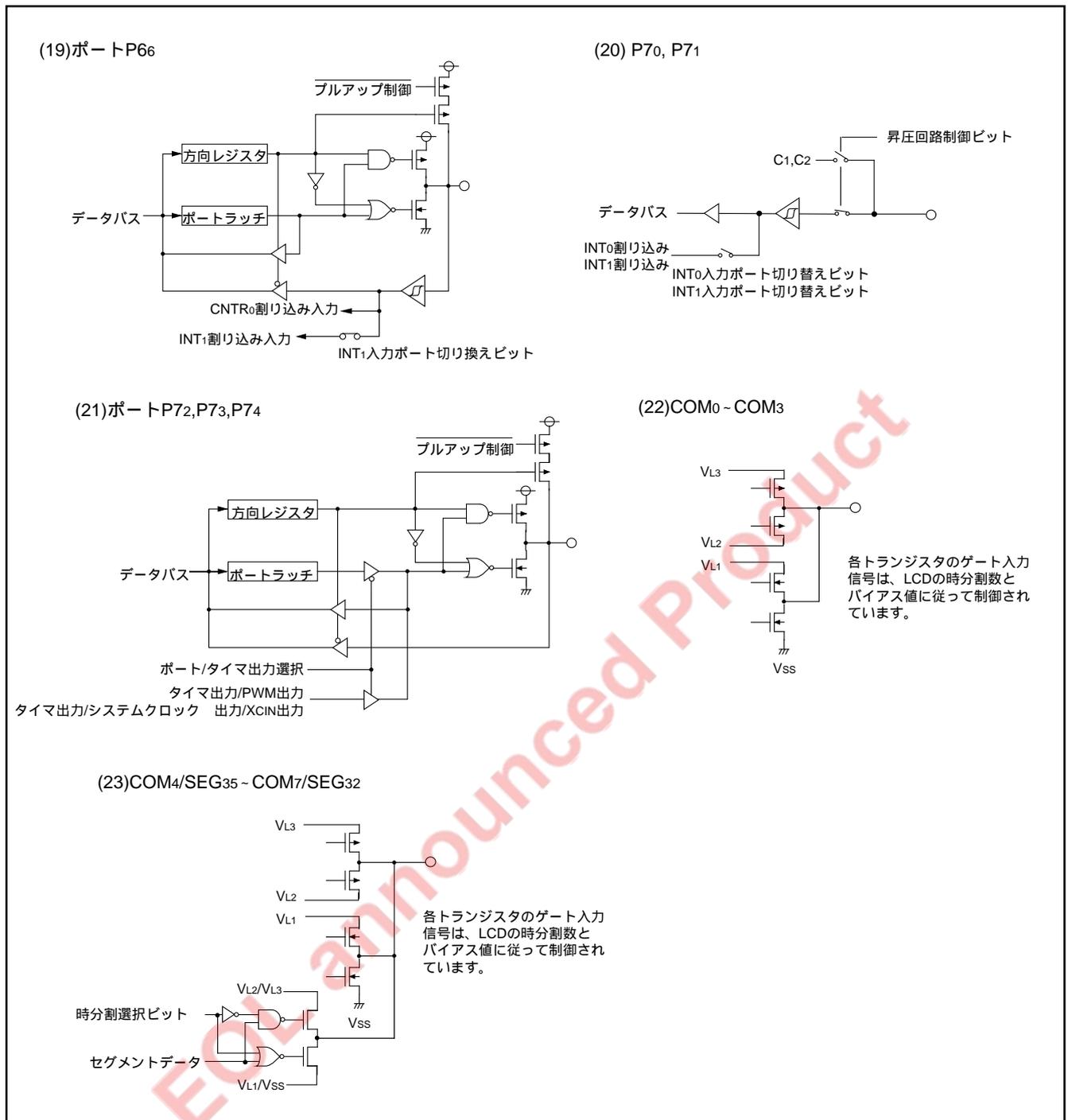


図17. ポートのブロック図(4)

未使用端子の処理方法

・一般的な端子の処理方法

入出力ポート: 入力ポート、又は出力ポートを選択し、それぞれの処理方法に従ってください。

出力ポート: 開放にしてください。

入力ポート: 入力レベルが不安定な場合は入力回路に貫通電源電流が流れ、特に低消費電流を期待する状態(STP、WIT命令実行中など)で、電源電流が増大することがありますので、プルアップ、又はプルダウンしてください(内蔵抵抗使用可)。入出力ポート、及び出力機能を持つ端子を入力ポートとして未使用端子の処理を行う場合は、誤動作などで出力ポートとして動作した場合は想定し、 $I_{OH(avg)}$ 又は $I_{OL(avg)}$ を確保できる抵抗を介して端子の処理を行うことを推奨いたします。

EOL announced Product

表6. 使用しない端子の処理方法

端子名	処理方法1(推奨)	処理方法2	処理方法3
P00/SEG8 ~ P07/SEG15	入出力ポート	SEG出力を選択している場合は開放にしてください。	-
P10/SEG16 ~ P17/SEG23			
P20/SEG0 ~ P27/SEG7			
P30/SEG24 ~ P37/SEG31			
P40/RxD			
P41/TxD		TxD機能選択時は出力ポートの処理を行ってください。	-
P42/SCLK1		外部クロック入力を選択した場合は入力ポートの処理を行ってください。	内部クロック出力を選択した場合は出力ポートの処理を行ってください。
P43/SRDY1		SRDY1機能選択時は出力ポートの処理を行ってください。	-
P44/SIN2		SIN2機能選択時は入力ポートの処理を行ってください。	-
P45/SOUT2		SOUT2機能選択時は出力ポートの処理を行ってください。	-
P46/SCLK2		外部クロック入力を選択した場合は入力ポートの処理を行ってください。	内部クロック出力を選択した場合は出力ポートの処理を行ってください。
P47/SRDY2		SRDY2機能選択時は出力ポートの処理を行ってください。	-
P50/AN0/RTP0 P51/AN1/RTP1		AN機能選択時は開放可能です(A/D変換結果は保証できません)。	RTP機能選択時は出力ポートの処理を行ってください。
P52/AN2 ~ P56/AN6			-
P57/AN7/ADKEY			ADKEY機能選択時は抵抗を介してVccにプルアップしてください。
P60/XCIN P61/XCOUT		XCIN-XCOUT発振機能をプログラムで選択しないでください。	-
P62/INT00		INT機能選択時は入力ポートの処理を行ってください。	-
P63/TXOUT2		TXOUT機能選択時は出力ポートの処理を行ってください。	-
P64/INT2		INT機能選択時は入力ポートの処理を行ってください。	-
P65/TXOUT1		TXOUT機能選択時は出力ポートの処理を行ってください。	-
P66/INT10/CNTR0		INT機能又はCNTR入力機能選択時は入力ポートの処理を行ってください。	-
P67/CNTR1		CNTR入力機能選択時は入力ポートの処理を行ってください。	-
P70/C1/INT01 P71/C2/INT11	入力ポート	INT機能選択時は入力ポートの処理を行ってください。	C端子(昇圧回路)は選択しないでください。
P72/T2OUT/CKOUT	入出力ポート	T2OUT機能、CKOUT機能選択時は出力ポートの処理を行ってください。	-
P73/PWM0/T3OUT P74/PWM1/T4OUT		PWM機能やT3OUT、T4OUT機能選択時は出力ポートの処理を行ってください。	-
VL3	Vcc接続	-	-
VL2	VL3 VL2 VL1	-	-
VL1	Vss	-	-
COM0 ~ COM3	開放	-	-
COM4/SEG35 ~ COM7/SEG32	開放	-	-
VREF	Vcc接続	-	-

## 割り込み

割り込みはベクトル割り込みで、外部6要因、内部10要因、ソフトウェア1要因の17要因から発生することが可能です。

### 割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”で、かつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

## 割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

### 注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・ 外部割り込みのアクティブエッジを設定する際  
対象レジスタ: 割り込みエッジ選択レジスタ(003A<sub>16</sub>番地)  
                  タイムX制御レジスタ1(002E<sub>16</sub>番地)  
                  タイムYモードレジスタ(0038<sub>16</sub>番地)
- ・ 同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際  
対象レジスタ: 割り込みエッジ選択レジスタ(003A<sub>16</sub>番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

1. 該当する割り込み許可ビットを“0”(禁止)にする。
2. 割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因ビットを設定する。
3. 一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
4. 該当する割り込み許可ビットを“1”(許可)にする。

表7. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスクابل
INT0(INT00又はINT01)(注3)	2	FFFB16	FFFA16	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT1(INT10又はINT11)(注3)	3	FFF916	FFF816	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT2	4	FFF716	FFF616	INT2入力の立ち上がり又は立ち下がりエッジ検出時	INT2割り込み選択時有効 外部割り込み (極性プログラマブル)
キー入力(キーオンウェイクアップ)	5	FFF516	FFF416	ポートP20~23、P44~47の入カレベルの論理積の立ち下がり時	キー入力割り込み選択時有効 外部割り込み (立ち下がり有効)
タイマX	6	FFF316	FFF216	タイマXアンダフロー時	
タイマ1	7	FFF116	FFF016	タイマ1アンダフロー時	
タイマ2	8	FFEF16	FFEE16	タイマ2アンダフロー時	
タイマ3	9	FFED16	FFEC16	タイマ3アンダフロー時	
タイマ4	10	FFEB16	FFEA16	タイマ4アンダフロー時	
シリアル/O1受信	11	FFE916	FFE816	シリアル/O1データ受信終了時	シリアル/O1選択時のみ有効
シリアル/O1送信	12	FFE716	FFE616	シリアル/O1送信シフト終了時又は送信バッファ空時	シリアル/O1選択時のみ有効
シリアル/O2	13	FFE516	FFE416	シリアル/O2データ送受信終了時	
CNTR0	14	FFE316	FFE216	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマY CNTR1	15	FFE116	FFE016	タイマYアンダフロー時 CNTR1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
A/D変換	16	FFDF16	FFDE16	A/D変換終了時	
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスクابلソフトウェア 割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

3. INT0,INT1の入力端子選択は割り込みエッジ選択レジスタ(INTEDGE)で行います。

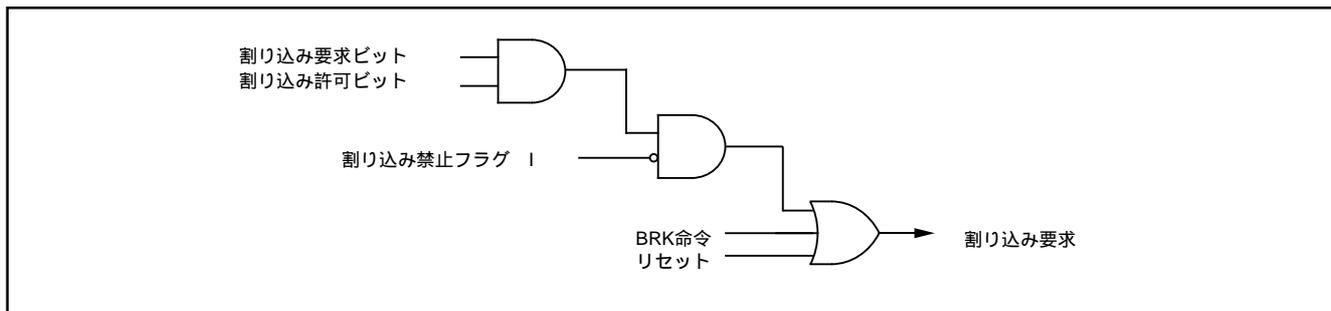


図18．割り込み制御図

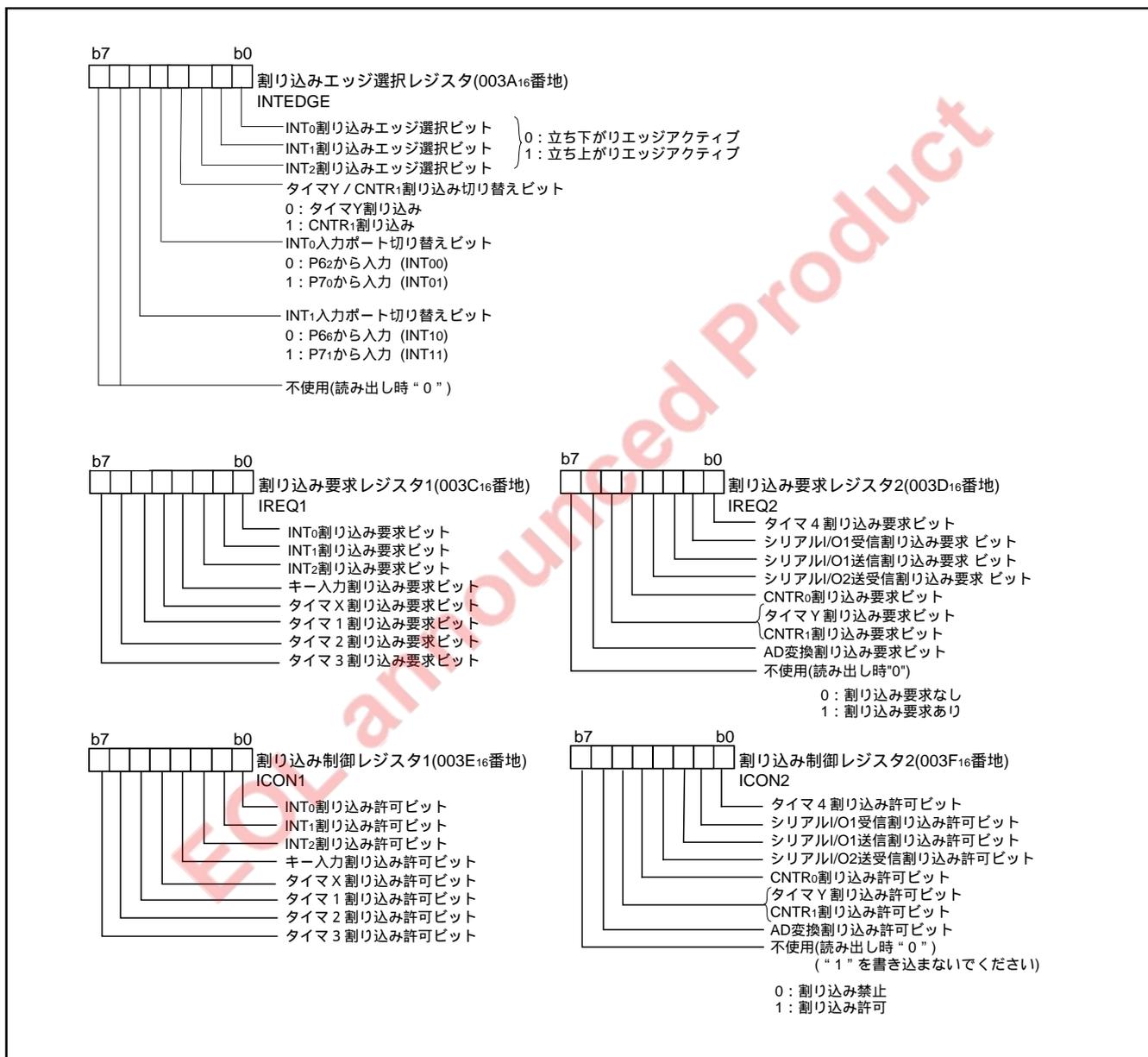


図19．割り込み関係レジスタの構成

キー入力割り込み(キーオンウェイクアップ)

ポートP20～P23、P44～P47のうち入力に設定されている端子のいずれかに立ち下がりエッジが検出されると、すなわち入力レベルの論理積が“1”から“0”になると、キー入力割り込み

み要求が発生します。図20はキー入力割り込みを用いた一例です。ポートP44～P47を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込み要求が発生します。

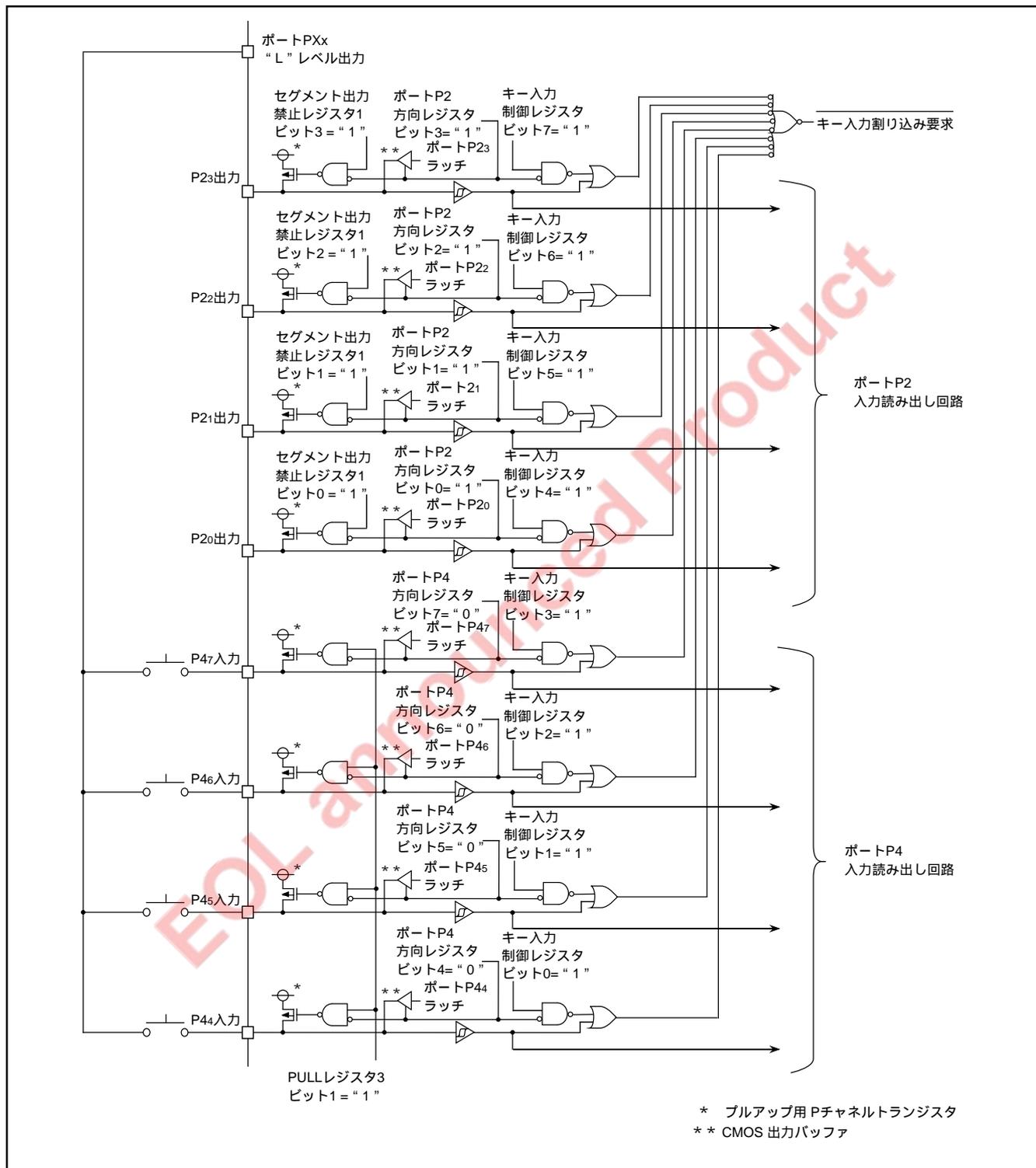


図20 キー入力割り込み使用時の結線例

キー入力割り込みは、キー入力制御レジスタとポートの方向レジスタによって制御されます。キー入力割り込みを許可するときは、キー入力制御レジスタを“1”に設定してください。ポートP20～P23、P44～P47のうち、入力に設定されている端子からキー入力を受け付けられます。

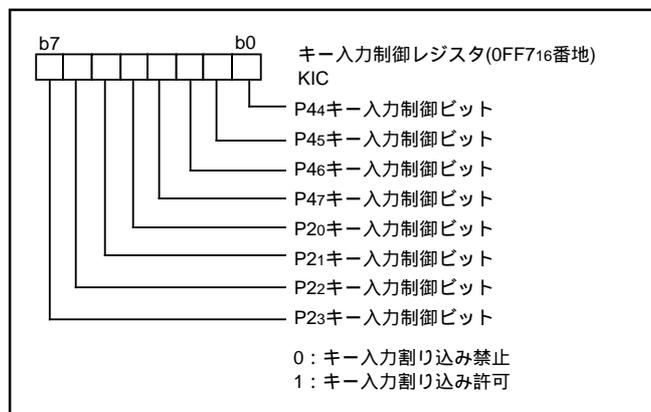


図21 .キー入力制御レジスタの構成

EOL announced Product

タイマ

また、各タイマの停止ビットを「1」にセットすることにより、カウントを停止することが可能です。

8ビットタイマ

タイマ1、タイマ2、タイマ3、タイマ4は8ビットのタイマで、それぞれタイマラッチを持っています。タイマはカウントダウン方式で、カウンタの内容が $00_{16}$ になった次のカウントパルスで、タイマラッチの内容が再びタイマにロードされます。このとき同時に、各タイマに対応する割り込み要求ビットが「1」にセットされます。

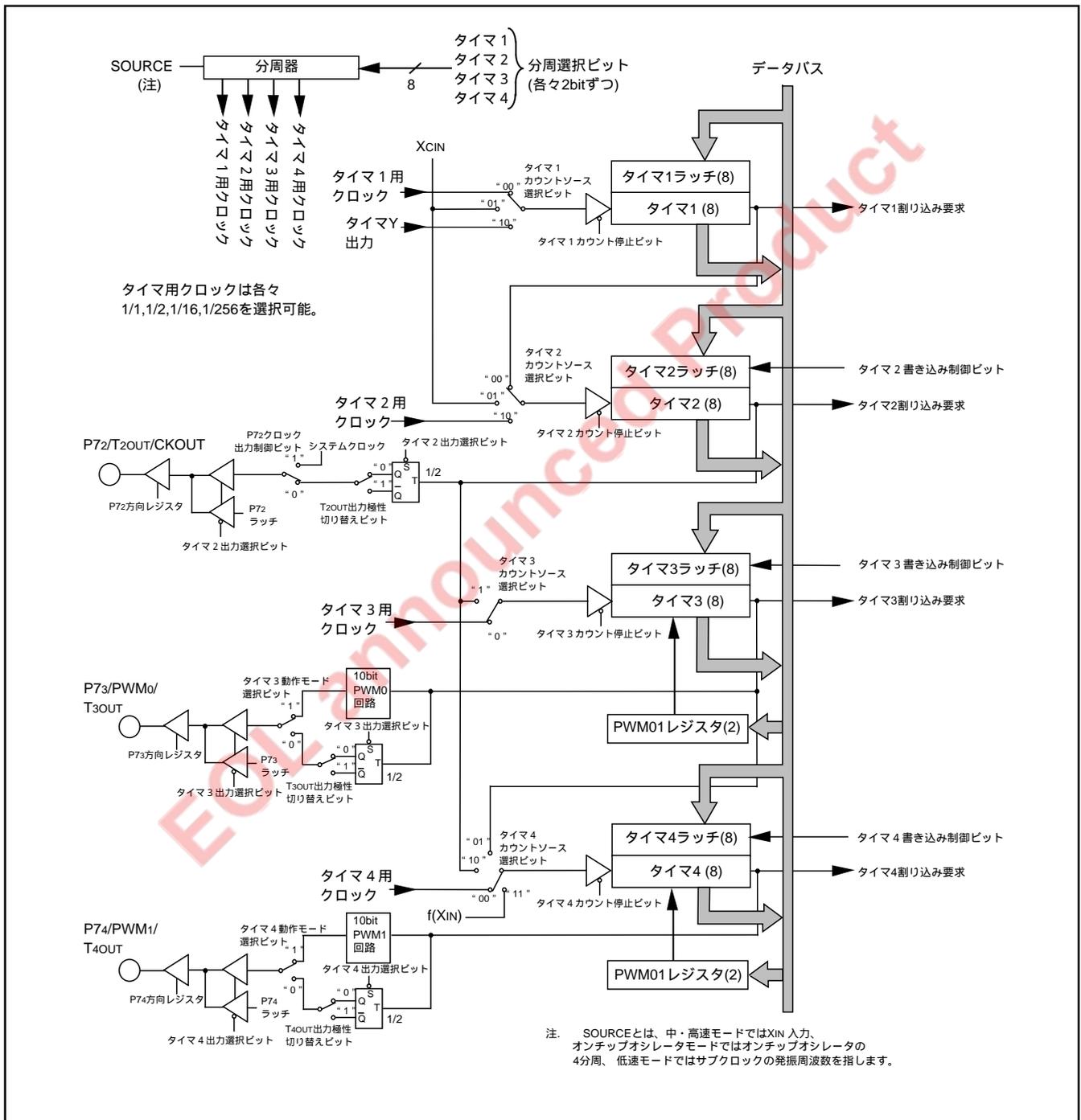


図22. タイマ1234のブロック図

タイマ用分周器

タイマ1、タイマ2、タイマ3、タイマ4はカウントソース用の分周器を持っています。分周器のカウントソースはCPUモードレジスタにより、XINかXCIN、オンチップオシレータモード時はオンチップオシレータ(ROSC)の4分周に切り替わります。分周比はそれぞれのタイマ分周比選択ビットによって、 $f(XIN)$ 又は $f(XCIN)$ 、 $f(ROSC)/4$ のそれぞれ1/1、1/2、1/16、1/256から選択できます。

分周の切り替えはタイマが停止している状態で行ってください。

タイマ1、タイマ2

タイマ1、タイマ2はタイマ12モードレジスタを設定することにより、カウントソースを選択することができます。カウントソースにXCINを選択した場合、XCINへの入力パルスをカウントすることができます。また、このレジスタによりタイマ2がアンダフローするたびに、極性の反転する信号をP72/T2OUT端子から出力することができます。

リセット入力時、タイマ12モードレジスタは全ビットクリアされ、タイマ1に“FF<sub>16</sub>”、タイマ2に“01<sub>16</sub>”がセットされます。

STP命令を実行するときは、復帰時の待ち時間をあらかじめ設定してください。

タイマ3、タイマ4

タイマ3、タイマ4はタイマ34モードレジスタを設定することにより、カウントソースを選択することができます。また、このレジスタによりタイマ3又はタイマ4がアンダフローするたびに、極性の反転する信号をP73/T3OUT又はP74/T4OUT端子から出力することができます。

タイマ3PWM0モード、タイマ4PWM1モード

タイマ34モードレジスタと、PWM01レジスタを設定することにより、10ビット精度に相当するPWM方形波をP73/PWM0とP74/PWM1端子から出力することができます。(図23参照)

出力パルスの1周期分を小区間とし、4周期分を大区間とします。タイマ3(002<sub>16</sub>番地)又はタイマ4(0023<sub>16</sub>番地)の設定値をn、タイマ3又はタイマ4のカウントソースの1周期をtsとすると、小区間の“H”幅は $n \times ts$ で表されます。ただし、大区間の中で、PWM01レジスタ(0024<sub>16</sub>番地)に設定した値に対応する回数だけ、出力パルスの“H”幅がts時間延長されます。

タイマ3PWM0モード、タイマ4PWM1モード注意事項

- PWM出力開始後に一旦停止した場合、そのときの出力パルスのレベルによっては、出力を再開する時間が小区間の1区間(256 × ts)遅れることがあります。
  - “H”で停止:出力遅延なし
  - “L”で停止:256 × ts時間出力遅延する
- PWMモード使用時、タイマ3、タイマ4の割り込み要求及びタイマ3、タイマ4の値の更新は、大区間(4 × 256 × ts)の周期ごとに行われます。

タイマ2、タイマ3、タイマ4の書き込みについて

ラッチのみ書き込みの場合、リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、リロード用ラッチへの書き込み動作中はカウントが停止します。

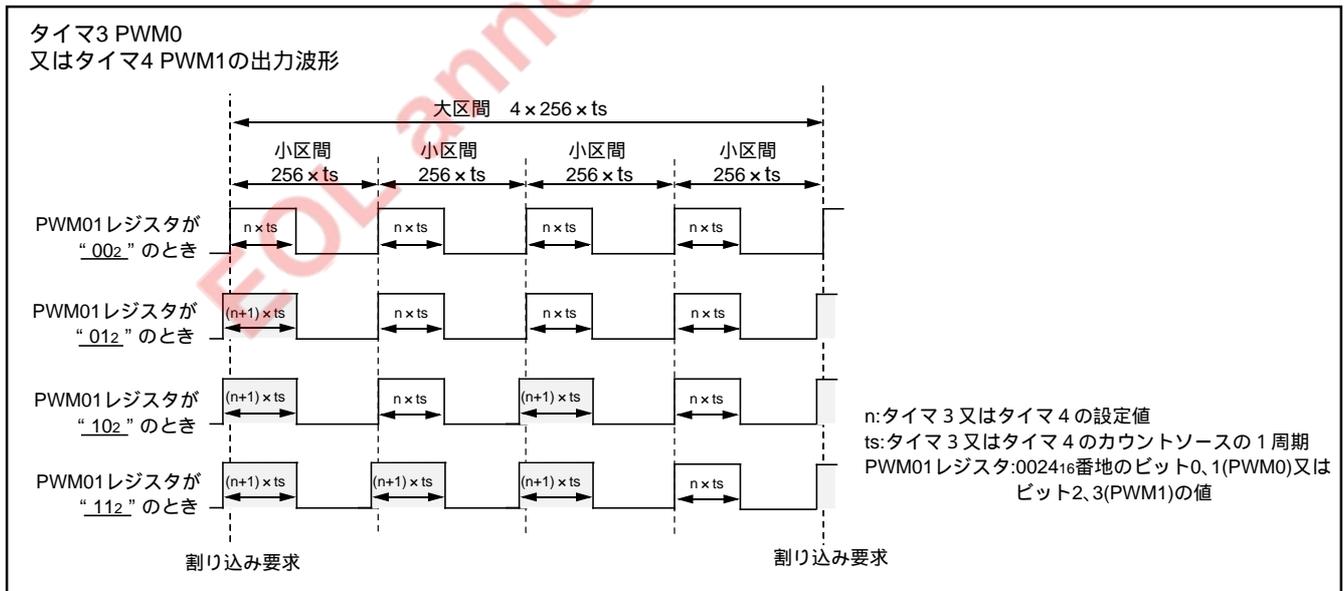


図23 PWM0及びPWM1波形図

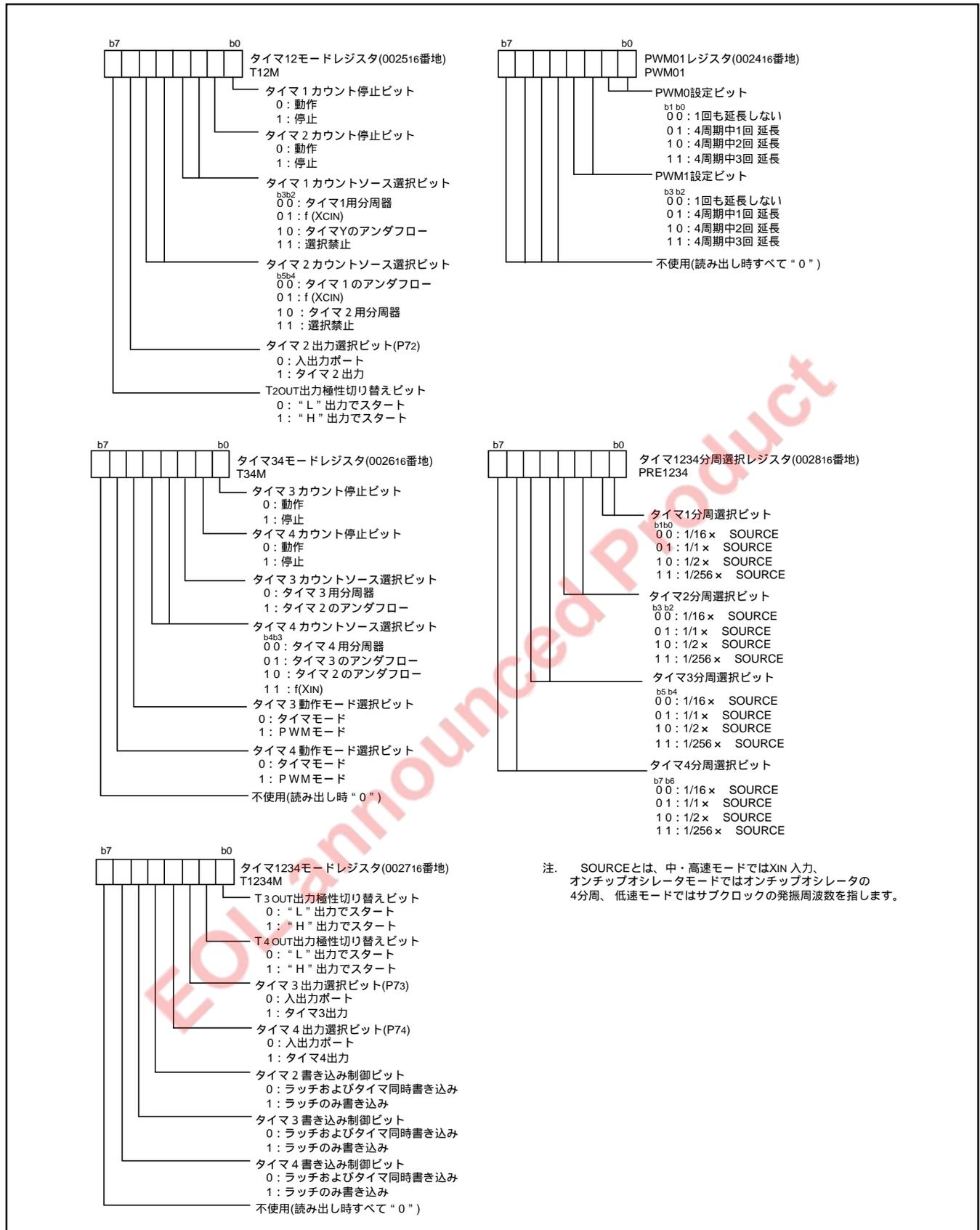


図24 .タイマ1～タイマ4関連レジスタの構成

16ビットタイマ

タイマに読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。タイマの値を読み出す場合は上位バイト、下位バイトの順に読み出し、値を書き込む場合は下位バイト、上位

バイトの順に書き込んでください。なお、書き込み操作中に読み出したり、読み出し操作中に書き込みを行うと正常な動作を行いません。

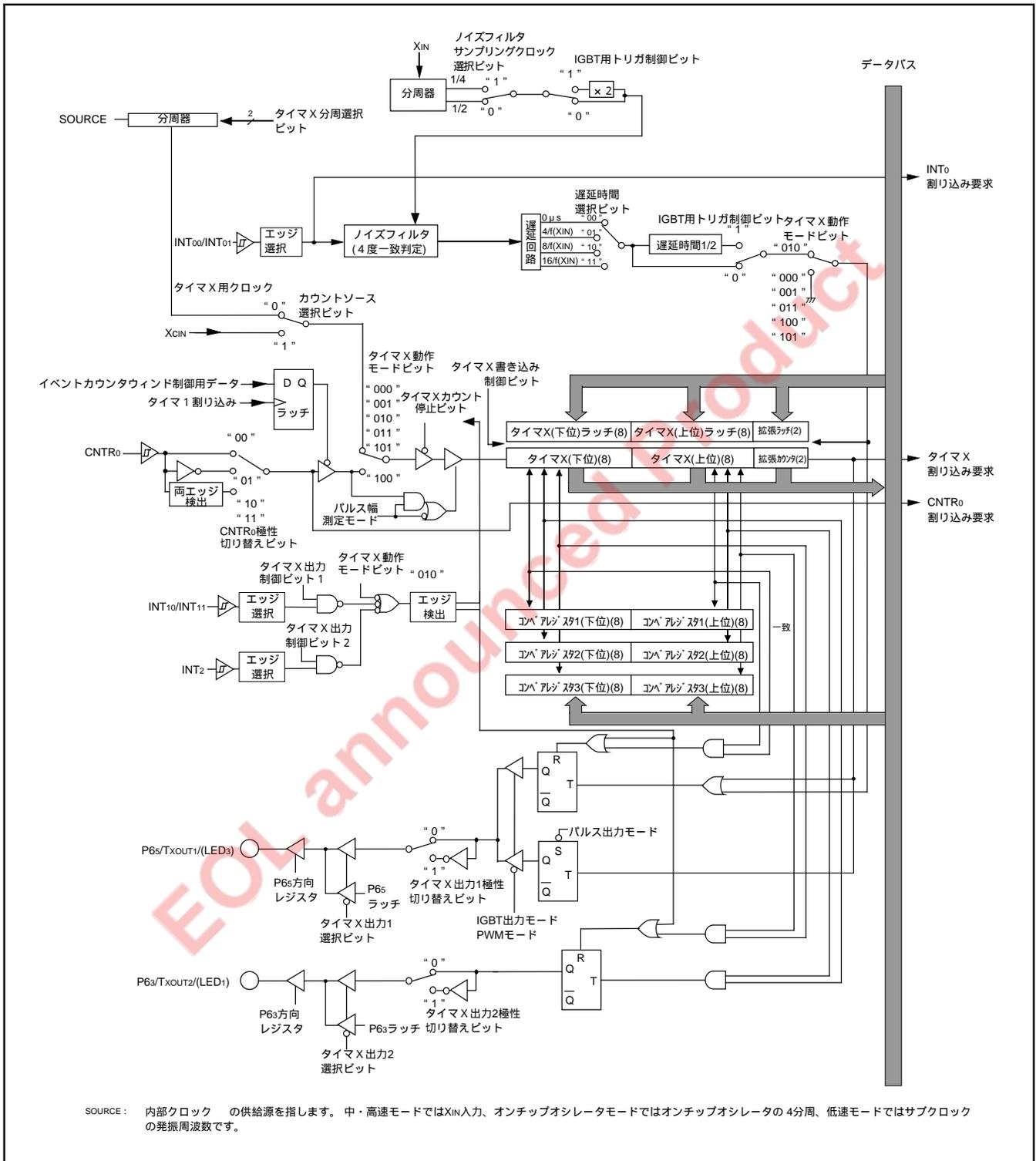


図25 . タイマXのブロック図

### タイマ用分周器

タイマX、タイマYはカウントソース用の分周器を持っています。分周器のカウントソースはCPUモードレジスタにより、XINかXCIN、オンチップオシレータモード時はオンチップオシレータ(ROSC)の4分周に切り替わります。分周比はそれぞれのタイマ分周選択ビットによって、 $f(XIN)$ 又は $f(XCIN)$ 、 $f(ROSC)/4$ のそれぞれ1/1、1/2、1/16、1/256から選択できます。

### タイマX

タイマXはタイマXモードレジスタを設定することにより、カウントソースを選択することができます。カウントソースにXCINを選択した場合、XCINへの入力パルスをカウントすることができます。

タイマXはカウントダウン方式で、タイマの内容が $0000_{16}$ になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローすると、タイマXに対応する割り込み要求ビットが“1”にセットされます。

タイマXはタイマXモードレジスタ、タイマX制御レジスタにより6つの動作モードを選択することができます。

#### (1)タイマモード

タイマXモードレジスタを設定することにより、カウントソースを選択することができます。このモードは、タイマXレジスタ(拡張)を設定すれば、18ビットのカウンタとして動作します。

#### (2)パルス出力モード

タイマがアンダフローするたびに極性の反転するパルスをTXOUT1端子から出力することを除けば、タイマモードと同じ動作をします。このモードではTXOUT1端子と共用のポートを出力に設定してください。

#### (3)IGBT出力モード

TXOUT1端子からダミー出力後、INT0端子からの入力をトリガとしてカウントを開始します。タイマX1出力極性切り替えビットが“0”の場合、トリガ発生を検出したとき、又はタイマXがアンダフローしたとき、TXOUT1端子から“H”を出力します。その後、タイマXのカウント値がコンペアレジスタ1の値と一致したとき、TXOUT1出力は“L”となります。

INT0信号はノイズフィルタ(サンプリングクロックにて連続4度同一レベルである場合、信号と判定)にてノイズ成分を除去後、遅延回路にて4種類の遅延時間を選択することができます。

このモードではINT0端子と共用のポートを入力に設定し、TXOUT1、TXOUT2端子として使用する共用のポートを出力に設定してください。

タイマX制御レジスタのタイマX出力制御ビット1又は2を“1”に設定すると、INT1又はINT2の割り込み信号でタイマXカウント停止ビットを強制的に“1”に固定し、タイマXのカウントを停止すると同時に、TXOUT1、TXOUT2端子の出力を強制的に“L”出力することができます。

IGBT出力モードを使用するときは、タイマXレジスタ(拡張)に“1”を書き込まないでください。

#### (4)PWMモード

IGBT用ダミー出力、INT0端子による外部トリガ、及びINT1、INT2端子による出力制御を使用しないことを除けば、IGBT出力モードと同じ動作をします。PWM波形の周期は、タイマXの設定値によって決定されます。タイマX1出力極性切り替えビットが“0”の場合、“H”期間は、コンペアレジスタ1の設定値によって決定されます。タイマX2出力極性切り替えビットが“0”の場合、“H”期間は、コンペアレジスタ2と3の設定値によって決定されます。このモードではTXOUT1、TXOUT2端子として使用する共用のポートを出力に設定してください。

PWMモードを使用するときは、タイマXレジスタ(拡張)に“1”を書き込まないでください。

#### (5)イベントカウンタモード

CNTR0端子からの入力をカウントします。このモードは、タイマXレジスタ(拡張)を設定すれば、18ビットのカウンタとして動作します。このモードではCNTR0端子と共用のポートを入力に設定してください。

このモードではタイマ1のアンダフローでウィンド制御できません。イベントカウンタウィンド制御用データビットを“1”に設定すると、次のタイマ1のアンダフローでカウントを停止し、“0”に設定すると、次のタイマ1のアンダフローでカウントを再開します。

#### (6)パルス幅測定モード

カウントソースはタイマ用分周器の出力です。このモードは、タイマXレジスタ(拡張)を設定すれば、18ビットのカウンタとして動作します。CNTR0極性切り替えビットのビット6が“0”の場合はCNTR0端子の入力が“H”の期間カウントします。“1”の場合はCNTR0端子の入力が“L”の期間カウントします。このモードではCNTR0端子と共用のポートを入力に設定してください。

### 注意事項

#### (1) タイマX書き込み順序について

・タイマモード、パルス出力モード、イベントカウンタモード、又はパルス幅測定モード設定時は、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で書き込みを行ってください。なお、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)のいずれかのみ書き込みはできません。

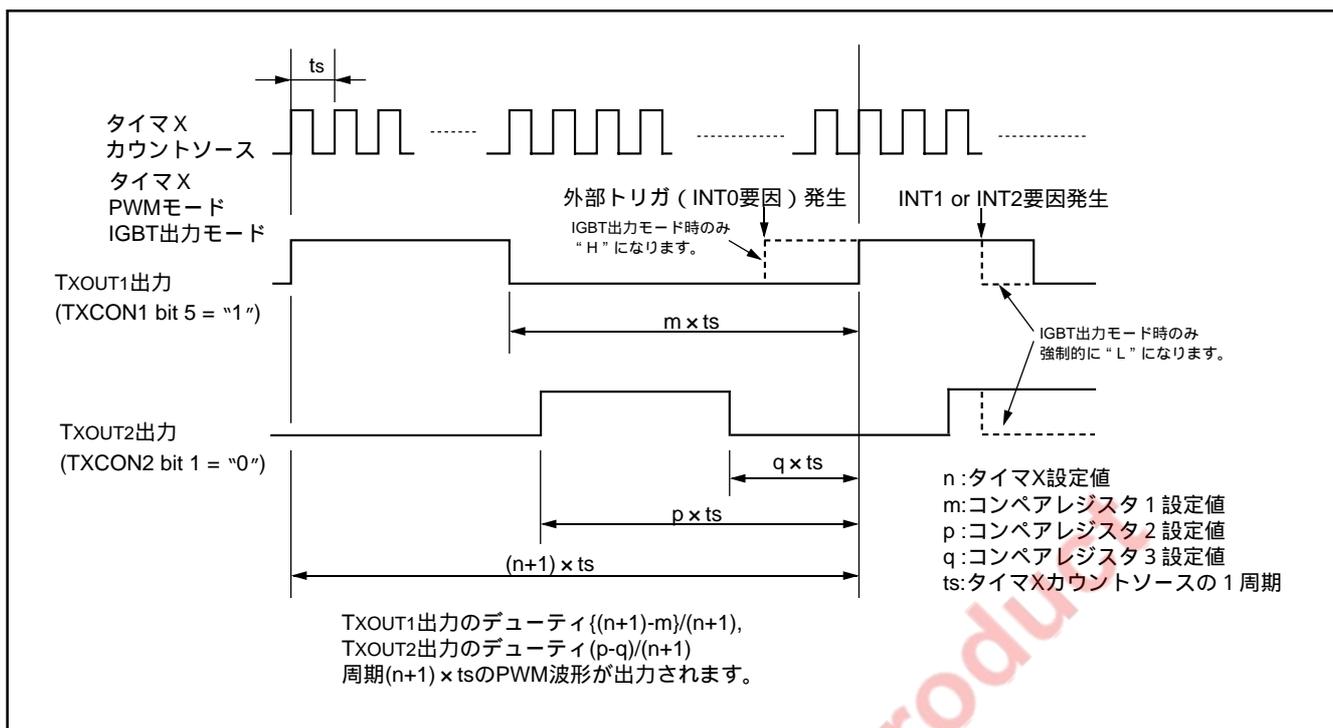


図26 . IGBT/PWM波形図

上記モードの設定時に16ビットカウンタとして動作させる場合、リセット解除後一度もタイマXレジスタ(拡張)を設定していなければ、タイマXレジスタ(拡張)を設定する必要はありません。その場合の設定は、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で行ってください。ただし、一度タイマXレジスタ(拡張)に書き込むとリロード用ラッチに値が保持されるので、注意してください。

- ・ PWMモード、IGBT出力モードの設定時は、タイマXレジスタ(拡張)には「1」を書き込まないでください。また、すでに「1」が書き込まれた状態の場合は、必ず「0」を書き込んでから使用してください。書き込むときはコンペアレジスタ1,2,3(上位、下位)、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で行ってください。コンペアレジスタ1,2,3とタイマXレジスタは必ず両方に書き込んでください。

#### (2) タイマX読み出し順序について

- ・ 各モードともタイマXレジスタ(拡張)、タイマXレジスタ(上位)、タイマXレジスタ(下位)の順で読み出してください。タイマXレジスタ(拡張)を読み出す必要のないときは、タイマXレジスタ(上位)、タイマXレジスタ(下位)の順で読み出してください。コンペアレジスタ1,2,3については読み出しの順序は決まっていません。
- ・ タイマXレジスタの書き込みと読み出しは、16ビット単位で行ってください。途中で書き込みや読み出し操作を中止すると正常に動作をしません。

#### (3) タイマXの書き込みについて

- ・ タイマXはタイマXモードレジスタ(002D<sub>16</sub>番地)のタイマX書き込み制御ビット(b3)によってラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。ラッチのみ書き込みの場合、タイマXのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチ及びタイマ同時書き込みになっており、タイマXのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。なお、ラッチのみ書き込みの場合、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、上位側リロード用ラッチへの書き込み動作中はカウントが停止します。
- ・ タイマカウント中にタイマカウントソースを切り替えしないでください。タイマカウントソースを切り替える際は、タイマカウントを停止させてから行ってください。

#### (4) タイマXモードレジスタ設定について

- ・ PWMモード、IGBT出力モード設定時は、タイマXモードレジスタの書き込み制御ビットは、必ず「1」(ラッチのみ書き込み)に設定してください。タイマXレジスタ(上位)の書き込み後、次のアンダフローのタイミングで両レジスタの内容が同時に出力波形に反映されます。

(5) タイマX出力制御機能について

- 出力制御機能 INT1,INT2 を使用する場合、IGBT出力モードに切り替える前にINT1,INT2のレベルを立ち下がりエッジアクティブの場合は“H”、立ち上がりエッジアクティブの場合は“L”にしてください。

(6) CNTR0割り込み極性切り替えについての注意

- CNTR0割り込み極性切り替えビットの設定により、同時に割り込み極性も影響を受けます。
- パルス幅測定時は、CNTR0極性切り替えビットのビット7を“0”に設定してください。

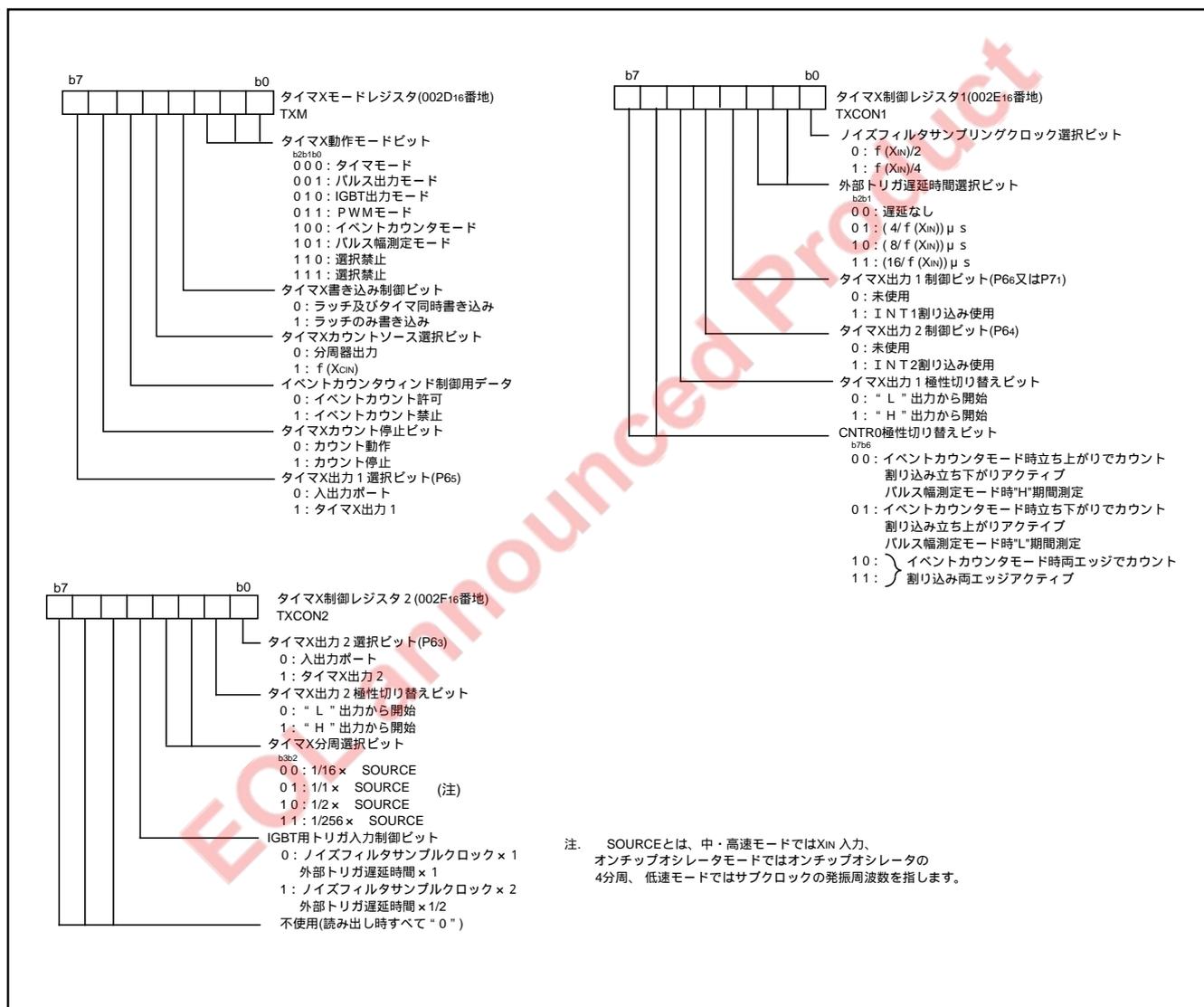


図27 .タイマX関連レジスタの構成

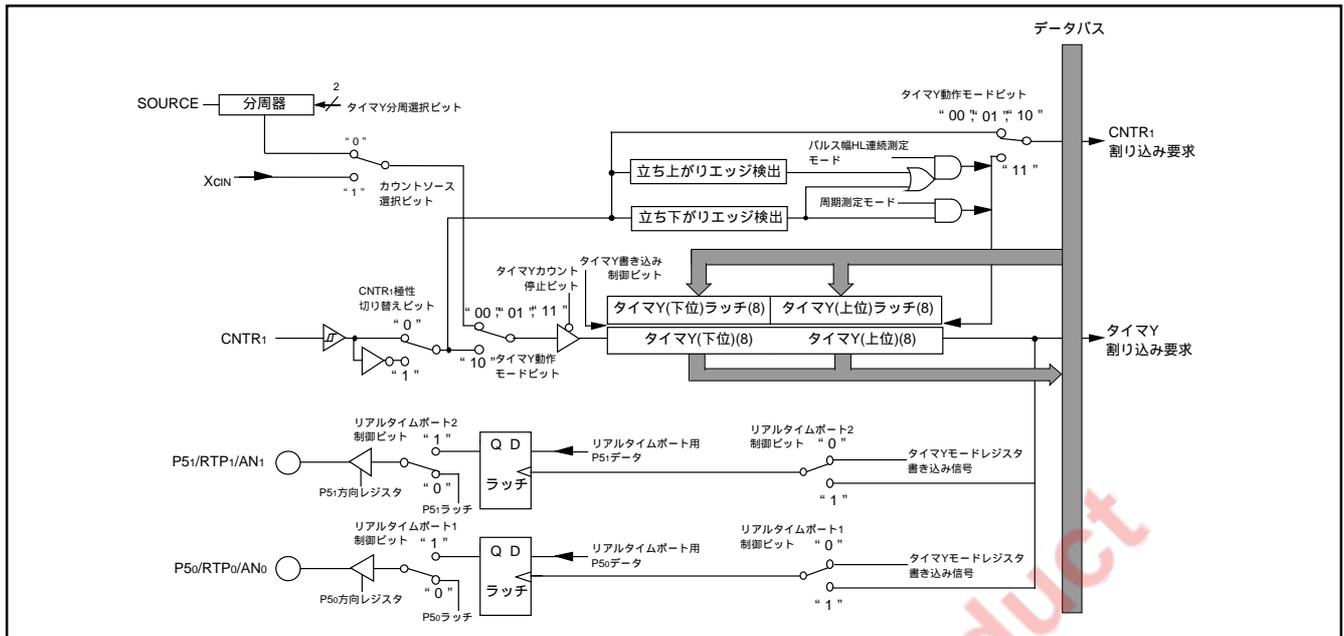


図28 .タイマYのブロック図

タイマY

タイマYは16ビットタイマです。タイマYはタイマYモードレジスタを設定することにより、カウントソースを選択することができます。カウントソースにf(XCIN)を選択した場合、XCINの発振によらずカウントできます。ただし、XCINが停止している場合は、XCIN端子から入力される外部パルスをカウントします。タイマYは、タイマYモードレジスタにより4つの動作モードを選択することができます。またリアルタイムポート制御ができます。

(1)タイマモード

タイマYモードレジスタを設定することにより、カウントソースを設定することができます。

(2)周期測定モード

CNTR1端子入力の立ち上がり又は立ち下がりで割り込み要求が発生し、タイマラッチの内容を再びタイマにロードしてカウントを続けることを除けば、タイマモードと同じ動作をします。

CNTR1端子入力の立ち上がり又は立ち下がり時の再ロード直前のタイマ値は、再ロード後1度読み出されるまで保持されます。なお、CNTR1端子入力の立ち上がり又は立ち下がりタイミングはCNTR1割り込みで知ることができます。このモードではCNTR1端子と共用のポートを入力に設定してください。

(3)イベントカウンタモード

CNTR1端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではCNTR1端子と共用のポートを入力に設定してください。

(4)パルス幅HL連続測定モード

CNTR1端子入力の立ち上がり、立ち下がりとも割り込み要求が発生することを除けば、周期測定モードと同じ動作をします。このモードではCNTR1端子と共用のポートを入力に設定してください。

注意事項

(1)CNTR1割り込み極性切り替えについて

CNTR1極性切り替えビットの設定により、同時に割り込みのアクティブエッジも影響を受けます。ただし、パルス幅HL連続測定モードの場合はCNTR1極性切り替えビットの設定によらず、端子の立ち上がり、立ち下がりともにCNTR1割り込み要求が発生します。

(2)タイマYの読み出し及び書き込みについて

- ・タイマYに読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。値を読み出す場合は上位バイト、下位バイトの順に読み出し、値を書き込む場合は下位バイト、上位バイトの順に書き込んでください。なお、書き込みと読み出しは16ビット単位で行ってください。途中で書き込みや読み出しの操作を変更すると正常に動作しません。
- ・タイマYはタイマY制御レジスタ(0039<sub>16</sub>番地)のタイマY書き込み制御ビット(b0)によって、ラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。ラッチのみ書き込みの場合、タイマYのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチ及びタイマ同時書き込みになっており、タイマYのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。

なお、ラッチのみ書き込みの場合、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、上位側リロード用ラッチへの書き込み動作中はカウントが停止します。

- ・タイマカウント中にタイマカウントソースを切り替えしないでください。タイマカウントソースを切り替える際は、タイマカウントを停止させてから行ってください。

### (3)リアルタイムポート制御

リアルタイムポート機能有効時はタイマYがアンダフローするたびにリアルタイムポート用データがそれぞれポートP5<sub>0</sub>、P5<sub>1</sub>から出力されます。(ただし、リアルタイムポート用データを設定した後、リアルタイムポート制御ビットを“0”から“1”に変えたときには、タイマYの動作に関わらずデータが出力されます。)リアルタイムポート機能有効時にリアルタイムポート用データを変更すると、次のタイマYのアンダフローで変更された値が出力されます。

この機能を利用するときは対応するポートの方向レジスタを出力に設定してください。

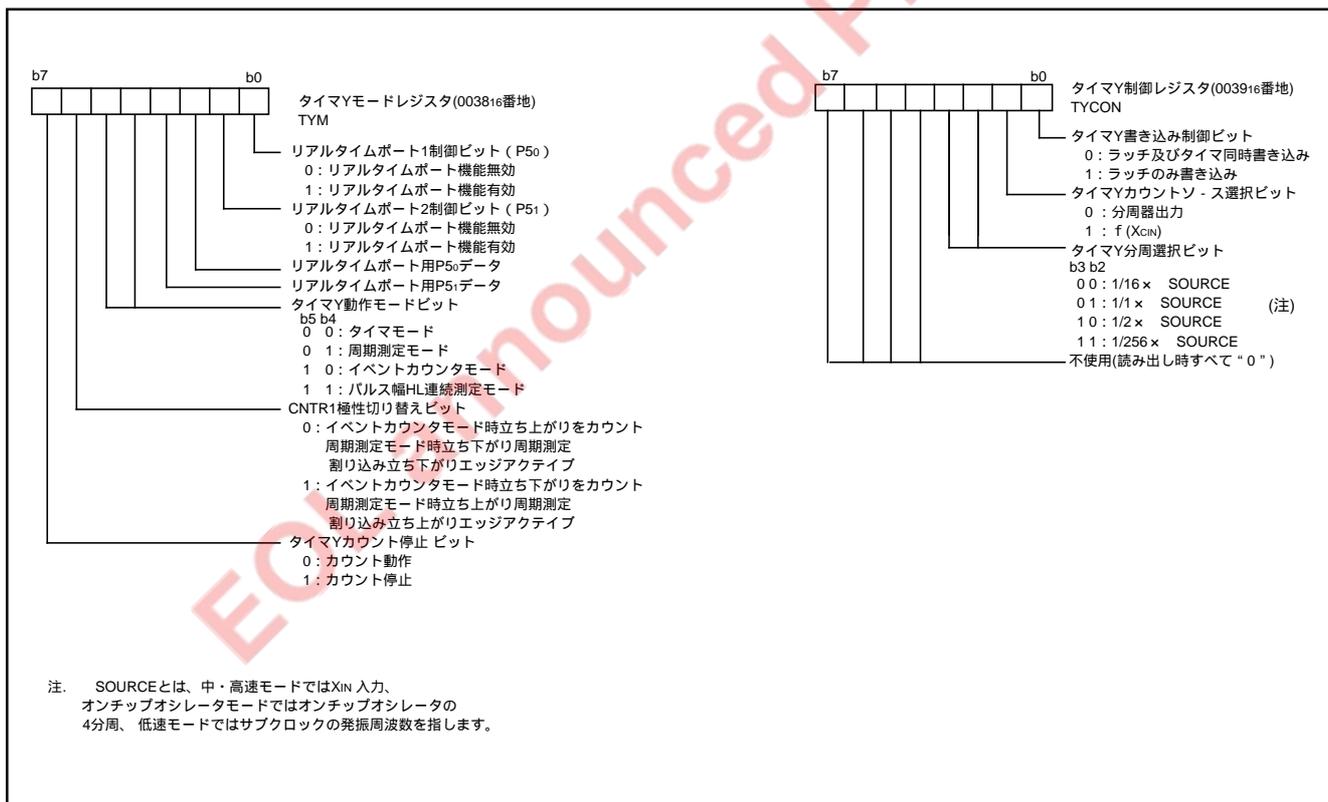


図29 . タイマY関連レジスタの構成

シリアルインタフェース

シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O1動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのモード選択ビットを'1'にすることによって、クロック同期形シリアルI/O1が選択されます。

クロック同期形シリアルI/O1では、シリアルI/O1の動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

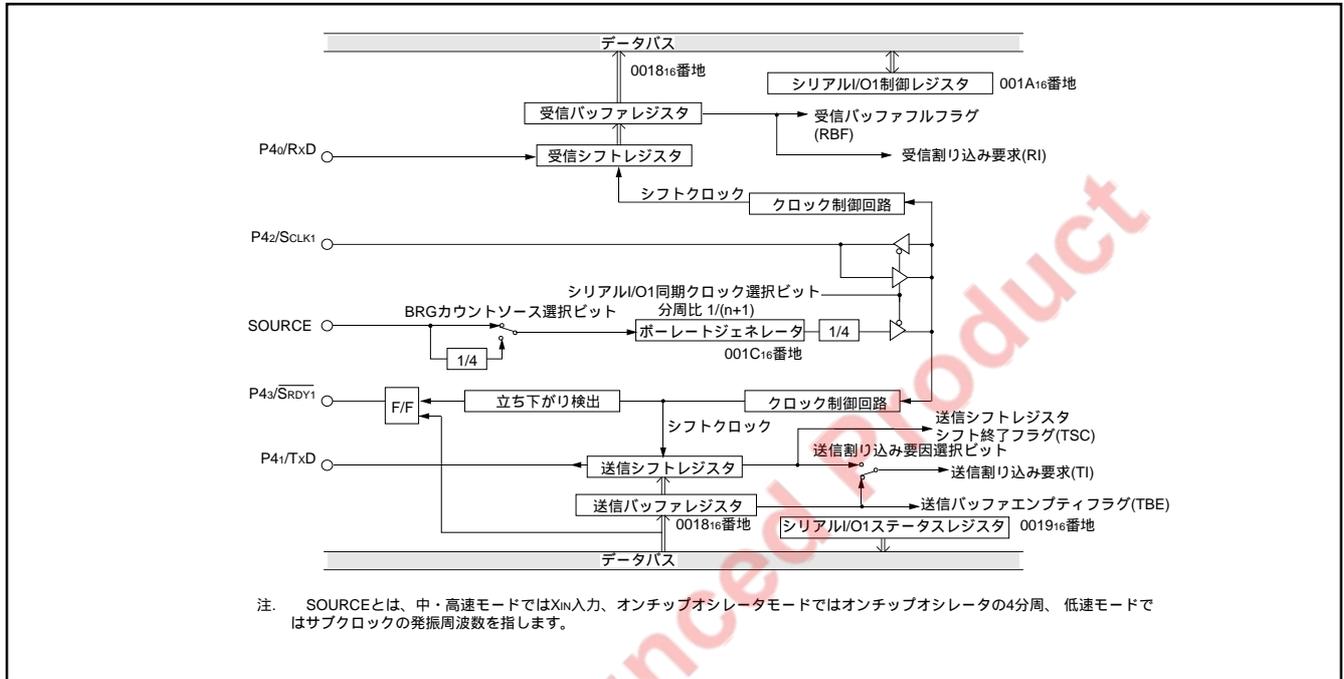


図30. クロック同期形シリアルI/O1のブロック図

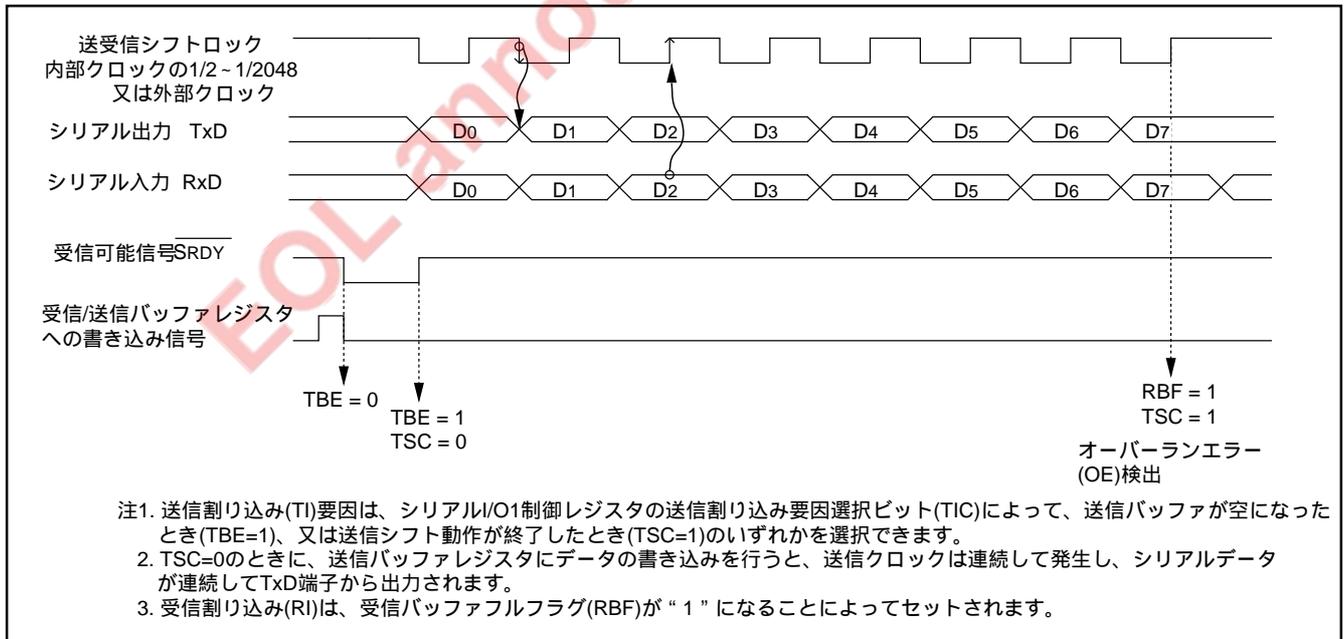


図31. クロック同期形シリアルI/O1動作図

(2) 非同期形シリアルI/O(UART)モード

シリアルI/O制御レジスタのモード選択ビットを'0'にすることによってUARTが選択されます。

38C5グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

38C5グループはシリアルデータの送信、受信を行う送信シフト

レジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

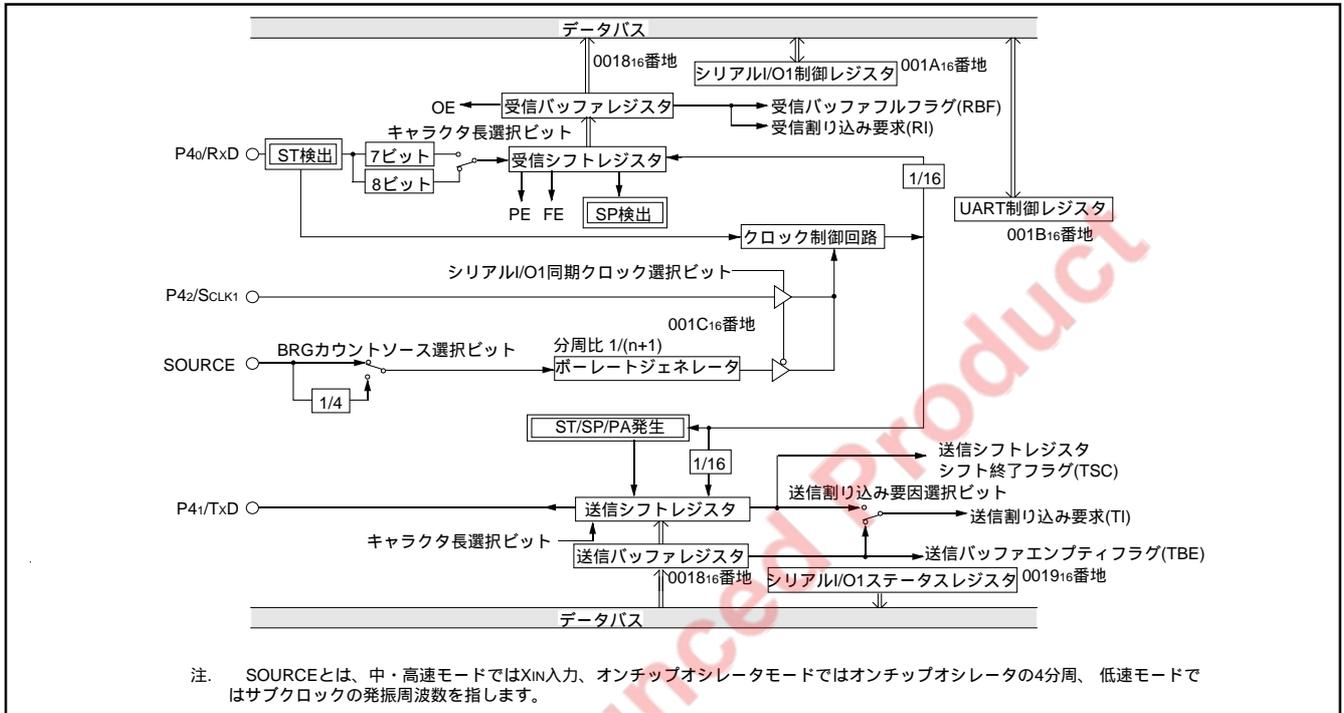


図32. UART形シリアルI/O1のブロック図

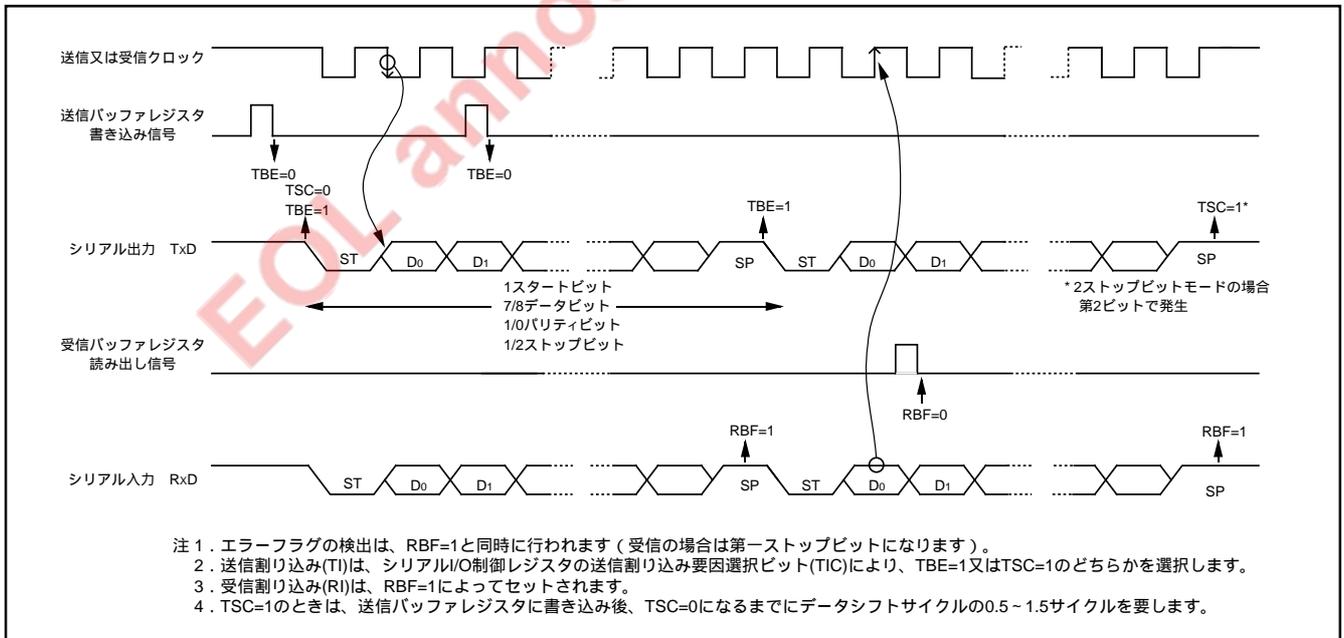


図33. UART形シリアルI/O1動作図

【送信バッファレジスタ/受信バッファレジスタ】 TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】 SIO1STS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みで、すべてのエラーフラグ(OE PE FE SE)がクリアされます。また、シリアルI/O1許可ビット(SIOE)に“0”を書き込むと、エラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのすべてのビットはリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビットを“1”にしたとき、ビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】 SIO1CON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】 UARTCON

UART選択時に有効な4ビットの制御ビットと、常に有効な1ビットの制御ビットにより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P41/TxD端子の出力形式などを設定します。

【ボーレートジェネレータ】 BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

注意事項

シリアルI/O1の送信許可ビットを“1”にしたとき、シリアルI/O1送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

- 1.シリアルI/O1送信割り込み許可ビットを“0”(禁止)にする。
- 2.送信許可ビットを“1”にする。
- 3.一命令以上おいてから、シリアルI/O1送信割り込み要求ビットを“0”にする。
- 4.シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

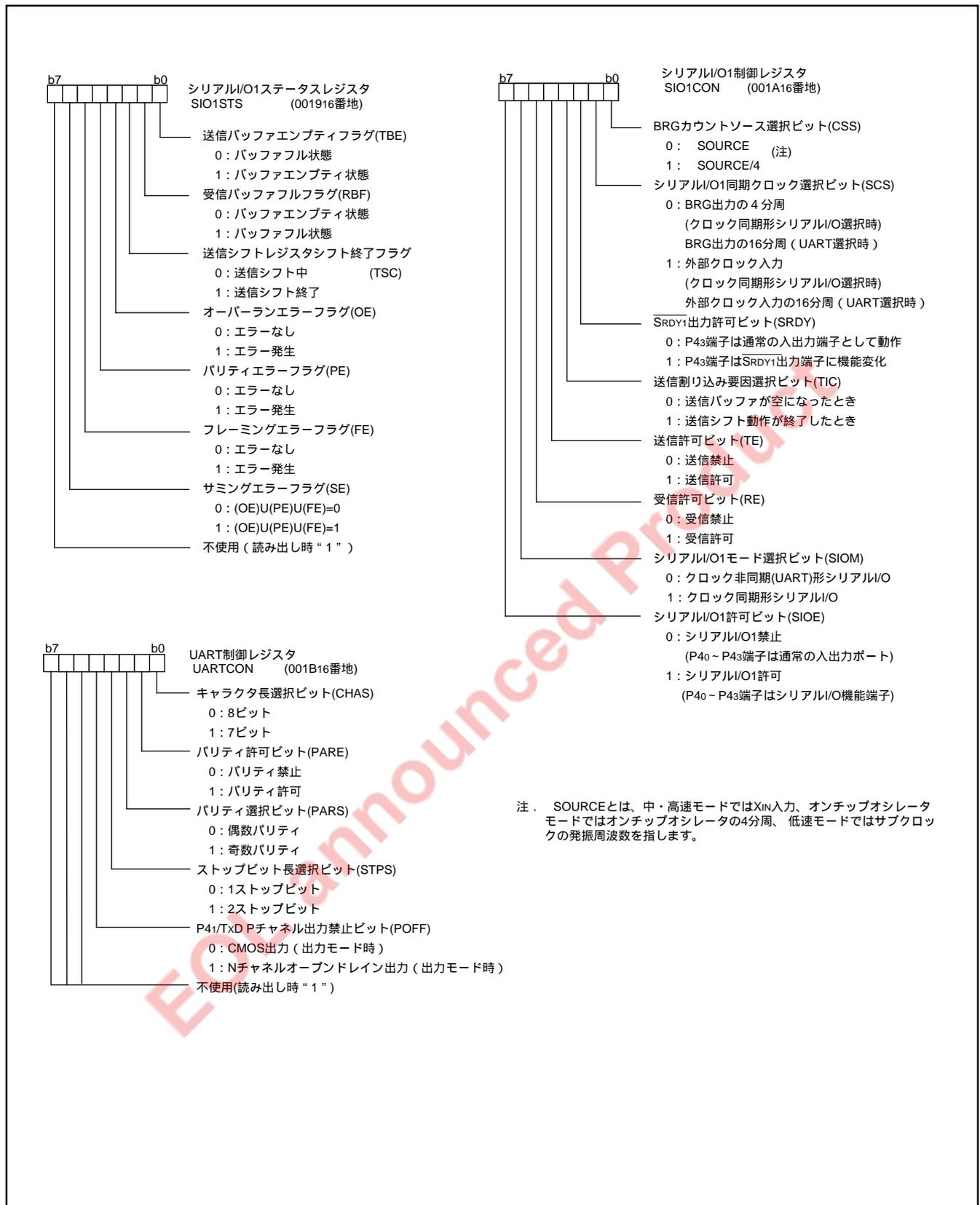


図34 . シリアルI/O1関係レジスタの構成

シリアルI/O2

シリアルI/O2はクロック同期形としてのみ動作可能です。

シリアルI/O2においては、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始はシリアルI/O2レジスタへの書き込み信号により行われます。

【シリアルI/O2制御レジスタ】 SIO2CON

シリアルI/O2制御レジスタは8ビットで、シリアルI/O2の各種制御を行う選択ビットで構成されています。

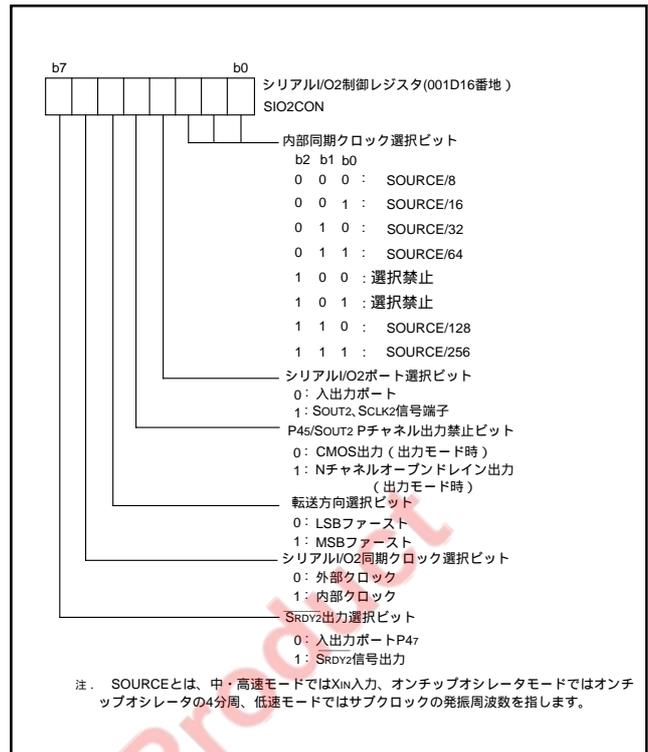


図35. シリアルI/O2制御レジスタの構成

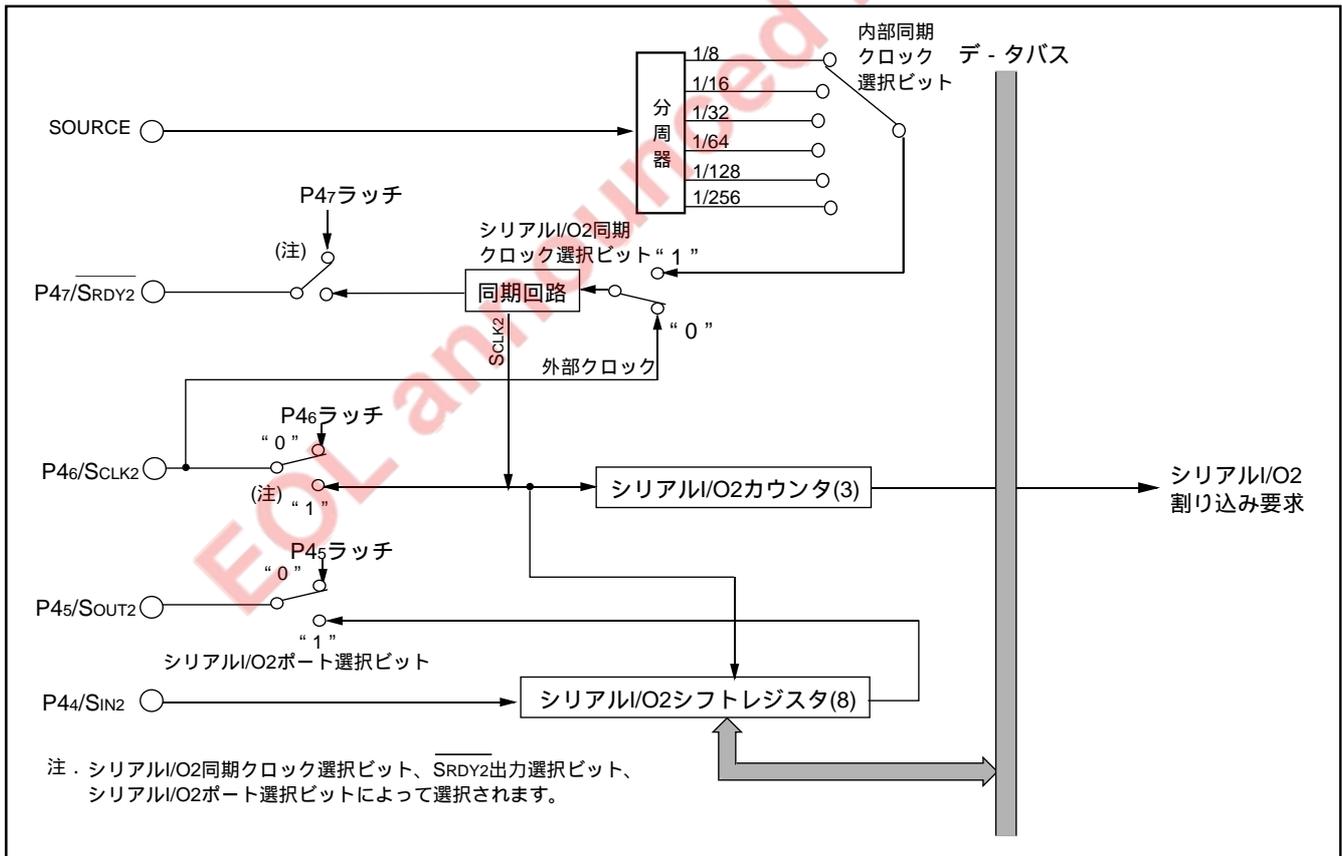


図36. シリアルI/O2ブロック図

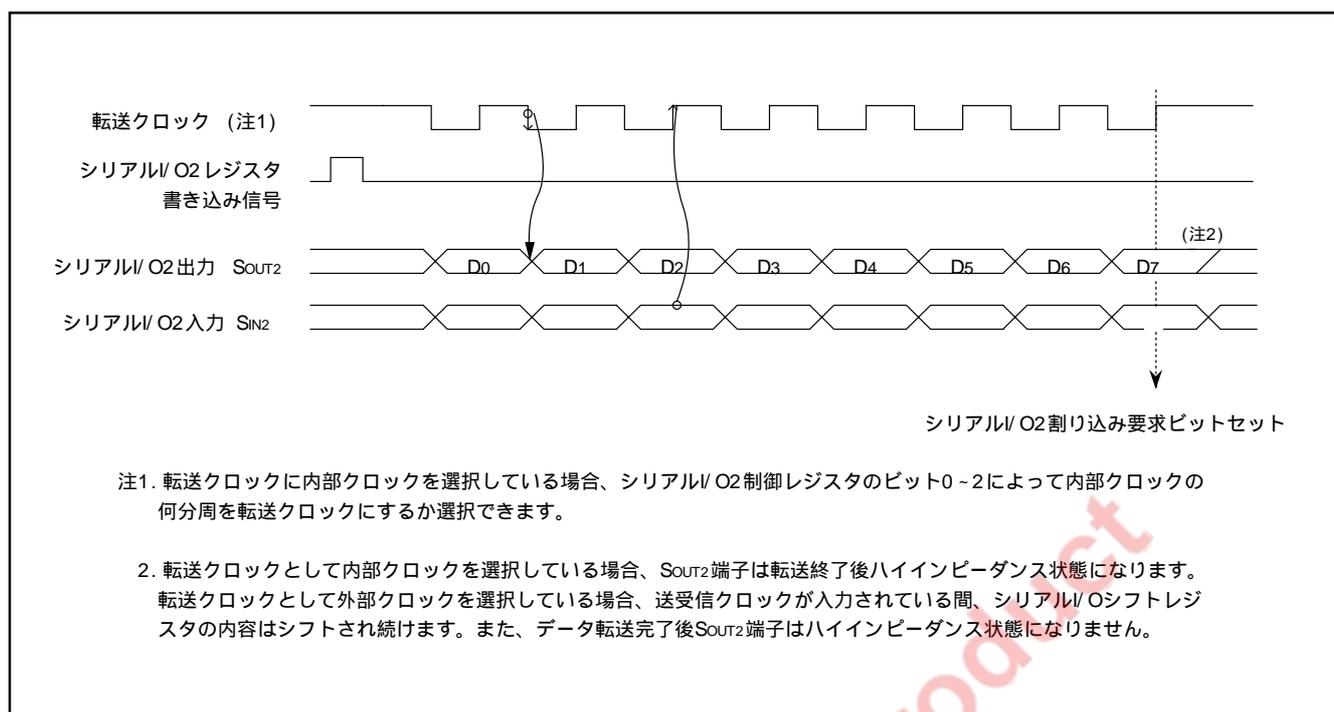


図37 . シリアル/O2タイミング図

A/Dコンバータ

A/Dコンバータ

10ビット分解能逐次比較方式のA/Dコンバータです。ADKEY端子への“L”レベルアナログ入力を自動的にA/D変換するADKEY機能があります。

【AD変換レジスタ】 ADL,ADH

A/D変換結果が格納されるレジスタで、上位レジスタと下位レジスタがあります。変換結果は上位8ビットがAD変換レジスタ(上位)(0017<sub>16</sub>番地)に、下位2ビットがAD変換レジスタ(下位)(0016<sub>16</sub>番地)のビット7及びビット6に格納されます。A/D変換中は、このレジスタを読み出さないでください。

また、VREF入力スイッチビット(0016<sub>16</sub>番地のビット0)により、抵抗ラダーと基準電圧入力端子(VREF)の接続を制御できます。このビットに“1”が書き込まれている場合には、常に抵抗ラダーはVREFに接続されます。“0”が書き込まれていると、A/D変換中以外、抵抗ラダーはVREFから切り離されます。

【AD制御レジスタ】 ADCON

A/Dコンバータの制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。ビット3はA/D変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことによりA/D変換が開始されます。

ビット5はADKEY許可ビットで、このビットに“1”を書き込むことによりADKEY機能が許可されます。この機能を有効にした場合、アナログ入力選択ビットは無視されます。また、ビット5が“1”のとき、ビット3にプログラムで“0”を書き込まないでください。

【比較電圧発生器】

AVSSとVREFの間の電圧を抵抗分割し、分圧を出力します。

【チャンネルセクタ】

ポートP57/AN7～P50/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をAD変換レジスタに格納します。また、A/D変換終了時にAD変換終了ビット及びA/D割り込み要求ビットを“1”にセットします。

コンパレータへの入力は容量で結合されています。変換速度が充分でない場合、電荷の消失により変換精度を損なう恐れがありますので、中、高速モードでA/D変換を行う場合はf(XIN)を500kHz以上にしてください。また、A/D変換中にSTP命令、WIT命令を実行しないでください。

低速モードでは、内蔵の自己発振回路を用いてA/D変換を行いますので、f(XIN)に下限周波数の制限はありません。

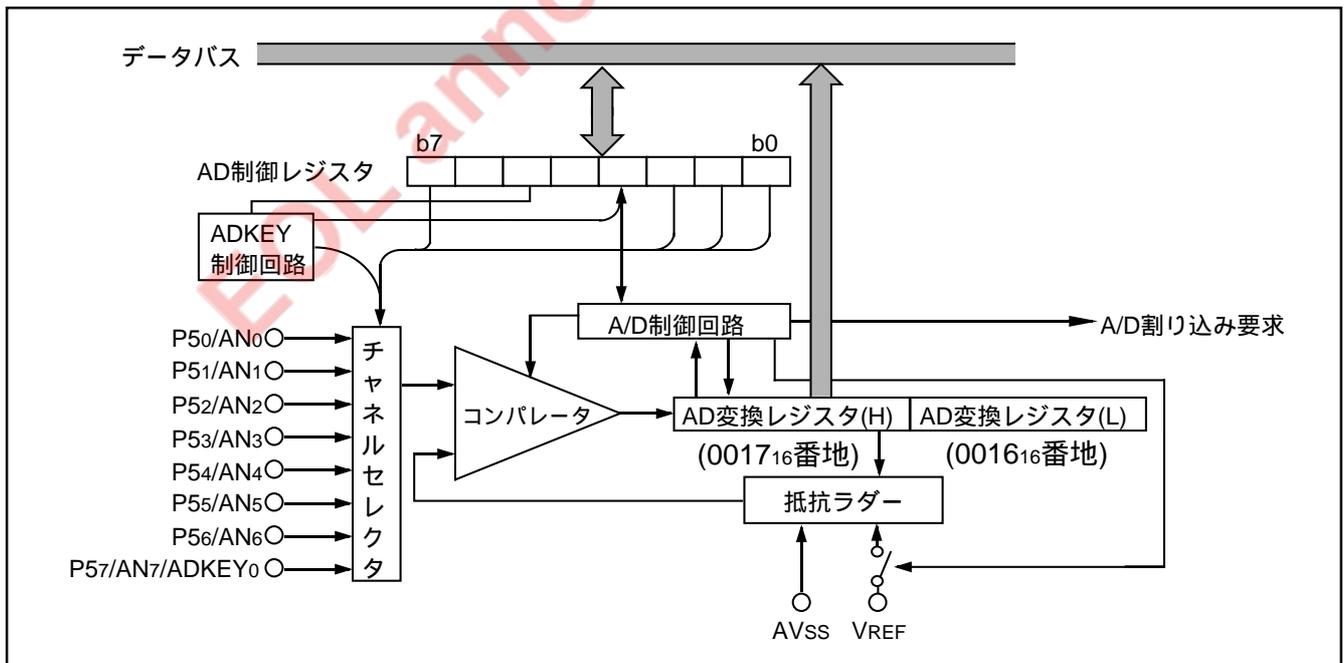


図38 . A/Dコンバータのブロック図

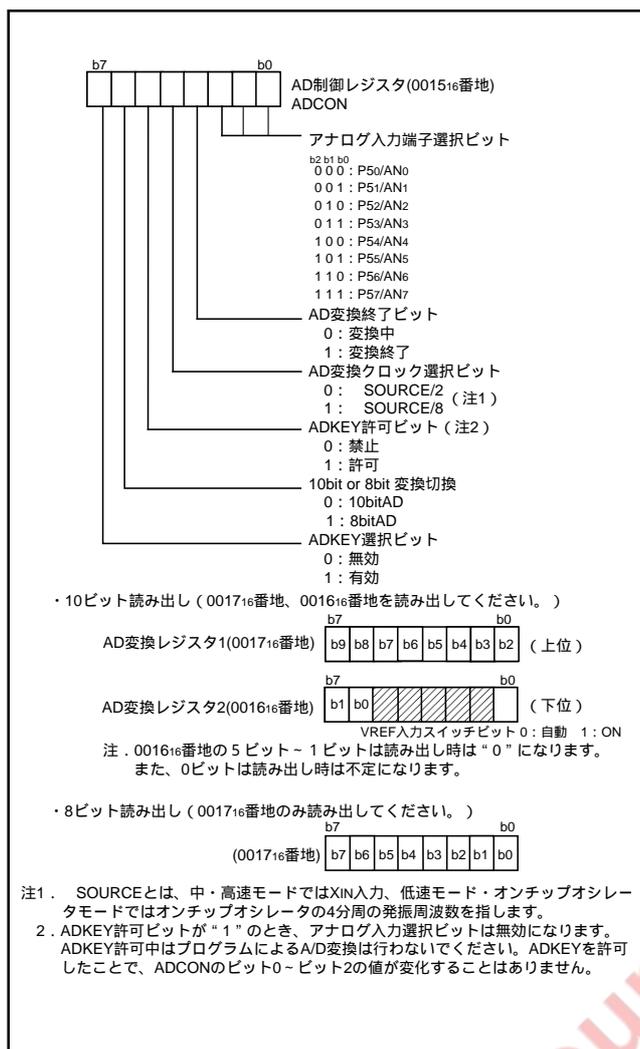


図39. A/D制御レジスタの構成

## ADKEY機能

ADKEY機能はADKEY端子へ入力されたアナログ入力電圧を判別する機能です。ADKEY端子に $V_{IL}$  ( $0.7 \times V_{CC} - 0.5$ )以下の電圧が入力されるとA/Dコンバータが動作を開始しますので、A/D変換割り込みなどで判別することができます。この機能はSTP、WIT状態でも使用することができます。

38C5グループのADKEY機能では、ADKEY機能を起動した直後のアナログ入力電圧のA/D変換は行われません。そのため、ADKEY機能の起動直後のA/D変換結果は不定です。ADKEY端子へ入力したアナログ入力電圧のA/D変換結果が必要な場合は、ADKEYに該当するアナログ入力端子を選択した後にA/D変換を実行してください。

## ・ADKEY選択

ADKEY端子使用時はADKEY選択ビットに“1”を設定してください。ADKEY選択ビットは、ADKEY機能によるA/D変換開始直後は“0”になります。

## ・ADKEY許可

ADKEY許可ビットに“1”を書き込むことによりADKEY機能が有効になります。ADKEY機能を有効にする場合は、ADKEY選択ビットに“1”を設定した後にADKEY許可ビットに“1”を設定してください。

ADKEY許可ビットが“1”のとき、アナログ入力選択ビットは無効になります。ADKEY許可中はAD変換終了ビットに“0”を書き込まないでください。

## 【ADKEY制御回路】

ADKEY端子への入力は急峻な立ち下がり波形にし、入力電圧が $V_{IL}$ 以下になった瞬間から8クロックサイクル( $f(XIN)=8\text{MHz}$ 時、 $1\mu\text{s}$ )以内に入力電圧を安定させてください。

ADKEY端子の実際のしきい値電圧は $V_{IH} - V_{IL}$ 間の電圧です。

ノイズなどで不必要にADKEY動作を行わせないため、入力待ちの状態ではADKEY端子の電圧が $V_{IH}$  ( $0.9V_{CC}$ )以上になるようにしてください。

以下の操作を行った場合のA/D変換は動作を保証できません。

- ・A/D変換動作中にCPUモードレジスタを操作した場合
- ・A/D変換動作中にAD制御レジスタを操作した場合
- ・A/D変換動作中にSTP、WIT命令を実行した場合

LCD駆動制御回路

38C5グループはLCD(液晶表示素子)の駆動制御回路を内蔵しています。

LCD駆動制御回路は、

- ・LCD表示用RAM
- ・セグメント出力禁止レジスタ
- ・LCDモードレジスタ
- ・セレクト
- ・タイミングコントローラ
- ・コマンドドライバ
- ・セグメントドライバ
- ・バイアス制御回路

によって構成されています。

セグメント出力は最大36本、コモン出力は最大8本使用でき、最大256画素までLCD表示を行うことができます。

LCDモードレジスタ、セグメント出力禁止レジスタ、LCD表示用RAMにデータを設定した後、LCDイネーブルビットを点灯に設定すると、LCD駆動制御回路は自動的に表示データを読み出し、バイアス制御、時分割制御などを行い、LCDパネルへの表示を行います。

表8. 各時分割時の最大表示素子数

時分割数	最大表示素子数
1	36ドット又は8セグメントLCD4桁
2	72ドット又は8セグメントLCD9桁
3	108ドット又は8セグメントLCD12桁
4	144ドット又は8セグメントLCD18桁
8	256ドット又は8セグメントLCD32桁

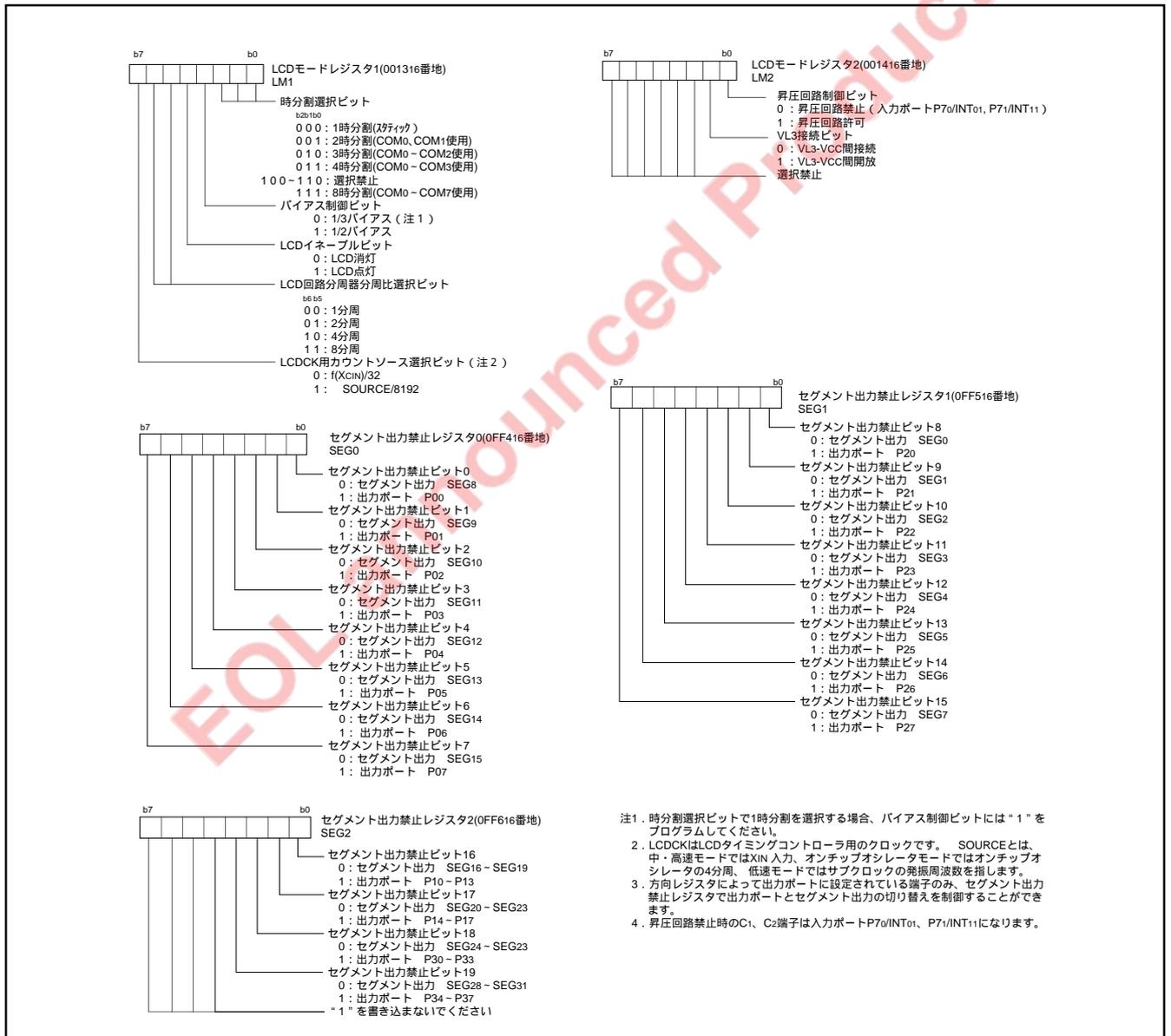


図40. LCD関係レジスタの構成



●昇圧回路

昇圧回路は3倍昇圧を行います。昇圧の基準電源はLCD用電源入力端子VL1から入力します。

昇圧回路を動作させるにはセグメント出力禁止レジスタ0,1,2とLCDモードレジスタ1,2によりセグメント/ポートの選択と時分割選択、バイアス制御選択、LCD回路分周器分周比選択、LCDCK用カウンタソース選択を行った後にVL3接続ビット(LCDモードレジスタ2のビット1)を「1(開放)」に設定し、昇圧回路制御ビット(LCDモードレジスタ2のビット0)を「1(昇圧回路許可)」に設定してください。

昇圧回路を動作させた場合、VL1端子に電圧を入力すると、VL2端子にVL1の2倍の電圧が発生し、VL3端子にVL1端子の3倍の電圧が発生します。

昇圧回路の制御は昇圧回路制御ビット(LCDモードレジスタ2のビット0)で行います。

なお、昇圧回路使用時は、VL1端子に1.3V以上2.1V以下の電圧を印加後に、昇圧回路制御ビットを「1(昇圧回路許可)」に設定してください。

昇圧回路を使用しない場合はVL3接続ビットを「1(開放)」に設定し、LCD用電源入力端子(VL1~VL3)に適当な電圧を印加してください。VL3接続ビットが開放に設定されているときは、VL3端子はハイインピーダンス状態です。

●バイアス制御とLCD用電源入力端子への印加電圧

LCD用電源入力端子(VL1~VL3)には、バイアス値に従って、表9に示す電圧値を印加してください。

また、バイアス値はバイアス制御ビット(LCDモードレジスタのビット2)で選択してください。

表9 . バイアス制御とVL1~VL3への印加電圧

バイアス値	電圧値
1/3バイアス	VL3 = VLCD VL2 = 2/3 VLCD VL1 = 1/3 VLCD
1/2バイアス	VL3 = VLCD VL2 = VL1 = 1/2 VLCD

注 . VLCDはLCDパネルへの供給電圧の最大値

コモン端子と時分割制御

コモン端子(COM0~COM7)は、時分割数によって使用する端子が決まっています。時分割数は時分割選択ビット(LCDモードレジスタのビット0、ビット1、ビット2)で選択してください。リセット解除時コモン端子からVccの電圧が出力されます。

表10 . 時分割制御と使用コモン端子

時分割数	時分割選択ビット			使用コモン端子名
	ビット2	ビット1	ビット0	
1	0	0	0	COM0
2	0	0	1	COM0 - COM1
3	0	1	0	COM0 - COM2
4	0	1	1	COM0 - COM3
8	1	1	1	COM0 - COM7

注. 使用しないコモン端子は不選択波形を出力します。

セグメント信号出力端子

セグメント信号出力端子(SEG0~SEG31)は、ポートP0~P3と兼用になっています。これらの端子をセグメント信号出力端子として使用するときは、対応する端子の方向レジスタを「1」にセットし、セグメント出力禁止レジスタを「0」にクリアします。

また、これらの端子はリセット解除後入力ポートに設定され、プルアップ抵抗によりVccの電圧が出力されます。

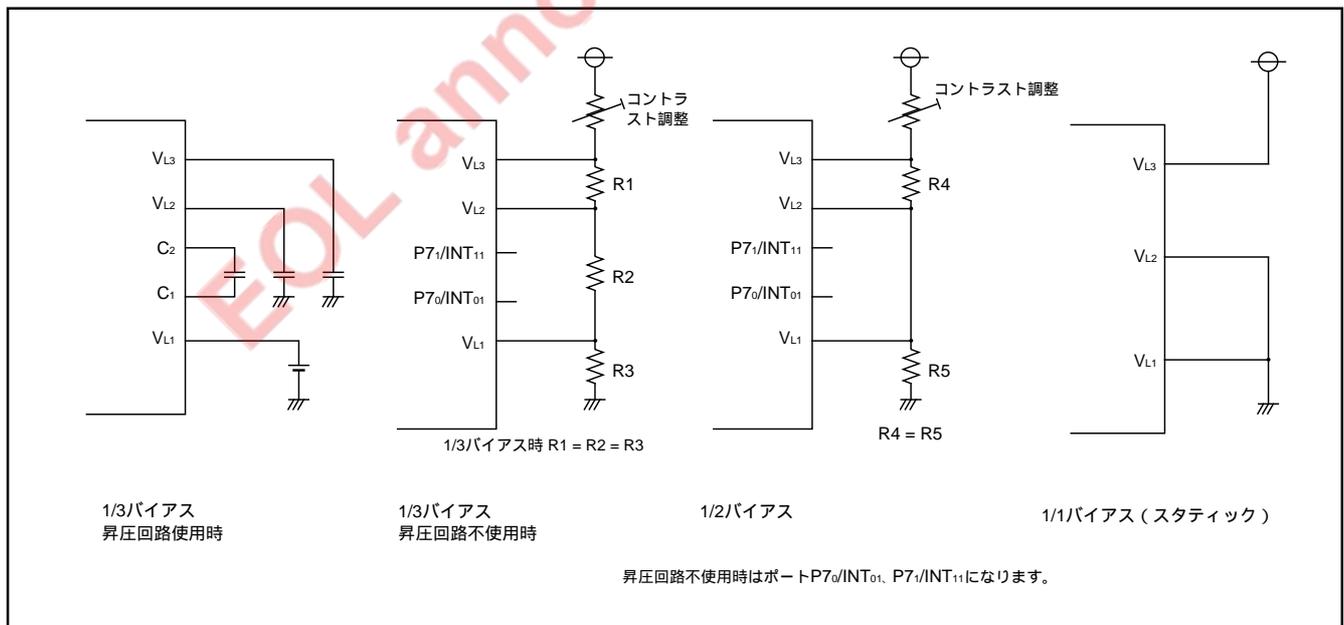


図42 . 各バイアス時の回路例



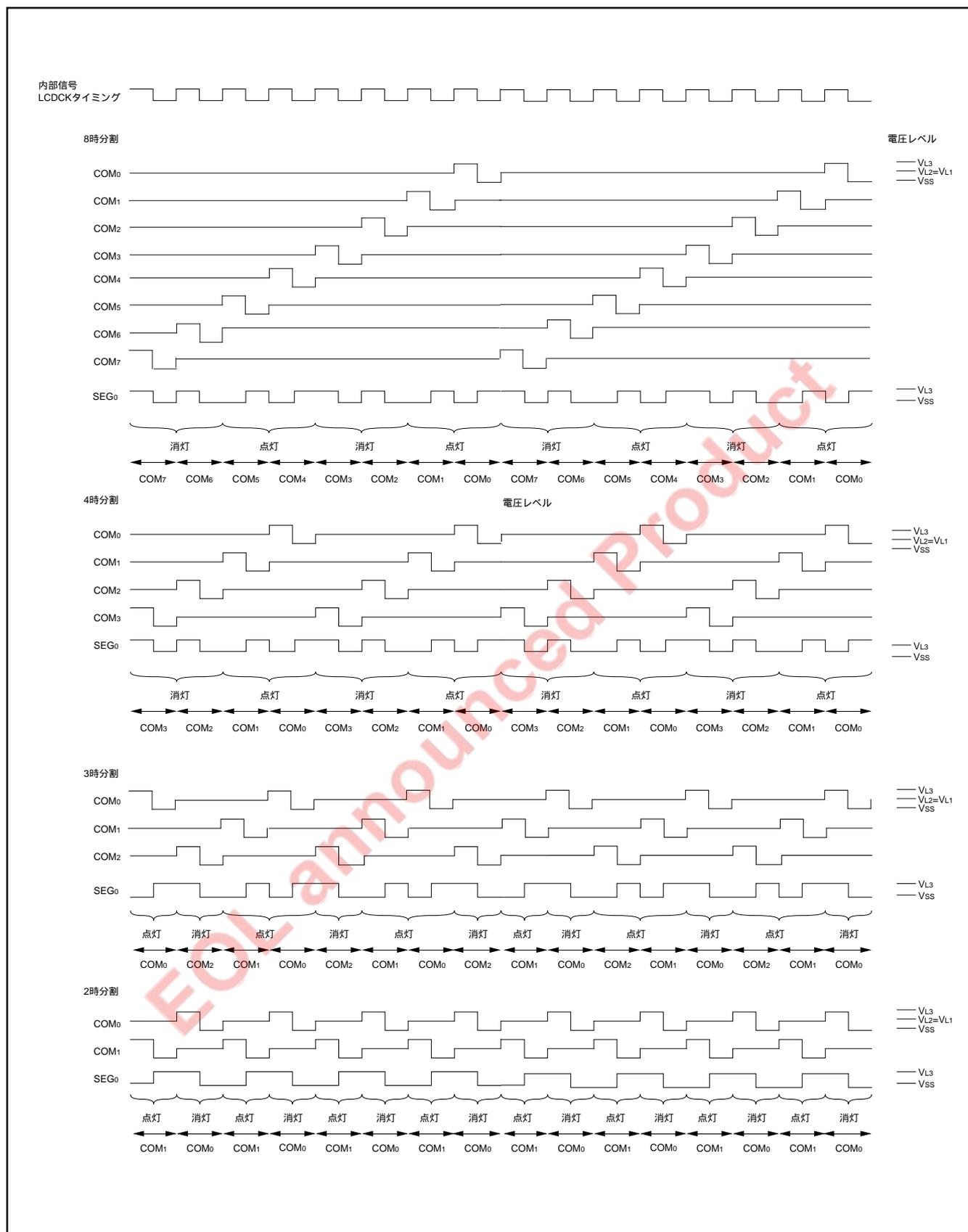


図44 . LCD駆動波形 (1/2バイアスの場合)

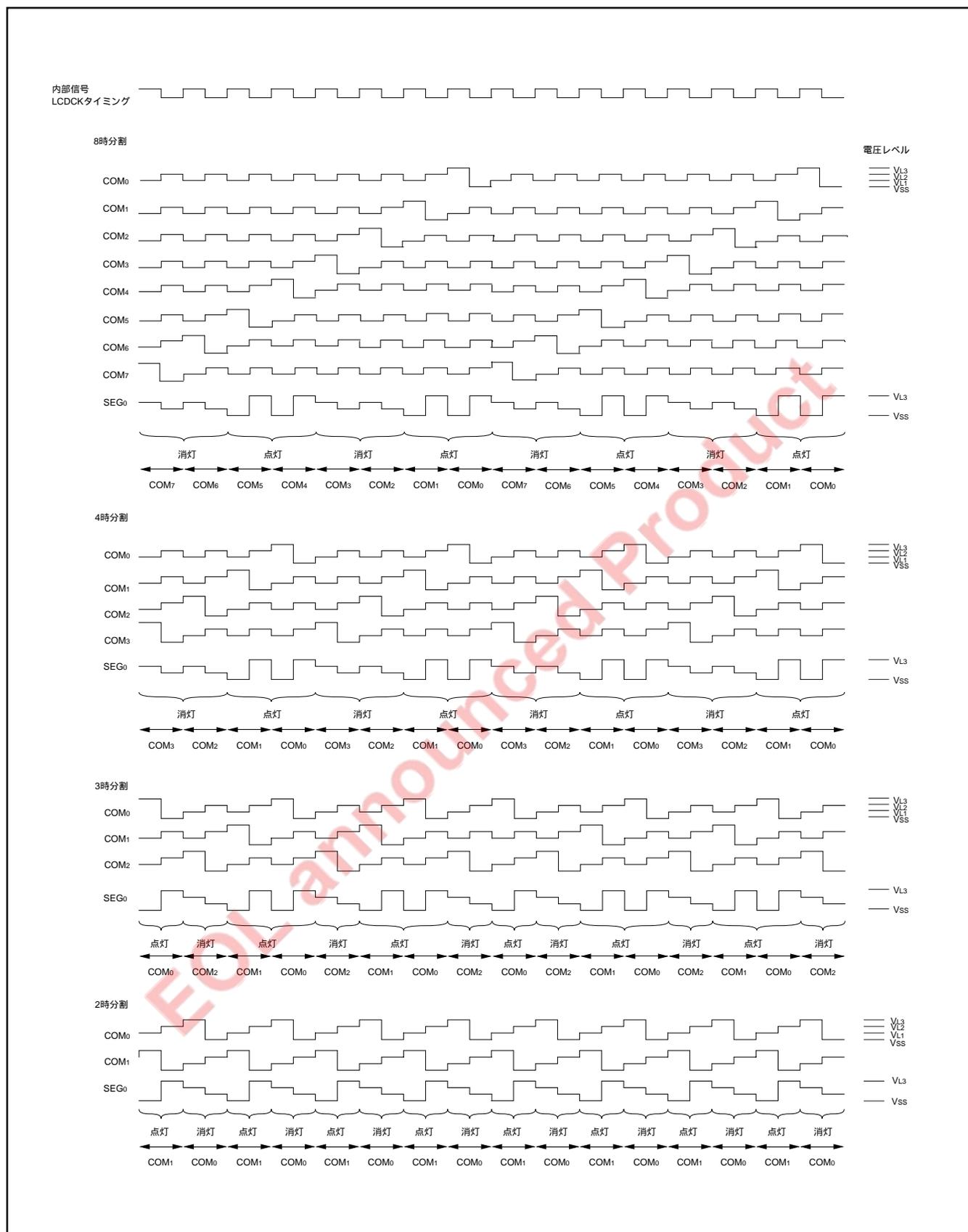


図45 . LCD駆動波形 (1/3バイアスの場合)

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合にリセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのカウンタで構成されます。

ウォッチドッグタイマの初期値

リセット時又はウォッチドッグタイマ制御レジスタへの書き込みにより、ウォッチドッグタイマは「FF16」にセットされます。書き込みのための命令はSTA、LDM、CLB等書き込み信号が発生する命令であれば、どんな命令でも使用できます。書き込みデータはビット7とビット6以外は意味がなく、無関係に上記の値がセットされます。

ウォッチドッグタイマの動作

ウォッチドッグタイマはリセット時には停止しており、ウォッチドッグタイマ制御レジスタへの書き込みによりダウンカウントを開始します。ウォッチドッグタイマがアンダフローすると内部リセットが発生し、リセット解除時間を待ってリセットが解除され、リセットベクトル番地からプログラムを実行します。通常はウォッチドッグタイマがアンダフローする前に、ウォッチドッグタイマ制御レジスタに書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタに一度も書き込みを行わなければ、ウォッチドッグタイマは機能しません。

ウォッチドッグタイマ制御レジスタを読み出した場合は、上位6ビットのカウンタとSTP命令禁止ビット(ビット6)の値と、カウントソース選択ビット(ビット7)の値が読み込まれます。

ウォッチドッグタイマ制御レジスタのビット6

- このビットが「0」の場合、STP命令を実行すると、ストップモードへ移行します。ウォッチドッグタイマはストップモード解除と同時にカウントを再開します。(注) なお、WIT命令実行時はウォッチドッグタイマは停止しません。
- このビットが「1」の場合、STP命令を実行すると内部でリセットが発生します。このビットを一且「1」に書き換えるとプログラムにより「0」に書き換えることはできなくなります。リセット後の値は「0」です。

ウォッチドッグタイマ制御レジスタへの書き込み実行後、ウォッチドッグタイマレジスタがアンダフローするまでの時間を以下に示します。(ウォッチドッグタイマ制御レジスタのビット7が「0」の場合)

- 高速・中速モード時 (f(XIN)=8MHz) …32.768ms
- 低速モード時 (f(XCIN)=32kHz) …8.19s

注 . ストップ解除の待ち時間 ( タイマ1及びタイマ2で設定した時間 ) 及びウェイトモード時の間もウォッチドッグタイマはカウントしますので、この間にウォッチドッグタイマがアンダフローしないように注意してください。

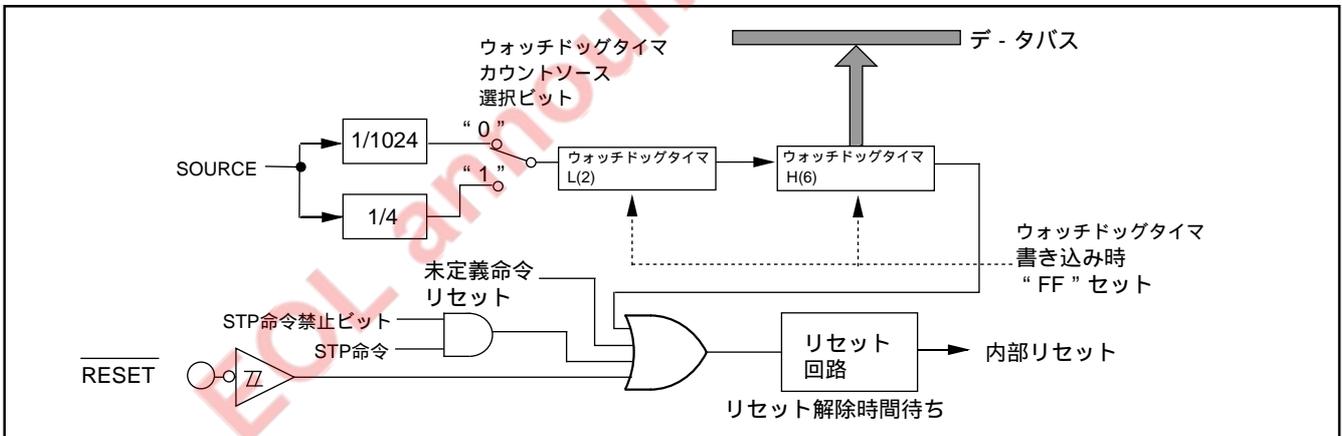


図46 . 暴走検出機能ブロック図

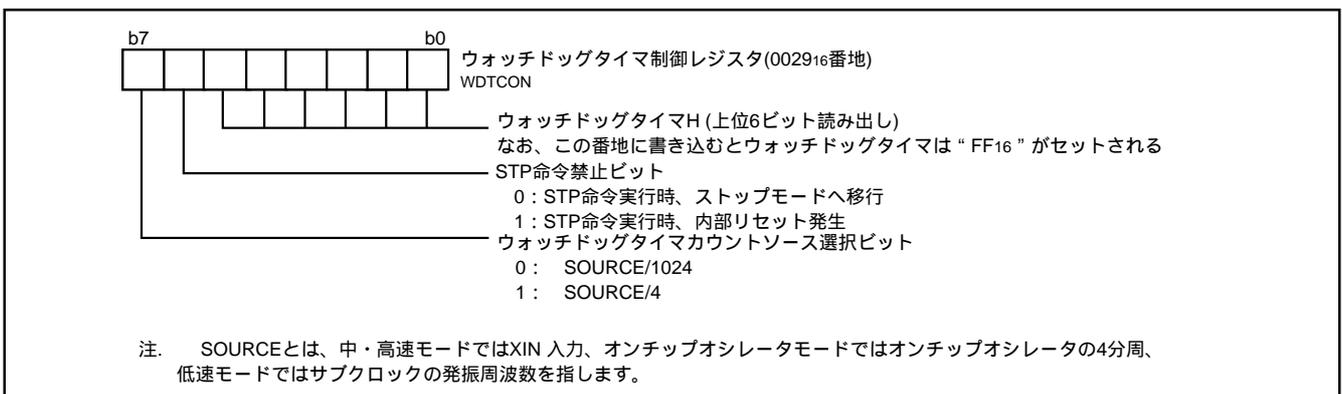


図47 . ウォッチドッグタイマ制御レジスタの構成

クロック出力機能

入出力ポートP7<sub>2</sub>からシステムクロック を出力することができます。クロック出力制御レジスタ(0FF3<sub>16</sub>番地)とタイマ12モードレジスタ(0025<sub>16</sub>番地)のタイマ2出力選択ビット(ビット6)により、入出力ポートとタイマ2出力機能とシステムクロック 出力機能のトリプルファンクション制御を行います。

入出力ポートP7<sub>2</sub>からシステムクロック を出力するためには、タイマ2出力選択ビットを'1'に設定し、かつクロック出力制御レジスタのP7<sub>2</sub>クロック出力制御ビットを'01'に設定する必要があります。また、サブクロックXCINの発振周波数と同じ信号を出力するためには、P7<sub>2</sub>クロック出力制御ビットを'10'に設定します。クロック出力機能を選択した場合、ポートP7<sub>2</sub>の方向レジスタが出力に設定されている間クロックが出力されます。

P7<sub>2</sub>は、P7<sub>2</sub>クロック出力制御ビットを書き換えた次のサイクルで、ポート出力とポート以外の出力(タイマ2出力、又はクロック出力)が切り替わります。

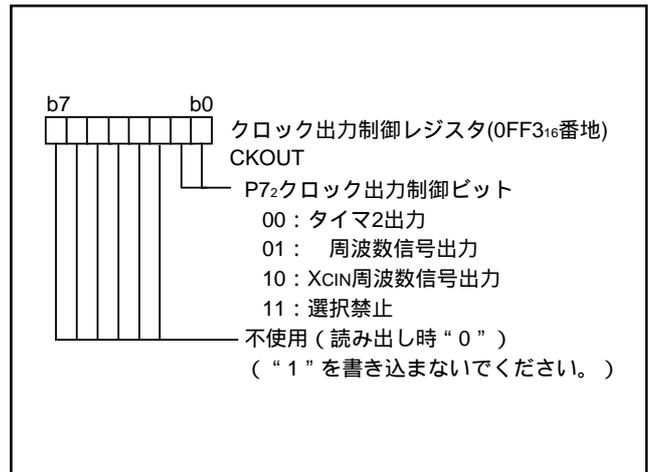


図48. クロック出力制御レジスタの構成

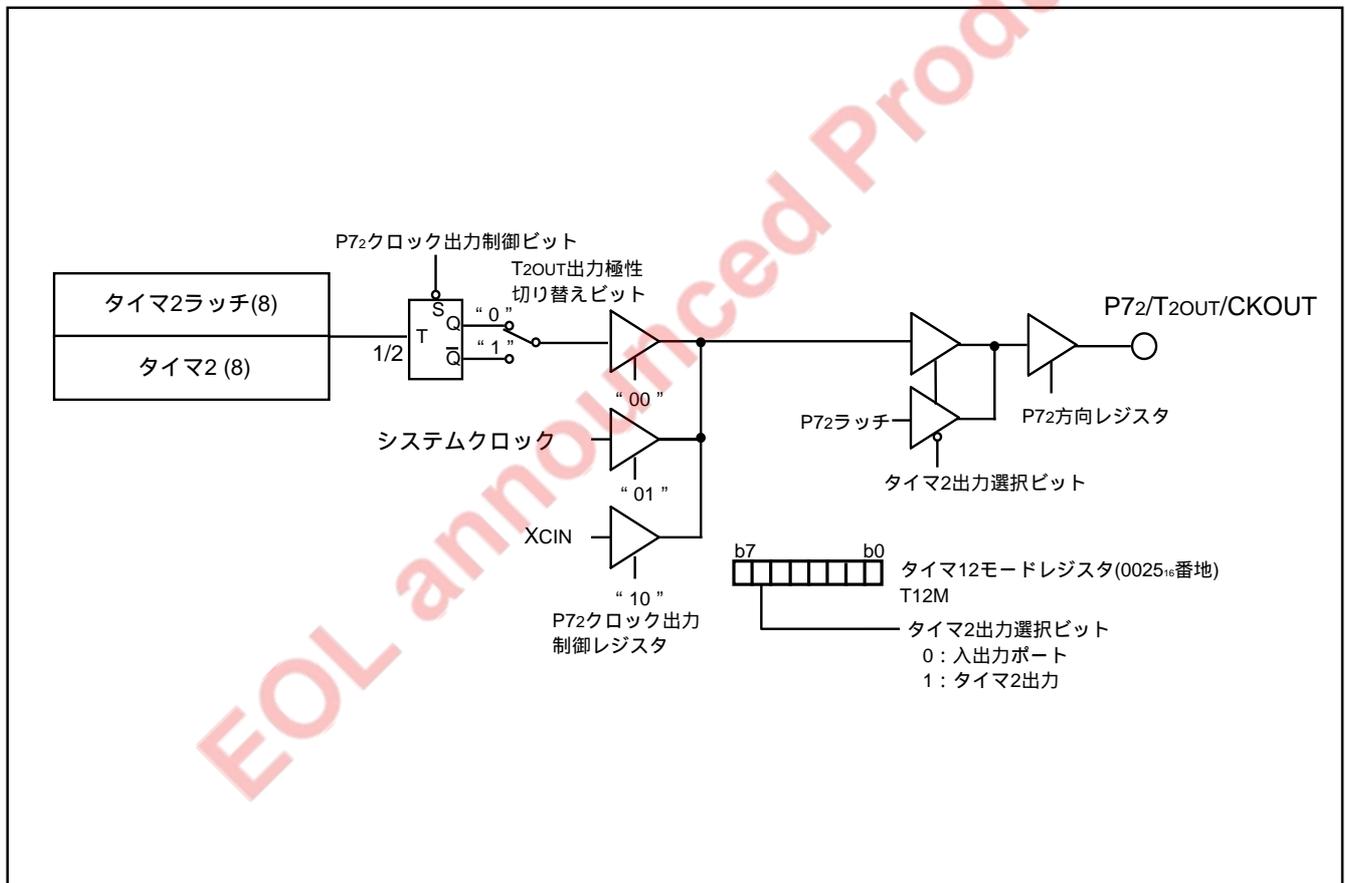


図49. クロック出力機能のブロック図

## その他の機能レジスタ

## RRFレジスタ

0012<sub>16</sub>番地は制御機能を持たない18ビットのレジスタで、このレジスタに書き込んだ値は、上位4ビットと下位4ビットが入れ替わります。このレジスタはリセット後に初期化されます。

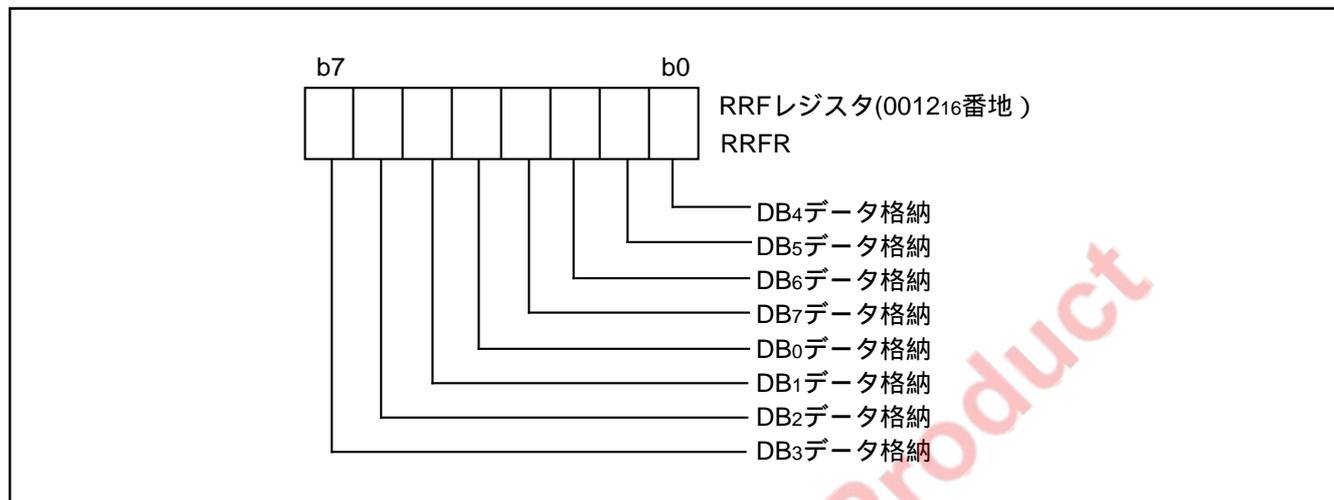


図50 . RRFレジスタの構成

リセット回路

38C5グループ(ワンタイムPROM版)は、電源電圧が $V_{CC}(\min.)$  ~ 3.6Vの範囲にあるとき、RESET端子を2  $\mu$ s以上“L”レベルに保った後“H”レベルに戻すとリセット解除され、FFFD16番地の内容を上位アドレス、FFFC16番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が $V_{CC}(\min.)$ を通過する時点で $V_{IL}$ 規格を満たすようしてください。

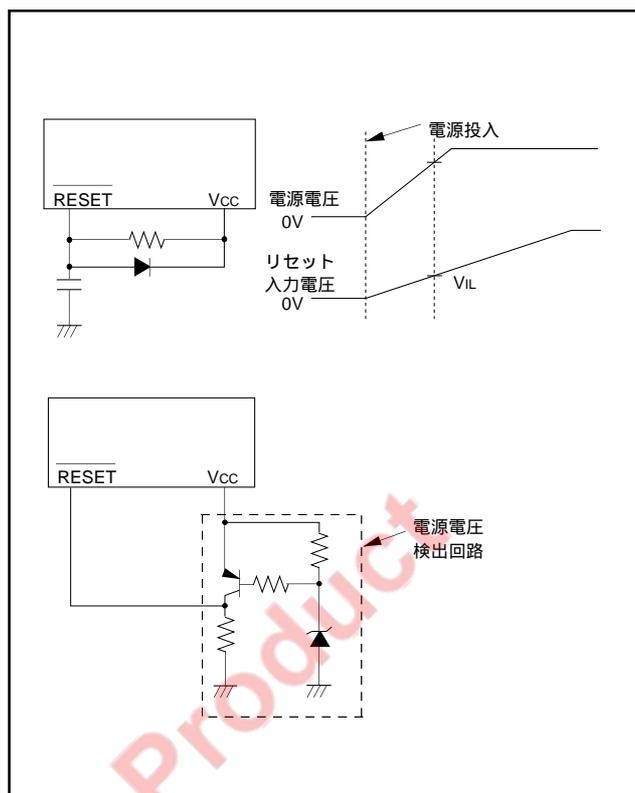


図51 . リセット回路例

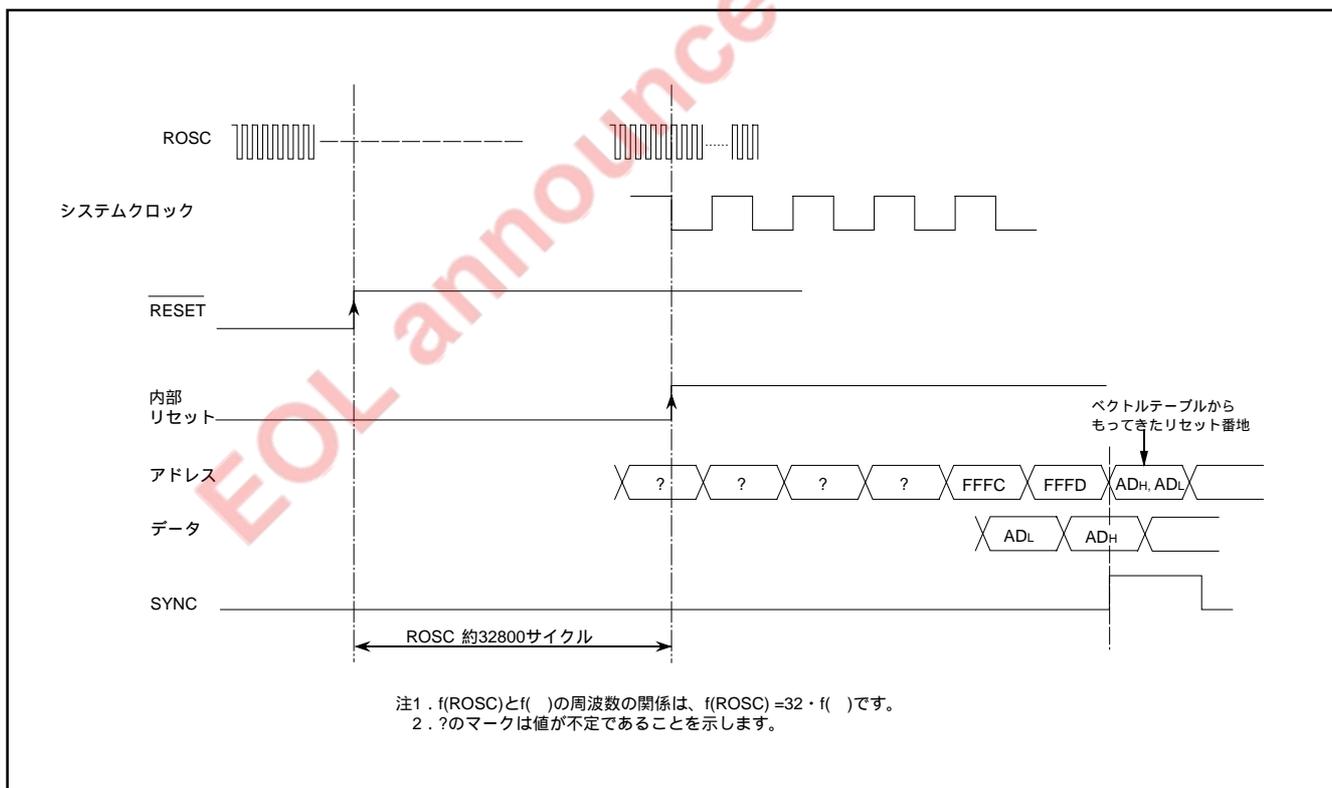


図52 . リセット時のタイミング図

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 16	00 16	(35) タイマX(下位)	002A 16	FF 16
(2) ポートP0方向レジスタ	0001 16	00 16	(36) タイマX(上位)	002B 16	FF 16
(3) ポートP1	0002 16	00 16	(37) タイマX(拡張)	002C 16	00 16
(4) ポートP1方向レジスタ	0003 16	00 16	(38) タイマXモードレジスタ	002D 16	00 16
(5) ポートP2	0004 16	00 16	(39) タイマX制御レジスタ1	002E 16	00 16
(6) ポートP2方向レジスタ	0005 16	00 16	(40) タイマX制御レジスタ2	002F 16	00 16
(7) ポートP3	0006 16	00 16	(41) コンペアレジスタ1(下位)	0030 16	00 16
(8) ポートP3方向レジスタ	0007 16	00 16	(42) コンペアレジスタ1(上位)	0031 16	00 16
(9) ポートP4	0008 16	00 16	(43) コンペアレジスタ2(下位)	0032 16	00 16
(10) ポートP4方向レジスタ	0009 16	00 16	(44) コンペアレジスタ2(上位)	0033 16	00 16
(11) ポートP5	000A 16	00 16	(45) コンペアレジスタ3(下位)	0034 16	00 16
(12) ポートP5方向レジスタ	000B 16	00 16	(46) コンペアレジスタ3(上位)	0035 16	00 16
(13) ポートP6	000C 16	00 16	(47) タイマY(下位)	0036 16	FF 16
(14) ポートP6方向レジスタ	000D 16	00 16	(48) タイマY(上位)	0037 16	FF 16
(15) ポートP7	000E 16	00 16	(49) タイマYモードレジスタ	0038 16	00 16
(16) ポートP7方向レジスタ	000F 16	00 16	(50) タイマY制御レジスタ	0039 16	00 16
(17) RRFレジスタ (RRFR)	0012 16	00 16	(51) 割り込みエッジ選択レジスタ	003A 16	00 16
(18) LCDモードレジスタ1	0013 16	00 16	(52) CPUモードレジスタ	003B 16	0 1 1 0 1 0 0 0
(19) LCDモードレジスタ2	0014 16	00 16	(53) 割り込み要求レジスタ1	003C 16	00 16
(20) AD制御レジスタ	0015 16	08 16	(54) 割り込み要求レジスタ2	003D 16	00 16
(21) シリアル/O1ステータスレジスタ	0019 16	1 0 0 0 0 0 0 0	(55) 割り込み制御レジスタ1	003E 16	00 16
(22) シリアル/O1制御レジスタ	001A 16	00 16	(56) 割り込み制御レジスタ2	003F 16	00 16
(23) UART制御レジスタ	001B 16	1 1 1 0 0 0 0 0	(57) PULLレジスタ1	0FF0 16	00 16
(24) シリアル/O2制御レジスタ	001D 16	00 16	(58) PULLレジスタ2	0FF1 16	00 16
(25) タイマ1	0020 16	FF 16	(59) PULLレジスタ3	0FF2 16	00 16
(26) タイマ2	0021 16	01 16	(60) クロック出力制御レジスタ	0FF3 16	00 16
(27) タイマ3	0022 16	FF 16	(61) セグメント出力禁止レジスタ0	0FF4 16	FF 16
(28) タイマ4	0023 16	FF 16	(62) セグメント出力禁止レジスタ1	0FF5 16	FF 16
(29) PWM01レジスタ	0024 16	00 16	(63) セグメント出力禁止レジスタ2	0FF6 16	0F 16
(30) タイマ12モードレジスタ	0025 16	00 16	(64) キー入力制御レジスタ	0FF7 16	00 16
(31) タイマ34モードレジスタ	0026 16	00 16	(65) プロセッサステータスレジスタ (PS)		x x x x 1 x x
(32) タイマ1234モードレジスタ	0027 16	00 16	(66) プログラムカウンタ (PC <sub>H</sub> )		FFFD <sub>16</sub> 番地の内容
(33) タイマ1234分周選択レジスタ	0028 16	00 16	(PC <sub>L</sub> )		FFFQ <sub>6</sub> 番地の内容
(34) ウォッチドッグタイマ制御レジスタ	0029 16	0 0 1 1 1 1 1 1			

注：x：不定です。  
上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図53 . リセット時の内部状態

## クロック発生回路

メインクロックXINとXOUT、及びサブクロックXCINとXCOUTの端子間に発振子、及び容量、抵抗などを接続することにより発振回路を形成することができます。

外部からクロックを供給する場合はXIN端子に入力し、XOUT端子は開放にします。XCINへは外部からクロックを入力できません。発振回路の各定数は共振子により異なりますので、発振子メーカーの推奨値をご使用ください。

XIN-XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。XCIN-XCOUT間には帰還抵抗を内蔵していませんので、10MΩ程度の帰還抵抗を付加してください。

38C5グループでは、リセット解除直後に内蔵のオンチップオシレータのみが発振を開始します。XIN-XOUTの発振は停止状態、XCIN-XCOUT端子は入出力ポートとして機能します。

## 動作モード

## (1) オンチップオシレータモード

オンチップオシレータの発振を32分周したものがシステムクロック となります。

## (2) 中速モード

システムクロック はXIN入力の8分周信号です。

## (3) 高速モード

システムクロック はXIN入力の2分周信号です。

## (4) 低速モード

システムクロック はサブクロック発振の2分周信号です。

リセット解除後、及びストップ状態からの復帰後はオンチップオシレータモードが選択されています。

各モードへの移行手順は、システムクロックの状態遷移図に従ってください。

XIN-XOUT間の発振はCPUMのビット5で、サブクロックの発振はビット4で制御します。オンチップオシレータモードへ切り替える場合は、CPUMのビット3を"1"にしてください。

オンチップオシレータモードでは、発振子による発振を停止させることができます。低速モードではXIN-XOUT間の発振を停止し、消費電流を低減することができます。オンチップオシレータモードから低速モードに遷移した場合、オンチップオシレータは停止します。

これらのモードから、停止させていた発振を再開し、動作モードを切り替える場合には、再開した発振の安定待ち時間をプログラムで生成し、十分に発振が安定してから切り替えてください。タイマのカウントソースを切り替える場合も発振が十分に安定してから切り替えてください。

注 . オンチップオシレータモード、中/高速モード、低速モードの各々の間を移行する場合、XIN側、XCIN側ともに発振が安定している必要があります。電源投入直後やストップモードからの復帰時は特に注意してください。モード間の移行はシステムクロックの状態遷移図に従ってください。また、 $f(XIN)$

は $f(XCIN)$ の3倍以上の周波数としてください。

中・高速モード時を使用しない(XIN-XOUT間の発振やXINへの外部クロック入力を行わない)場合、XINは抵抗を介してVccに接続してください。

## 発振制御

## (1) ストップモード

STP命令を実行するとシステムクロック が" H "の状態で停止し、メインクロック及びサブクロックの発振が停止します。このとき、タイマ1及びタイマ2にはあらかじめ設定されているタイマ1ラッチ及びタイマ2ラッチの値が自動的にロードされます。このため、STP命令実行前にタイマ1、タイマ2のラッチ(タイマ1には下位8ビット、タイマ2には上位8ビットを設定)には発振安定に必要な待ち時間を生成する値を書き込んでおいてください。タイマ1のカウントソースにはタイマ1用分周器が、タイマ2にはタイマ1の出力が強制的に接続されます。このときタイマ12モードレジスタはビット7、6以外すべて"0"にクリアされます。タイマ12分周選択レジスタの値は変化しません。STP命令実行前にタイマ1、タイマ2割り込みの許可ビットを禁止状態("0")に設定してください。

外部割り込み要求が受け付けられると、ストップモード遷移前に発振していたクロックとオンチップオシレータが発振を開始します。CPUMのビット3は強制的に"1"が設定され、オンチップオシレータモードで復帰します。

システムクロック はタイマ2がアンダフロー後にCPUへ供給されますが、システムクロックをオンチップオシレータからメインクロック又はサブクロックへ切り替える場合は、それぞれの発振安定待ち時間をプログラムで生成し、発振が十分に安定してから切り替えてください。

## (2) ウェイトモード

WIT命令を実行すると、システムクロック のみ" H "の状態に停止します。このときメインクロック、オンチップオシレータ及びサブクロックはWIT命令実行前と同じ状態になっており、発振は停止しません。割り込みを受け付けた直後にシステムクロック の供給を開始するため、直ちに命令を実行することができます。

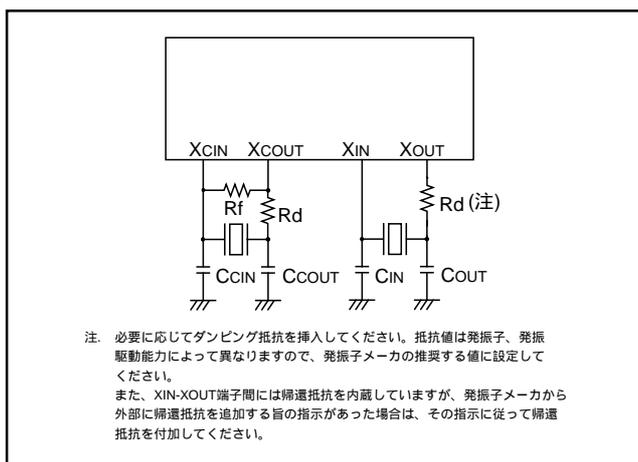


図54 . セラミック共振子外付け回路例

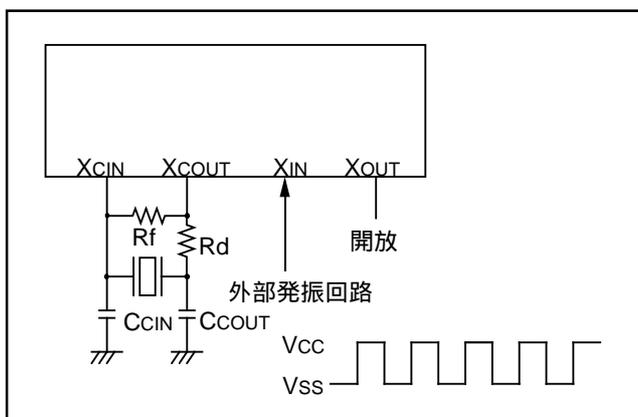


図55 . 外部クロック入力回路

EOL announced Product

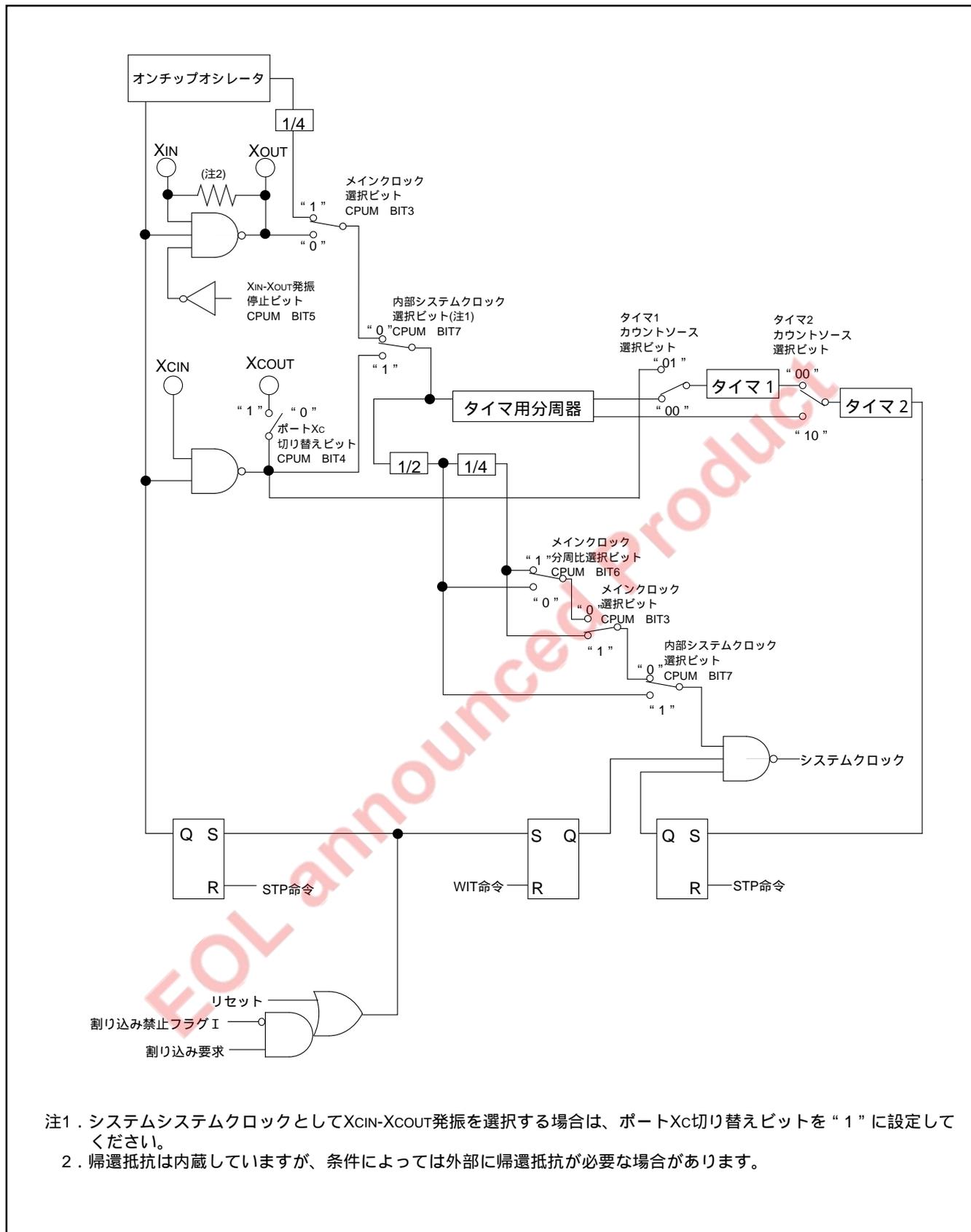


図56. クロック発生回路のブロック図

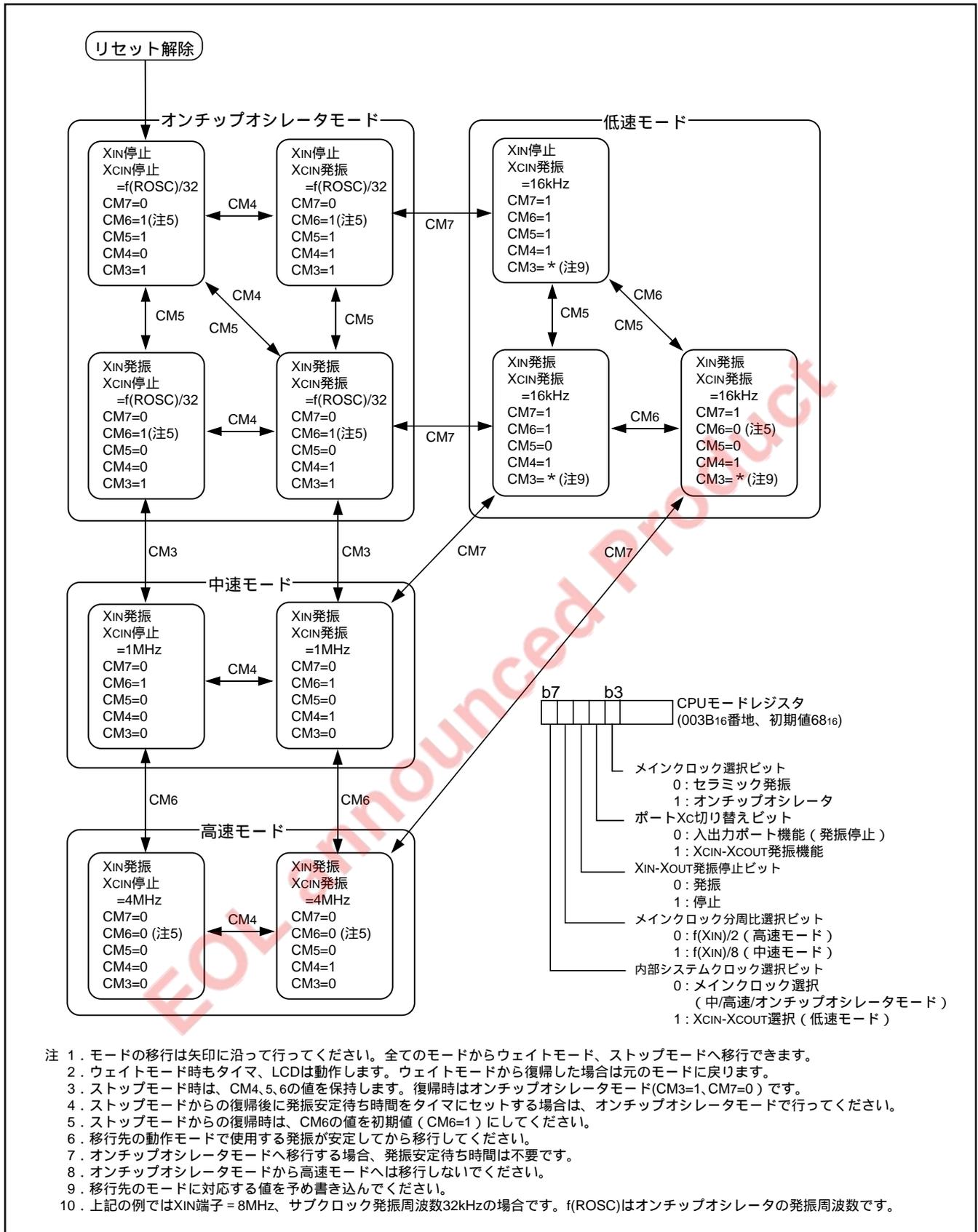


図57 . システムクロックの状態遷移図

PROMモード(シリアル入出力)

M38C59GFFP/HPは、通常の動作モード以外にPROMモードをもちます。内蔵されているPROMへの操作(リード/プログラムなど)は、必要なコマンドコード、アドレス、データを少数のピンを使用してシリアル入出力により行います。

PROMモードの選択は、図58, 59に示す結線をして電源(Vcc)投入後、マッドドッグエントリにより行います。PROMモードには、リード/プログラム/プログラムベリファイの3つのソフトウェアコマンドを用意しています。シリアル通信は、クロック同期式、LSBファーストです。

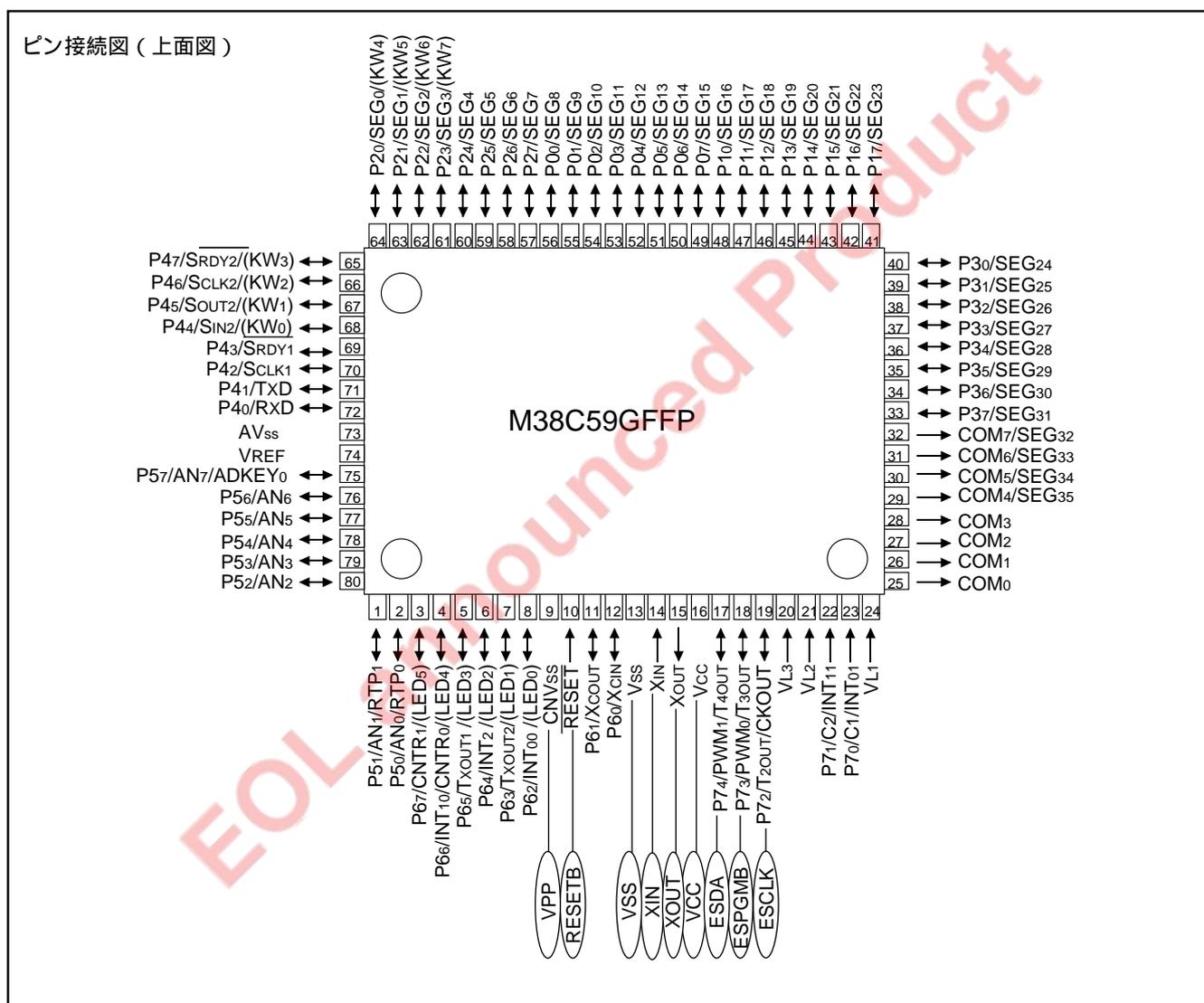


図58 . PROMモード時ピン接続図(PLQP0080GA-Aパッケージタイプ)

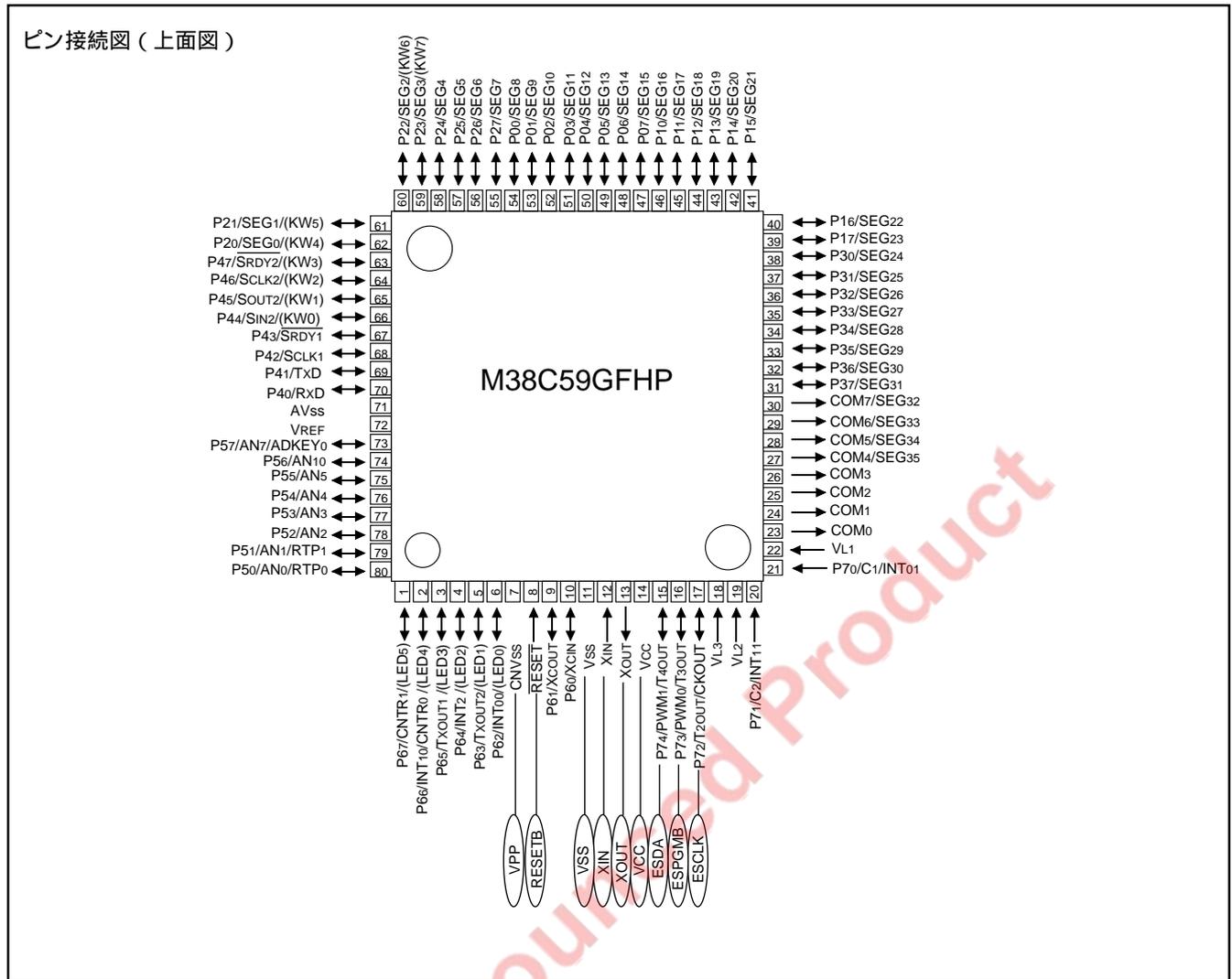


図59 . PROMモード時ピン接続図 ( PLQP0080KB-Aパッケージタイプ)

取り扱い上の注意

ワンタイムPROM版は、当社でのアセンブリ工程以降PROMの書き込みテスト及びスクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図60に示すフローで書き込み、テストを行った後使用されることを推奨いたします。

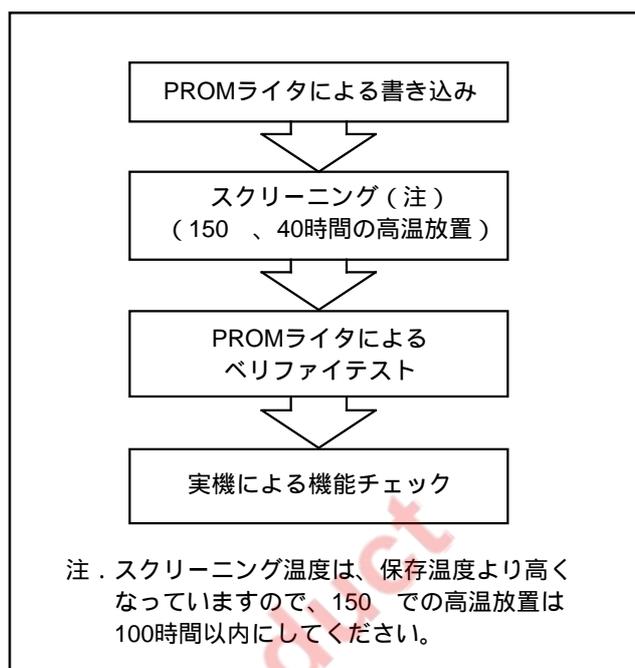


図60．ブランク出荷品の書き込み及びテスト

EOL announced Product

ROM書き替え禁止機能

内蔵ROMの内容を簡単に読んだり、書き換えたりできないように、シリアル書き込みモードではROMプロテクトが可能です。

IDコードチェック機能

シリアル書き込みモードで使用します。IDコード格納アドレスがblankでない場合、シリアルライターから送られ

てくるIDコードとROMに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、FFD416~FFDA16番地に割り付けられています。プログラム中のこれらの番地にあらかじめIDコードを設定したプログラムを、ROMに書き込んで下さい。

IDコードの格納アドレスの配置を図61に示します。

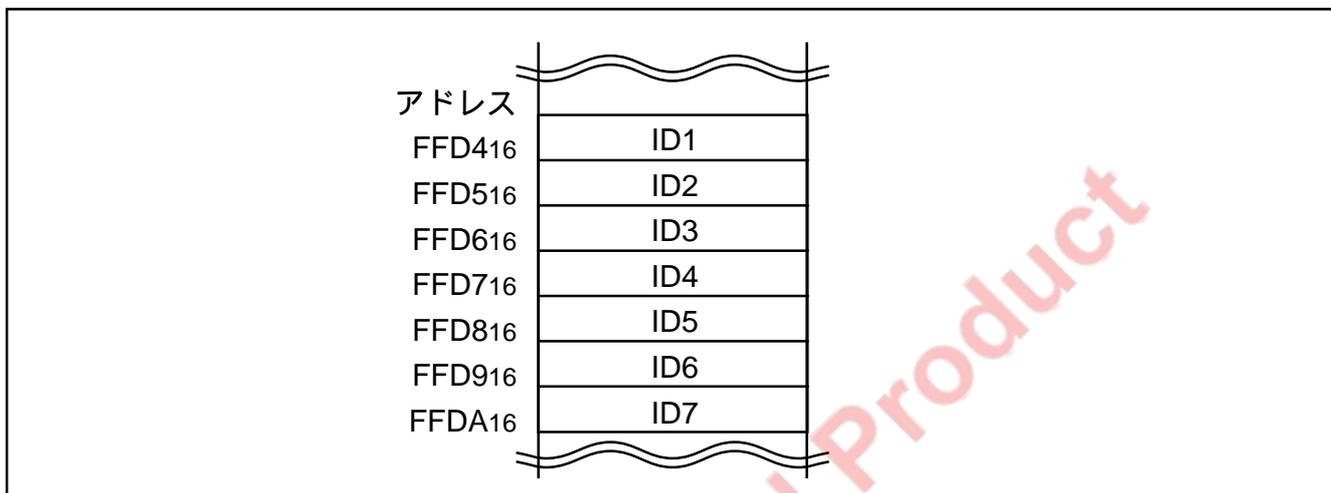


図61 . IDコードの格納アドレス

EOL announced Product

## プログラミング上の注意事項

## プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

## 割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後にBBC、BBS命令を実行すると、変更前の内容に対して実行されます。変更後の内容に対して実行するためには、1命令以上後に行ってください。

## 10進演算に関するもの

- 10進演算を行う場合は、10進モードフラグDを“1”に設定してADC命令、又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- 10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

## タイマに関するもの

- タイマラッチに値 $n$ (0 ~ 255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。
- カウントソースを生成する分周器は、タイマ全体で1つの回路を共用しています。そのため各タイマを起動したときに、分周器の初期化は行いません。したがって、カウントソースに分周器を選択した場合、起動から実際にタイマがカウント開始、あるいは波形出力するまでの間には、最大カウントソースの1サイクル分の遅延が生じます。また、カウントソースは外部から観測することはできません。

## 乗除算命令に関するもの

- MUL、DIV命令は、T、Dフラグの影響を受けません。
- 乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

## ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

## シリアルインタフェースに関するもの

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY}}$ 出力許可ビットとともに、送信許可ビットも“1”にセットしてください。

また、シリアルI/Oでは、送信終了後、TxD端子が最終ビットをラッチし出力し続けます。

## A/D変換に関するもの

コンパレータへの入力は容量で結合されています。変換速度が充分でない場合、電荷の消失により変換精度を損なう恐れがありますので、中、高速モードでA/D変換を行う場合は $f(\text{XIN})$ を500kHz以上にしてください。また、A/D変換中にSTP命令、WIT命令を実行しないでください。

低速モードとオンチップオシレータモードでは、内蔵の自己発振回路を用いてA/D変換を行いますので、 $f(\text{XIN})$ に下限周波数の制限はありません。

## 命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載のサイクル数に、システムクロックの周期をかけることによって得られます。

使用上の注意事項

・VL3端子に関する注意

LCD駆動制御回路を使用しない場合、VL3端子はVccに接続してください。

・ノイズに関する注意事項

以下に示すようなノイズに留意したシステム設計を行い、十分な評価を行ってください。

(1) 配線長の短縮

リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

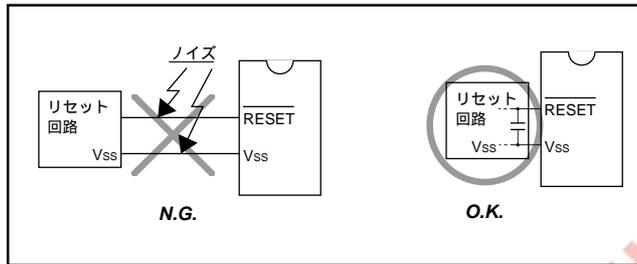


図62 . リセット入力端子の配線

クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

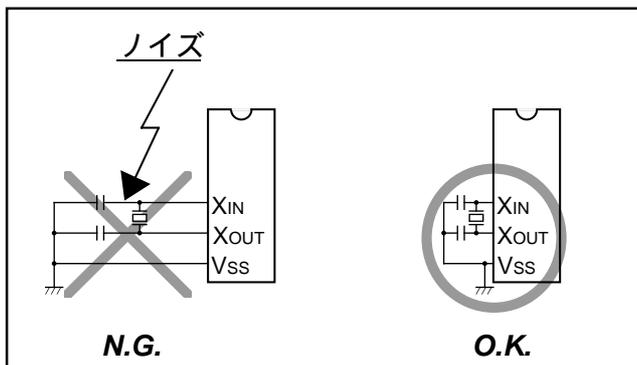


図63 . クロック入出力端子の配線

(2) Vss - Vccライン間へのバイパスコンデンサ挿入

システムの動作安定化をラッチアップ防止のため、Vss - Vccライン間に0.1 μF程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- ・Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- ・Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- ・電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

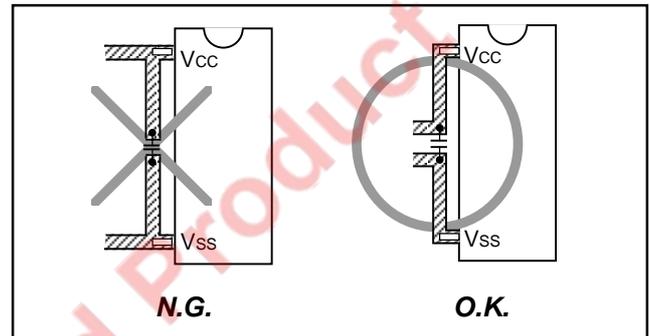


図64 . VSS - VCCライン間のバイパスコンデンサ

(3) 発振子への配慮

お客様のご使用になるシステム・条件d、安定した動作クロックが得られるように、発振子メーカーとご相談の上で、発振子及び発振回路定数を選定してください。ご使用になる電圧範囲や温度範囲が広い場合は特に注意してください。

また、マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

## 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差させないでください。

## 理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

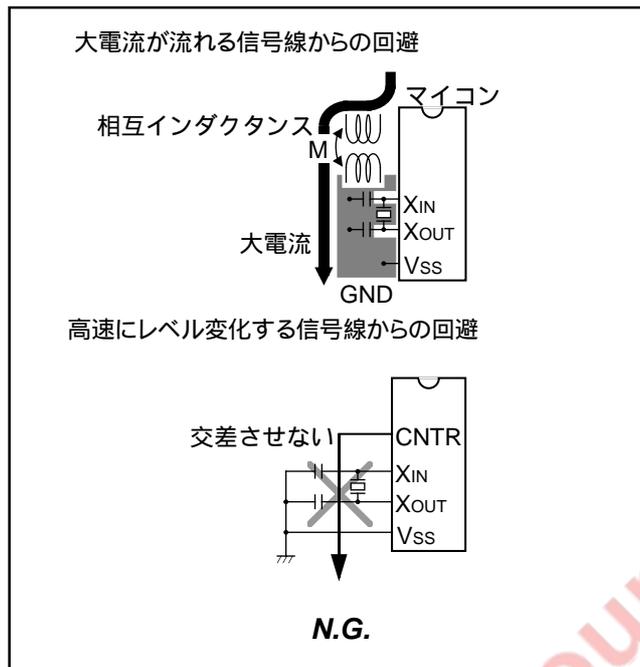


図65．大電流が流れる信号線の配線/高速にレベル変化する信号線の配線

## (4) アナログ入力

アナログ入力端子は電圧比較器のコンデンサに接続されています。そのため、アナログ入力端子にインピーダンスの高いアナログ信号源を接続した場合、A/D変換時の充放電電流によって十分な精度が得られない場合があります。より安定したA/D変換結果を得るためにアナログ信号源のインピーダンスを下げるか、アナログ入力端子に平滑用コンデンサを付加してください。

## (5) メモリの種類、容量の違い

同一グループ内のマスクROM版、PROM版、メモリ容量などが異なる製品は、電気的特性、A/D変換精度、ノイズ誤動作耐量などの実力値が異なる場合があります。これらの製品を切り替えて使用される場合は、製品仕様をご確認の上、個々の製品ごとにシステム評価を実施してください。

(6) ワンタイムPROM版のV<sub>PP</sub>端子配線

V<sub>PP</sub>端子のできるだけ近くに5k程度の抵抗を直列に挿入し、V<sub>SS</sub>端子に接続してください。

注 5k程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障はありません。

## 理由

ワンタイムPROMマイコンのV<sub>PP</sub>端子は内蔵PROMの電源入力端子です。内蔵PROMへのプログラムの書き込み時に、書き込み電流が流れるようにV<sub>PP</sub>端子のインピーダンスを低くしているため、ノイズが侵入しやすくなっています。V<sub>PP</sub>端子からノイズが侵入すると、内蔵PROMから異常な命令コード、データが読み出され、暴走の原因となります。

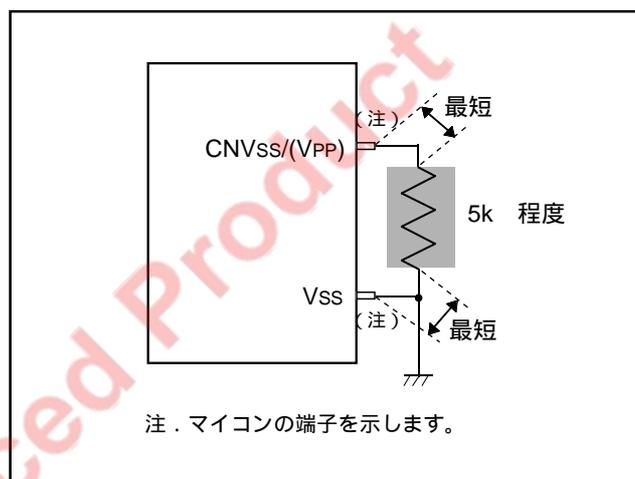


図66．ワンタイムPROM版のV<sub>PP</sub>端子の配線

## ワンタイムPROM版 / マスクROM版の相違点に関する注意事項

ワンタイムPROM版およびマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り換え時は、ワンタイムPROM版で実施したシステム評価試験と同等の試験を実施してください。

## 発振回路定数に関する注意事項

- (1)発振回路定数は、発振子メーカーにマッチング特性評価を依頼した上で決定してください。
- (2)発振回路定数は、ワンタイムPROM版とマスクROM版で異なる場合がありますので、それぞれ評価を行ってください。

## 電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

## 電氣的特性

表11．絶対最大定格

記号	項目	条件	定格値	単位
VCC	電源電圧		- 0.3 ~ 4.0	V
VI	入力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P74	- 0.3 ~ VCC + 0.3	V
VI	入力電圧	VL1	- 0.3 ~ VL2	V
VI	入力電圧	VL2	VL1 ~ VL3	V
VI	入力電圧	VL3	VL2 ~ 6.5	V
VI	入力電圧	C1, C2	- 0.3 ~ 6.5	V
VI	入力電圧	RESET, XIN	- 0.3 ~ VCC + 0.3	V
VO	出力電圧	C1, C2	- 0.3 ~ 6.5	V
VO	出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37	- 0.3 ~ VCC	V
VO	出力電圧	P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P74	- 0.3 ~ VL3	V
VO	出力電圧	VL3	- 0.3 ~ 6.5	V
VO	出力電圧	VL2, SEG32 ~ SEG35	- 0.3 ~ VL3	V
VO	出力電圧	XOUT	- 0.3 ~ VCC + 0.3	V
Pd	消費電力	Ta = 25	300	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

表12．推奨動作条件

(指定のない場合は、VCC = 1.8 ~ 3.6V、Ta = - 20 ~ 85 )

記号	項目	規格値			単位		
		最小	標準	最大			
VCC	電源電圧 (注1)	高速モード時	f(XIN) = 6MHz	3.0	3.3	3.6	V
			f(XIN) = 4MHz	2.0	3.3	3.6	V
		中速モード時	f(XIN) = 12.5MHz	3.0	3.3	3.6	V
			f(XIN) = 8MHz	2.0	3.3	3.6	V
		f(XIN) = 6MHz	1.8	3.3	3.6	V	
低速モード時 発振開始時 (注2)		1.8	3.3	3.6	V		
VSS	電源電圧		0		V		
VLI	電源電圧	昇圧回路使用時	1.3	1.8	2.1	V	
VREF	A/Dコンバータ基準電圧		2.0		VCC	V	
AVSS	アナログ電源電圧		0		V		
VIA	アナログ入力電圧	AN0 ~ AN7	AVSS		VCC	V	

注1. A/Dコンバータをご使用になる場合は、A/Dコンバータの推奨動作条件を参照してください。

2. 発振開始電圧や発振開始時間は、発振子や回路定数、温度などにより異なります。

特に高周波数の発振子は低電圧時に発振開始が困難なことがありますので注意してください。

f: 発振子の発振周波数(MHz)です。8MHzのときは“8”を代入してください。

表13 . 推奨動作条件

(指定のない場合は、 $V_{CC} = 1.8 \sim 3.6V$ 、 $T_a = -20 \sim 85$  )

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>IH</sub>	“H”入力電圧 P00 ~ P07, P10 ~ P17, P24 ~ P27, P30 ~ P37, P41, P43, P50 ~ P57, P60 (CM4=0), P61, P65, P72 ~ P74	0.7V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IH</sub>	“H”入力電圧 P20 ~ P23, P40, P42, P44 ~ P47, P62 ~ P64, P66 ~ P67, P70 ~ P71	0.8V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IH</sub>	“H”入力電圧 RESET	0.8V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IH</sub>	“H”入力電圧 XIN	0.8V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IL</sub>	“L”入力電圧 P00 ~ P07, P10 ~ P17, P24 ~ P27, P30 ~ P37, P41, P43, P50 ~ P57, P60 (CM4=0), P61, P65, P72 ~ P74	0		0.3 V <sub>CC</sub>	V
V <sub>IL</sub>	“L”入力電圧 P20 ~ P23, P40, P42, P44 ~ P47, P62 ~ P64, P66 ~ P67, P70 ~ P71	0		0.2V <sub>CC</sub>	V
V <sub>IL</sub>	“L”入力電圧 RESET	0		0.2V <sub>CC</sub>	V
V <sub>IL</sub>	“L”入力電圧 XIN	0		0.2V <sub>CC</sub>	V

EOL announced Product

表14 . 推奨動作条件

(指定のない場合は、 $V_{CC} = 1.8 \sim 3.6V$ 、 $T_a = -20 \sim 85$  )

記号	項目	規格値			単位
		最小	標準	最大	
IOH(peak)	“H”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P72 ~ P74			- 40	mA
IOH(peak)	“H”出力総尖頭電流 (注1) P40 ~ P47, P50 ~ P57, P60 ~ P67			- 40	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P72 ~ P74			40	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P40 ~ P47, P50 ~ P57, P60, P61			40	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P62 ~ P67			110	mA
IOH(avg)	“H”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P72 ~ P74			- 20	mA
IOH(avg)	“H”出力総平均電流 (注1) P40 ~ P47, P50 ~ P57, P60 ~ P67			- 20	mA
IOL(avg)	“L”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P72 ~ P74			20	mA
IOL(avg)	“L”出力総平均電流 (注1) P40 ~ P47, P50 ~ P57, P60, P61			20	mA
IOL(avg)	“L”出力総平均電流 (注1) P62 ~ P67			90	mA
IOH(peak)	“H”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			- 2	mA
IOH(peak)	“H”出力尖頭電流 (注2) P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P74			- 5	mA
IOL(peak)	“L”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			5	mA
IOL(peak)	“L”出力尖頭電流 (注2) P40 ~ P47, P50 ~ P57, P60, P61, P72 ~ P74			10	mA
IOL(peak)	“L”出力尖頭電流 (注2) P62 ~ P67			30	mA
IOH(avg)	“H”出力平均電流 (注3) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			- 1.0	mA
IOH(avg)	“H”出力平均電流 (注3) P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P74			- 2.5	mA
IOL(avg)	“L”出力平均電流 (注3) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			2.5	mA
IOL(avg)	“L”出力平均電流 (注3) P40 ~ P47, P50 ~ P57, P60, P61, P72 ~ P74			5.0	mA
IOL(avg)	“L”出力平均電流 (注3) P62 ~ P67			15	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 出力平均電流は、100msの期間内での平均値です。

表15 . 推奨動作条件

(指定のない場合は、Vcc = 1.8 ~ 3.6V、Ta = - 20 ~ 85 )

記号	項目	条件	規格値			単位
			最小	標準	最大	
f(CNTR0) f(CNTR1)	タイマX、タイマY 入力周波数 (デューティ50%時)	(2.0V Vcc 3.6V)			Vcc	MHz
		(Vcc 2.0V)			5 × Vcc - 8	MHz
f(XIN)	メインクロック 入力周波数 (デューティ50%時) (注1)	高速モード (2.0V Vcc 3.6V)			2 × Vcc	MHz
		中速モード(注3)(注4) (3.0V Vcc 3.6V)			12.5	MHz
		中速モード(注3)(注4) (2.0V Vcc 3.6V)			8.0	MHz
		中速モード(注3)(注4)			6.0	MHz
f(XCIN)	サブクロック発振周波数 (デューティ50%時) (注2)(注4)		32.768	80	kHz	

注1. A/Dコンバータをご使用になる場合は、A/Dコンバータの推奨動作条件を参照してください。

2. 低速モードを使用する場合、時計用クロック入力発振周波数は $f(XCIN) < f(XIN)/3$ としてください。

3. タイマX分周選択ビット及びタイマY分周選択ビットを"01"、"10"で使用する場合、メインクロック入力周波数f(XIN)の推奨動作条件は高速モード時の規格値を適用します。

4. 発振開始電圧や発振開始時間は、発振子や回路定数、温度などにより異なります。特に高周波数の発振子は低電圧時に発振開始が困難なことがありますので注意してください。

表16 . 電気的特性

(指定のない場合は、 $V_{CC} = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 85$  )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37	$I_{OH} = -0.6mA$ $V_{CC} = 2.5V$	$V_{CC} - 1.0$			V
VOH	“H”出力電圧 P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P74 (注)	$I_{OH} = -1.25mA$	$V_{CC} - 0.5$			V
		$I_{OH} = -1.25mA$ $V_{CC} = 2.5V$	$V_{CC} - 1.0$			V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37	$I_{OL} = 1.25mA$			0.5	V
		$I_{OL} = 1.25mA$ $V_{CC} = 2.5V$			1.0	V
VOL	“L”出力電圧 P40 ~ P47, P50 ~ P57, P60, P61, P72 ~ P74 (注)	$I_{OL} = 2.5mA$			0.5	V
		$I_{OL} = 2.5mA$ $V_{CC} = 2.5V$			1.0	V
VOL	“L”出力電圧 P62 ~ P67	$I_{OL} = 3.0mA$ $V_{CC} = 2.5V$			0.8	V
$V_{T+} - V_{T-}$	ヒステリシス INT00, INT01, INT10, INT11, INT2, CNTR0, CNTR1, KW0 ~ KW7			0.3		V
$V_{T+} - V_{T-}$	ヒステリシス SIN2, SCLK1, SCLK2, RxD			0.3		V
$V_{T+} - V_{T-}$	ヒステリシス RESET	RESETは $V_{CC} = 2.0V \sim 3.6V$		0.3		V
I <sub>IH</sub>	“H”入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37	$V_i = V_{CC}$			5.0	$\mu A$
I <sub>IH</sub>	“H”入力電流 P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P74	$V_i = V_{CC}$			5.0	$\mu A$
I <sub>IH</sub>	“H”入力電流 RESET	$V_i = V_{CC}$			5.0	$\mu A$
I <sub>IH</sub>	“H”入力電流 X <sub>IN</sub>	$V_i = V_{CC}$		4.0		$\mu A$
I <sub>IL</sub>	“L”入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37	$V_i = V_{SS}$ プルアップOFF			- 5.0	$\mu A$
		$V_{CC} = 3V$ , $V_i = V_{SS}$ プルアップON	- 25	- 50	- 100	$\mu A$
I <sub>IL</sub>	“L”入力電流 P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P74	$V_i = V_{SS}$ プルアップOFF			- 5.0	$\mu A$
		$V_{CC} = 3V$ , $V_i = V_{SS}$ プルアップON	- 6.5	- 25	45	$\mu A$
I <sub>IL</sub>	“L”入力電流 RESET	$V_i = V_{SS}$			- 5.0	$\mu A$
I <sub>IL</sub>	“L”入力電流 X <sub>IN</sub>	$V_i = V_{SS}$		- 4.0		$\mu A$
Rosc	オンチップオシレータ発振周波数	$V_{CC} = 3.3V$ , $T_a = 25$	1300	2700	4000	kHz

注 . CPUモードレジスタのポートXc切り替えビット(003B16番地のビット4)が\* 1 のとき、P61の駆動能力は上記と異なります。

表17. 電気的特性

(指定のない場合は、VCC=1.8~3.6V、Ta= -20~85、f(XCIN)=32.768kHz、出力トランジスタは遮断状態、A/Dコンバータ非動作時)

記号	項目	測定条件		規格値			単位	
				最小	標準	最大		
VRAM	RAM 保持電圧	クロック停止時		1.8		3.6	V	
ICC	電源電流	高速モード	VCC = 2.5V	f(XIN) = 4MHz		0.6	1.2	mA
				f(XIN) = 4MHz(WIT命令実行時)		0.3	0.6	mA
				f(XIN) = 2MHz		0.4	0.8	mA
		中速モード	VCC = 2.5V	f(XIN) = 8MHz		0.5	1.0	mA
				f(XIN) = 8MHz(WIT命令実行時)		0.3	0.6	mA
				f(XIN) = 4MHz		0.3	0.6	mA
		低速モード	VCC = 2.5V	f(XIN) = 停止		7.0	14	μA
				WIT命令実行時		3.5	7.0	μA
		オンチップオシレータモード f(XIN)、f(XCIN) = 停止	VCC = 2.5V			35	90	μA
				VCC = 2.5V(WIT命令実行時)		25	75	μA
		発振はすべて停止 (STP命令実行時)	Ta = 25			0.1	1.0	μA
				Ta = 85			10	μA
		A/Dコンバータ動作時の 電流増加	f(XIN) = 6MHz、VCC = 3.3V 中・高速モード時			0.4		mA
f(XIN) = 停止、VCC = 3.3V オンチップオシレータ動作モード時				0.1		mA		
f(XIN) = 停止、VCC = 3.3V 低速モード				0.1		mA		

表18 . A/Dコンバータ推奨動作条件

(指定のない場合は、 $V_{CC} = 2.0 \sim 3.6V$ 、 $T_a = -20 \sim 85$ 、出力トランジスタは遮断状態)

記号	項目	条件	規格値			単位
			最小	標準	最大	
V <sub>CC</sub>	電源電圧		2.0		3.6	V
V <sub>IH</sub>	“H”入力電圧 ADKEY <sub>0</sub>		0.9V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IL</sub>	“L”入力電圧 ADKEY <sub>0</sub>		0		0.7 × V <sub>CC</sub> - 0.5	V
f(XIN)	ADコンバータ制御クロック(注) (低速・オンチップオシレータモード時を除く)	V <sub>CC</sub> 2.2V			20 × V <sub>CC</sub> - 38	MHz
		2.2V < V <sub>CC</sub> 3.0V			$\frac{45 \times V_{CC} - 35}{8}$	MHz
		3.0V < V <sub>CC</sub> 3.6V			12.5	MHz

注 . メインクロック入力周波数の推奨動作条件も併せて確認してください。

表19 . A/Dコンバータ特性

(指定のない場合は、 $V_{CC} = 2.0 \sim 3.6V$ 、 $T_a = -20 \sim 85$ 、出力トランジスタは遮断状態、低速・オンチップオシレータモード時を含む)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				10	BIT
ABS	絶対精度 (量子化誤差を除く)	2.5 < V <sub>CC</sub> 3.6、f(XIN) 6MHz、 AD変換クロック = SOURCE/2、 10bitAD選択時			4	LSB
		2.2 < V <sub>CC</sub> 2.5、f(XIN) 2MHz、 または低速・オンチップオシレータモード、 AD変換クロック = SOURCE/2、 10bitAD選択時			4	
		3.0 < V <sub>CC</sub> 3.6、f(XIN) 12.5MHz、 AD変換クロック = SOURCE/8、 8bitAD選択時			2	
		2.2 < V <sub>CC</sub> 3.0、f(XIN) 8MHz、 AD変換クロック = SOURCE/8、 8bitAD選択時				
		2.0 < V <sub>CC</sub> 2.2、f(XIN) 6MHz、 AD変換クロック = SOURCE/8、 または低速・オンチップオシレータモード、 AD変換クロック = SOURCE/2、8bitAD選択時			2	
t <sub>CONV</sub>	変換時間	AD変換クロック選択ビット = SOURCE/2 10bitADモード			tc(AD) × 121 (注)	μs
RLADDER	ラダー抵抗		12	35	100	k
I <sub>VREF</sub>	基準電圧入力電流	V <sub>REF</sub> = 3.3V	30	100	130	μA
I <sub>IA</sub>	アナログ入力電流				5.0	μA

注 . AD変換クロック選択ビットに SOURCE/8を選択した場合、上記時間の4倍となります。

中・高速モード時はXIN、それ以外はオンチップオシレータが動作クロックです。

中・高速モード時でA/D変換を行う場合は、f(XIN) 500kHzにしてください。

tc(AD) : A/Dコンバータの制御クロックの1周期です。中・高速モード時ではXIN入力を、低速・オンチップオシレータモードではオンチップオシレータを制御クロックに使用します。

表20 . タイミング必要条件

(指定のない場合は、Vcc = 1.8 ~ 3.6V、Vss = 0V、Ta = - 20 ~ 85 )

記 号	項 目	規 格 値			単 位
		最 小	標 準	最 大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力	2.0V Vcc 3.6V	125		ns
	サイクル時間(XIN入力)	Vcc 2.0V	166		ns
tWH(XIN)	メインクロック入力	2.0V Vcc 3.6V	50		ns
	“H”パルス幅	Vcc 2.0V	70		ns
tWL(XIN)	メインクロック入力	2.0V Vcc 3.6V	50		ns
	“L”パルス幅	Vcc 2.0V	70		ns
tc(CNTR)	CNTR0, CNTR1入力	2.0V Vcc 3.6V	1000/Vcc		ns
	サイクル時間	Vcc 2.0V	1000/(5 × Vcc - 8)		ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅		tc(CNTR)/2 - 20		ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅		tc(CNTR)/2 - 20		ns
tWH(INT)	INT00, INT01, INT10, INT11, INT2入力“H”パルス幅		230		ns
tWL(INT)	INT00, INT01, INT10, INT11, INT2入力“L”パルス幅		230		ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間		2000		ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅		950		ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅		950		ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間		400		ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間		200		ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間		2000		ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅		950		ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅		950		ns
tsu(SIN2-SCLK2)	シリアル/O2入力セットアップ時間		400		ns
th(SCLK2-SIN2)	シリアル/O2入力ホールド時間		200		ns

注 . 001A16番地のビット6が“1” (クロック同期式モード) の場合です。

001A16番地のビット6が“0” (クロック非同期式モード) の場合、規格値は1/4になります。

表21 . スイッチング特性

(指定のない場合は、Vcc = 1.8 ~ 3.6V、Vss = 0V、Ta = - 20 ~ 85 )

記 号	項 目	規 格 値			単 位
		最 小	標 準	最 大	
t <sub>WH</sub> (SCLK1)	シリアル/O1クロック出力 “ H ” パルス幅	t <sub>C</sub> (SCLK1)/2 - 80			ns
t <sub>WL</sub> (SCLK1)	シリアル/O1クロック出力 “ L ” パルス幅	t <sub>C</sub> (SCLK1)/2 - 80			ns
t <sub>d</sub> (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)			350	ns
t <sub>v</sub> (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)	- 30			ns
t <sub>r</sub> (SCLK1)	シリアル/O1クロック出力立ち上がり時間			80	ns
t <sub>f</sub> (SCLK1)	シリアル/O1クロック出力立ち下がり時間			80	ns
t <sub>WH</sub> (SCLK2)	シリアル/O2クロック出力 “ H ” パルス幅	t <sub>C</sub> (SCLK2)/2 - 80			ns
t <sub>WL</sub> (SCLK2)	シリアル/O2クロック出力 “ L ” パルス幅	t <sub>C</sub> (SCLK2)/2 - 80			ns
t <sub>r</sub> (SCLK2)	シリアル/O2クロック出力立ち下がり時間			80	ns
t <sub>d</sub> (SCLK2-SOUT2)	シリアル/O2出力遅延時間			350	ns
t <sub>v</sub> (SCLK2-SOUT2)	シリアル/O2出力有効時間	- 30			ns

注1 . UART制御レジスタのP41/TxD Pチャンネル出力禁止ビット(001B<sub>16</sub>番地のビット4)が “ 0 ” の場合です。

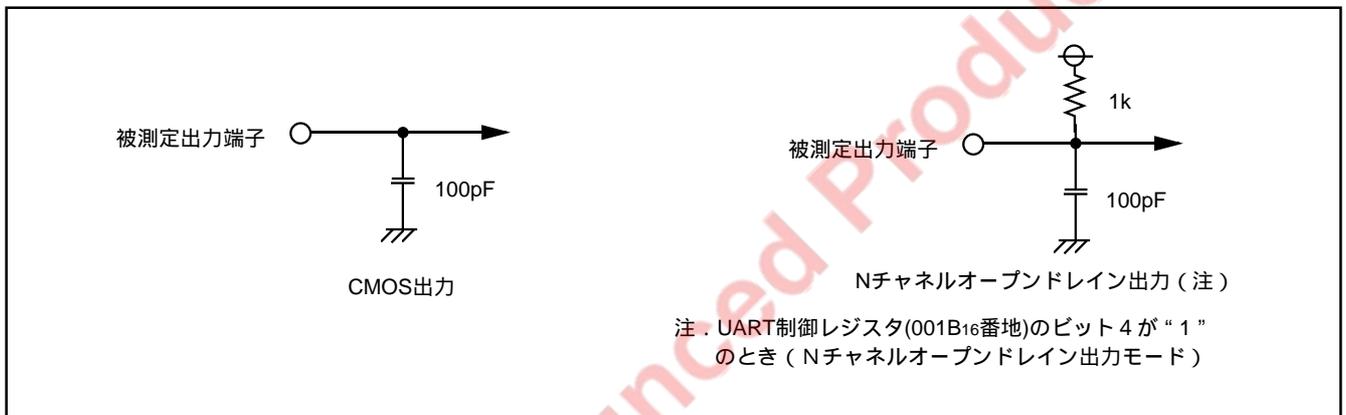


図67 . 出力スイッチング特性の測定回路図

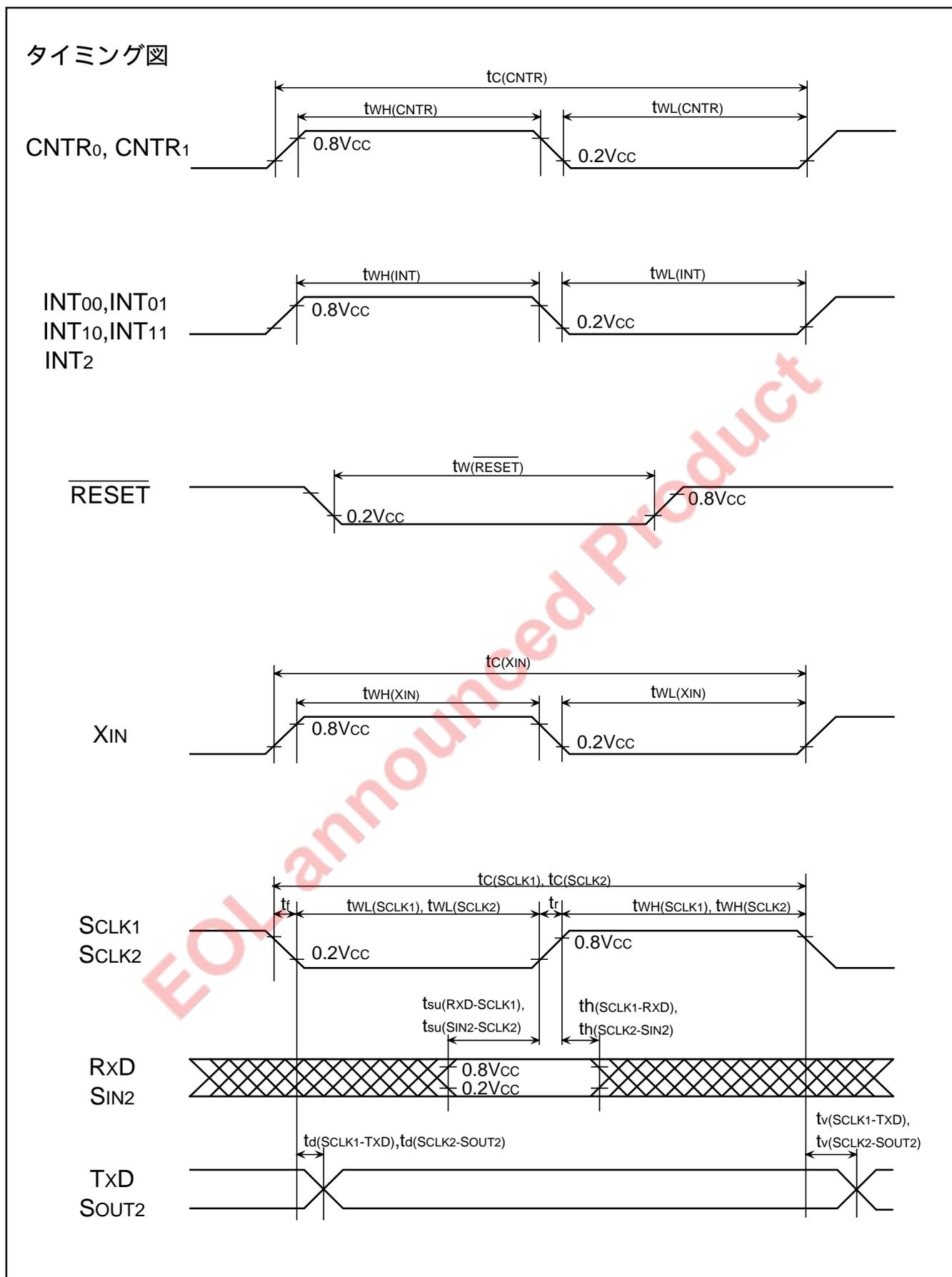
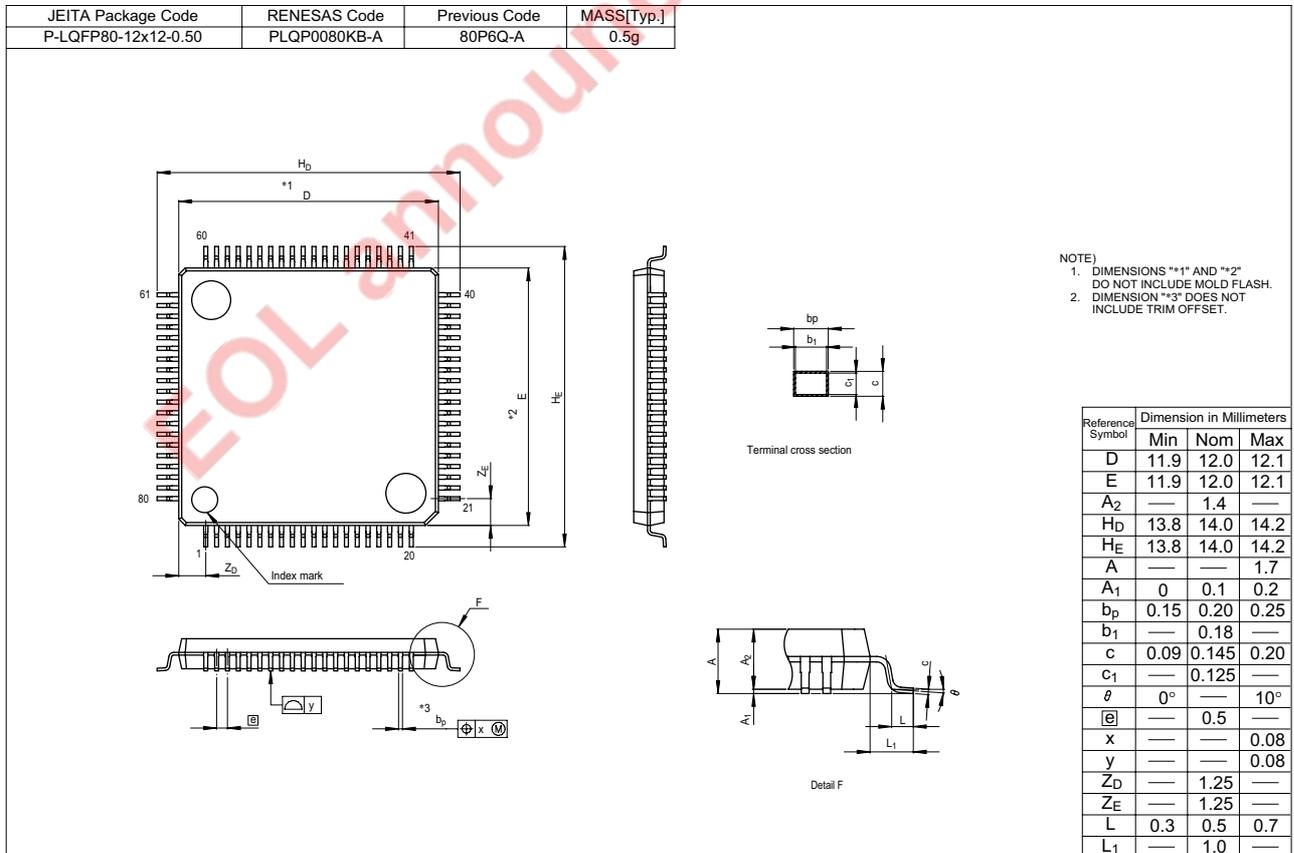
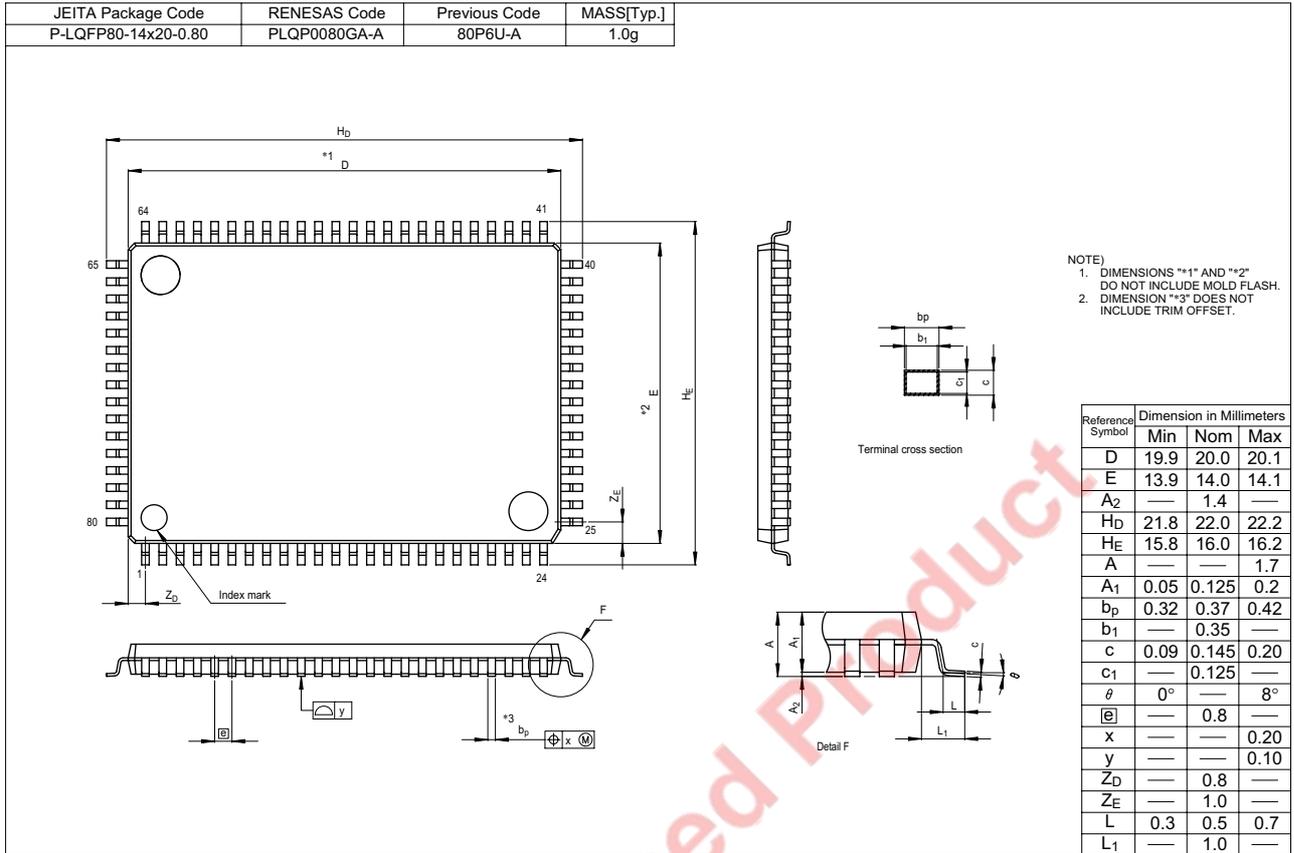


図68 . タイミング図

外形寸法図



## 改訂記録

## 38C5 グループ(ワンタイム PROM 版)データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.05.28	-	初版発行
1.10	2004.06.14	全ページ 73	用語統一 (統一用語: オンチップオシレータ、A/D コンバータ) 表 20 tc(XIN)、tWH(XIN)、tWL(XIN)、tc(CNTR) 項目を修正 4.0V 3.6V tWH(INT)、tWL(INT) 項目を修正
2.00	2005.11.23	2、5 ~ 7 13 44 46 50 56 59、60 65 66 76	パッケージ型名を改訂 図 11 SFR (スペシャルファンクションレジスタ) メモリマップ 注 追記 表 8 各時分割時の最大表示素子数 一部改訂 昇圧回路 説明文 一部改訂 表 9 バイアス制御と VL <sub>1</sub> ~ VL <sub>3</sub> への印加電圧 1/4 バイアス 削除 図 42 各バイアス時の回路例 一部削除 ウォッチドッグタイマの動作 改訂 ウォッチドッグタイマ制御レジスタのビット 6 追記 図 47 ウォッチドッグタイマ制御レジスタの構成 一部改訂 図 54 セラミック共振子外付け回路例 改訂 パッケージ型名を改訂 図 66 ワンタイム PROM 版の V <sub>PP</sub> 端子の配線 改訂 電源電圧に関する注意事項 追記 表 11 絶対最大定格 V <sub>I</sub> 条件 改訂 外形寸法図 改訂

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たっては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

営業お問合せ窓口  
株式会社ルネサス販売



<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: [csc@renesas.com](mailto:csc@renesas.com)