

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

概要

38C2グループ(Aバージョン)は、740ファミリコアを採用した8ビットマイクロコンピュータです。LCD駆動制御回路、A-D変換器、シリアルI/Oなどの付加機能を備えています。

38C2グループ(Aバージョン)には内蔵するメモリの種類、容量、パッケージの異なる複数の品種があります。詳細については型名とメモリサイズ・パッケージの項を参照してください。

特長

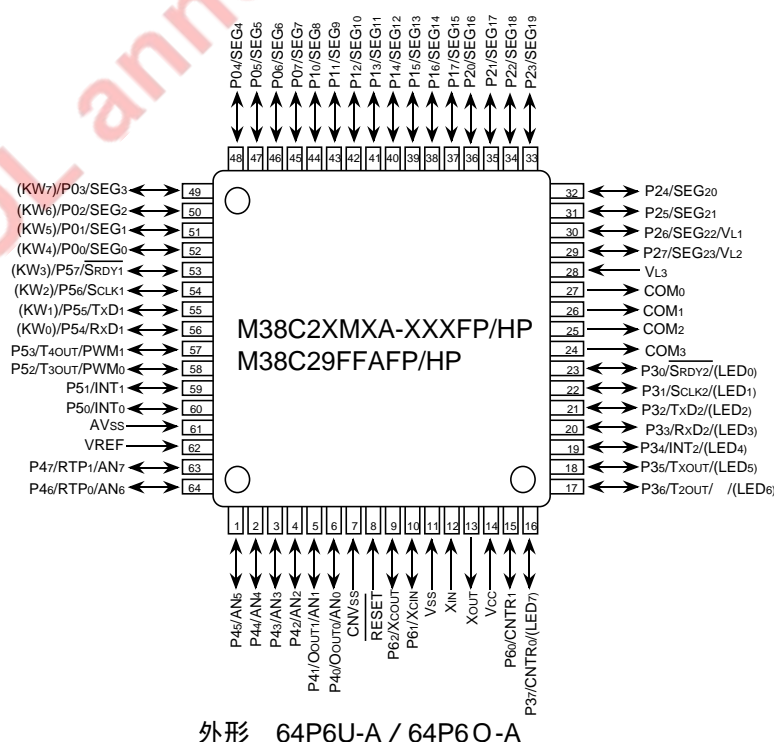
基本機械語命令	71
命令実行時間	0.40 μ s(最短命令、発振周波数10MHz時)
メモリ容量 ROM	16K ~ 60Kバイト
RAM	640 ~ 2048バイト
プログラマブル入出力ポート	51本(SEG共用24本)
割り込み	18要因、16ベクタ
タイマ	8ビット×4、16ビット×2
シリアルI/O	8ビット×2(UART又はクロック同期形)
PWM	10ビット×2、16ビット×1(IGBT出力兼用)
A-D変換器	10ビット×8
ウオッチドッグタイマ	8ビット×1
LED直接駆動ポート	8本 (平均電流15mA、尖頭電流30mA、総和電流90mA)
クロック発生回路	2回路内蔵 (セラミック共振子又は水晶共振子外付け)

LCD駆動制御回路	バイアス	1/2、1/3バイアス
	時分割	2、3、4時分割
	コモン出力	4本
	セグメント出力	24本

電源電圧

- ・マスクROM版
 - 2分周モード時(発振周波数10MHz時)
 - 2分周モード時(発振周波数8MHz時)
 - 4分周モード時(発振周波数4MHz時、A-D動作は除く)
- ・フラッシュメモリ版
 - 2分周モード時(発振周波数10MHz時)
 - 2分周モード時(発振周波数8MHz時)
 - 4分周モード時(発振周波数8MHz時)
 - 低速動作時(発振周波数32kHz時)
- 動作周囲温度
- 消費電力
 - ・2分周モード時($V_{CC}=5V$ 、発振周波数8MHz時)
 - マスクROM版
 - フラッシュメモリ版
 - ・低速モード時($V_{CC}=3V$ 、発振周波数32kHz時)
 - マスクROM版
 - フラッシュメモリ版

ピン接続図(上面図)



外形 64P6U-A / 64P6Q-A

図1. ピン接続図

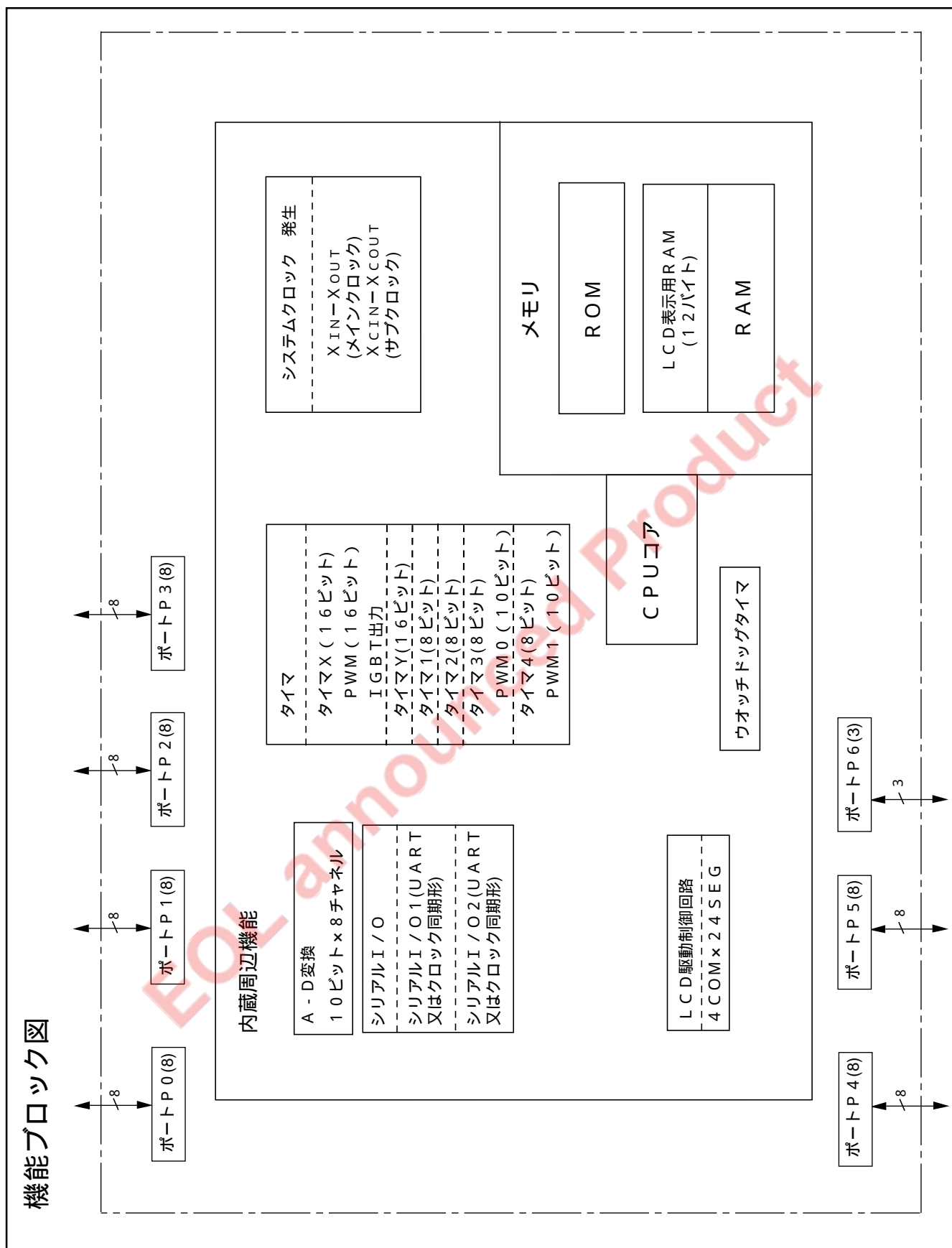


図2. 機能ブロック図

端子の機能説明

表1. 端子の機能説明

端子名	名称	機能	ポート以外の機能	
Vcc, Vss	電源入力	Vccに1.8 ~ 5.5V, Vssに0Vを印加します。		
RESET	リセット入力	アクティブ L のリセット入力端子です。		
XIN	クロック入力	メインクロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時はクロック発振源をXINに接続し、XOUTは開放にします。		
XOUT	クロック出力			
VL3	LCD用電源入力	0 ~ VL1 ~ VL2 ~ VL3の電圧を印加します。LCDには、0 ~ VL3の電圧を印加します。		
COM0 ~ COM3	コモン出力	LCDコモン出力端子です。2時分割時はCOM2、COM3は使用しません。3時分割時はCOM3は使用しません。		
P00/SEG0 ~ P03/SEG3 P04/SEG4 ~ P07/SEG7	入出力ポートP0	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。	LCDセグメント出力端子	キー入力割り込み入力端子
P10/SEG8 ~ P17/SEG15	入出力ポートP1	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。		
P20/SEG16 ~ P25/SEG21 P26/SEG22/VL1 P27/SEG23/VL2	入出力ポートP2	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。		LCD電源入力
P30/SRDY2 P31/SCLK2 P32/TxD2 P33/RxD2 P34/INT2 P35/TxOUT P36/T2OUT/ P37/CNTR0	入出力ポートP3	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。	シリアルI/O2の機能端子	
			外部割り込み端子	
			タイマX、タイマ2出力端子	
			タイマXの機能端子	
P40/OOUT0/AN0 P41/OOUT1/AN1 P42/AN2 ~ P45/AN5 P46/RTP0/AN6 P47/RTP1/AN7	入出力ポートP4	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。	AD変換器入力端子	発振外部出力端子
				リアルタイムポート機能端子
P50/INT0 P51/INT1 P52/T3OUT/PWM0 P53/T4OUT/PWM1 P54/RxD1 P55/TxD1 P56/SCLK1 P57/SRDY1	入出力ポートP5	8ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。	外部割り込み端子	
			タイマ3、タイマ4出力端子 PWM出力端子	
			シリアルI/O1の機能端子 キー入力割り込み入力端子	
P60/CNTR1 P61/XCIN P62/XCOUT	入出力ポートP6	3ビットの入出力ポートです。CMOS入力レベルで、CMOS3ステート出力です。プログラムにより、ビット単位で入出力の指定が可能です。ビット単位でプルアップ制御が可能です。	タイマYの機能端子	
			サブクロック発生回路の入出力端子(発振子を接続します。)	
CNVss	CNVss	フラッシュモード時はVPP電源入力端子になります。マイコン動作時はVssに接続してください。		
VREF	基準電圧入力	A - D変換器の基準電圧入力端子です。		
AVss	アナログ電源入力	A - D変換器の電源入力端子です。この端子はVssに接続してください。		

型名とメモリサイズ・パッケージ

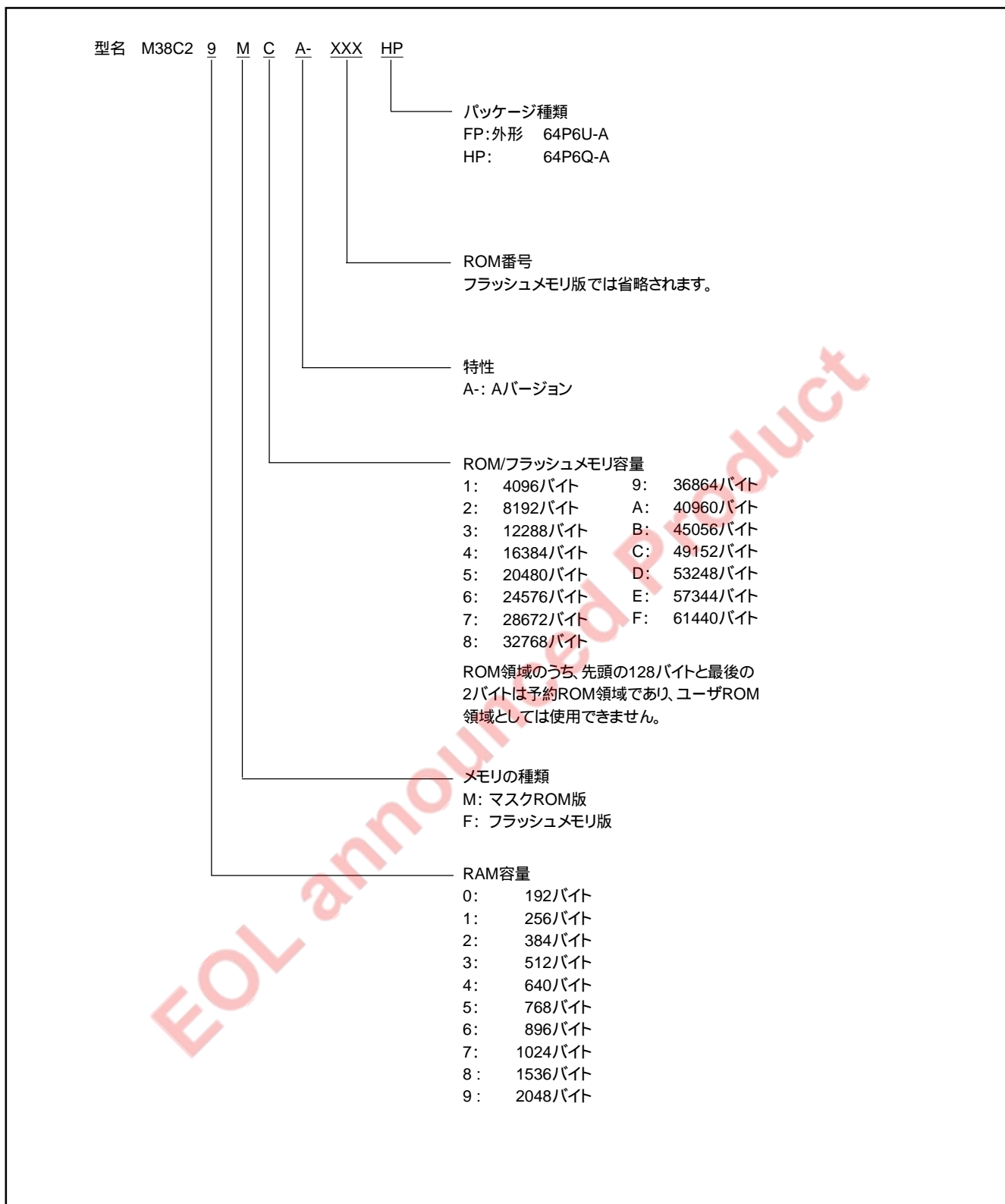


図3 . 型名とメモリサイズ・パッケージ

38C2グループ(Aバージョン)

グループ展開

38C2グループ(Aバージョン)は次のような展開を計画しています。

パッケージ

64P6Q-A 0.5mmピッチプラスチックモールドQFP
64P6U-A 0.8mmピッチプラスチックモールドQFP

メモリの種類

マスクROM版、フラッシュメモリ版のサポート

メモリ容量

ROM/フラッシュメモリ容量 16K ~ 60Kバイト

RAM容量 640 ~ 2048バイト

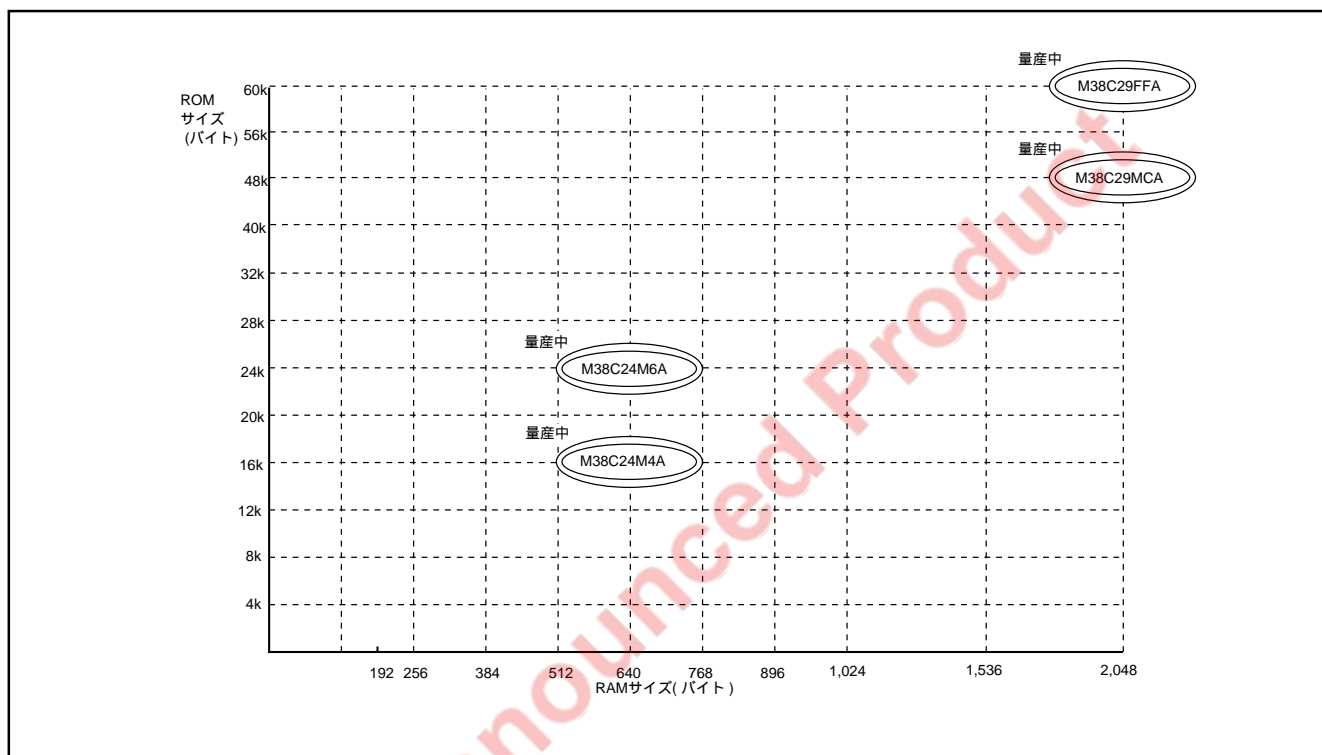


図4 . 38C2グループ (Aバージョン) ROM、RAM展開計画

現在サポートを計画している製品を表2に示します。

表2. サポート製品一覧

2004年5月現在

製品形名	ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M38C29MCA-XXXFP	49152	2048	64P6U-A	マスクROM版
M38C29MCA-XXXHP	(49022)		64P6Q-A	マスクROM版
M38C24M6A-XXXFP	24576	640	64P6U-A	マスクROM版
M38C24M6A-XXXHP	(24446)		64P6Q-A	マスクROM版
M38C24M4A-XXXFP	16384	640	64P6U-A	マスクROM版
M38C24M4A-XXXHP	(16254)		64P6Q-A	マスクROM版
M38C29FFAFP	61440	2048	64P6U-A	フラッシュメモリ版
M38C29FFAHP	(61310)		64P6Q-A	フラッシュメモリ版

EOL announced Product

機能ブロック動作説明

中央演算処理装置 (CPU)

38C2グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図5にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

スタックへの退避及び復帰動作を図6に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表3参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

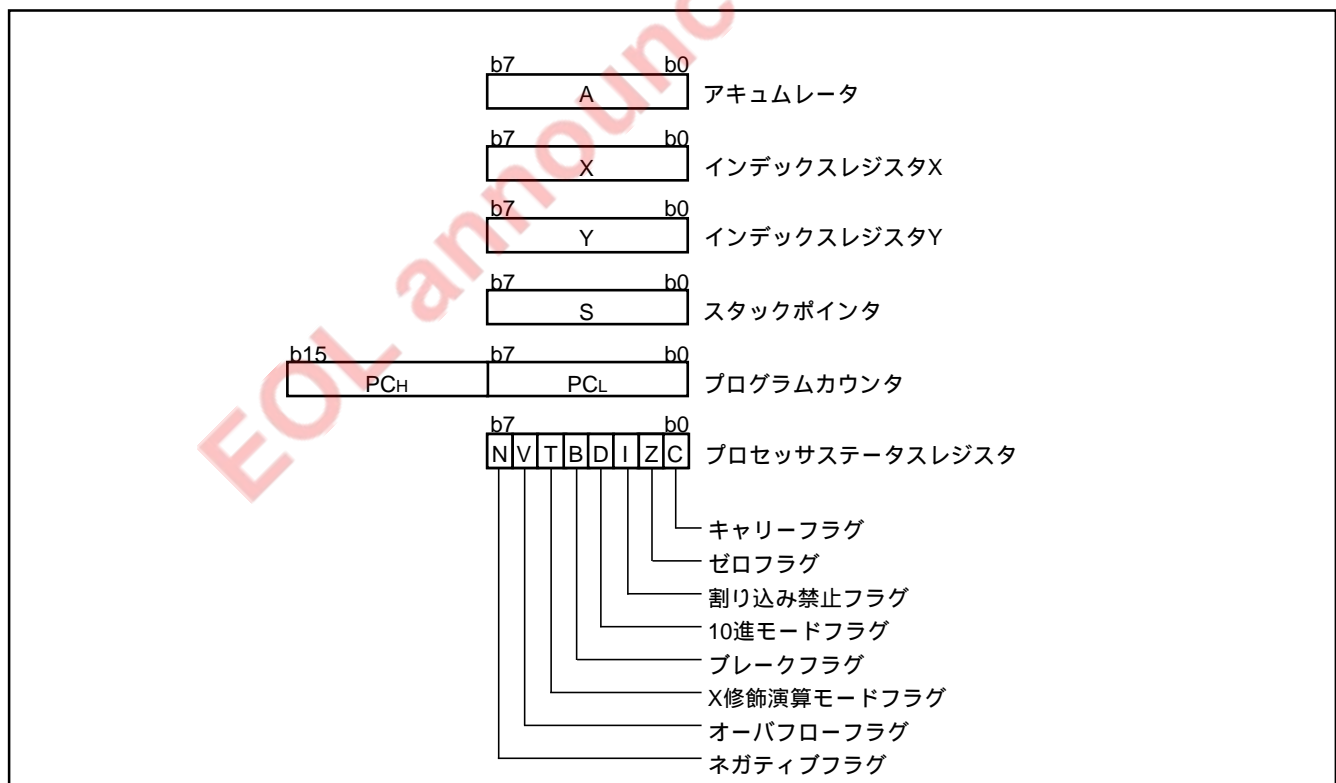


図5 740ファミリ CPUの構成

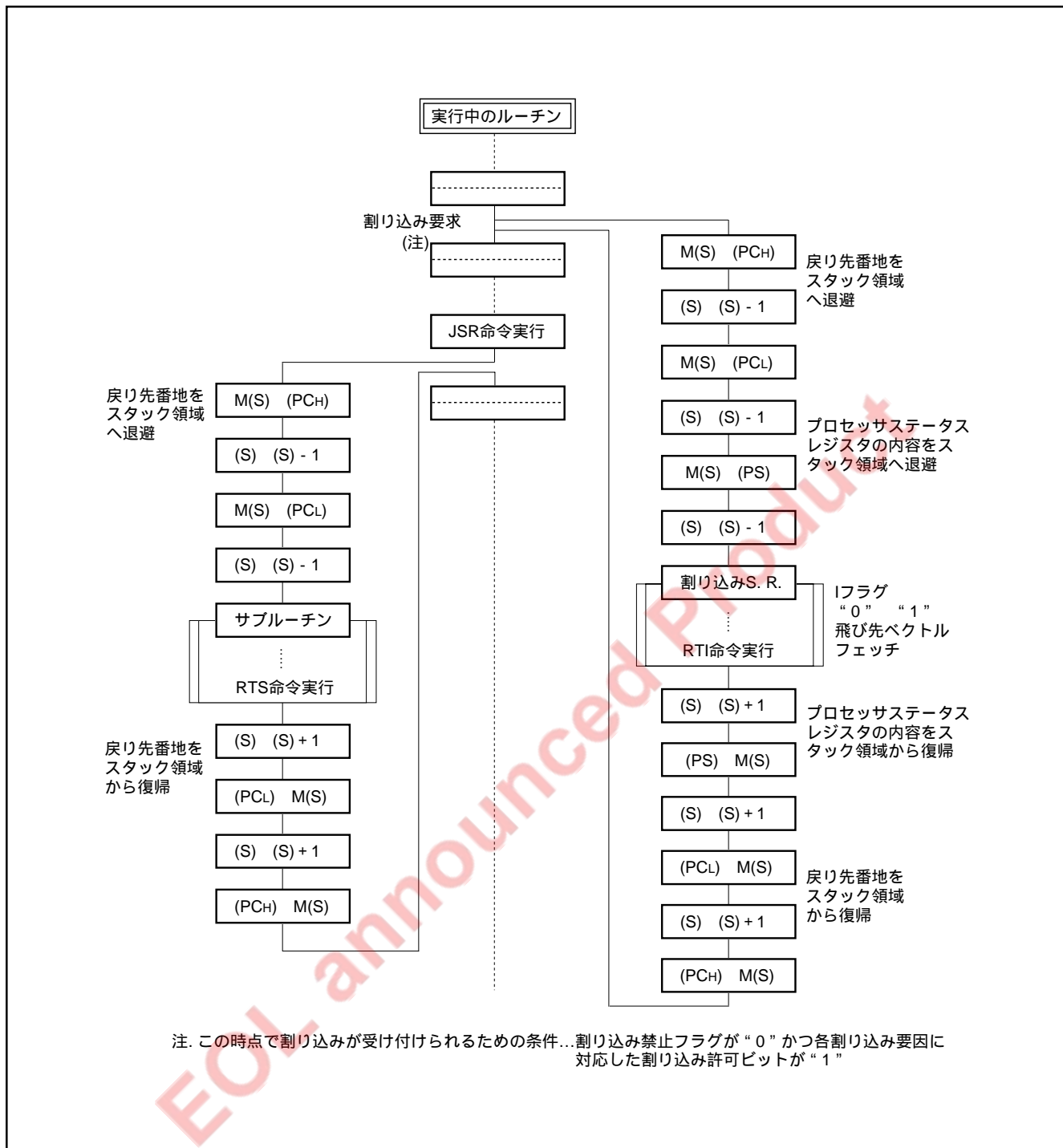


図6 スタックへの退避及び復帰動作

表3 .アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又はボーローを保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みみでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使われます。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4 .プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページの選択ビットや内部システムクロックの制御ビットなどが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

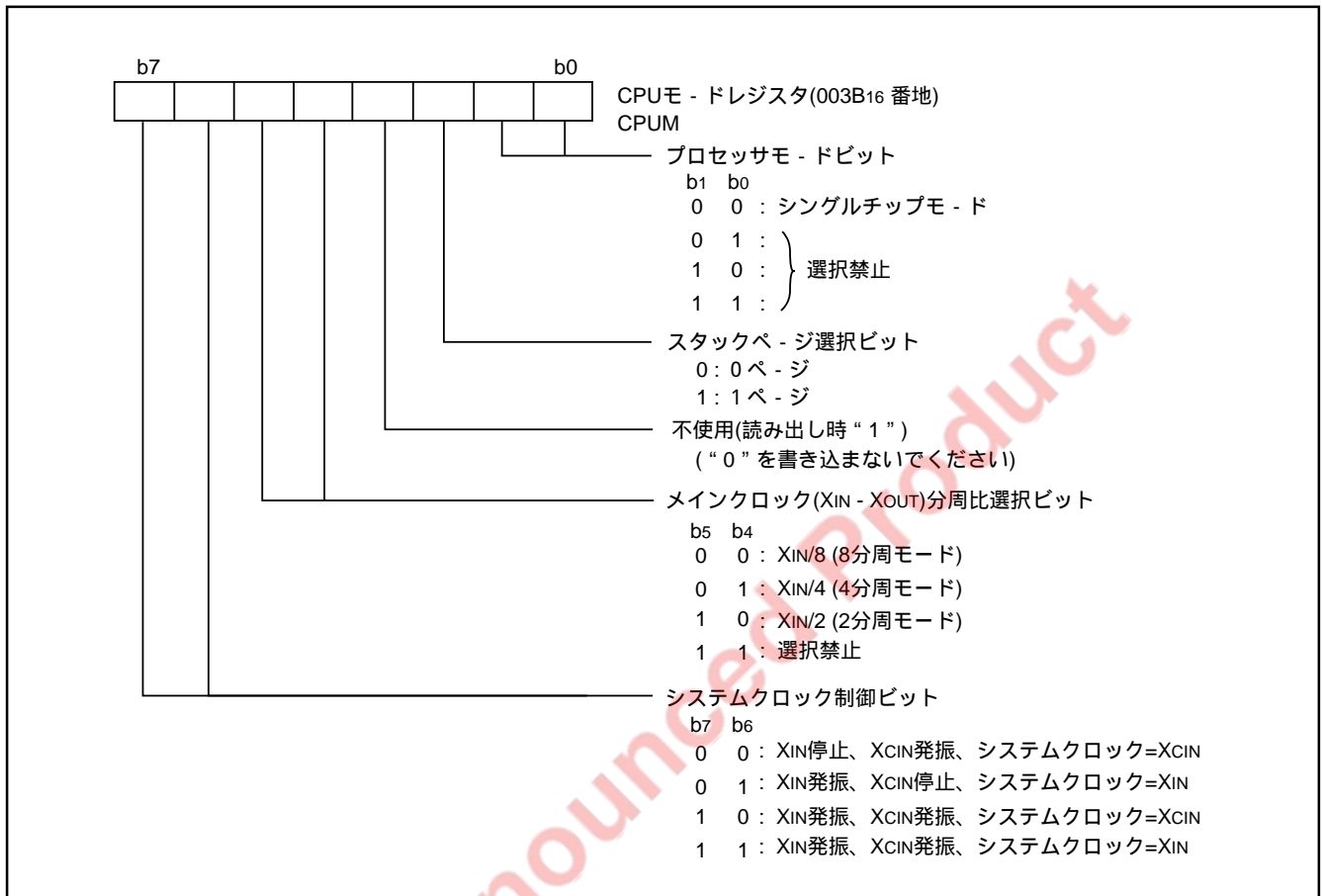


図7 . CPUモードレジスタの構成

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

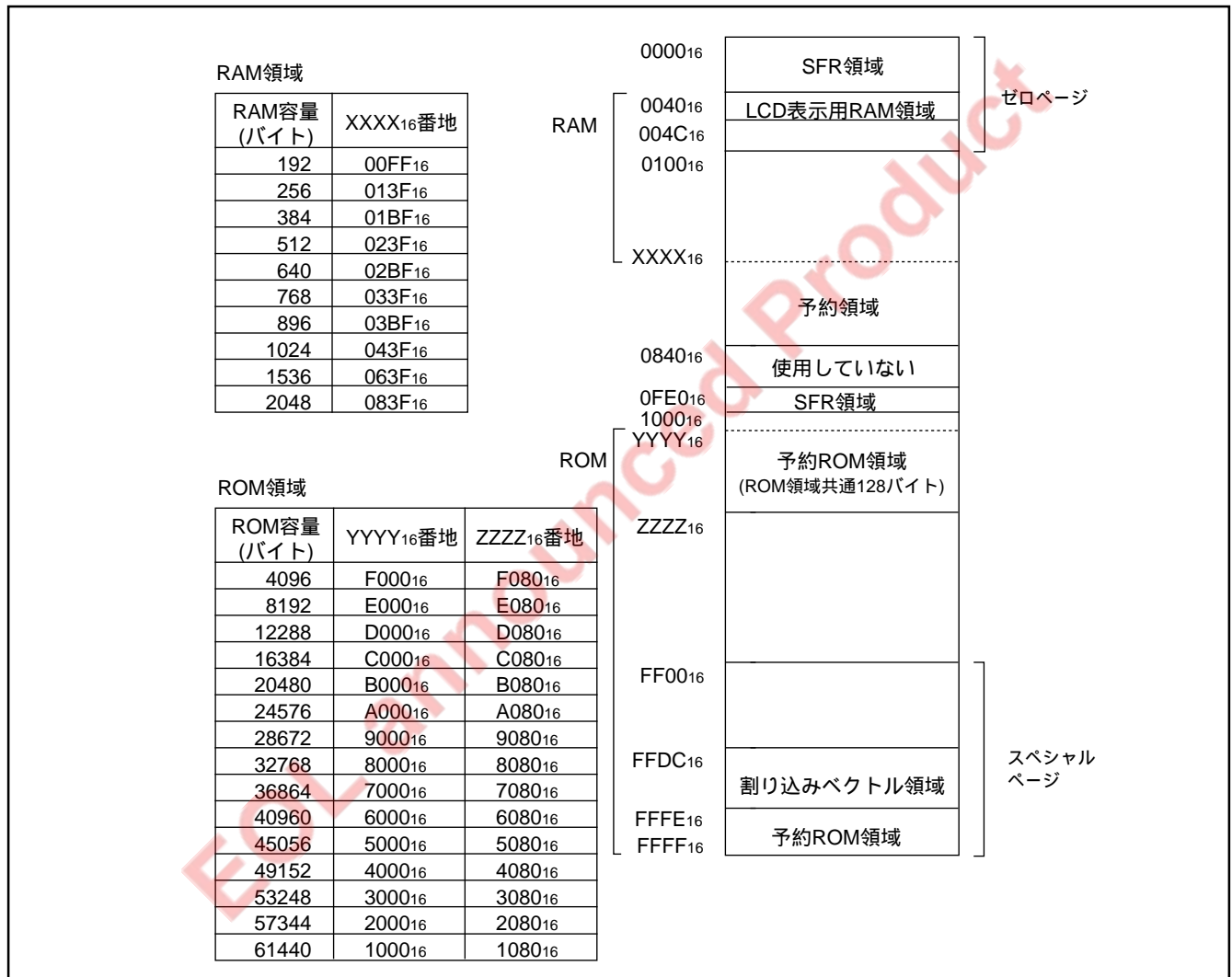


図8 . メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	タイマ1(T1)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	タイマ2(T2)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ3(T3)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマ4(T4)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	PWM01レジスタ(PWM01)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	タイマ12モードレジスタ(T12M)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	タイマ34モードレジスタ(T34M)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	
0008 ₁₆	ポートP4(P4)	0028 ₁₆	コンペアレジスタ(下位)(COMPL)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	コンペアレジスタ(上位)(COMPH)
000A ₁₆	ポートP5(P5)	002A ₁₆	タイマX(下位)(TXL)
000B ₁₆	ポートP5方向レジスタ(P5D)	002B ₁₆	タイマX(上位)(TXH)
000C ₁₆	ポートP6(P6)	002C ₁₆	タイマX(拡張)(TXEX)
000D ₁₆	ポートP6方向レジスタ(P6D)	002D ₁₆	タイマY(下位)(TYL)
000E ₁₆		002E ₁₆	タイマY(上位)(TYH)
000F ₁₆		002F ₁₆	タイマXモードレジスタ(TXM)
0010 ₁₆		0030 ₁₆	タイマYモードレジスタ(TYM)
0011 ₁₆		0031 ₁₆	
0012 ₁₆		0032 ₁₆	
0013 ₁₆		0033 ₁₆	
0014 ₁₆		0034 ₁₆	
0015 ₁₆		0035 ₁₆	
0016 ₁₆		0036 ₁₆	
0017 ₁₆		0037 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
0018 ₁₆	クロック出力制御レジスタ(CKOUT)	0038 ₁₆	LCD電源制御レジスタ(VLCON)
0019 ₁₆	AD制御レジスタ(ADCON)	0039 ₁₆	LCDモードレジスタ(LM)
001A ₁₆	AD変換レジスタ(下位)(ADL)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	AD変換レジスタ(上位)(ADH)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	送信/受信バッファレジスタ1(TB1/RB1)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	シリアル/O1ステータスレジスタ(SIO1STS)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	送信/受信バッファレジスタ2(TB2/RB2)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	シリアル/O2ステータスレジスタ(SIO2STS)	003F ₁₆	割り込み制御レジスタ2(ICON2)
0FE0 ₁₆	シリアル/O1制御レジスタ(SIO1CON)	0FF0 ₁₆	発振出力制御レジスタ(OSCOUT)
0FE1 ₁₆	UART1制御レジスタ(UART1CON)	0FF1 ₁₆	PULLレジスタ(PULL)
0FE2 ₁₆	ポーレートジェネレータ1(BRG1)	0FF2 ₁₆	キー入力制御レジスタ(KIC)
0FE3 ₁₆	シリアル/O2制御レジスタ(SIO2CON)	0FF3 ₁₆	タイマ1234モードレジスタ(T1234M)
0FE4 ₁₆	UART2制御レジスタ(UART2CON)	0FF4 ₁₆	タイマX制御レジスタ(TXCON)
0FE5 ₁₆	ポーレートジェネレータ2(BRG2)	0FF5 ₁₆	タイマ12分周選択レジスタ(PRE12)
0FE6 ₁₆		0FF6 ₁₆	タイマ34分周選択レジスタ(PRE34)
0FE7 ₁₆		0FF7 ₁₆	タイマXY分周選択レジスタ(PREXY)
0FE8 ₁₆		0FF8 ₁₆	セグメント出力禁止レジスタ0(SEG0)
0FE9 ₁₆		0FF9 ₁₆	セグメント出力禁止レジスタ1(SEG1)
0FEA ₁₆		0FFA ₁₆	セグメント出力禁止レジスタ2(SEG2)
0FEB ₁₆		0FFB ₁₆	タイマYモードレジスタ2(TYM2)
0FEC ₁₆		0FFC ₁₆	
0FED ₁₆		0FFD ₁₆	
0FEE ₁₆		0FFE ₁₆	フラッシュメモリ制御レジスタ(FMCR)
0FEF ₁₆		0FFF ₁₆	予約領域(アクセス禁止)

図9 . SFR (スペシャルファンクションレジスタ) メモリマップ

入出力ポート

方向レジスタ

入出力ポートP0～P6は方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するか、ビット単位に設定することが可能です。方向レジスタを“0”にクリアすると、その端子は入力ポートになります。また、ポートP0～P2は方向レジスタを“1”かつセグメント出力禁止レジスタを“1”にセットすると出力ポートになり、ポートP3～P6は方向レジスタを“1”にセットすると出力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

プルアップ制御

ポートP0～P2は、方向レジスタ及びセグメント出力禁止レジスタ0～2(0FF8～0FFA₁₆番地)を設定することにより、プログラムでプルアップのビット単位の制御が可能です。方向レジスタを“0”かつセグメント出力禁止レジスタを“1”にするとその端子はプルアップされます。ポートP3～P6はPULLレジスタ(0FF1₁₆番地)を設定することにより、プログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離されプルアップは行われません。

セグメント出力禁止レジスタ 方向レジスタ	“0”	“1”	初期状態
	“0”	入力ポートプルアップなし	
“1”	セグメント出力	ポート出力	

図10 . ポートP0～P2の設定

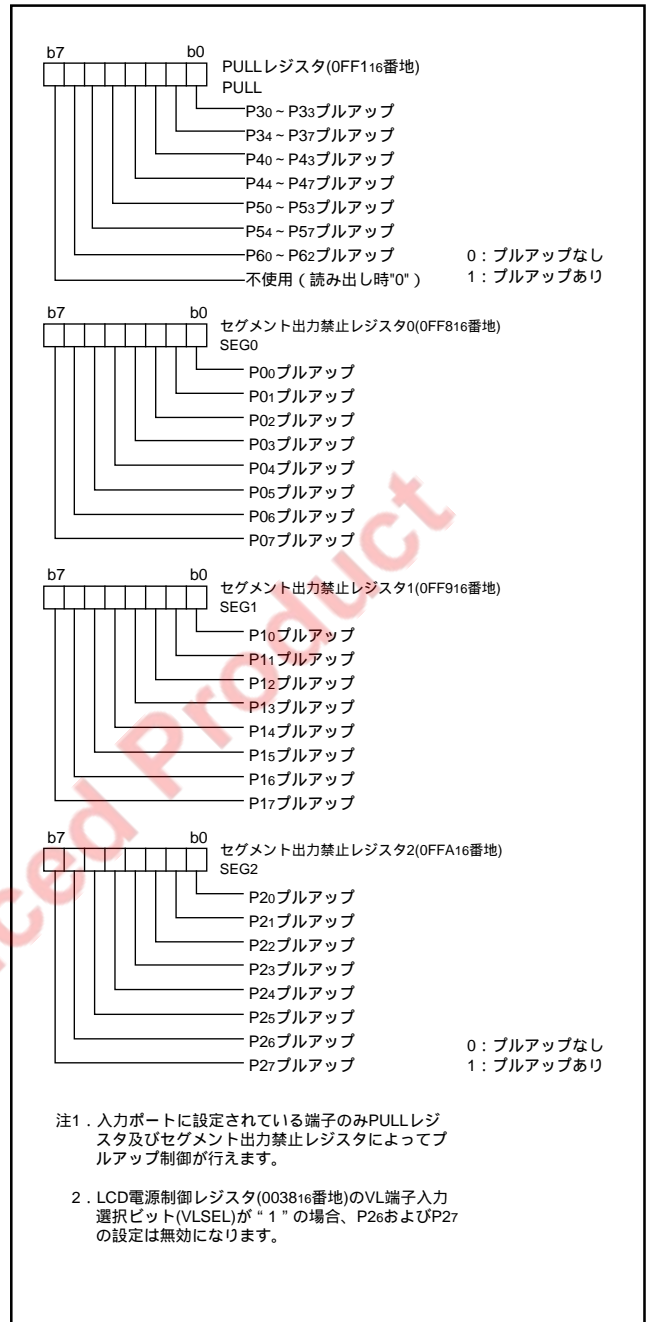


図11 . PULLレジスタ、セグメント出力禁止レジスタの構成

表5 . 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能		関連するSFR	図番
P00/SEG0 ~ P03/SEG3	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	LCD セグメント 出力	キー入力(キー ウakeup) 割り込み入力	セグメント出力禁止 レジスタ1	(1)
P04/SEG4 ~ P07/SEG7							(2)
P10/SEG8 ~ P17/SEG15	ポートP1	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力			セグメント出力禁止 レジスタ2	
P20/SEG16 ~ P25/SEG21	ポートP2	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力			セグメント出力禁止 レジスタ3	
P26/SEG22/VL1, P27/SEG23/VL2				LCD電源入力			
P30/SRDY2, P31/SCLK2, P32/TxD2, P33/RxD2	ポートP3	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアル/O2機能入出力		PULLレジスタ シリアル/O2制御レジスタ シリアル/O2ステータスレジスタ UART2制御レジスタ	(3) (4) (5) (6)
P34/INT2				外部割り込み入力		PULLレジスタ 割り込みエッジ選択レジスタ	(7)
P35/TXOUT, P36/T2OUT/				タイマX出力 タイマ2出力		PULLレジスタ タイマモードレジスタ タイマ12モードレジスタ	(8) (9)
P37/CNTR0				タイマX機能入力		PULLレジスタ タイマモードレジスタ	(7)
P40/OoUT0/AN0, P41/OoUT1/AN1				ポートP4	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	
P42/AN2 ~ P45/AN5	A-D変換入力						(10)
P46/RTP0/AN6, P47/RTP1/AN7	リアルタイム ポート機能出力		PULLレジスタ A-D制御レジスタ タイマモードレジスタ				(11)
P50/INT0 P51/INT1	ポートP5	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	外部割り込み入力		PULLレジスタ 割り込みエッジ選択レジスタ	(7)
P52/T3OUT /PWM0, P53/T4OUT /PWM1				タイマ3出力 タイマ4出力 PWM出力		PULLレジスタ タイマ12モードレジスタ	(9)
P54/RxD1 P55/TxD1 P56/SCLK1 P57/SRDY1				シリアル/O1 機能入出力	キー入力(キー ウakeup) 割り込み入力	PULLレジスタ シリアル/O1制御レジスタ シリアル/O1ステータスレジスタ UART1制御レジスタ	(12) (13) (14) (15)
P60/CNTR1				タイマY機能入力		PULLレジスタ タイマモードレジスタ	(7)
P61/XCIN P62/XOUT				サブクロック発振回路		PULLレジスタ CPUモードレジスタ	(16) (17)
COM0 ~ COM3	コモン	出力	LCDコモン出力			LCDモードレジスタ	(18)

注1. ダブルファンクション/トリプルファンクションポートを機能入出力端子として使用する方法については、関連する項を参照してください。

2. STP命令の実行中は、各端子の入力レベルを0V又はVccにしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流れ、電源電流が増加します。

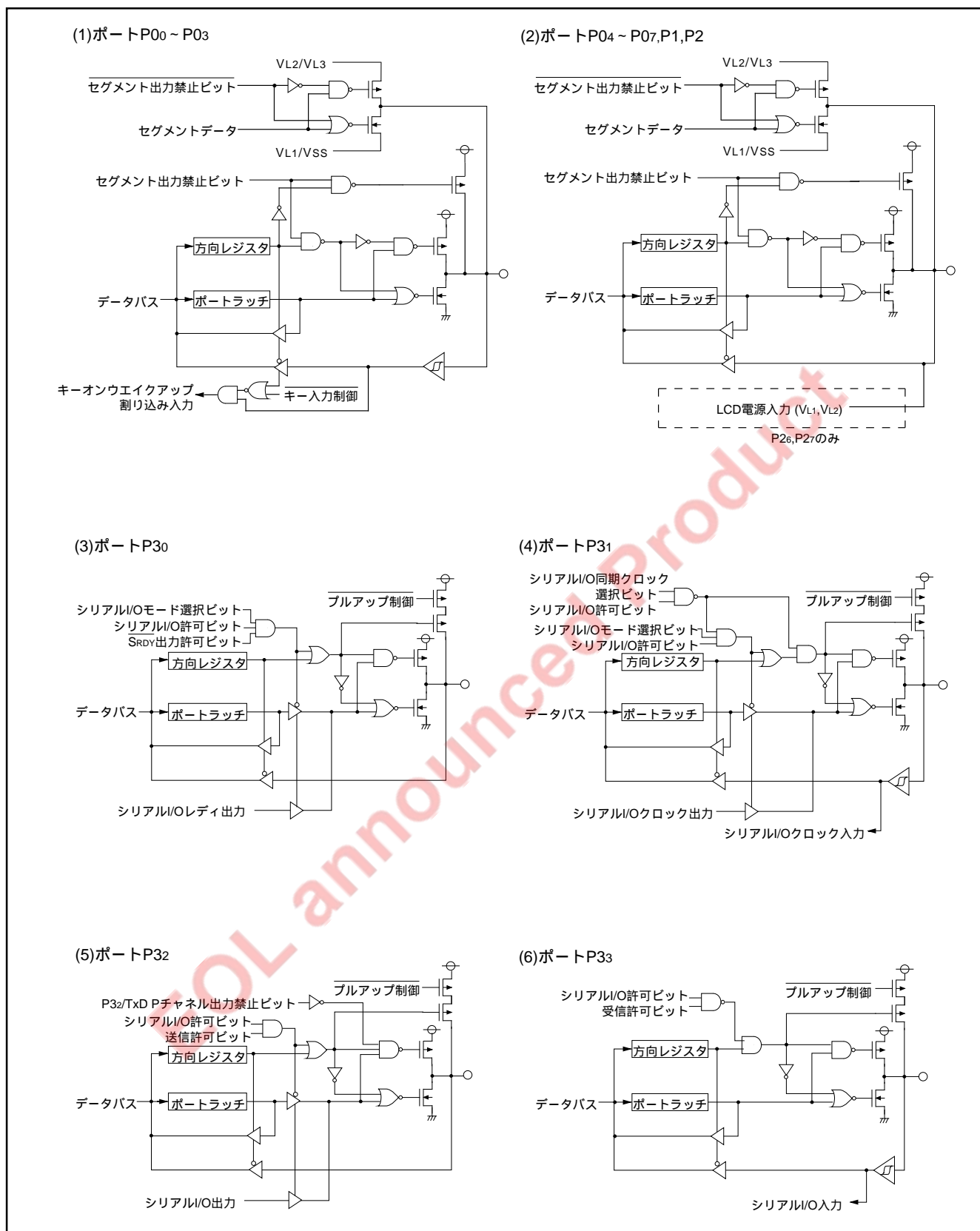


図12. ポートのブロック図(1)

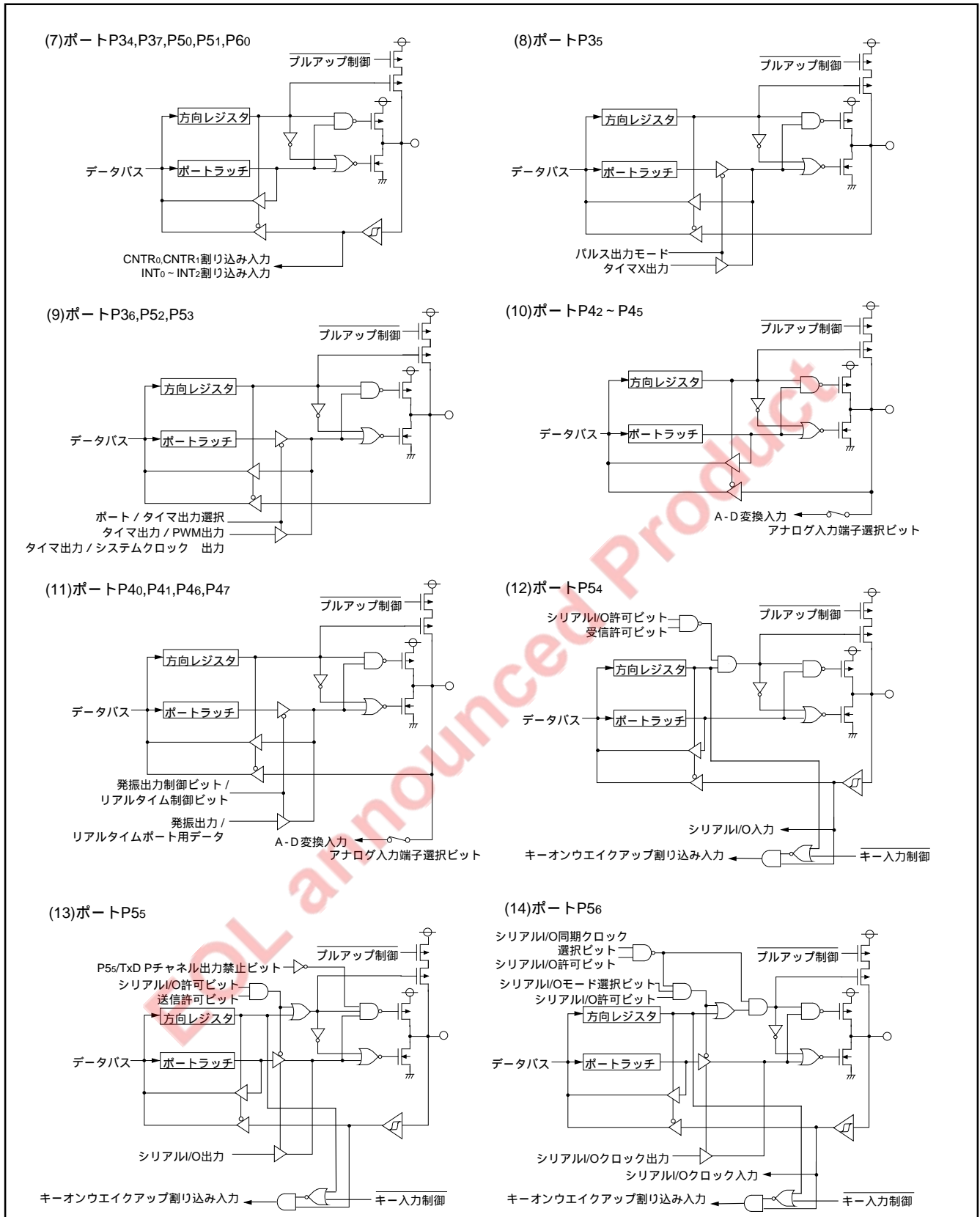


図13. ポートのブロック図(2)

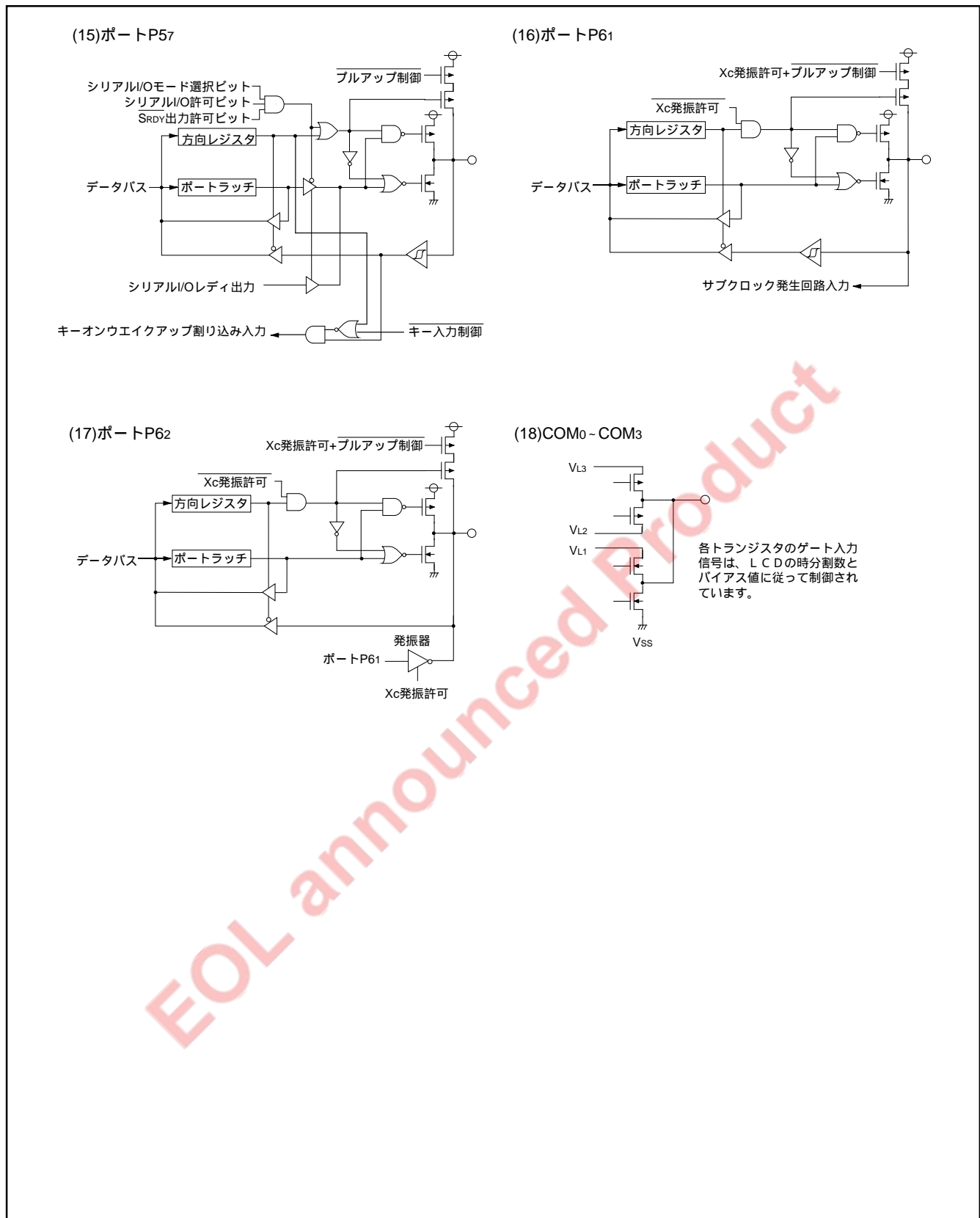


図14 . ポートのブロック図 (3)

割り込み

割り込みはベクトル割り込みで、外部6要因、内部12要因、ソフトウェア1要因の19要因から発生することが可能です。

割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”で、かつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込みのアクティブエッジを設定する際
対象レジスタ: 割り込みエッジ選択レジスタ(3A16番地)
タイマX制御レジスタ(FF416番地)
タイマYモードレジスタ(3016番地)
- ・同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
対象レジスタ: 割り込みエッジ選択レジスタ(3A16番地)
これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。
 - ① 該当する割り込み許可ビットを“0”(禁止)にする。
 - ② 割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因ビットを設定する。
 - ③ 一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
 - ④ 該当する割り込み許可ビットを“1”(許可)にする。

表6. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスクابل
INT0	2	FFFB16	FFFA16	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT1	3	FFF916	FFF816	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT2	4	FFF716	FFF616	INT2入力の立ち上がり又は立ち下がりエッジ検出時	INT2割り込み選択時有効 外部割り込み (極性プログラマブル)
キー入力(キーオシロエイクアップ)				ポートP00~P03、P54~P57の入力レベルの論理積の立ち下がり時	キー入力割り込み選択時有効 外部割り込み (立ち下がり有効)
シリアル/O1受信	5	FFF516	FFF416	シリアル/O1データ受信終了時	シリアル/O1選択時のみ有効
シリアル/O1送信	6	FFF316	FFF216	シリアル/O1送信シフト終了時又は送信バッファ空時	シリアル/O1選択時のみ有効
シリアル/O2受信	7	FFF116	FFF016	シリアル/O2データ受信終了時	シリアル/O2選択時のみ有効
シリアル/O2送信	8	FFEF16	FFEE16	シリアル/O2送信シフト終了時又は送信バッファ空時	シリアル/O2選択時のみ有効
タイマX	9	FFED16	FFEC16	タイマXアンダフロー時	
タイマ1	10	FFEB16	FFEA16	タイマ1アンダフロー時	タイマ1割り込み選択時有効
タイマ2	11	FFE916	FFE816	タイマ2アンダフロー時	タイマ2割り込み選択時有効
タイマ3	12	FFE716	FFE616	タイマ3アンダフロー時	
タイマ4	13	FFE516	FFE416	タイマ4アンダフロー時	
CNTR0	14	FFE316	FFE216	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマY CNTR1	15	FFE116	FFE016	タイマYアンダフロー時 CNTR1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
A-D変換	16	FFDF16	FFDE16	A-D変換終了時	A-D割り込み選択時有効
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスクابل割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

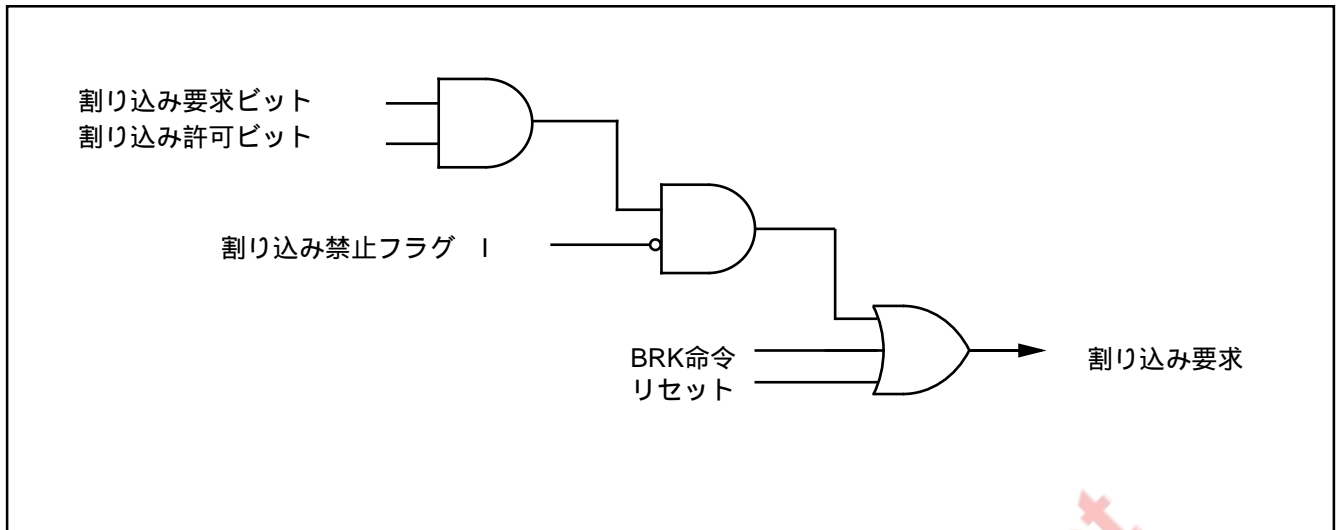


図15 . 割り込み制御図

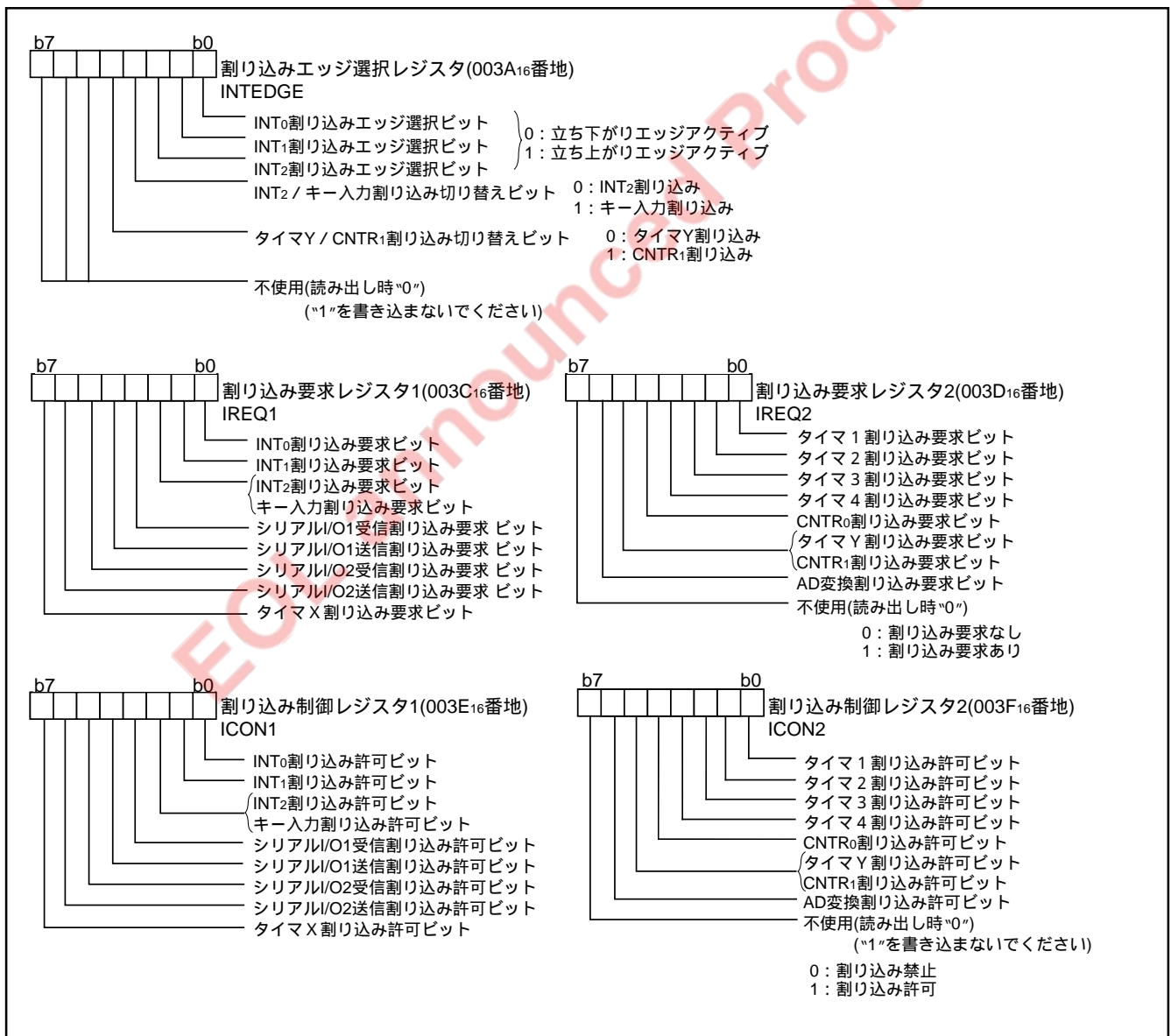


図16 . 割り込み関係レジスタの構成

キー入力割り込み(キーオンウエイクアップ)

キー入力割り込みは、ポートP00~P03、P54~P57のうち入力に設定されている端子のいずれかに立ち下がりエッジが検出されると、すなわち入力レベルの論理積が「1」から「0」になると、キー入力

割り込み要求が発生します。図17はキー入力割り込みを用いた一例です。ポートP54~P57を入力とするアクティブ「L」のキーマトリクスを構成すると、キーを押すことによって割り込み要求が発生します。

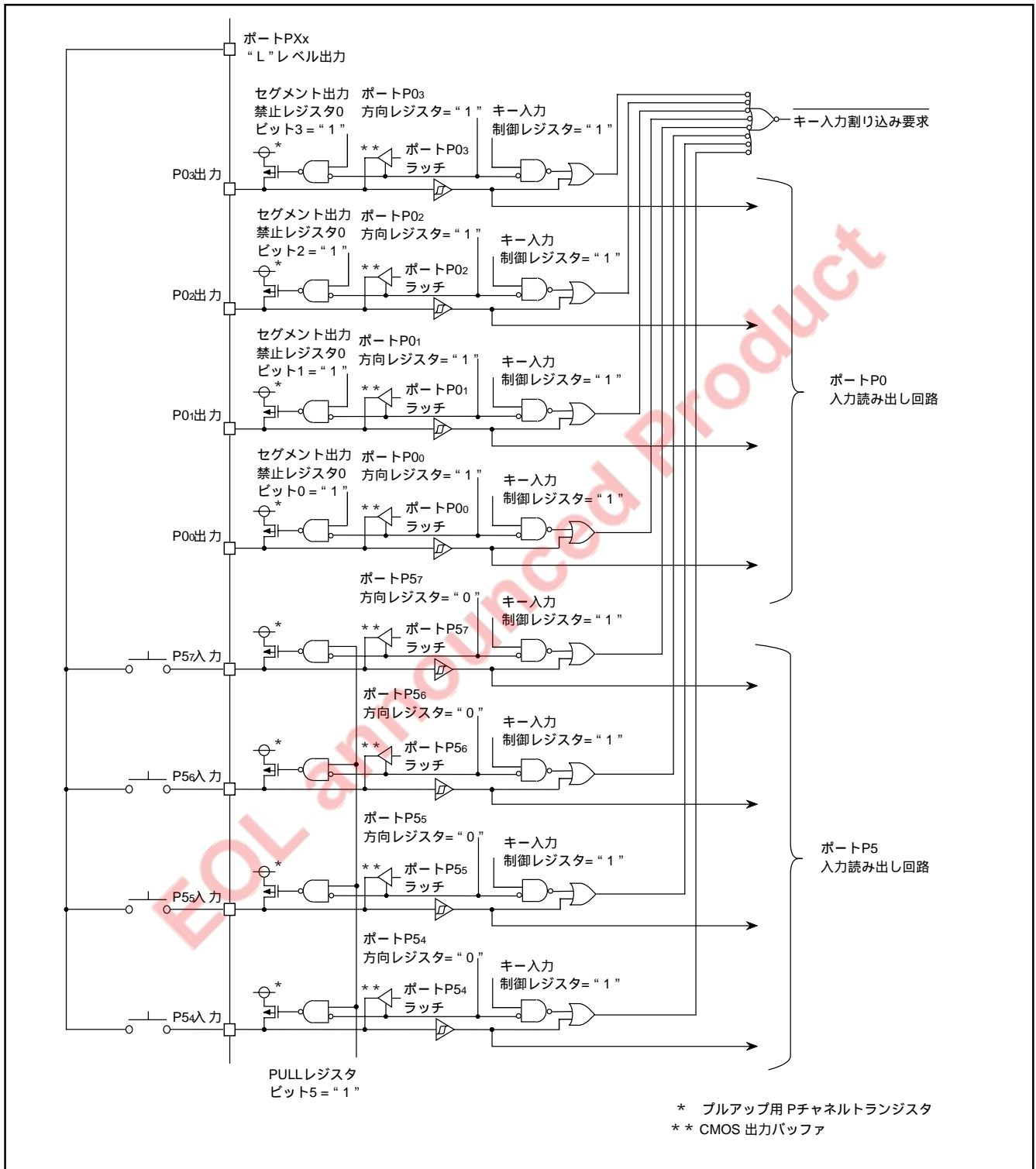


図17 . キー入力割り込み使用時の結線例とポートP0、ポートP5のブロック図

キー入力割り込みは、キー入力制御レジスタとポートの方向レジスタによって制御されます。キー入力割り込みを許可するときは、キー入力制御レジスタを'1'に設定してください。ポートP0₀ ~ P0₃, P5₄ ~ P5₇のうち、入力に設定されている端子からキー入力を受け付けられます。

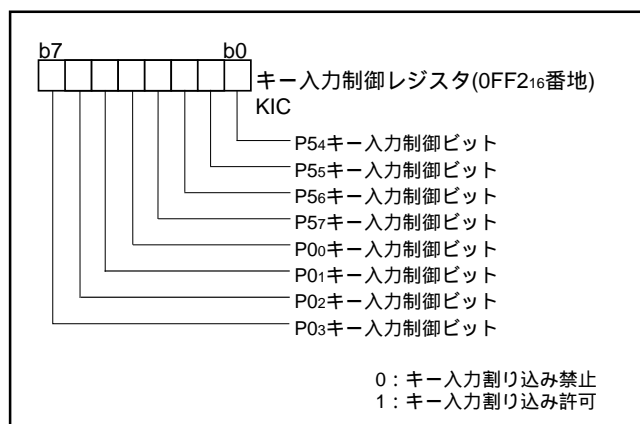


図18 . キー入力制御レジスタの構成

タイマ

8ビットタイマ

タイマ1、タイマ2、タイマ3、タイマ4は8ビットのタイマで、それぞれタイマラッチを持っています。タイマはカウントダウン方式でカウンタの内容が 00_{16} になった次のカウントパルスでタイマラッチの内容が再びタイマにロードされます。このとき同時に各タイマに対応する割り込み要求ビットが 1 にセットされます。

また、各タイマの停止ビットを 1 にセットすることによりカウントを停止することが可能です。

タイマ用分周器

タイマ1、タイマ2、タイマ3、タイマ4はカウントソース用の分周器を持っています。分周器のカウントソースはCPUモードレジスタにより、XINかXCINが切り替わります。分周比はそれぞれのタイマ分周比選択ビットによって、 $f(XIN)$ 又は $f(XCIN)$ のそれぞれ $1/1$ 、 $1/2$ 、 $1/16$ 、 $1/32$ 、 $1/64$ 、 $1/128$ 、 $1/256$ 、 $1/1024$ から選択できます。

タイマ1、タイマ2

タイマ1、タイマ2はタイマ12モードレジスタを設定することにより、カウントソースを選択することができます。カウントソースに $f(XCIN)$ を選択した場合、XCINの発振によらずカウントできます。ただし、XCINが停止している場合は、XCIN端子から入力される外部パルスをカウントします。また、このレジスタによりタイマ2がアンダフローするたびに極性の反転する信号をP36/T20OUT端子から出力することができます。

リセット入力時、タイマ12モードレジスタは全ビットクリアされ、タイマ1に FF_{16} 、タイマ2に 01_{16} がセットされます。

STP命令を実行する時は、復帰時の待ち時間をあらかじめ設定してください。

タイマ3、タイマ4

タイマ3、タイマ4はタイマ34モードレジスタを設定することにより、カウントソースを選択することができます。また、このレジスタによりタイマ3またはタイマ4がアンダフローするたびに極性の反転する信号をP52/T30OUT又はP53/T40OUT端子から出力することができます。

タイマ3PWM0モード、タイマ4PWM1モード

タイマ34モードレジスタと、PWM01レジスタを設定することにより、10ビット精度に相当するPWM方形波をP52/PWM0とP53/PWM1端子から出力することができます。(図21参照)

出力パルスの1周期分を小区間とし、4周期分を大区間とします。タイマ3(0022₁₆番地)又はタイマ4(0023₁₆番地)の設定値を n 、タイマ3又はタイマ4のカウントソースの1周期を t_s とすると、小区間の“H”幅は $n \times t_s$ で表されます。ただし、大区間の中で、PWM01レジスタ(0024₁₆番地)に設定した値に対応する回数だけ、出力パルスの“H”幅が t_s 時間延長されます。

タイマ3PWM0モード、タイマ4PWM1モード注意事項

- PWM出力開始後に一旦停止した場合、そのときの出力パルスのレベルによっては、出力を再開する時間が小区間の1区間($256 \times t_s$)遅れることがあります。
 - “H”で停止:出力遅延なし
 - “L”で停止: $256 \times t_s$ 時間出力遅延する
- PWMモード使用時、タイマ3、タイマ4の割り込み要求及びタイマ3、タイマ4の値の更新は、大区間($4 \times 256 \times t_s$)の周期ごとに行われます。

タイマ2、タイマ3、タイマ4の書き込みについて

ラッチのみ書き込みの場合、リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、リロード用ラッチへの書き込み動作中はカウントが停止します。

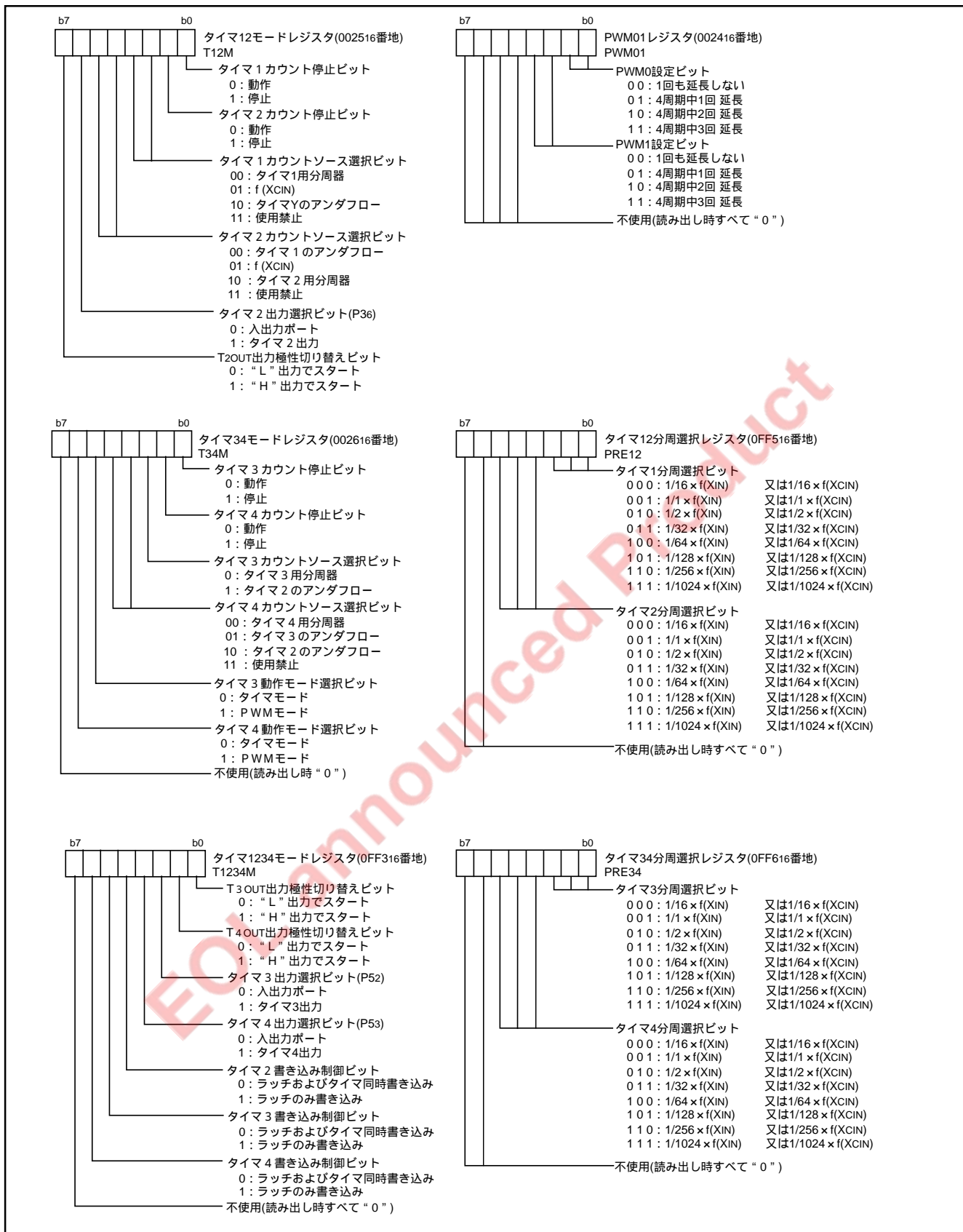


図19. タイマ1234レジスタの構成

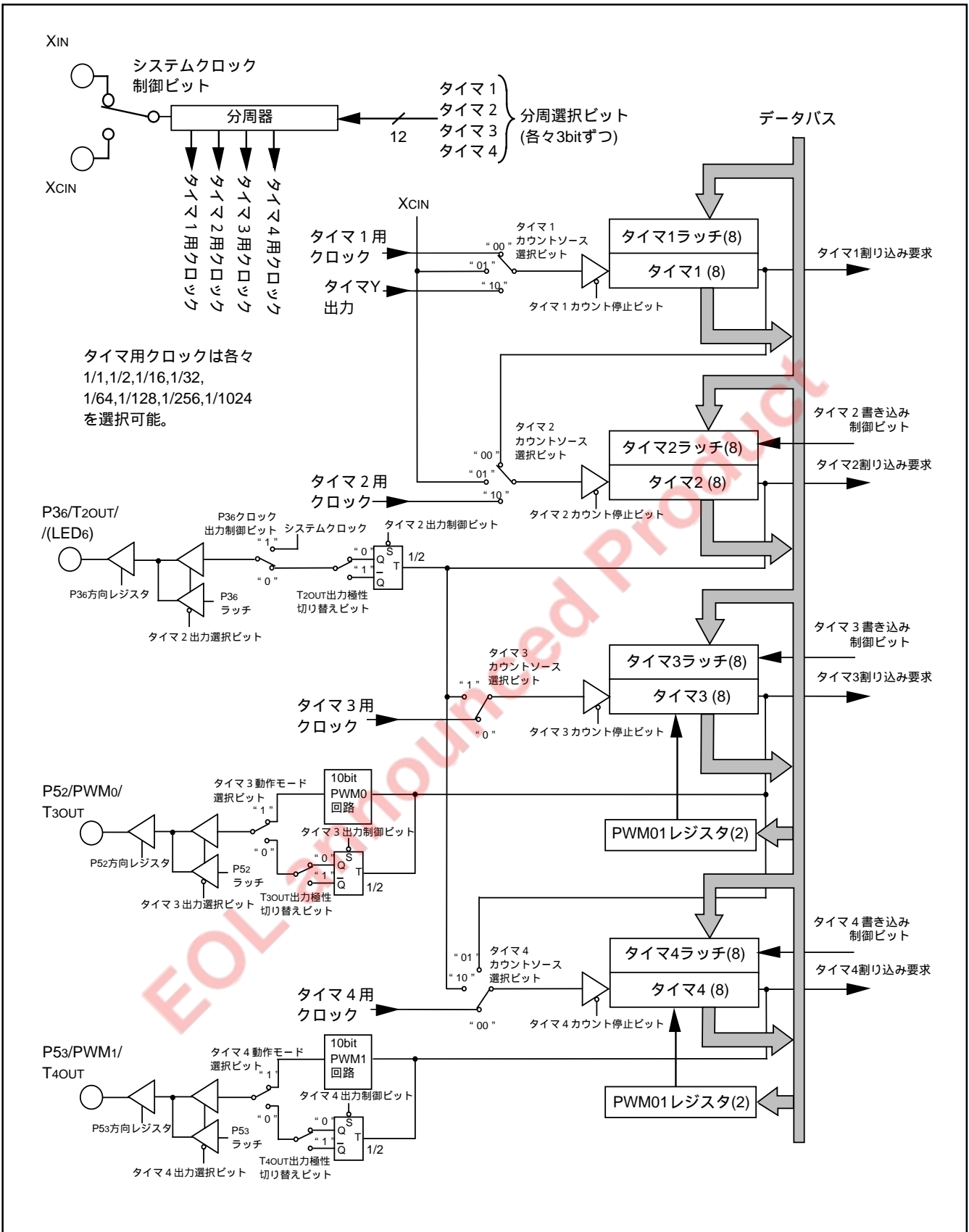


図20 . タイマ1234のブロック図

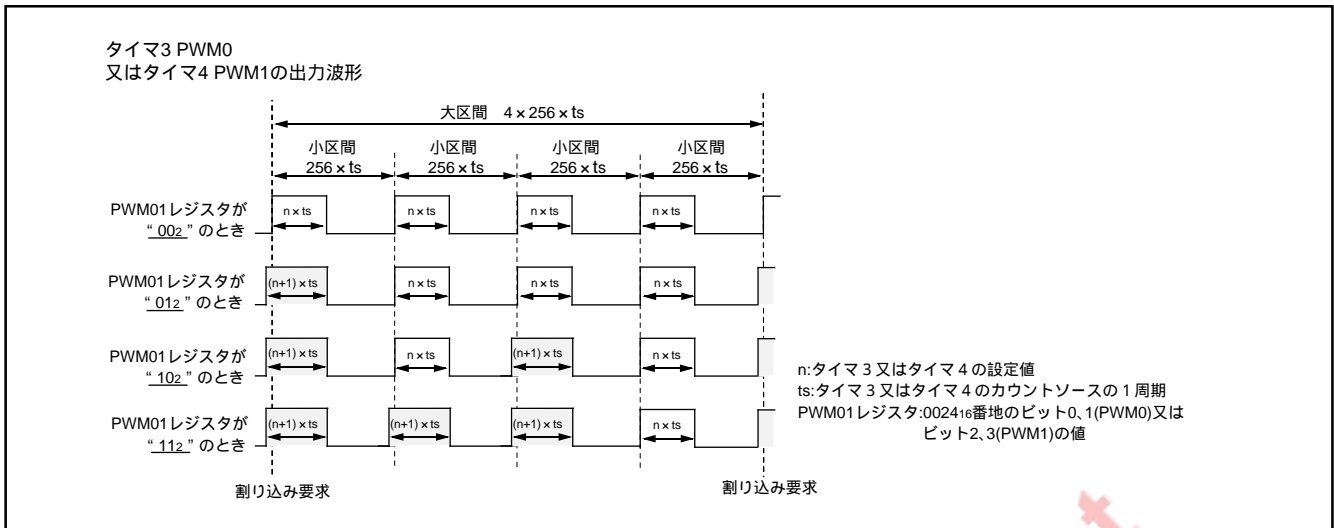


図21 . PWM0及びPWM1波形図

16ビットタイマ

タイマ用分周器

タイマX、タイマYはカウントソース用の分周器を持っています。分周器のカウントソースはCPUモードレジスタにより、XINかXCINが切り替わります。分周比はそれぞれのタイマ分周比選択ビットによって、f(XIN)又はf(XCIN)のそれぞれ1/1、1/2、1/16、1/32、1/64、1/128、1/256、1/1024から選択できます。

タイマX

タイマXはタイマXモードレジスタを設定することにより、カウントソースを選択することができます。カウントソースにf(XCIN)を選択した場合、XCINの発振によらずカウントできます。ただし、XCINが停止している場合は、XCIN端子から入力される外部パルスをカウントします。

タイマXはカウントダウン方式で、タイマの内容が0000₁₆になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローするとタイマXに対応する割り込み要求ビットが1にセットされます。

タイマXはタイマXモードレジスタ、タイマX制御レジスタにより6つの動作モードを選択することができます。

(1)タイマモード

タイマXモードレジスタを設定することにより、カウントソースを選択することができます。このモードは、タイマXレジスタ(拡張)を設定すれば、18ビットのカウンタとして動作します。

(2)パルス出力モード

タイマがアンダフローするたびに極性の反転するパルスをTxOUT端子より出力することを除けば、タイマモードと同じ動作をします。このモードではTxOUT端子と共用のポートを出力に設定してください。

(3)IGBT出力モード

TxOUT端子よりダミー出力後、INT0端子からの入力をトリガとしてカウントを開始します。タイマX出力極性切り替えビットが0の場合、トリガ発生を検出したとき、又はタイマXがアンダフローしたとき、TxOUT端子から“H”を出力します。その後、タイマXのカウント値がコンペアレジスタの値と一致したとき、TxOUT出力は“L”となります。

INT0信号はノイズフィルタ(サンプリングクロックにて連続4度同一レベルである場合、信号と判定)にてノイズ成分を除去後、遅延回路にて4種類の遅延時間を選択することができます。

このモードではINT0端子と共用のポートを入力に設定し、TxOUT端子と共用のポートを出力に設定してください。

タイマX制御レジスタのタイマX出力制御ビット1又は2を1にセットすると、INT1又はINT2の割り込み信号でタイマXカウント停止ビットを強制的に1に固定し、タイマXのカウントを停止すると同時に、TxOUT端子の出力を強制的に“L”出力にすることができます。

IGBT出力モードを使用するときは、タイマXレジスタ(拡張)に“1”を書き込まないでください。

(4)PWMモード

IGBT用ダミー出力、INT0端子による外部トリガ、及びINT1、INT2端子による出力制御を使用しないことを除けば、IGBT出力モードと同じ動作をします。PWM波形の周期は、タイマXの設定値によって決定されます。タイマX出力極性切り替えビットが0の場合、“H”期間は、コンペアレジスタの設定値によって決定されます。このモードではTxOUT端子と共用のポートを出力に設定してください。

PWMモードを使用するときは、タイマXレジスタ(拡張)に“1”を書き込まないでください。

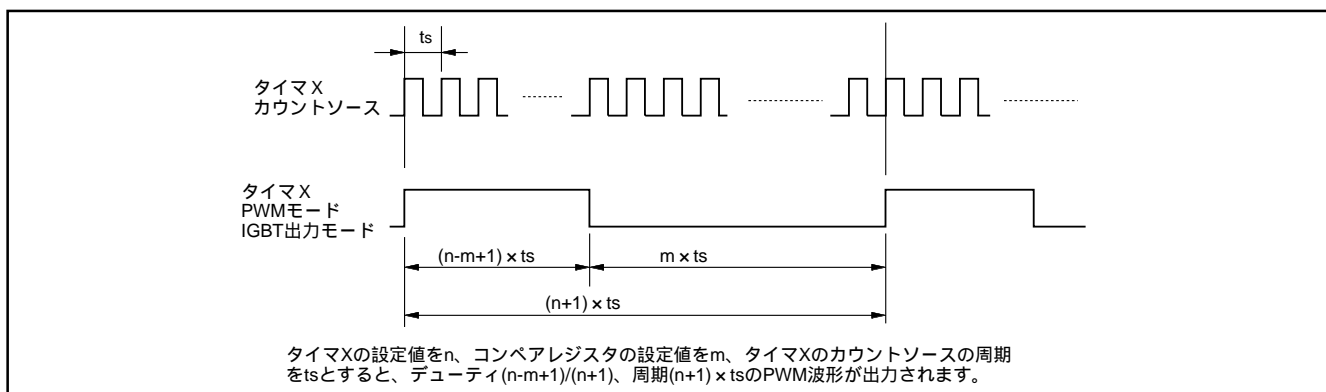


図22 . IGBT/PWM波形図

(5) イベントカウンタモード

CNTR0端子からの入力をカウントします。このモードは、タイマXレジスタ(拡張)を設定すれば、18ビットのカンタとして動作します。このモードではCNTR0端子と共用のポートを入力に設定してください。

このモードではタイマ1のアンダフローでウインド制御できません。イベントカウンタウインド制御用データビットを“1”に設定すると、次のタイマ1のアンダフローでカウントを停止し、“0”に設定すると、次のタイマ1のアンダフローでカウントを再開します。

(6) パルス幅測定モード

カウントソースはタイマ用分周器の出力です。このモードは、タイマXレジスタ(拡張)を設定すれば、18ビットのカンタとして動作します。CNTR0極性切り替えビットのビット6が“0”の場合はCNTR0端子の入力が“H”の期間カウントします。“1”の場合はCNTR0端子の入力が“L”の期間カウントします。このモードではCNTR0端子と共用のポートを入力に設定してください。

注意事項

(1) タイマX書き込み順序について

- ・ タイマモード、パルス出力モード、イベントカウンタモード、又はパルス幅測定モード設定時は、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で書き込みを行ってください。なお、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)のいずれかのみ書き込みはできません。

上記モードの設定時に、16ビットカンタとして動作させる場合、リセット解除後一度もタイマXレジスタ(拡張)を設定していなければ、タイマXレジスタ(拡張)を設定する必要はありません。その場合の設定は、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で行ってください。ただし、一度タイマXレジスタ(拡張)に書き込むとリロード用ラッチに値が保持されるので、注意してください。

- ・ PWMモード、IGBT出力モードの設定時は、タイマXレジスタ

(拡張)には“1”を書き込まないでください。また、すでに“1”が書き込まれた状態の場合は、必ず“0”を書き込んでから使用してください。書き込むときはコンペアレジスタ(上位、下位)、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で行ってください。コンペアレジスタは上位、下位のどちらが先でも構いません。なお、コンペアレジスタ、タイマXレジスタは必ず同時に書き込んでください。

(2) タイマX読み出し順序について

- ・ 各モードともタイマXレジスタ(拡張)、タイマXレジスタ(上位)、タイマXレジスタ(下位)の順で読み出してください。タイマXレジスタ(拡張)を読み出す必要のないときは、タイマXレジスタ(上位)、タイマXレジスタ(下位)の順で読み出してください。コンペアレジスタについては読み出しの順序は決まっています。
- ・ タイマXレジスタは書き込み操作中に読み出ししたり、読み出し操作中に書き込みを行うと正常な動作を行いません。

(3) タイマXの書き込みについて

- ・ タイマXはタイマXモードレジスタ(2F16番地)のタイマX書き込み制御ビット(b3)によってラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。ラッチのみ書き込みの場合、タイマXのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチ及びタイマ同時書き込みになっており、タイマXのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。なお、ラッチのみ書き込みの場合、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、上位側リロード用ラッチへの書き込み動作中はカウントが停止します。
- ・ タイマカウント中にタイマカウントソースを切り替えしないでください。タイマカウントソースを切り替える際は、タイマカウントを停止させてから行ってください。

(4) タイマXモードレジスタ設定について

- ・PWMモード、IGBT出力モード設定時は、タイマXモードレジスタの書き込み制御ビットは、必ず「1(ラッチのみ書き込み)」に設定してください。タイマXレジスタ(上位)の書き込み後、次のアンダフローのタイミングで両レジスタの内容が同時に出力波形に反映されます。

(5) タイマX出力制御機能について

IGBT出力モード設定時、出力制御機能(INT1, INT2)を使用する場合、IGBT出力モードに切り替える前にINT1, INT2のレベルを立ち下がりエッジアクティブの場合は「H」、立ち上がりエッジアクティブの場合は「L」にしてください。

(6) CNTR0割り込み極性切り替えについての注意

- ・CNTR0割り込み極性切り替えビットの設定により、同時に割り込み極性も影響を受けます。
- ・パルス幅測定時は、CNTR0極性切り替えビットのビット7を「0」に設定してください。

タイマY

タイマYは16ビットタイマです。タイマYはタイマYモードレジスタを設定することにより、カウントソースを選択することができます。カウントソースにf(XCIN)を選択した場合、XCINの発振によらずカウントできます。ただし、XCINが停止している場合は、XCIN端子から入力される外部パルスのカウントします。タイマYは、タイマYモードレジスタにより4つの動作モードを選択することができます。またリアルタイムポート制御ができます。

(1) タイマモード

タイマYモードレジスタを設定することにより、カウントソースを設定することができます。

(2) 周期測定モード

CNTR1端子入力の立ち上がり又は立ち下がりで割り込み要求が発生し、タイマラッチの内容を再びタイマにロードしてカウントを続けることを除けば、タイマモードと同じ動作をします。CNTR1端子入力の立ち上がり又は立ち下がり時の再ロード直前のタイマ値は、再ロード後1度読み出されるまで保持されます。なお、CNTR1端子入力の立ち上がり又は立ち下がりタイミングはCNTR1割り込みで知ることができます。このモードではCNTR1端子と共用のポートを入力に設定してください。

(3) イベントカウンタモード

CNTR1端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではCNTR1端子と共用のポートを入力に設定してください。

(4) パルス幅HL連続測定モード

CNTR1端子入力の立ち上がり、立ち下がりとも割り込み要求が発生することを除けば、周期測定モードと同じ動作をします。このモードではCNTR1端子と共用のポートを入力に設定してください。

CNTR1割り込み極性切り替えについての注意

CNTR1極性切り替えビットの設定により、同時に割り込みのアクティブエッジも影響を受けます。ただし、パルス幅HL連続測定モードの場合はCNTR1極性切り替えビットの設定によらず、端子の立ち上がり、立ち下がりともにCNTR1割り込み要求が発生します。

タイマYの読み出し及び書き込みについて

- ・タイマYに読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。値を読み出す場合は上位バイト、下位バイトの順に読み出し、値を書き込む場合は下位バイト、上位バイトの順に書き込んでください。なお、書き込み操作中に読み出したり、読み出し操作中に書き込みを行うと正常な動作を行いません。
- ・ラッチのみ書き込みの場合、タイマYのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。通常はラッチ及びタイマ同時書き込みになっており、タイマYのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。
- ・なお、ラッチのみ書き込みの場合、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、上位側リロード用ラッチへの書き込み動作中はカウントが停止します。
- ・タイマカウント中にタイマカウントソースを切り替えしないでください。タイマカウントソースを切り替える際は、タイマカウントを停止させてから行ってください。

リアルタイムポート制御

リアルタイムポート機能有効時はタイマYがアンダフローするたびにリアルタイムポート用データがそれぞれポートP47、P46から出力されます。(ただし、リアルタイムポート用データを設定した後、リアルタイムポート制御ビットを「0」から「1」に変えたときには、タイマYの動作に関わらずデータが出力されます。)リアルタイムポート機能有効時にリアルタイムポート用データを変更すると、次のタイマYのアンダフローで変更された値が出力されます。

この機能を利用するときは対応するポートの方向レジスタを出力に設定してください。

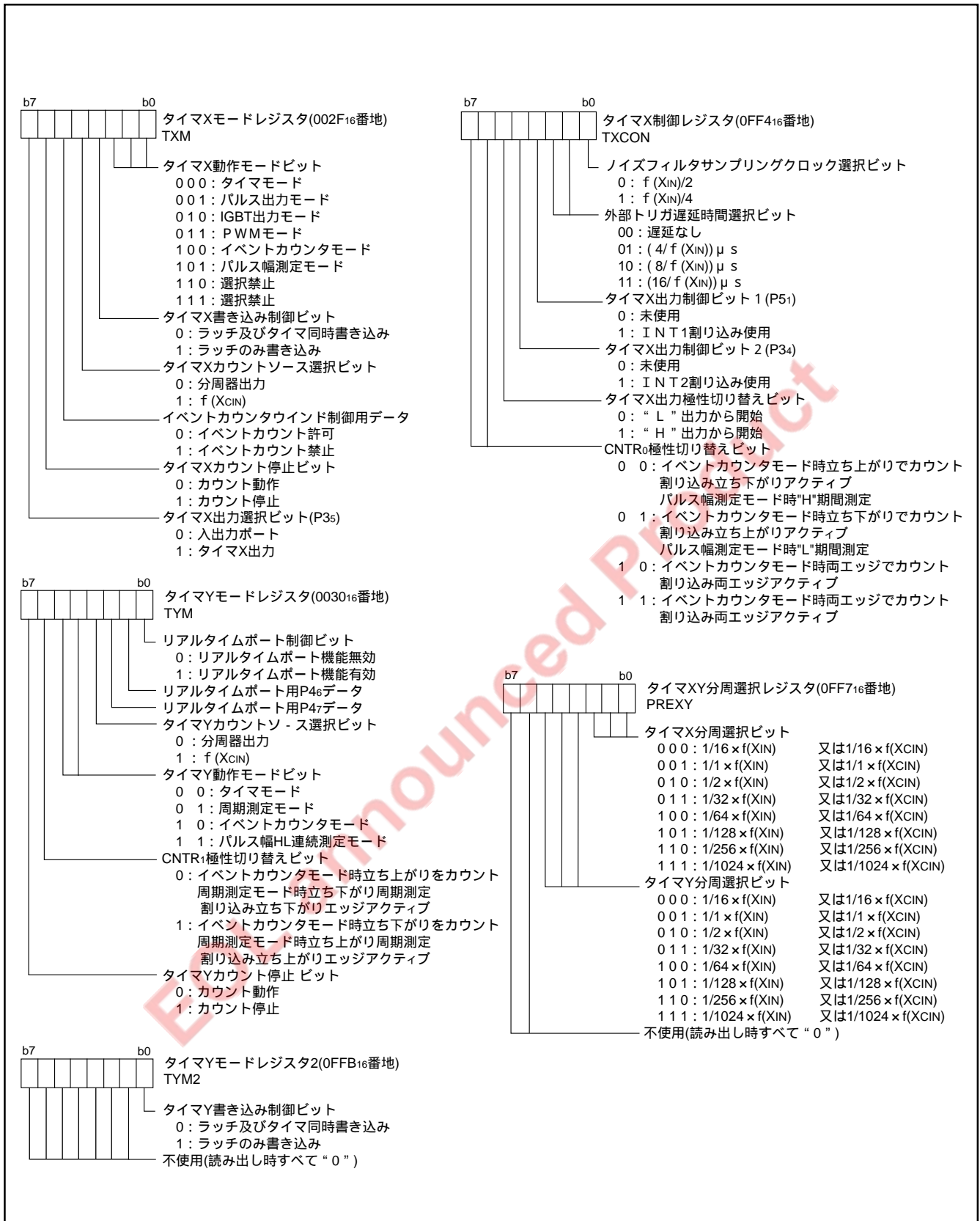


図23 . タイマX、Y関連レジスタの構成

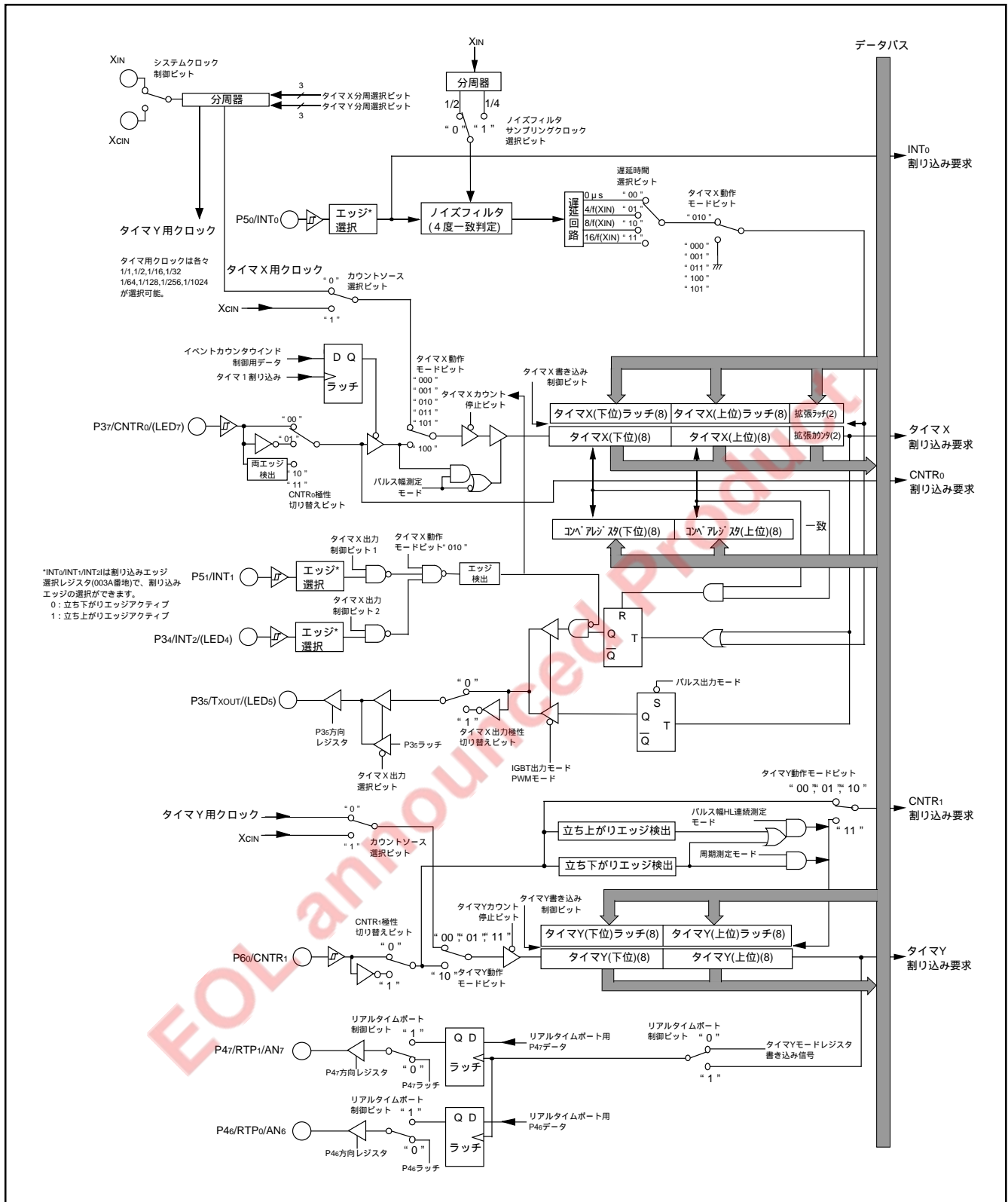


図24. タイマX、Yのブロック図

シリアルI/O

シリアルI/O

38C2グループは8ビットのシリアルI/Oを2本内蔵しています。

シリアルI/Oはクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O制御レジスタのモード選択ビットを「1」にすることで、クロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

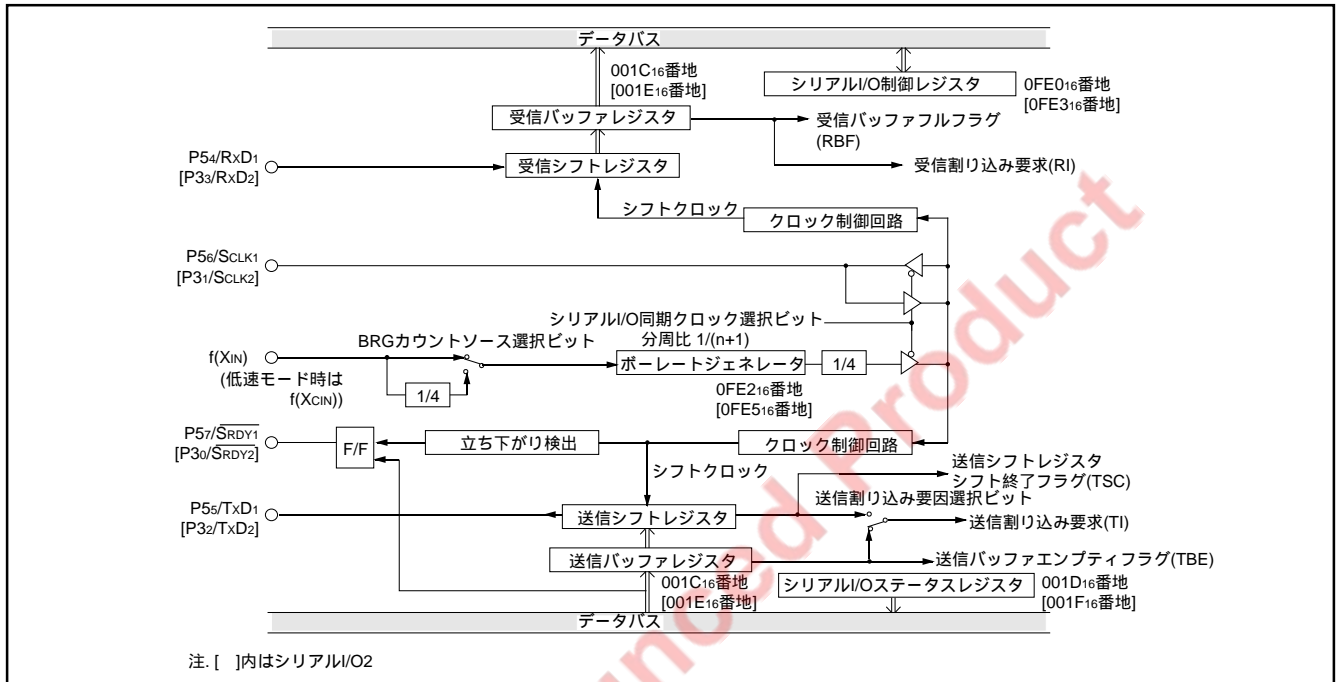


図25 . クロック同期形シリアルI/Oのブロック図

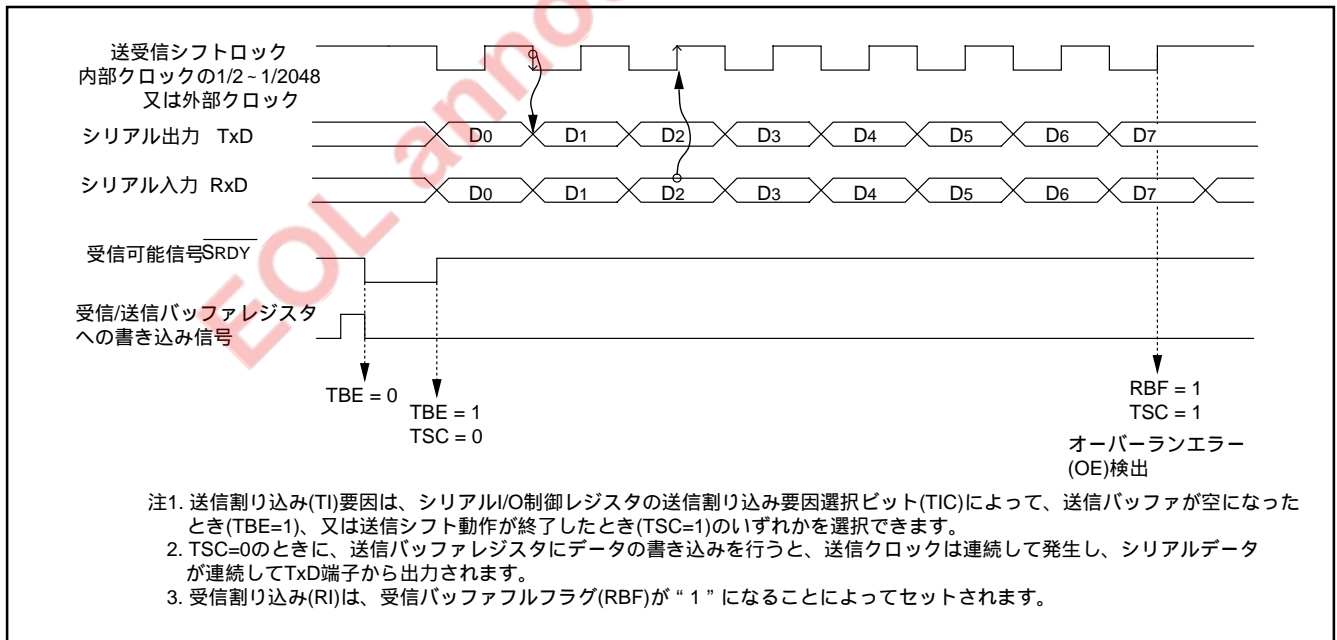


図26 . クロック同期形シリアルI/O動作図

(2) 非同期形シリアルI/O(UART)モード

シリアルI/O制御レジスタのモード選択ビットを'0'にすることによってUARTが選択されます。

38C2グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

38C2グループはシリアルデータの送信、受信を行う送信シフト

レジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

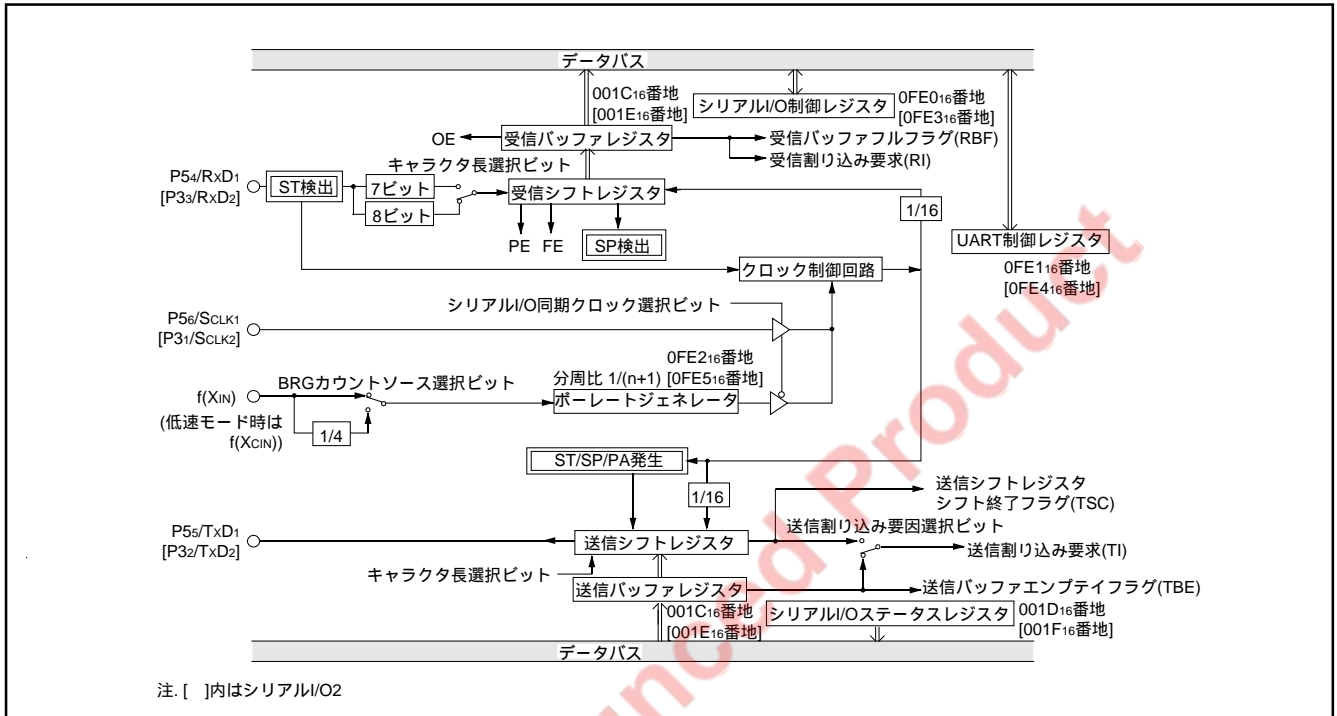


図27. UART形シリアルI/Oのブロック図

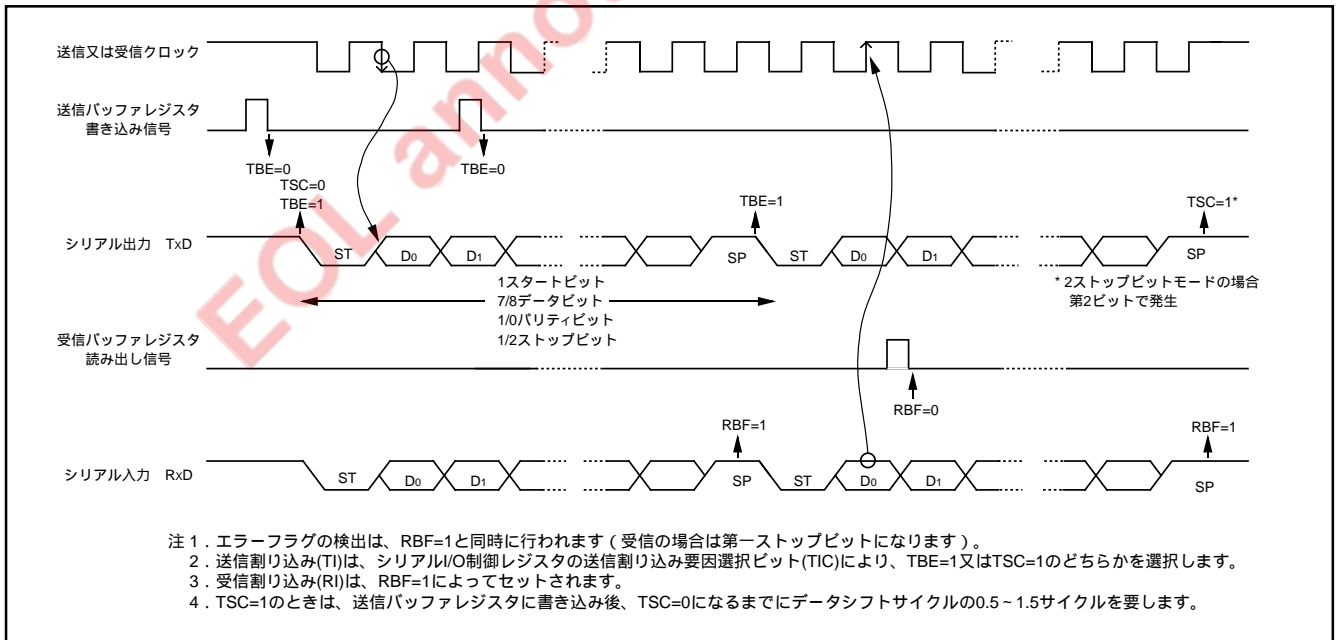


図28. UART形シリアルI/O動作図

【送信バッファレジスタ/受信バッファレジスタ】 TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/Oステータスレジスタ】 SIO1STS,SIO2STS

シリアルI/Oの動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/Oステータスレジスタへの書き込みで、すべてのエラーフラグ(OE PE FE SE)がクリアされます。また、シリアルI/O許可ビット(SIOE)に“0”を書き込むと、エラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのすべてのビットはリセット時“0”に初期化されますが、シリアルI/O制御レジスタの送信許可ビットを“1”にしたとき、ビット2とビット0は“1”になります。

【シリアルI/O制御レジスタ】 SIO1CON,SIO2CON

シリアルI/O制御レジスタはシリアルI/Oの各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】 UART1CON,UART2CON

UART選択時に有効な4ビットの制御ビットと、常に有効な1ビットの制御ビットにより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P55/TxD1[P32/TxD2]端子の出力形式などを設定します。

【ボーレートジェネレータ】 BRG1,BRG2

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

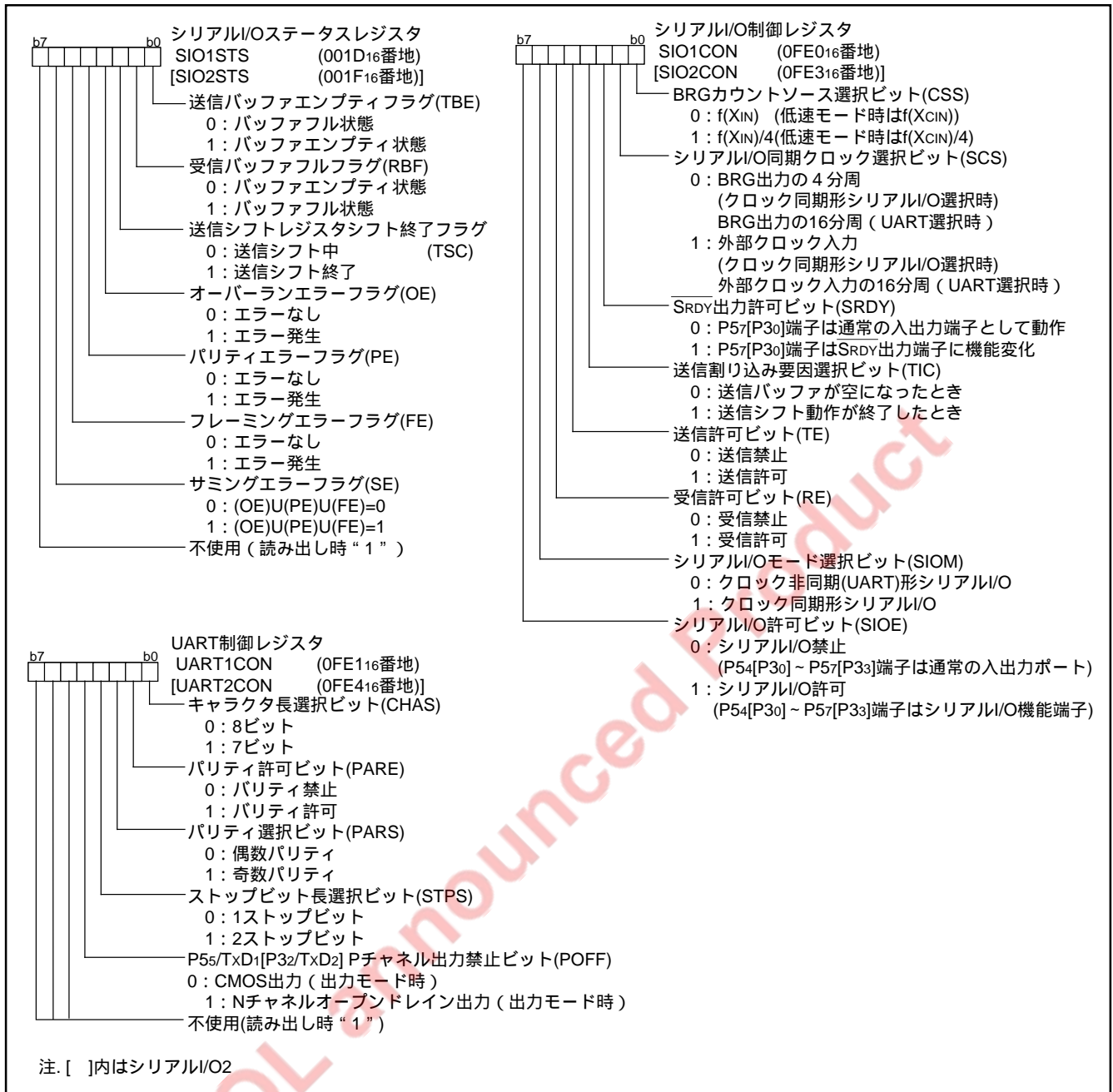


図29 . シリアルI/O関係レジスタの構成

注意事項

シリアルI/Oの送信許可ビットを"1"にしたとき、シリアルI/O送信割り込み要求ビットが"1"になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

- ①シリアルI/O送信割り込み許可ビットを"0" (禁止)にする。
- ②送信許可ビットを"1"にする。
- ③一命令以上おいてから、シリアルI/O送信割り込み要求ビットを"0"にする。
- ④シリアルI/O送信割り込み許可ビットを"1" (許可)にする。

A-D変換器

38C2グループは、10ビットの逐次比較方式のA-D変換器を持っています。

【A-D変換レジスタ】 ADL,ADH

A-D変換結果が格納されるレジスタで、上位レジスタと下位レジスタがあります。変換結果は上位8ビットがA-D変換レジスタ(上位)(001B16番地)に、下位2ビットがA-D変換レジスタ(下位)(001A16番地)のビット7及びビット6に格納されます。A-D変換中は、このレジスタを読み出さないでください。

また、VREF入力スイッチビット(001A16番地のビット0)により、抵抗ラダーと基準電圧入力端子(VREF)の接続を制御できます。このビットに“1”が書き込まれている場合には、常に抵抗ラダーはVREFに接続されます。“0”が書き込まれていると、A-D変換中以外、抵抗ラダーはVREFから切り離されます。

【A-D制御レジスタ】 ADCON

A-D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。ビット3はA-D変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことによりA-D変換が開始されます。

【比較電圧発生器】

AVSSとVREFの間の電圧を抵抗分割し、分圧を出力します。

【チャンネルセクタ】

ポートP47/AN7～P40/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタに格納します。また、A-D変換終了時にA-D変換終了ビット及びA-D割り込み要求ビットは“1”にセットされます。

コンパレータは容量結合で構成されていますので、A-D変換中はA-Dクロック周波数を250kHz以上にしてください。

また、A-D変換中にSTP命令を実行するとただちにA-D変換が中止され、A-D変換終了ビットに“1”がセットされ、割り込み要求が発生します。

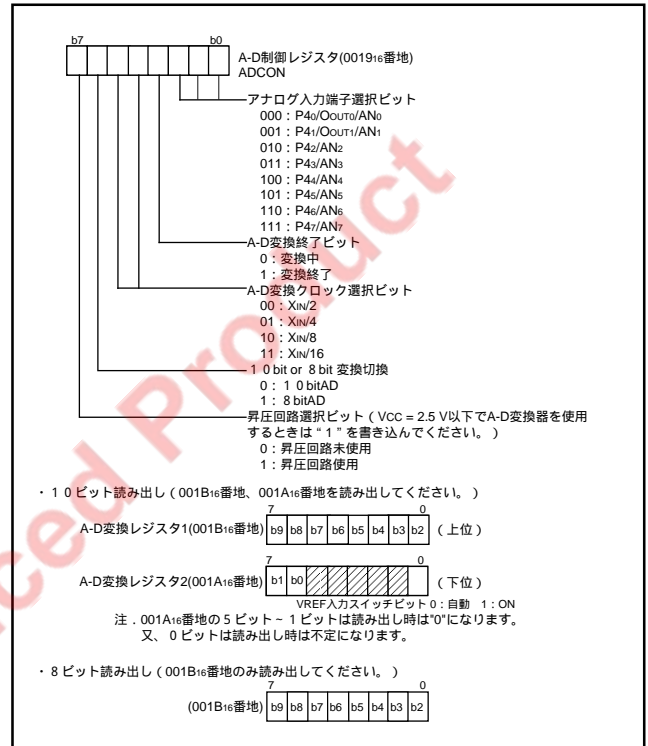


図30 . A-D制御レジスタの構成

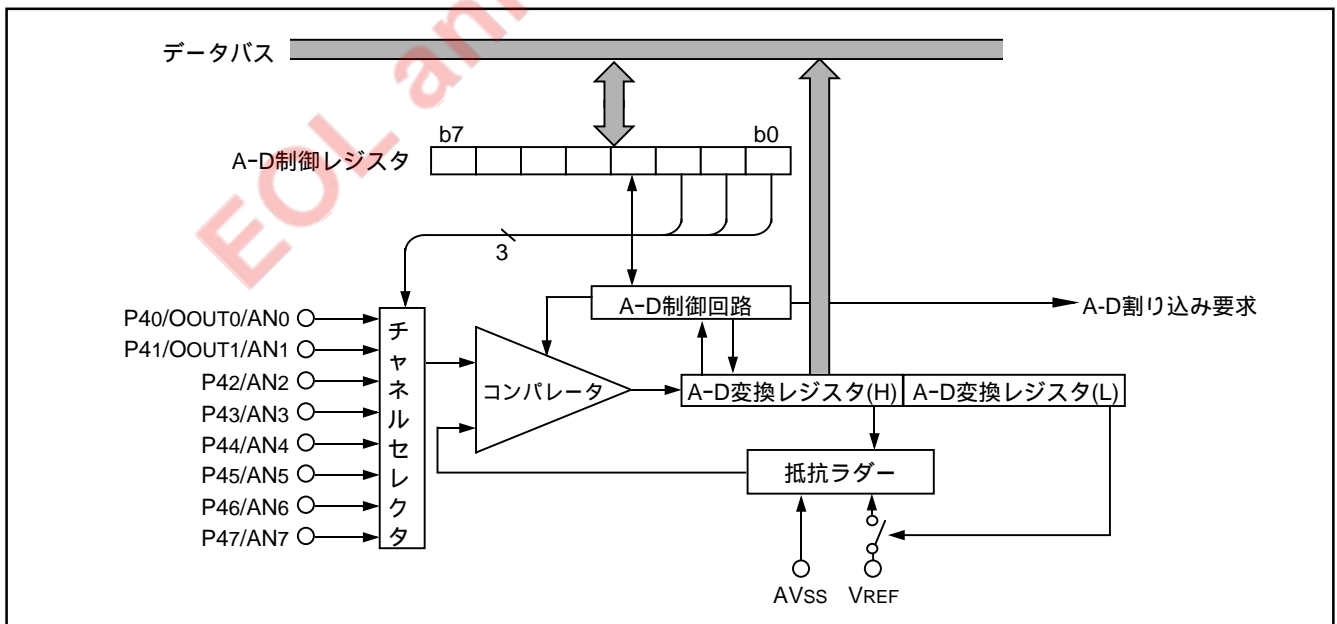


図31 . A-D変換器のブロック図

LCD駆動制御回路

38C2グループはLCD(液晶表示素子)の駆動制御回路を内蔵しています。

LCD駆動制御回路は、

- ・LCD表示用RAM
- ・セグメント出力禁止レジスタ
- ・LCDモードレジスタ
- ・セレクト
- ・タイミングコントローラ
- ・コモンドライバ
- ・セグメントドライバ
- ・バイアス制御回路

によって構成されています。

セグメント出力は最大24本、コモン出力は最大4本使用でき、最大96画素までLCD表示を行うことができます。

LCDモードレジスタ、セグメント出力禁止レジスタ、LCD表示用RAMにデータを設定した後、LCDイネーブルビットを点灯に設定すると、LCD駆動制御回路は自動的に表示データを読み出し、バイアス制御、時分割制御などを行い、LCDパネルへの表示を行います。

表7. 各時分割時の最大表示素子数

時分割数	最大表示素子数
2	48ドット又は8セグメントLCD6桁
3	72ドット又は8セグメントLCD9桁
4	96ドット又は8セグメントLCD12桁

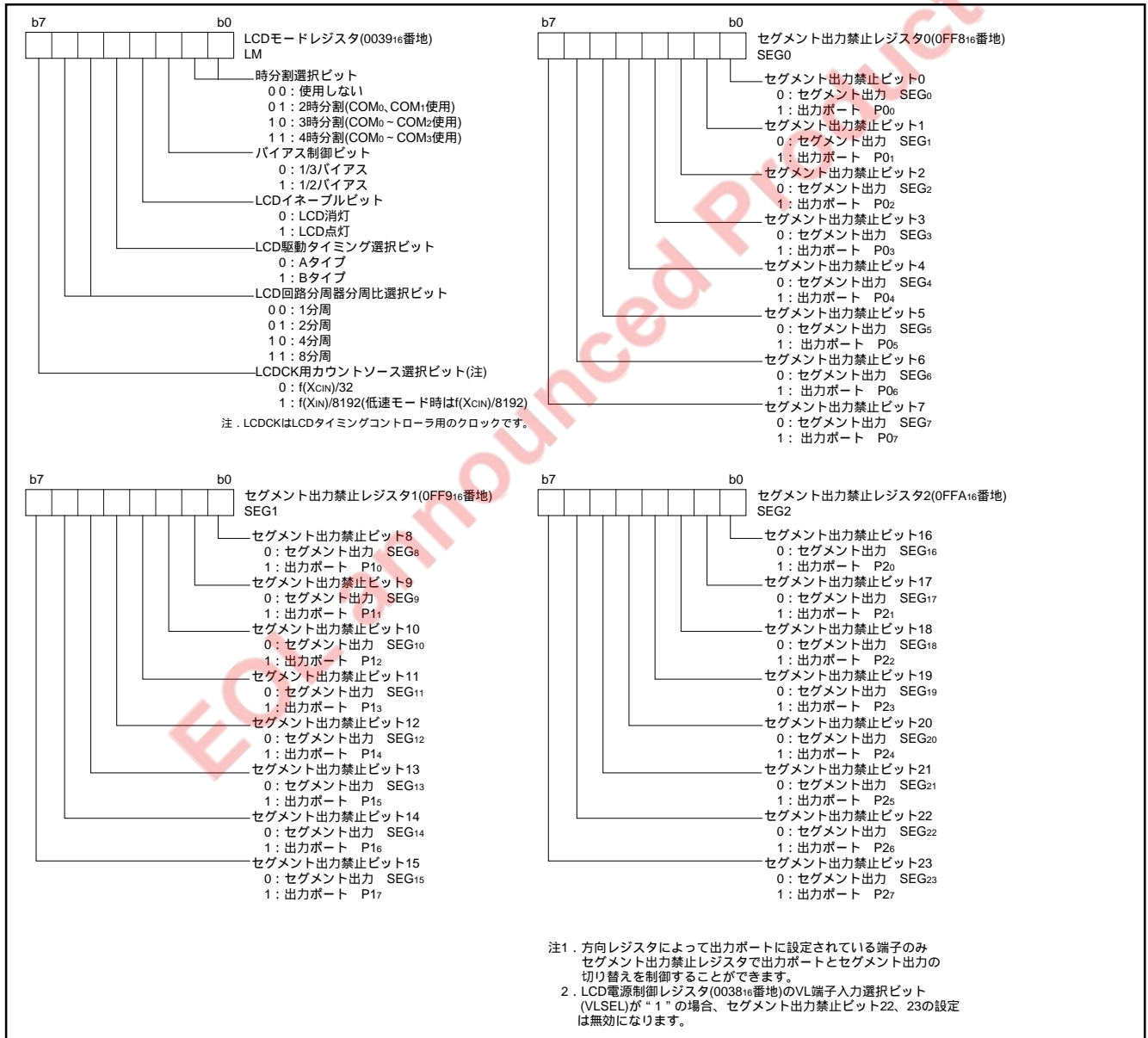


図32. LCD関係レジスタの構成

バイアス制御とLCD用電源入力端子への印加電圧

LCD用電源入力端子(V_{L1} ~ V_{L3})から電圧を印加する場合には、V_L端子入力選択ビット(LCD電源制御レジスタのビット5)及びV_{L3}接続ビット(LCD電源制御レジスタのビット6)を'1'にセットし、バイアス値に従って、表8に示す電圧値を印加してください。その場合は2本のセグメント出力(SEG22, SEG23)は使用できません。

また、バイアス値はバイアス制御ビット(LCDモードレジスタのビット2)で選択してください。

表8 . バイアス制御とV_{L1} ~ V_{L3}への印加電圧

バイアス値	電圧値
1/3バイアス	V _{L3} = V _{LCD} V _{L2} = 2/3 V _{LCD} V _{L1} = 1/3 V _{LCD}
1/2バイアス	V _{L3} = V _{LCD} V _{L2} = V _{L1} = 1/2 V _{LCD}

注 .V_{LCD}はLCDパネルへの供給電圧の最大値

コモン端子と時分割制御

コモン端子(COM₀ ~ COM₃)は、時分割数によって使用する端子が決まっています。時分割数は時分割選択ビット(LCDモードレジスタのビット0、ビット1)で選択してください。リセット解除時コモン端子からV_{CC}の電圧が出力されます。

表9 . 時分割制御と使用コモン端子

時分割数	時分割選択ビット		使用コモン端子名
	ビット1	ビット0	
2	0	1	COM ₀ 、COM ₁
3	1	0	COM ₀ ~ COM ₂
4	1	1	COM ₀ ~ COM ₃

注. 使用しないコモン端子は不選択波形を出力します。

セグメント信号出力端子

セグメント信号出力端子(SEG₀ ~ SEG₂₃)は、ポートP₀ ~ P₂と兼用になっています。これらの端子をセグメント信号出力端子として使用するときは、対応する端子の方向レジスタを'1'にセットし、セグメント出力禁止レジスタを'0'にクリアします。

また、これらの端子はリセット解除後入力ポートに設定され、プルアップ抵抗によりV_{CC}の電圧が出力されます。

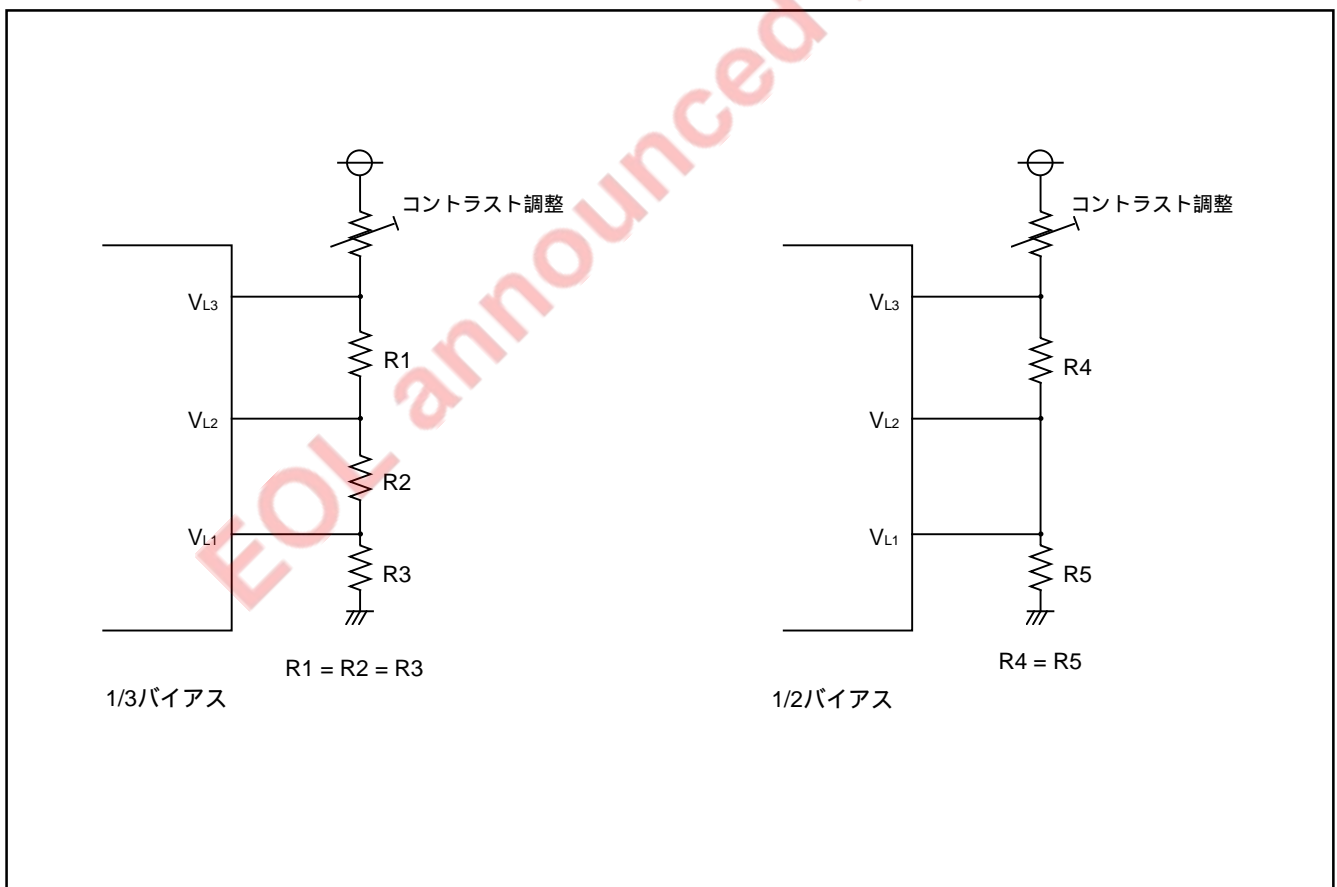


図34 . 各バイアス時の回路例 (外部電源入力時)

LCD電源回路

LCD用電源回路は、ソフトウェアで切り離し可能なLCD電源用分割抵抗を内蔵しています。この内部抵抗の接続選択は、LCD電源制御レジスタで設定を行います。

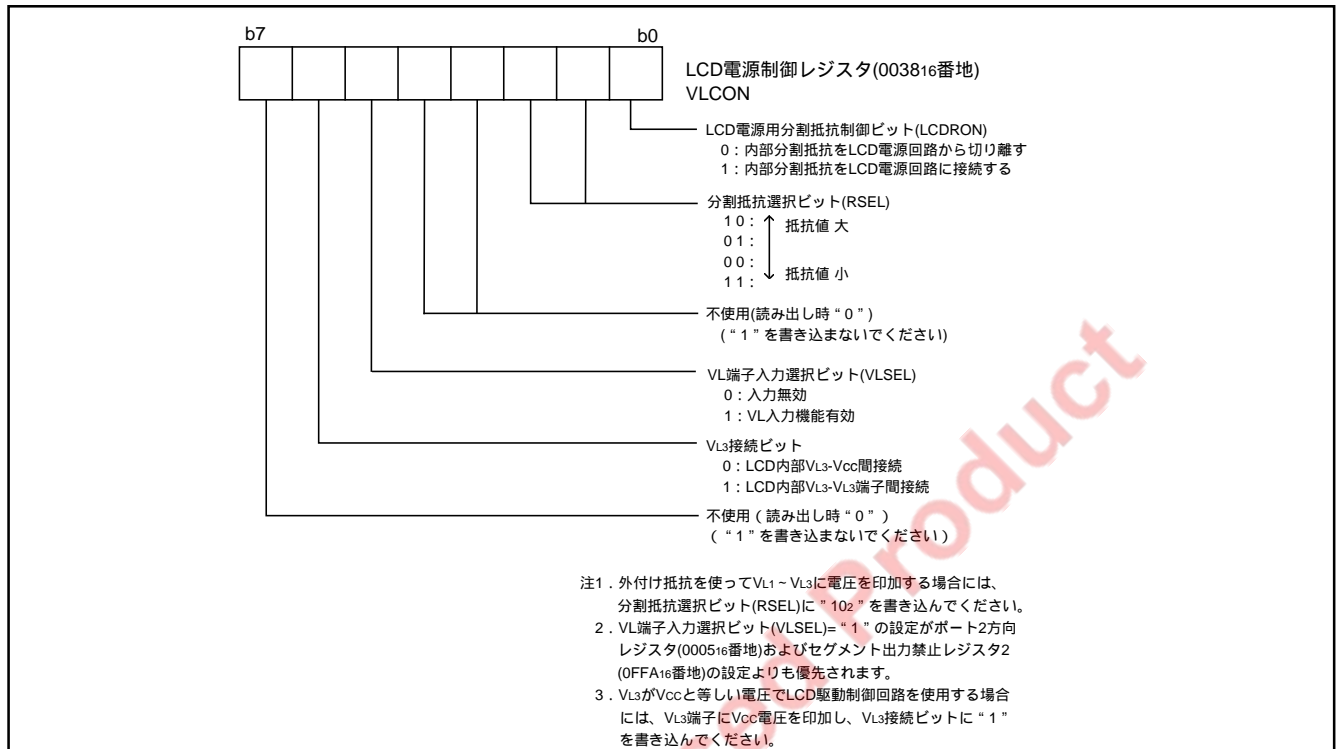


図35. LCD電源制御レジスタの構成

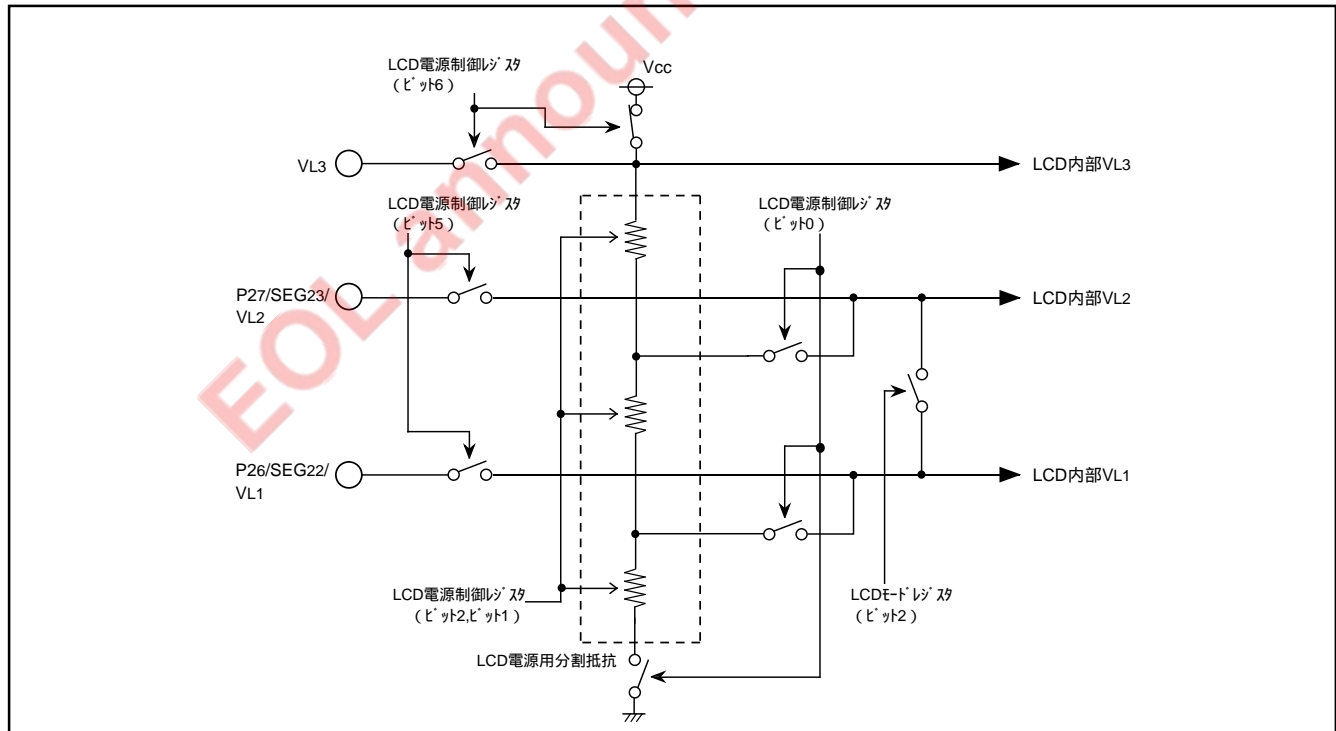


図36. VLブロック図

LCD表示用RAM

0040₁₆番地から004B₁₆番地までの12バイトはLCD表示用RAMです。これらのビットに“1”を書き込むと、LCDパネルの対応するセグメントが点灯します。

LCD駆動タイミング

LCD駆動制御回路はAタイプ、又はBタイプのLCD駆動タイミングを選択できます。

LCD駆動タイミングの選択はタイミング選択ビット(LCDモードレジスタのビット4)により行います。

LCD駆動タイミング選択ビットを“0”に設定するとAタイプ、“1”に設定するとBタイプが選択されます。リセット後の駆動タイミングはAタイプになります。

LCD駆動タイミングを決定する内部信号LCDCKの周波数及びフレーム周波数は次のようになります。

$$f(\text{LCDCK}) = \frac{(\text{LCDCK用カウントソース周波数})}{(\text{LCD用分周器分周比})}$$

$$\text{フレーム周波数} = f(\text{LCDCK})/\text{時分割数}$$

注意事項

- ・ STP命令を実行すると、LCDイネーブルビット(LCDモードレジスタのビット3)及びLCD電源制御レジスタのビット6以外のビットが“0”にクリアされます。
- ・ 外付け抵抗を使ってVL1～VL3に電圧を印加する場合には、LCD電源制御レジスタ(0038₁₆番地)の分割抵抗選択ビット(RSEL)に“10₂”を書き込んでください。
- ・ VL3がVccと等しい電圧でLCD駆動制御回路を使用する場合には、VL3端子にVcc電圧を印加し、LCD電源制御レジスタ(0038₁₆番地)のVL3接続ビットに“1”を書き込んでください。

ビット アドレス	7	6	5	4	3	2	1	0
0040 ₁₆	SEG1			SEG0				
0041 ₁₆	SEG3			SEG2				
0042 ₁₆	SEG5			SEG4				
0043 ₁₆	SEG7			SEG6				
0044 ₁₆	SEG9			SEG8				
0045 ₁₆	SEG11			SEG10				
0046 ₁₆	SEG13			SEG12				
0047 ₁₆	SEG15			SEG14				
0048 ₁₆	SEG17			SEG16				
0049 ₁₆	SEG19			SEG18				
004A ₁₆	SEG21			SEG20				
004B ₁₆	SEG23			SEG22				
	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0

図37 . LCD表示用RAMマップ

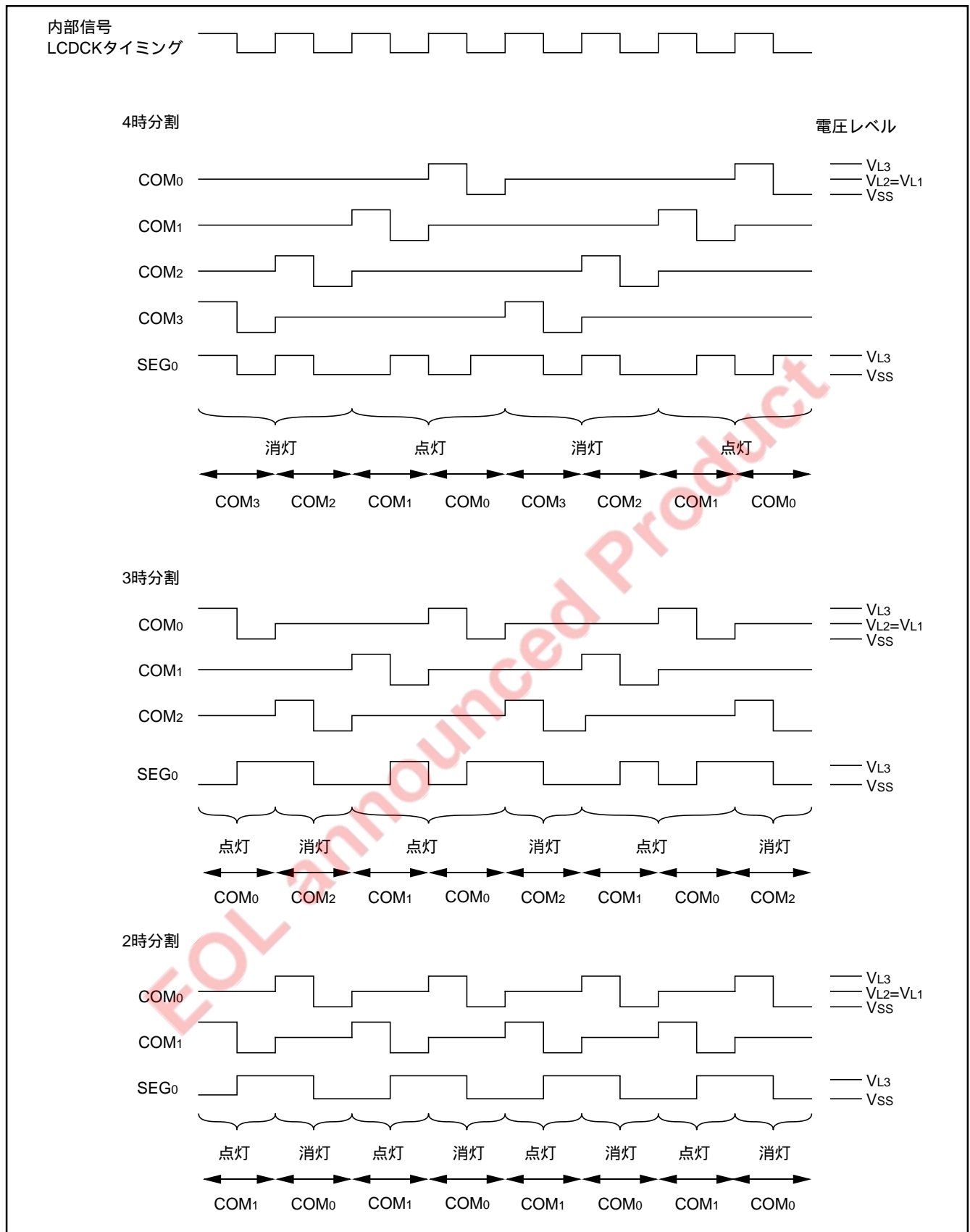


図38 . LCD駆動波形 (1/2バイアスAタイプの場合)

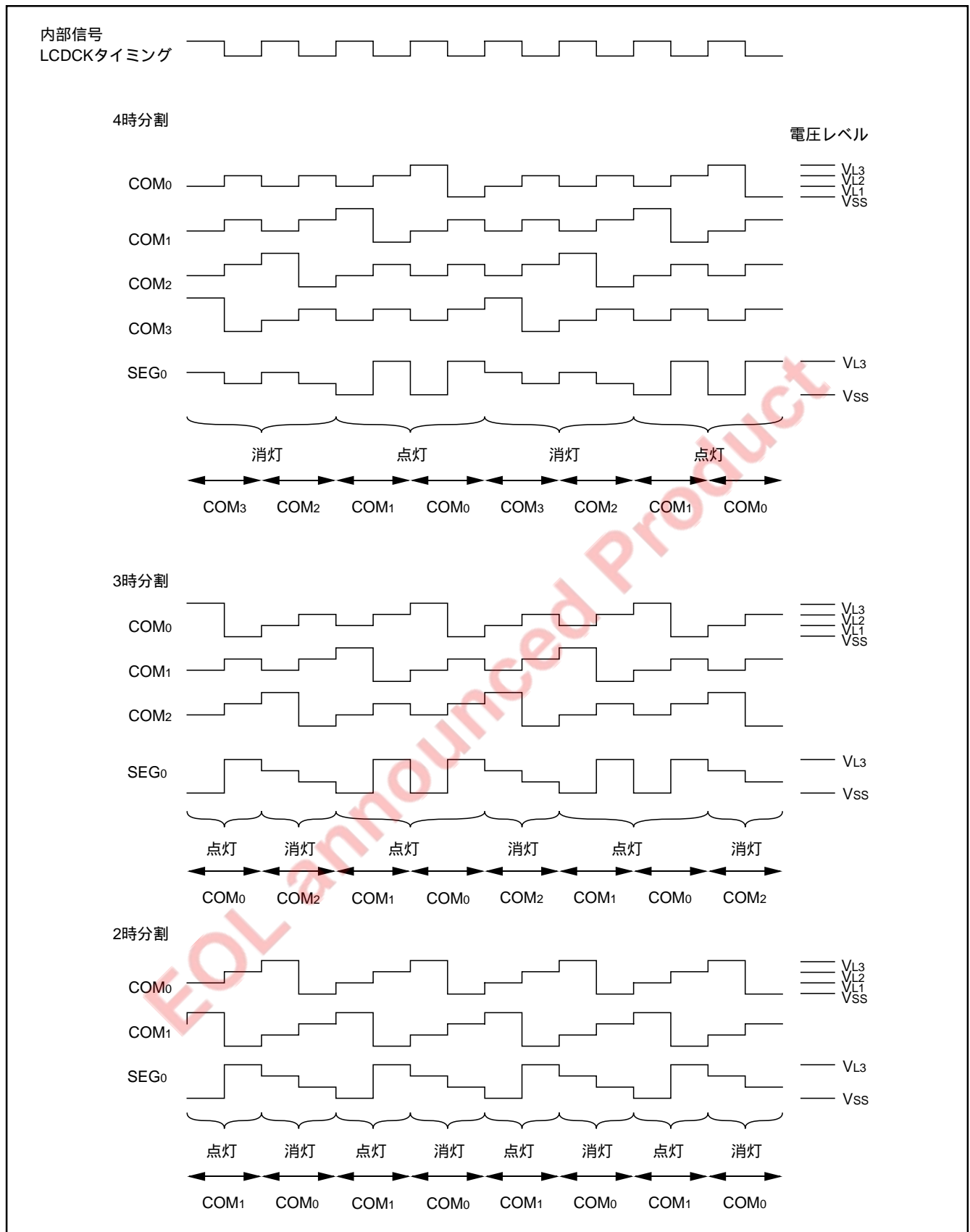


図39 . LCD駆動波形 (1/3バイアスAタイプの場合)

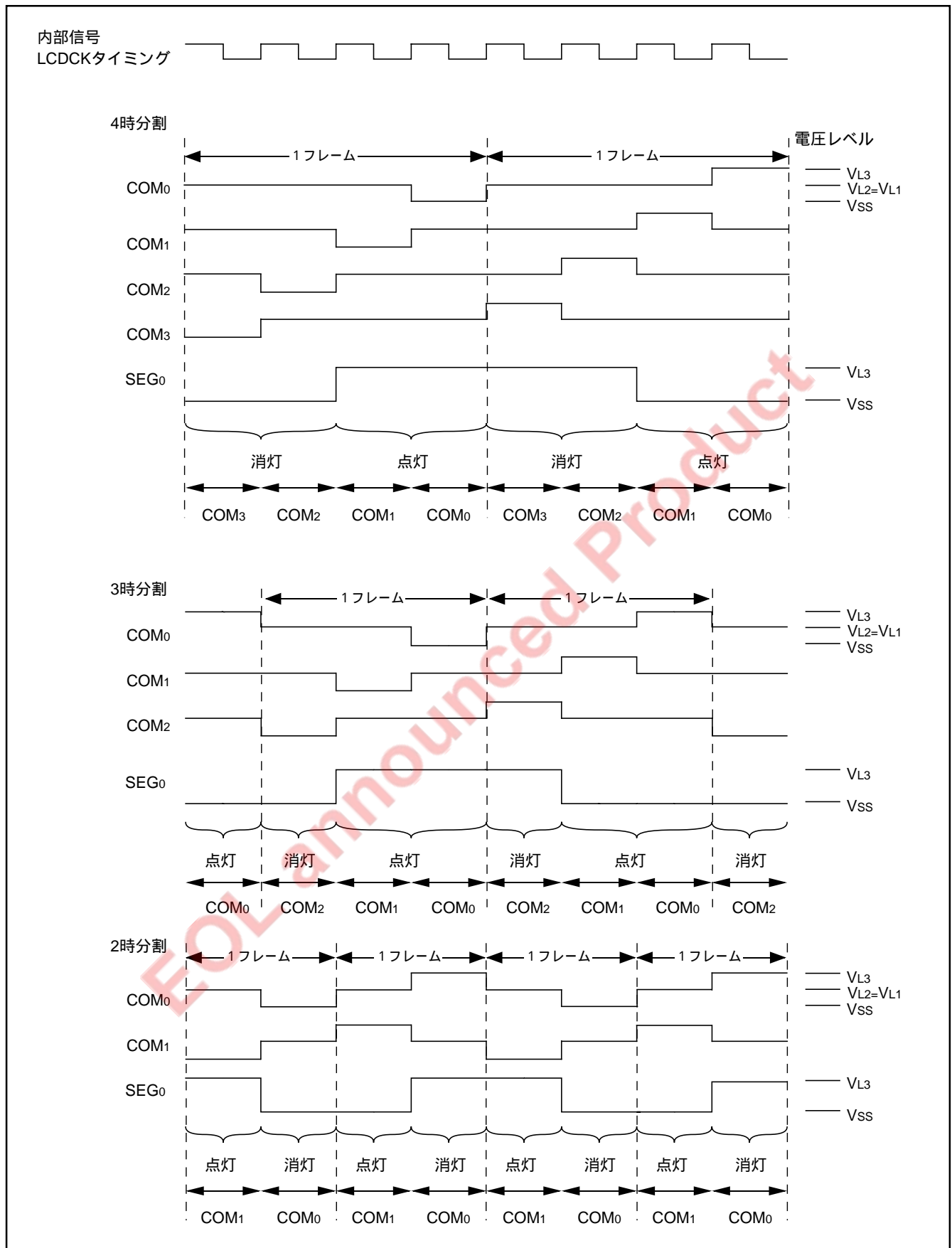


図40 . LCD駆動波形 (1/2バイアスBタイプの場合)

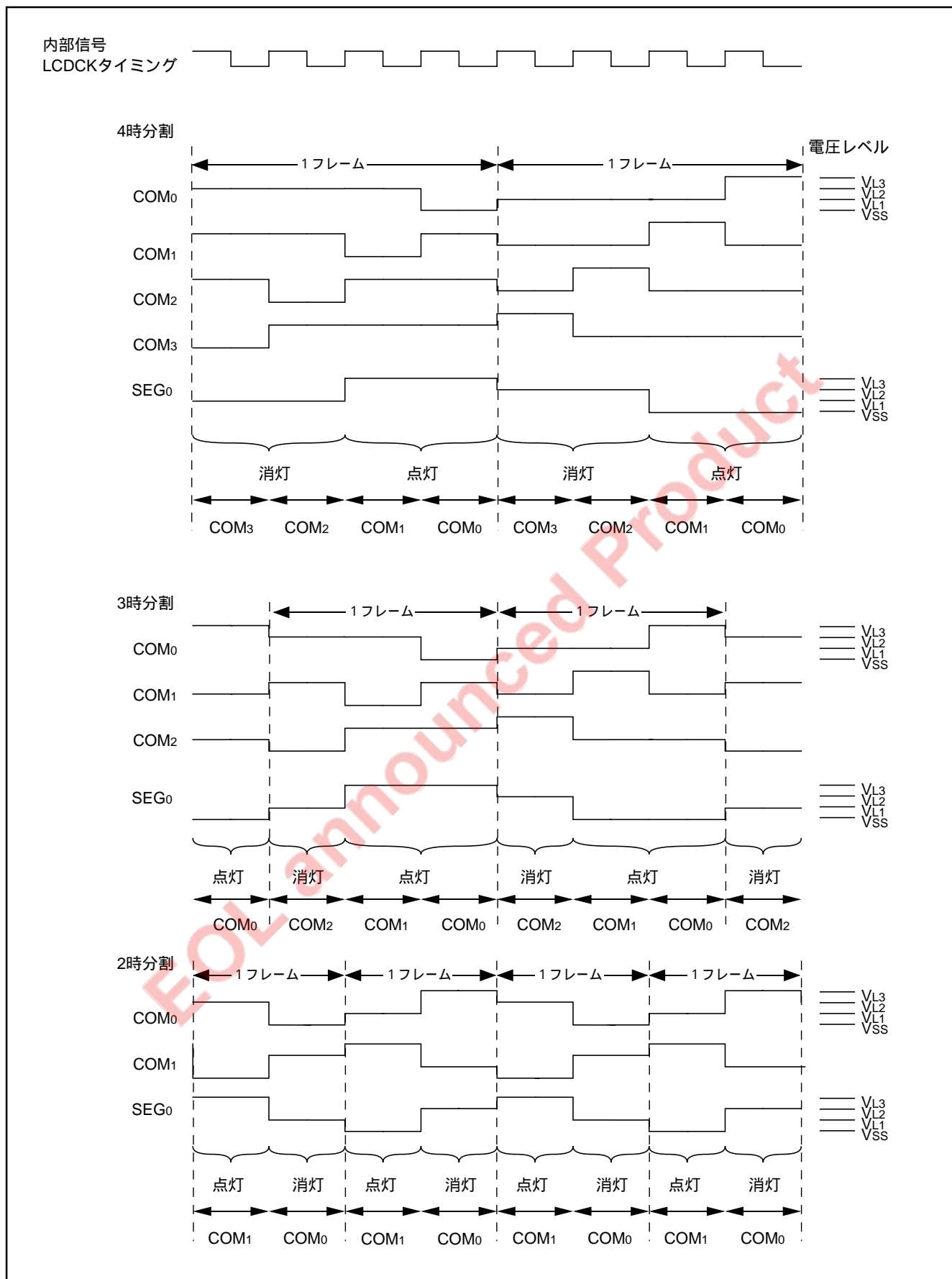


図41 . LCD駆動波形 (1/3バイアスBタイプの場合)

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかつた場合にリセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのカウンタで構成されます。

ウォッチドッグタイマの初期値

リセット時又はウォッチドッグタイマ制御レジスタへの書き込みにより、ウォッチドッグタイマは“FF16”にセットされます。書き込みのための命令はSTA、LDM、CLB等書き込み信号が発生する命令であれば、どんな命令でも使用できます。書き込みデータはビット7とビット6以外は意味がなく、無関係に上記の値がセットされます。

ウォッチドッグタイマの動作

ウォッチドッグタイマはリセット時には停止しており、ウォッチドッグタイマ制御レジスタへの書き込みによりダウンカウントを開始します。ウォッチドッグタイマがアンダフローすると内部リセットが発生し、リセット解除時間を待ってリセットが解除され、リセットベクトル番地からプログラムを実行します。通常はウォッチドッグタイマがアンダフローする前にウォッチドッグタイマ制御レジスタに書き込みを行うようにプログラムを組みます。ウォッチドッグタイ

マ制御レジスタに一度も書き込みを行わなければ、ウォッチドッグタイマは機能しません。

ウォッチドッグタイマ制御レジスタを読み出した場合は、上位6ビットのカウンタとSTP命令禁止ビット(ビット6)の値と、カウントソース選択ビット(ビット7)の値が読み込まれます。STP命令禁止ビットを“0”の状態にしておくと、STP命令は有効です。このビットを“1”に書き換えることによりSTP命令は禁止されます。このときSTP命令が実行されると未定義命令として処理され、内部でリセットが発生します。このビットはプログラミングにより“0”に書き換えることはできません。このビットはリセット直後“0”です。

ウォッチドッグタイマ制御レジスタへの書き込み実行後、ウォッチドッグタイマレジスタがアンダフローするまでの時間を以下に示します。(ウォッチドッグタイマ制御レジスタのビット7が“0”の場合)

- ・2/4/8分周モード時 (f(XIN)=8MHz) …32.768ms
- ・低速モード時 (f(XCIN)=32kHz) …8.19s

注．ストップ解除の待ち時間(タイマ1及びタイマ2で設定した時間)及びウエイトモード時の間もウォッチドッグタイマはカウントしますので、この間にウォッチドッグタイマがアンダフローしないように注意してください。

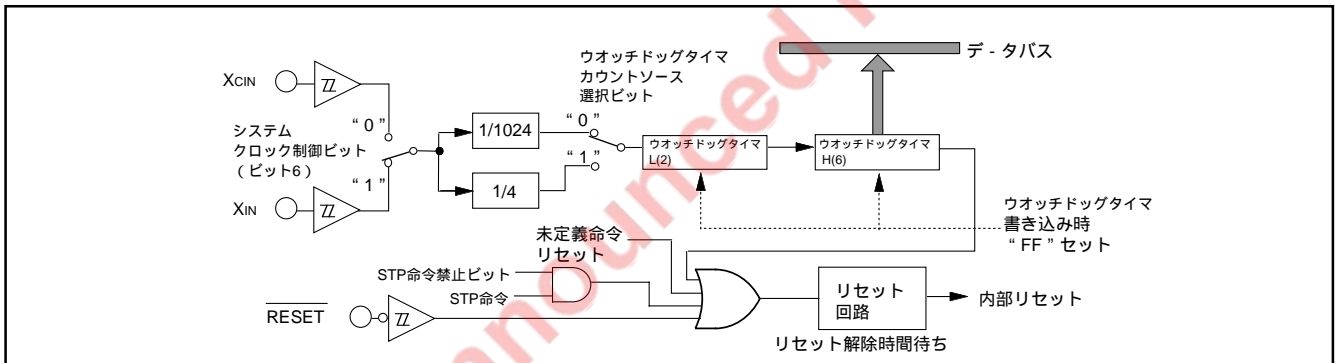


図42．暴走検出機能ブロック図

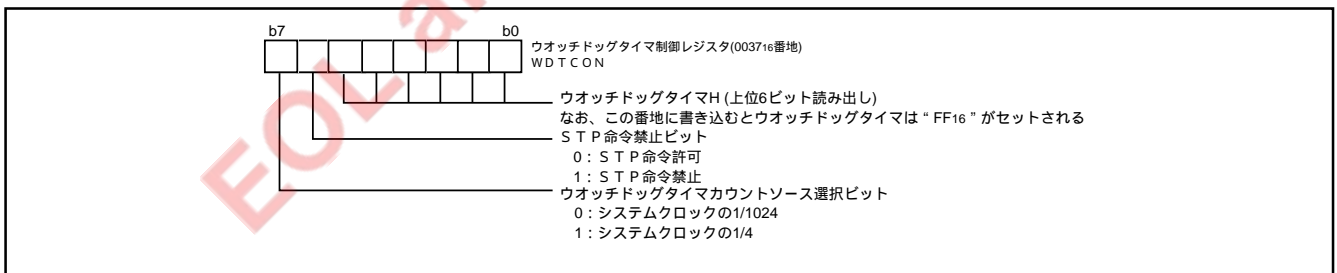


図43．ウォッチドッグタイマ制御レジスタの構成

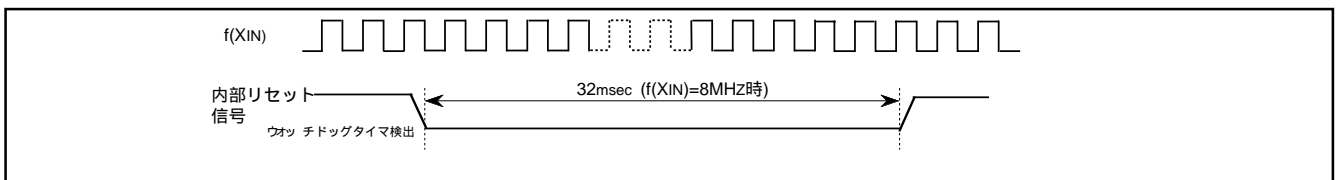


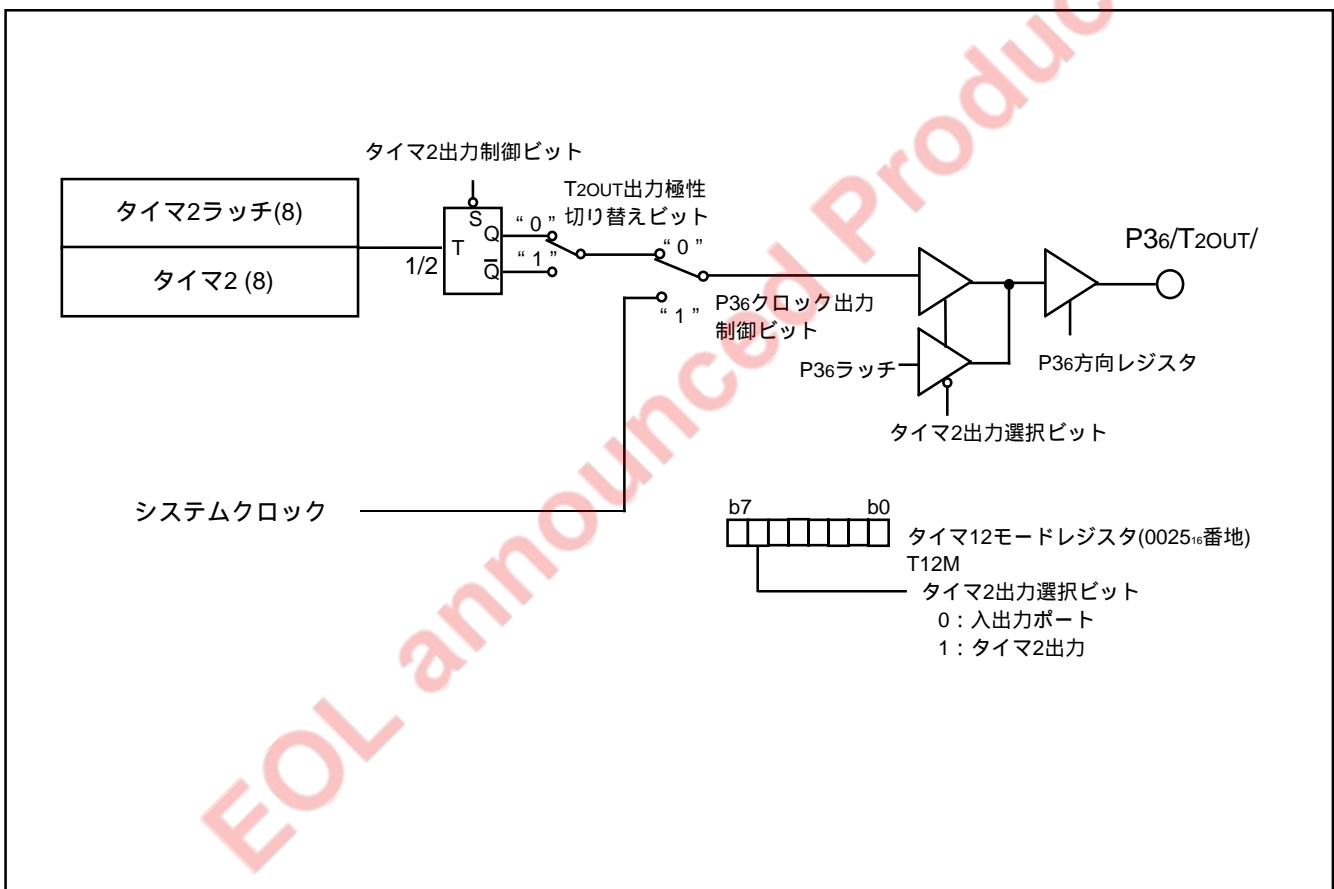
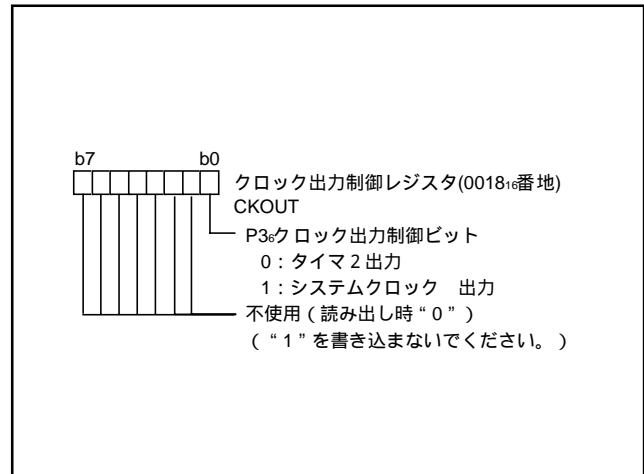
図44．リセット出力のタイミング図

クロック出力機能

入出力ポートP3₆からシステムクロック を出力することができます。クロック出力制御レジスタ(0018₁₆番地)とタイマ12モードレジスタ(0025₁₆番地)のタイマ2出力選択ビット(ビット6)により、入出力ポートとタイマ2出力機能とシステムクロック 出力機能のトリプルファンクション制御を行います。

入出力ポートP3₆からシステムクロック を出力するためには、タイマ2出力選択ビットを“1”に設定し、かつクロック出力制御レジスタのビット0を“1”に設定する必要があります。クロック出力機能を選択した場合、ポートP3₆の方向レジスタが出力に設定されている間クロックが出力されます。

P3₆は、タイマ2出力制御ビットを書き換えた次のサイクルで、ポート出力とポート以外の出力(タイマ2出力、又はクロック出力)が切り替わります。



リセット回路

38C2グループは、電源電圧が $V_{CC}(\text{min.}) \sim 5.5\text{V}$ の範囲にあり、水晶発振子などが安定発振しているとき、 $\overline{\text{RESET}}$ 端子を $2\mu\text{s}$ 以上「L」レベルに保った後「H」レベルに戻すとリセット解除され、 FFFD_{16} 番地の内容を上位アドレス、 FFFC_{16} 番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が $V_{CC}(\text{min.})$ を通過する時点で V_{IL} 規格を満足するようにしてください。

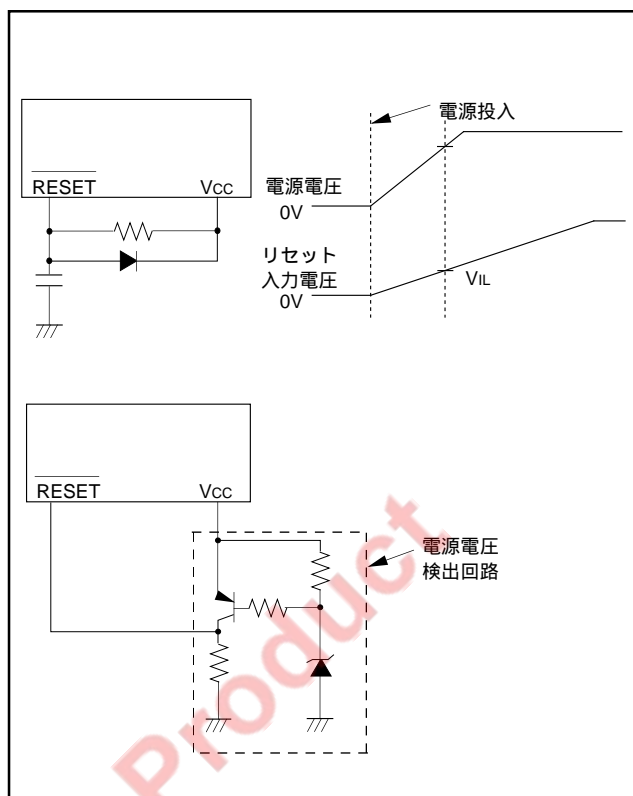


図47. リセット回路例

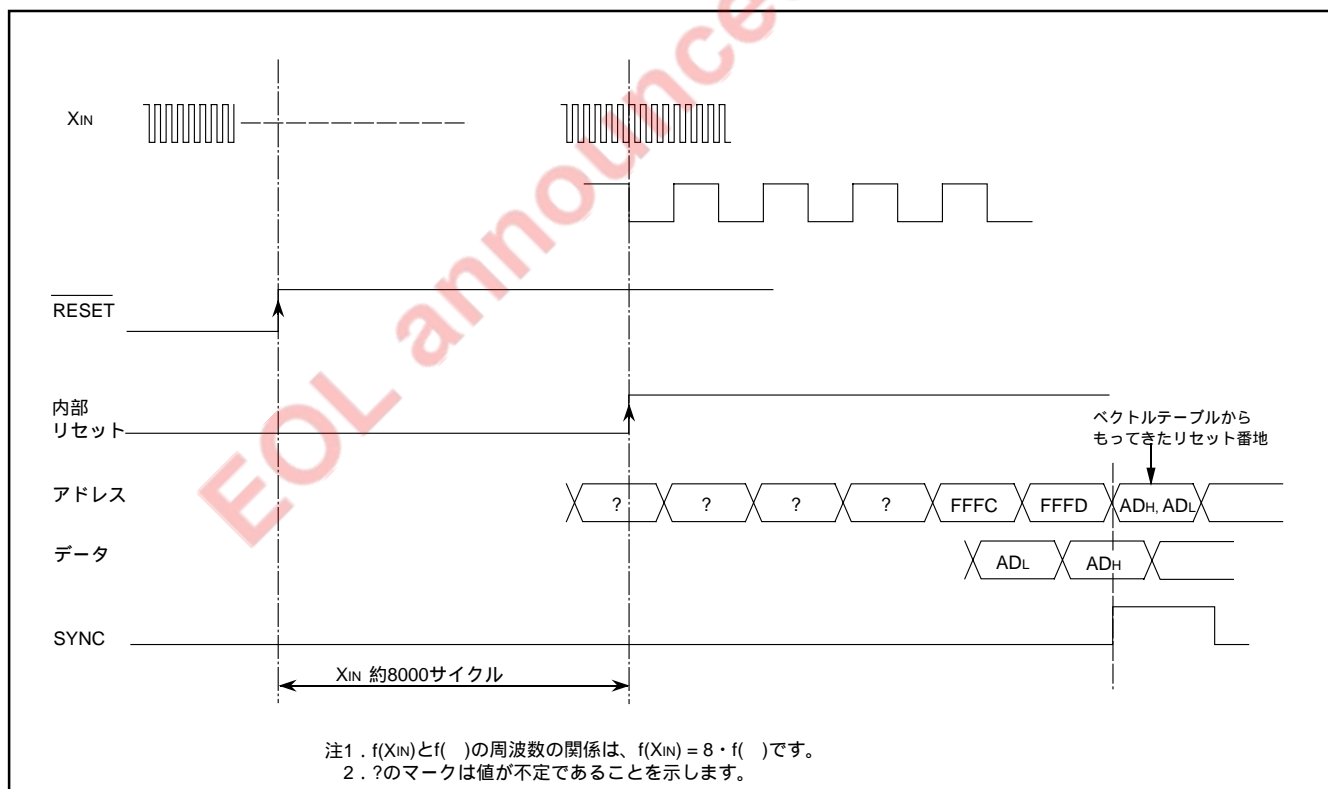


図48. リセット時のタイミング図

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 ₁₆	00 ₁₆	(52) タイマX制御レジスタ	0FF4 ₁₆	00 ₁₆
(2) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆	(53) タイマ12分周選択レジスタ	0FF5 ₁₆	00 ₁₆
(3) ポートP1	0002 ₁₆	00 ₁₆	(54) タイマ34分周選択レジスタ	0FF6 ₁₆	00 ₁₆
(4) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆	(55) タイマXY分周選択レジスタ	0FF7 ₁₆	00 ₁₆
(5) ポートP2	0004 ₁₆	00 ₁₆	(56) セグメント出力禁止レジスタ0	0FF8 ₁₆	FF ₁₆
(6) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆	(57) セグメント出力禁止レジスタ1	0FF9 ₁₆	FF ₁₆
(7) ポートP3	0006 ₁₆	00 ₁₆	(58) セグメント出力禁止レジスタ2	0FFA ₁₆	FF ₁₆
(8) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆	(59) タイマYモードレジスタ2	0FFB ₁₆	00 ₁₆
(9) ポートP4	0008 ₁₆	00 ₁₆	(60) フラッシュメモリ制御レジスタ	0FFE ₁₆	x x x 0 0 0 0 1
(10) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(61) プロセッサステータスレジスタ	(PS)	x x x x x 1 x x
(11) ポートP5	000A ₁₆	00 ₁₆	(62) プログラムカウンタ	(PC _H)	FFFD ₁₆ 番地の内容
(12) ポートP5方向レジスタ	000B ₁₆	00 ₁₆		(PC _L)	FFFC ₁₆ 番地の内容
(13) ポートP6	000C ₁₆	00 ₁₆			
(14) ポートP6方向レジスタ	000D ₁₆	00 ₁₆			
(15) クロック出力制御レジスタ	0018 ₁₆	00 ₁₆			
(16) AD制御レジスタ	0019 ₁₆	08 ₁₆			
(17) シリアル/O1ステータスレジスタ	001D ₁₆	1 0 0 0 0 0 0 0			
(18) シリアル/O2ステータスレジスタ	001F ₁₆	1 0 0 0 0 0 0 0			
(19) タイマ1	0020 ₁₆	FF ₁₆			
(20) タイマ2	0021 ₁₆	01 ₁₆			
(21) タイマ3	0022 ₁₆	FF ₁₆			
(22) タイマ4	0023 ₁₆	FF ₁₆			
(23) PWM01レジスタ	0024 ₁₆	00 ₁₆			
(24) タイマ12モードレジスタ	0025 ₁₆	00 ₁₆			
(25) タイマ34モードレジスタ	0026 ₁₆	00 ₁₆			
(26) コンペアレジスタ(下位)	0028 ₁₆	00 ₁₆			
(27) コンペアレジスタ(上位)	0029 ₁₆	00 ₁₆			
(28) タイマX(下位)	002A ₁₆	FF ₁₆			
(29) タイマX(上位)	002B ₁₆	FF ₁₆			
(30) タイマX拡張レジスタ	002C ₁₆	00 ₁₆			
(31) タイマY(下位)	002D ₁₆	FF ₁₆			
(32) タイマY(上位)	002E ₁₆	FF ₁₆			
(33) タイマXモードレジスタ	002F ₁₆	00 ₁₆			
(34) タイマYモードレジスタ	0030 ₁₆	00 ₁₆			
(35) ウォッチドッグタイマ制御レジスタ	0037 ₁₆	0 0 1 1 1 1 1 1			
(36) LCD電源制御レジスタ	0038 ₁₆	00 ₁₆			
(37) LCDモードレジスタ	0039 ₁₆	00 ₁₆			
(38) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆			
(39) CPUモードレジスタ	003B ₁₆	0 1 0 0 1 0 0 0			
(40) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆			
(41) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆			
(42) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆			
(43) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆			
(44) シリアル/O1制御レジスタ	0FE0 ₁₆	00 ₁₆			
(45) UART1制御レジスタ	0FE1 ₁₆	1 1 1 0 0 0 0 0			
(46) シリアル/O2制御レジスタ	0FE3 ₁₆	00 ₁₆			
(47) UART2制御レジスタ	0FE4 ₁₆	1 1 1 0 0 0 0 0			
(48) 発振出力制御レジスタ	0FF0 ₁₆	00 ₁₆			
(49) PULLレジスタ	0FF1 ₁₆	00 ₁₆			
(50) キー入力制御レジスタ	0FF2 ₁₆	00 ₁₆			
(51) タイマ1234モードレジスタ	0FF3 ₁₆	00 ₁₆			

注. x: 不定です。
上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図49. リセット時の内部状態

クロック発生回路

38C2グループはメインクロックXIN-XOUTとサブクロックXCIN-XCOUTの2つの発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの端子間に共振子を接続することにより、発振回路を形成することができます。容量及び抵抗などの定数は、共振子により異なりますので共振子メーカーの推奨値をご使用ください。XIN-XOUT端子間には帰還抵抗が内蔵されていますので、外付けの抵抗を省略することができます。XCIN-XCOUT間には抵抗が内蔵されていませんので、外部に帰還抵抗を付けてください。

外部からクロック信号を供給する場合はXIN端子に入力し、XOUT端子は開放にします。サブクロックXCIN-XCOUTの発振回路は外部で生成したクロックを直接入力できませんので、必ず外付け共振子による発振をさせてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

周波数制御

(1) 8分周モード

XIN端子に加わった周波数を8分周したものがシステムクロックとなります。リセット解除後はこのモードになります。

(2) 4分周モード

XIN端子に加わった周波数を4分周したものがシステムクロックとなります。

(3) 2分周モード

XIN端子に加わった周波数を2分周したものがシステムクロックとなります。

(4) 低速モード

XCIN端子に加わった周波数を2分周したものがシステムクロックとなります。

低速モード時には、CPUモードレジスタのビット7を「0」にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXINの発振再開時はCPUモードレジスタのビット7を「1」にした後、発振が安定するまでの待ち時間をプログラムで生成してください。

注 . 2/4/8分周モードと低速モード間の移行を行う場合は、XIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップモードからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。

発振制御

(1) ストップモード

STP命令を実行するとシステムクロックが「H」の状態に停止し、メインクロック及びサブクロックの発振が停止します。このとき、タイマ1およびタイマ2にはあらかじめ設定されているタイマ1ラッチ及びタイマ2ラッチの値が自動的にロードされます。このため、

STP命令実行前にタイマ1、タイマ2のラッチ(タイマ1は下位8ビット、タイマ2には上位8ビットを設定)には発振安定に必要な待ち時間を生成する値を書き込んでおいてください。タイマ1のカウントソースにはタイマ1用分周器が、タイマ2にはタイマ1の出力が強制的に接続されます。このときタイマ12モードレジスタはビット7、6以外すべて「0」にクリアされます。タイマ12分周選択レジスタの値は変化しません。STP命令実行前にタイマ1、タイマ2割り込みの許可ビットを禁止状態(「0」)に設定してください。

発振はリセット又は割り込み要求が受け付けられると再開しますが、タイマ2がアンダフローしてはじめてCPUにシステムクロックが供給されます。これは、外付け共振子を使用した場合、発振の立ち上がりに時間を要するためです。

(2) ウェイトモード

WIT命令を実行すると、内部クロックのみ「H」の状態に停止します。このときメインクロック及びサブクロックはWIT命令実行前と同じ状態になっており、発振は停止しません。割り込みを受け付けた直後に内部クロックの供給を開始するため、直ちに命令を実行することができます。

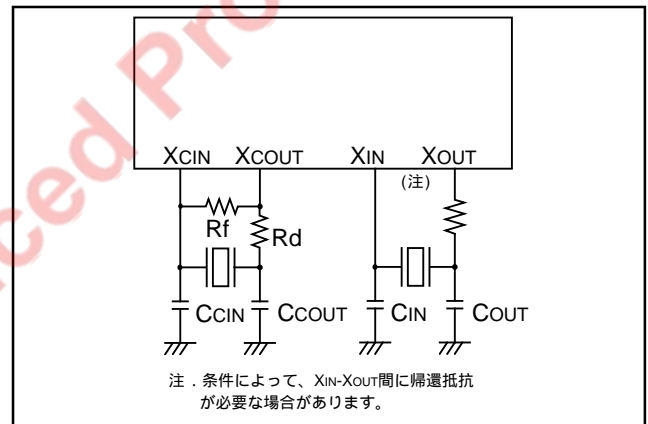


図50 . セラミック共振子外付け回路

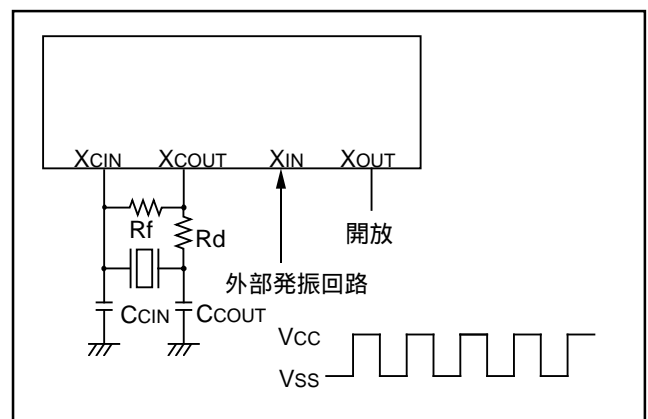


図51 . 外部クロック入力回路

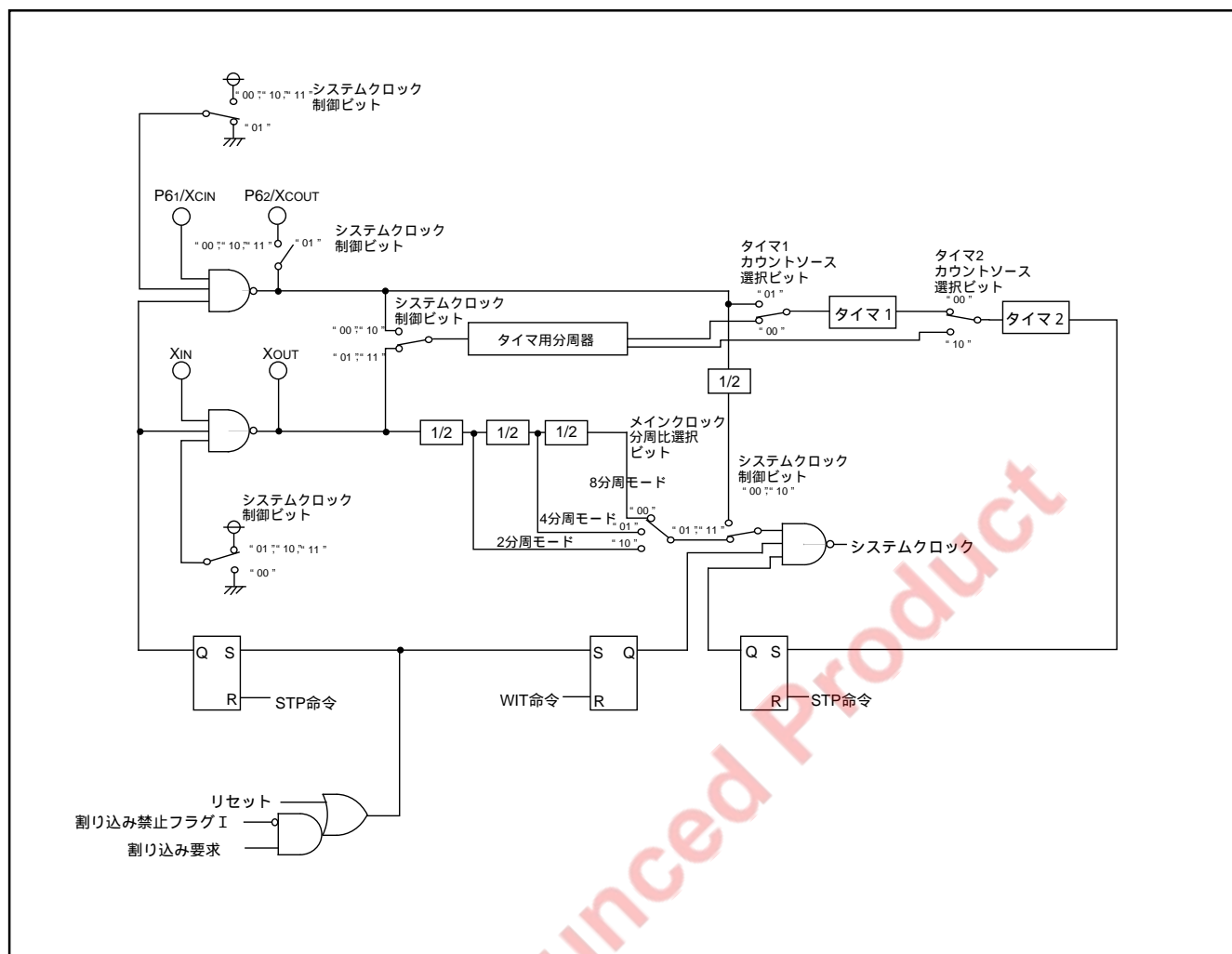


図52 . クロック発生回路のブロック図

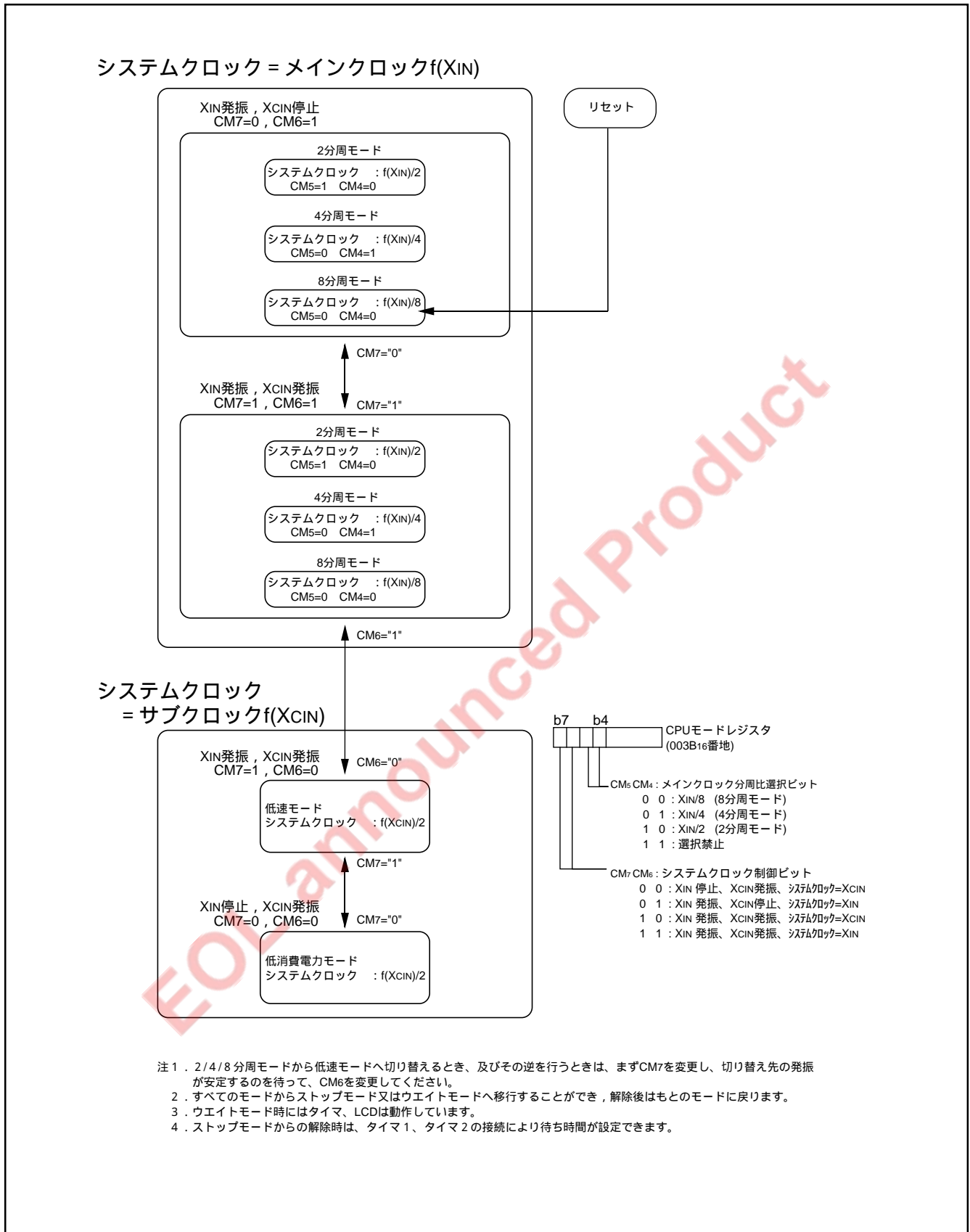


図53 . システムクロックの状態遷移図

発振外部出力機能

38C2グループは、P4₀、P4₁から発振回路で得られたクロックを方形波出力する機能（発振外部出力機能）を持っています。発振外部出力機能を有効にするには、クロック出力のポート（P4₀、P4₁の双方、又はいずれか）を出力モードに設定（対応する方向レジスタを“1”に設定）してください。

発振出力制御レジスタ（OFF0₁₆番地）のP4₀/P4₁発振出力制御ビット（ビット0、1）によって、XCOUT端子からの信号を外部出力する機能が選択されている状態で、サブクロック（XCIN-XCOUT）が発振停止状態、又はストップモードのとき、XCOUT外部出力信号は“H”レベルとなります。

同様に、発振出力制御レジスタ（OFF0₁₆番地）のP4₀/P4₁発振出力制御ビット（ビット0、1）によって、XOUT端子からの信号を外部出力する機能が選択されている状態で、メインクロック（XIN-XOUT）が発振停止状態、又はストップモードのとき、XOUT外部出力信号は“H”レベルとなります。

注意事項

発振回路のXOUT端子又はXCOUT端子からの信号を本マイコン以外の回路に直接取り込み、使用した場合、システムの安定動作を損なう恐れがあります。発振回路を安全に共有するために、本マイコン以外の回路には、本機能を活用してP4₀、P4₁から出力されたクロックを使用してください。

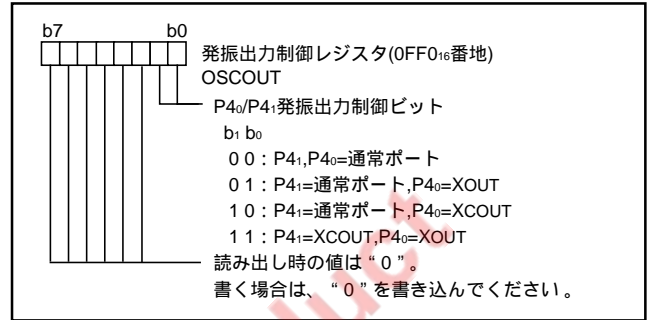


図54. 発振出力制御レジスタの構成

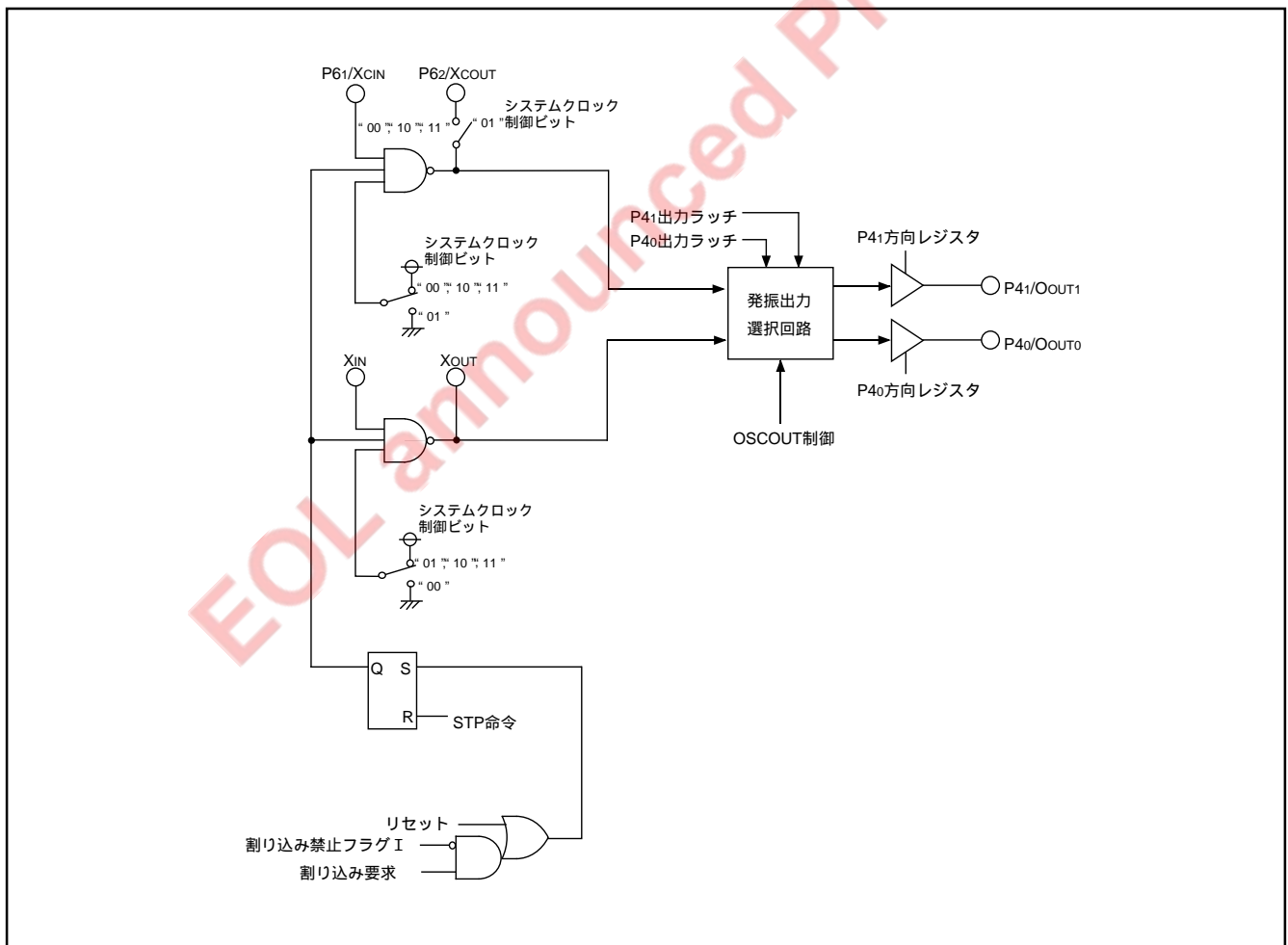


図55. 発振出力機能のブロック図

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後にBBC、BBS命令を実行すると、変更前の内容に対して実行されず。変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを“1”に設定してADC命令、又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

- ・タイマラッチに値 $r(0 \sim 255)$ を書き込んだ場合の分周比は、 $1/(n+1)$ です。
- ・カウントソースを生成する分周器は、タイマ全体で1つの回路を共用しています。そのため各タイマを起動したときに、分周器の初期化は行いません。したがって、カウントソースに分周器を選択した場合、起動から実際にタイマがカウント開始、あるいは波形出力するまでの間には、最大カウントソースの1サイクル分の遅延が生じます。また、カウントソースは外部から観測することはできません。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

シリアルI/Oに関するもの

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY}}$ 出力許可ビットとともに、送信許可ビットも“1”にセットしてください。

また、シリアルI/Oでは、送信終了後、TxD端子が最終ビットをラッチし出力し続けます。

A-D変換に関するもの

コンパレータは容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-Dクロック周波数を250kHz以上にしてください。

また、A-D変換中にSTP命令を実行すると直ちにA-D変換が中止され、A-D変換終了ビットに“1”がセットされ、割り込み要求が発生します。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載のサイクル数に、システムクロックの周期をかけることによって得られます。

使用上の注意

・VL3端子に関する注意

LCD駆動制御回路を使用しない場合、VL3端子はVccに接続してください。

・ノイズに関する注意事項

以下に示すようなノイズに留意したシステム設計を行い、十分な評価を行ってください。

(1) 配線長の短縮

リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

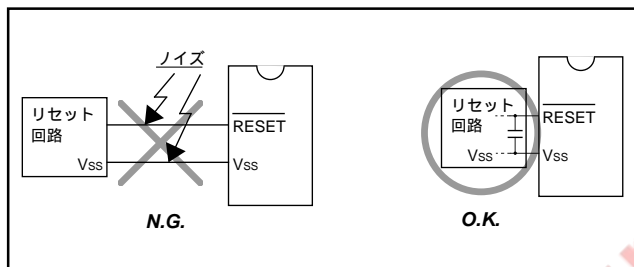


図56 . リセット入力端子の配線

クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

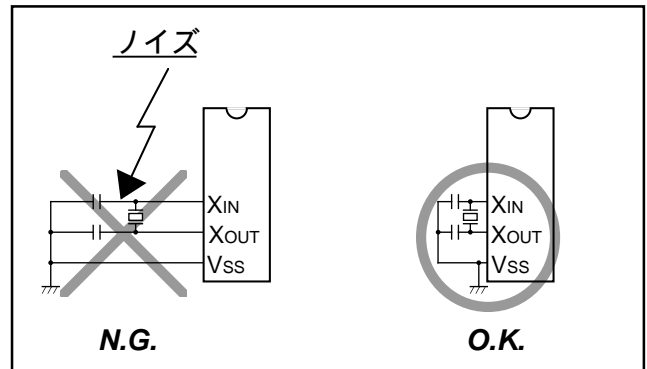


図57 . クロック入出力端子の配線

(2) Vss - Vccライン間へのバイパスコンデンサ挿入

Vss - Vccライン間に0.1 μF程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- ・Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- ・Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- ・電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

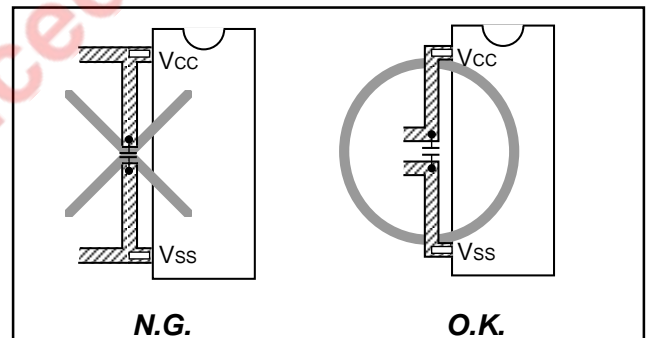


図58 . VSS - VCCライン間のバイパスコンデンサ

(3) 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

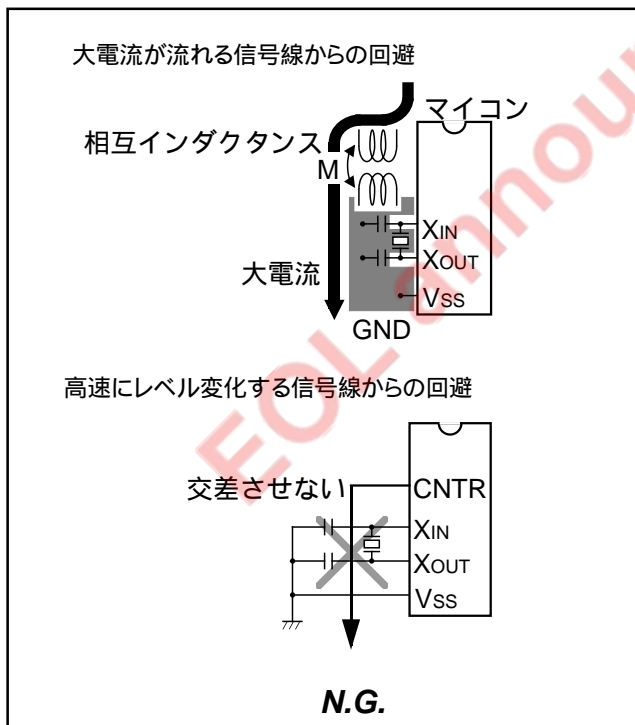


図59 . 大電流が流れる信号線の配線/高速にレベル変化する信号線の配線

(4) フラッシュメモリ版のVPP端子配線

VPP端子のできるだけ近くに10kΩ程度の抵抗を直列に挿入し、VSS端子に接続してください。

注 .10kΩ程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障はありません。

理由

フラッシュメモリ版マイコンのVPP端子は内蔵フラッシュメモリの電源入力端子です。内蔵フラッシュメモリへのプログラムの書き込み/消去時に、書き込み/消去電流が流れるようにVPP端子のインピーダンスを低くしているため、ノイズが侵入しやすくなっています。VPP端子からノイズが侵入すると、内蔵フラッシュメモリから異常な命令コード、データが読み出され、暴走の原因となります。

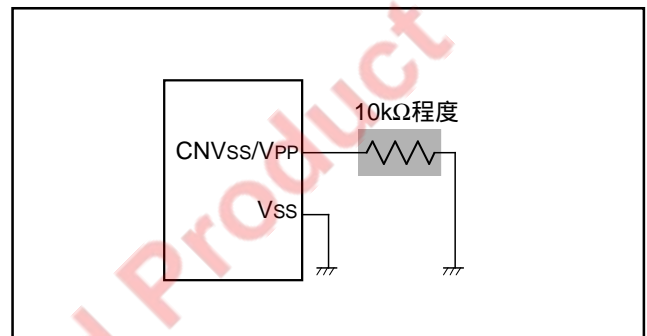


図60 . フラッシュメモリのVPP端子の配線

フラッシュメモリ版 / マスクROM版の相違点に関する注意事項

フラッシュメモリ版およびマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

発振回路定数に関する注意事項

- (1)発振回路定数は、発振子メーカーにマッチング特性評価を依頼した上で決定してください。
- (2)発振回路定数は、フラッシュメモリ版とマスクROM版で異なる場合がありますので、それぞれ評価を行ってください。

フラッシュメモリモード

38C2グループ(Aバージョン)のフラッシュメモリ版は、Vccが4.5～5.5Vのとき単一電源、Vccが3.0～4.5Vのとき2電源での書き換えが可能なNEW DINOR(Divided bit line NOR)形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードとして、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モード、及び中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図61に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモード及び標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

性能概要

表10に38C2グループ(Aバージョン)フラッシュメモリ版の性能概要を示します。

表10. 38C2グループ(Aバージョン)フラッシュメモリ版の性能概要

項 目		性 能
電源電圧		Vcc = 2.5 ~ 5.5V (注1) Vcc = 2.5 ~ プログラム/イレーズ時のVcc+0.5V (注2)
プログラム/イレーズ電圧		Vpp = 4.5 ~ 5.5V、Vcc = 3.0 ~ 5.5V
フラッシュメモリモード		3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域	図61を参照してください。
	ブートROM領域	分割なし(4Kバイト) (注3)
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム/イレーズ制御方式		ソフトウェアコマンドによるプログラム/イレーズ制御
コマンド数		5コマンド
プログラム/イレーズ回数		100回
ROMコードプロテクト		パラレル入出力モード/標準シリアルモード対応

注1. プログラム / イレーズ時のVcc=5.0～5.5Vの時の規格です。

注2. プログラム / イレーズ時のVcc=3.0～5.0Vの時の規格です。

注3. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレースなど)を行うモードです。

CPU書き換えモードでは、図61に示すユーザROM領域のみ書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレースのコマンドは、ユーザROM領域と各ブロック領域に対してのみ行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵RAMに転送後、RAM上で実行してください。

ブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域又はブートROM領域に書き込んでください。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図61に示すとおりです。

CNVss端子を'L'としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P41(CE)端子を'H'、CNVss端子を'H'としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始(プログラムのスタート番地はFFFC₁₆、FFFD₁₆番地に格納)します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大のアドレスです。このアドレスは、ブロックイレースコマンドで使用します。

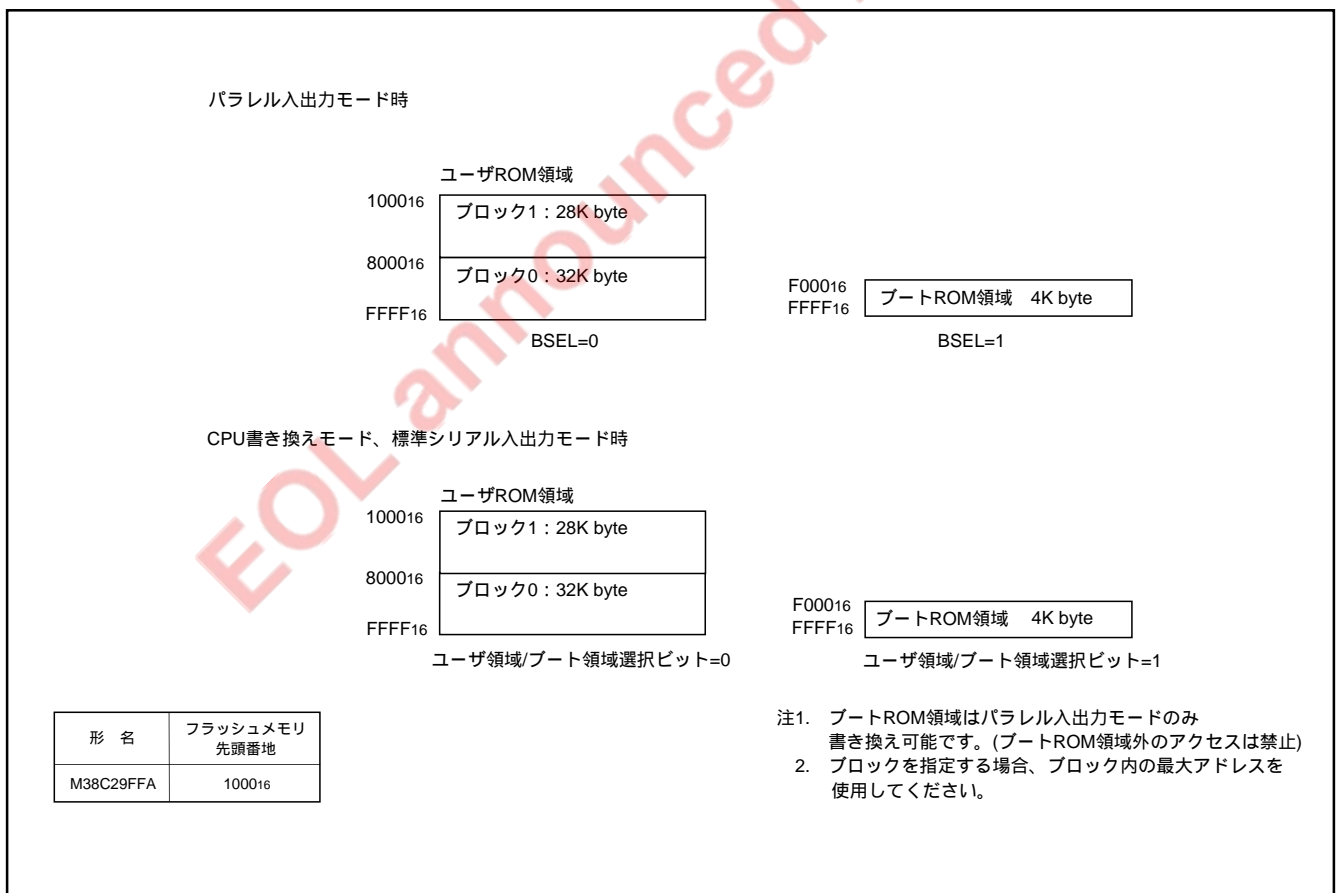


図61. 内蔵フラッシュメモリのブロック図

機能概要(CPU書き換えモード)

CPU書き換えモードは、シングルチップモード、及びブートモードで実行可能で、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、内蔵するフラッシュメモリに対し、イレーズ、プログラム、リード等の操作を行います。この制御プログラムは、あらかじめRAMに転送後、RAM上で実行してください。

CPU書き換えモードへは、CNV_{SS}端子に4.5V ~ 5.5Vを印加し、CPU書き換えモード選択ビット(0FFE₁₆番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受け付けが可能となります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム又はイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図62にフラッシュメモリ制御レジスタを示します。ビット0はRY/ $\overline{\text{BY}}$ ステータスフラグで、フラッシュメモリの動作状況を示す読み出し専用のビットです。プログラム、イレーズ動作中には“0”(ビジー)、これ以外のときには“1”(レディ)となります。

ビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、このビット1への書き込みはRAM上に転送した制御プログラムで行ってください。このビット1に“1”を設定するには、ビット1への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット2はCPU書き換えモードエントリフラグで、このビットを読むことによりCPU書き換えモードにエントリしていることを確認することができます。

ビット3は、フラッシュメモリリセットビットで、内蔵フラッシュメモリの制御回路をリセットするためのビットです。CPU書き換えモードの終了時、及びフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビット3に“1”を書き込むと、リセットが実行されます。リセットを解除するには、次に“0”を書き込む必要があります。

ビット4はユーザ領域/ブート領域選択ビットで、“1”をセットすることでブートROM領域にアクセスすることが可能となり、ブートROMを用いたCPU書き換えが行えます。ブートモード時には自動的に“1”がセットされます。このビットの操作はRAM上のプログラムで行う必要があります。

図63にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

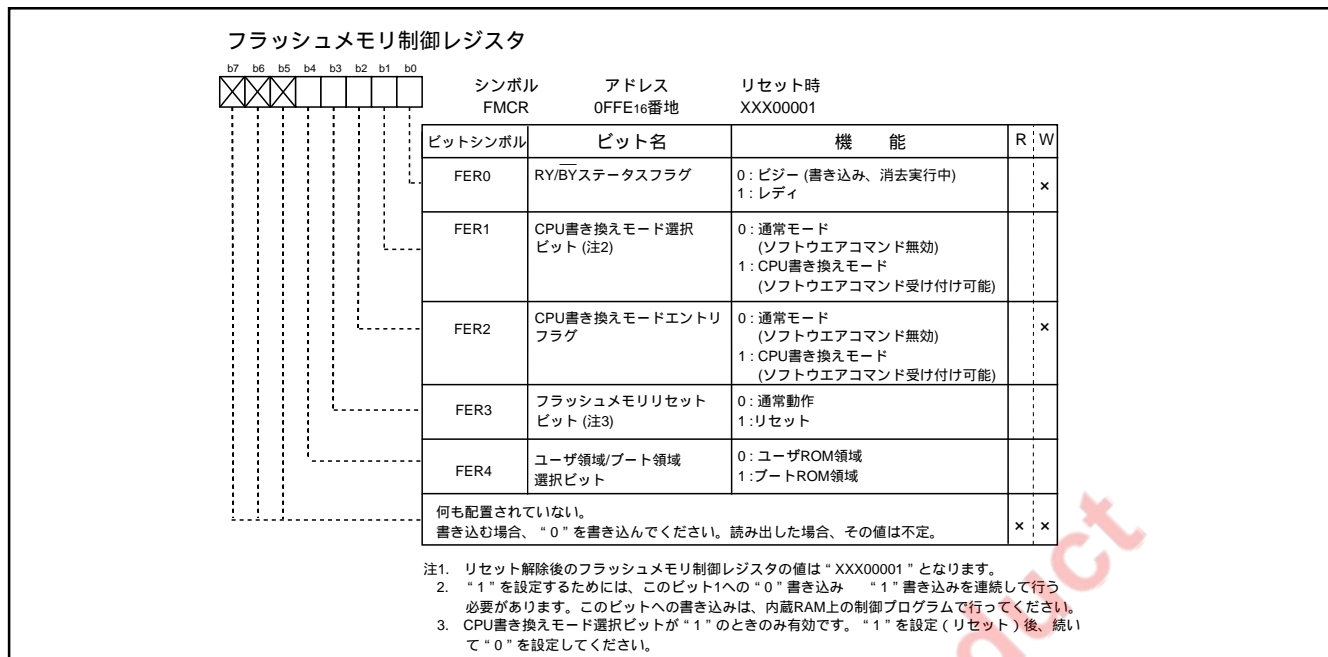


図62. フラッシュメモリ制御レジスタの構成

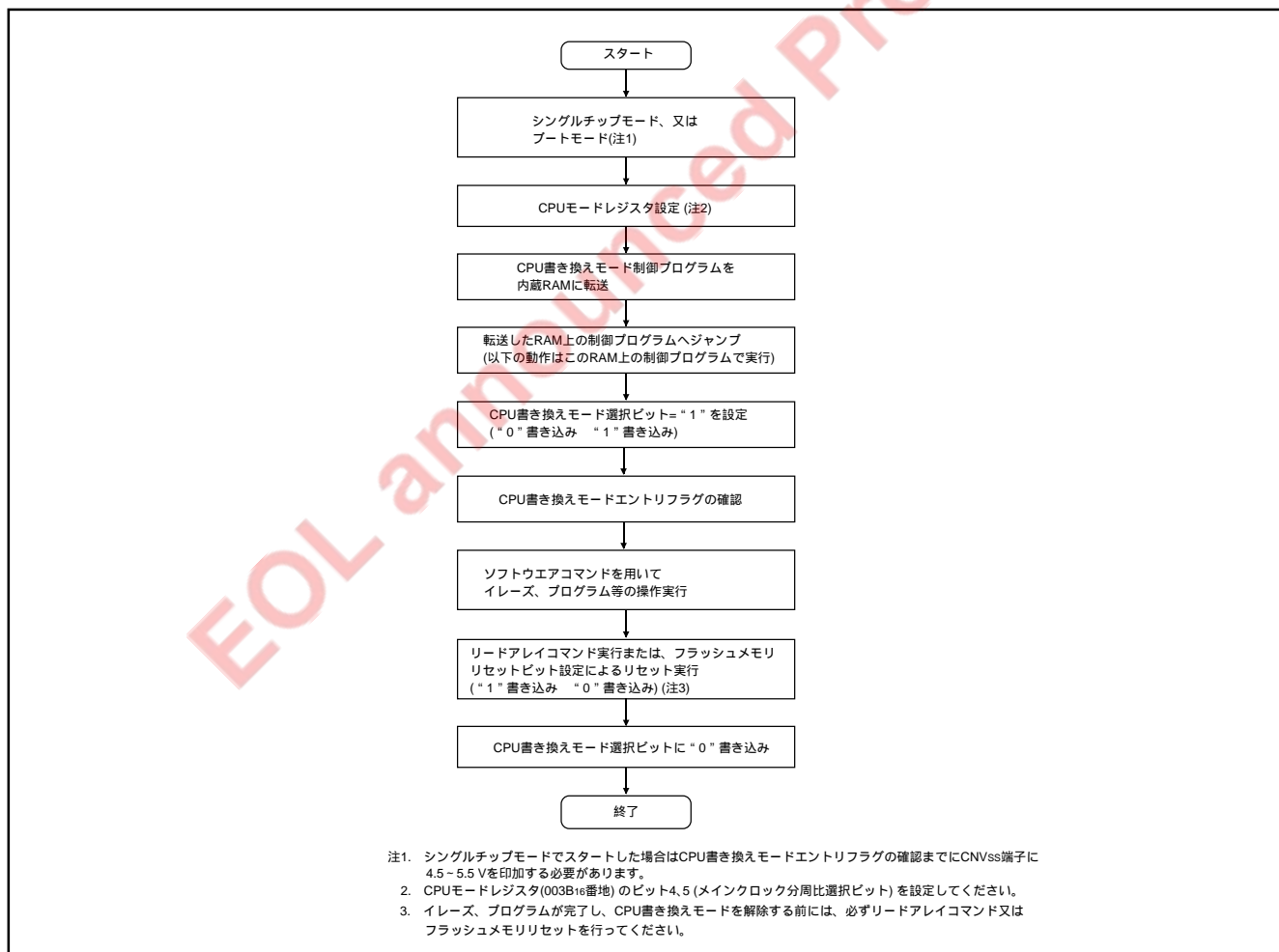


図63. CPU書き換えモードの設定/解除フローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B₁₆番地のビット4,5)によって、システムクロック が4.0MHz以下になるように設定してください。

(2)使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

(3)割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

(4)ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

(5)リセット

常に受け付けます。リセット解除時、CNV_{SS} = Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC₁₆、FFFD₁₆番地に格納されたアドレスからプログラムがスタートします。

EOL announced Product

ソフトウェアコマンド

表11にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドを実行することにより、イレース、プログラム等を指定します。

以下に各ソフトウェアコマンドの内容を説明します。

リードアレイコマンド(FF16)

第1バスサイクルでコマンドコード“FF16”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(D0~D7)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

リードステータスレジスタコマンド(7016)

第1バスサイクルでコマンドコード“7016”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0~D7)へ読み出されます。

ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(5016)

ステータスレジスタのエラー終了を示すビット(SR4, SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“5016”をライトします。

プログラムコマンド(4016)

第1バスサイクルでコマンドコード“4016”をライトするとプログラムモードとなります。続く第2バスサイクルでプログラムするアドレスとデータをライトするとプログラム動作(データのプログラムとベリファイ)を開始します。

プログラム終了はリードステータスレジスタ、又はRY/BYステータスフラグのリードによって確認できます。プログラム開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容がデータバス(D0~D7)へ読み出されます。ステータス

タスレジスタのビット7(SR7)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。リードステータスレジスタモードは、次にリードアレイコマンド(“FF”)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、プログラム期間中は“0”、終了後は“1”となります。プログラム終了後、ステータスレジスタを読み出すことによりプログラムの結果を知ることができます。

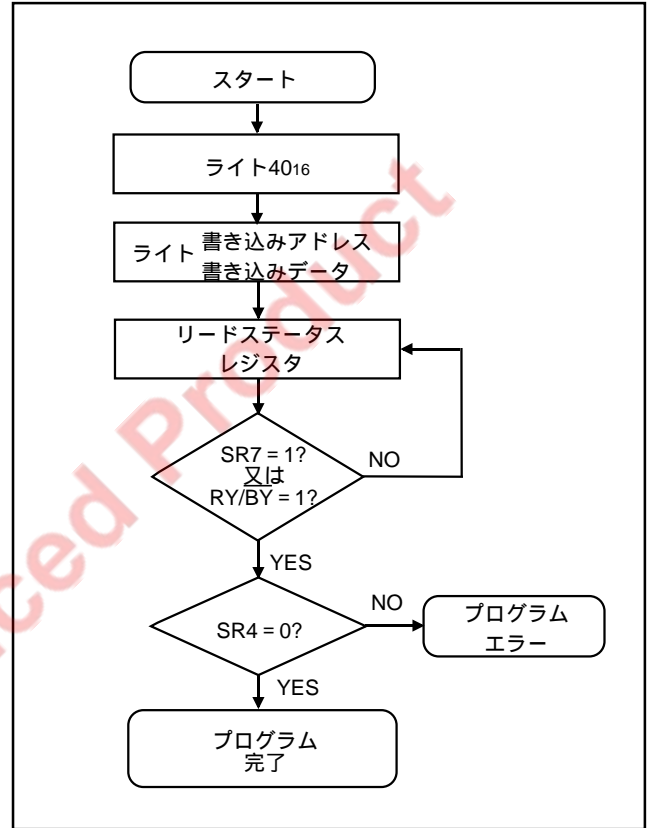


図64. プログラムフローチャート

表11. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ (D0~D7)	モード	アドレス	データ (D0~D7)
リードアレイ	1	ライト	X (注4)	FF16			
リードステータスレジスタ	2	ライト	X	7016	リード	X	SRD (注1)
クリアステータスレジスタ	1	ライト	X	5016			
プログラム	2	ライト	X	4016	ライト	WA (注2)	WD (注2)
ブロックイレース	2	ライト	X	2016	ライト	BA (注3)	D016

- 注1. SRD=ステータスレジスタデータ
- 注2. WA=ライトアドレス, WD=ライトデータ
- 注3. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)
- 注4. XはユーザROM領域内の任意のアドレス

ブロックイレーズ(2016/D016)

第1バスサイクルでコマンドコード“ 2016 ”、続く第2バスサイクルで確認コマンドコード“ D016 ”とブロックアドレスをライトすると指定したブロックに対しブロックイレーズ動作(イレーズとイレーズバリファイ)を開始します。

ブロックイレーズの終了は、リードステータスレジスタ、又はRY/BYステータスフラグのリードによって確認できます。ブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“ 0 ”となり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同

じく、イレーズ期間中は“ 0 ”、終了後は“ 1 ”となります。

ブロックイレーズ終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

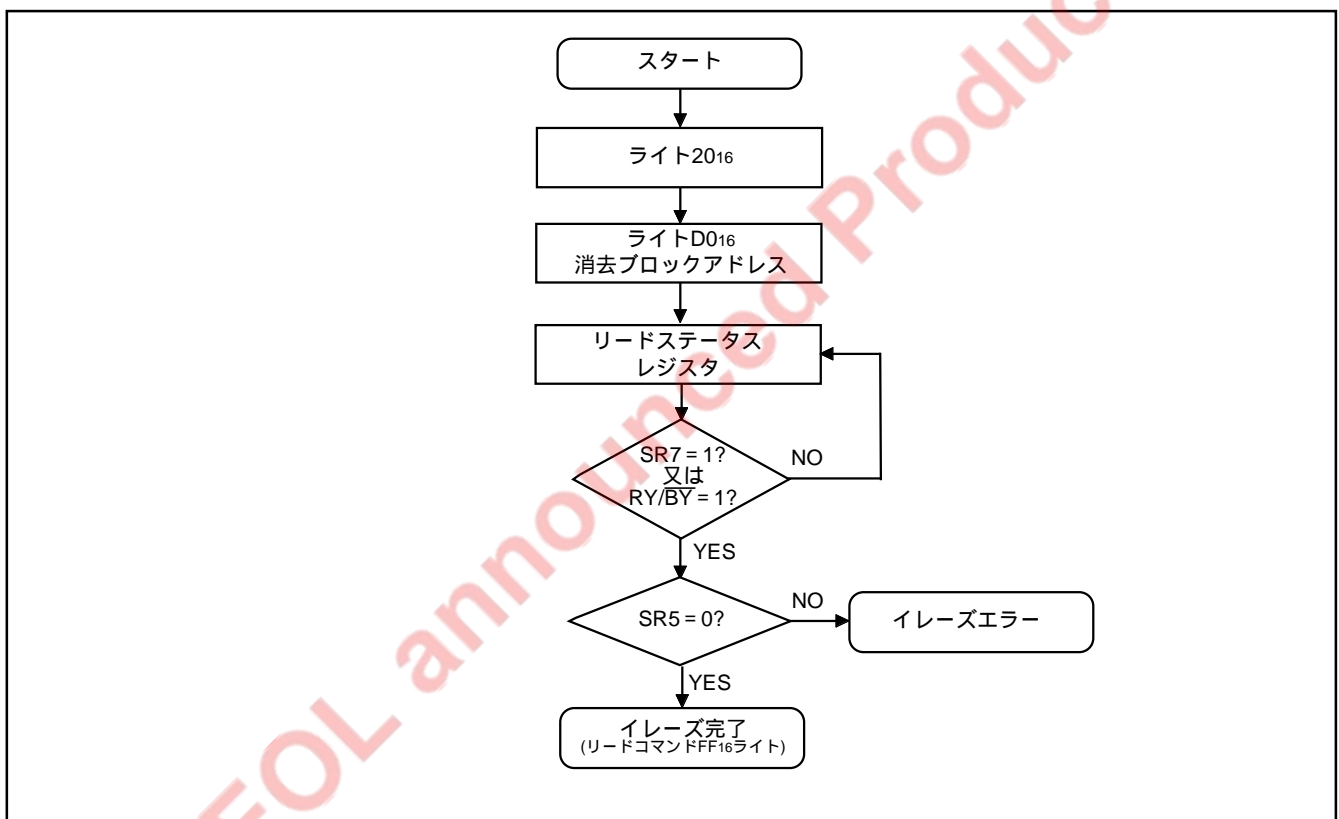


図65. イレーズフローチャート

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、以下の条件のとき読み出すことができます。

(1)リードステータスレジスタコマンド(70₁₆)をライトした後、ユーザROM領域内の任意のアドレスを読み出したとき

(2)プログラム開始又はイレーズ開始から、リードアレコマンド(FF₁₆)入力までの期間、ユーザROM領域の任意のアドレスを読み出したとき

また、ステータスレジスタは次の条件でクリアされます。

(1)クリアステータスレジスタコマンド(50₁₆)をライトしたとき

表12にステータスレジスタの各ビットの定義を示します。リセット解除後、ステータスレジスタは、“80₁₆”になります。

シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時は“1”(レディ)にセットされます。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、イレーズエラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、プログラムエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

SR5、SR4のいずれかが“1”にセットされている状態では、リードアレコマンド、プログラムコマンド、ブロックイレーズコマンドは

受け付けられません。これらのコマンドを実行する前にクリアステータスレジスタコマンドを実行し、ステータスレジスタをクリアする必要があります。

また、コマンドが正しく入力されなかった場合、SR5、SR4の両方が“1”にセットされます。

表12. ステータスレジスタの各ビットの定義

SRDの 各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。

図66にフルステータスチェックフローチャート及び各エラー発生時の対処方法を示します。

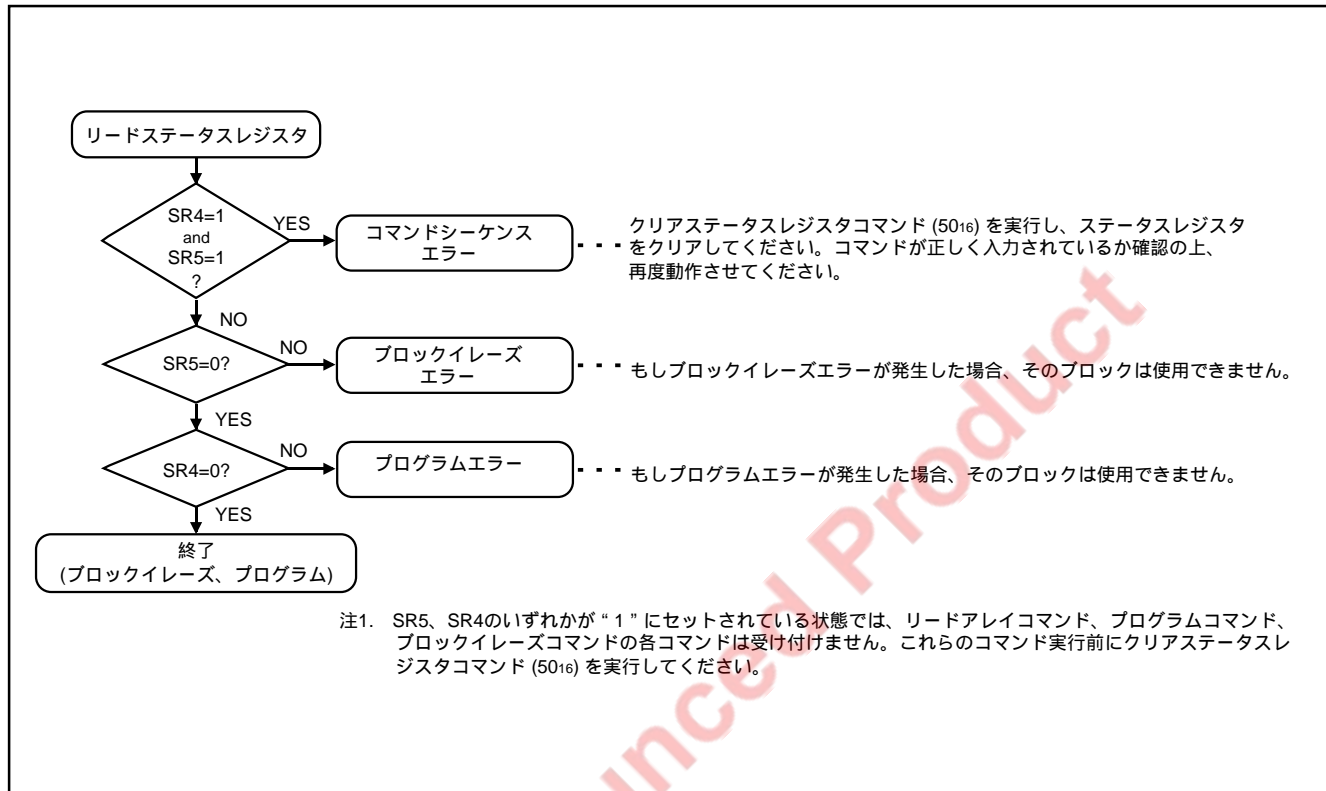


図66. フルステータスチェックフローチャート及び各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリの内容の読み出し又は書き換えを容易に行えないように、パラレル入出力モードではROMコードプロテクト機能、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(FFDB₁₆番地)によって、内蔵フラッシュメモリの内容の読み出し又は書き換えを禁止する機能です。ROMコードプロテクト制御番地(FFDB₁₆番地)の構成を図67に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビットのうち、どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容の読み出し又は書き換えを禁止します。ROMコードプロテクトにはレベル1とレベル2の2つのレベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2の両方を選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットに“00”を設定すると、ROM

コードプロテクトが解除となり、内蔵フラッシュメモリの内容の読み出し又は書き換えが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モードなど、他のモードで書き換えてください。

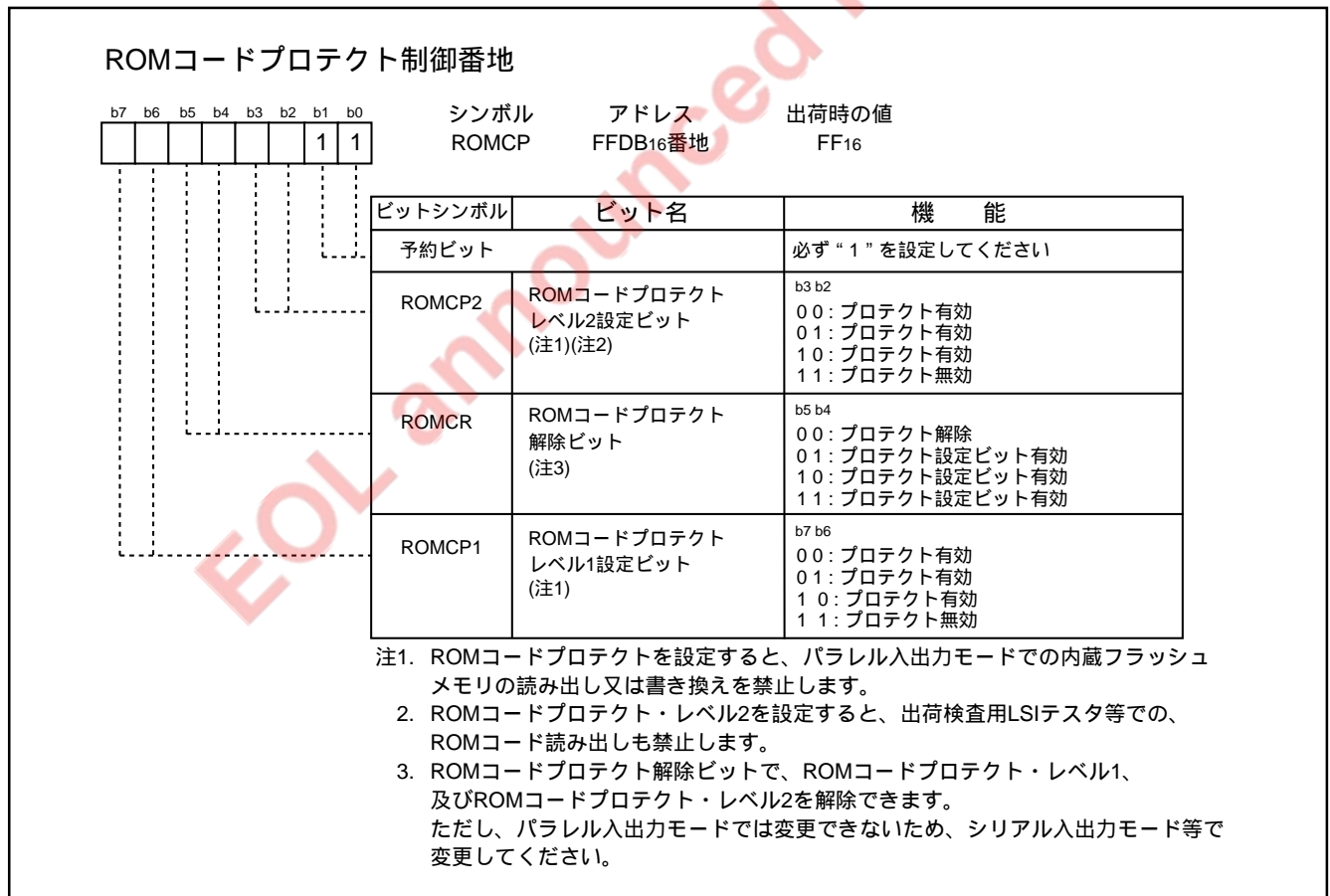


図67. ROMコードプロテクト制御番地の構成

IDコードチェック機能

IDコードチェックは、標準シリアル入出力モード使用時、フラッシュメモリの内容がブランクではない場合に、シリアルライターから送られてくるIDコードとフラッシュメモリに書き込まれているIDコードが一致しているかを判定する機能です。コードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、FFD4₁₆ ~ FFDA₁₆番地に割り付けられています。これらの番地に予めIDコードを設定したプログラムを、フラッシュメモリに書き込んでください。

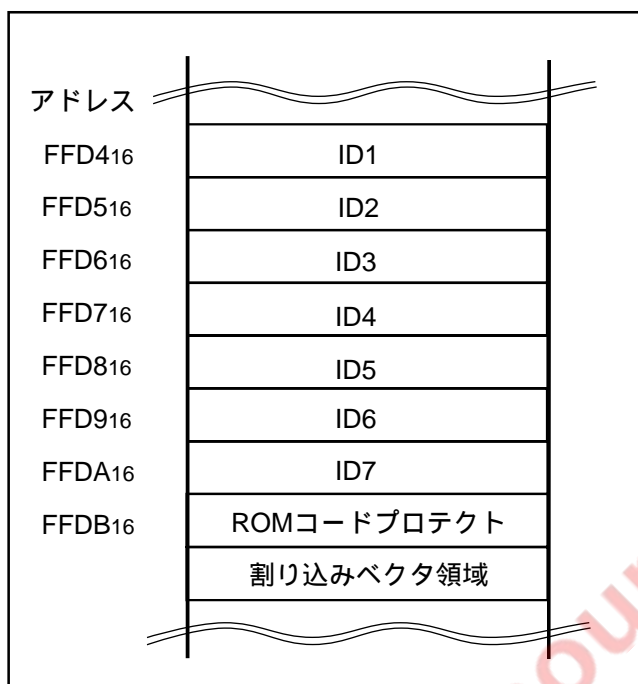


図68. IDコードの格納アドレス

パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

38C2グループ(Aバージョン)のフラッシュメモリ版をサポートしている専用の外部装置(ライター)を使用してください。使用方法の詳細は各ライターメーカーの取り扱い説明書を参照してください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図61に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。ユーザROM領域とブロックを図61に示します。

ブートROM領域は、4Kバイトで、F000₁₆ ~ FFFF₁₆ 番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、当社からの出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

EOL announced Product

標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードで、専用のシリアルライタを使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P41(CE)端子を \bar{H} 、CNVss端子を \bar{H} ($V_{CC}=4.5\sim 5.5V$ 時は V_{CC} に接続、 $V_{CC}=3.0\sim 4.5V$ 時は V_{PP} 端子として外部から $V_{PP}=4.5\sim 5.5V$ を供給)に接続して、リセットを解除することで起動します。(通常のマイコンモードでは、CNVssは \bar{L} に設定してください。)

この制御プログラムは当社からの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図69に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、UART2の端子SCLK2、RXD2、TXD2、 $\overline{SRDY2}$ (BUSY)の4本を使って行います。

SCLK2端子は転送クロックの入力端子で、外部から転送クロックを転送します。TXD2端子はCMOS出力です。 $\overline{SRDY2}$ (BUSY)端子は、受信準備が完了すれば \bar{L} となり、受信動作を開始すれば \bar{H} を出力します。送受信データは8ビット単位でシリアル転送します。

標準シリアル入出力モードでは、図61に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードは、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければライタから送られてくるコマンドを受け付けません。

機能概要(標準シリアル入出力モード)

標準シリアル入出力モードでは、4線式クロック同期形のシリアルI/O(UART2)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。受信時には、ソフトウェアコマンド、アドレス、及びプログラムデータは、SCLK2端子に入力する転送クロックの立ち上がりに同期して、RXD2端子から内部に取り込みます。送信時には、リードデータ及びステータスは、転送クロックの立ち下がりに同期して、TXD2端子から外部に出力します。

TXD2端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中及びイレーズ、プログラム実行中等のビジー期間中には、 $\overline{SRDY2}$ (BUSY)端子が \bar{H} となります。したがって、次の転送は、必ず $\overline{SRDY2}$ (BUSY)端子が \bar{L} となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。

表13. 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
Vcc,Vss	電源入力		Vcc端子にはプログラム/イレーズの保証電圧を、Vssには0Vを印加してください。
CNVss	CNVss	入力	Vcc=4.5 ~ 5.5V時はVccに接続してください。Vcc=3.0 ~ 4.5V時はVppに接続してください。
RESET	リセット入力	入力	リセット入力端子です。リセット入力はXINが安定発振しているとき、2 μ s 以上 “L” レベルを入力してください。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、又は水晶振動子を接続してください。外部で生成したクロックを入力するときは、XINから入力し、XOUTはXINの反転信号を入力してください。
XOUT	クロック出力	出力	
AVSS	アナログ電源入力		Vssに接続してください。
VREF	基準電圧入力	入力	ADの基準電圧を入力してください。
P00 ~ P07	入出力ポートP0	入出力	“H”を入力、“L”を入力、又は開放してください。
P10 ~ P17	入出力ポートP1	入出力	“H”を入力、“L”を入力、又は開放してください。
P20 ~ P27	入出力ポートP2	入出力	“H”を入力、“L”を入力、又は開放してください。
P30	BUSY出力	出力	BUSY信号の出力端子です。
P31	SCLK入力	入力	シリアルクロックの入力端子です。
P32	TXD出力	出力	シリアルデータの出力端子です。
P33	RXD入力	入力	シリアルデータの入力端子です。
P34 ~ P37	入出力ポートP3	入出力	“H”を入力、“L”を入力、又は開放してください。
P40	入出力ポートP4	入出力	“H”を入力、“L”を入力、又は開放してください。
P41	CE入力	入力	“H”を入力してください。
P42 ~ P47	入出力ポートP4	入出力	“H”を入力、“L”を入力、又は開放してください。
P50 ~ P57	入出力ポートP5	入出力	“H”を入力、“L”を入力、又は開放してください。
P60	入出力ポートP6	入出力	“H”を入力、“L”を入力、又は開放してください。
P61/XCIN	入出力ポートP6 /サブクロック入力	入出力	サブクロックとして使用するとき、XCIN端子とXCOUT端子の間には、水晶振動子を接続してください。外部で生成したクロックを入力するときは、XCINから入力しXCOUTは開放してください。 ポートとして使用するとき、“H”を入力、“L”を入力、又は開放してください。
P62/XCOUT	入出力ポートP6 /サブクロック出力	入出力	
COM0 ~ COM3	コモン出力	出力	LCD制御回路を使用しない場合は、開放してください。
VL3	LCD用電源		LCD用の電源を入力してください。LCD駆動制御回路を使用しない場合はVccに接続してください。

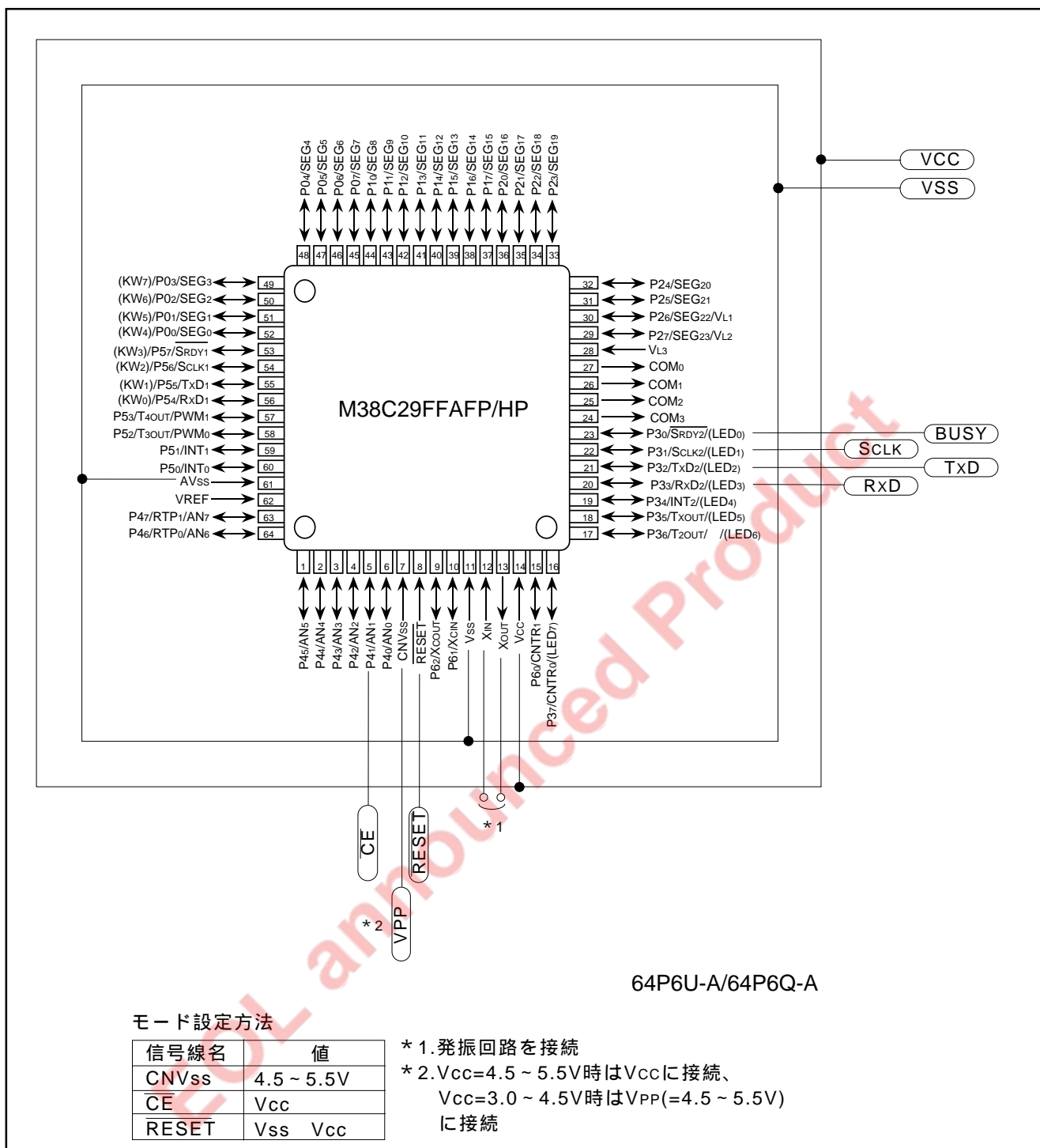


図69. 標準シリアル入出力モード時の端子結線図

標準シリアル入出力モード時の応用回路(例)

標準シリアル入出力モードを使用する場合の応用回路例を示します。ライターによって制御するピン等が違いますので、詳細はライターのマニュアルを参考にしてください。

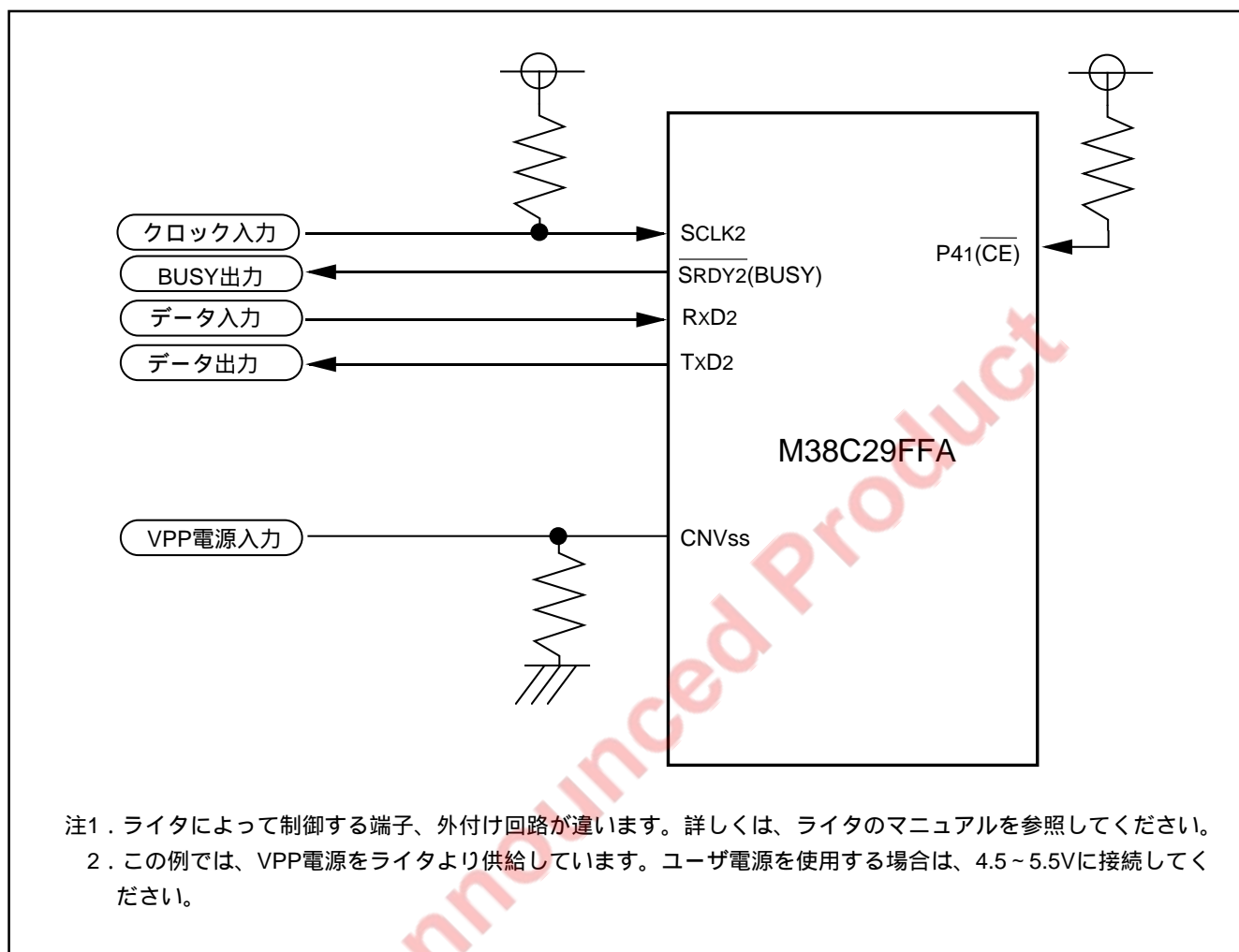


図70. 標準シリアル入出力モード時の応用回路例

38C2グループ(Aバージョン)

規格値(フラッシュメモリ版)

表14 絶対最大定格(フラッシュメモリ版)

記号	項目	条件	定格値	単位
V _{CC}	電源電圧		- 0.3 ~ 6.5	V
V _I	入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62	V _{SS} 端子を基準にして測定する出力トランジスタは遮断状態	- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 V _{L1}		- 0.3 ~ V _{L2}	V
V _I	入力電圧 V _{L2}		V _{L1} ~ V _{L3}	V
V _I	入力電圧 V _{L3}		V _{L2} ~ 6.5	V
V _I	入力電圧 $\overline{\text{RESET}}$, X _{IN}		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 CNV _{SS}		- 0.3 ~ 6.5	V
V _O	出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27		出力ポート時	- 0.3 ~ V _{CC} + 0.3
		セグメント出力時	- 0.3 ~ V _{L3} + 0.3	V
V _O	出力電圧 COM ₀ ~ COM ₃		- 0.3 ~ V _{L3} + 0.3	V
V _O	出力電圧 P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 X _{OUT}		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	T _a = 25	300	mW
T _{opr}	動作周囲温度	マイコン動作時	- 20 ~ 85	
		フラッシュメモリモード時	25 ± 5	
T _{stg}	保存温度		- 40 ~ 125	

表15 . 推奨動作条件(フラッシュメモリ版)

(指定のない場合は、V_{CC} = 2.5 ~ 5.5V、T_a = - 20 ~ 85)

記号	項目	規格値			単位	
		最小	標準	最大		
V _{CC}	電源電圧 (注1)	システムクロック周波数 f () = 5MHz	4.5	5.0	5.5 (注3)	V
		システムクロック周波数 f () = 4MHz	4.0	5.0	5.5 (注3)	V
		システムクロック周波数 f () = 2MHz	2.5	5.0	5.5 (注3)	V
		低速モード時	2.5	5.0	5.5 (注3)	V
		発振開始時(注2)	0.15 × f + 1.3			V
V _{SS}	電源電圧		0		V	
V _{L3}	LCD電源電圧	2.5		5.5	V	
V _{REF}	A-D変換器基準電圧	2.0		V _{CC}	V	
AV _{SS}	アナログ電源電圧		0		V	
V _{IA}	アナログ入力電圧 AN ₀ ~ AN ₇	AV _{SS}		V _{CC}	V	
V _{IH}	"H" 入力電圧 P04 ~ P07, P10 ~ P17, P20 ~ P27, P30, P32, P35, P36, P40 ~ P47, P52, P53, P62	0.7V _{CC}		V _{CC}	V	
V _{IH}	"H" 入力電圧 P00 ~ P03, P31, P33, P34, P37 P50, P51, P54 ~ P57, P60, P61	0.8V _{CC}		V _{CC}	V	
V _{IH}	"H" 入力電圧 $\overline{\text{RESET}}$	0.8V _{CC}		V _{CC}	V	
V _{IH}	"H" 入力電圧 X _{IN}	0.8V _{CC}		V _{CC}	V	
V _{IH}	"H" 入力電圧 X _{CIN} (注4)	1.5		V _{CC}	V	
V _{IL}	"L" 入力電圧 P04 ~ P07, P10 ~ P17, P20 ~ P27, P30, P32, P35, P36, P40 ~ P47, P52, P53, P62	0		0.3V _{CC}	V	
V _{IL}	"L" 入力電圧 P00 ~ P03, P31, P33, P34, P37 P50, P51, P54 ~ P57, P60, P61, CNV _{SS}	0		0.2V _{CC}	V	
V _{IL}	"L" 入力電圧 $\overline{\text{RESET}}$	0		0.2V _{CC}	V	
V _{IL}	"L" 入力電圧 X _{IN}	0		0.2V _{CC}	V	
V _{IL}	"L" 入力電圧 X _{CIN} (注5)	0		0.4	V	

注1. A-D変換器をご使用になる場合は、A-D変換器特性を参照ください。

2. 発振開始電圧や発振開始時間は、発振子や回路定数、温度などにより異なります。

特に高周波数の発振子は低電圧時に発振開始が困難なことがありますので注意してください。

f: 発振子の発振周波数(1MHz)です。8MHzのときは" 8 "を代入してください。

3. プログラム/イレーズ時のV_{CC}=5.0 ~ 5.5Vの時の規格です。

プログラム/イレーズ時のV_{CC}=3.0 ~ 5.0Vの時、プログラム/イレーズ時のV_{CC}+0.5Vです。

4. X_{CIN}/P6₁端子を発振子に接続しない場合は、P6₁のV_{IH}規格を参照してください。

5. X_{CIN}/P6₁端子を発振子に接続しない場合は、P6₁のV_{IL}規格を参照してください。

表16 . 推奨動作条件 (フラッシュメモリ版)

(指定のない場合は、V_{CC} = 2.5 ~ 5.5V、T_a = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
I _{OH} (peak)	“H”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			- 20	mA
I _{OH} (peak)	“H”出力総尖頭電流 (注1) P40 ~ P47, P50 ~ P57, P60 ~ P62			- 20	mA
I _{OL} (peak)	“L”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27			20	mA
I _{OL} (peak)	“L”出力総尖頭電流 (注1) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			20	mA
I _{OL} (peak)	“L”出力総尖頭電流 (注1) P30 ~ P37, P52, P53			110	mA
I _{OH} (avg)	“H”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			- 10	mA
I _{OH} (avg)	“H”出力総平均電流 (注1) P40 ~ P47, P50 ~ P57, P60 ~ P62			- 10	mA
I _{OL} (avg)	“L”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27			10	mA
I _{OL} (avg)	“L”出力総平均電流 (注1) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			10	mA
I _{OL} (avg)	“L”出力総平均電流 (注1) P30 ~ P37, P52, P53			90	mA
I _{OH} (peak)	“H”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P17, P20 ~ P27			- 1.0	mA
I _{OH} (peak)	“H”出力尖頭電流 (注2) P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62			- 5.0	mA
I _{OL} (peak)	“L”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P17, P20 ~ P27			10	mA
I _{OL} (peak)	“L”出力尖頭電流 (注2) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			10	mA
I _{OL} (peak)	“L”出力尖頭電流 (注2) P30 ~ P37, P52, P53			30	mA
I _{OH} (avg)	“H”出力平均電流 (注3) P00 ~ P07, P10 ~ P17, P20 ~ P27			- 0.5	mA
I _{OH} (avg)	“H”出力平均電流 (注3) P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62			- 2.5	mA
I _{OL} (avg)	“L”出力平均電流 (注3) P00 ~ P07, P10 ~ P17, P20 ~ P27			5.0	mA
I _{OL} (avg)	“L”出力平均電流 (注3) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			5.0	mA
I _{OL} (avg)	“L”出力平均電流 (注3) P30 ~ P37, P52, P53			15	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 出力平均電流は、100msの期間内での平均値です。

表17. 推奨動作条件 (フラッシュメモリ版)

(指定のない場合は、Vcc = 2.5 ~ 5.5V、Ta = -20 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f(CNTR0) f(CNTR1)	タイマX、タイマY 入力周波数 (デューティ50%時)	(4.5V Vcc 5.5V)			5.0	MHz
		(4.0V Vcc < 4.5V)			2 × Vcc - 4	MHz
		(Vcc < 4.0V)			Vcc	MHz
f(Tclk)	タイマX、タイマY、 タイマ1、2、3、4用クロック周波数 (各タイマのカウントソース周波数)	(4.5V Vcc 5.5V)			10.0	MHz
		(4.0V Vcc < 4.5V)			4 × Vcc - 8	MHz
		(Vcc < 4.0V)			2 × Vcc	MHz
f()	システムクロック 周波数	(4.5V Vcc 5.5V)			5.0	MHz
		(4.0V Vcc < 4.5V)			2 × Vcc - 4	MHz
		(Vcc < 4.0V)			Vcc	MHz
f(XIN)	メインクロック入力発振周波数 (注1、3)	(4.5V Vcc 5.5V)	1.0		10.0	MHz
		(2.5V Vcc < 4.5V)	1.0		8.0	MHz
f(XCIN)	サブクロック入力発振周波数(注1、2、3)			32.768	50	kHz

注1. 発振周波数はデューティ50%の場合です。

注2. 低速モードを使用する場合、時計用クロック入力発振周波数はf(XCIN) < f(XIN)/3としてください。

注3. 発振開始電圧や発振開始時間は、発振子や回路定数、温度などにより異なります。特に高周波数の発振子は低電圧時に発振開始が困難なことがありますので注意してください。

表18．電気的特性（フラッシュメモリ版）

(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00～P07, P10～P17, P20～P27	IOH = -1mA	VCC - 2.0			V
		IOH = -0.25mA VCC = 2.5V	VCC - 0.8			V
VOH	“H”出力電圧 P30～P37, P40～P47, P50～P57, P60～P62	IOH = -5mA	VCC - 2.0			V
		IOH = -1.5mA	VCC - 0.5			V
		IOH = -1.25mA VCC = 2.5V	VCC - 0.8			V
VOL	“L”出力電圧 P00～P07, P10～P17, P20～P27 P40～P47, P50, P51, P54～P57 P60～P62	IOH = 10mA			2.0	V
		IOH = 3mA			0.5	V
		IOH = 2.5mA VCC = 2.5V			0.8	V
		IOH = 15mA			2.0	V
VOL	“L”出力電圧 P30～P37, P52, P53	IOH = 4mA VCC = 2.5V			0.8	V
VT+ - VT-	ヒステリシス INT0～INT2, CNTR0, CNTR1, P00～P03, P54～P57			0.5		V
VT+ - VT-	ヒステリシス SCLK1, SCLK2, RxD1, RxD2			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
I _{IH}	“H”入力電流 P00～P07, P10～P17, P20～P27, P30～P37, P40～P47, P50～P57, P60～P62	V _I = V _{CC}			5.0	μA
I _{IH}	“H”入力電流 RESET	V _I = V _{CC}			5.0	μA
I _{IH}	“H”入力電流 XIN	V _I = V _{CC}		4.0		μA
I _{IL}	“L”入力電流 P00～P07, P10～P17, P20～P27, P30～P37, P40～P47, P50～P57, P60～P62	V _I = V _{SS} ブルアップOFF			- 5.0	μA
		V _{CC} = 5V, V _I = V _{SS} ブルアップON	- 60	- 120	- 240	μA
		V _{CC} = 3.0V, V _I = V _{SS} ブルアップON	- 25	- 40	- 100	μA
I _{IL}	“L”入力電流 RESET	V _I = V _{SS}			- 5.0	μA
I _{IL}	“L”入力電流 XIN	V _I = V _{SS}		- 4.0		μA

表19．電気的特性（フラッシュメモリ版）

(指定のない場合は、V_{CC}=2.5～5.5V、T_a= - 20～85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VRAM	RAM保持電圧	クロック停止時	1.8		5.5	V
ICC	電源電流	2分周モード時、V _{CC} = 5V f(XIN) = 10MHz f(XCIN) = 32.768kHz 出力トランジスタは遮断状態、 A-D変換器動作中		6.0	8.6	mA
		2分周モード時、V _{CC} = 5V f(XIN) = 8MHz f(XCIN) = 32.768kHz 出力トランジスタは遮断状態、 A-D変換器動作中		5.0	7.2	mA
		2分周モード時、V _{CC} = 5V f(XIN) = 8MHz(WIT命令実行時) f(XCIN) = 32.768kHz 出力トランジスタは遮断状態 A-D変換器終了状態		1.0	2.0	mA
		低速モード時、V _{CC} = 5V、T _a = 55 f(XIN) = 停止 f(XCIN) = 32.768kHz 出力トランジスタは遮断状態		150	200	μA
		低速モード時、V _{CC} = 5V、T _a = 25 f(XIN) = 停止 f(XCIN) = 32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		6	10	μA
		低速モード時、V _{CC} = 3V、T _a = 55 f(XIN) = 停止 f(XCIN) = 32.768kHz 出力トランジスタは遮断状態		125	165	μA
		低速モード時、V _{CC} = 3V、T _a = 25 f(XIN) = 停止 f(XCIN) = 32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		4	8	μA
		発振はすべて停止 T _a = 25、出力トランジスタは遮断状態 (STP命令実行時)		0.1	1.0	μA
		発振はすべて停止 T _a = 85、出力トランジスタは遮断状態 (STP命令実行時)			10	μA

表20．直流電気的特性

(指定のない場合は、V_{CC}=4.5～5.5V、T_a=25)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{PP1}	V _{PP} 電源電流(リード時)	V _{PP} = V _{CC} 、フラッシュメモリモード時			100	μA
I _{PP2}	V _{PP} 電源電流(プログラム時)				60	mA
I _{PP3}	V _{PP} 電源電流(イレーズ時)				30	mA
V _{PP}	V _{PP} 電源電圧		4.5		5.5	V

38C2グループ(Aバージョン)

表21 . A-D変換器特性 (フラッシュメモリ版)

(指定のない場合は、VCC = 2.5 ~ 5.5V、VSS = AVSS = 0V、Ta = - 20 ~ 85 、ポートは静止状態)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				10	BITS
-	絶対精度 (量子化誤差を除く)	VCC = VREF = 5V ADクロック周波数=5MHz 10bitADモード			±6	LSB
		VCC = VREF = 4V ADクロック周波数=4MHz 10bitADモード				
		VCC = VREF = 2.5V ADクロック周波数=500kHz 10bitADモード、昇圧あり			±5	
		VCC = VREF = 5V ADクロック周波数=4MHz 8bitADモード			±2	
		VCC = VREF = 2.5V ADクロック周波数=1MHz 8bitADモード、昇圧あり				
tCONV	変換時間	AD変換クロック選択ビット=XIN/2 10bitADモード			tc(XIN) × 121 (注)	μs
RLADDER	ラダー抵抗		12	35	100	k
IVREF	基準電圧入力電流	VREF = 5V	50	150	200	μA
IIA	アナログ入力電流				5.0	μA

注 . AD変換クロック選択ビットにXIN/4、XIN/8、XIN/16を選択した場合、上記時間の2、4、8倍となります。

表22 . LCD電源特性 (LCD電源用分割抵抗接続時) (フラッシュメモリ版)

(指定のない場合は、VCC = 2.5 ~ 5.5V、Ta = - 20 ~ 85)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
RLCD	LCD電源用分割抵抗値 (注)	RSEL = " 10 "			200	k	
		RSEL = " 11 "			5		
		LCD駆動 タイミングA	LCD回路 分周比 = 1分周	RSEL = " 01 "			120
				RSEL = " 00 "			90
			LCD回路 分周比 = 2分周	RSEL = " 01 "			150
				RSEL = " 00 "			120
			LCD回路 分周比 = 4分周	RSEL = " 01 "			170
				RSEL = " 00 "			150
		LCD回路 分周比 = 8分周	RSEL = " 01 "		190		
			RSEL = " 00 "		170		
		LCD駆動 タイミングB	LCD回路 分周比 = 1分周	RSEL = " 01 "			150
				RSEL = " 00 "			120
			LCD回路 分周比 = 2分周	RSEL = " 01 "			170
				RSEL = " 00 "			150
LCD回路 分周比 = 4分周	RSEL = " 01 "			190			
	RSEL = " 00 "			170			
LCD回路 分周比 = 8分周	RSEL = " 01 "		190				
	RSEL = " 00 "		190				

注 . 分割抵抗1個あたりの平均値です。

38C2グループ(Aバージョン)

表23． タイミング必要条件1 (フラッシュメモリ版)

(指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間 (XIN入力)	4.5V Vcc 5.5V	100	1000	ns
		4.0V Vcc < 4.5V	1000/(4 × Vcc - 8)	1000	ns
twh(XIN)	メインクロック入力“H”パルス幅	4.5V Vcc 5.5V	40	500	ns
		4.0V Vcc < 4.5V	45	500	ns
twl(XIN)	メインクロック入力“L”パルス幅	4.5V Vcc 5.5V	40	500	ns
		4.0V Vcc < 4.5V	45	500	ns
tc(XCIN)	サブクロック入力サイクル時間	20			μs
twh(XCIN)	サブクロック入力“H”パルス幅	9			μs
twl(XCIN)	サブクロック入力“L”パルス幅	9			μs
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	4.5V Vcc 5.5V	200		ns
		4.0V Vcc < 4.5V	1000/(2 × Vcc - 4)		ns
twh(CNTR)	CNTR0, CNTR1入力“H”パルス幅	4.5V Vcc 5.5V	85		ns
		4.0V Vcc < 4.5V	105		ns
twl(CNTR)	CNTR0, CNTR1入力“L”パルス幅	4.5V Vcc 5.5V	85		ns
		4.0V Vcc < 4.5V	105		ns
twh(INT)	INT0 ~ INT2入力“H”パルス幅	80			ns
twl(INT)	INT0 ~ INT2入力“L”パルス幅	80			ns
tc(SCLK)	シリアル/O1,2クロック入力サイクル時間 (注)	800			ns
twh(SCLK)	シリアル/O1,2クロック入力“H”パルス幅 (注)	370			ns
twl(SCLK)	シリアル/O1,2クロック入力“L”パルス幅 (注)	370			ns
tsu(RxD-SCLK)	シリアル/O1,2入力セットアップ時間	220			ns
th(SCLK-RxD)	シリアル/O1,2入力ホールド時間	100			ns

注． 0FE016番地又は0FE316番地のビット6が“1” (クロック同期形) の場合です。
 0FE016番地又は0FE316番地のビット6が“0” (クロック非同期形) の場合、値は1/4になります。

表24． タイミング必要条件2 (フラッシュメモリ版)

(指定のない場合は、Vcc = 2.5 ~ 4.0V、Vss = 0V、Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	125		1000	ns
twh(XIN)	メインクロック入力“H”パルス幅	50		500	ns
twl(XIN)	メインクロック入力“L”パルス幅	50		500	ns
tc(XCIN)	サブクロック入力サイクル時間	20			μs
twh(XCIN)	サブクロック入力“H”パルス幅	9			μs
twl(XCIN)	サブクロック入力“L”パルス幅	9			μs
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	750/(Vcc - 1)			ns
twh(CNTR)	CNTR0, CNTR1入力“H”パルス幅	tc(CNTR)/2 - 20			ns
twl(CNTR)	CNTR0, CNTR1入力“L”パルス幅	tc(CNTR)/2 - 20			ns
twh(INT)	INT0 ~ INT2入力“H”パルス幅	230			ns
twl(INT)	INT0 ~ INT2入力“L”パルス幅	230			ns
tc(SCLK)	シリアル/O1,2クロック入力サイクル時間 (注)	2000			ns
twh(SCLK)	シリアル/O1,2クロック入力“H”パルス幅 (注)	950			ns
twl(SCLK)	シリアル/O1,2クロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK)	シリアル/O1,2入力セットアップ時間	400			ns
th(SCLK-RxD)	シリアル/O1,2入力ホールド時間	200			ns

注． 0FE016番地又は0FE316番地のビット6が“1” (クロック同期形) の場合です。
 0FE016番地又は0FE316番地のビット6が“0” (クロック非同期形) の場合、値は1/4になります。

表25．スイッチング特性1 (フラッシュメモリ版)

(指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tWH (SCLK)	シリアル/O1,2クロック出力“H”パルス幅	tc(SCLK)/2 - 30			ns
tWL (SCLK)	シリアル/O1,2クロック出力“L”パルス幅	tc(SCLK)/2 - 30			ns
td (SCLK-TxD)	シリアル/O1,2出力遅延時間 (注1)			140	ns
tv (SCLK-TxD)	シリアル/O1,2出力有効時間 (注1)	- 30			ns
tr (SCLK)	シリアル/O1,2クロック出力立ち上がり時間			30	ns
tf (SCLK)	シリアル/O1,2クロック出力立ち下がり時間			30	ns
tr (CMOS)	CMOS出力立ち上がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 (注2)	25	40	ns
		P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62 (注2)	15	30	ns
tf (CMOS)	CMOS出力立ち下がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62 (注2)	15	30	ns

注1．UART制御レジスタのPチャンネル出力禁止ビット(0FE116番地または0FE416番地のビット4)が“0”の場合です。

2．XOUT、XCOUTを除きます。

表26．スイッチング特性2 (フラッシュメモリ版)

(指定のない場合は、Vcc = 2.5 ~ 4.0V、Vss = 0V、Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tWH (SCLK)	シリアル/O1,2クロック出力“H”パルス幅	tc(SCLK)/2 - 80			ns
tWL (SCLK)	シリアル/O1,2クロック出力“L”パルス幅	tc(SCLK)/2 - 80			ns
td (SCLK-TxD)	シリアル/O1,2出力遅延時間 (注1)			400	ns
tv (SCLK-TxD)	シリアル/O1,2出力有効時間 (注1)	- 30			ns
tr (SCLK)	シリアル/O1,2クロック出力立ち上がり時間			80	ns
tf (SCLK)	シリアル/O1,2クロック出力立ち下がり時間			80	ns
tr (CMOS)	CMOS出力立ち上がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 (注2)	60	120	ns
		P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62 (注2)	40	80	ns
tf (CMOS)	CMOS出力立ち下がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62 (注2)	40	80	ns

注1．UART制御レジスタのPチャンネル出力禁止ビット(0FE116番地または0FE416番地のビット4)が“0”の場合です。

2．XOUT、XCOUTを除きます。

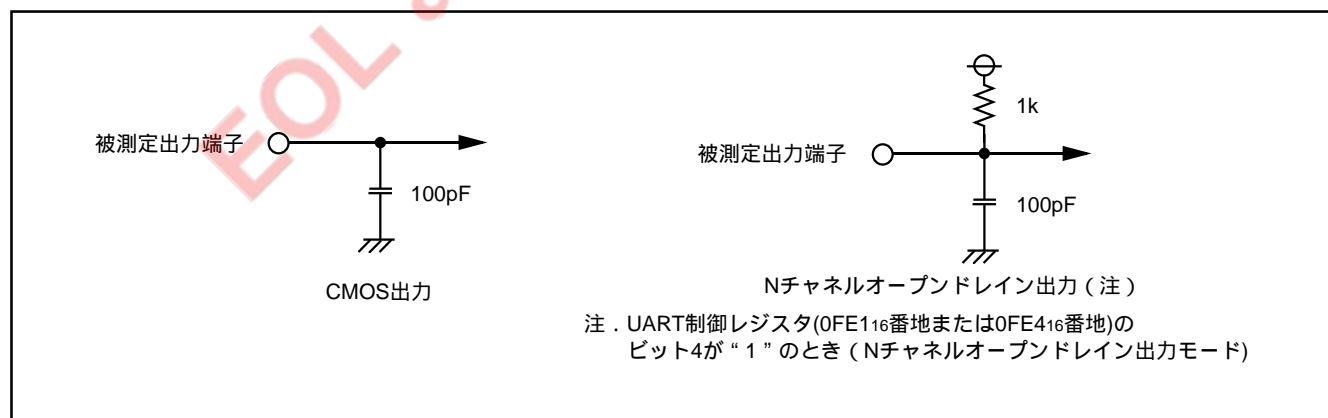


図71．出力スイッチング特性の測定回路図

タイミング図

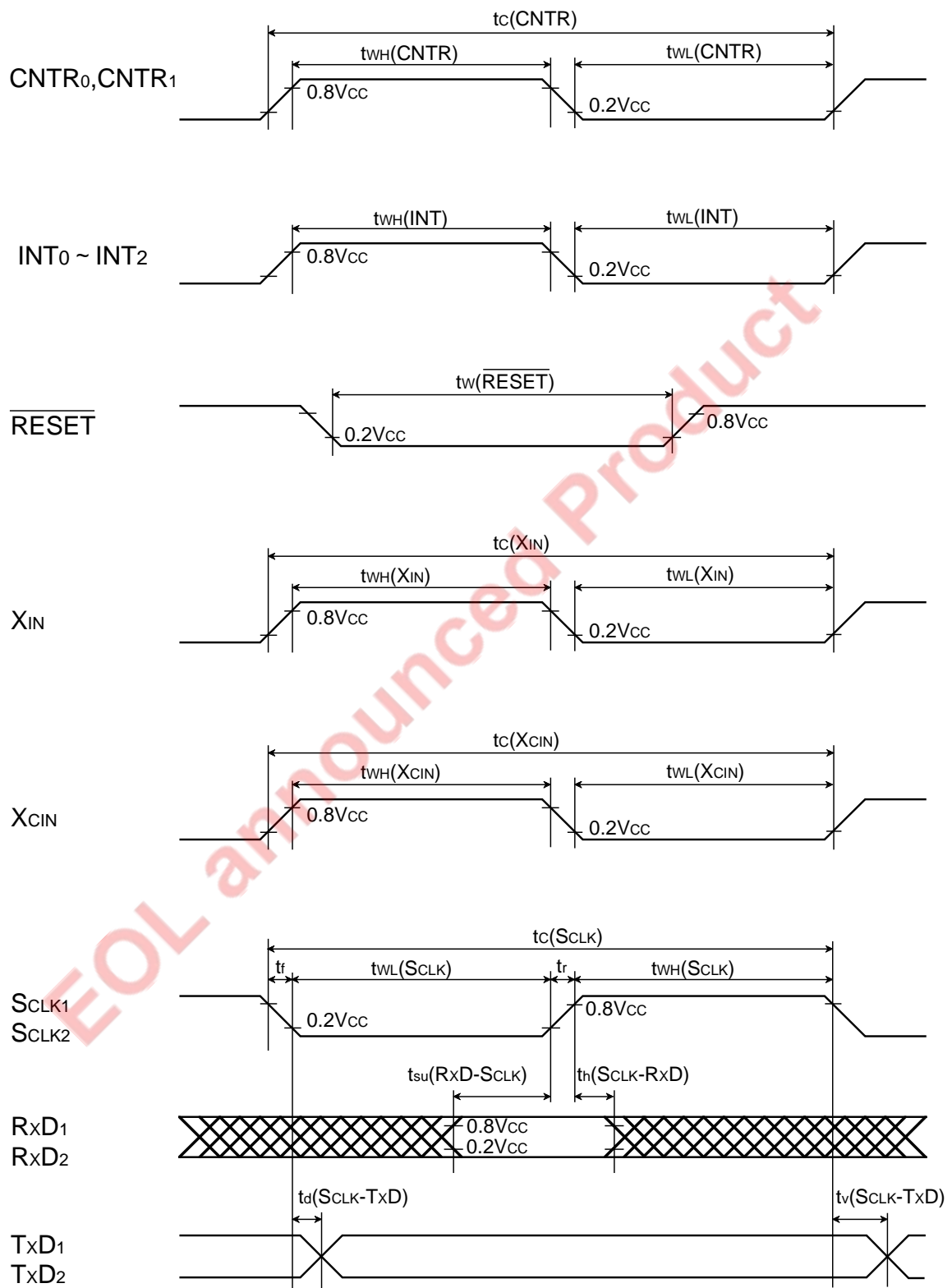


図72 . タイミング図

規格値 (マスクROM版)

表27 絶対最大定格 (マスクROM版)

記号	項目	条件	定格値	単位
VCC	電源電圧		- 0.3 ~ 6.5	V
VI	入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62	Vss端子を基準にして測定する出力トランジスタは遮断状態	- 0.3 ~ VCC + 0.3	V
VI	入力電圧 VL1		- 0.3 ~ VL2	V
VI	入力電圧 VL2		VL1 ~ VL3	V
VI	入力電圧 VL3		VL2 ~ 6.5	V
VI	入力電圧 RESET, XIN, CNVss		- 0.3 ~ VCC + 0.3	V
VO	出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27	出力ポート時	- 0.3 ~ VCC + 0.3	V
		セグメント出力時	- 0.3 ~ VL3 + 0.3	V
VO	出力電圧 COM0 ~ COM3		- 0.3 ~ VL3 + 0.3	V
VO	出力電圧 P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62		- 0.3 ~ VCC + 0.3	V
VO	出力電圧 XOUT		- 0.3 ~ VCC + 0.3	V
Pd	消費電力	Ta = 25	300	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

表28 推奨動作条件 (マスクROM版)

(指定のない場合は、VCC = 1.8 ~ 5.5V、Ta = - 20 ~ 85)

記号	項目	規格値			単位	
		最小	標準	最大		
VCC	電源電圧 (注1)	システムクロック周波数 f() = 5MHz	4.5	5.0	5.5	V
		システムクロック周波数 f() = 4MHz	4.0	5.0	5.5	V
		システムクロック周波数 f() = 2MHz	2.0	5.0	5.5	V
		システムクロック周波数 f() = 1MHz	1.8	5.0	5.5	V
		低速モード時 発振開始時 (注2)	1.8	5.0	5.5	V
VSS	電源電圧		0		V	
VL3	LCD電源電圧	2.5		5.5	V	
VREF	A-D変換器基準電圧	2.0		VCC	V	
AVSS	アナログ電源電圧		0		V	
VIa	アナログ入力電圧 AN0 ~ AN7	AVSS		VCC	V	
VIH	"H" 入力電圧 P04 ~ P07, P10 ~ P17, P20 ~ P27, P30, P32, P35, P36, P40 ~ P47, P52, P53, P62	0.7VCC		VCC	V	
VIH	"H" 入力電圧 P00 ~ P03, P31, P33, P34, P37, P50, P51, P54 ~ P57, P60, P61	0.8VCC		VCC	V	
VIH	"H" 入力電圧 RESET	2.2V VCC 5.5V	0.8VCC		VCC	V
		VCC 2.2V	$VCC - \frac{65 \times VCC - 99}{100}$		VCC	V
VIH	"H" 入力電圧 XIN		0.8VCC		VCC	V
VIH	"H" 入力電圧 XCIN (注3)		1.5		VCC	V
VIL	"L" 入力電圧 P04 ~ P07, P10 ~ P17, P20 ~ P27, P30, P32, P35, P36, P40 ~ P47, P52, P53, P62		0		0.3VCC	V
VIL	"L" 入力電圧 P00 ~ P03, P31, P33, P34, P37, P50, P51, P54 ~ P57, P60, P61, CNVss		0		0.2VCC	V
VIL	"L" 入力電圧 RESET	2.2V VCC 5.5V	0		0.2VCC	V
		VCC 2.2V	0		$\frac{65 \times VCC - 99}{100}$	V
VIL	"L" 入力電圧 XIN		0		0.2VCC	V
VIL	"L" 入力電圧 XCIN (注4)		0		0.4	V

注1. A-D変換器をご使用になる場合は、A-D変換器特性を参照ください。

2. 発振開始電圧や発振開始時間は、発振子や回路定数、温度などにより異なります。

特に高周波数の発振子は低電圧時に発振開始が困難なことがありますので注意してください。

f: 発振子の発振周波数(1MHz)です。8MHzのときは" 8 "を代入してください。

3. XCIN/P61端子を発振子に接続しない場合は、P61のVIH規格を参照してください。

4. XCIN/P61端子を発振子に接続しない場合は、P61のVIL規格を参照してください。

表29 . 推奨動作条件 (マスクROM版)

(指定のない場合は、V_{CC} = 1.8 ~ 5.5V、T_a = - 20 ~ 85)

記 号	項 目	規 格 値			単 位
		最 小	標 準	最 大	
I _{OH} (peak)	“ H ” 出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			- 20	mA
I _{OH} (peak)	“ H ” 出力総尖頭電流 (注1) P40 ~ P47, P50 ~ P57, P60 ~ P62			- 20	mA
I _{OL} (peak)	“ L ” 出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27			20	mA
I _{OL} (peak)	“ L ” 出力総尖頭電流 (注1) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			20	mA
I _{OL} (peak)	“ L ” 出力総尖頭電流 (注1) P30 ~ P37, P52, P53			110	mA
I _{OH} (avg)	“ H ” 出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			- 10	mA
I _{OH} (avg)	“ H ” 出力総平均電流 (注1) P40 ~ P47, P50 ~ P57, P60 ~ P62			- 10	mA
I _{OL} (avg)	“ L ” 出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27			10	mA
I _{OL} (avg)	“ L ” 出力総平均電流 (注1) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			10	mA
I _{OL} (avg)	“ L ” 出力総平均電流 (注1) P30 ~ P37, P52, P53			90	mA
I _{OH} (peak)	“ H ” 出力尖頭電流 (注2) P00 ~ P07, P10 ~ P17, P20 ~ P27			- 1.0	mA
I _{OH} (peak)	“ H ” 出力尖頭電流 (注2) P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62			- 5.0	mA
I _{OL} (peak)	“ L ” 出力尖頭電流 (注2) P00 ~ P07, P10 ~ P17, P20 ~ P27			10	mA
I _{OL} (peak)	“ L ” 出力尖頭電流 (注2) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			10	mA
I _{OL} (peak)	“ L ” 出力尖頭電流 (注2) P30 ~ P37, P52, P53			30	mA
I _{OH} (avg)	“ H ” 出力平均電流 (注3) P00 ~ P07, P10 ~ P17, P20 ~ P27			- 0.5	mA
I _{OH} (avg)	“ H ” 出力平均電流 (注3) P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62			- 2.5	mA
I _{OL} (avg)	“ L ” 出力平均電流 (注3) P00 ~ P07, P10 ~ P17, P20 ~ P27			5.0	mA
I _{OL} (avg)	“ L ” 出力平均電流 (注3) P40 ~ P47, P50, P51, P54 ~ P57, P60 ~ P62			5.0	mA
I _{OL} (avg)	“ L ” 出力平均電流 (注3) P30 ~ P37, P52, P53			15	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 出力平均電流は、100msの期間内での平均値です。

表30．推奨動作条件（マスクROM版）

(指定のない場合は、Vcc = 1.8 ~ 5.5V、Ta = - 20 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f(CNTR0) f(CNTR1)	タイマX、タイマY 入力周波数 (デューティ50%時)	(4.5V Vcc 5.5V)			5.0	MHz
		(4.0V Vcc < 4.5V)			2 × Vcc - 4	MHz
		(2.0V Vcc < 4.0V)			Vcc	MHz
		(Vcc < 2.0V)			5 × Vcc - 8	MHz
f(Tclk)	タイマX、タイマY、 タイマ1、2、3、4用 クロック周波数 (各タイマのカウントソース 周波数)	(4.5V Vcc 5.5V)			10.0	MHz
		(4.0V Vcc < 4.5V)			4 × Vcc - 8	MHz
		(2.0V Vcc < 4.0V)			2 × Vcc	MHz
		(Vcc < 2.0V)			10 × Vcc - 16	MHz
f ()	システムクロック 周波数	(4.5V Vcc 5.5V)			5.0	MHz
		(4.0V Vcc < 4.5V)			2 × Vcc - 4	MHz
		(2.0V Vcc < 4.0V)			Vcc	MHz
		(Vcc < 2.0V)			5 × Vcc - 8	MHz
f(XIN)	メインクロック 入力発振周波数 (注1、3)	(4.5V Vcc 5.5V)	1.0		10.0	MHz
		(2.0V Vcc < 4.5V)	1.0		8.0	MHz
		(Vcc < 2.0V)	1.0		20 × Vcc - 32	MHz
f(XCIN)	サブクロック入力発振周波数(注1、2、3)		32.768	50	kHz	

注1．発振周波数はデューティ50%の場合です。

注2．低速モードを使用する場合、時計用クロック入力発振周波数は $f(XCIN) < f(XIN)/3$ としてください。

注3．発振開始電圧や発振開始時間は、発振子や回路定数、温度などにより異なります。特に高周波数の発振子は低電圧時に発振開始が困難なことがありますので注意してください。

表31 . 電気的特性(マスクROM版)

(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27	IOH = - 1mA	VCC - 2.0			V
		IOH = - 0.25mA VCC = 1.8V	VCC - 0.8			V
VOH	“H”出力電圧 P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62	IOH = - 5mA	VCC - 2.0			V
		IOH = - 1.5mA	VCC - 0.5			V
		IOH = - 1.25mA VCC = 1.8V	VCC - 0.8			V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27 P40 ~ P47, P50, P51, P54 ~ P57 P60 ~ P62	IOH = 10mA			2.0	V
		IOH = 3mA			0.5	V
		IOH = 2.5mA VCC = 1.8V			0.8	V
		IOH = 15mA			2.0	V
VOL	“L”出力電圧 P30 ~ P37, P52, P53	IOH = 4mA VCC = 1.8V			0.8	V
VT+ - VT -	ヒステリシス INT0 ~ INT2, CNTR0, CNTR1, P00 ~ P03, P54 ~ P57			0.5		V
VT+ - VT -	ヒステリシス SCLK1, SCLK2, RxD1, RxD2			0.5		V
VT+ - VT -	ヒステリシス RESET			0.5		V
IiH	“H”入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62	Vi = VCC			5.0	μA
IiH	“H”入力電流 RESET	Vi = VCC			5.0	μA
IiH	“H”入力電流 XIN	Vi = VCC		4.0		μA
IiL	“L”入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P62	Vi = VSS プルアップOFF			- 5.0	μA
		VCC = 5V, Vi = VSS プルアップON	- 60	- 120	- 240	μA
		VCC = 1.8V, Vi = VSS プルアップON	- 5.0	- 20	- 40	μA
IiL	“L”入力電流 RESET	Vi = VSS			- 5.0	μA
IiL	“L”入力電流 XIN	Vi = VSS		- 4.0		μA

表32 . 電気的特性 (マスクROM版)

(指定のない場合は、Vcc=1.8~5.5V、Ta= - 20 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VRAM	RAM保持電圧	クロック停止時	1.8		5.5	V
Icc	電源電流	2分周モード時、Vcc = 5V f(XIN) = 10MHz f(XCIN) = 32.768kHz 出力トランジスタは遮断状態、 A-D変換器動作中		3.4	5.1	mA
		2分周モード時、Vcc = 5V f(XIN) = 8MHz f(XCIN) = 32.768kHz 出力トランジスタは遮断状態、 A-D変換器動作中		2.7	4.2	mA
		2分周モード時、Vcc = 5V f(XIN) = 8MHz(WIT命令実行時) f(XCIN) = 32.768kHz 出力トランジスタは遮断状態 A-D変換器終了状態		1.0	2.0	mA
		低速モード時、Vcc = 5V、Ta = 55 f(XIN) = 停止 f(XCIN) = 32.768kHz 出力トランジスタは遮断状態		14	21	μA
		低速モード時、Vcc = 5V、Ta = 25 f(XIN) = 停止 f(XCIN) = 32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		6	10	μA
		低速モード時、Vcc = 3V、Ta = 55 f(XIN) = 停止 f(XCIN) = 32.768kHz 出力トランジスタは遮断状態		8	13	μA
		低速モード時、Vcc = 3V、Ta = 25 f(XIN) = 停止 f(XCIN) = 32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		4	8	μA
		発振はすべて停止 Ta = 25、出力トランジスタは遮断状態 (STP命令実行時)		0.1	1.0	μA
		発振はすべて停止 Ta = 85、出力トランジスタは遮断状態 (STP命令実行時)			10	μA

表33 . A-D変換器特性 (マスクROM版)

(指定のない場合は、Vcc = 2.2 ~ 5.5V、Vss = AVss = 0V、Ta = - 20 ~ 85、ポートは静止状態)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				10	BITS
-	絶対精度 (量子化誤差を除く)	VCC = VREF = 5V ADクロック周波数=5MHz 10bitADモード			±5	LSB
		VCC = VREF = 4V ADクロック周波数=4MHz 10bitADモード				
		VCC = VREF = 2.2V ADクロック周波数=500kHz 10bitADモード、昇圧あり			±4	
		VCC = VREF = 5V ADクロック周波数=5MHz 8bitADモード			±2	
		VCC = VREF = 4V ADクロック周波数=4MHz 8bitADモード				
		VCC = VREF = 2.2V ADクロック周波数=1MHz 8bitADモード、昇圧あり				
tCONV	変換時間	AD変換クロック選択ビット=XIN/2 10bitADモード			tc(XIN) × 121 (注)	μs
RLADDER	ラダー抵抗		12	35	100	k
IVREF	基準電圧入力電流	VREF = 5V	50	150	200	μA
IiA	アナログ入力電流				5.0	μA

注 . AD変換クロック選択ビットにXIN/4, XIN/8, XIN/16を選択した場合、上記時間の2、4、8倍となります。

表34 . LCD電源特性 (LCD電源用分割抵抗接続時) (マスクROM版)

(指定のない場合は、Vcc = 1.8 ~ 5.5V、Ta = - 20 ~ 85)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
RLCD	LCD電源用分割抵抗値 (注)	RSEL = " 10 "		200		k	
		RSEL = " 11 "		5			
		LCD駆動 タイミングA	LCD回路 分周比 = 1分周	RSEL = " 01 "	120		
				RSEL = " 00 "	90		
			LCD回路 分周比 = 2分周	RSEL = " 01 "	150		
				RSEL = " 00 "	120		
			LCD回路 分周比 = 4分周	RSEL = " 01 "	170		
				RSEL = " 00 "	150		
		LCD駆動 タイミングB	LCD回路 分周比 = 1分周	RSEL = " 01 "	150		
				RSEL = " 00 "	120		
			LCD回路 分周比 = 2分周	RSEL = " 01 "	170		
				RSEL = " 00 "	150		
			LCD回路 分周比 = 4分周	RSEL = " 01 "	190		
				RSEL = " 00 "	170		
	LCD回路 分周比 = 8分周	RSEL = " 01 "	190				
		RSEL = " 00 "	190				

注 . 分割抵抗1個あたりの平均値です。

表35 . タイミング必要条件1 (マスクROM版)

(指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間 (XIN入力)	4.5V Vcc 5.5V	100		ns
		4.0V Vcc < 4.5V	1000/(4 × Vcc - 8)		ns
twh(XIN)	メインクロック入力“H”パルス幅	4.5V Vcc 5.5V	40		ns
		4.0V Vcc < 4.5V	45		ns
twl(XIN)	メインクロック入力“L”パルス幅	4.5V Vcc 5.5V	40		ns
		4.0V Vcc < 4.5V	45		ns
tc(XCIN)	サブクロック入力サイクル時間	20			μs
twh(XCIN)	サブクロック入力“H”パルス幅	9			μs
twl(XCIN)	サブクロック入力“L”パルス幅	9			μs
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	4.5V Vcc 5.5V	200		ns
		4.0V Vcc < 4.5V	1000/(2 × Vcc - 4)		ns
twh(CNTR)	CNTR0, CNTR1入力“H”パルス幅	4.5V Vcc 5.5V	85		ns
		4.0V Vcc < 4.5V	105		ns
twl(CNTR)	CNTR0, CNTR1入力“L”パルス幅	4.5V Vcc 5.5V	85		ns
		4.0V Vcc < 4.5V	105		ns
twh(INT)	INT0 ~ INT2入力“H”パルス幅	80			ns
twl(INT)	INT0 ~ INT2入力“L”パルス幅	80			ns
tc(SCLK)	シリアル/O1,2クロック入力サイクル時間 (注)	800			ns
twh(SCLK)	シリアル/O1,2クロック入力“H”パルス幅 (注)	370			ns
twl(SCLK)	シリアル/O1,2クロック入力“L”パルス幅 (注)	370			ns
tsu(RxD-SCLK)	シリアル/O1,2入力セットアップ時間	220			ns
th(SCLK-RxD)	シリアル/O1,2入力ホールド時間	100			ns

注 . 0FE016番地又は0FE316番地のビット6が“1” (クロック同期形) の場合です。
0FE016番地又は0FE316番地のビット6が“0” (クロック非同同期形) の場合、値は1/4になります。

表36 . タイミング必要条件2 (マスクROM版)

(指定のない場合は、Vcc = 1.8 ~ 4.0V、Vss = 0V、Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間 (XIN入力)	2.0 V Vcc 4.0V	125		ns
		Vcc < 2.0V	250/(5 × Vcc - 8)		ns
twh(XIN)	メインクロック入力“H”パルス幅	2.0 V Vcc 4.0V	50		ns
		Vcc < 2.0V	tc(XIN)/2-12.5		ns
twl(XIN)	メインクロック入力“L”パルス幅	2.0 V Vcc 4.0V	50		ns
		Vcc < 2.0V	tc(XIN)/2-12.5		ns
tc(XCIN)	サブクロック入力サイクル時間	20			μs
twh(XCIN)	サブクロック入力“H”パルス幅	9			μs
twl(XCIN)	サブクロック入力“L”パルス幅	9			μs
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	2.0 V Vcc 4.0V	1000/Vcc		ns
		Vcc < 2.0V	1000/(5 × Vcc - 8)		ns
twh(CNTR)	CNTR0, CNTR1入力“H”パルス幅	tc(CNTR)/2 - 20			ns
twl(CNTR)	CNTR0, CNTR1入力“L”パルス幅	tc(CNTR)/2 - 20			ns
twh(INT)	INT0 ~ INT2入力“H”パルス幅	230			ns
twl(INT)	INT0 ~ INT2入力“L”パルス幅	230			ns
tc(SCLK)	シリアル/O1,2クロック入力サイクル時間 (注)	2000			ns
twh(SCLK)	シリアル/O1,2クロック入力“H”パルス幅 (注)	950			ns
twl(SCLK)	シリアル/O1,2クロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK)	シリアル/O1,2入力セットアップ時間	400			ns
th(SCLK-RxD)	シリアル/O1,2入力ホールド時間	200			ns

注 . 0FE016番地又は0FE316番地のビット6が“1” (クロック同期形) の場合です。
0FE016番地又は0FE316番地のビット6が“0” (クロック非同同期形) の場合、値は1/4になります。

表37．スイッチング特性1 (マスクROM版)

(指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tWH (SCLK)	シリアル/O1,2クロック出力“H”パルス幅	tc(SCLK)/2 - 30			ns
tWL (SCLK)	シリアル/O1,2クロック出力“L”パルス幅	tc(SCLK)/2 - 30			ns
td (SCLK-TxD)	シリアル/O1,2出力遅延時間 (注1)			140	ns
tv (SCLK-TxD)	シリアル/O1,2出力有効時間 (注1)	- 30			ns
tr (SCLK)	シリアル/O1,2クロック出力立ち上がり時間			30	ns
tf (SCLK)	シリアル/O1,2クロック出力立ち下がり時間			30	ns
tr (CMOS)	CMOS出力立ち上がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 (注2)	25	40	ns
		P30 ~ P37, P40 ~ P47, P50 ~ P57	15	30	ns
		P60 ~ P62 (注2)			
tf (CMOS)	CMOS出力立ち下がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 (注2)	15	30	ns
		P30 ~ P37, P40 ~ P47, P50 ~ P57			
		P60 ~ P62 (注2)			

注1．UART制御レジスタのPチャンネル出力禁止ビット(0FE116番地または0FE416番地のビット4)が“0”の場合です。
 2．XOUT、XCOUTを除きます。

表38．スイッチング特性2 (マスクROM版)

(指定のない場合は、Vcc = 1.8 ~ 4.0V、Vss = 0V、Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tWH (SCLK)	シリアル/O1,2クロック出力“H”パルス幅	tc(SCLK)/2 - 80			ns
tWL (SCLK)	シリアル/O1,2クロック出力“L”パルス幅	tc(SCLK)/2 - 80			ns
td (SCLK-TxD)	シリアル/O1,2出力遅延時間 (注1)			400	ns
tv (SCLK-TxD)	シリアル/O1,2出力有効時間 (注1)	- 30			ns
tr (SCLK)	シリアル/O1,2クロック出力立ち上がり時間			80	ns
tf (SCLK)	シリアル/O1,2クロック出力立ち下がり時間			80	ns
tr (CMOS)	CMOS出力立ち上がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 (注2)	60	120	ns
		P30 ~ P37, P40 ~ P47, P50 ~ P57	40	80	ns
		P60 ~ P62 (注2)			
tf (CMOS)	CMOS出力立ち下がり時間	P00 ~ P07, P10 ~ P17, P20 ~ P27 (注2)	40	80	ns
		P30 ~ P37, P40 ~ P47, P50 ~ P57			
		P60 ~ P62 (注2)			

注1．UART制御レジスタのPチャンネル出力禁止ビット(0FE116番地または0FE416番地のビット4)が“0”の場合です。
 2．XOUT、XCOUTを除きます。

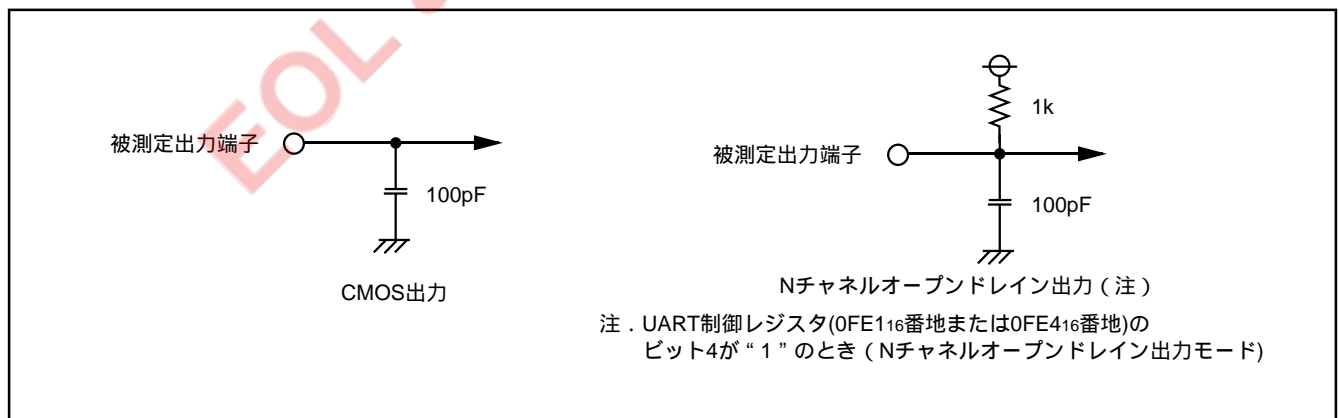


図73．出力スイッチング特性の測定回路図

タイミング図

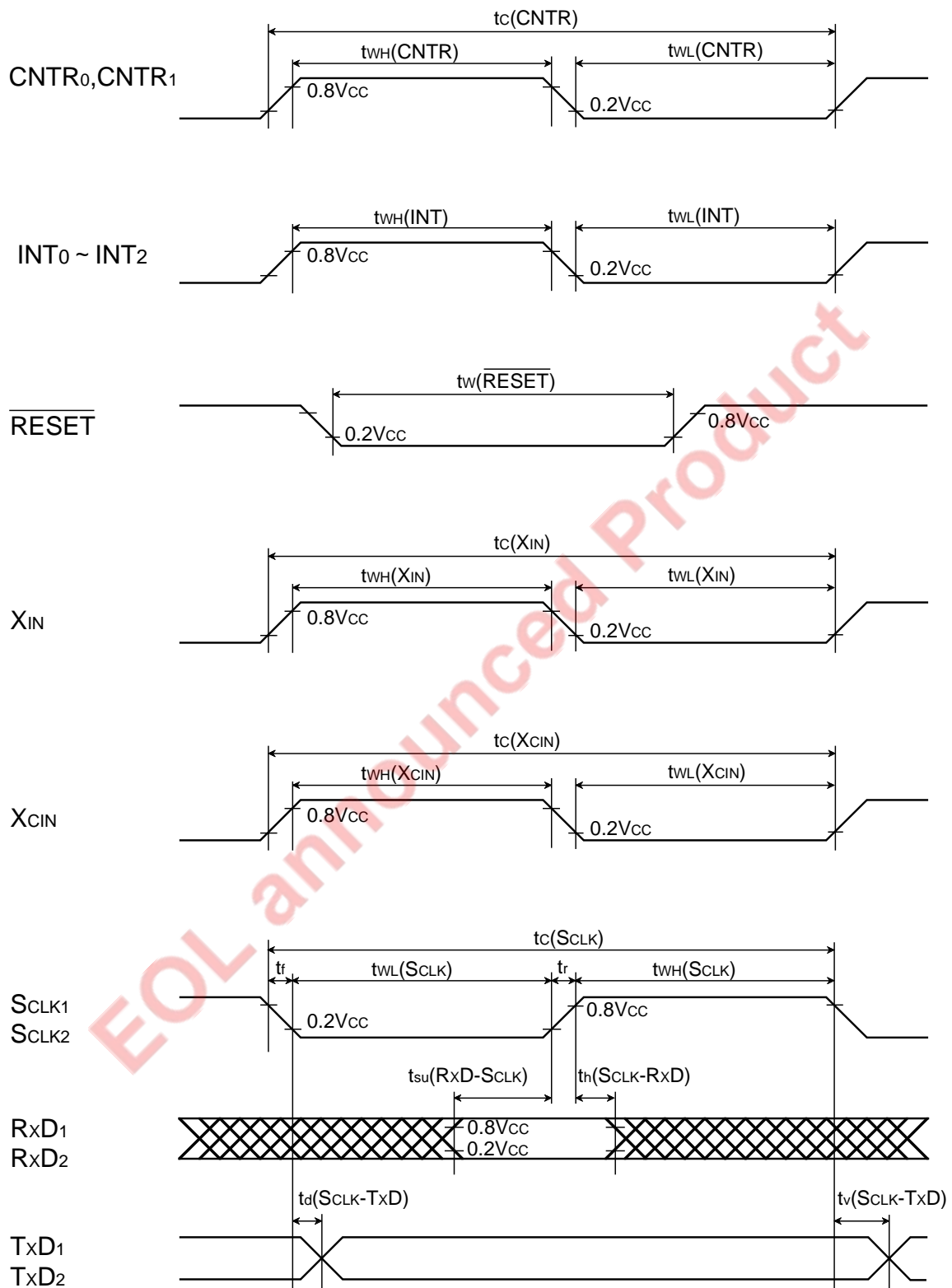
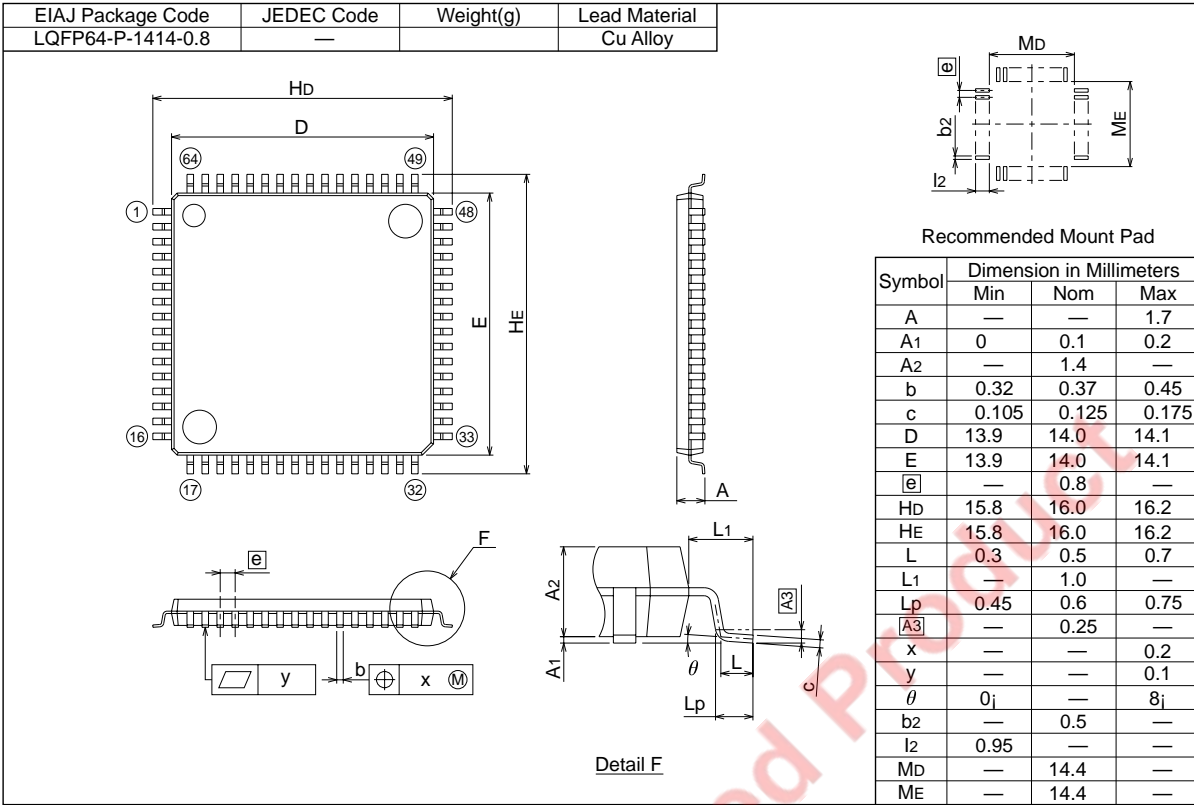


図74 . タイミング図

外形寸法図

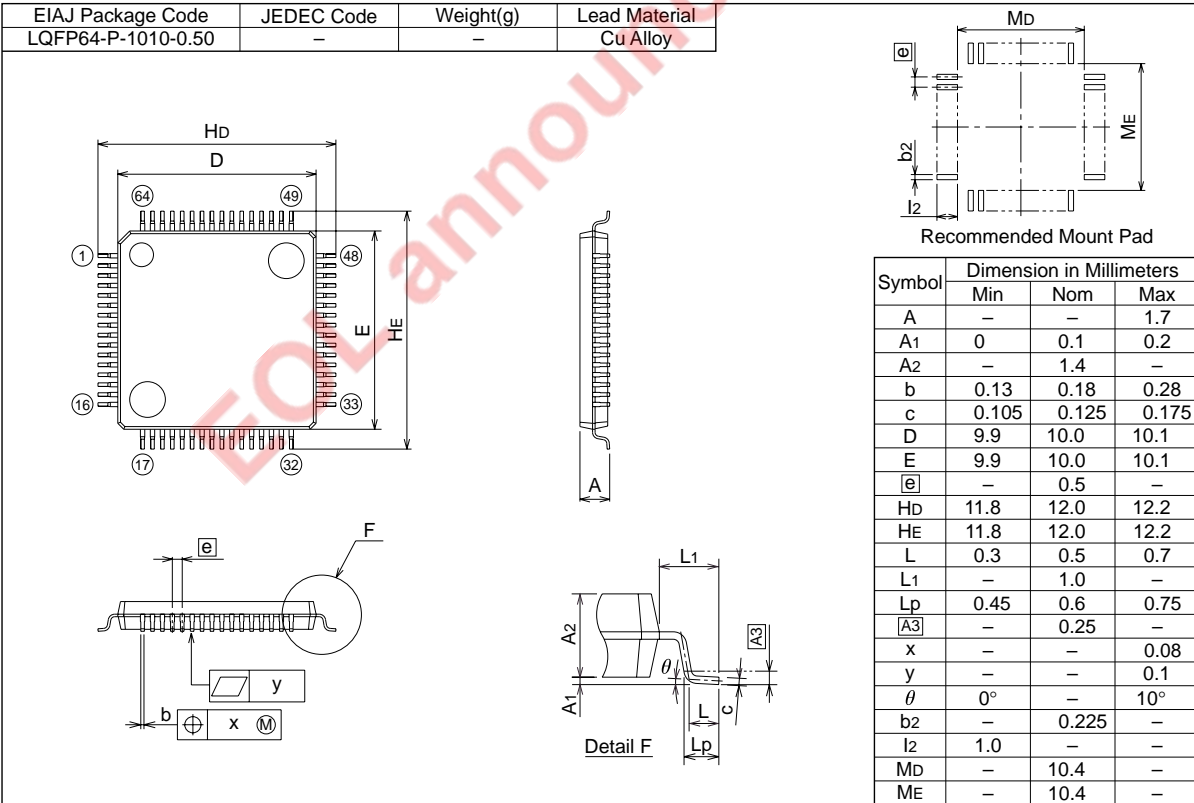
64P6U-A

Plastic 64pin 14X14mm body LQFP



64P6Q-A

Plastic 64pin 10X10mm body LQFP



付録

注意事項集

プログラム作成に関する注意事項

1. プロセッサステータスレジスタ

(1) プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

<理由>

プロセッサステータスレジスタ(PS)は、Iフラグが 1 であることを除いて、リセット直後は不定です。

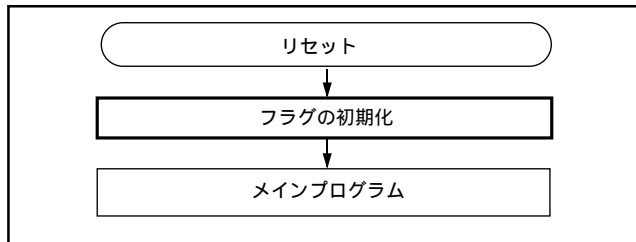


図 1. プロセッサステータスレジスタのフラグの初期化

(2) プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読んでください。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

PLP命令実行後には、必ずNOP命令を入れてください。

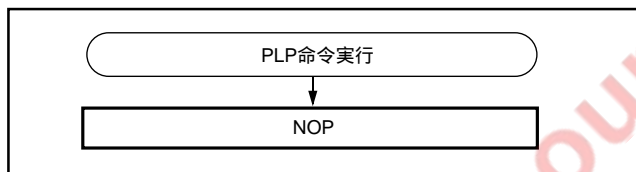


図 2. PLP 命令の実行手順



図 3. PHP 命令実行後のスタックメモリの内容

2. 10進演算

(1) 10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを 1 にして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令よりも一命令後に行ってください。

(2) 10進演算時のステータスフラグ

10進モード(Dフラグ $=1$)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリー)フラグは演算の結果、桁上がりが発生すると 1 に、桁借りが発生すると 0 になりますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

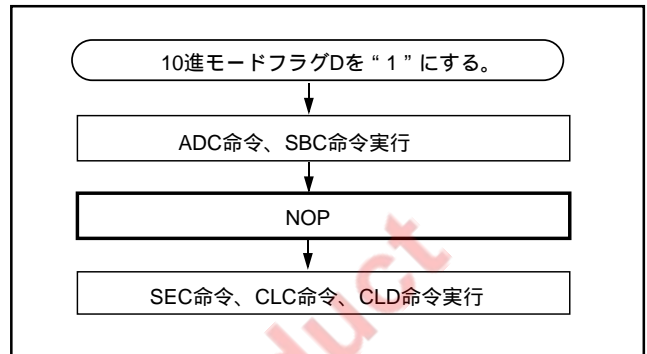


図 4.10 進演算時のステータスフラグ

3. JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが FF_{16} となるアドレスをオペランドに指定しないでください。

4. BRK命令

(1) 割り込み優先順位

下記2つの状態である時にBRK命令を実行すると、その要因の中で最も優先順位の高い要因の割り込みベクトルの番地から割り込みの実行を開始します。

- ・割り込み要求ビット、割り込み許可ビットが共に 1
- ・Iフラグを 1 にして割り込みを禁止

5. 乗除算命令

(1) MUL、DIV命令は、T、Dフラグの影響を受けません。

(2) 乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

6. リード・モディファイ・ライト命令

読み出しができないメモリやSFRに対してリード・モディファイ・ライト命令を実行しないでください。

リード・モディファイ・ライト命令は、メモリをバイト単位で読み(リード)加工して(モディファイ)元のメモリにバイト単位で書く(ライト)命令です。

740ファミリでは、次に示す命令が、リード・モディファイ・ライト命令に当たります。

(1)ビット処理命令

CLB、SEB

(2)シフト・回転命令

ASL、LSR、ROL、ROR、RRF

(3)加減算命令

DEC、INC

(4)論理演算命令(1の補数)

COM

なお、リード・モディファイ・ライト命令ではありませんが、Tフラグが^{*}1'の場合の加減算・論理演算命令(ADC、SBC、AND、EOR、ORA)も、リード・モディファイ・ライト命令と同様の動作をしますので、読み出しができないメモリやSFRに対して実行しないでください。

<理由>

読み出しができないメモリやSFRに対して、この命令を実行すると、次のようになります。

読み出しができないため、読んだ値は不定です。この不定値を加工して書くため、書いた値は予想できない値になります。

周辺機能に関する注意事項

入出力ポートに関する注意事項

1. プルアップ制御レジスタ

プルアップ抵抗を内蔵した各ポートを出力ポートとして使用する場合、対応するポートのプルアップ制御ビットは無効になり、プルアップ抵抗は接続されません。

<理由>

入力ポートに設定されている端子のみ、PULLレジスタ及びセグメント出力禁止レジスタによってプルアップ制御が行えます。

2. ビット処理命令による出力データの書き換え

入出力ポートのポートラッチをビット処理命令^{*}1を用いて書き換える場合、指定していないビットの値が変化することがあります。

<理由>

入出力ポートは、ビット単位で入力モード又は出力モードを設定できます。ポートPi(i=0~7)レジスタに読み出し、書き込みを行うと次のように動作します。

・入力モードのポート

読み出し：端子のレベルを読む(ポートラッチの内容と端子のレベルは無関係)

書き込み：ポートラッチへ書く(ポートラッチの内容と端子のレベルは無関係)

・出力モードのポート

読み出し：ポートラッチを読む(ポートラッチの内容と端子のレベルは無関係)

書き込み：ポートラッチへ書く(ポートラッチの内容を端子から出力する)

一方、ビット処理命令はリード・モディファイ・ライト形式の命令ですので、バイト単位で読み出し及び書き込みを行います。このため、入力モードのポートにビット処理命令を実行すると、端子のレベルを読み、指定されたビットを変更して、ポートラッチへ書きます。このとき、元のポートラッチの内容と、端子のレベルが違えば、命令で指定していないビットのポートラッチの内容が変化します。

更に、ポートPiに入力と出力が混在する場合、出力データを設定するためにポートPiレジスタにビット処理命令を実行すると、入出力に関係なくポートPiレジスタの全ビットに読み出しと書き込みを行うため、命令で指定していない、入力モードのビットのポートラッチの内容が変化することがあります。

^{*}1 ビット処理命令：SEB命令、CLB命令

3. 方向レジスタ

ポート方向レジスタの値は読めません。すなわち、LDA命令をはじめ、Tフラグが^{*}1'の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

未使用端子の処理に関する注意事項

1. 未使用端子の適切な処理

マイコンの端子からできるだけ短い配線(20mm以内)で次の処理をしてください。

(1)入出力ポート

入力モードにし、端子ごとに1k~10kの抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗も使用できます。

出力モードにする場合は、“L”又は“H”出力状態で開放してください。

・出力モードにして開放する場合、リセット後、プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。

・ノイズやプログラムの暴走などにより方向レジスタが変化する場合を考慮し、定期的に方向レジスタをプログラムで再設定することによって、更にプログラムの信頼度が高まります。

2. 処理上の留意事項

(1)入力専用ポート

開放しないでください。

<理由>

・入力レベルが不定になった場合、電源電流が増加する可能性があります。

・「1. (1)入出力ポート」の処理に比べ、ノイズの影響を受け易くなります。

(2)入出力ポートを入力モードにする場合

[1]開放しないでください。

<理由>

・初段回路によっては電源電流が増加する場合があります。

・「1. (1)入出力ポート」の処理に比べ、ノイズの影響を受け易くなります。

[2]Vcc又はVssに直結しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

[3]複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

<理由>

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

割り込みに関する注意事項

1. 使用しない割り込み
使用しない割り込みの割り込み許可ビットは“0”(禁止)にしてください。
2. 関連レジスタの設定変更
外部割り込みのアクティブエッジの選択及び複数の割り込み要因で共用している割り込みベクトルの割り込み要因の選択時、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

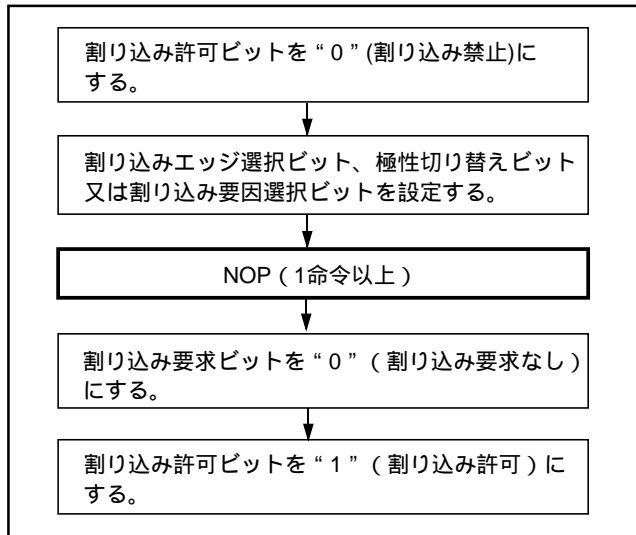


図5. 関連レジスタの設定手順

<理由>

次の場合、対応する割り込みの割り込み要求ビットが“1”になるとことがあります。

- ・外部割り込みのアクティブエッジを設定する際
INT0割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(003A16番地)のビット0)
INT1割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(003A16番地)のビット1)
INT2割り込みエッジ選択ビット
(割り込みエッジ選択レジスタ(003A16番地)のビット2)
CNTR0極性切り替えビット
(タイマX制御レジスタ(0FF416番地)のビット6)
CNTR1極性切り替えビット
(タイマYモードレジスタ(003016番地)のビット6)
- ・同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
割り込みエッジ選択レジスタ(003A16番地)

3. 割り込み要求ビットの判定

割り込み要求ビットを“0”にした直後、このビットをBBC命令又はBBS命令で判定する場合、次の手順で判定してください。

<理由>

割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

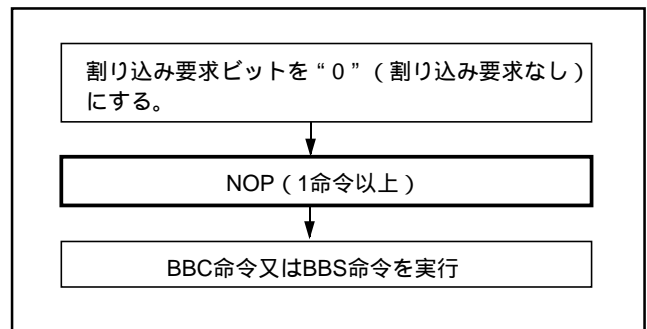


図6. 割り込み要求ビットの設定手順

タイマに関する注意事項

1. タイマラッチに値 n ($0 \sim 255$)を書き込んだ場合の分周比は、 $1/(n+1)$ です。
2. カウントソースを生成する分周器は、タイマ全体で1つの回路を共用しています。そのため各タイマを起動したときに、分周器の初期化は行われません。したがって、カウントソースに分周器を選択した場合、起動してから実際にタイマがカウント開始、あるいは波形出力するまでの間には、最大カウントソースの1サイクル分の遅延が生じます。また、カウントソースは外部から観測することはできません。
3. 使用していないタイマは次の設定をしてください。
 - ・カウント停止(停止制御ができるタイマの場合)
 - ・対応する割り込み許可ビットは“0”(禁止)を選択

タイマXに関する注意事項

1. CNTR0割り込み極性選択
 - ・CNTR0割り込み極性切り替えビットの設定により、同時に割り込み極性も影響を受けます。
 - ・パルス幅測定モード時は、CNTR0極性切り替えビットのビット7を“0”にしてください。
2. タイマX書き込み順序
 - ・タイマモード、パルス出力モード、イベントカウンタモード、又はパルス幅測定モード設定時は、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で書き込みを行ってください。なお、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)のいずれかのみ書き込みはできません。上記モードの設定時に、16ビットカウンタとして動作させる場合、リセット解除後一度もタイマXレジスタ(拡張)を設定していなければ、タイマXレジスタ(拡張)を設定する必要はありません。その場合の設定は、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で行ってください。ただし、一度タイマXレジスタ(拡張)に書き込むとリロード用ラッチに値が保持されるので、注意してください。
 - ・PWMモード、IGBT出力モードの設定時は、タイマXレジスタ(拡張)(002C16番地)には“1”を書き込まないでください。また、すでに“1”が書き込まれた状態の場合は、必ず“0”を書き込んでから使用してください。書き込むときはコンペアレジスタ(上位、下位)、タイマXレジスタ(拡張)、タイマXレジスタ(下位)、タイマXレジスタ(上位)の順で行ってください。コンペアレジスタは上位、下位のどちらが先でも構いません。なお、コンペアレジスタ、タイマXレジスタは必ず同時に書き込んでください。

3. タイマX読み出し順序

- 各モードともタイマXレジスタ(拡張)、タイマXレジスタ(上位)、タイマXレジスタ(下位)の順で読み出してください。タイマXレジスタ(拡張)を読み出す必要のないときは、タイマXレジスタ(上位)、タイマXレジスタ(下位)の順で読み出してください。コンペアレジスタについては読み出しの順序は決まっています。
- タイマXレジスタは書き込み操作中に読み出ししたり、読み出し操作中に書き込みを行うと正常な動作を行いません。

4. タイマXの書き込み

- タイマXはタイマXモードレジスタ(002F₁₆番地)のタイマX書き込み制御ビット(b3)によって、ラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。ラッチのみ書き込みの場合、タイマXのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチ及びタイマ同時書き込みになっており、タイマXのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。
なお、ラッチのみ書き込みの場合、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、上位側リロード用ラッチへの書き込み動作中はカウントが停止します。
- タイマカウント中にタイマカウントソースを切り替えないでください。タイマカウントソースを切り替える際は、タイマカウントを停止させてから行ってください。

5. タイマXモードレジスタ設定

- PWMモード、IGBT出力モード設定時は、タイマXモードレジスタの書き込み制御ビットは、必ず「1」(ラッチのみ書き込み)にしてください。タイマXレジスタ(上位)の書き込み後、次のアンダフローのタイミングで両レジスタの内容が同時に出力波形に反映されます。

6. タイマXパルス幅測定モード使用時

- タイマXパルス幅測定モード使用時、イベントカウンタウインド制御用データ(タイマXモードレジスタ(002F₁₆番地)のビット5)を許可(「0」)にしてください。
<理由>
イベントカウンタウインド制御用データ(タイマXモードレジスタ(002F₁₆番地)のビット5)は、CNTR0の入力を許可/禁止するため「1」(禁止)にした場合、タイマ1のアンダフロー後CNTR0入力を受け付けなくなります。

7. IGBT出力モード

- IGBT出力モードを使用するときは、タイマXレジスタ(拡張)に「1」を書かないでください。
- IGBTモードの場合、INT₀端子と共用のポートを入力モードに設定し、TxOUT端子と共用のポートを出力モードに設定してください。また、出力制御機能(INT₁, INT₂)を使用する場合、共用のポートを入力モードに設定してください。
- IGBT出力モード設定時に出力制御機能(INT₁, INT₂)を使用する場合、IGBT出力モードに切り替える前に、INT₁, INT₂割り込みエッジが立ち下がりエッジアクティブの場合はINT₁, INT₂に「H」レベルを入力し、立ち上がりエッジアクティブの場合はINT₁, INT₂に「L」レベルを入力してください。
- タイマX出力制御ビット1又は2(タイマX制御レジスタ(0FF4₁₆番地)のビット3又は4)を「1」にし、INT₁又はINT₂の割り込み信号でTxOUT端子の出力を初期化する場合、TxOUT端子からの出力レベルが変化するまでに次のような遅延が生じます。
最小：アナログ遅延
最大：タイマXのカウントソース1サイクル分+アナログ遅延

- 次の場合、タイマX割り込み要求ビット(割り込み要求レジスタ1(003C₁₆番地)のビット7)が「1」になります。
・タイマXがアンダフローするとき
・IGBTモード時、INT₀端子からの入力を検出したとき

タイマYに関する注意事項

1. タイマYの読み出し及び書き込み

- タイマYに読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。値を読む場合は上位バイト、下位バイトの順に読み、値を書く場合は下位バイト、上位バイトの順に書いてください。なお、書き込み操作中に読んだり、読み出し操作中に書くと正常な動作を行いません。
- ラッチのみ書き込みの場合、タイマYのアドレスに値を書くトリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。通常はラッチ及びタイマ同時書き込みになっており、タイマYのアドレスに値を書くときとタイマラッチに同時に値が設定されます。なお、ラッチのみ書き込みの場合、上位側リロード用ラッチに書くタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、上位側リロード用ラッチへの書き込み動作中はカウントが停止します。
- タイマカウント中にタイマカウントソースを切り替えないでください。タイマカウントソースを切り替える際は、タイマカウントを停止させてから行ってください。

2. CNTR1割り込み極性切り替え

- CNTR1極性切り替えビット(タイマYモードレジスタ(0030₁₆番地)のビット6)の設定により、同時にCNTR1割り込みのアクティブエッジも影響を受けます。ただし、パルス幅HL連続測定モードの場合はCNTR1極性切り替えビットの設定によらず、端子の立ち上がり、立ち下がりともにCNTR1割り込み要求が発生します。

タイマ1～4に関する注意事項

1. カスケード接続

- カスケード接続で使用する場合、タイマ1～4のカウントソースを選択した後、タイマ1レジスタから順に値を設定してください。
<理由>
タイマ1～4のカウントソースを選択するとき、カウント入りに細かいパルスが生じてタイマのカウント値が大きく変わることがあります。

2. タイマ3PWM0モード、タイマ4PWM1モード

- PWM出力開始後に一旦停止した場合、そのときの出力パルスのレベルによっては、出力を再開する時間が小区間の1区間(256×ts)遅れることがあります。
“H”で停止：出力遅延なし
“L”で停止：256×ts時間出力遅延する
- PWMモード使用時、タイマ3、タイマ4の割り込み要求及びタイマ3、タイマ4の値の更新は、大区間(4×256×ts)の周期ごとに行われます。
- タイマ3PWM0モード時、連続してP52/T3OUT/PWM0端子から“L”を出力する場合、タイマ3出力選択ビットを“0”にしてP52/T3OUT/PWM0端子を入出力ポートに切り替えて“L”を出力してください。このモードではタイマ3に“00₁₆”を設定しないでください。設定可能な値は、1～255です。
- タイマ4PWM1モード時、連続してP53/T4OUT/PWM1端子から“L”を出力する場合、タイマ4出力選択ビットを“0”にしてP53/T4OUT/PWM1端子を入出力ポートに切り替えて“L”を出力してください。このモードではタイマ4に“00₁₆”を設定しないでください。設定可能な値は、1～255です。

3. タイマ2、タイマ3、タイマ4の書き込み

ラッチのみ書き込みの場合、リロード用ラッチに書くタイミングとアンドフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、リロード用ラッチへの書き込み動作中はカウントが停止します。

シリアルI/Oに関する注意事項

1. ボーレートジェネレータへの書き込み

ボーレートジェネレータ(BRG)への書き込みは、送受信停止中に行ってください。

2. シリアルI/O1送信割り込み使用時の設定手順

シリアルI/O1送信割り込みを使用する場合は、設定に同期した割り込み発生が不要であれば、以下の手順で設定してください。

①シリアルI/O1送信割り込み許可ビット(割り込み制御レジスタ(003E16番地)のビット4)を“0”(禁止)にする。

②送信許可ビットを“1”にする。

③一命令以上おいてからシリアルI/O1送信割り込み要求ビット(割り込み要求レジスタ(003C16番地)のビット4)を“0”(割り込み要求なし)にする。

④シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

<理由>

送信許可ビットを“1”にすると、送信バッファエンプティフラグ(シリアルI/O1ステータスレジスタ(001D16番地)のビット0)及び送信シフトレジスタシフト終了フラグは、“1”になります。

したがって、送信割り込み要因選択ビット(シリアルI/O1制御レジスタのビット3)で割り込み発生要因をどちらに選択していても割り込み要求が発生し、シリアルI/O1送信割り込み要求ビットが“1”になります。

3. 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

送信バッファレジスタに送信データを書いた後、送信シフトレジスタシフト終了フラグ(シリアルI/O1ステータスレジスタ(001D16番地)のビット2)は、シフトクロックの0.5~1.5クロック分遅れで“1”から“0”へ変化します。したがって送信バッファレジスタに送信データを書いた後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

4. シリアルI/O1制御レジスタの再設定

シリアルI/O1制御レジスタの再設定は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信回路及び受信回路を初期化した後に行ってください。

5. 送信終了後の端子の状態

送信終了後、TxD端子は送信終了時のレベルを保持します。

クロック同期形シリアルI/Oモードで内部クロック選択時、SCLK1端子は“H”になります。

6. 送信動作中のシリアルI/O1許可ビット

送信時、シリアルI/O1許可ビット(シリアルI/O1制御レジスタ(0FE016番地)のビット7)を“0”(シリアルI/O1禁止)にすると、端子機能は入出力ポートになり、外部へ送信データは出力されませんが、内部の送信動作は継続して行われます。また、この状態で送信バッファレジスタに書くと、内部では送信動作を開始します。この時、シリアルI/O1許可ビットを“1”にすると、その時点から送信データをTxD端子に出力します。

7. 外部クロック選択時の送信制御

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が“H”の状態を送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLK1が“H”の状態で行ってください。

8. クロック同期形シリアルI/Oモード時の受信動作

クロック同期形シリアルI/Oモードの受信時、受信許可ビットとともに、送信許可ビットも“1”にしてください。次に、送信バッファレジスタにダミーデータを書いてください。同期クロックとして内部クロック選択時は、この時点で同期クロックが出力され、受信動作を開始します。外部クロック選択時は、この時点で受信できる状態になり、外部クロックが入力されると、受信動作を開始します。なお、P45/TxD端子からは、送信バッファレジスタに書いたダミーデータが出力されます。

9. クロック同期形シリアルI/Oモード時の送受信動作

クロック同期形シリアルI/Oモード時、送受信動作を停止する場合は、送信許可ビット、及び受信許可ビットを同時に“0”にしてください。いずれか一方だけを停止すると、送信と受信の同期がとれなくなり、ビットずれが生じます。

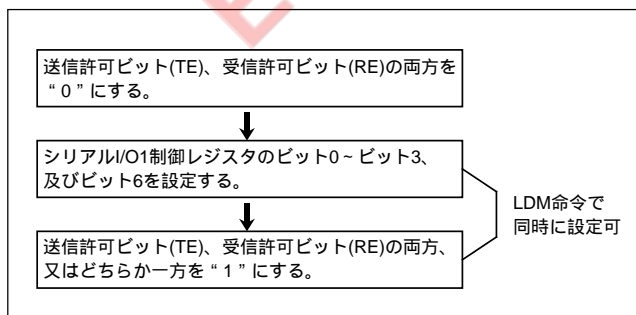


図7. シリアルI/O1制御レジスタの再設定手順

シリアルI/O2に関する注意事項

1. 同期クロックの切り替え

シリアルI/O2モード選択ビット(シリアルI/O2制御レジスタ(0FE3₁₆番地)のビット6)により、同期クロックを切り替えた場合、シリアルI/O2カウンタの初期化(送信/受信バッファレジスタ2(1E₁₆番地)への書き込み)を行ってください。

2. 外部クロック選択時の注意事項

同期クロックとして外部クロックを選択している場合、TxD2端子は転送終了後、D7の出力レベルを保持します。ただし、同期クロックが入力され続けると、送信/受信バッファレジスタ2のシフトは継続されTxD2端子から送信データが出力され続けます。

また、送信/受信バッファレジスタ2への書き込みは、SCLK2が \bar{H} の状態で行ってください。なお、同期クロックとして内部クロックを選択している場合、TxD2端子は転送終了後ハイインピーダンス状態になります。

シリアルI/Oに関するプログラミング上の注意事項

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側がSRDY出力を行う場合、受信許可ビット及びSRDY出力許可ビットとともに、送信許可ビットも $\bar{1}$ にしてください。また、シリアルI/Oでは、送信終了後、TxD端子が最終ビットをラッチし出力し続けます。

A-D変換器に関する注意事項

1. アナログ入力端子

アナログ入力の信号源インピーダンスは低くしてください。又は、アナログ入力端子に、0.01 μ F ~ 1 μ Fの外付けのコンデンサを接続してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

<理由>

アナログ入力端子には、アナログ電圧比較用のコンデンサを内蔵しています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA-D変換精度が得られない場合があります。

2. A-D変換レジスタの読み出し

10ビットA-D変換時と8ビットA-D変換時、それぞれのA-D変換レジスタの読み出し方法を図8に示します。

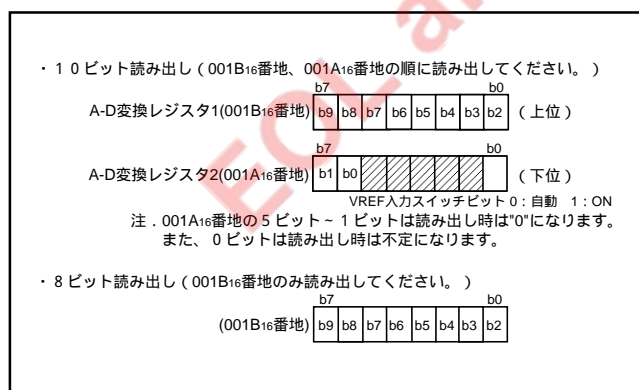


図8.A-D変換レジスタの読み出し

3. アナログ電源入力端子AVss

A-D変換機能の使用、未使用にかかわらず、アナログ電源入力端子AVssは次のように処理してください。

- ・ AVss : Vssに接続

<理由>

AVss端子を開放すると、ノイズなどの影響を受けてマイコンが誤動作をすることがあります。

4. 基準電圧入力端子VREF

VREF端子とAVss端子間に容量1000pF程度のコンデンサを挿入し、VREF端子 コンデンサ間及びAVss端子 コンデンサ間の配線長を等しくかつ最短で接続してください。

5. A-D変換中のクロック周波数

次の条件で、A-D変換機能を使用してください。

- ・ システムクロック は、システムクロック選択ビット(CPUモードレジスタ(003B₁₆番地)のビット7)で、XIN-XOUTを選択してください。XCIN XCOOUT選択時は、A-D変換機能を使用できません。
- ・ f(XIN)は500kHz以上にしてください。
- ・ A-D変換中にSTP、WIT命令を実行しないでください。

<理由>

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われ、十分なA-D変換精度が得られない場合があります。

6. A-D変換中のA-D変換終了ビットへの書き込み

A-D変換中にプログラムでA-D変換終了ビットに $\bar{0}$ を書くと、再変換を行いません。A-D変換割り込み要求ビットの値は変化しません。

7. A-D変換中の書き込み

次の操作を行った場合、A-D変換は正常に動作しません。

- ・ A-D変換動作中のCPUモードレジスタへの書き込み
- ・ A-D変換動作中のA-D制御レジスタへの書き込み

8. A-D変換に関するプログラミング上の注意事項

コンパレータは容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-Dクロック周波数を250kHz以上にしてください。また、A-D変換中にSTP命令を実行すると直ちにA-D変換が中止され、A-D変換終了ビットが $\bar{1}$ になり、割り込み要求が発生します。

LCD駆動制御回路に関する注意事項

1. LCDCK用カウントソース

リセット後、LCDCK用カウントソース選択ビット(LCDモードレジスタ(0039₁₆番地)のビット7)は $\bar{0}$ で、f(XCIN)/32が選択されています。リセット後は、サブクロックは停止していますので、発振を開始させ、発振が安定してからLCDを点灯してください。また、LCDCK用カウントソースの変更は、使用するクロックの発振が安定している状態で行ってください。

2. STP命令

STP命令を実行すると、LCD電源制御レジスタのビット0~5、ビット7及びLCDイネーブルビット(LCDモードレジスタのビット3)が $\bar{0}$ になります。ストップモードからの復帰後、これらのビットを再設定してください。

3. LCDを使用しない場合

LCDを使用しない場合は、セグメント端子、コモン端子を開放にしてください。また、VL1はVss、VL2はVcc、VL3はVccに接続してください。

4. LCD駆動電源

(1) LCD電源用分割抵抗値とLCDパネルの特性により、電源容量が不足することがあります。この場合、VL1～VL3端子に0.1～0.33 μ F程度のバイパスコンデンサを接続する方法があります。図9にLCD駆動電源の強化対策例を示します。

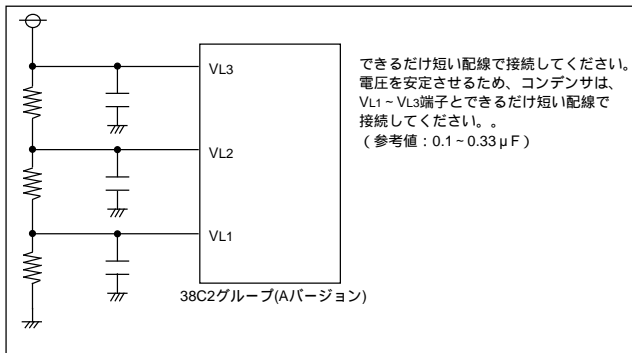


図9. LCD駆動電源の強化対策例

(2) VL3がVccと等しい電圧でLCD駆動制御回路を使用する場合には、VL3端子にVcc電圧を印加し、VL3接続ビット(LCD電源制御レジスタ(003816番地)のビット6)に“1”を書いてください。

(3) 外付け抵抗を使用してVL1～VL3に電圧を印加する場合には、LCD電源制御レジスタ(3816番地)の分割抵抗選択ビット(RSEL)に“102”を書き込んでください。

5. セグメント出力禁止レジスタ

(1) 方向レジスタによって出力ポートに設定されている端子のみセグメント出力禁止レジスタで出力ポートとセグメント出力の切り替えを制御することができます。

(2) VL端子入力選択ビット(VLSEL)(LCD電源制御レジスタ(003816番地)のビット5)が“1”の場合、セグメント出力禁止ビット22、23の設定は無効になります。

6. LCD表示用RAMへのデータの設定

LCDイネーブルビットが“1”で、LCD点灯中にLCD表示用RAMにデータを書く場合は、確定したデータを書いてください。暫定的なデータの書き換えをすると、LCDがちらつく場合があります。図10にLCD点灯中にLCD表示用RAMにデータを書く場合の処理例を示します。

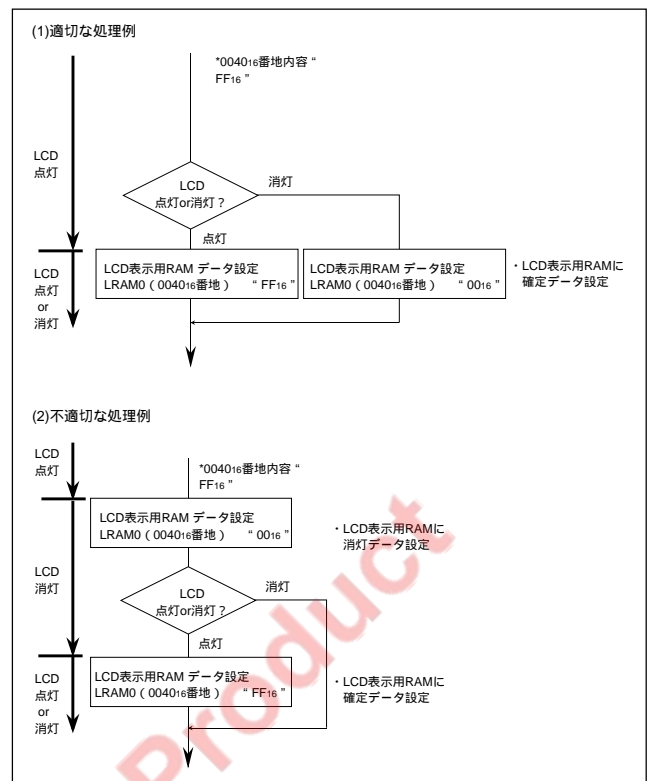


図10. LCD点灯中にLCD表示用RAMにデータを書く場合の処理例

ウォッチドッグタイマに関する注意事項

1. ウェイトモード時、ウォッチドッグタイマは動作するため、アンダフローしないようにウォッチドッグタイマ制御レジスタへ書き込みを行ってください。
2. ストップモード時、ウォッチドッグタイマは動作しませんが、待機時間(タイム1及びタイム2で設定した時間)では動作します。その間にアンダフローしないように、STP命令実行前にウォッチドッグタイマ制御レジスタへ書き込みを行ってください。
3. ウォッチドッグタイマのカウントソースは、システムクロック選択ビット(CPUモードレジスタ(003B16番地)のビット6,7)で選択しているシステムクロックの影響を受けます。

リセット回路に関する注意事項

1. リセット入力電圧制御

リセット入力電圧は、電源電圧が $V_{CC}(\min)$ を通過する時点で $0.2V_{CC}$ 以下(VIL規格)になるようにしてください。

2. リセット信号が緩やかに立ち上がる場合の対策

リセット信号が緩やかに立ち上がる場合は、RESET端子と V_{SS} 端子の間に、セラミックコンデンサなどの高周波特性のよい1000pF以上のコンデンサを接続してください。コンデンサを使用する場合は次の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分に行ってください。

<理由>

RESET端子に数nsから数十nsのインパルス性のノイズが侵入すると、マイコンが誤動作することがあります。

3. セット直後の各ポート状態

表1にRESET端子が“L”期間の端子状態を示します。

表1.RESET 端子の状態が“L”期間の端子状態

端子名	端子の状態
P0 ~ P2 (SEG0 ~ SEG23)	入力モード(プルアップあり)
P3, P4, P5, P60 ~ P62	入力モード(ハイインピーダンス)
COM0 ~ COM3	V_{CC} レベル入力

4. $f(X_{IN})$ と $f(\quad)$ の関係

$f(X_{IN})$ と $f(\quad)$ の周波数の関係は、 $f(X_{IN})=8 \cdot f(\quad)$ です。

クロック発生回路に関する注意事項

1. モード移行について

(1)メインクロック($X_{IN} - X_{OUT}$)、サブクロック($X_{CIN} - X_{COUT}$)ともに、発振開始後、発振が安定するまで時間を要します。発振が安定してから、中速/高速モードと低速モード間を移行してください。

特に、サブクロックの発振立ち上がりには時間を要しますので、電源投入直後やストップモードからの復帰時は、注意してください。また、モード移行時のメインクロックとサブクロックの周波数の関係は、次のようにしてください。

$$f(X_{IN}) > 3 \times f(X_{CIN})$$

(2)すべてのモードからストップモード又はウエイトモードへ移行することができ、解除後はもとのモードに戻ります。

2. システムクロックの状態遷移図

2/4/8分周モードから低速モードへ切り替えるとき、及びその逆を行うときは、まずCM7(CPUモードレジスタ(003B₁₆番地)のシステムクロック制御ビットのビット7)を変更し、切り替え先の発振が安定するのを待って、CM6(CPUモードレジスタのシステムクロック制御ビットのビット6)を変更してください。

3. ウエイトモード

ウエイトモード時にはタイマ、LCDは動作しています。

発振外部出力機能に関する注意事項

発振回路の X_{OUT} 端子又は X_{COUT} 端子からの信号を本マイコン以外の回路に直接取り込み、使用した場合、システムの安定動作を損なう恐れがあります。発振回路を安全に共有するために、本マイコン以外の回路には、発振外部出力機能を活用してP40、P41から出力されたクロックを使用してください。

ハードウェアに関する注意事項

電源端子の取扱い

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(V_{CC} 端子)とGND端子(V_{SS} 端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは $0.01 \mu F \sim 0.1 \mu F$ のセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間を最短距離で付加して下さるようお願いいたします。

株式会社 ルネサス テクノロジ 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たっては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



営業お問合せ窓口

株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	支	店	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	支	社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	部	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	支	部	〒430-7710	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西	支	部	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中	支	社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松	支	店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	支	店	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com

改訂記録

38C2 グループ(Aバージョン)データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2003.01.29	-	初版発行
1.01	2003.02.13	1 15 27 69 82 84 88 91 97	図 1 . M38C2XMX-XXXFP/HP ピン接続図の図題を一部変更 図 12 . ポートのブロック図(1)の図題を追加 図 22 . IGBT/PWM 波形図を一部変更 表 13 . 端子の機能説明 (フラッシュメモリ標準シリアル入出力モード) の表番号を追加 (以降のページ、表番号変更) 表 18 . 推奨動作条件 (フラッシュメモリ版) の X _{IN} 、X _{CIN} の “H” 入力電圧、“L” 入力電圧を追加、変更。注 4、注 5 を追加。 表 19 . 推奨動作条件 (フラッシュメモリ版) の測定条件を一部変更 表 25 . タイミング必要条件 1 (フラッシュメモリ版) の t _c (X _{IN})、t _{WH} (X _{IN})、t _{WL} (X _{IN}) の最大値を一部追加 表 30 . 推奨動作条件 (マスク ROM 版) の X _{IN} 、X _{CIN} の “H” 入力電圧、“L” 入力電圧を追加、変更。注 3、注 4 を追加。 表 38 . タイミング必要条件 1 (マスク ROM 版) の t _c (X _{IN})、t _{WH} (X _{IN})、t _{WL} (X _{IN}) の最大値を一部追加
2.00	2004.5.31	28 49 71 72 81 91 ~ 98	(5) タイマ X 出力制御機能を一部削除 図 50 . セラミック共振子外付け回路を一部変更 Rev.1.00 のソフトウェアコマンドの説明を削除 表 15 推奨動作条件 (フラッシュメモリ版) の注 2 を一部変更 表 28 推奨動作条件 (マスク ROM 版) の注 2 を一部変更 付録 注意事項集の追加