

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

---

## 資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

---

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日  
株式会社ルネサス テクノロジ  
カスタマサポート部

# 三菱マイクロコンピュータ 38B7グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

## 概要

38B7グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

8ビットタイマ6本、16ビットタイマ1本、蛍光表示管自動表示回路、16チャンネル10ビットA-D変換器、自動転送機能付きシリアルI/Oなど多くの付加機能を備えており、主に音響機器や家電製品の制御に適しています。

## 特長

### マイコンモード

基本機械語命令	71
命令実行時間	0.48 $\mu$ s
(最短命令、発振周波数4.2MHz時)	
メモリ容量 ROM	60Kバイト
RAM	2048バイト
プログラブル入出力ポート	75本
高耐圧出力ポート	52本
ソフトウェアブルアップ抵抗内蔵	
(P64 ~ P67, P7, P80 ~ P83, P9, PA, PB)	
割り込み	22要因、16ベクタ
タイマ	8ビット $\times$ 6、16ビット $\times$ 1
シリアルI/O1	クック同期形8ビット $\times$ 1
(最大256バイト自動転送機能付き)	
シリアルI/O2	8ビット $\times$ 1
(UART又はクック同期形)	
シリアルI/O3	クック同期形8ビット $\times$ 1
PWM	14ビット $\times$ 1
8ビット $\times$ 1(タイマ6と兼用)	
A-D変換器	10ビット $\times$ 16チャンネル
D-A変換器	1チャンネル
蛍光表示管表示機能	制御端子合計56本
割り込み間隔判定機能	1本
(低速モード時も動作可)	
ウォッチドッグタイマ	16ビット $\times$ 1
ブザー出力	1本
クロック発生回路	2回路内蔵
(セラミック共振子又は水晶発振子外付け)	
電源電圧	
高速モード時	4.0 ~ 5.5V
(発振周波数4.2MHz、高速モード選択時)	
中速モード時	2.7 ~ 5.5V(*)
(発振周波数4.2MHz、中速モード選択時)	
低速モード時	2.7 ~ 5.5V(*)
(発振周波数32kHz)	
(*) : フラッシュメモリ版は4.0 ~ 5.5Vです	
消費電力 高速モード時	35mW
(発振周波数4.2MHz時)	
低速モード時	60 $\mu$ W
(発振周波数32kHz、電源電圧3V時)	
動作周囲温度	-20 ~ 85

## フラッシュメモリモード

電源電圧(プログラム/イレーズ時)	V <sub>CC</sub> =5V $\pm$ 10%
プログラム/イレーズ電圧	V <sub>PP</sub> =11.7 ~ 12.6V
プログラム	バイト単位
イレーズ	
一括消去	パラレル/シリアル入出力モード
ブロック消去	CPU書き換えモード
ソフトウェアコマンドによるプログラム/イレーズ制御	
プログラム/イレーズ回数	100回
動作周囲温度(プログラム/イレーズ時)	常温

## 注意事項

1. フラッシュメモリ版は、マイコンカード組み込み用途には使用できません。
2. フラッシュメモリ版の電源電圧範囲はV<sub>CC</sub>=4.0 ~ 5.5Vです。

## 応用

音響機器、VTR、家電製品など

# 三菱マイクロコンピュータ 38B7グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

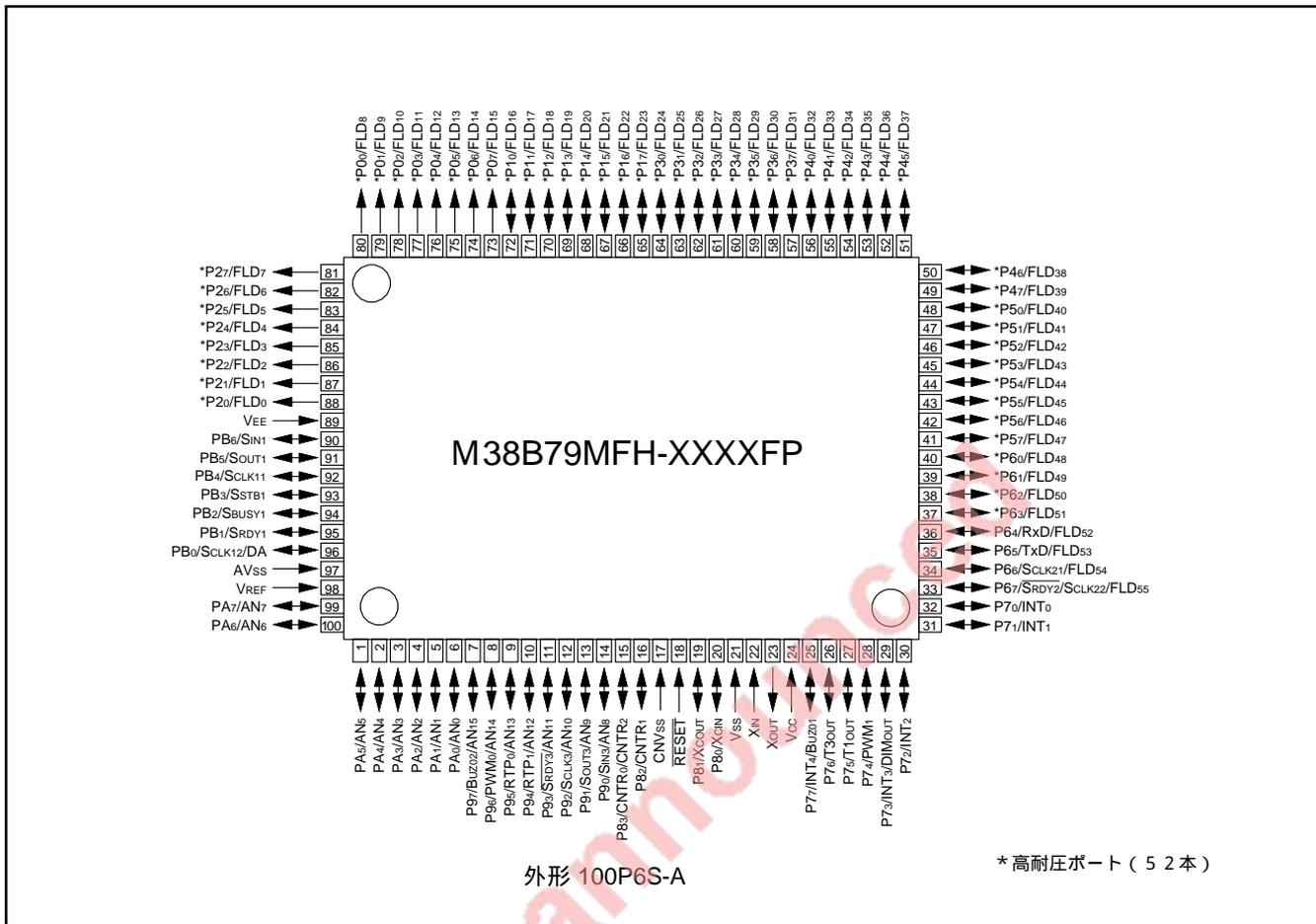


図1 . M38B79MFH-XXXXFPのピン接続図

機能ブロック図

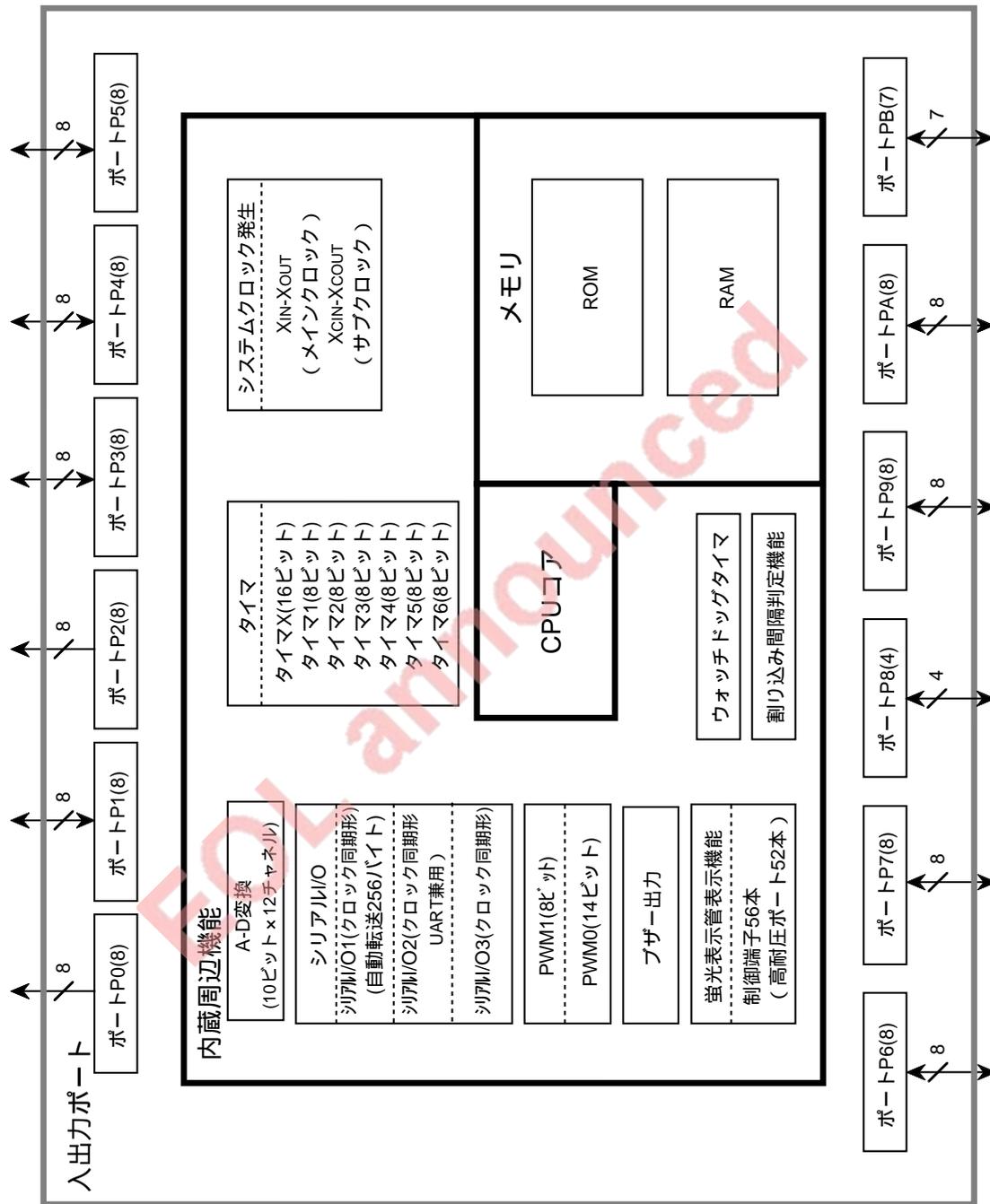


図2. 機能ブロック図

# 三菱マイクロコンピュータ 38B7グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

## 端子の機能説明

表1. 端子の機能説明(1)

端子名	名称	機能	
		ポート以外の機能	
V <sub>CC</sub> 、V <sub>SS</sub>	電源入力	V <sub>CC</sub> に4.0~5.5V、V <sub>SS</sub> に0Vを印加します。	
CNV <sub>SS</sub>	CNV <sub>SS</sub>	V <sub>SS</sub> に接続して下さい。 フラッシュメモリモードでは、V <sub>PP</sub> 電源入力端子になります。	
VEE	プルアップ電源入力	ポートP0、P1、P2、P3のプルアップ抵抗に供給する電圧を印加します。	
VREF	基準電圧入力	A-D変換器の基準電圧入力端子です。	
AV <sub>SS</sub>	アナログ電源入力	A-D変換器のアナログ電源入力端子です。この端子はV <sub>SS</sub> に接続してください	
RESET	リセット入力	アクティブ・レベルのリセット入力端子です。	
XIN	クロック入力	メインクロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶発振子を接続します。外部クロック使用時にはクロック発振源をXINに接続し、XOUTは開放にします。帰還抵抗内蔵です。	
XOUT	クロック出力		
P00/FLD8 - P07/FLD15	出力ポートP0	8ビットの出力ポートで、出力形式は高耐圧プルアップオープンドレインです。 VEE端子との間にプルアップ抵抗を内蔵しています。 リセット時にはVEEレベルになります。	FLD自動表示端子
P10/FLD16 - P17/FLD23	入出力ポートP1	8ビットの入出力ポートです。 プログラムによりビット単位で入出力の指定が可能です。 リセット時には入力モードになります。 低電圧入力レベルで、出力形式は高耐圧プルアップオープンドレインです。VEE端子との間にプルアップ抵抗を内蔵しています。 リセット時にはVEEレベルになります。	FLD自動表示端子
P20/FLD0 - P27/FLD7	出力ポートP2	P0とほぼ同等の機能を持った8ビット出力ポートです。 出力形式は高耐圧プルアップオープンドレインです。 VEE端子との間にプルアップ抵抗を内蔵しています。 リセット時にはVEEレベルになります。	FLD自動表示端子
P30/FLD24 - P37/FLD31	入出力ポートP3	P1とほぼ同等の機能を持った8ビット入出力ポートです。 低電圧入力レベルで、出力形式は高耐圧プルアップオープンドレインです。 VEE端子との間にプルアップ抵抗を内蔵しています。 リセット時にはVEEレベルになります。	FLD自動表示端子
P40/FLD32 - P47/FLD39	入出力ポートP4	P1とほぼ同等の機能を持った8ビット入出力ポートです。 低電圧入力レベルで、出力形式は高耐圧プルアップオープンドレインです。 VEE端子との間にプルアップ抵抗を内蔵していません。	FLD自動表示端子
P50/FLD40 - P57/FLD47	入出力ポートP5	P1とほぼ同等の機能を持った8ビット入出力ポートです。 低電圧入力レベルで、出力形式は高耐圧プルアップオープンドレインです。 VEE端子との間にプルアップ抵抗を内蔵していません。	FLD自動表示端子
P60/FLD48 - P63/FLD51	入出力ポートP6	P1とほぼ同等の機能を持った4ビット入出力ポートです。 低電圧入力レベルで、出力形式は高耐圧プルアップオープンドレインです。 VEE端子との間にプルアップ抵抗を内蔵していません。	FLD自動表示端子
P64/RxD/FLD52 P65/TxD/FLD53 P66/SCLK21/FLD54 P67/SRDY2/SCLK22/FLD55		4ビット入出力ポートです。入力ポートは低電圧入力レベル、RxD、SCLK21、SCLK22はCMOS入力レベルです。 出力形式はCMOS3ステートです。	FLD自動表示端子 シリアルI/O2の機能端子

# 三菱マイクロコンピュータ 38B7グループ

## SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表2. 端子の機能説明(1)

端子名	名称	機能	ポート以外の機能
P70/INT0 P71/INT1 P72/INT2	入出力ポートP7	8ビット入出力ポートです。 CMOS入力レベルで、出力形式はCMOS3ステートです。	割り込み入力端子
P73/INT3/DIMOUT			割り込み入力端子 ディマ-信号出力端子
P74/PWM1			PWM出力端子
P75/T1OUT P76/T3OUT			タイマ出力端子
P77/INT4/BUZ01			割り込み入力端子 ブザー-出力端子
P80/XCIN P81/XCOUT	入出力ポートP8	P7とほぼ同等の機能を持った4ビット入出力ポートです。 CMOS入力レベルで、出力形式はCMOS3ステートです。	サック発生回路の入出力端子 (共振子を接続します。)
P82/CNTR1 P83/CNTR0/CNTR2			タイマ入力端子 タイマ出力端子
P90/SIN3/AN8 P91/SOUT3/AN9 P92/SCLK3/AN10 P93/SRDY3/AN11	入出力ポートP9	P7とほぼ同等の機能を持った8ビット入出力ポートです。 CMOS入力レベルで、出力形式はCMOS3ステートです。	シリアル/O3の機能端子 A-D変換器の入力端子
P94/RTP1/AN12 P95/RTP0/AN13			リアルタイムポート出力 A-D変換器の入力端子
P96/PWM0/AN14			14ビットPWM出力 A-D変換器の入力端子
P97/BUZ02/AN15			ブザー-出力端子 A-D変換器の入力端子
PA0/AN0 ~ PA7/AN7	入出力ポートPA	P7とほぼ同等の機能を持った8ビット入出力ポートです。 CMOS入力レベルで、出力形式はCMOS3ステートです。	A-D変換器の入力端子
PB0/SCLK12/DA	入出力ポートPB	P7とほぼ同等の機能を持った7ビット入出力ポートです。 CMOS入力レベルで、出力形式はCMOS3ステートです。	シリアル/O1の機能端子 D-A変換器の出力端子
PB1/SRDY1 PB2/SBUSY1 PB3/SSTB1 PB4/SCLK11 PB5/SOUT1 PB6/SIN1			シリアル/O1の機能端子

形名とメモリサイズ・パッケージ

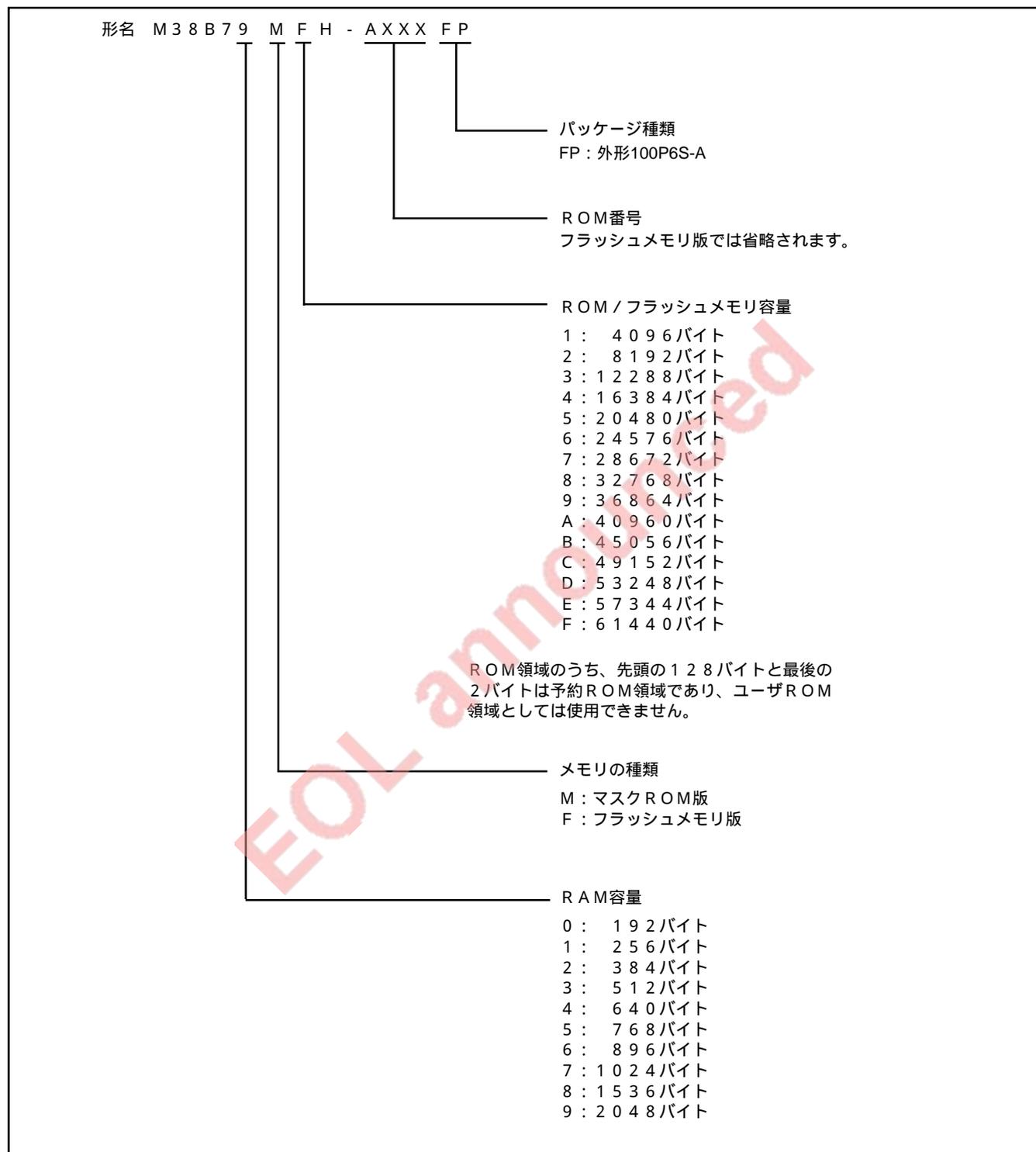


図3. 形名とメモリサイズ・パッケージ

# 三菱マイクロコンピュータ 38B7グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

## グループ展開

38B7グループは次のような展開を計画しています。

## メモリの種類

マスクROM版、フラッシュメモリ版のサポート

## メモリ容量

フラッシュメモリ容量 ..... 60Kバイト

マスクROM容量 ..... 60Kバイト

RAM容量 ..... 2048バイト

## パッケージ

100P6S-A ..... プラスチックモールドQFP

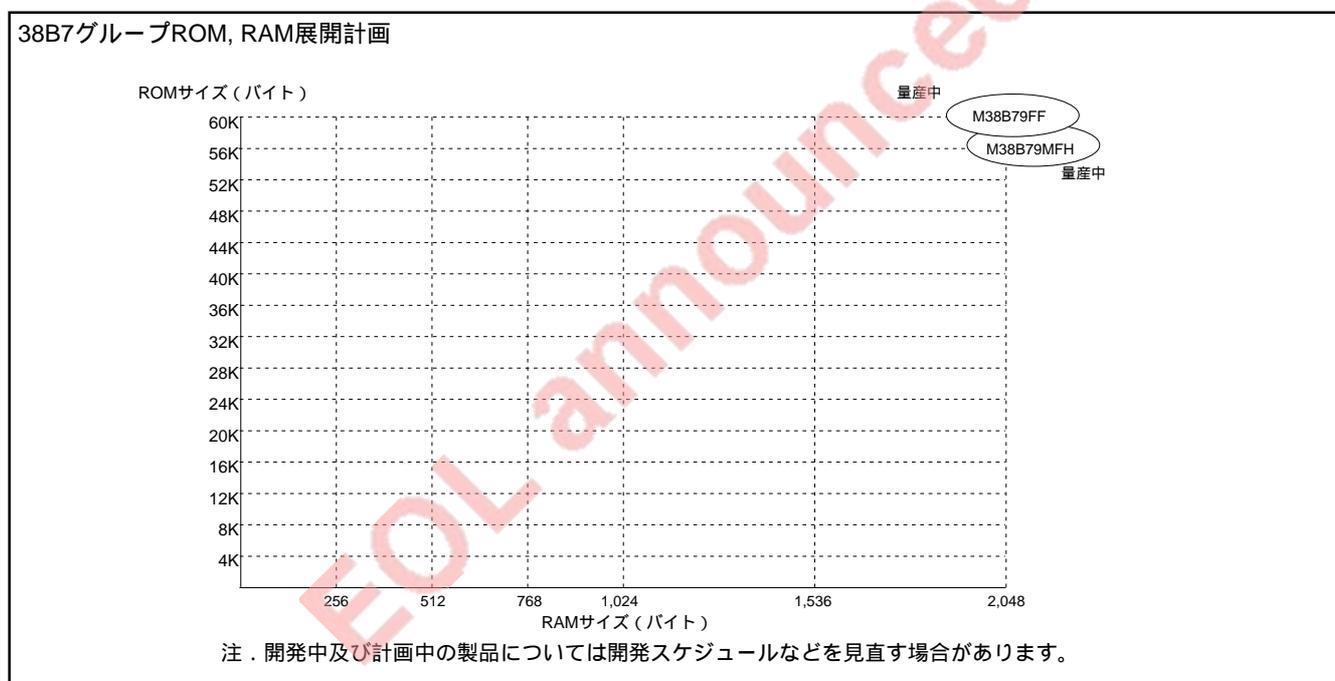


図4. ROM及びRAM展開計画

現在サポートを行っている製品を下記に示します。

表3. サポート製品一覧

2001年10月現在

製品形名	ROM容量(バイト) ( )内は1-ザROM容量	RAM容量 (バイト)	パッケージ	備考
M38B79MFH-XXXXFP	61440 (61310)	2048	100P6S-A	マスクROM版
M38B79FFFP				フラッシュメモリ版

### 機能ブロック動作説明

#### 中央演算処理装置(CPU)

38B7グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレスモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。

図5にCPUのレジスタ構成を示します。

#### 【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

#### 【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

#### 【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

#### 【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00<sub>16</sub>”となり、“1”の場合“01<sub>16</sub>”となります。

スタックへの退避及び復帰動作を図6に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表4参照)。

#### 【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

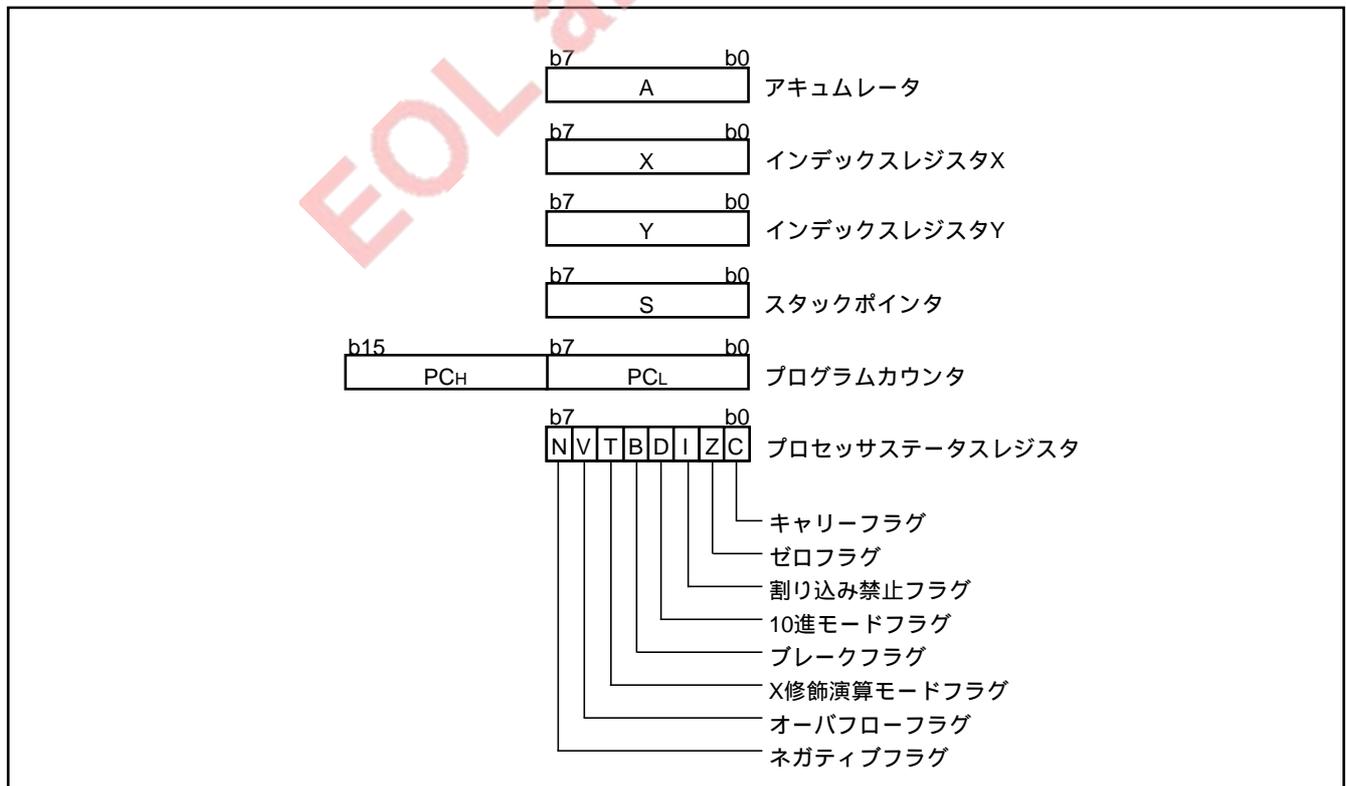


図5 . 740ファミリ CPUの構成



【プロセッサステータスレジスタ】PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又は borrow を保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに回避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを經由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされません。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表5. プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】CPUM

CPUモードレジスタには、スタックページの選択ビットや内部システムクロックの制御ビットなどが割り当てられています。

このレジスタは003B16番地に配置されています。

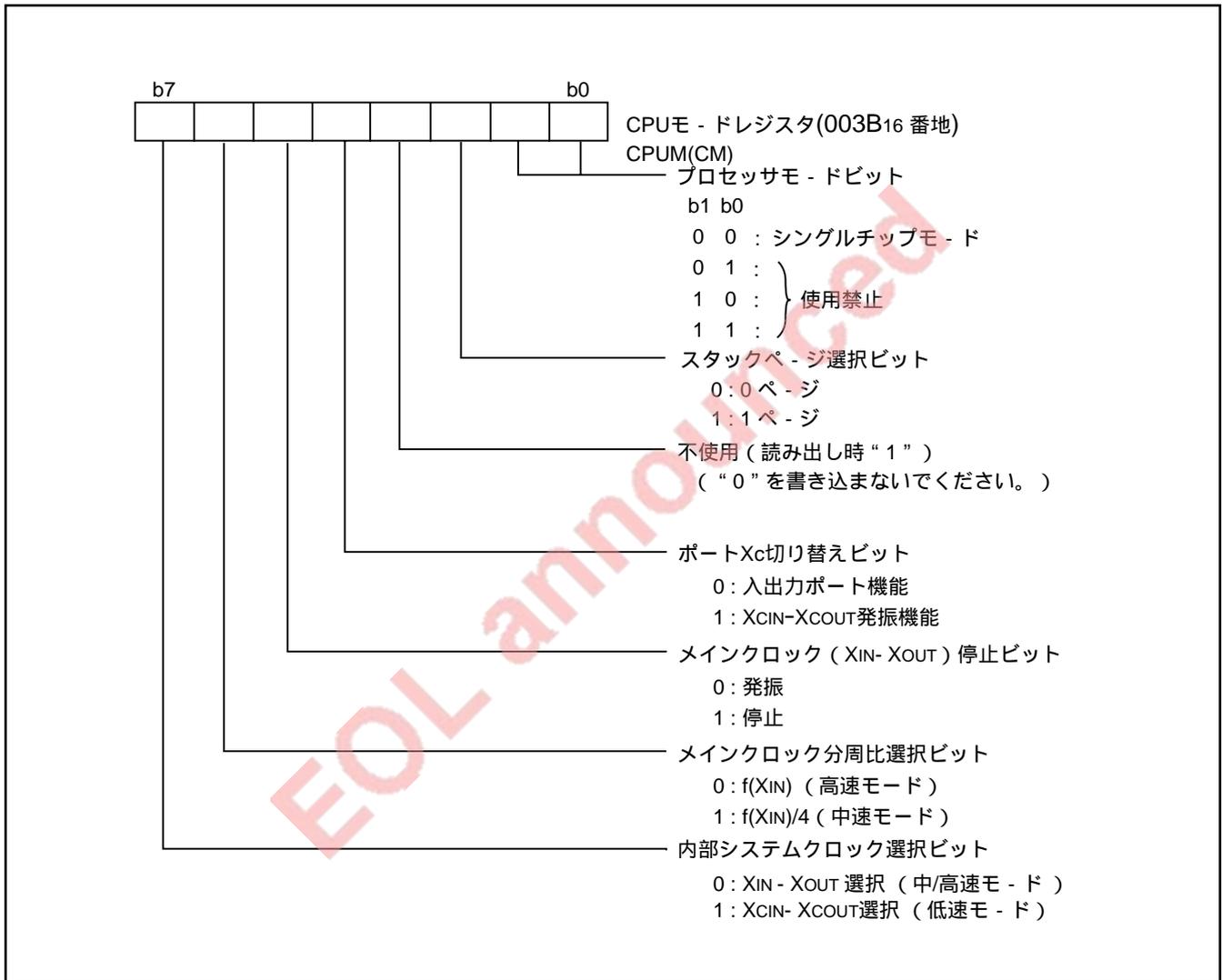


図7 . CPUモードレジスタの構成

# 三菱マイクロコンピュータ 38B7グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

## メモリ

### SFR領域

入出力ポート、タイマなどの制御レジスタが配置されています。

### RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

### ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

### 割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

### ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

### スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

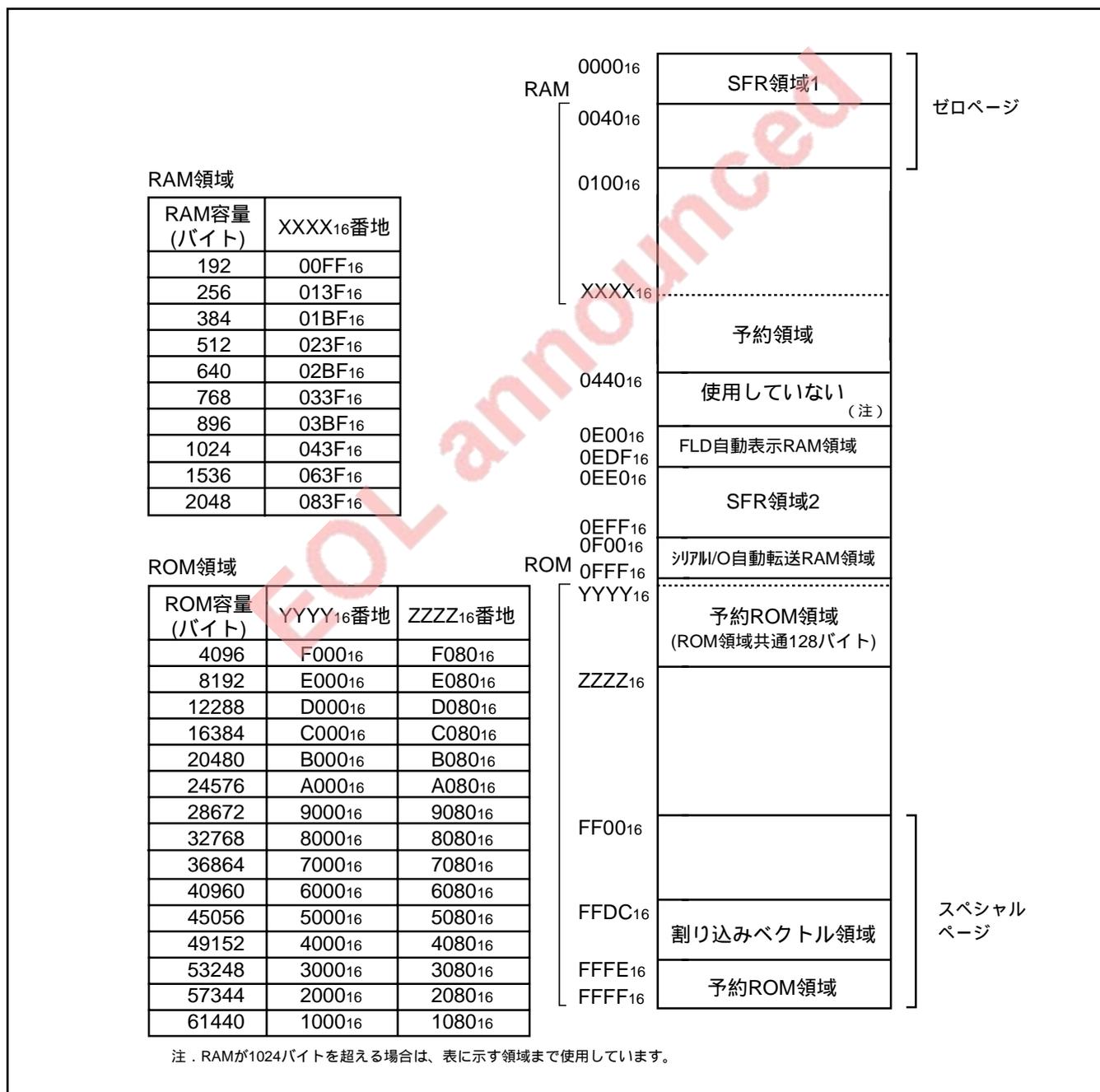


図8. メモリ配置

# 三菱マイクロコンピュータ 38B7グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

0000 <sub>16</sub>	ポートP0(P0)	0020 <sub>16</sub>	タイマ1(T1)
0001 <sub>16</sub>		0021 <sub>16</sub>	タイマ2(T2)
0002 <sub>16</sub>	ポートP1(P1)	0022 <sub>16</sub>	タイマ3(T3)
0003 <sub>16</sub>	ポートP1方向レジスタ(P1D)	0023 <sub>16</sub>	タイマ4(T4)
0004 <sub>16</sub>	ポートP2(P2)	0024 <sub>16</sub>	タイマ5(T5)
0005 <sub>16</sub>		0025 <sub>16</sub>	タイマ6(T6)
0006 <sub>16</sub>	ポートP3(P3)	0026 <sub>16</sub>	PWM制御レジスタ(PWMCON)
0007 <sub>16</sub>	ポートP3方向レジスタ(P3D)	0027 <sub>16</sub>	タイマ6PWMレジスタ(T6PWM)
0008 <sub>16</sub>	ポートP4(P4)	0028 <sub>16</sub>	タイマ12モードレジスタ(T12M)
0009 <sub>16</sub>	ポートP4方向レジスタ(P4D)	0029 <sub>16</sub>	タイマ34モードレジスタ(T34M)
000A <sub>16</sub>	ポートP5(P5)	002A <sub>16</sub>	タイマ56モードレジスタ(T56M)
000B <sub>16</sub>	ポートP5方向レジスタ(P5D)	002B <sub>16</sub>	D-A変換レジスタ(DA)
000C <sub>16</sub>	ポートP6(P6)	002C <sub>16</sub>	タイマX(下位)(TXL)
000D <sub>16</sub>	ポートP6方向レジスタ(P6D)	002D <sub>16</sub>	タイマX(上位)(TXH)
000E <sub>16</sub>	ポートP7(P7)	002E <sub>16</sub>	タイマXモードレジスタ1(TXM1)
000F <sub>16</sub>	ポートP7方向レジスタ(P7D)	002F <sub>16</sub>	タイマXモードレジスタ2(TXM2)
0010 <sub>16</sub>	ポートP8(P8)	0030 <sub>16</sub>	割り込み間隔判定レジスタ(IID)
0011 <sub>16</sub>	ポートP8方向レジスタ(P8D)	0031 <sub>16</sub>	割り込み間隔判定制御レジスタ(IIDCON)
0012 <sub>16</sub>	ポートP9(P9)	0032 <sub>16</sub>	AD/DA制御レジスタ(ADCON)
0013 <sub>16</sub>	ポートP9方向レジスタ(P9D)	0033 <sub>16</sub>	A-D変換レジスタ(下位)(ADL)
0014 <sub>16</sub>	ポートPA(PA)	0034 <sub>16</sub>	A-D変換レジスタ(上位)(ADH)
0015 <sub>16</sub>	ポートPA方向レジスタ(PAD)	0035 <sub>16</sub>	PWMレジスタ(上位)(PWMH)
0016 <sub>16</sub>	ポートPB(PB)	0036 <sub>16</sub>	PWMレジスタ(下位)(PWML)
0017 <sub>16</sub>	ポートPB方向レジスタ(PBD)	0037 <sub>16</sub>	ポーレートジェネレータ(BRG)
0018 <sub>16</sub>	シリアル/O1自動転送データポインタ(SIO1DP)	0038 <sub>16</sub>	UART制御レジスタ(UARTCON)
0019 <sub>16</sub>	シリアル/O1制御レジスタ1(SIO1CON1)	0039 <sub>16</sub>	割り込み要因切り替えレジスタ(IFR)
001A <sub>16</sub>	シリアル/O1制御レジスタ2(SIO1CON2)	003A <sub>16</sub>	割り込みエッジ選択レジスタ(INTEDGE)
001B <sub>16</sub>	シリアル/O1レジスタ/転送カウンタ(SIO1)	003B <sub>16</sub>	CPUモードレジスタ(CPUM)
001C <sub>16</sub>	シリアル/O1制御レジスタ3(SIO1CON3)	003C <sub>16</sub>	割り込み要求レジスタ1(IREQ1)
001D <sub>16</sub>	シリアル/O2制御レジスタ(SIO2CON)	003D <sub>16</sub>	割り込み要求レジスタ2(IREQ2)
001E <sub>16</sub>	シリアル/O2ステータスレジスタ(SIO2STS)	003E <sub>16</sub>	割り込み制御レジスタ1(ICON1)
001F <sub>16</sub>	シリアル/O2送信/受信バッファレジスタ(TB/RB)	003F <sub>16</sub>	割り込み制御レジスタ2(ICON2)
0EEC <sub>16</sub>	シリアル/O3制御レジスタ(SIO3CON)	0EF6 <sub>16</sub>	Toff1時間設定レジスタ(TOFF1)
0EED <sub>16</sub>	シリアル/O3レジスタ(SIO3)	0EF7 <sub>16</sub>	Toff2時間設定レジスタ(TOFF2)
0EEE <sub>16</sub>	ウォッチドッグタイマ制御レジスタ(WDTCON)	0EF8 <sub>16</sub>	FLDデータポインタ(FLDDP)
0EEF <sub>16</sub>	プルアップ制御レジスタ3(PULL3)	0EF9 <sub>16</sub>	ポートP4FLD/ポート切り替えレジスタ(P4FPR)
0EF0 <sub>16</sub>	プルアップ制御レジスタ1(PULL1)	0EFA <sub>16</sub>	ポートP5FLD/ポート切り替えレジスタ(P5FPR)
0EF1 <sub>16</sub>	プルアップ制御レジスタ2(PULL2)	0EFB <sub>16</sub>	ポートP6FLD/ポート切り替えレジスタ(P6FPR)
0EF2 <sub>16</sub>	P0データ出力設定切り替えレジスタ(P0DOR)	0EFC <sub>16</sub>	FLD出力制御レジスタ(FLDCON)
0EF3 <sub>16</sub>	P2データ出力設定切り替えレジスタ(P2DOR)	0EFD <sub>16</sub>	ブザー出力制御レジスタ(BUZCON)
0EF4 <sub>16</sub>	FLDCモードレジスタ(FLDM)	0EFE <sub>16</sub>	フラッシュメモリ制御レジスタ(FCON) (注)
0EF5 <sub>16</sub>	Tdisp時間設定レジスタ(TDISP)	0EFF <sub>16</sub>	フラッシュコマンドレジスタ(FCMD) (注)

注．フラッシュメモリ版のみ存在。

図9．SFR(スペシャルファンクションレジスタ)メモリマップ

### 入出力ポート

#### 方向レジスタ

入出力ポート P 1、P 3、P 4、P 5、P 6、P 7、P 8、P 9、P A、P B は方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポート、“0”にクリアすると入力ポートとなります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

#### 高耐圧出力ポート

高耐圧出力ポート P 0、P 1、P 2、P 3、P 4、P 5、P 6 0 ~ P 6 3 は高耐圧 P チャンネルオープンドレイン出力で、

耐圧は  $V_{CC} - 45V$  あります。P 0、P 1、P 2、P 3 は  $V_{EE}$  を負電源とするプルダウン抵抗を内蔵しています。ポートラッチはリセット時、P チャンネル出力トランジスタ遮断状態ですので、プルダウン抵抗を介して  $V_{EE}$  レベル (“L”) になります。

F L D C モードレジスタ (0EF4<sub>16</sub>番地) のビット 7 に “1” を書き込むと、高耐圧 P チャンネルトランジスタを駆動するインバータの駆動能力を弱めて高耐圧ポートの出力の立ち上がり波形をなまらせることができます。リセット時は F L D C モードレジスタのビット 7 は “0” (駆動能力は強い) になっています。

#### プルアップ制御レジスタ

ポート P 6 4 ~ P 6 7、P 7、P 8 0 ~ P 8 3、P 9、P A、P B は、プログラムプルアップ抵抗を内蔵しています。各プルアップ制御レジスタの対応するビットが “1” でかつ対応するポートの方向レジスタが入力モードに設定されている場合のみ、プルアップ抵抗が有効です。

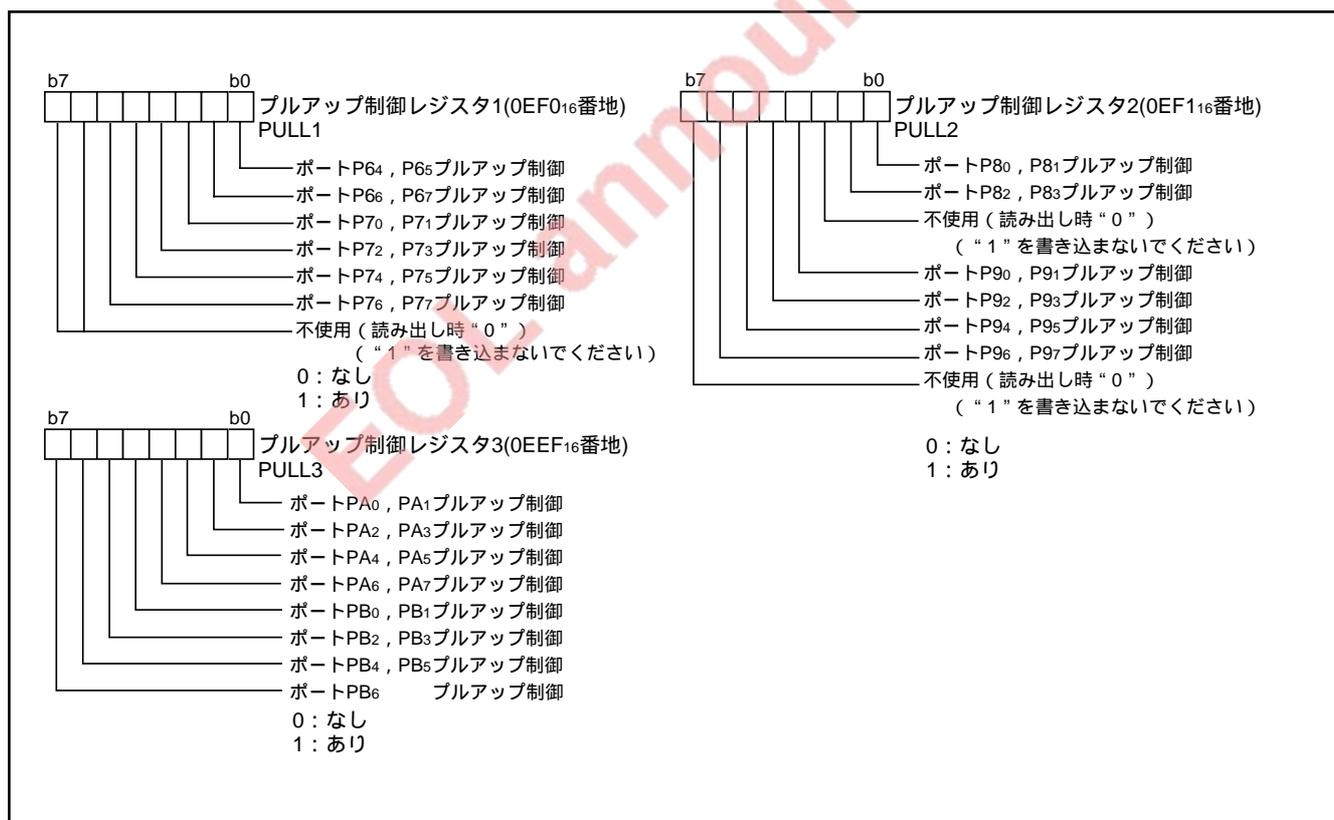


図10. プルアップ制御レジスタPULL1、PULL2、PULL3の構成

表6. 入出力ポートの機能一覧(1)

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P00 /FLD8 ~ P07 /FLD15	ポートP0	出力	高耐圧Pチャネルオープン ドレイン出力 プルダウン抵抗内蔵	FLD自動表示機能	FLDCE-レジスタ P07レジスタ出力設定 切り替えレジスタ	1
P10 /FLD16 ~ P17 /FLD23	ポートP1	入出力 ビット単位	低電圧入力レベル 高耐圧Pチャネル オープンドレイン出力 プルダウン抵抗内蔵		FLDCE-レジスタ	2
P20 /FLD0 ~ P27 /FLD7	ポートP2	出力	高耐圧Pチャネルオープン ドレイン出力 プルダウン抵抗内蔵		FLDCE-レジスタ P27レジスタ出力設定 切り替えレジスタ	1
P30 /FLD24 ~ P37 /FLD31	ポートP3	入出力 ビット単位	低電圧入力レベル 高耐圧Pチャネルオープン ドレイン出力 プルダウン抵抗内蔵		FLDCE-レジスタ	2
P40 /FLD32 ~ P47 /FLD39	ポートP4	入出力 ビット単位	低電圧入力レベル 高耐圧Pチャネルオープン ドレイン出力		FLDCE-レジスタ ポートP4FLD/ポート切り 替えレジスタ	2
P50 /FLD40 ~ P57 /FLD47	ポートP5	入出力 ビット単位	低電圧入力レベル 高耐圧Pチャネルオープン ドレイン出力		FLDCE-レジスタ ポートP5FLD/ポート切り 替えレジスタ	2
P60 /FLD48 ~ P63 /FLD51	ポートP6	入出力 ビット単位	低電圧入力レベル 高耐圧Pチャネルオープン ドレイン出力		FLDCE-レジスタ ポートP6FLD/ポート切り 替えレジスタ	2
P64 /Rx D / FLD52			低電圧入力レベル (ポート入力) CMOS入力レベル (Rx D, SCLK21, SCLK22) CMOS3ステート出力	FLD自動表示機能	FLDCE-レジスタ	3
P65 /Tx D / FLD53				シリアル/O2機能入出力	シリアル/O2制御レジスタ	4
P66 /SCLK21 / FLD54					UART制御レジスタ	
P67 /SRDY2 / SCLK22/FLD55						5
P70 /INT0 P71 /INT1	ポートP7	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	外部割り込み入力	割り込みエッジ選択レジスタ	6
P72 /INT2					割り込みエッジ選択レジスタ 割り込み間隔判定 制御レジスタ	
P73 /INT3 /DIMOUT				外部割り込み入力 デーマ-信号出力	割り込みエッジ選択レジスタ FLD出力制御レジスタ	7
P74 /PWM1				PWM出力	タイマ5E-レジスタ	8
P75 /T1OUT				タイマ出力	タイマ12E-レジスタ	
P76 /T3OUT				タイマ出力	タイマ34E-レジスタ	
P77 /INT4 /BUZ01					ブザー-出力 外部割り込み入力	ブザー-出力制御レジスタ 割り込みエッジ選択レジスタ
P80 /XCIN	ポートP8	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	サブクロック発生回路 入出力	CPUE-レジスタ	10
P81 /XCOUT						11
P82 /CNTR1				外部カウンタ入力	割り込みエッジ選択レジスタ	6
P83 /CNTR0 /CNTR2						12

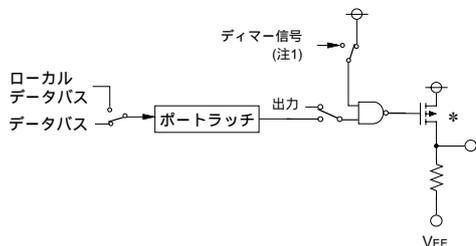
表7. 入出力ポートの機能一覧(2)

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番		
P90/SIN3/AN8	ポートP9	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアル/O3機能入出力 A-D変換入力	シリアル/O3制御レジスタ AD/DA制御レジスタ	6		
P91/SOUT3/AN9 P92/SCLK3/ AN10						13		
P93/SRDY3/ AN11						14		
P94/RTP1/AN12 P95/RTP0/AN13						リアルタイムポート出力 A-D変換入力	タイマモードレジスタ2 AD/DA制御レジスタ	15
P96/PWM0/ AN14						PWM信号出力 A-D変換入力	PWM制御レジスタ AD/DA制御レジスタ	16
P97/BUZ02/ AN15						ブザー出力 A-D変換入力	ブザー出力制御レジスタ AD/DA制御レジスタ	16
PA0/AN0~ PA7/AN7				ポートPA	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	A-D変換入力	AD/DA制御レジスタ
PB0/SCLK12/DA	ポートPB	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアル/O1機能入出力 D-A変換出力	シリアル/O1制御レジスタ1,2 AD/DA制御レジスタ	18		
PB1/SRDY1				シリアル/O1機能入出力		シリアル/O1制御レジスタ1,2	19	
PB2/SBUSY1							18	
PB3/SSTB1							20	
PB4/SCLK11 PB5/SOUT1							21	
PB6/SIN1							6	

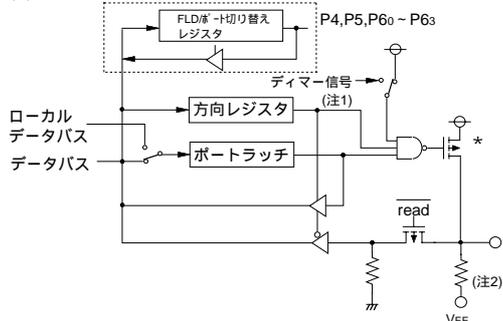
注1. STP命令実行中は各端子の入力レベルを0VあるいはVccにしてください。電位が不安定な場合、入力段のゲートに貫通電源電流が流れ、電源電流が増加します。

2. ダブルファンクションポートを機能入力端子として使用する方法については、関連する頁を参照して下さい。

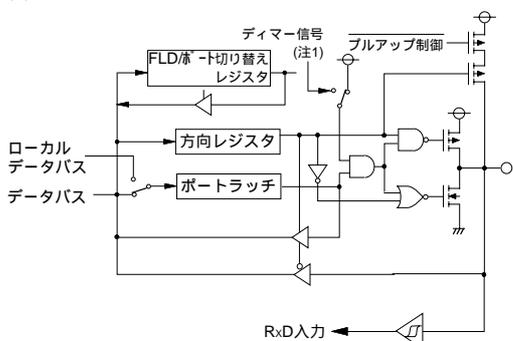
(1)ポートP0, P2



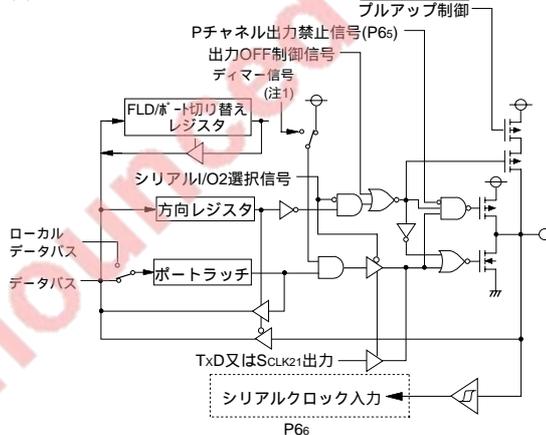
(2)ポートP1, P3, P4, P5, P60 ~ P63



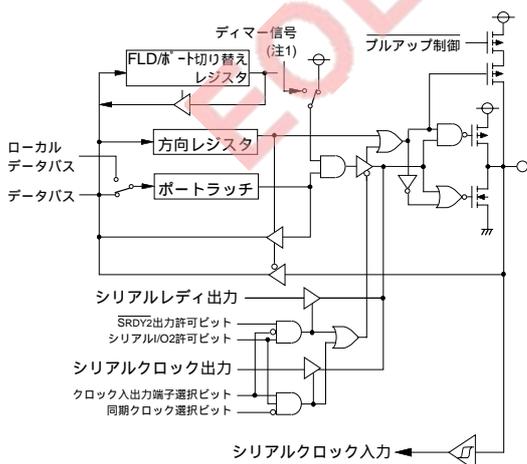
(3)ポートP64



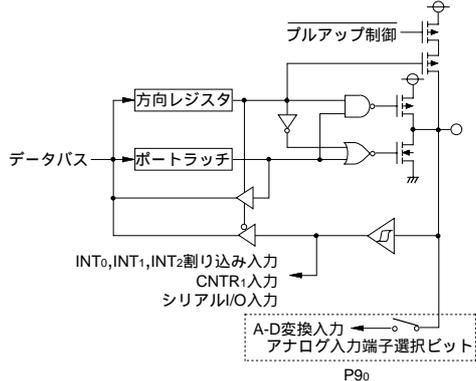
(4)ポートP65, P66



(5)ポートP67



(6)ポートP70 ~ P72, P82, P90, PB6



\* 高耐圧Pチャネルトランジスタ  
 注1. ディマ-信号はToff時間を設定する信号です。  
 注2. P4, P5, P60 ~ P63はプルダウン抵抗を内蔵していません。

図11. ポートのブロック図(1)

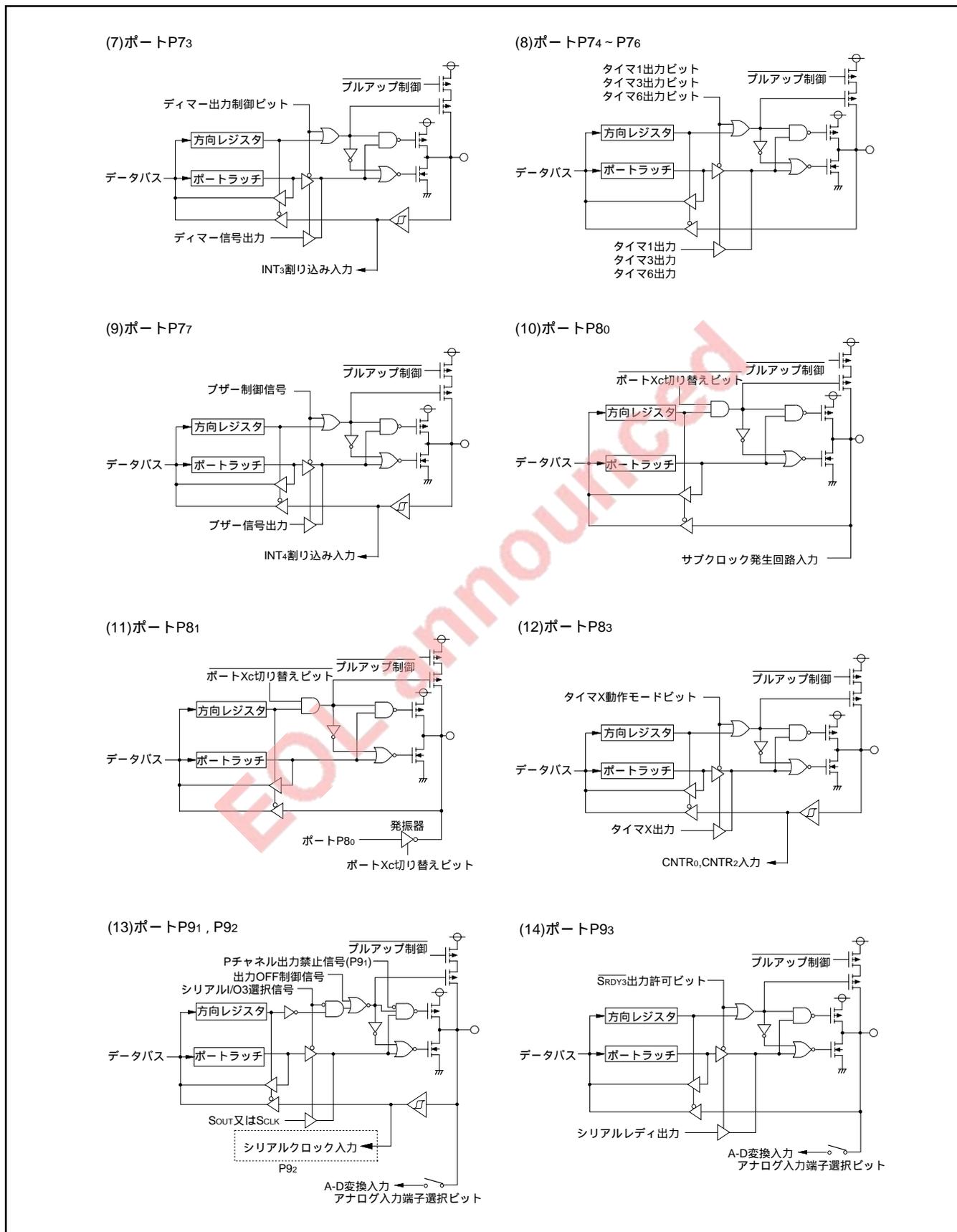


図12. ポートのブロック図(2)

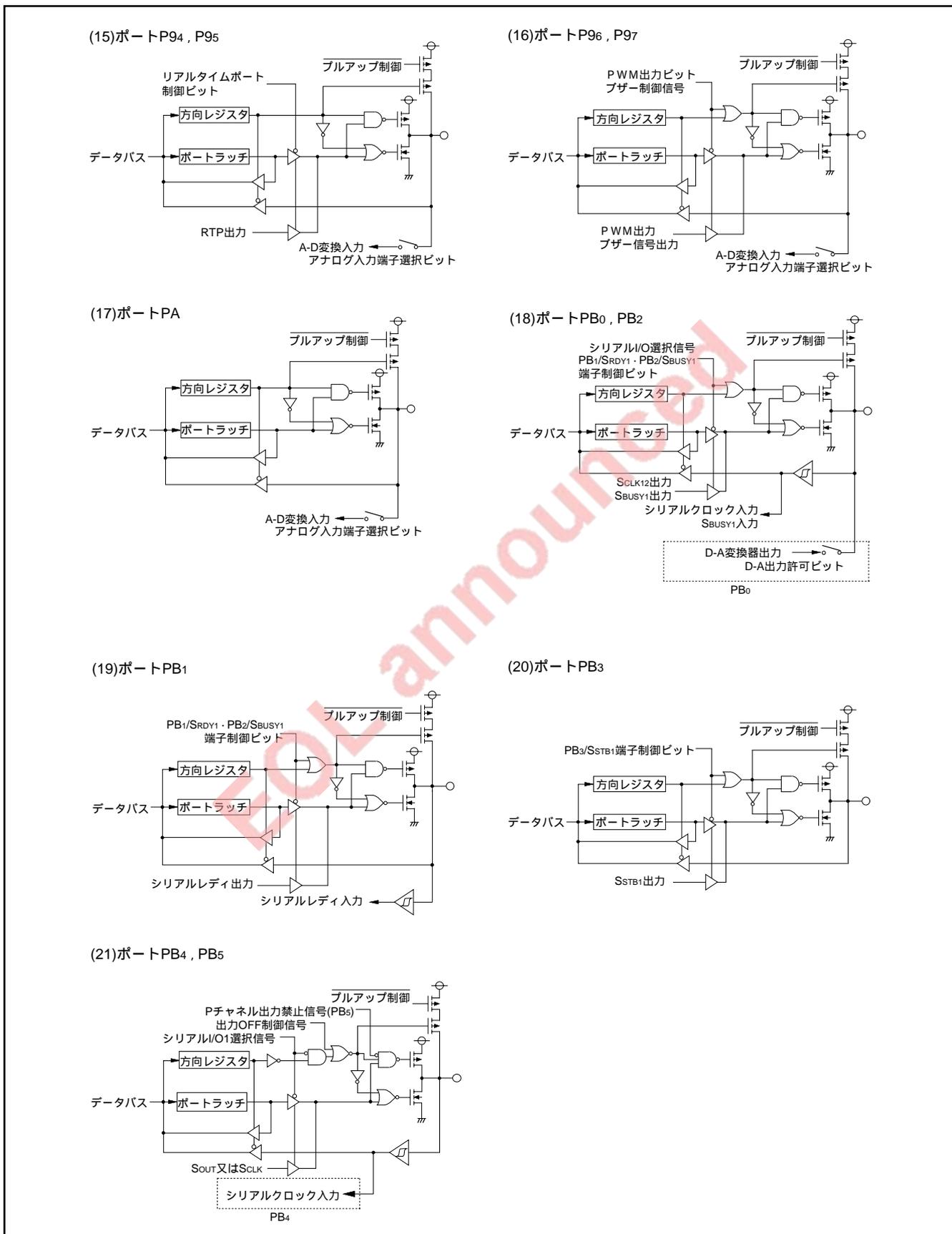


図13. ポートのブロック図(3)

## 割り込み

割り込みはベクトル割り込みで、外部5要因、内部16要因、ソフトウェア1要因の22要因のうち16要因から発生することが可能です。

### (1) 割り込み制御

B R K命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが<sup>6</sup>1”でかつ割り込み禁止フラグが<sup>6</sup>0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとB R K命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

### (2) 割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

### (3) 割り込み動作

以下の割り込み要因は、割り込み要因切り替えレジスタ(0039<sub>16</sub>番地)によりいずれかを選択することができます。

1. INT<sub>1</sub>あるいはシリアルI/O3
2. INT<sub>3</sub>あるいはシリアルI/O2送信
3. INT<sub>4</sub>あるいはA - D変換

#### 注意事項

外部割り込み(INT<sub>1</sub>~INT<sub>4</sub>)のアクティブエッジを設定する際、又は1つのベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際、割り込み要求ビットがセットされることがあります。割り込みを禁止し、割り込みエッジ選択レジスタを設定した後割り込み要求ビットをクリアしてから、割り込みを受け付けてください。

表8. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD <sub>16</sub>	FFFC <sub>16</sub>	リセット時	ノンマスクابل
INT <sub>0</sub>	2	FFFB <sub>16</sub>	FFFA <sub>16</sub>	INT <sub>0</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT <sub>1</sub>	3	FFF9 <sub>16</sub>	FFF8 <sub>16</sub>	INT <sub>1</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	INT <sub>1</sub> 割り込み選択時のみ有効 外部割り込み (極性プログラマブル)
シリアル/O3				データ転送終了時	シリアル/O3選択時有効
INT <sub>2</sub>	4	FFF7 <sub>16</sub>	FFF6 <sub>16</sub>	INT <sub>2</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
リモン/ カウンタパワード				8ビットカウンタ オーバーフロー時	割り込み間隔判定動作時 有効
シリアル/O1	5	FFF5 <sub>16</sub>	FFF4 <sub>16</sub>	シリアル/O1データ転送終了時	シリアル/O通常モード選択時のみ有効
シリアル/O自動 転送				シリアル/O1最終データ転送終了時	シリアル/O自動転送モード 選択時のみ有効
タイマX	6	FFF3 <sub>16</sub>	FFF2 <sub>16</sub>	タイマXアンダフロー時	
タイマ1	7	FFF1 <sub>16</sub>	FFF0 <sub>16</sub>	タイマ1アンダフロー時	
タイマ2	8	FFEF <sub>16</sub>	FFEE <sub>16</sub>	タイマ2アンダフロー時	STP解除タイマダワード
タイマ3	9	FFED <sub>16</sub>	FFEC <sub>16</sub>	タイマ3アンダフロー時	
タイマ4	10	FFEB <sub>16</sub>	FFEA <sub>16</sub>	タイマ4アンダフロー時	
タイマ5	11	FFE9 <sub>16</sub>	FFE8 <sub>16</sub>	タイマ5アンダフロー時	
タイマ6	12	FFE7 <sub>16</sub>	FFE6 <sub>16</sub>	タイマ6アンダフロー時	
シリアル/O2受信	13	FFE5 <sub>16</sub>	FFE4 <sub>16</sub>	シリアル/O2データ受信完了時	
INT <sub>3</sub>	14	FFE3 <sub>16</sub>	FFE2 <sub>16</sub>	INT <sub>3</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	INT <sub>3</sub> 割り込み選択時のみ有効 外部割り込み (極性プログラマブル)
シリアル/O2送信				シリアル/O2データ送信完了時	
INT <sub>4</sub>	15	FFE1 <sub>16</sub>	FFE0 <sub>16</sub>	INT <sub>4</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	INT <sub>4</sub> 割り込み選択時のみ有効 外部割り込み (極性プログラマブル)
A-D変換				A-D変換終了時	A-D変換割り込み選択時 有効
FLDフランチング	16	FFDF <sub>16</sub>	FFDE <sub>16</sub>	フランチング期間開始直前の最終タイミングの立ち下がり時	FLDフランチング割り込み 選択時のみ有効
FLDデジット				デジット(各タイミング)の立ち上がり時	FLDデジット割り込み選択 時のみ有効
BRK命令	17	FFDD <sub>16</sub>	FFDC <sub>16</sub>	BRK命令実行時	ノンマスク 割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。  
2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

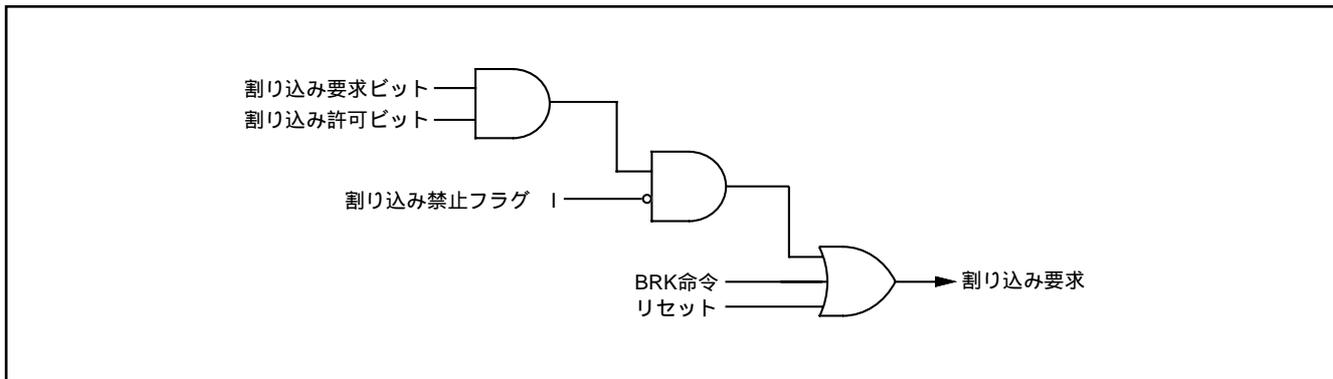


図14. 割り込み制御図

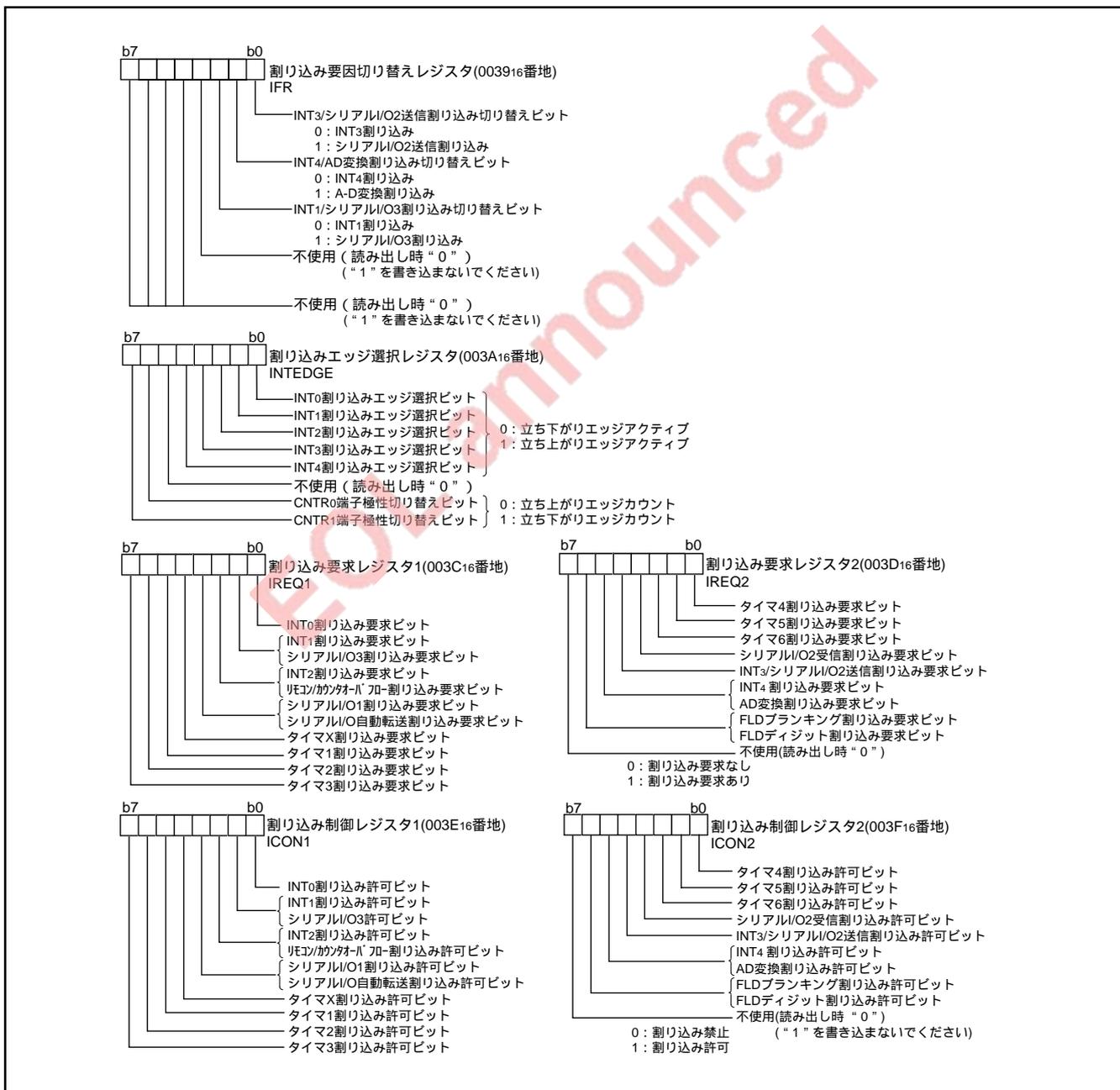


図15. 割り込み関係レジスタの構成

### タイマ

#### 8ビットタイマ

タイマ1からタイマ6は8ビットのタイマで、それぞれタイマラッチを持っています。タイマはカウントダウン方式で、タイマの内容が $00_{16}$ になった次のカウントパルスで、タイマラッチの内容が再びタイマにロードされます。この時同時に各タイマに対応する割り込み要求ビットが $1$ にセットされます。

また、各タイマの停止ビットを $1$ にセットすることによりカウントを停止することが可能です。なお、内部システムクロックはCPUモードレジスタにより高速モードと低速モードが選択でき、これと同時にタイマの内部カウントソースの源発振も $f(XIN)$ と $f(XCIN)$ が切り替わります。

#### タイマ1、タイマ2

タイマ1、タイマ2はタイマ12モードレジスタを設定することにより、カウントソースを選択することができます。また、このレジスタによりタイマ1の2分周した方形波をP75/T10UT端子から出力することができます。外部クロックCNT R0は割り込みエッジ選択レジスタにより、立ち上がり/立ち下がりエッジを切り替えることができます。

リセット入力時及びSTP命令実行時、タイマ12モードレジスタは全ビットクリアされ、タイマ1に $FF_{16}$ 、タイマ2に $01_{16}$ がセットされます。

#### タイマ3、タイマ4

タイマ3、タイマ4はタイマ34モードレジスタを設定することにより、カウントソースを選択することができます。また、このレジスタによりタイマ3の2分周した方形波をP76/T30UT端子から出力することができます。外部クロックCNT R1は割り込みエッジ選択レジスタにより、立ち上がり/立ち下がりエッジを切り替えることができます。

#### タイマ5、タイマ6

タイマ5、タイマ6はタイマ56モードレジスタを設定することによりカウントソースを選択することができます。また、このレジスタによりタイマ6の2分周した方形波をP74/PWM1端子から出力することができます。

#### タイマ6 PWM1モード

タイマ56モードレジスタを設定することにより、“H”区間のデューティ $n/(n+m)$ のPWM方形波をP74/PWM1端子から出力することができます(図18参照)。ここで $n$ はタイマ6ラッチ(0025<sub>16</sub>番地)の値であり、 $m$ はタイマ6 PWMレジスタ(0027<sub>16</sub>番地)の値です。 $n$ が $0$ の場合は、PWM出力はすべて“L”、 $m$ が $0$ の場合は、PWM出力はすべて“H”とな

ります( $n=0$ 優先)。PWMモード時の割り込みは、PWM出力の立ち上がりエッジのタイミングで発生します。

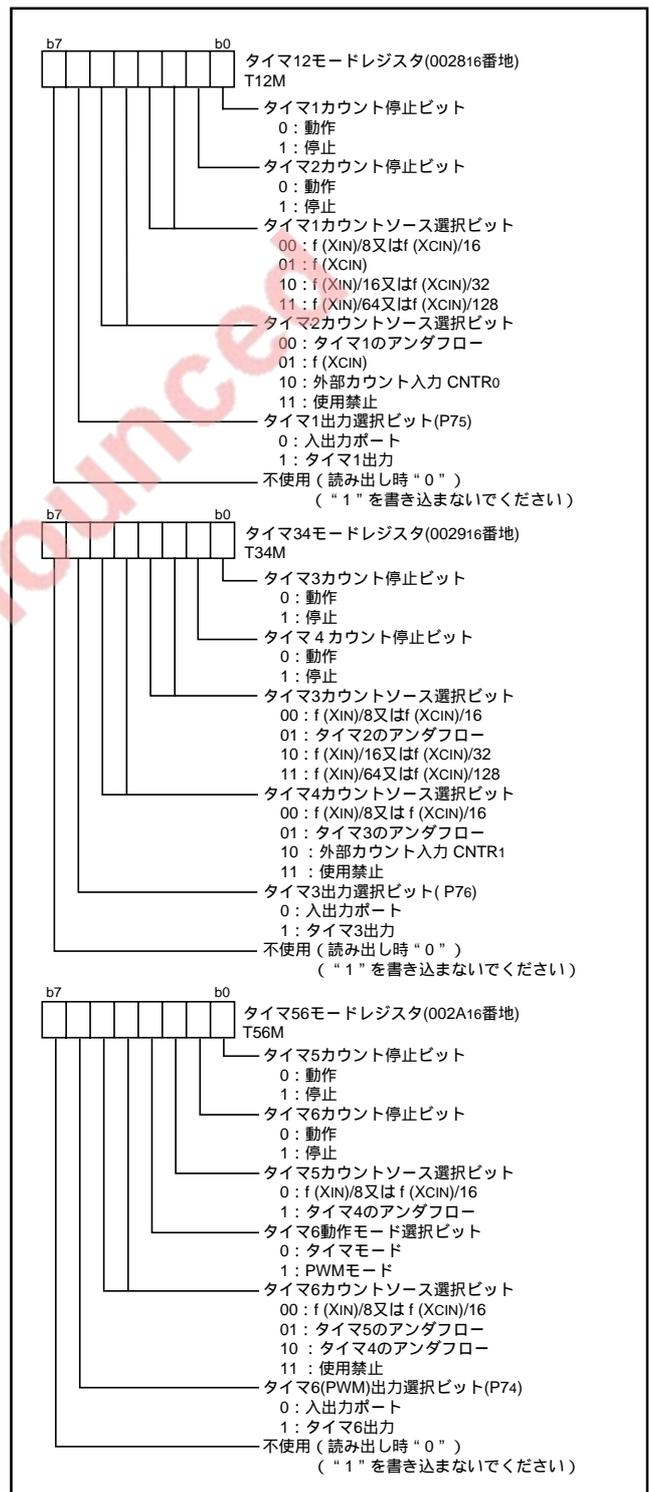


図16. タイマ関係レジスタの構成

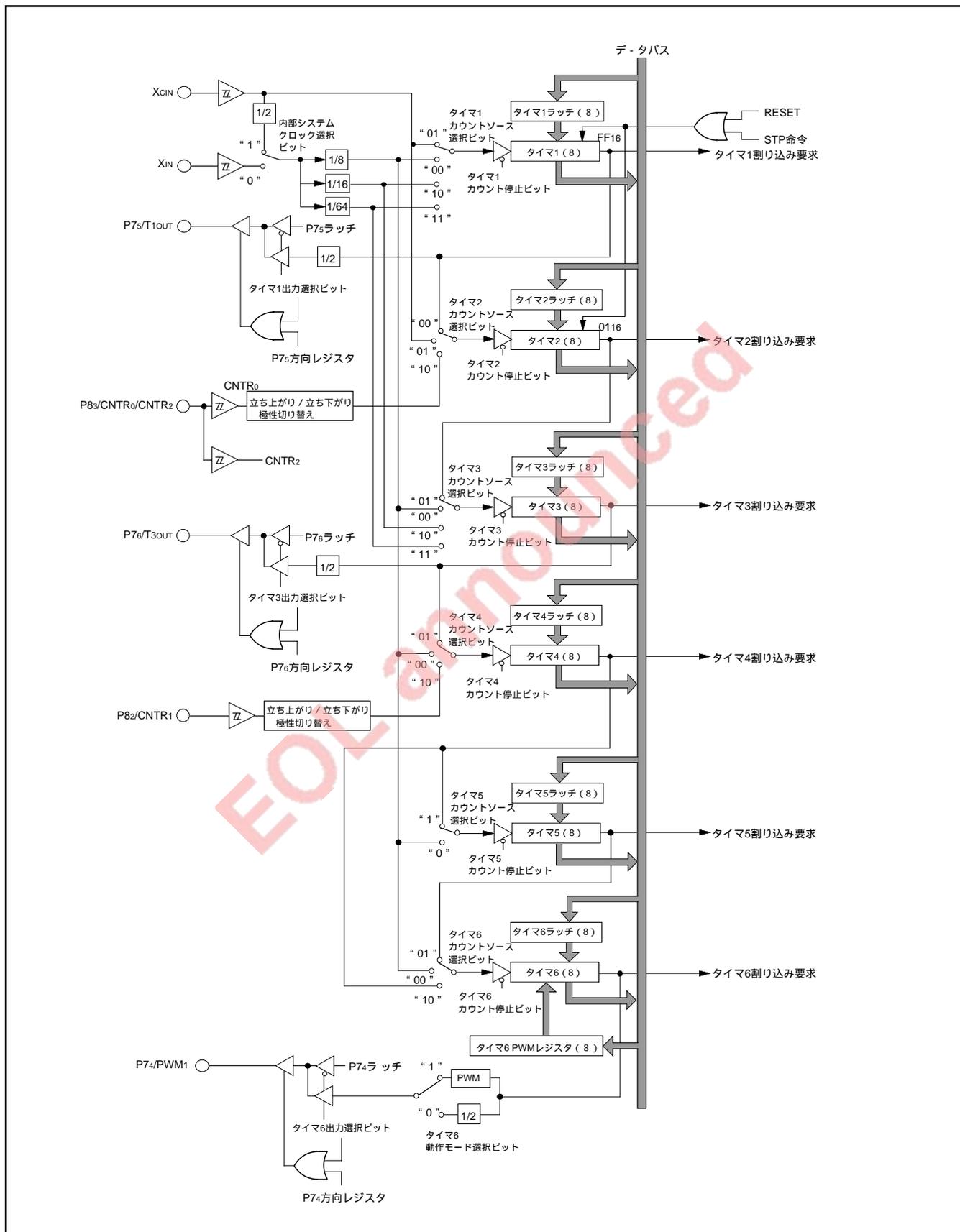


図17. タイマのブロック図

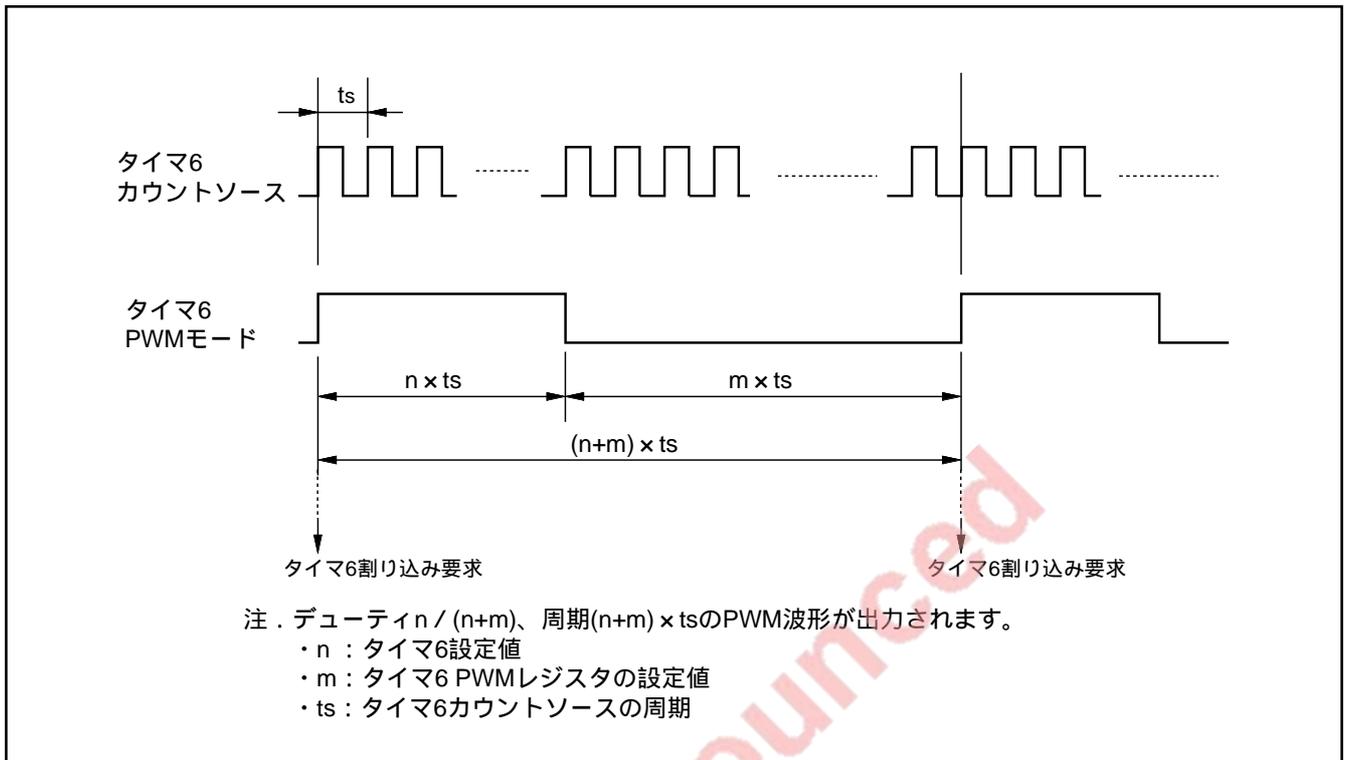


図18 . タイマ6 PWM1モードのタイミング図

## 16ビットタイマ

タイマXは16ビットタイマでタイマXモードレジスタ1、2により4つの動作モードを選択することができます。また、タイマX書き込み制御及びリアルタイムポート制御ができます。

タイマに読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。タイマの値を読み出す場合は上位バイト、下位バイトの順に読み出し、値を書き込む場合は下位バイト、上位バイトの順に書き込んでください。なお、書き込み操作中に読み出ししたり、読み出し操作中に書き込みを行うと正常な動作を行いません。

### タイマX

タイマXはカウントダウン方式で、タイマの内容が“0000<sub>16</sub>”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローするとタイマXに対応する割り込み要求ビットが“1”にセットされます。

### (1)タイマモード

タイマXモードレジスタ1を設定することにより、カウントソースを選択することができます。

### (2)パルス出力モード

タイマがアンダフローするたびに極性の反転するパルスをCNT R2端子より出力することを除けば、タイマモードと同じ動作をします。このモードではCNT R2端子と共用のポートを出力に設定してください。

### (3)イベントカウンタモード

CNT R2端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではCNT R2端子と共用のポートを入力に設定してください。

### (4)パルス幅測定モード

タイマXモードレジスタ1を設定することにより、カウントソースを選択することができます。CNT R2極性切り替えビットが“0”の場合はCNT R2端子の入力が“H”の期間カウントします。“1”の場合はCNT R2端子の入力が“L”の期間カウントします。このモードではCNT R2端子と共用のポートを入力に設定してください。

### 注意事項

#### ・タイマX書き込み制御

ラッチのみ書き込む場合、タイマXのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。通常はラッチ及びタイマ同時書き込みになっており、タイマXのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。

なお、ラッチのみ書き込む場合、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには上位側カウンタに望ましくない値が設定されることがあります。

#### ・リアルタイムポート制御

リアルタイムポート機能有効時はタイマXがアンダフローするたびにリアルタイムポート用データがそれぞれポートP94、P95から出力されます。(ただし、リアルタイムポート制御ビットを“0”から“1”に変えたときにはタイマXの動きにかかわらずデータが出力されます。)リアルタイムポート機能有効時にリアルタイムポート用データを変更すると、その変更された値は次のタイマXのアンダフローで出力されます。

この機能を利用するときは対応するポートの方向レジスタを出力に設定してください。

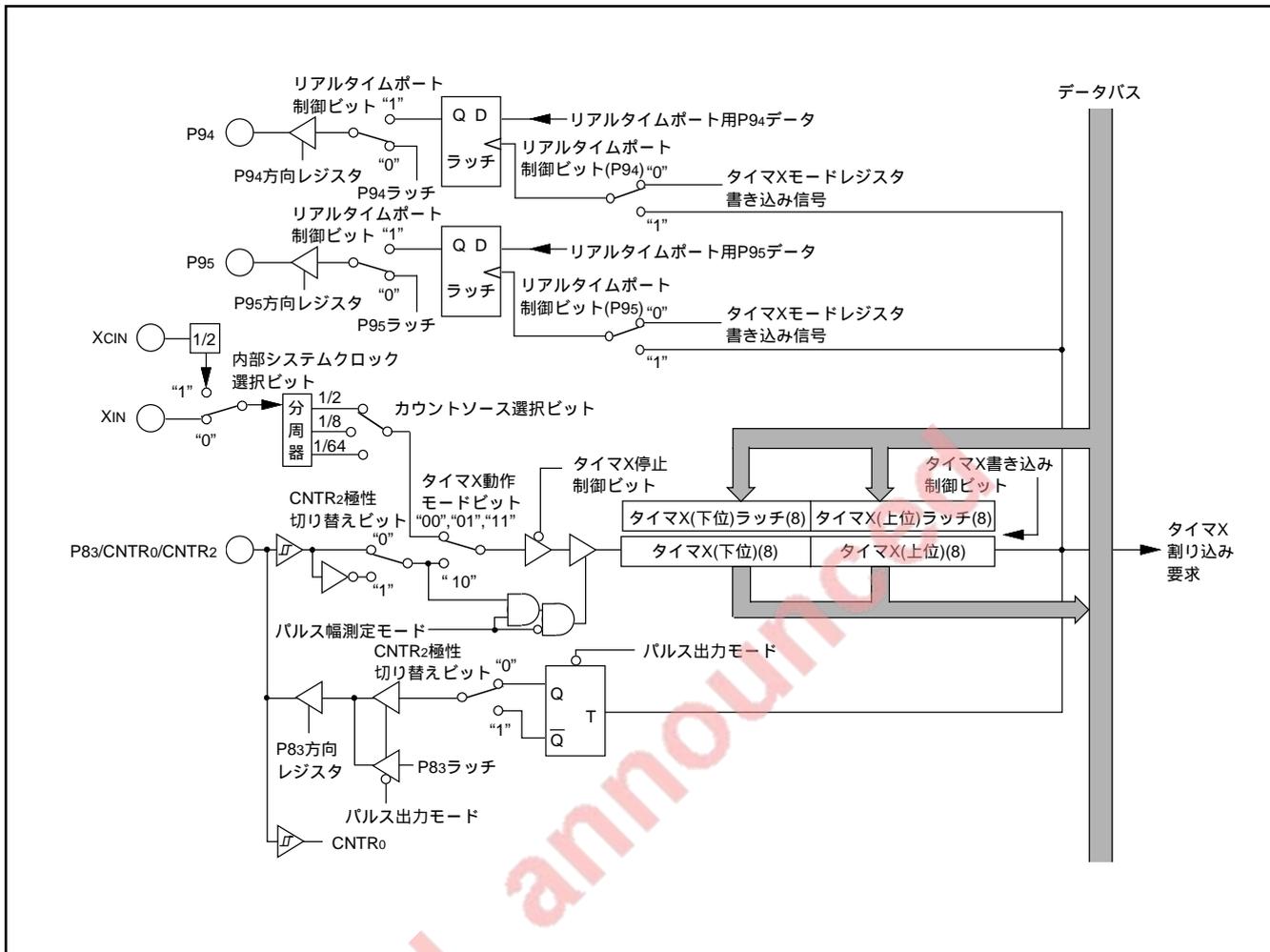


図19. タイマXのブロック図

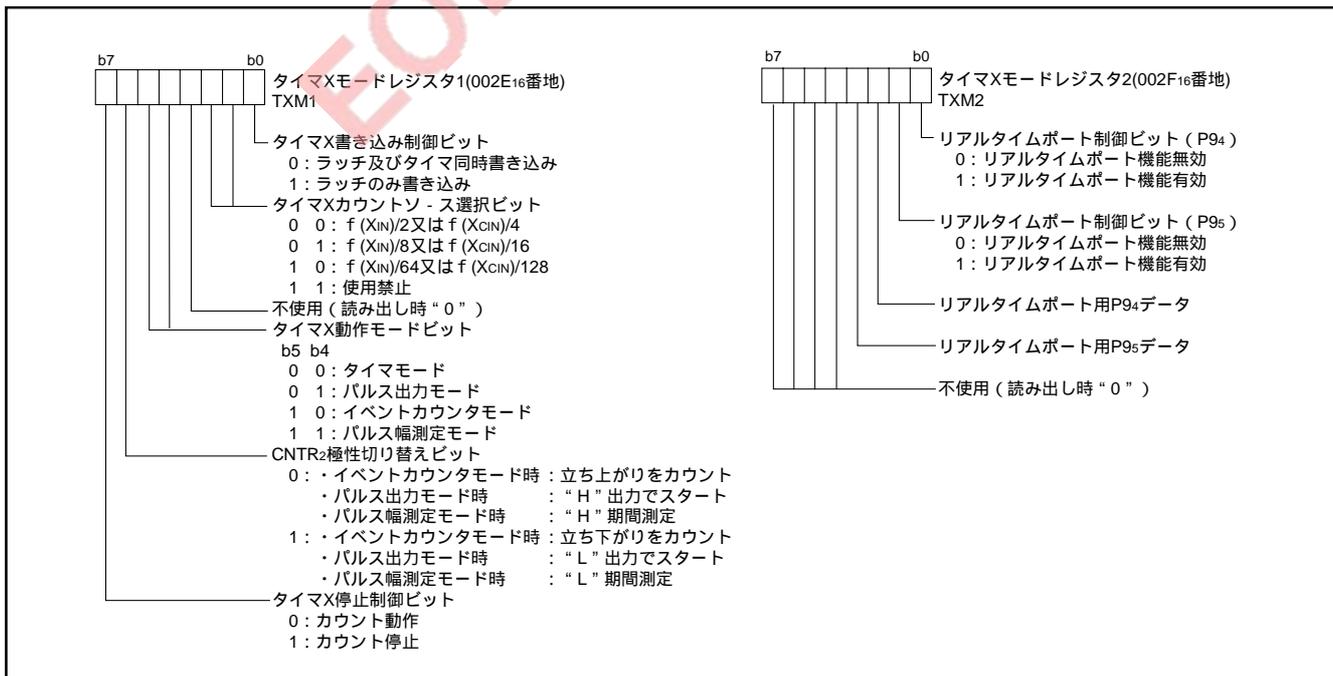


図20. タイマXモードレジスタの構成

### シリアルI/O

#### シリアルI/O 1

シリアルI/O 1は、クロック同期形のシリアルI/Oで、通常モードと自動転送モードを有しています。自動転送モードでは、最大256バイトのシリアルI/O自動転送RAM

(0F00<sub>16</sub> ~ 0FFF<sub>16</sub>番地)を介して、シリアル転送を行います。

PB1/SRDY1、PB2/SBUSY1、PB3/SSTB1の各端子は、ハンドシェイク入出力信号としての機能を持ち、アクティブ論理の正反選択も行うことができます。

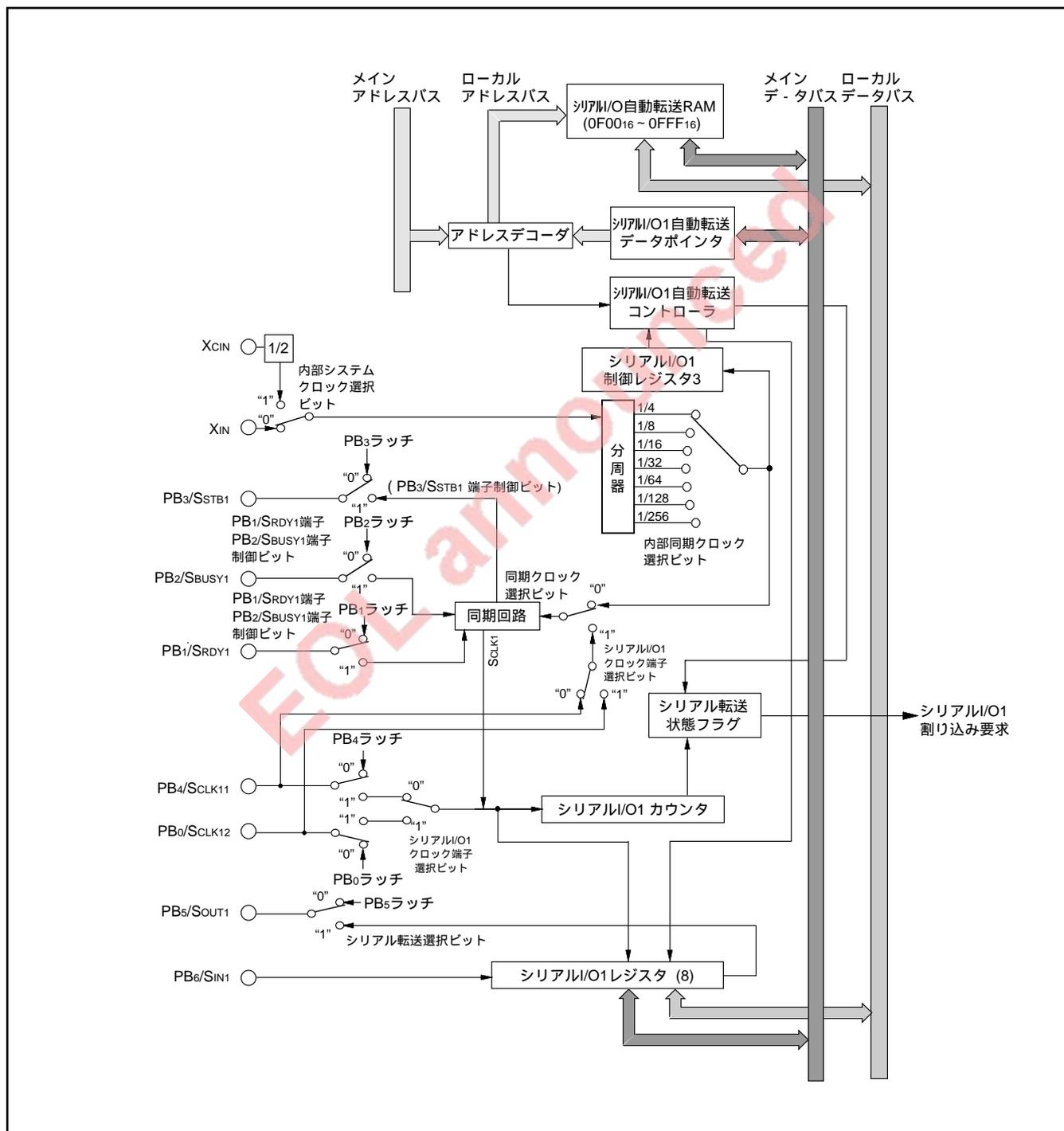


図21. シリアルI/O 1のブロック図

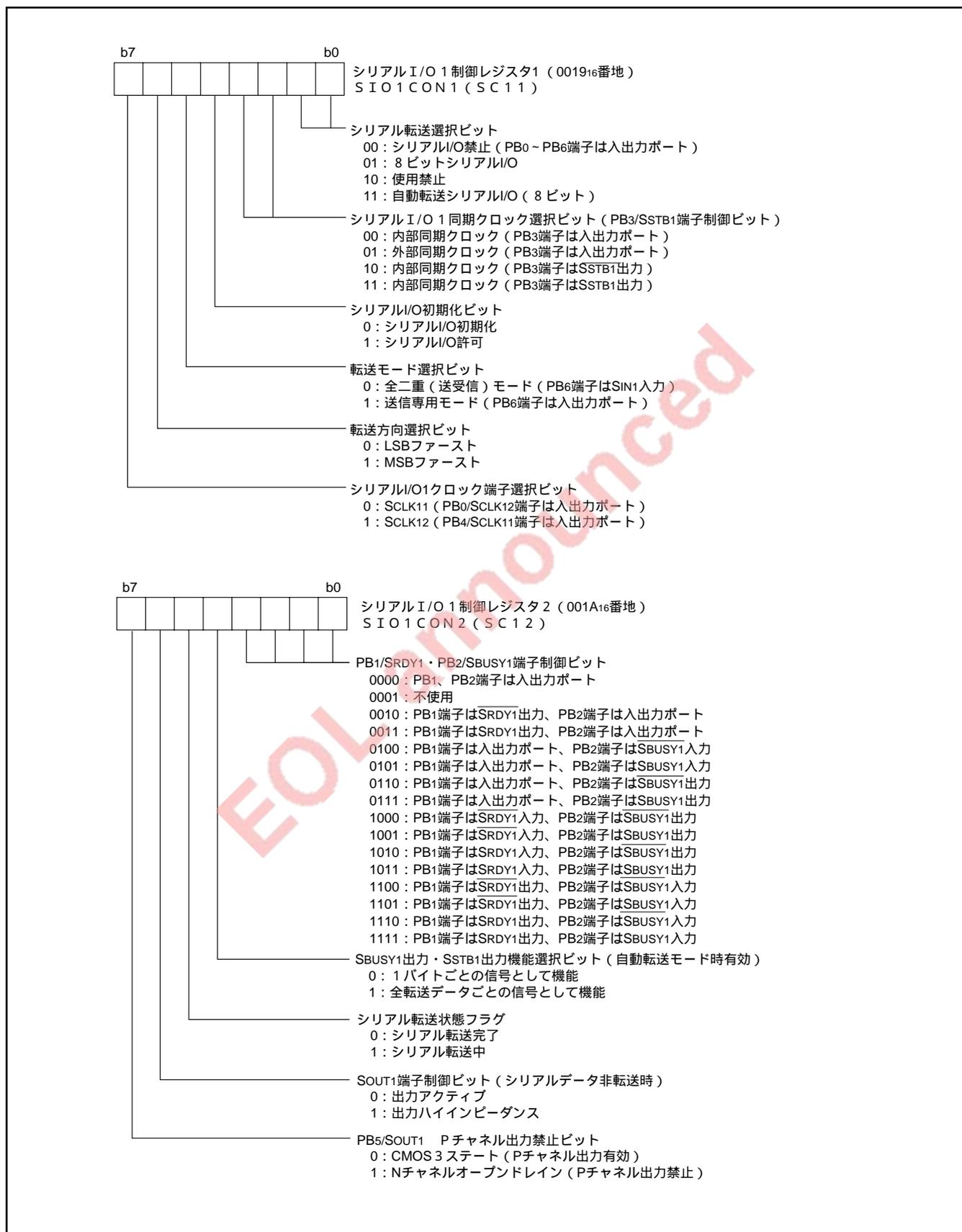


図22. シリアル I/O 1 制御レジスタ1、2の構成

### (1) シリアル I/O 1 の動作

シリアル転送を行うための同期クロックは、シリアル I/O 1 制御レジスタ 1 のシリアル I/O 1 同期クロック選択ビット (0019<sub>16</sub>番地の b2, b3) により、内部同期クロックもしくは外部同期クロックの選択ができます。

内部同期クロックは、専用の分周器を内蔵しており、シリアル I/O 1 制御レジスタ 3 の内部同期クロック選択ビット (001C<sub>16</sub>番地の b5, b6, b7) によって、7 通りのクロックを選択することができます。

P B<sub>1</sub>/S R D Y<sub>1</sub>, P B<sub>2</sub>/S B U S Y<sub>1</sub>, P B<sub>3</sub>/S S T B<sub>1</sub> の各端子は、シリアル I/O 1 制御レジスタ 1 のシリアル I/O 1 同期クロック選択ビット (0019<sub>16</sub>番地の b2, b3) 及びシリアル I/O 1 制御レジスタ 2 の P B<sub>1</sub>/S R D Y<sub>1</sub>・P B<sub>2</sub>/S B U S Y<sub>1</sub> 端子制御ビット (001A<sub>16</sub>番地の b0 ~ b3) により、入出力ポートあるいはハンドシェイク入出力信号を選択します。

出力端子となる S O U T<sub>1</sub> については、シリアル I/O 1 制御レジスタ 2 の P B<sub>5</sub>/S O U T<sub>1</sub> P チャンネル出力禁止ビット (001A<sub>16</sub>番地の b7) により、C M O S 出力あるいは N チャンネルオープンドレイン出力を選択します。

シリアル非転送時の S O U T<sub>1</sub> 端子の状態は、シリアル I/O 1 制御レジスタ 2 の S O U T<sub>1</sub> 端子制御ビット (001A<sub>16</sub>番地の b6) により、出力アクティブあるいはハイインピーダンスを選択することができます。ただし、外部同期クロックを選択した場合、S O U T<sub>1</sub> 端子をハイインピーダンスの状態にするためには、以下の設定を行ってください。転送終了後 S C L K<sub>1</sub> 入力 が “H” のとき、S O U T<sub>1</sub> 端子制御ビットを “1” に設定してくださ

い。

次のシリアル転送が始まり、S C L K<sub>1</sub> が “L” になると、S O U T<sub>1</sub> 端子制御ビットは、自動的に “0” にリセットされ、出力アクティブの状態になります。

内部同期クロック、外部同期クロックにかかわらず、シリアル転送には、全二重モードと送信専用モードがあり、シリアル I/O 1 制御レジスタ 1 の転送モード選択ビット (0019<sub>16</sub>番地の b5) により設定します。

シリアル転送ビット列の入出力順序については、シリアル I/O 1 制御レジスタ 1 の転送方向選択ビット (0019<sub>16</sub>番地の b6) により、L S B ファーストあるいは M S B ファーストを選択します。

シリアル I/O 1 を使用するには、以上のビット設定が完了した後、まずシリアル I/O 1 制御レジスタ 1 のシリアル転送選択ビット (0019<sub>16</sub>番地の b0, b1) により、8 ビットシリアル I/O、自動転送シリアル I/O のいずれかを選択します。次にシリアル I/O 1 制御レジスタ 1 のシリアル I/O 初期化ビット (0019<sub>16</sub>番地の b4) を “1” に設定します (シリアル I/O 許可)。

内部同期クロック、外部同期クロックにかかわらず、転送中にシリアル転送を中止する場合は、シリアル I/O 初期化ビット (b4) を “0” にリセットしてください。

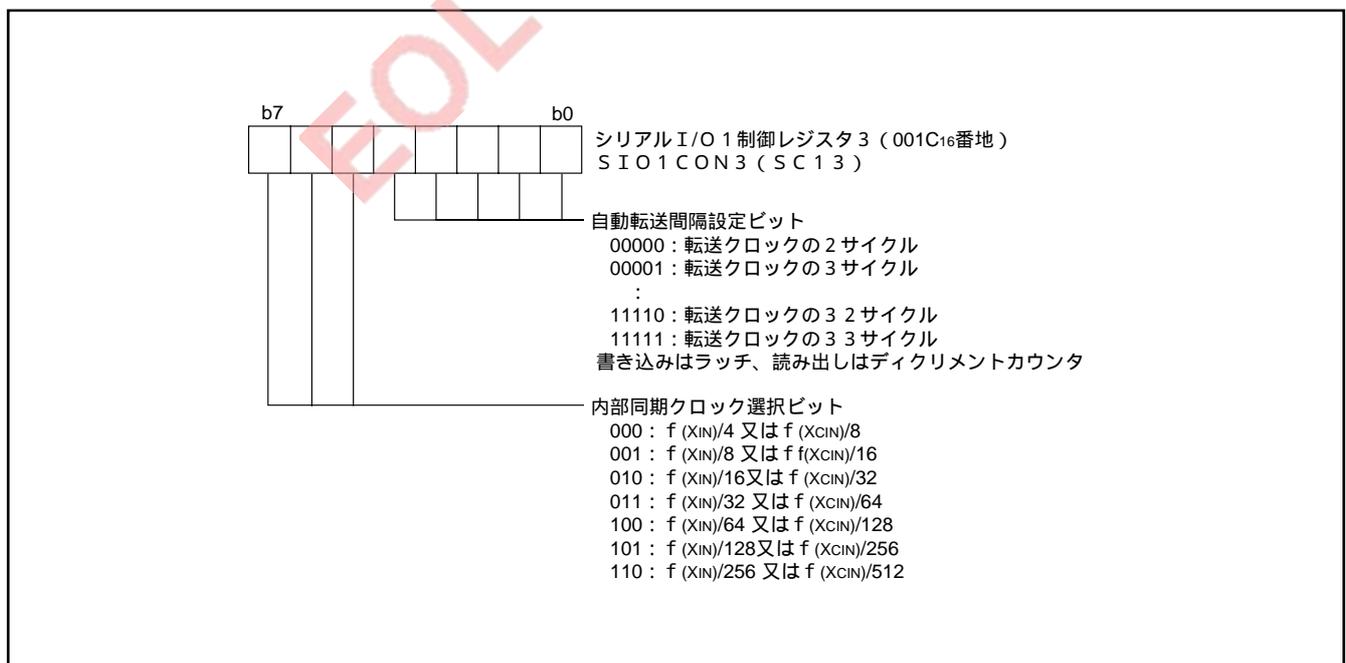


図23. シリアル I/O 1 制御レジスタ 3 の構成

### (2) 8ビットシリアルI/Oモード

001B<sub>16</sub>番地はシリアルI/O 1レジスタとなります。内部同期クロックを選択した場合、8ビットシリアルI/Oのシリアル転送の開始はシリアルI/O 1レジスタ(001B<sub>16</sub>番地)への書き込み信号により行われます。

シリアルI/O 1制御レジスタ2のシリアル転送状態フラグ(001A<sub>16</sub>番地のb<sub>5</sub>)は、シリアルI/O 1のシフトレジスタのステータスを示し、転送開始のトリガとなるシリアルI/O 1レジスタの書き込みによって“1”にセットされ、8ビットの転送終了後“0”にリセットされると同時にシリアルI/O 1割り込み要求が発生します。

外部同期クロックを選択した場合、転送クロックが、S<sub>CLK1</sub>に入力されている間、シリアルI/O 1レジスタの内容はシフトされ続けますので、外部でクロックを制御してください。

### (3) 自動転送シリアルI/Oモード

シリアルI/O 1レジスタの書き込み及び読み出しは、シリアルI/O 1自動転送コントローラが制御しますので、001B<sub>16</sub>番地の機能は転送カウンタ(バイト単位)となります。

シリアルI/O自動転送RAM(0F00<sub>16</sub>~0FFF<sub>16</sub>番地)を介して、シリアル転送を行うため、転送前にシリアルI/O 1自動転送データポインタ(0018<sub>16</sub>番地)の設定が必要となります。自動転送データポインタ設定ビットは、シリアル転送を行う先頭データの格納番地の下位8ビットを入力します。

内部同期クロックを選択して、

ハンドシェイク信号を使用しない場合

ハンドシェイク信号のS<sub>RDY1</sub>出力、S<sub>BUSY1</sub>出力、S<sub>STB1</sub>出力を、それぞれ単独使用の場合

ハンドシェイク信号のS<sub>RDY1</sub>出力とS<sub>STB1</sub>出力、あるいはS<sub>BUSY1</sub>出力とS<sub>STB1</sub>出力を組み合わせる場合

は、1バイトデータごとの転送間隔をシリアルI/O 1制御レジスタ3の自動転送間隔設定ビット(001C<sub>16</sub>番地のb<sub>0</sub>~b<sub>4</sub>)により設定することができます。設定値は転送クロックの2~33サイクルのいずれか32通りの値を選択することができます。

ここで、自動転送間隔設定が有効であるときにS<sub>BUSY1</sub>出力を使用して、かつ、シリアルI/O 1制御レジスタ2のS<sub>BUSY1</sub>出力・S<sub>STB1</sub>出力機能選択ビット(001A<sub>16</sub>番地のb<sub>4</sub>)を全転送データごとの信号として選択する場合には、最初のデータの送受信開始前と最終データの送受信終了後に転送間隔が入ります。S<sub>STB1</sub>出力を使用する場合は、S<sub>BUSY1</sub>出力・S<sub>STB1</sub>出力機能選択ビット(b<sub>4</sub>)の内容にかかわらず、1バイトデータごとの転送間隔が設定値より2サイクル長くなります。さらに、S<sub>BUSY1</sub>出力とS<sub>STB1</sub>出力を組み合わせ、全転送データごとの信号として使用する場合には、最終データの送受信終了後の転送間隔も設定値より2サイクル長

くなります。

外部同期クロックを選択した場合は、自動転送間隔設定はできません。

以上のビット設定が完了した後、内部同期クロックを選択している場合は、転送バイト数の1減じた値を転送カウンタ(001B<sub>16</sub>番地)に書き込むと自動シリアル転送を開始します。外部同期クロックを選択している場合は、転送バイト数の1減じた値を転送カウンタに書き込み、内部システムクロックの5サイクル以上空けた後、S<sub>CLK1</sub>に転送クロックを入力してください。また、1バイトデータ転送ごとの転送間隔は、1バイトデータの最終ビットのクロック立ち上がりから内部システムクロックの5サイクル以上空けてください。

内部同期クロック、外部同期クロックにかかわらず、自動転送データポインタ及び転送カウンタは、1バイトごとのデータ受信が完了して自動転送RAMに書き込みの後、ディクリメントされます。シリアル転送状態フラグ(001A<sub>16</sub>番地のb<sub>5</sub>)は、転送開始のトリガとなる転送カウンタの書き込みによって“1”にセットされ、最終データが自動転送RAMに書き込まれた後、“0”にリセットされます。それと同時にシリアルI/O 1割り込み要求が発生します。

自動転送データポインタ設定ビット(b<sub>0</sub>~b<sub>7</sub>)と自動転送間隔設定ビット(b<sub>0</sub>~b<sub>4</sub>)に書き込まれた値はラッチに保持されています。転送カウンタにデータを書き込むと自動転送データポインタ設定ビット(b<sub>0</sub>~b<sub>7</sub>)と自動転送間隔設定ビット(b<sub>0</sub>~b<sub>4</sub>)のラッチに保持されていた値がディクリメントカウンタに転送されます。

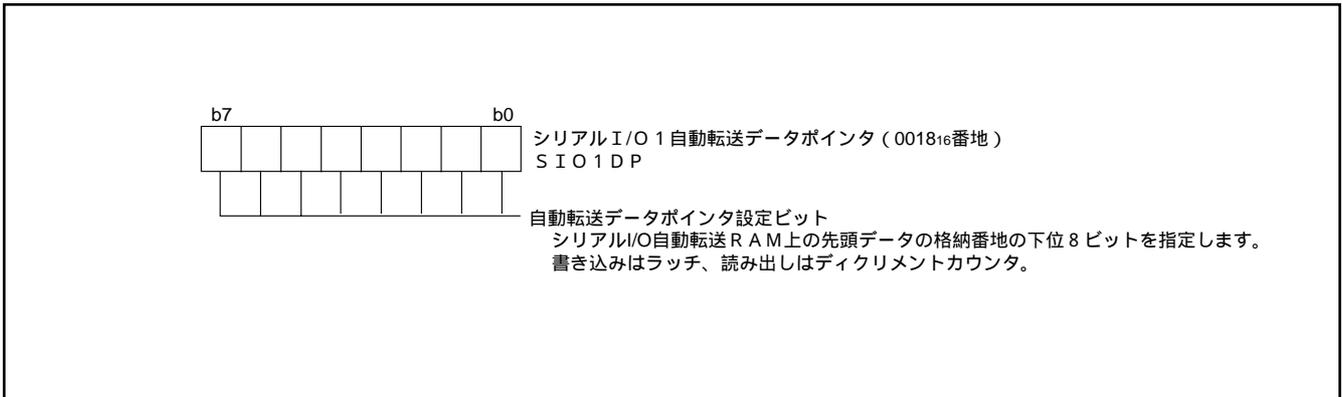


図24. シリアル I / O 1 自動転送データポインタの構成

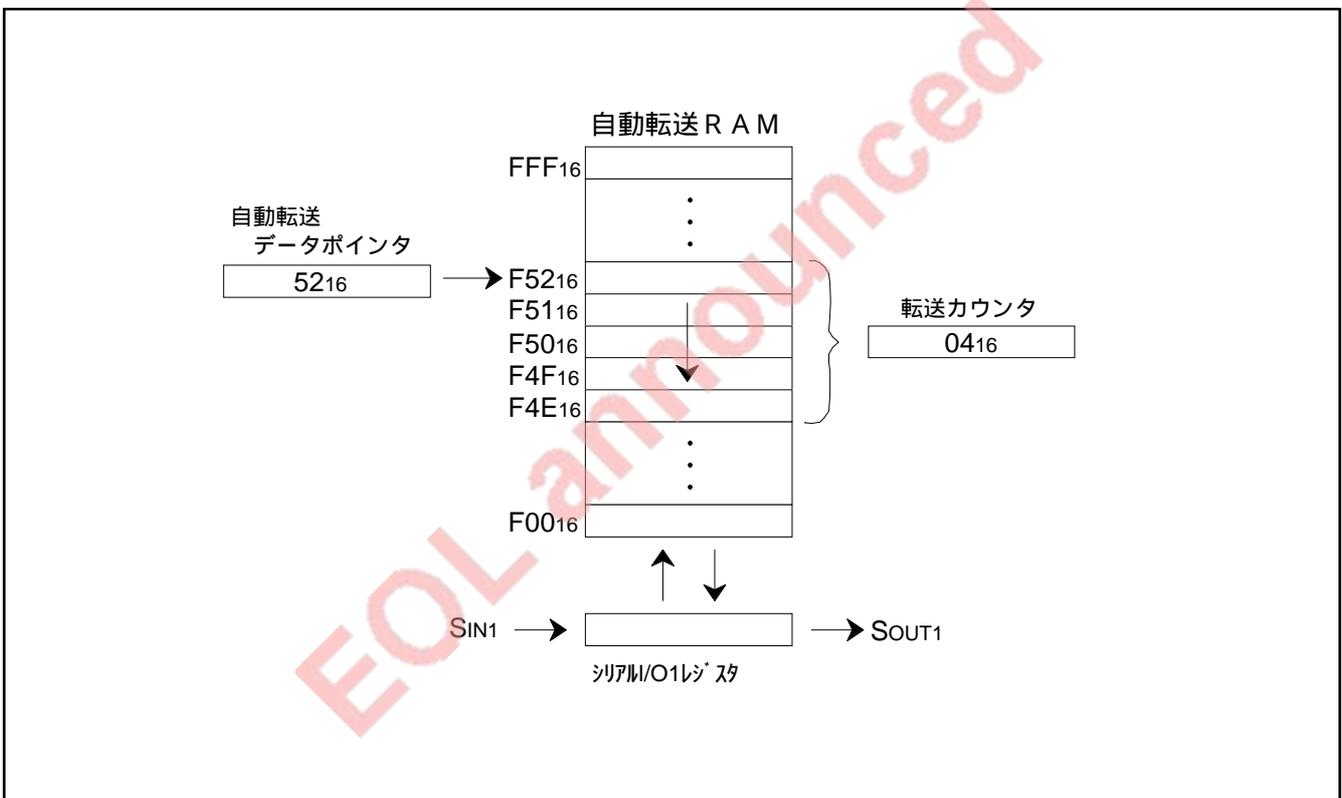


図25. 自動転送シリアル I / O の動作

### (4) ハンドシェイク信号

#### S<sub>STB1</sub>出力信号

S<sub>STB1</sub>出力は、シリアル転送先に送受信終了を伝える信号です。S<sub>STB1</sub>出力信号を使用できるのは、内部同期クロックを選択した場合に限られます。初期状態すなわちシリアルI/O初期化ビット(b4)を“0”にリセットした状態では、S<sub>STB1</sub>出力は“L”、 $\overline{S_{STB1}}$ 出力は“H”となります。

送受信動作が終了してシリアルI/OレジスタのデータをS<sub>OUT1</sub>から全て出力した時、転送クロックの1サイクルの間、S<sub>STB1</sub>出力が“H”、 $\overline{S_{STB1}}$ 出力が“L”となるパルスを出した後、S<sub>STB1</sub>出力は“L”、 $\overline{S_{STB1}}$ 出力は“H”となる初期状態に戻ります。さらに1サイクル後に、シリアル転送状態フラグ(b5)が“0”にリセットされます。

自動転送シリアルI/Oモードでは、シリアルI/O制御レジスタ2のS<sub>BUSY1</sub>出力・S<sub>STB1</sub>出力機能選択ビット(001A16番地のb4)によって、S<sub>STB1</sub>出力を1バイトデータの転送終了ごとにアクティブにするか、あるいは全データを転送終了後にアクティブにするかを選ぶことができます。

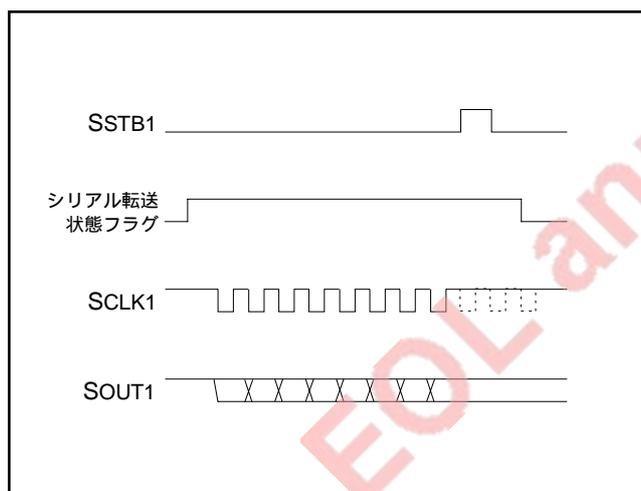


図26. S<sub>STB1</sub>出力の動作

#### S<sub>BUSY1</sub>入力信号

S<sub>BUSY1</sub>入力は、シリアル転送先から送受信の停止を要求される信号です。

内部同期クロックを選択した場合、転送が停止している初期状態は、S<sub>BUSY1</sub>入力が“H”、 $\overline{S_{BUSY1}}$ 入力が“L”を入力してください。送受信動作の開始は、転送クロックの1.5サイクル以上の間、S<sub>BUSY1</sub>入力が“L”、 $\overline{S_{BUSY1}}$ 入力が“H”となるレベルの信号を入力すると、S<sub>CLK1</sub>出力から転送クロックが出力します。送受信動作が開始した後、S<sub>BUSY1</sub>入力が“H”、 $\overline{S_{BUSY1}}$ 入力が“L”を入力した場合、送受信動作は直ちに停止せず、所定のビット数の送受信動作が完了するまで、S<sub>CLK1</sub>出力からの転送クロックも停止しません。8ビットシリアルI/Oは8ビット、自動転送シリアルI/Oは8ビットがハンドシェイクの単位となります。

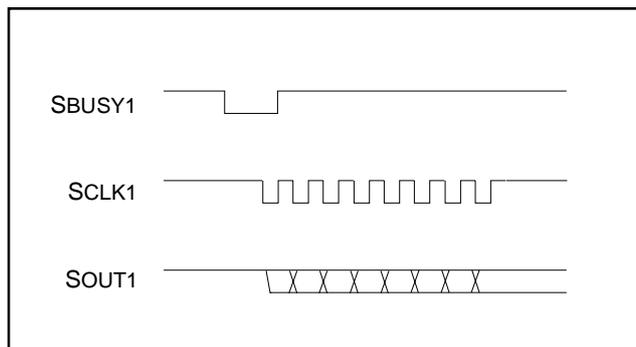


図27. S<sub>BUSY1</sub>入力の動作(内部同期クロック)

外部同期クロックを選択した場合、転送が停止している初期状態は、S<sub>BUSY1</sub>入力が“H”、 $\overline{S_{BUSY1}}$ 入力が“L”を入力してください。この時S<sub>CLK1</sub>に入力される転送クロックは無効となります。シリアル転送は、S<sub>BUSY1</sub>入力が“L”、 $\overline{S_{BUSY1}}$ 入力が“H”となるレベルの信号を入力している間、S<sub>CLK1</sub>に入力される転送クロックが有効となり、送受信動作可能となります。これらの動作においてS<sub>BUSY1</sub>入力及び $\overline{S_{BUSY1}}$ 入力の入力値を変更する場合は、S<sub>CLK1</sub>入力が“H”状態の時に行ってください。また、S<sub>OUT1</sub>端子制御ビット(b6)により、S<sub>OUT1</sub>の出力ハイインピーダンスを選択している場合、S<sub>BUSY1</sub>入力が“L”、 $\overline{S_{BUSY1}}$ 入力が“H”となるレベルを入力している間、S<sub>OUT1</sub>は出力アクティブとなりS<sub>CLK1</sub>への転送クロック入力によってシリアル転送が可能となります。

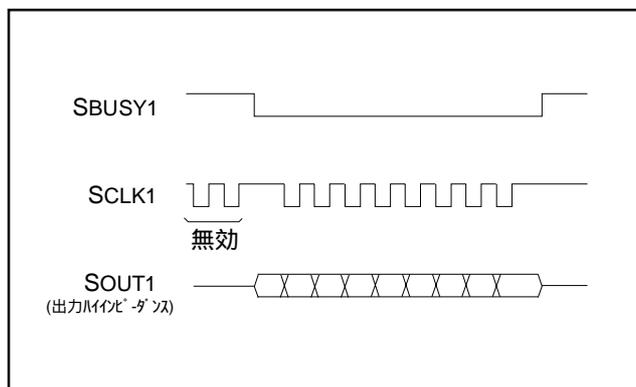


図28. S<sub>BUSY1</sub>入力の動作(外部同期クロック)

#### S<sub>BUSY1</sub>出力信号

S<sub>BUSY1</sub>出力は、シリアル転送先に送受信の停止を要求する信号です。内部同期クロック、外部同期クロックにかかわらず、自動転送シリアルI/Oモードでは、S<sub>BUSY1</sub>出力・S<sub>STB1</sub>出力機能選択ビット(b4)によって、S<sub>BUSY1</sub>出力を1バイトデータの転送ごとにアクティブにするか、あるいは全データ転送の間アクティブにするかを選ぶことができます。初期状態すなわちシリアルI/O初期化ビット(b4)を“0”にリセットした状態では、S<sub>BUSY1</sub>出力は“H”、 $\overline{S_{BUSY1}}$ 出力は“L”となります。

内部同期クロックを選択した場合、8ビットシリアルI/Oモード及び自動転送シリアルI/Oモード(SBUSY1出力機能は1バイトごと)では、送受信動作を開始する時、SCLK1出力からの転送クロックが“L”となるタイミングの0.5サイクル(転送クロック)前に、SBUSY1出力は“L”、 $\overline{\text{SBUSY1}}$ 出力は“H”となります。自動転送シリアルI/Oモード(SBUSY1出力機能は全転送データごと)では、シリアルI/Oレジスタ(001B16番地)に最初の送信データが書き込まれた時、SBUSY1出力は“L”、 $\overline{\text{SBUSY1}}$ 出力は“H”となります。

外部同期クロックを選択した場合は、シリアルI/Oの転送モードにかかわらず、送信動作を開始するためにシリアル

I/Oレジスタに送信データが書き込まれた時、SBUSY1出力は“L”、 $\overline{\text{SBUSY1}}$ 出力は“H”となります。

送受信動作の終了時には、内部同期クロック、外部同期クロックにかかわらず、シリアル転送状態フラグが“0”にリセットされるタイミングで、SBUSY1出力は“H”、 $\overline{\text{SBUSY1}}$ 出力は“L”となる初期状態に戻ります。さらに自動転送シリアルI/Oモード(SBUSY1出力機能は1バイトごと)では、1バイトの受信データが自動転送RAMに書き込まれるたびに、SBUSY1出力は“H”、 $\overline{\text{SBUSY1}}$ 出力は“L”になります。

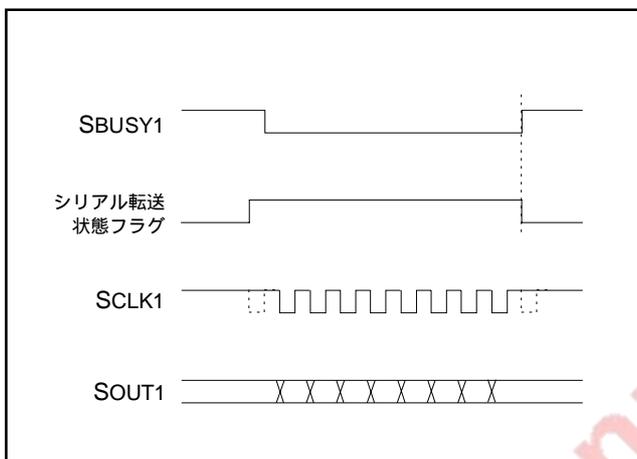


図29. SBUSY1出力の動作  
(内部同期クロック、8ビットシリアルI/O)

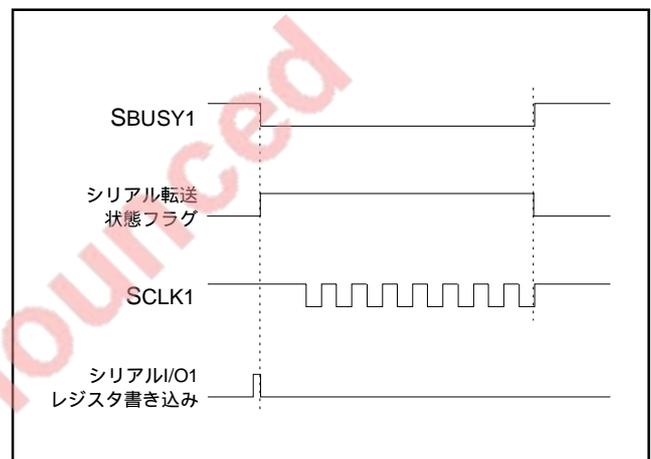


図30. SBUSY1出力の動作  
(外部同期クロック、8ビットシリアルI/O)

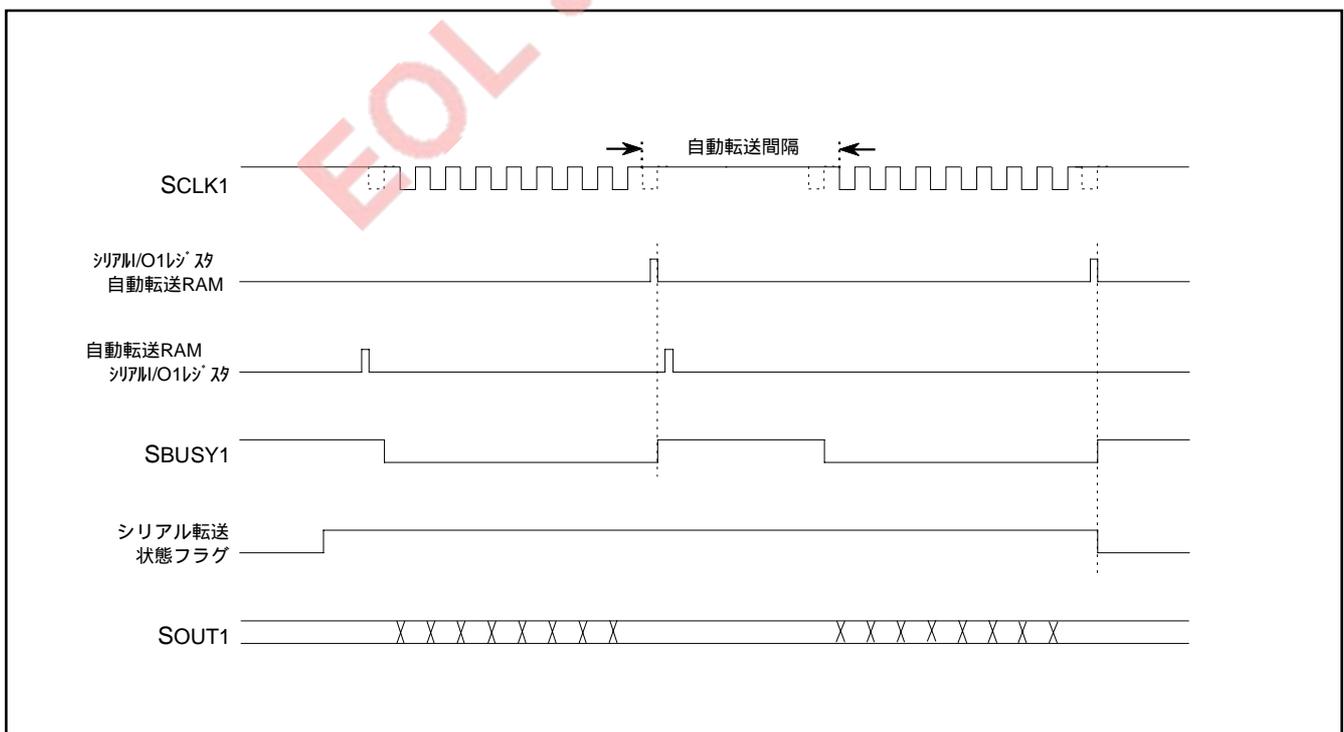


図31. 自動転送シリアルI/OモードにおけるSBUSY1出力の動作  
(内部同期クロック、SBUSY1出力機能は1バイトごと)

#### SRDY1出力信号

SRDY1出力は、シリアル転送先に送受信準備ができたことを伝える送受信可能信号です。初期状態すなわちシリアルI/O初期化ビット(b4)を“0”にリセットした場合、SRDY1出力は“L”、 $\overline{\text{SRDY1}}$ 出力は“H”となります。シリアルI/O1レジスタ(001B16番地)に送信データが格納され送受信動作の準備が完了した場合、SRDY1出力は“H”、 $\overline{\text{SRDY1}}$ 出力は“L”となります。送受信動作が始まり転送クロックが“L”となる場合、SRDY1出力は“L”、 $\overline{\text{SRDY1}}$ 出力は“H”となります。

#### SRDY1入力信号

SRDY1入力信号は、SRDY1入力及びSBUSY1出力の使用時のみ有効となります。SRDY1入力は、シリアル転送先から送受信の準備完了を示す信号を受け取る信号です。

内部同期クロックを選択した場合、転送が停止している初期状態は、SRDY1入力が“L”、 $\overline{\text{SRDY1}}$ 入力が“H”を入力してください。転送クロックの1.5サイクル以上の間、SRDY1入力が“H”、 $\overline{\text{SRDY1}}$ 入力が“L”となるレベルの信号を入力すると、SCLK1出力から転送クロックが出力され、送受信動作が開始します。送受信動作が開始した後、SRDY1入力が“L”、 $\overline{\text{SRDY1}}$ 入力が“H”を入力した場合、送受信動作は直ちに停止しません。所定のビット数の送受信動作が完了後、SCLK1出力からの転送クロックは停止します。8ビットシリアルI/O及び、自動転送シリアルI/Oはそれぞれ8ビットがハンドシェイクの単位となります。

外部同期クロックを選択した場合、SRDY1入力は、SBUSY1信号を出力させるためのトリガの1つとなります。

送受信動作を開始(SBUSY1出力が“L”、 $\overline{\text{SBUSY1}}$ 出力が“H”の状態)させるためには、SRDY1入力が“H”、 $\overline{\text{SRDY1}}$ 入力が“L”を入力し、かつ、シリアルI/O1レジスタに送信データを書き込まなければなりません。

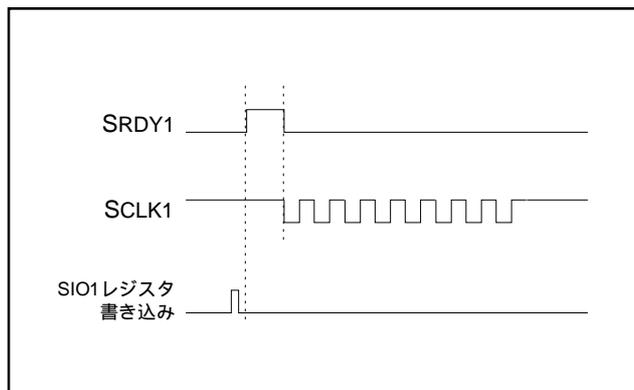


図32. SRDY1出力の動作

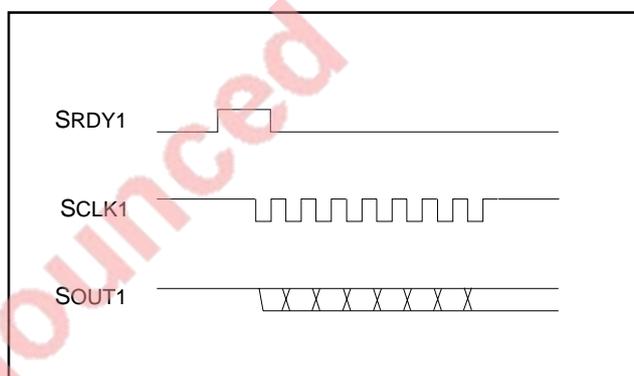


図33. SRDY1入力の動作(内部同期クロック)

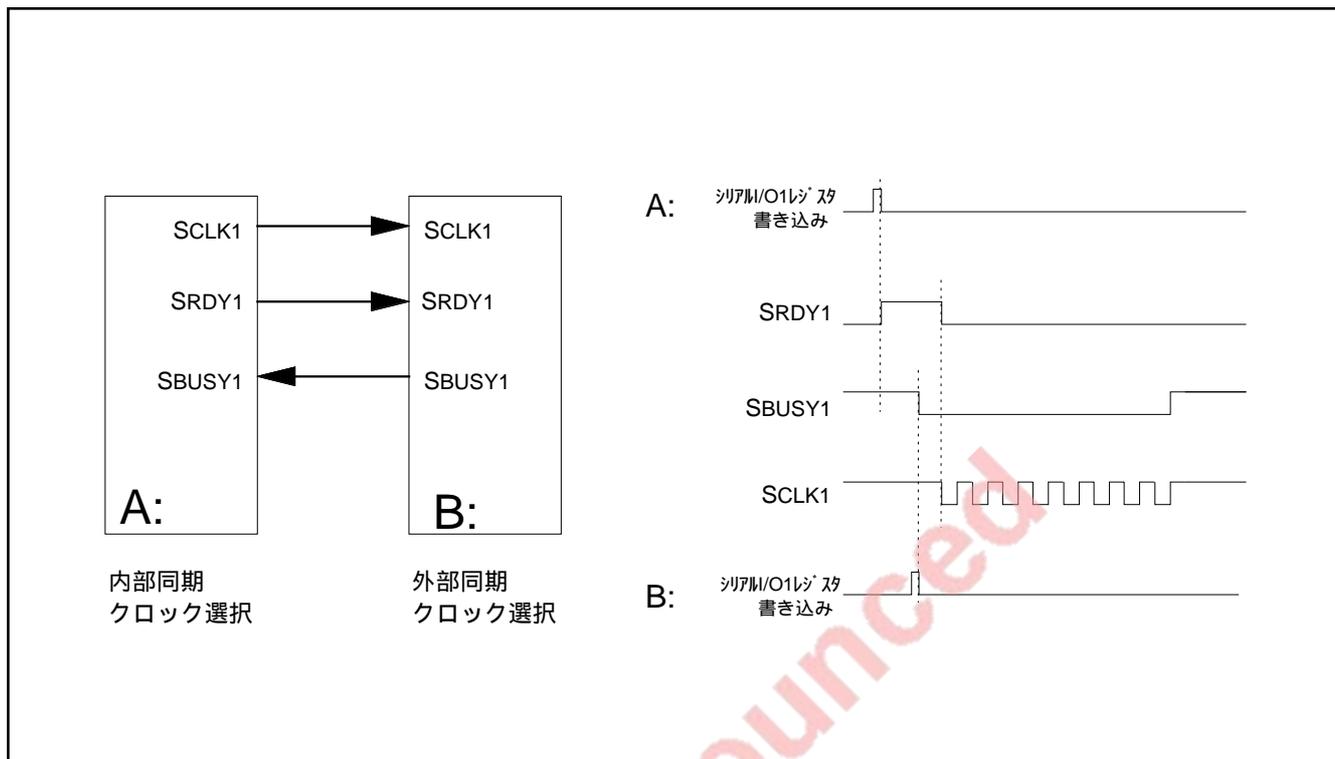


図34. シリアルI/O1を相互接続した場合のハンドシェーク動作(1)

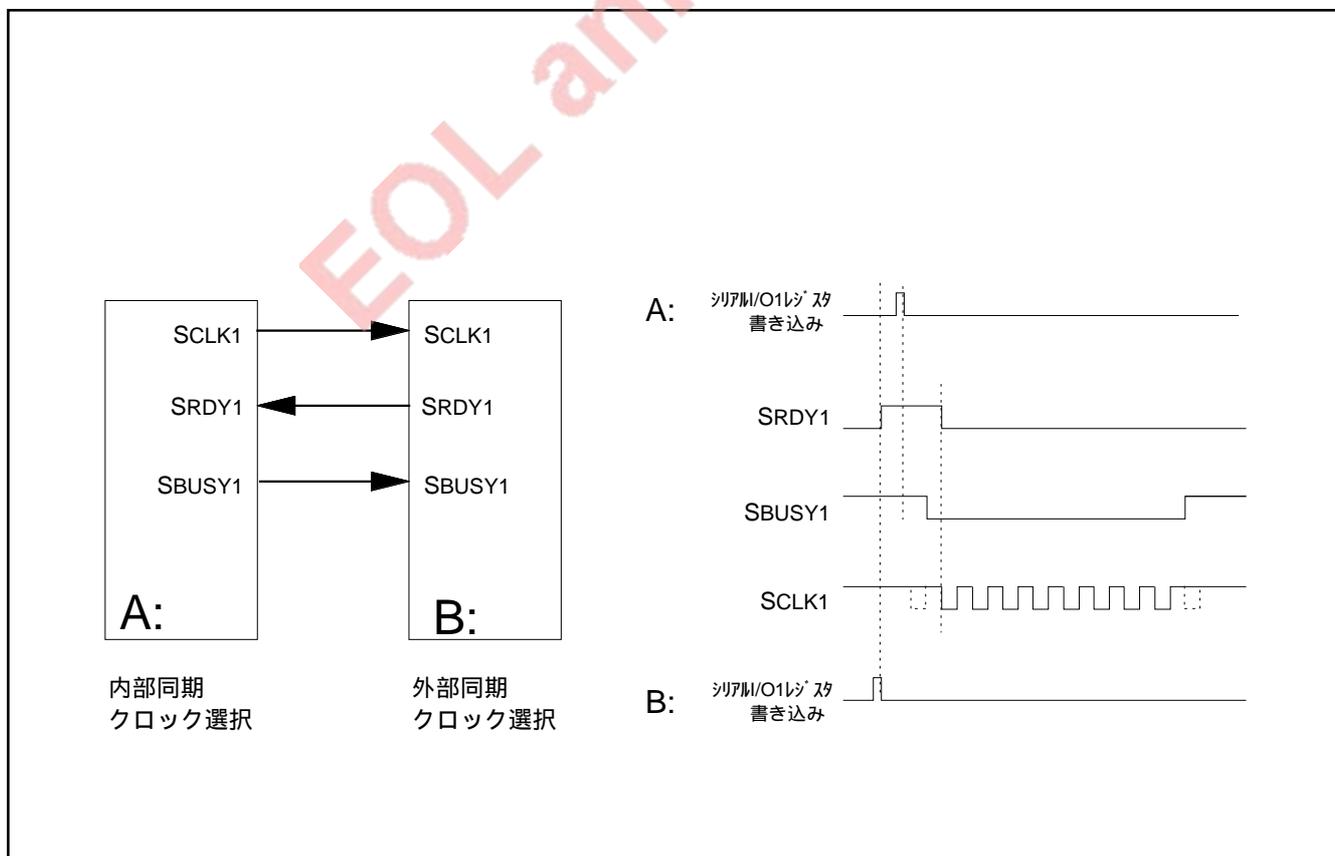


図35. シリアルI/O1を相互接続した場合のハンドシェーク動作(2)

### シリアル I/O 2

シリアル I/O 2 はクロック同期形、非同期形 (UART) のどちらでも動作可能です。また、シリアル I/O 2 動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

#### (1) クロック同期形シリアル I/O モード

シリアル I/O 2 制御レジスタのシリアル I/O 2 モード選択ビット(001D<sub>16</sub>番地のb6)を“1”にすることによってクロッ

ク同期形シリアル I/O が選択されます。

クロック同期形シリアル I/O では、シリアル I/O 2 の動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

クロック入出力端子として P 6 7 (SCLK22) を選択した場合、SRDY<sub>2</sub> 出力機能は無効となります。また、P 6 6 (SCLK21) は入出力ポートとなります。

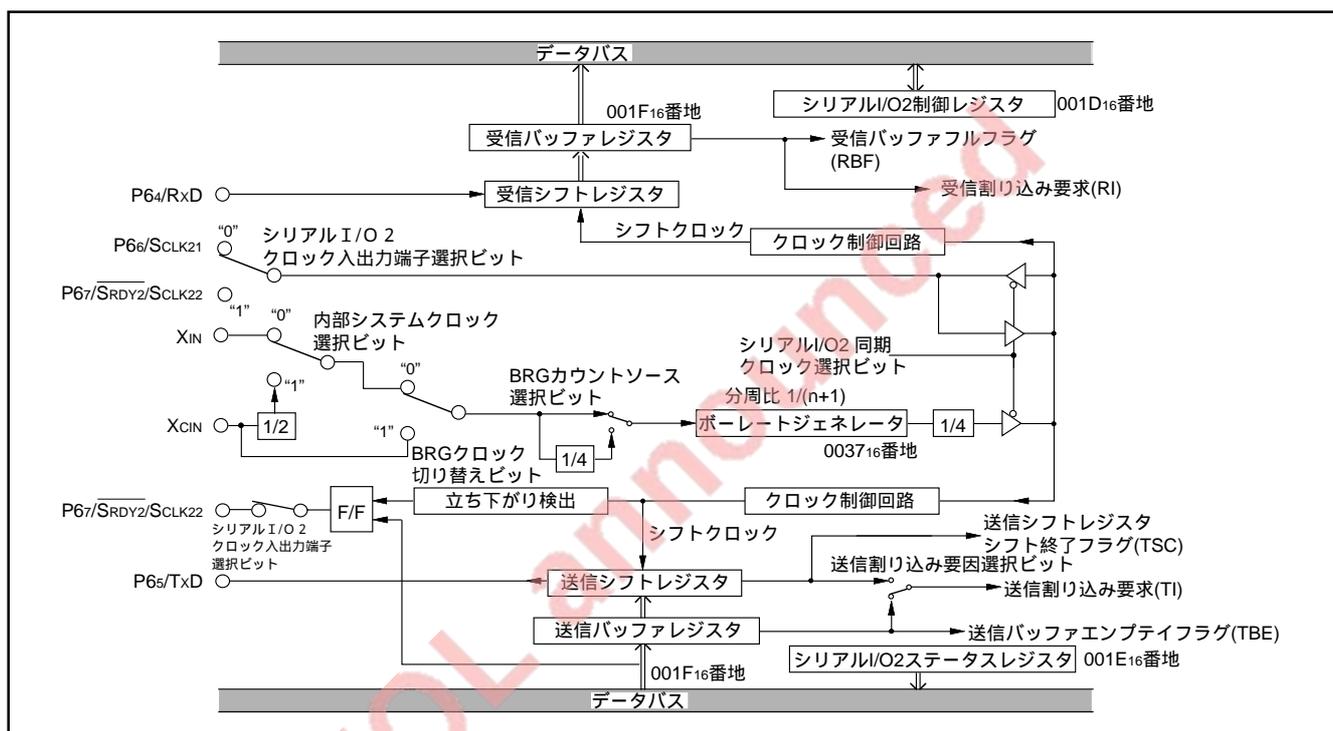


図36. クロック同期形シリアル I/O 2 ブロック図

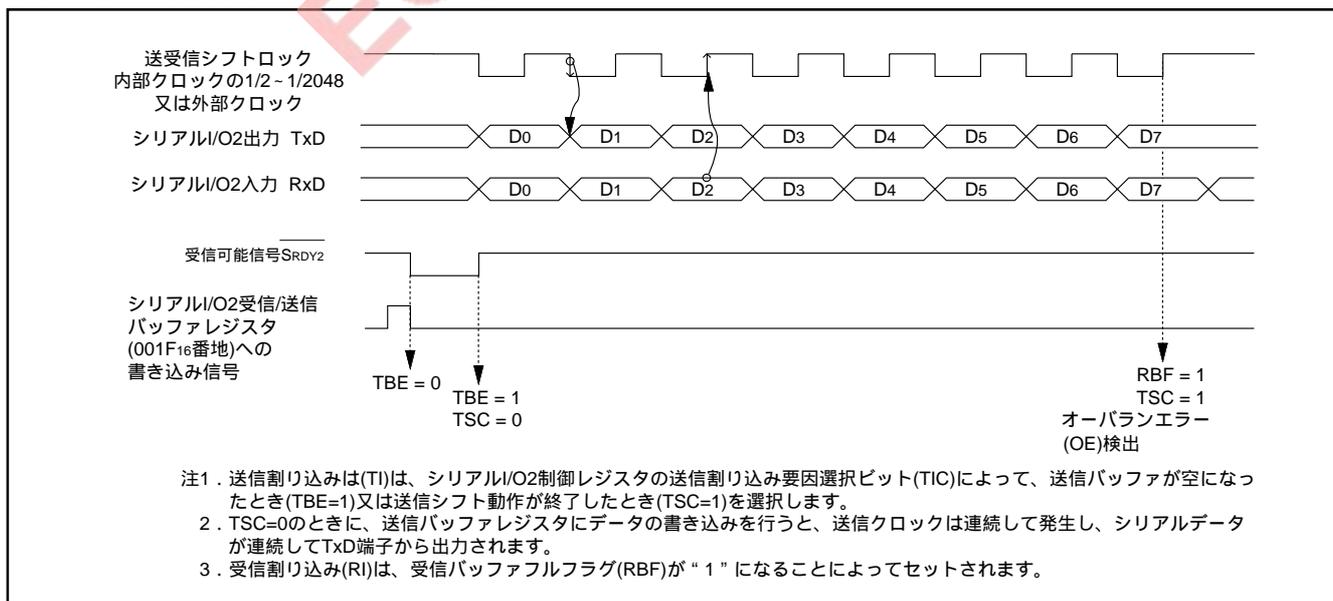


図37. クロック同期形シリアル I/O 2 動作図

### (2) 非同期形シリアルI/O(UART)モード

シリアルI/O 2制御レジスタのシリアルI/O 2モード選択ビット(001D16番地のb6)を“0”にすることによってUARTが選択されます。

38B7グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

38B7グループはシリアルデータの送信、受信を行う送信シ

フトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

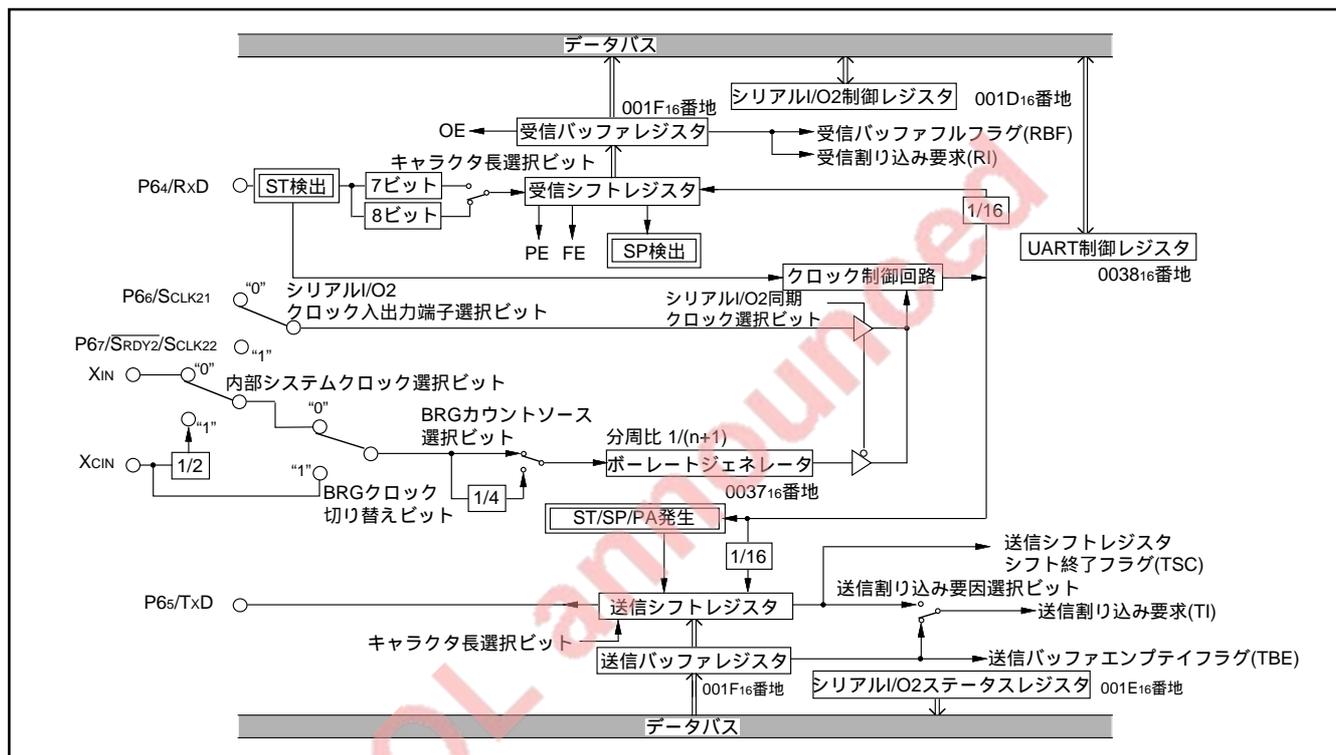


図38. UART形シリアルI/O 2ブロック図

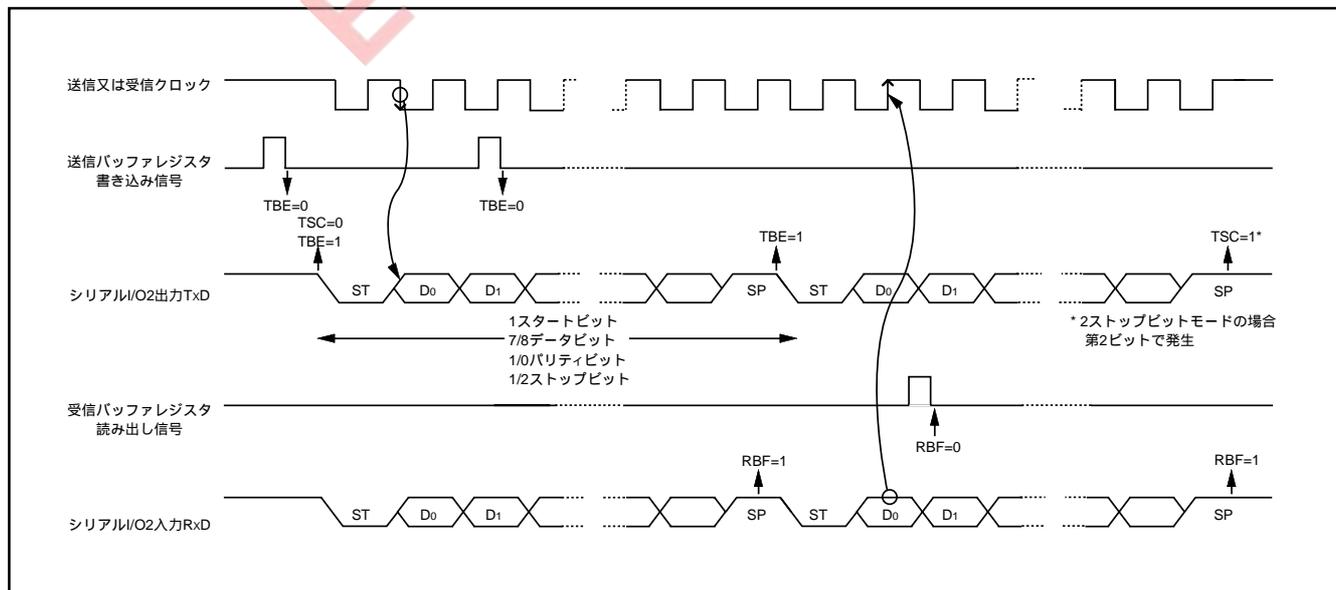


図39. UART形シリアルI/O 2動作図

【シリアルI/O 2 制御レジスタ】SIO2CON

シリアルI/O 2 制御レジスタはシリアルI/O 2 の各種制御を行う8ビットの選択ビットで構成されています。

【UART 制御レジスタ】UARTCON

UART 選択時有効な4ビットの制御ビットと3ビットの常に有効な制御ビットより構成された7ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P65/TxD端子の出力形式などを設定します。

【シリアルI/O 2 ステータスレジスタ】SIO2STS

シリアルI/O 2 の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと0にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O 2 ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O 2 許可ビット(SIOE)に0を書き込むとエラーフラグを含む全てのステータスフラグが0にクリアされます。

このレジスタのすべてのビットはリセット時0に初期化されますが、シリアルI/O 2 制御レジスタの送信許可ビットを1にしたときビット2とビット0は1になります。

【シリアルI/O 2 送信/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは0となります。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを1/(n+1)の分周比で分周します。

# 三菱マイクロコンピュータ 38B7グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

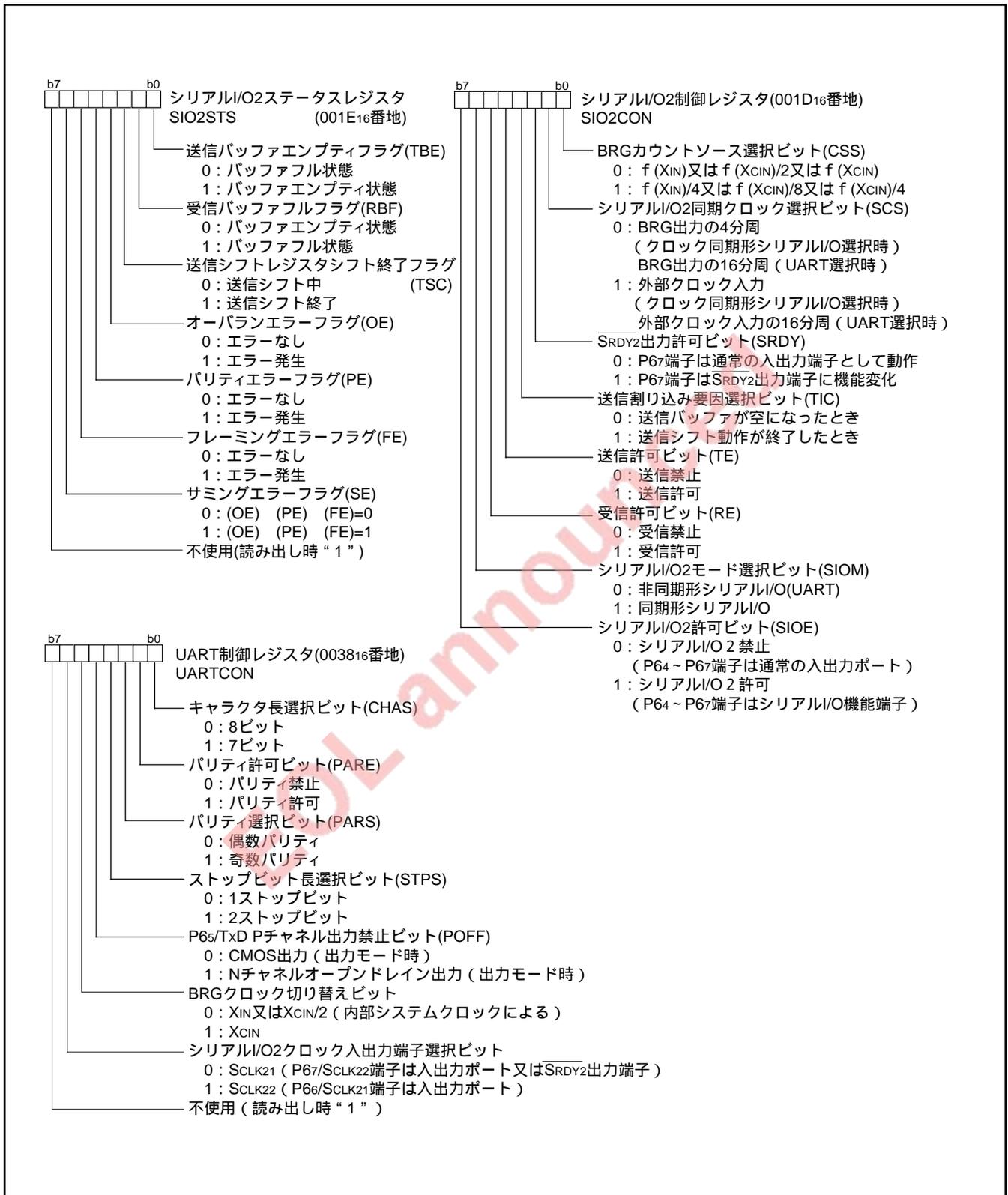


図40 . シリアル I/O 2 関係レジスタの構成

シリアルI/O3

シリアルI/O3は8ビットのクロック同期形シリアルI/Oとして動作します。

シリアルI/Oの入出力は、すべて入出力ポートP9と共用になっており、シリアルI/O3制御レジスタ(0EEC16番地)により設定します。

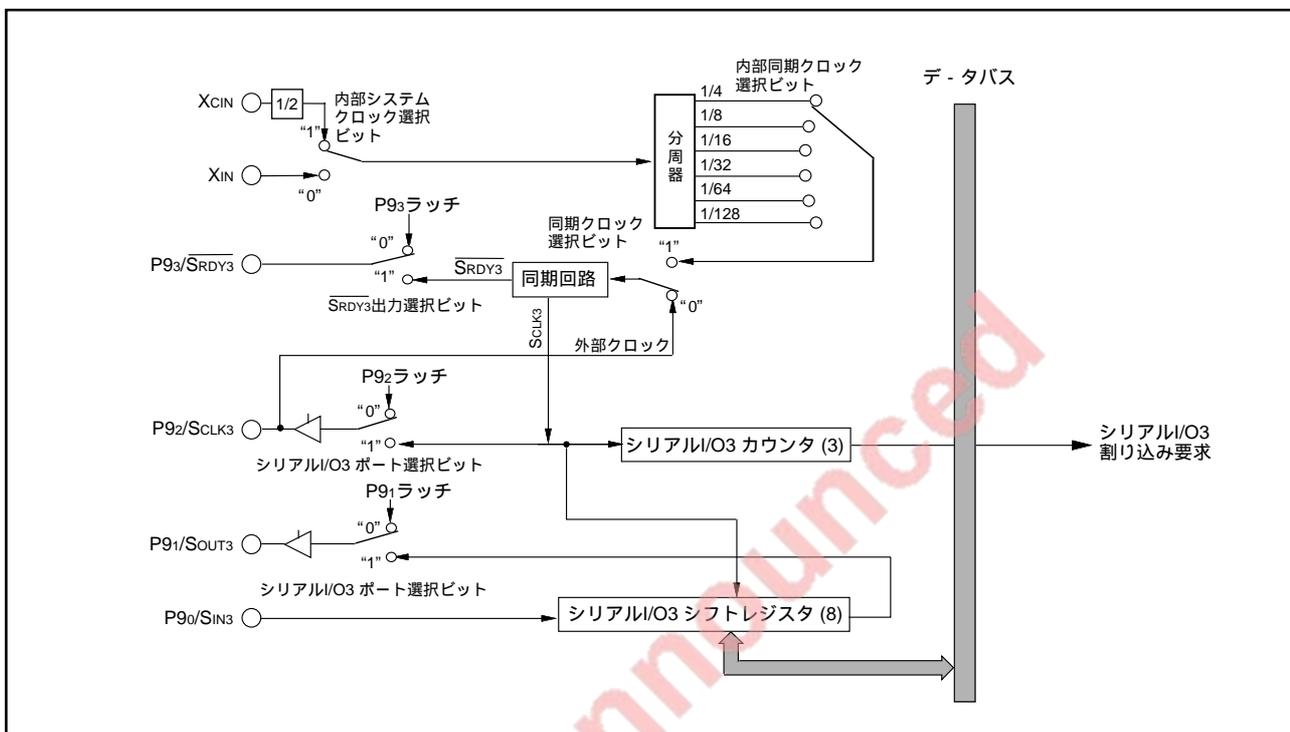


図41 . シリアルI/O3ブロック図

【シリアルI/O制御レジスタ3】SIO3CON

シリアルI/O制御レジスタ3は8ビットのレジスタで、シリアルI/O3の各種制御を行う選択ビットで構成されています。

・シリアルI/O3の動作

シリアルI/O3送受信を行うための同期クロックとして、内部クロックと外部クロックを選択できます。内部クロックとして専用の分周器を内蔵しており、6通りのクロックを選択できます。

内部クロックを選択した場合、転送の開始は、シリアルI/O3レジスタ(0EED16番地)への書き込み信号により行われます。8ビットの転送終了後、SOUT3端子は、ハイインピーダンス状態になります。

外部クロックを選択した場合は、送受信クロックが入力されている間、シリアルI/O3レジスタの内容はシフトされ続けますので、外部でクロックを制御してください。また、データ転送完了後のSOUT3端子ハイインピーダンスの機能はありません。

内部クロック、外部クロックに関わらず、8ビットの転送後割り込み要求ビットがセットされます。

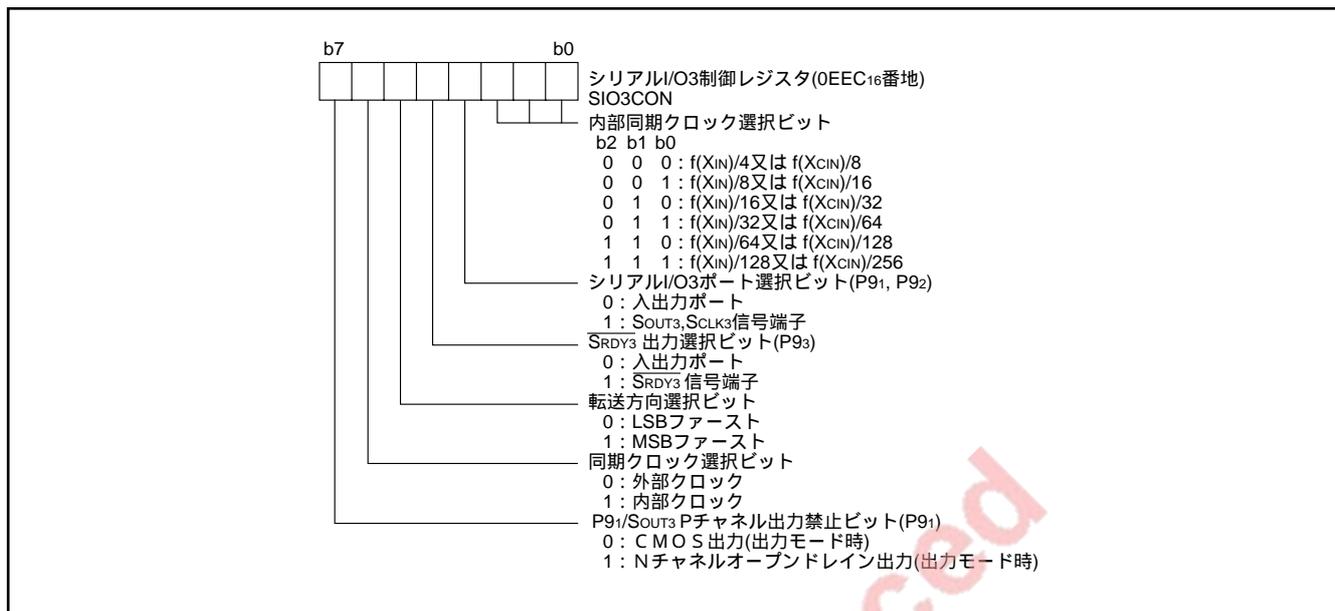


図42 . シリアル/O3制御レジスタの構成

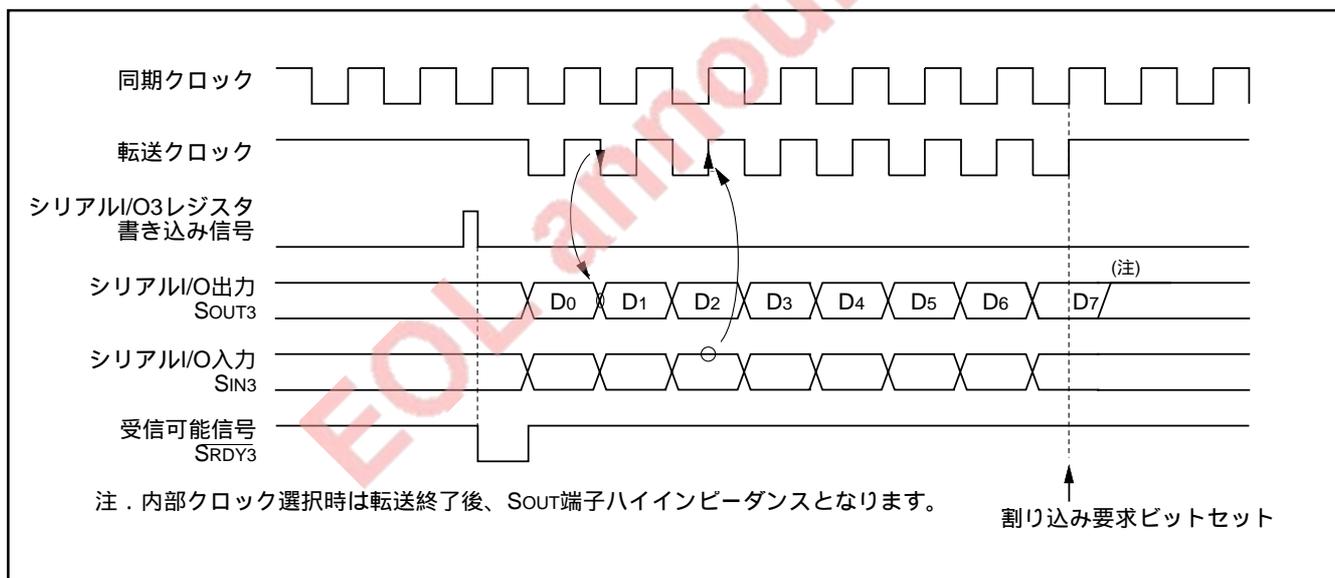


図43 . シリアル/O3タイミング(LSBファーストの場合)

FLDコントローラ

38B7グループはFLD(蛍光表示管)の駆動および制御回路を持っています。

表9にFLDコントローラの概略仕様を示します。

表9 . FLDコントローラの概略仕様

項目		仕様
FLDコントローラ 用ポート	高耐圧ポート	52本(内20本は通常ポートと切り替え可)
	CMOSポート	4本(4本とも通常ポートと切り替え可) (外付けにドライバーが必要)
表示画素数		FLD出力を使用した場合 28セグメント×28ディジット(セグメント+ディジット 56) ディジット出力を使用した場合 40セグメント×16ディジット (セグメント数 40、ディジット数 16) M35501を接続した場合 56セグメント×(M35501接続数)ディジット (セグメント数 56、ディジット数 M35501の数×16) P64～P67拡張を使用した場合 52セグメント×16ディジット (セグメント数 52、ディジット数 16)
周期		4.0 $\mu$ s ~ 1024 $\mu$ s (カウントソース XIN/16, 4MHz時) 16.0 $\mu$ s ~ 4096 $\mu$ s (カウントソース XIN/64, 4MHz時)
ディマー時間		4.0 $\mu$ s ~ 1024 $\mu$ s (カウントソース XIN/16, 4MHz時) 16.0 $\mu$ s ~ 4096 $\mu$ s (カウントソース XIN/64, 4MHz時)
割り込み		ディジット割り込み FLDブランキング割り込み
キースキャン		ディジットを使用するキースキャン セグメントを使用するキースキャン
拡張機能		ディジット波出力機能 自動的にディジットの波形を出力する機能です M35501接続機能 DIMOUT(P73)の出力をM35501のCLKとして使用することにより、簡単にディジット数を増やすことができます Toff区間有無機能 接続した出力が同じであれば、Toff1区間が発生しない機能です 階調表示機能 セグメント毎に暗表示と明表示が設定できる機能です P64～P67拡張機能 4本のポートに4 16デコーダをつけて16本のディジット出力を行う機能です

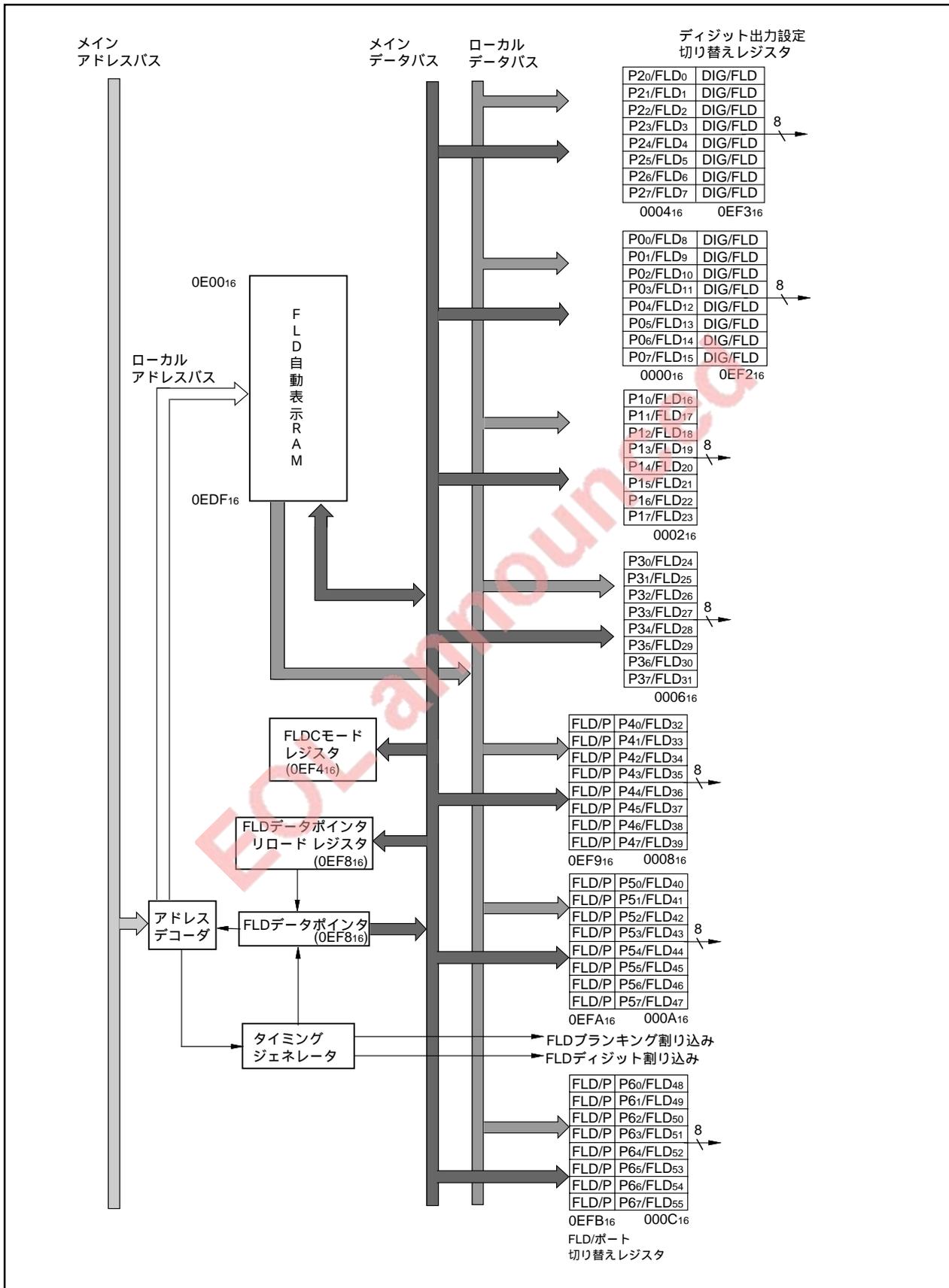


図44 . FLD制御回路ブロック図

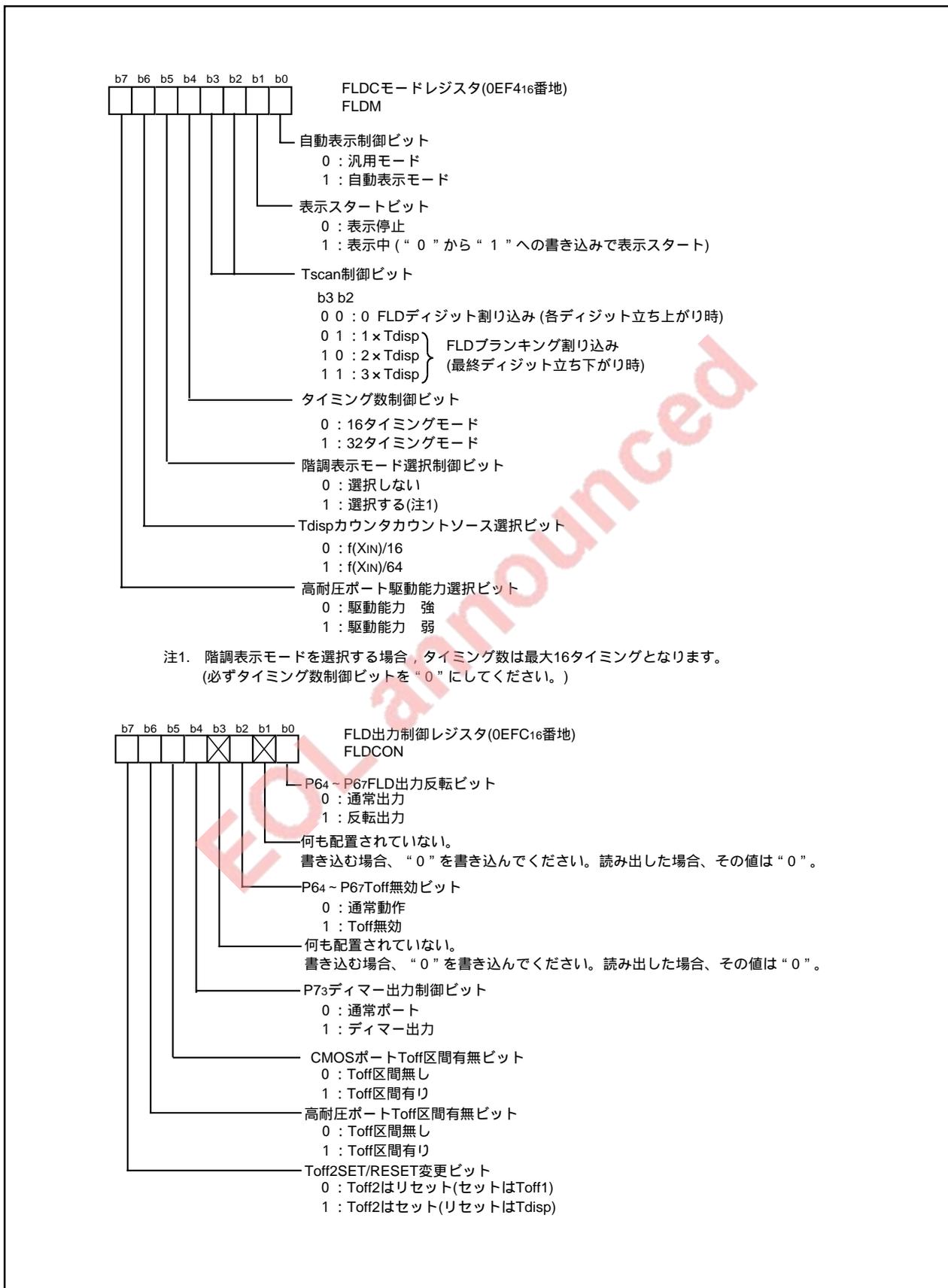


図45 . FLDC関連レジスタ(1)

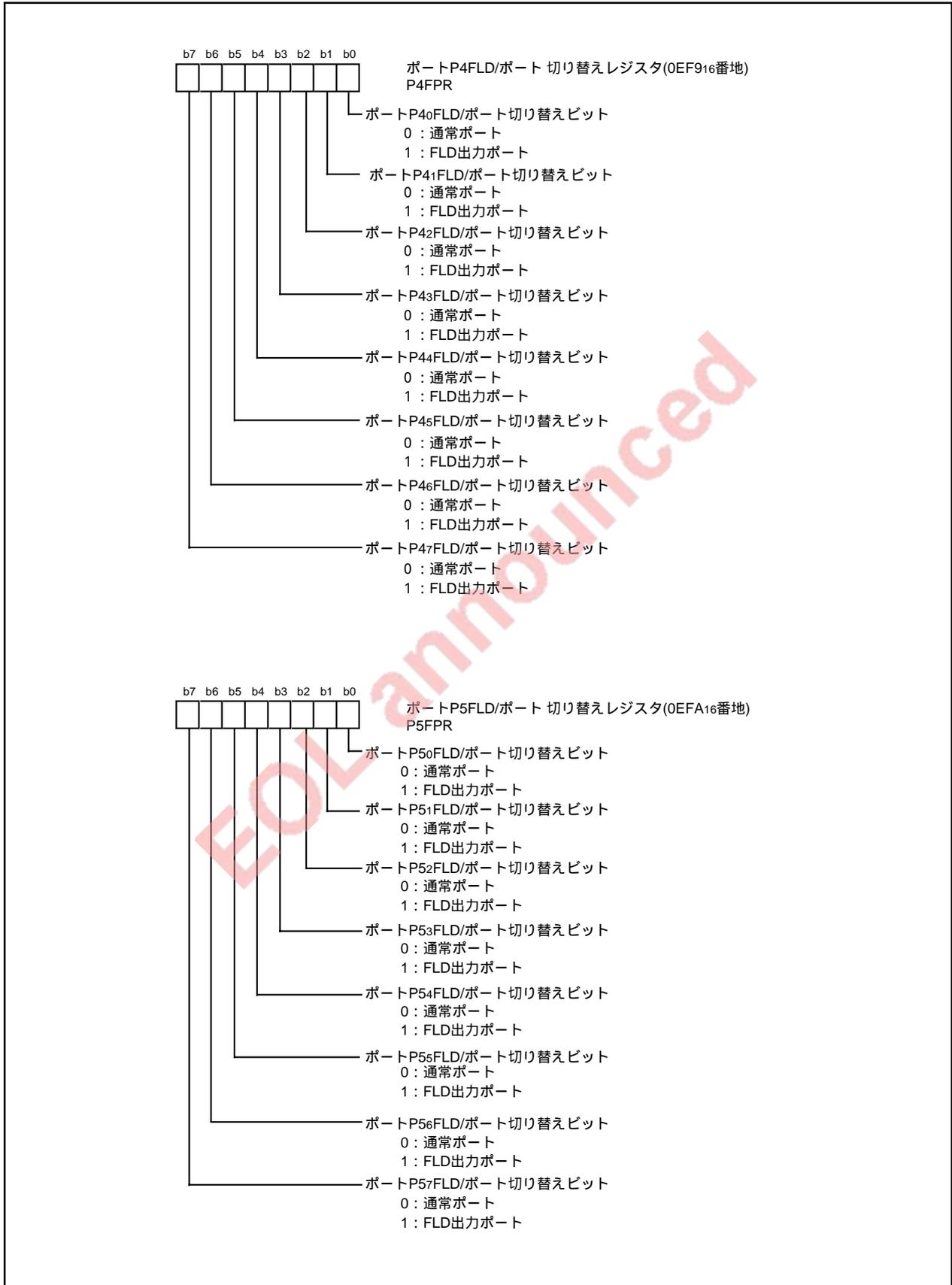


図46 . FLDC関連レジスタ(2)

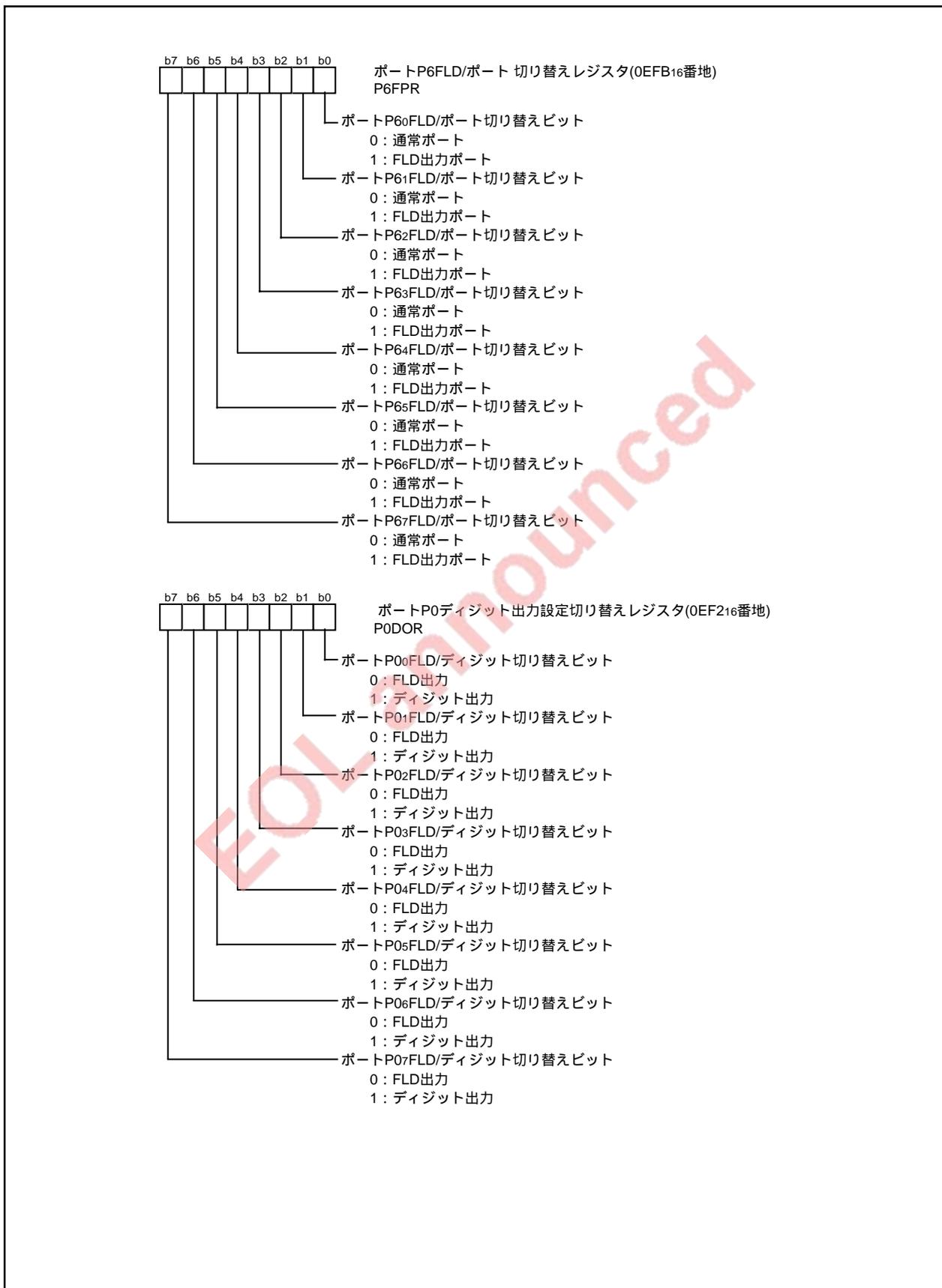


図47 . FLDC関連レジスタ(3)

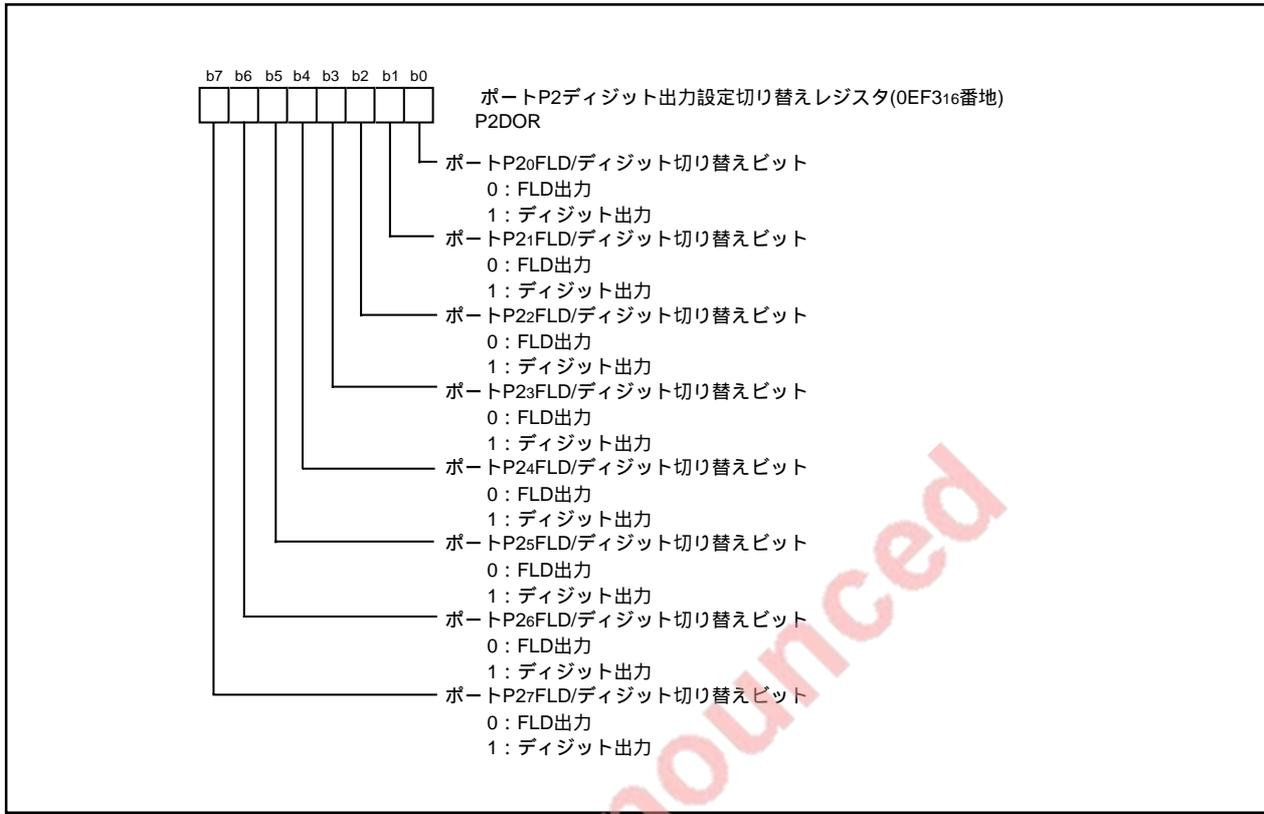


図48 . FLDC関連レジスタ(4)

EOL announced

### FLD自動表示用端子

P0～P6がFLDの自動表示出力可能な端子です。自動表示制御ビット(0EF416番地のビット0)に“1”を書き込むことにより動作を開始します。RAMの内容をタイミング毎にポートから出力するFLD出力またはディジットのタイミングでポートを“H”にするディジット出力の機能を持っています。セグメントにはFLD出力、ディジットにはディジット出力またはFLD出力

を使用してFLDを表示することができます。ディジットにFLD出力を使用する場合は、あらかじめRAMにディジット表示パターンを書き込んでください。必要なセグメントおよびディジットの本数以外は、汎用ポートとして使用することもできます。各ポートの設定を下記に示します。

表10. FLD自動表示モード時の端子

ポート名	自動表示用端子名	設定方法
P0、P2	FLD0～FLD15	ディジット出力設定切り替えレジスタ(0EF216番地、0EF316番地)によりビットごとに、FLDポート(“0”)またはディジットポート(“1”)に設定できます。ディジットポートに設定するとディジット波形出力機能が有効となり、FLD自動表示RAMの値に関係なくディジット波形を出力することができます。
P1、P3	FLD16～FLD31	自動表示制御ビット(0EF416番地のビット0)に“1”を書き込むことによりFLD専用ポートになります。
P4、P5、P60～P63	FLD32～FLD51	FLD/ポート切り替えレジスタ(0EF916～0EFB16番地)により、ビットごとにFLDポート(“1”)または汎用ポート(“0”)に設定できます。
P64～P67	FLD52～FLD55	FLD/ポート切り替えレジスタ(0EFB16番地)により、ビットごとにFLDポート(“1”)または汎用ポート(“0”)に設定できます。また、FLD出力制御レジスタ(0EFC16番地)により、各種の出力波形を選択することが可能です。ポートの出力形式はCMOS出力形式であり、表示端子として使用する場合、外付けのドライバが必要となります。

**設定例1**  
FLD出力のみを使用したレジスタの設定例です。この場合ディジットの表示出力パターンをFLD自動表示RAMに予め設定する必要があります。

セグメント数 36      ディジット出力設定切り替えレジスタ (0EF216、0EF316番地)の内容

ディジット数 16

ポートP2	FLD0(DIG出力) 0		
	FLD1(DIG出力) 0		
	FLD2(DIG出力) 0		
	FLD3(DIG出力) 0		
	FLD4(DIG出力) 0		
	FLD5(DIG出力) 0		
	FLD6(DIG出力) 0		
	FLD7(DIG出力) 0		
ポートP0	FLD8(DIG出力) 0	ポートP4	FLD32(SEG出力) 1
	FLD9(DIG出力) 0		FLD33(SEG出力) 1
	FLD10(DIG出力) 0		FLD34(SEG出力) 1
	FLD11(DIG出力) 0		FLD35(SEG出力) 1
	FLD12(DIG出力) 0		FLD36(SEG出力) 1
	FLD13(DIG出力) 0		FLD37(SEG出力) 1
	FLD14(DIG出力) 0		FLD38(SEG出力) 1
	FLD15(DIG出力) 0		FLD39(SEG出力) 1
ポートP1	FLD16(SEG出力) 1	ポートP5	FLD40(SEG出力) 1
	FLD17(SEG出力) 1		FLD41(SEG出力) 1
	FLD18(SEG出力) 1		FLD42(SEG出力) 1
	FLD19(SEG出力) 1		FLD43(SEG出力) 1
	FLD20(SEG出力) 1		FLD44(SEG出力) 1
	FLD21(SEG出力) 1		FLD45(SEG出力) 1
	FLD22(SEG出力) 1		FLD46(SEG出力) 1
	FLD23(SEG出力) 1		FLD47(SEG出力) 1
ポートP3	FLD24(SEG出力) 1	ポートP6	FLD48(SEG出力) 1
	FLD25(SEG出力) 1		FLD49(SEG出力) 1
	FLD26(SEG出力) 1		FLD50(SEG出力) 1
	FLD27(SEG出力) 1		FLD51(SEG出力) 1
	FLD28(SEG出力) 0		FLD52(※-ト出力) 0
	FLD29(SEG出力) 0		FLD53(※-ト出力) 0
	FLD30(SEG出力) 0		FLD54(※-ト出力) 0
	FLD31(SEG出力) 0		FLD55(※-ト出力) 0

DIG出力 : 蛍光表示管のディジットに接続するための出力です  
SEG出力 : 蛍光表示管のセグメントに接続するための出力です  
ポート出力 : プログラムで使用できる汎用ポートです

**設定例2**  
FLD出力とディジット波形出力を使用したレジスタの設定例です。この場合ディジットの表示出力は自動的に出力されるので、表示パターンをFLD自動表示RAMに設定する必要はありません。

セグメント数 28      ディジット出力設定切り替えレジスタ (0EF216、0EF316番地)の内容

ディジット数 12

ポートP2	FLD0(DIG出力) 1		
	FLD1(DIG出力) 1		
	FLD2(DIG出力) 1		
	FLD3(DIG出力) 1		
	FLD4(DIG出力) 1		
	FLD5(DIG出力) 1		
	FLD6(DIG出力) 1		
	FLD7(DIG出力) 1		
ポートP0	FLD8(DIG出力) 1	ポートP4	FLD32(SEG出力) 1
	FLD9(DIG出力) 1		FLD33(SEG出力) 1
	FLD10(DIG出力) 1		FLD34(SEG出力) 1
	FLD11(DIG出力) 1		FLD35(SEG出力) 1
	FLD12(SEG出力) 0		FLD36(SEG出力) 0
	FLD13(SEG出力) 0		FLD37(SEG出力) 1
	FLD14(SEG出力) 0		FLD38(SEG出力) 0
	FLD15(SEG出力) 0		FLD39(SEG出力) 1
ポートP1	FLD16(SEG出力) 1	ポートP5	FLD40(SEG出力) 1
	FLD17(SEG出力) 1		FLD41(SEG出力) 1
	FLD18(SEG出力) 1		FLD42(SEG出力) 1
	FLD19(SEG出力) 1		FLD43(SEG出力) 1
	FLD20(SEG出力) 0		FLD44(※-ト出力) 0
	FLD21(SEG出力) 0		FLD45(※-ト出力) 0
	FLD22(SEG出力) 0		FLD46(※-ト出力) 0
	FLD23(SEG出力) 0		FLD47(※-ト出力) 0
ポートP3	FLD24(SEG出力) 0	ポートP6	FLD48(※-ト出力) 0
	FLD25(SEG出力) 0		FLD49(※-ト出力) 0
	FLD26(SEG出力) 0		FLD50(※-ト出力) 0
	FLD27(SEG出力) 0		FLD51(※-ト出力) 0
	FLD28(SEG出力) 0		FLD52(※-ト出力) 0
	FLD29(SEG出力) 0		FLD53(※-ト出力) 0
	FLD30(SEG出力) 0		FLD54(※-ト出力) 0
	FLD31(SEG出力) 0		FLD55(※-ト出力) 0

DIG出力 : 蛍光表示管のディジットに接続するための出力です  
SEG出力 : 蛍光表示管のセグメントに接続するための出力です  
ポート出力 : プログラムで使用できる汎用ポートです

図49. セグメント/ディジットの設定例

FLD自動表示RAM

FLD自動表示RAMは、0E00<sub>16</sub>～0EDF<sub>16</sub>番地の224バイトを使用します。FLDはタイミング数および階調表示の有無により16タイミング通常モード、16タイミング・階調表示モード、32タイミングモードの3つのモードがあります。自動表示RAMはそれぞれ以下ようになります。

(1) 16タイミング・通常モード

表示タイミングが16以下のときに使用するモードです。0E70<sub>16</sub>～0EDF<sub>16</sub>番地の112バイトをFLD表示データ格納領域として使用します。0E00<sub>16</sub>～0E6F<sub>16</sub>番地は自動表示RAMとして使用しませんので、通常のRAMとして使用できます。

(2) 16タイミング・階調表示モード

表示タイミングが16以下で、セグメント毎に明暗を付けることができるモードです。0E00<sub>16</sub>～0EDF<sub>16</sub>番地の224バイトを使用します。0E70<sub>16</sub>～0EDF<sub>16</sub>番地の112バイトはFLD表示データ格納領域として使用し、0E00<sub>16</sub>～0E6F<sub>16</sub>番地の112バイトは階調表示制御データ格納領域として使用します。

(3) 32タイミングモード

表示タイミングが16より大きい場合使用するモードです。最大32タイミングまで使用することができます。0E00<sub>16</sub>～0EDF<sub>16</sub>番地の224バイトをFLD表示データ格納領域として使用します。

FLDデータポインタ(0EF8<sub>16</sub>番地)は表示タイミング数をカウントするレジスタです。リロードレジスタを持っており、アンダフロ-するとリロードレジスタの値をリロードしてカウントを続けます。FLDデータポインタには、タイミング数-1の値を設定してください。この番地にデータを書き込むとFLDデータポインタリロードレジスタにデータが書き込まれ、データを読み出すとFLDデータポインタの値が読み出されます。

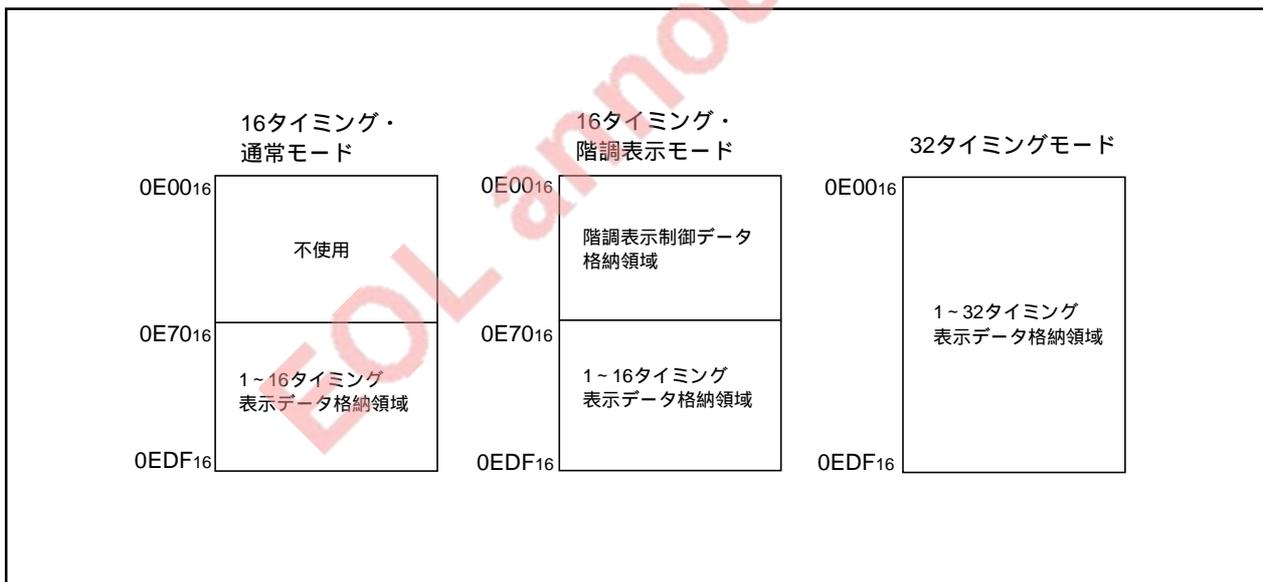


図50 . FLD自動表示RAMの配置図

### データの設定

#### (1) 16タイミング・通常モード

FLD自動表示RAMは、0E70<sub>16</sub>～0EDF<sub>16</sub>番地の領域を使用します。データを格納する場合は、FLDポートP6、P5、P4、P3、P1、P0、P2の最終データがそれぞれ0E70<sub>16</sub>番地、0E80<sub>16</sub>番地、0E90<sub>16</sub>番地、0EA0<sub>16</sub>番地、0EB0<sub>16</sub>番地、0EC0<sub>16</sub>番地及び0ED0<sub>16</sub>番地になるように表示データをアドレスの降順に配置します。したがって、FLDポートP6、P5、P4、P3、P1、P0、P2の先頭データを格納する番地はそれぞれ最終データを格納する番地に(表示タイミング数 - 1)の値を加えた番地になります。FLDデータポインタリロードレジスタには、(表示タイミング数 - 1)の値を設定してください。

#### (2) 16タイミング・階調表示モード

表示データの設定は、16タイミング通常モードと同一です。階調表示制御データは、各タイミング、端子の表示データ格納アドレスから0070<sub>16</sub>を引いたアドレスに配置されており、“0”で明表示を、“1”で暗表示を行います。

#### (3) 32タイミングモード

FLD自動表示RAMは、0E00<sub>16</sub>～0EDF<sub>16</sub>番地の領域を使用します。データを格納する場合は、FLDポートP6、P5、P4、P3、P1、P0、P2の最終データがそれぞれ0E00<sub>16</sub>番地、0E20<sub>16</sub>番地、0E40<sub>16</sub>番地、0E60<sub>16</sub>番地、0E80<sub>16</sub>番地、0EA0<sub>16</sub>番地及び0EC0<sub>16</sub>番地になるように表示データをアドレスの降順に配置します。したがって、FLDポートP6、P5、P4、P3、P1、P0、P2の先頭データの格納する番地はそれぞれ最終データを格納する番地に(表示タイミング数 - 1)の値を加えた番地になります。FLDデータポインタリロードレジスタには、(表示タイミング数 - 1)の値を設定してください。

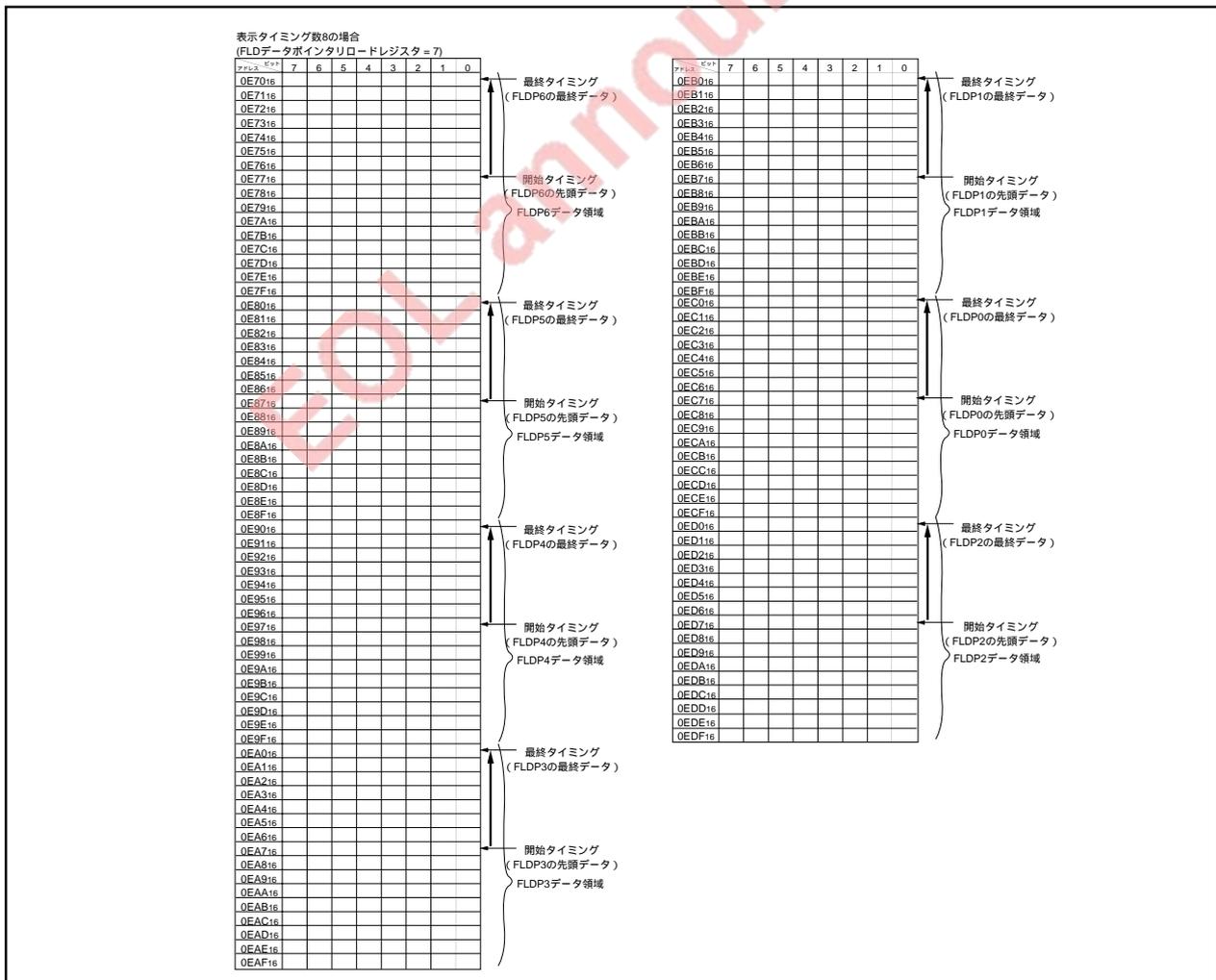


図51. 16タイミング・通常モード、RAM配置図と使用領域の例

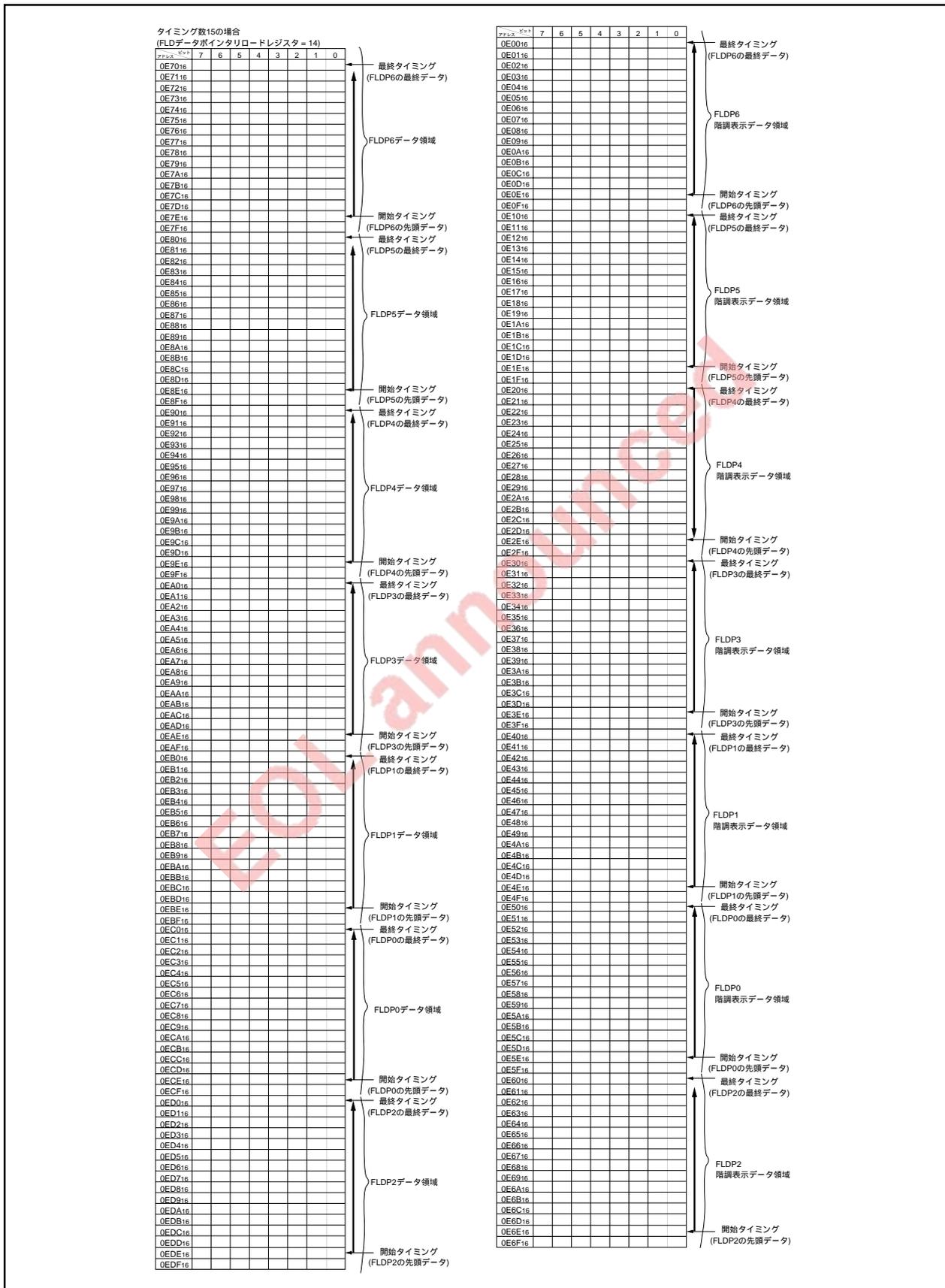


図52. 16タイミング・階調表示モード、RAM配置図と使用領域の例

# 三菱マイクロコンピュータ 38B7グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

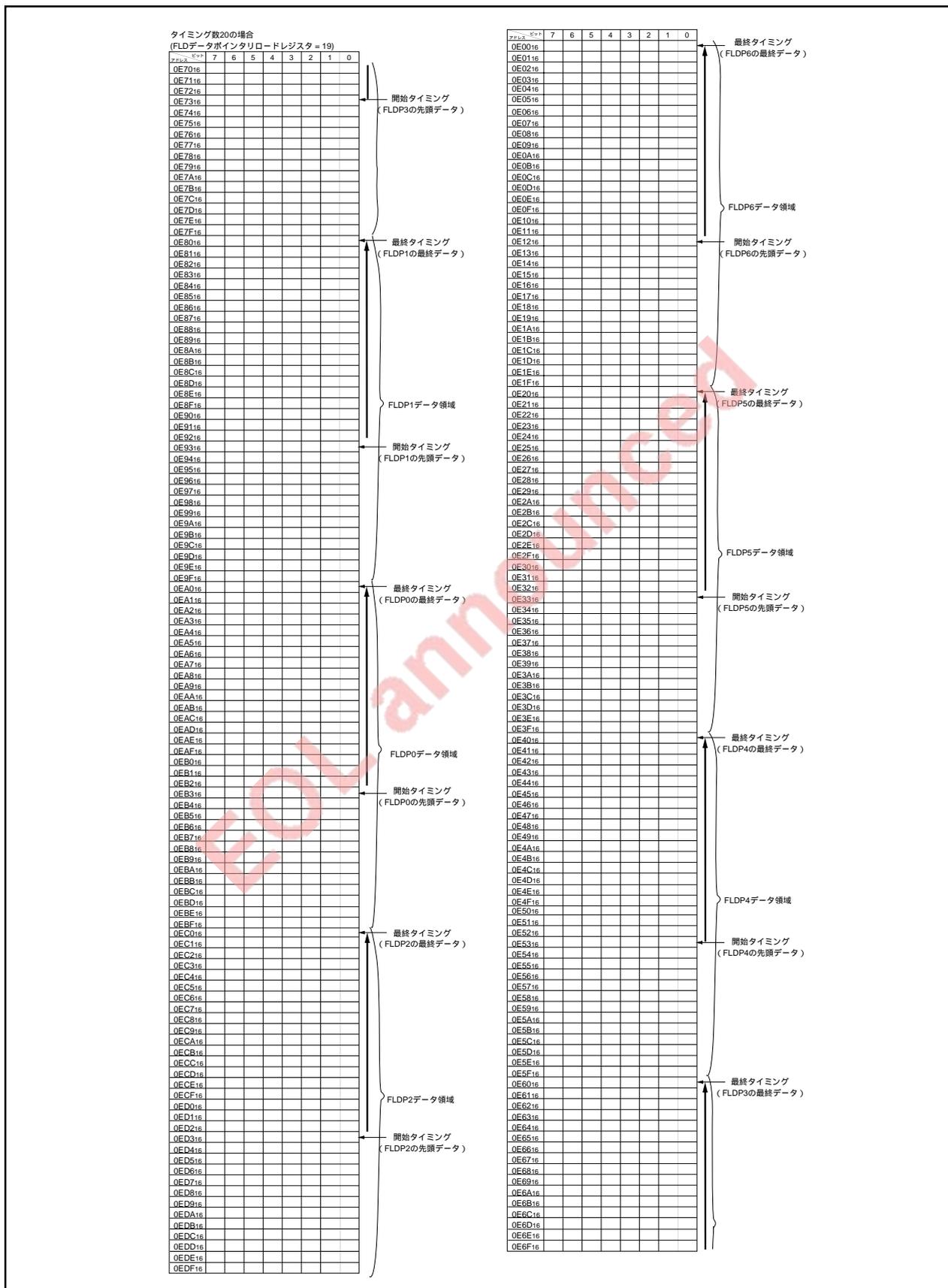


図53. 32タイミングモード、RAM配置図と使用領域の例

### タイミングの設定

各種タイミングは、FLDCモードレジスタ、Tdisp時間設定レジスタ、Toff1時間設定レジスタ、Toff2時間設定レジスタにより設定を行います。

#### (1) Tdisp時間の設定

Tdisp時間は、表示タイミングの長さです。階調表示無しモードでは、FLD表示出力期間とToff1時間で構成されています。階調表示有りモードでは、表示出力期間とToff1時間、更に暗表示の為に“L”出力期間で構成されています。FLDCモードレジスタのTdispカウンタカウントソース選択ビットおよびTdisp時間設定レジスタによりTdisp時間の設定を行います。Tdisp時間設定レジスタの値をnとすると、Tdisp時間は $Tdisp = (n+1) \times t$  (t: カウントソース)で表されます。FLDCモードレジスタのTdispカウンタカウントソース選択ビットが“0”でTdisp時間設定レジスタが200(C816)の場合、Tdisp時間は $Tdisp = (200 + 1) \times 4.0 \mu s$  (XIN = 4MHz時) = 804  $\mu s$ となります。なお、Tdisp時間設定レジスタを読み出した場合、カウント中の値が読み出されます。

#### (2) Toff1時間の設定

Toff1時間は、FLDにじみ防止およびデマ表示の為に無出力(“L”出力)時間です。Toff1時間設定レジスタによりToff1時間の設定を行います。Toff1には、Tdisp、Toff2より小さな値を設定してください。Toff1時間設定レジスタの値をn1とすると、Toff1時間は $Toff1 = n1 \times t$ で表されます。FLDCモードレジスタのTdispカウンタカウントソース選択ビットが“0”でToff1時間設定レジスタの値が30(1E16)の場合、 $Toff1 = 30 \times 4.0 \mu s$  (XIN = 4MHz時) = 120  $\mu s$ となります。

Toff1時間設定レジスタ(0EF616番地)には0316以上の値を設定してください。

#### (3) Toff2時間の設定

Toff2時間は、暗表示を行う為の時間です。明表示ではFLD表示出力は、TdispをカウントしているカウンタがアンダフローするまでFLD表示出力を行います。しかし、暗表示では、Toff2をカウントしているカウンタがアンダフローすると“L”出力(off出力)になります。Toff2時間の設定は階調表示モードでかつ階調表示制御RAMの値が“1”のFLDポートにのみ有効となります。

Toff2時間はToff2時間設定レジスタにより行います。Toff2には、Tdispより小さくToff1より大きな値を設定してください。Toff2時間設定レジスタの値をn2とすると、Toff2時間は $Toff2 = n2 \times t$ で表されます。FLDCモードレジスタのTdispカウンタカウントソース選択ビットが“0”でToff2時間設定レジスタの値が180(B416)の場合、 $Toff2 = 180 \times 4.0 \mu s$  (XIN = 4MHz時) = 720  $\mu s$ となります。

FLD出力制御レジスタ(0EFC16番地)のビット7を“1”にした場合は、Toff2時間設定レジスタ(0EF716番地)には0316以上の値を設定してください。

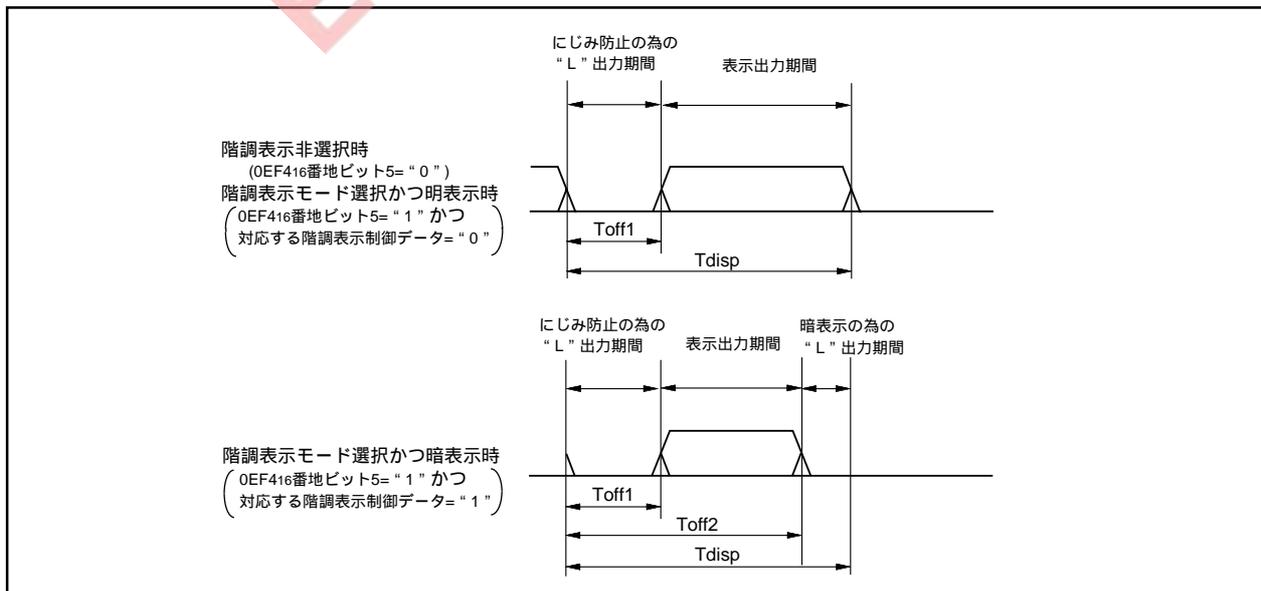


図54. FLD、デジタル出力タイミング

#### FLD自動表示機能の開始

自動表示制御ビット(0EF416番地のビット0)を“1”、表示スタートビット(0EF416番地のビット1)を“1”にすると自動表示が開始します。各ポートの自動表示RAMの先頭番地から(FLDデータポインタ(0EF816番地) - 1)番地離れたRAMの内容を各ポートに出力します。FLDデータポインタ(0EF816番地)は、Tdisp間隔でカウントダウンします。カウントした結果、“FF16”になると、リロードしカウントを続けます。表示スタートビット(0EF416番地のビット1)を“1”にする前に、FLD/ポート切り替えレジスタ、ディジット出力設定切り替えレジスタ、FLDCモードレジスタ、Tdisp時間設定レジスタ、Toff1時間設定レジスタ、Toff2時間設定レジスタ、FLDデータポインタを設定してください。

FLD自動表示中、表示スタートビット(0EF416番地のビット1)は“1”が保持されています。表示スタートビット(0EF416番地のビット1)に“0”を書き込むことによって、FLD自動表示を中断させることができます。

#### キースキャンと割り込み

割り込みは、FLDディジット割り込みとFLDブランキング割り込みをTscan制御ビット(0EF416番地のビット2、3)で選択できます。

FLDディジット割り込みは、各タイミングのToff1時間終了時(ディジットの立ち上がり)に発生する割り込みです。各FLDディジット割り込みでFLDのディジットを利用したキースキャンができます。

FLDディジット割り込みによってキースキャンを行う場合、以下の手順で行ってください。

割り込みが発生毎にポートの値を読みます。

最後のディジットの割り込みで、キーが確定します。

出力されているディジット位置は、FLDデータポインタ(0EF816番地)を読み出すことで判定できます。

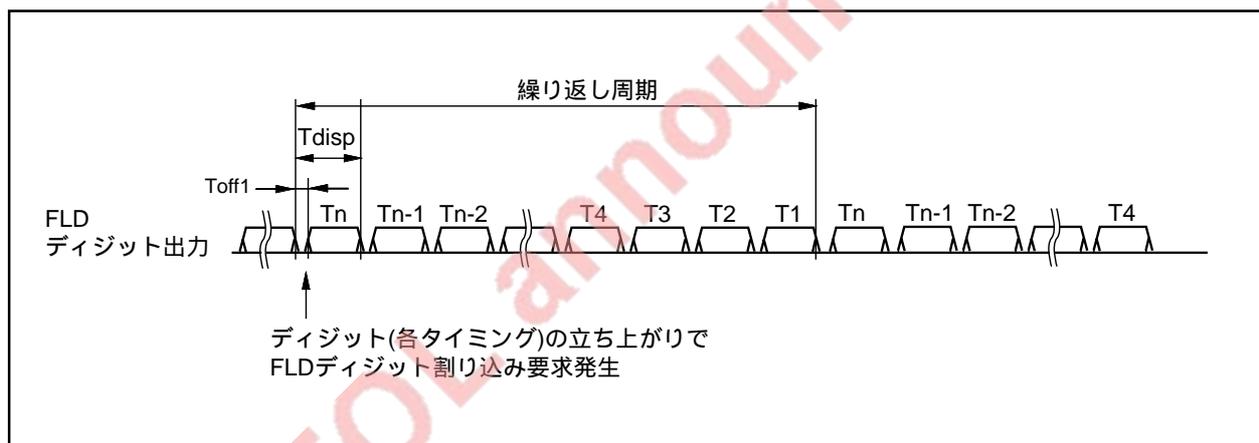


図55. デリジット割り込み時のタイミング

FLDブランキング割り込みは、FLDデータポインタ(0EF8<sub>16</sub>番地)が FF<sub>16</sub> になると、発生する割り込みです。割り込み発生後設定によって、1×T<sub>disp</sub>、2×T<sub>disp</sub>、3×T<sub>disp</sub>の間、FLD自動表示出力が止まります。その間、FLDのセグメントを利用したキースキャンができます。

キースキャン用ブランキング時間T<sub>scan</sub>の間にセグメントによってキースキャンを行う場合、以下の手順で行ってください。

自動表示制御ビット(0EF4<sub>16</sub>番地のビット0)に“0”を書き込む。

セグメントに対応するポートのうち、キースキャンに使用するポートを出力ポートにする。

キースキャンを実行する。

自動表示制御ビット(0EF4<sub>16</sub>番地のビット0)に“1”を書き込む。

～ の手順でキースキャンを行う場合の注意事項を以下に示します。

1. 表示スタートビット(0EF4<sub>16</sub>番地のビット1)に“0”を書き込まないでください。
2. デジットに対応するポートに“1”を書き込まないでください。

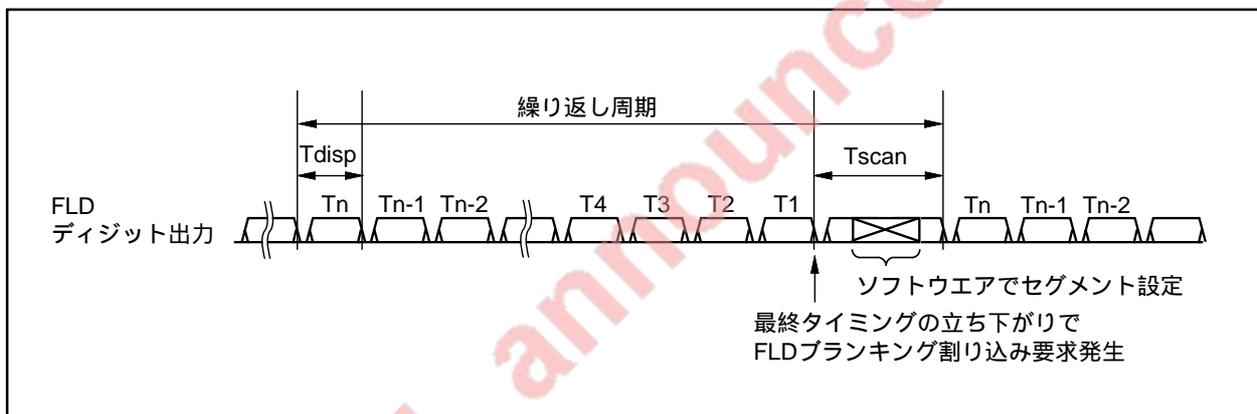


図56 . FLDブランキング割り込み時のタイミング

P64～P67拡張機能

P64～P67は、CMOS出力形式のポートです。このポートに4-bit 16-bitデコーダ接続することによりFLDのディジット出力を16本追加することができます。P64～P67は、4bit 16bitデコーダに接続するための機能を持っています

(1) P64～P67Toff無効機能

Toff1時間とToff2時間を無効にして、Tdispの間、表示データを出力します。(図57参照)。P64～P67Toff無効ビット(0EFC16番地のビット2)を“1”にすることにより設定できます。

(2) デイマー信号出力機能

DIMOUT(P73)からデイマー信号作成用の信号を出力することができます。この信号でデコーダを制御することによりデイマー機能を実現することができます。(図57参照)。P73デイマー出力制御ビット(0EFC16番地のビット4)を“1”にすることにより設定できます。

これはToff区間有無機能とは異なり、すべての表示データで無効にします。

(3) P64～P67 FLD出力反転ビット

P64～P67はFLD出力の極性を反転する機能を備えています。外付けドライバを使用する場合など極性の合わせ込みに使用できます。

FLD出力制御レジスタ(0EFC16番地)のビット0を“1”にすることにより出力極性を反転することができます。

注：階調表示モードかつ暗表示時は、P64～P67Toff無効機能は無効となります。

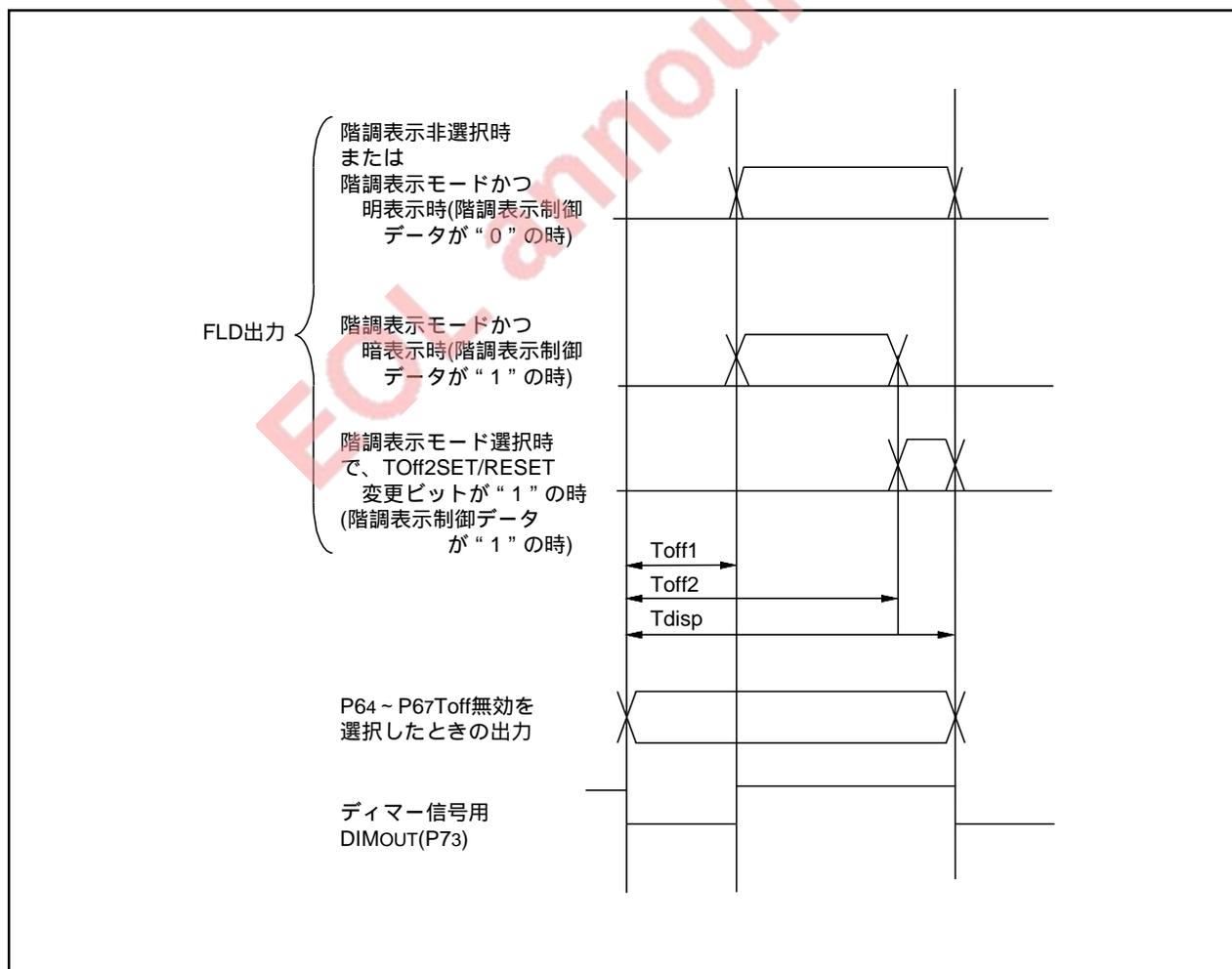


図57 . P64～P67FLD出力波形

### Toff区間有無機能

FLD端子間の容量結合によりポートのスイッチング毎に発生する不要なノイズを軽減するための機能です。各FLDポートに連続したデータを出力した場合、連続した部分のToff1区間は発生しません。(図58参照)

Toff1区間を必要とする場合は、CMOSポートToff区間有無ビット(0EFC16番地のビット5)、高耐圧ポートToff区間有無ビット(0EFC16番地のビット6)を“1”に設定してください。高耐圧ポートToff区間有無ビットを“1”に設定すると、高耐圧ポート(P2、P0、P1、P3、P4、P5、P63~P60)52本のToff1時間が発生し、CMOSポートToff区間有無ビットに“1”を設定すると、CMOSポート(P64~P67)4本のToff1時間が発生します。

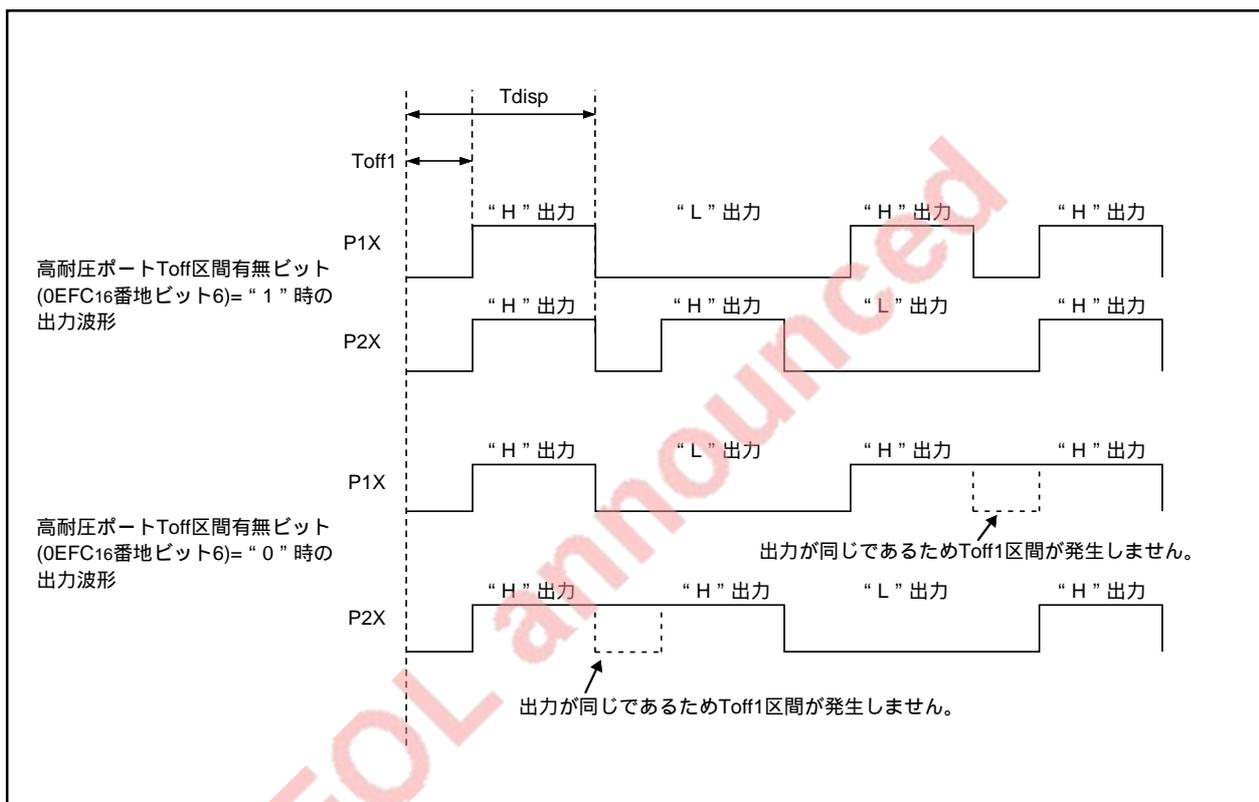


図58 . Toff区間有無機能選択時の出力波形

### Toff2 SET/RESET変更ビット

階調モードのときは、Toff2時間設定レジスタ(TOFF2)で設定された値が有効となります。初期状態のFLD出力制御レジスタ(0EFC16番地のビット7)が“0”のとき、FLD出力ポートにはTOFF1に設定された時間でRAMデータが出力(SET)され、TOFF2に設定された時間で“0”(RESET)になります。また、ビット7が“1”のときは、TOFF2に設定された時間でRAMデータが出力(SET)され、Tdisp時間の終わりで“0”(RESET)になります。

注：階調表示モードかつ暗表示時は、Toff区間有無機能は無効となります。

デジット波形出力機能

P00～P07、P20～P27は、デジット出力設定切り替えレジスタによってデジット波形を出力することができます。P20からタイミング数と同じ数だけ、デジット出力設定切り替えレジスタに連続して“1”を書き込んでください。デジット出力を選択したポートに対するFLD自動表示RAMの内容は無効となり、自動的に図59に示した波形が出力されます。出力タイミングは、 $T_{disp}$ 時間と $T_{off1}$ 時間で構成され、 $T_{off2}$ 時間は存在しません。FLD自動表示RAMの内容が無効になるため、同一番地のFLD自動表示RAMにセグメントデータとデジットデータが混在する場合でも、容易にセグメントデータを変更することができます。

本機能は、16タイミングモード通常モード、16タイミング階調表示モードで有効で、タイミング数(FLDデータポインタリロードレジスタの設定値+1)を越えて設定した場合、越えたポートの出力は、“L”になります。

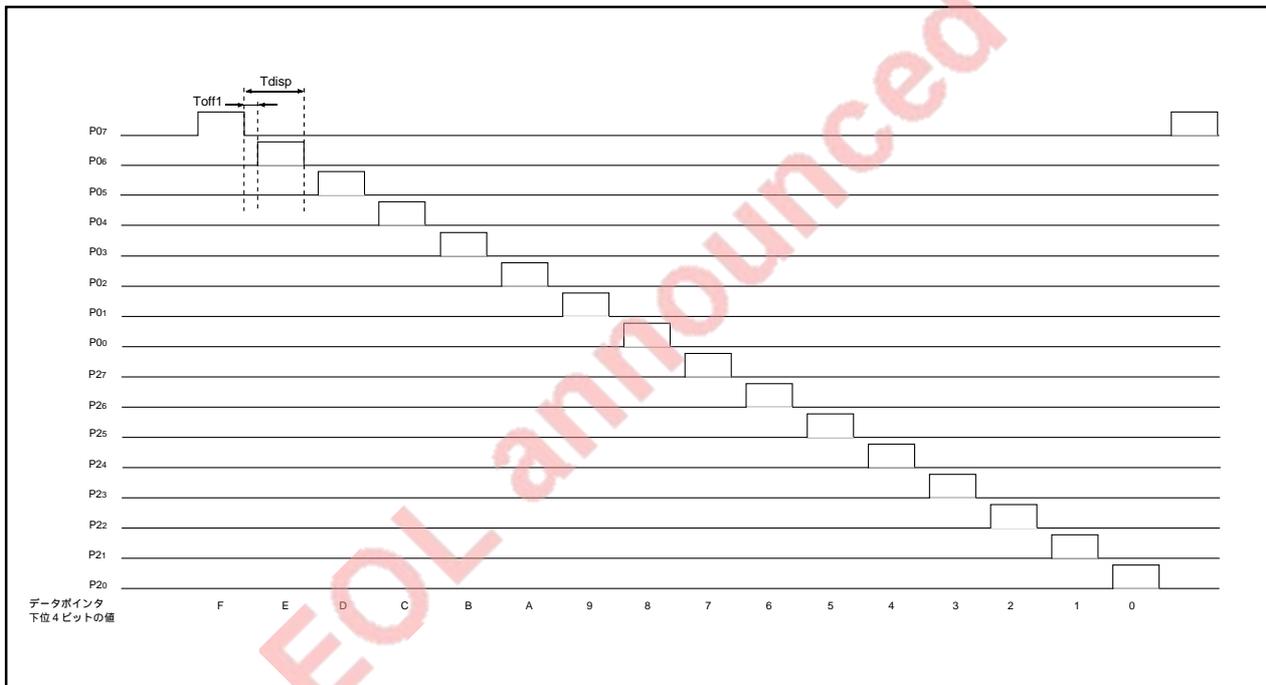


図59. デジット波形出力機能

### A-D変換器

38B7グループは、10ビットの逐次比較方式のA-D変換器を持っています。

#### 【A-D変換レジスタ】ADH,ADL

A-D変換結果が格納されるレジスタで、上位レジスタと下位レジスタがあります。変換結果は上位8ビットがA-D変換レジスタ(上位)(0034<sub>16</sub>番地)に、下位2ビットがA-D変換レジスタ(下位)(0033<sub>16</sub>番地)のビット7及びビット6に格納されます。

A-D変換中は、このレジスタを読み出さないでください。

#### 【AD/DA制御レジスタ】ADCON

A-D変換器の制御を行うためのレジスタです。ビット3～ビット0はアナログ入力端子の選択ビットです。ビット4はAD変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことによりA-D変換が開始されます。

#### 【比較電圧発生器】

AVSSとVREFの間の電圧を1024分割し、分圧を出力します。

#### 【チャンネルセレクト】

ポートPA7/AN7～PA0/AN0, P97/BUZ02/AN15～P90/SIN3/AN8より1本を選択し、コンパレータに入力します。

#### 【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタに格納します。また、A-D変換終了時にAD変換終了ビット及びAD割り込み要求ビットは“1”にセットされます。コンパレータは容量結合で構成されていますので、A-D変換中はf(XIN)を250kHz以上にしてください。また、CPUモードレジスタ(003B<sub>16</sub>番地)のビット7は“0”にして使用して下さい。

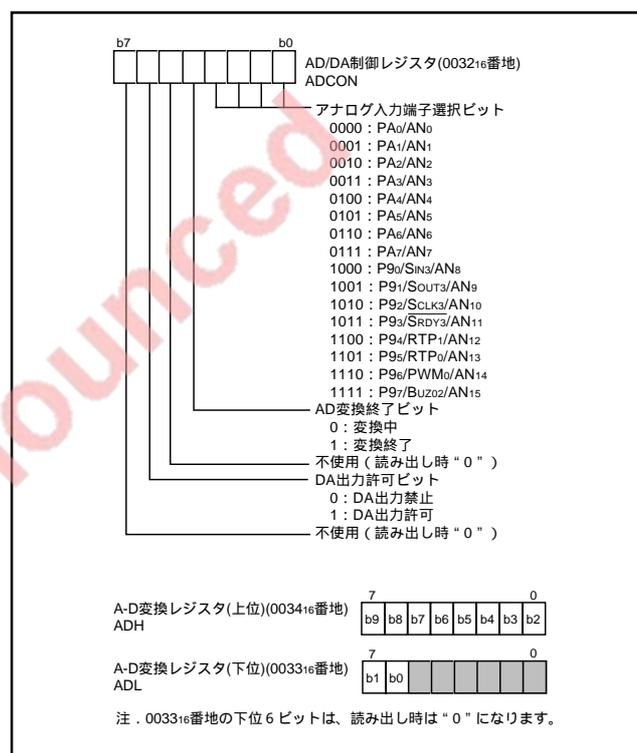


図60. A-D制御レジスタの構成

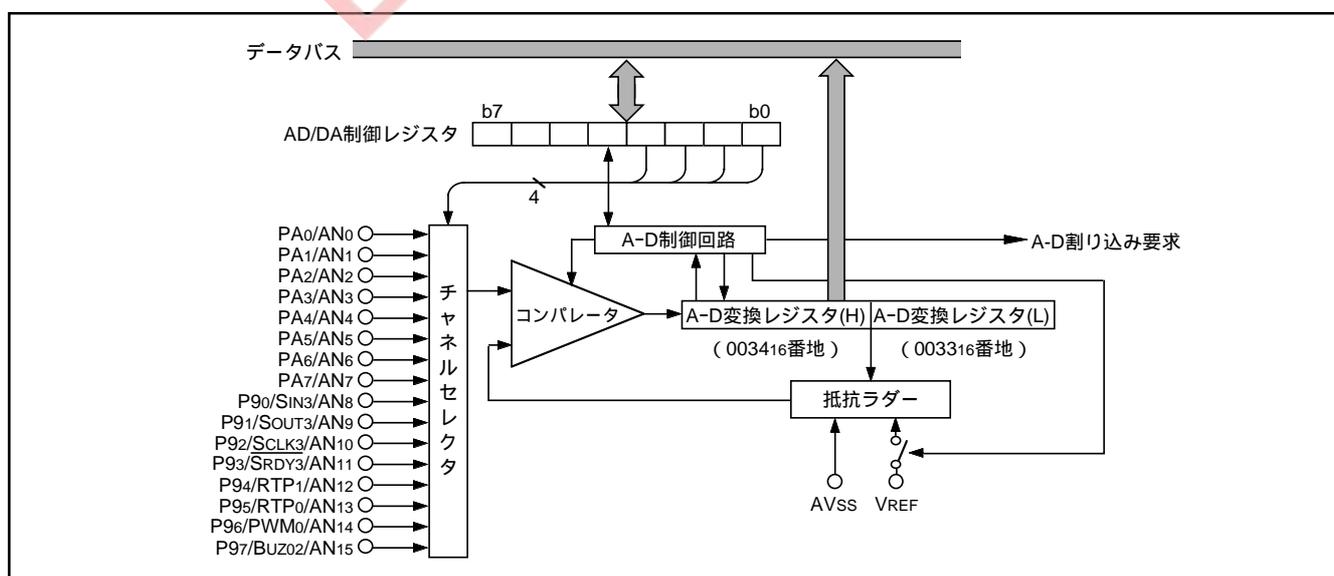


図61. A-D変換器ブロック図

D-A変換器

D-A変換器は分解能8ビットで、1チャンネル内蔵しています。

D-A変換はD-A変換レジスタに値を設定することによって行われます。D-A変換された結果は、DA出力許可ビットを“1”にセットすることによって、DA端子から出力されます。このとき、PB0/DAの方向レジスタは“0”(入力状態)にしておいてください。

出力されるアナログ電圧VはD-A変換レジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 \quad (n = 0 \sim 255)$$

\* V<sub>REF</sub>は基準電圧

D-A変換レジスタはリセット時“0016”にクリアされます。また、DA出力許可ビットも、リセット時“0”にクリアされ、PB0/DA端子はハイインピーダンス状態になります。なお、DA出力はバッファを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。また、D-A変換器を使用する場合はV<sub>CC</sub>を3.0V以上にしてください。

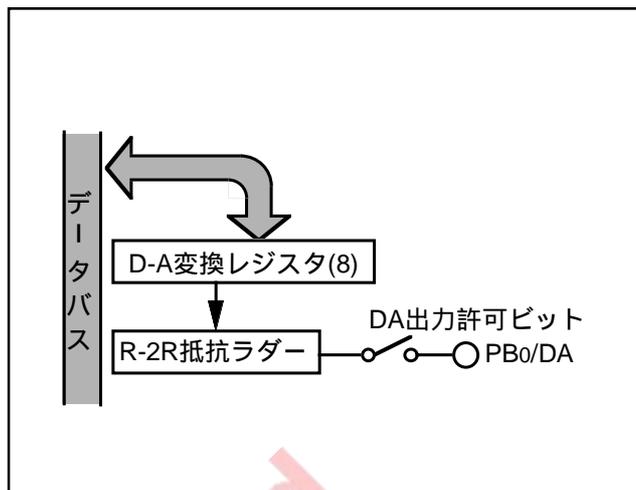


図62. D-A変換器のブロック図

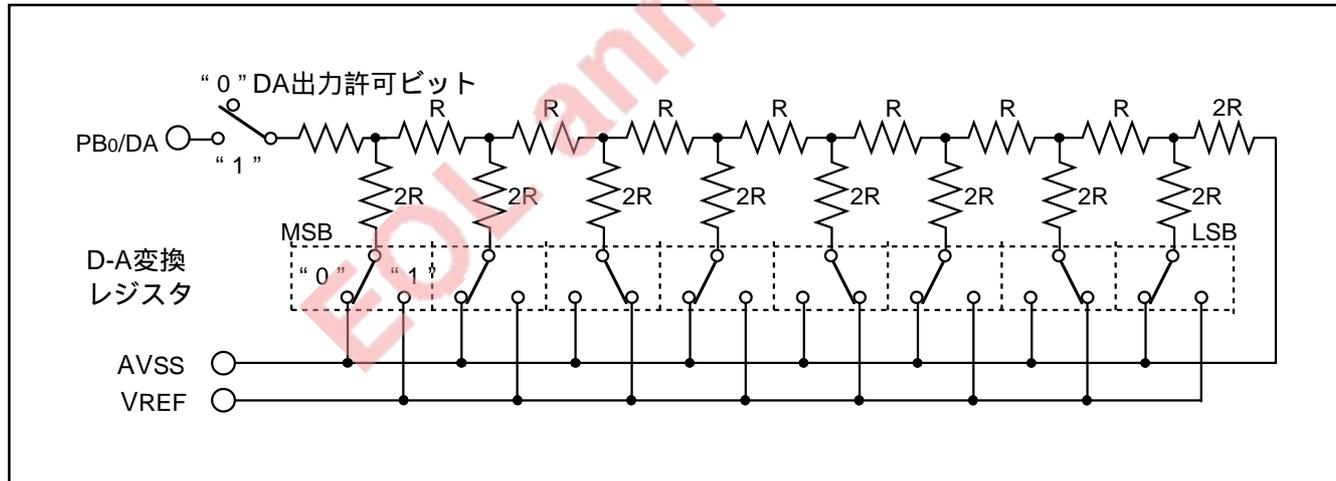


図63. D-A変換器等価接続回路図

PWM( PWM:Pulse Width Modulation )

PWM出力回路は14ビットの分解能を持ち、最小分解ビット幅250ns( クロック周波数 $X_{IN} = 4\text{MHz}$ の場合。以降の説明でも、 $X_{IN} = 4\text{MHz}$ の場合について述べます。 ) 繰り返し

周期 $4096\mu\text{s}$ です。PWMのタイミング発生部はクロック入力 $X_{IN}$ の周波数を基本として、PWMの制御信号を供給します。

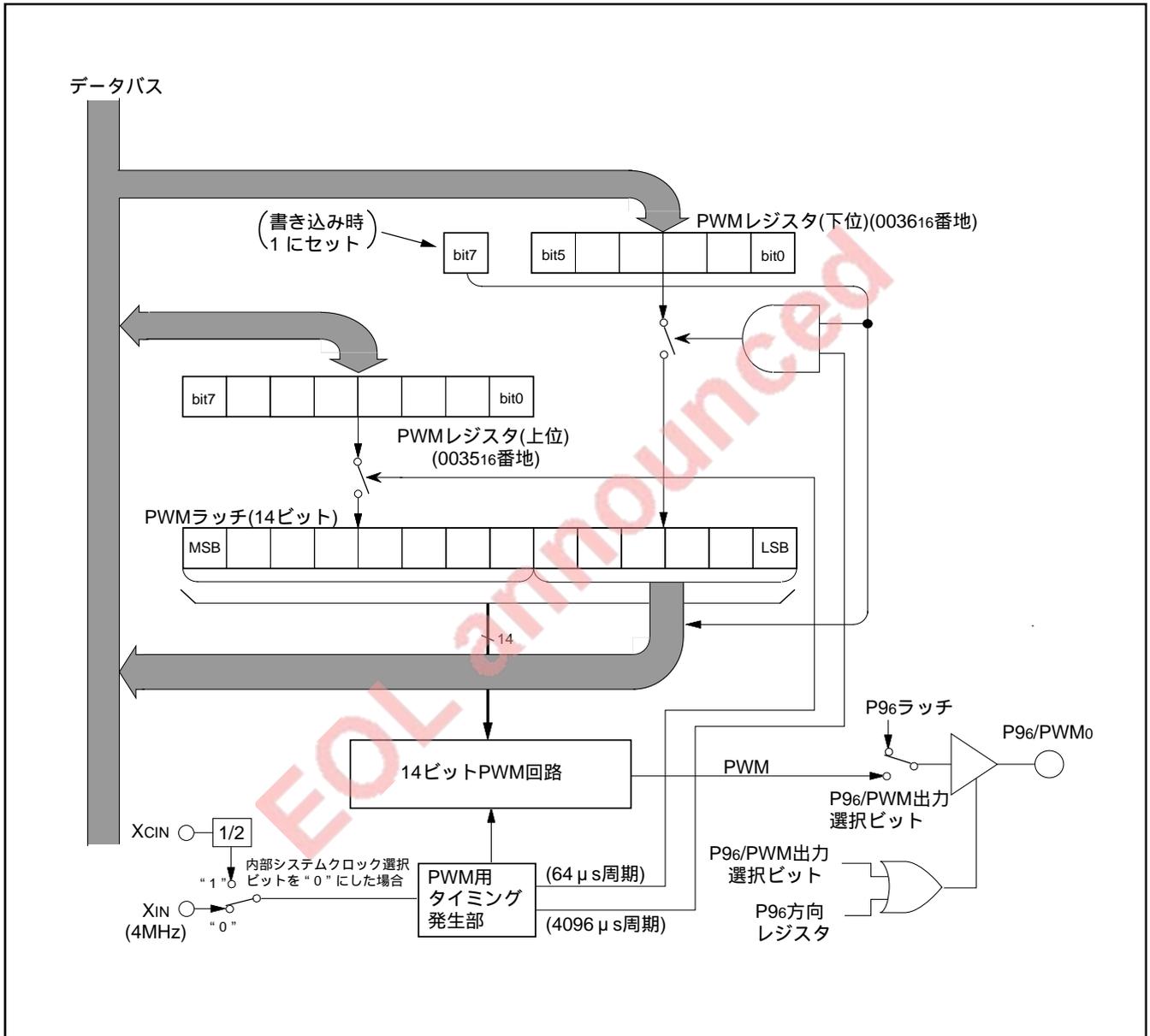


図64 . PWM回路ブロック図

(1) データの設定

PWMの出力端子はポートP96と共用しています。PWM制御レジスタ(0026<sub>16</sub>番地)のビット0を“1”にセットすることにより、P96はPWM出力端子になります。出力データは上位8ビットをPWMレジスタ(上位 $\chi$ 0035<sub>16</sub>番地)に、下位6ビットをPWMレジスタ(下位 $\chi$ 0036<sub>16</sub>番地)にセットします。

(2) PWMの動作

14ビットPWMはPWMラッチ内のデータを下位6ビットと上位8ビットに分割します。

上位8ビットのデータNによって小区間  $t = 256 \div N = 64 \mu s$  (Nは最小分解ビット幅250ns)ごとに、N倍の長さの“H”区間を出力します。また、小区間の最終ビットはPWM Lのデータ内容により“H”又は“L”が決定される、ADDビットとなっています。ADDビットは、表11のルールに従って“H”又は“L”が決定されます。すなわち、PWMの繰り返し周期  $T = 64 t$  の中で、表11に示す小区間  $t_m$  のみ他の区間に比べて最小分解幅だけ、“H”区間が長くなります。

例えば、14ビットのデータで上位8ビットが $03_{16}$ 、下位6ビットが $05_{16}$ の時は  $t_8, t_{24}, t_{32}, t_{40}, t_{56}$  の小区間では4、他の  $t_m$  の区間では3の長さの“H”が出力されます。

このようにすると、各小区間の“H”レベルの時間は、上位8ビットで設定した長さとなるか、その値プラスになるため、ほぼ等しくなりこの小区間周期  $t (= 64 \mu s)$ 、約15.6kHz)が近似的に繰り返し周期になります。

(3) レジスタからラッチへの転送

PWMLに書き込まれたデータはPWMの繰り返し周期(4096  $\mu s$ )ごとにPWMラッチに転送されます。また、PWMHに書き込まれたデータは小区間周期(64  $\mu s$ )ごとにPWMラッチに転送されます。PWM出力端子に出力される信号は、このラッチの内容に対応したものです。また、PWMLを読み込んだ場合もラッチの内容が読み込まれます。ただしPWMLのビット7はPWMLからPWMラッチへの転送完了を示します。ビット7が0ならば転送済みであり、1ならば未転送を示します。

表11. 下位6ビットのデータとADDビットがセットされる区間の関係

下位6ビットのデータ LSB	他の $t_m (m = 0 \sim 63)$ より だけ長い区間
0 0 0 0 0 0	なし
0 0 0 0 0 1	$m=32$
0 0 0 0 1 0	$m=16,48$
0 0 0 1 0 0	$m=8,24,40,56$
0 0 1 0 0 0	$m=4,12,20,28,36,44,52,60$
0 1 0 0 0 0	$m=2,6,10,14,18,22,26,30,34,38,42,46,50,54,58,62$
1 0 0 0 0 0	$m=1,3,5,7, \dots, 57,59,61,63$

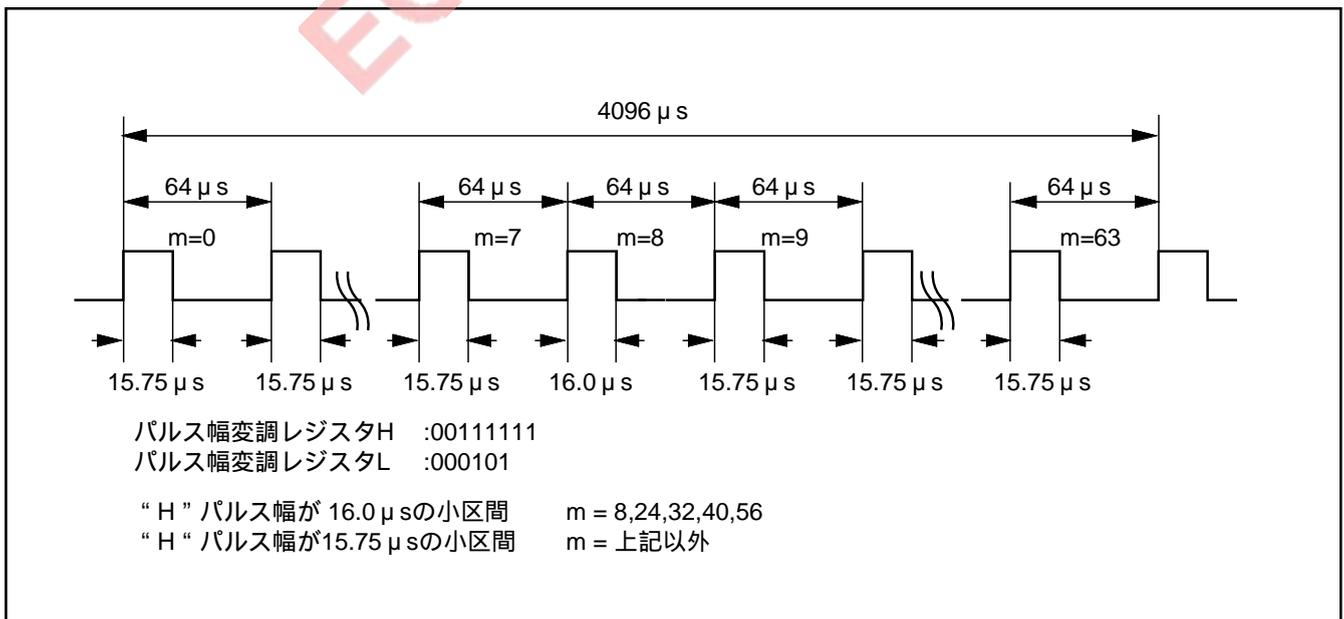


図65. PWMタイミング図

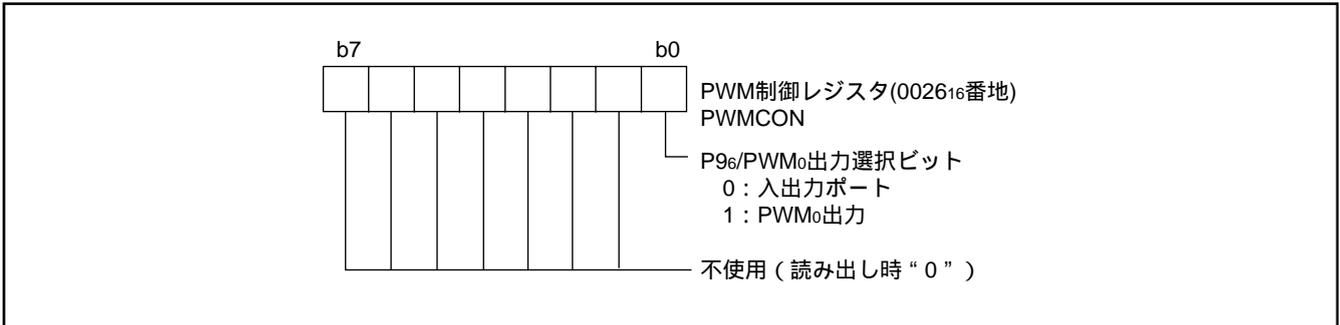


図66. PWM制御レジスタの構成

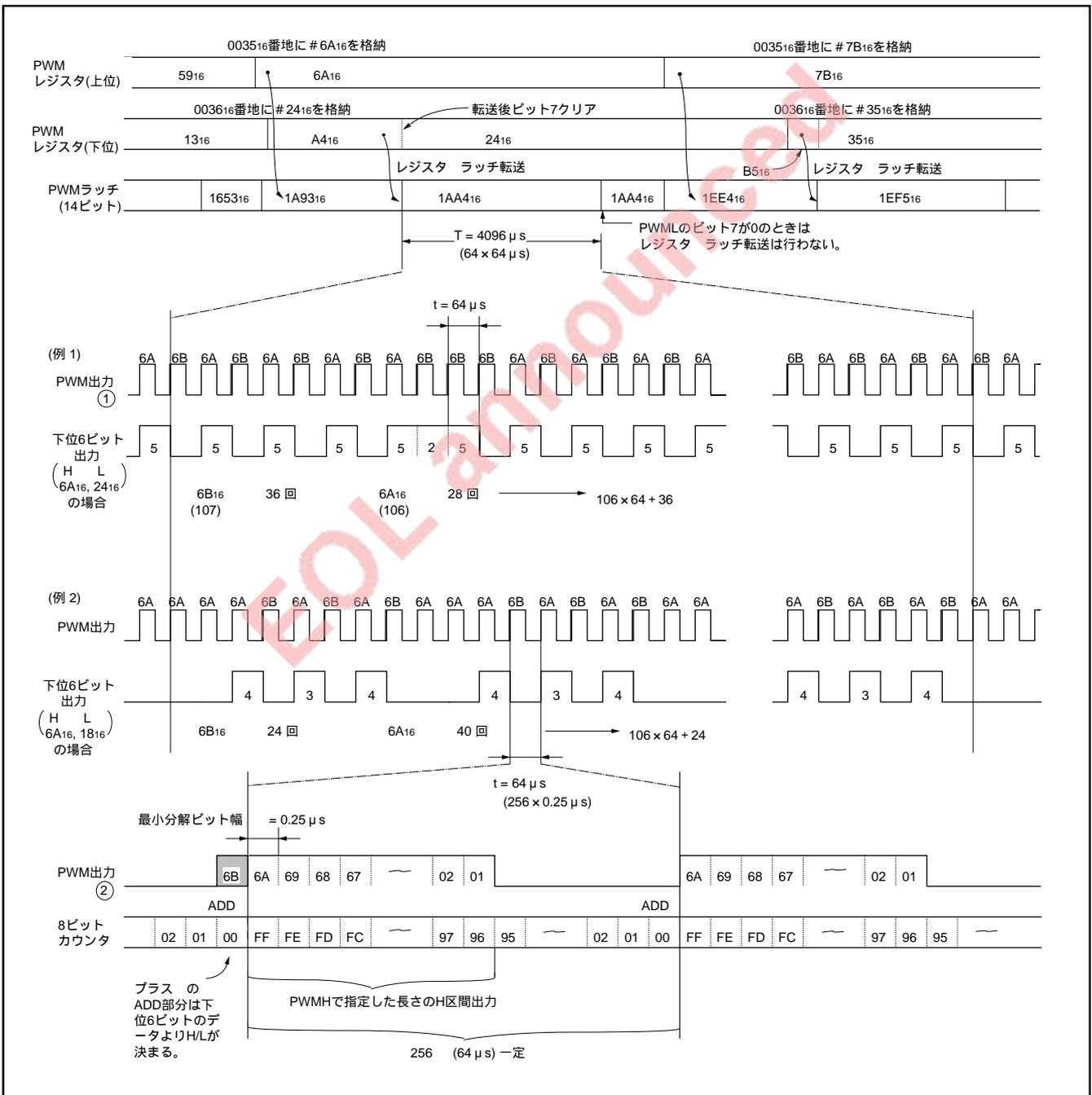


図67. 14ビットPWMタイミング図

### 割り込み間隔判定機能

38B7グループは割り込み間隔判定回路を内蔵しています。

割り込み間隔判定回路は8ビットバイナリアップカウンタを持ち、P72 /INT2端子の入力信号の立ち上がり(又は立ち下がり)から次の立ち上がり(又は立ち下がり)までの時間を判定します。

割り込み間隔判定の動作を以下に示します。

割り込み制御レジスタ 1(003E16番地)のビット2の設定によりINT2割り込みの受け付けを可能にし、割り込みエッジ選択レジスタ(003A16番地)のビット2の設定により、立ち下がり間隔又は立ち上がり間隔を選択します。

次に割り込み間隔判定動作をするように割り込み間隔判定制御レジスタ(003116番地)のビット0を“1”に設定します。

割り込み間隔判定制御レジスタのビット1により8ビットバイナリアップカウンタのサンプルクロックを選択します。

INT2端子に設定した極性の信号(立ち上がり又は立ち下がり)が入力されると、8ビットバイナリアップカウンタは選択したカウンタサンプルクロックのカウントアップを開始します。

設定した極性の信号が再度入力されると、8ビットバイナリアップカウンタの値は割り込み間隔判定レジスタ(003016番地)に転送され、リモコン割り込み要求が発生します。その直後8ビットバイナリアップカウンタはクリア(0016)されます。この後も8ビットバイナリアップカウンタは“0016”から再びカウントアップを続けます。

8ビットバイナリアップカウンタはカウント値が“FF16”になるとカウントアップを停止し、次のカウンタサンプルクロック入力と同時に“FF16”を割り込み間隔判定レジスタにセットし、カウンタオーバーフロー割り込み要求を発生します。

### ノイズフィルタ

P72 /INT2端子にはノイズフィルタが内蔵されています。

ノイズフィルタの動作を以下に示します。

割り込み間隔判定制御レジスタのビット2、3により入力信号のサンプルクロックを選択します。ノイズ除去を使用しない場合には、“0016”をセットしてください。

P72 /INT2入力信号は選択されたクロックによりサンプリングされます。3回連続して同じレベルの信号がサンプリングされた場合、割り込み信号と認識して内部に割り込み要求を行います。

割り込み間隔判定制御レジスタのビット4を“1”にセットすると割り込み信号の立ち上がりエッジと立ち下がりエッジの両方で割り込み要求を発生することが可能です。

ノイズフィルタを使用する場合にはINT2端子に入力する信号の最小パルス幅はサンプルクロックの3周期分以上にしてください。

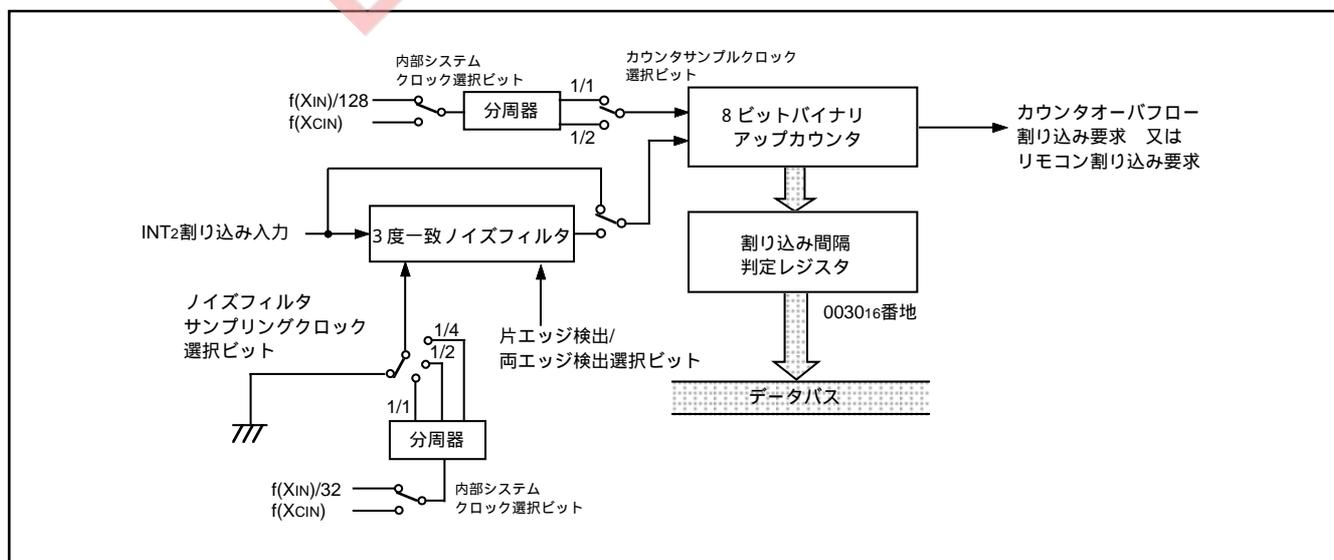


図68. 割り込み間隔判定回路ブロック図

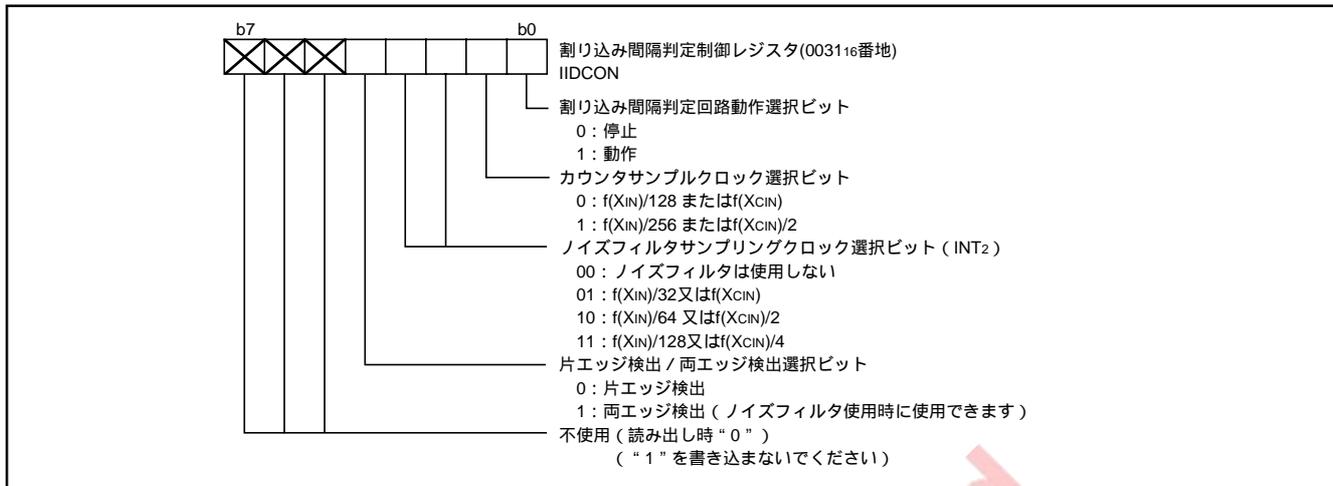


図69. 割り込み間隔判定制御レジスタの構成

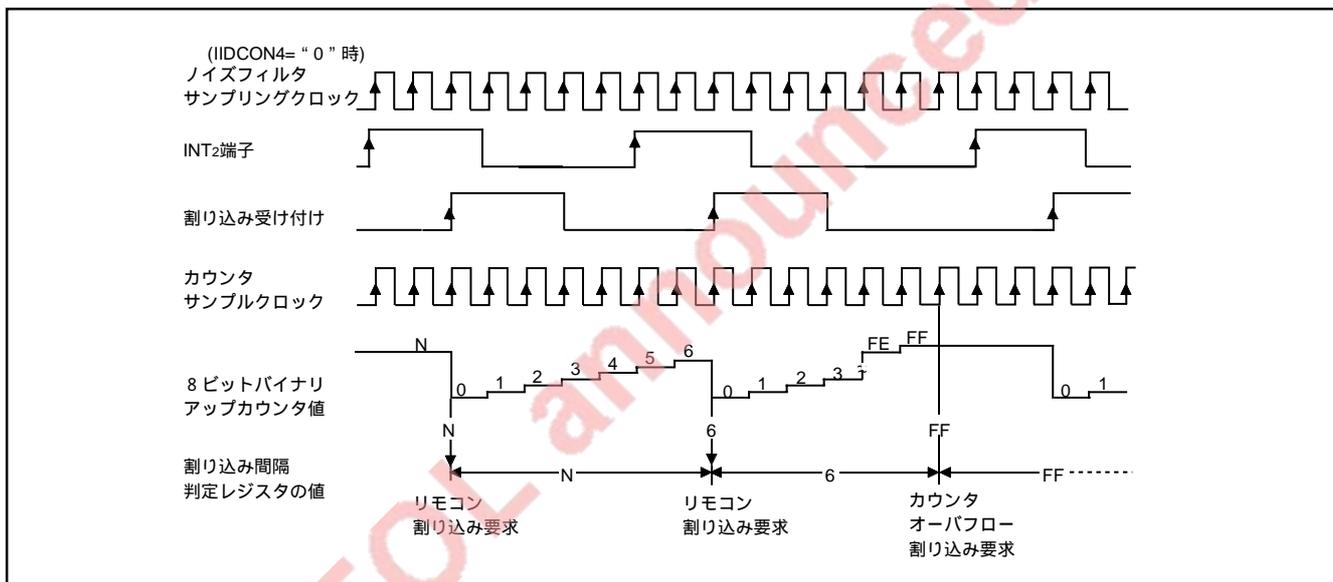


図70. 割り込み間隔判定動作例(立ち上がりエッジアクティブ時)

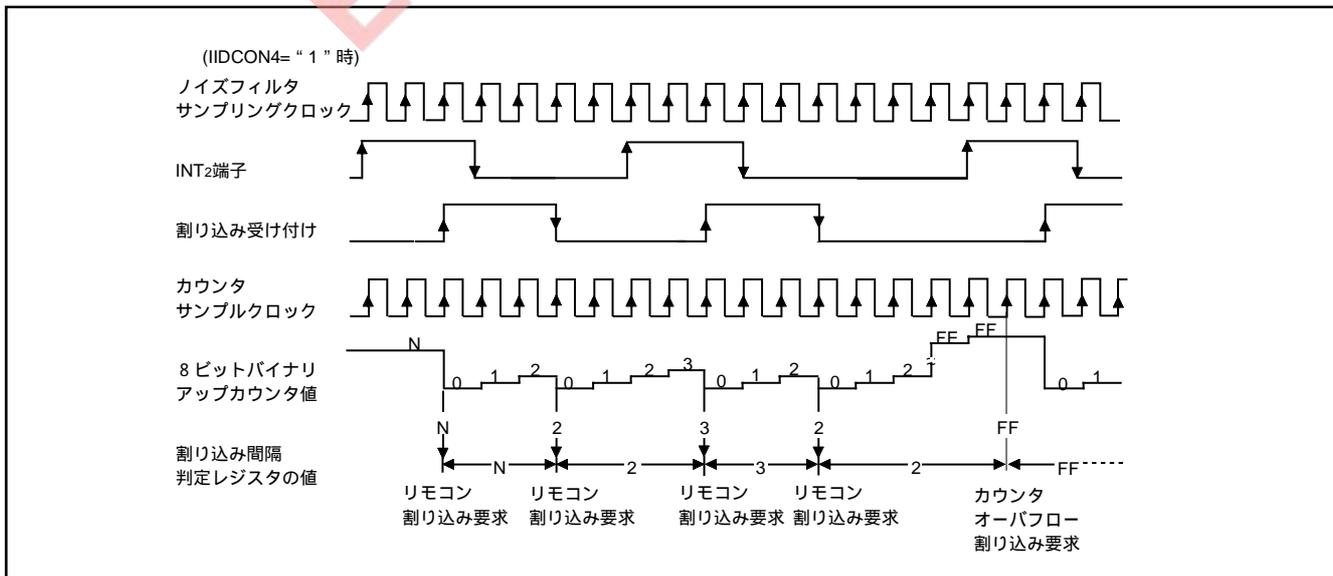


図71. 割り込み間隔判定動作例(両エッジアクティブ時)

### ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマLと、8ビットのウォッチドッグタイマHで構成されます。

#### ウォッチドッグタイマの基本動作

リセット後、ウォッチドッグタイマ制御レジスタ(0EEE16番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(0EEE16番地)に任意の値を書き込むことによりカウントを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0EEE16番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(0EEE16番地)を読み出した場合は、ウォッチドッグタイマHのカウントの上位6ビット、STP命令禁止ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読めます。

#### (1)ウォッチドッグタイマの初期値

リセット時、又はウォッチドッグタイマ制御レジスタ(0EEE16番地)への書き込みによりウォッチドッグタイマHは“FF16”に、ウォッチドッグタイマLは“FF16”に設定されます。

#### (2)ウォッチドッグタイマHカウントソース選択ビットの動作

ウォッチドッグタイマ制御レジスタ(0EEE16番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(XIN)=4\text{MHz}$ 時131.072ms、 $f(XCIN)=32\text{kHz}$ 時32.768sになります。

このビットが“1”の場合、カウントソースは $f(XIN)$ の8分周信号又は $f(XCIN)$ の16分周信号となります。この場合の検出時間は $f(XIN)=4\text{MHz}$ 時512 $\mu\text{s}$ 、 $f(XCIN)=32\text{kHz}$ 時128msになります。

このビットはリセット後“0”になります。

#### (3)STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(0EEE16番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが“0”の場合、STP命令は許可です。

このビットが“1”の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”になるとプログラムで“0”に書き換えることはできなくなります。このビットはリセット後“0”になります。

#### 注意事項

ストップモードを解除する時、ストップ解除の待ち時間の間もウォッチドッグタイマはカウント動作します。STP命令実行前に一旦ウォッチドッグタイマ制御レジスタ(0EEE16番地)に書き込みを行うなど、ストップ解除の待ち時間の間にウォッチドッグタイマHがアンダフローしないように注意してください。

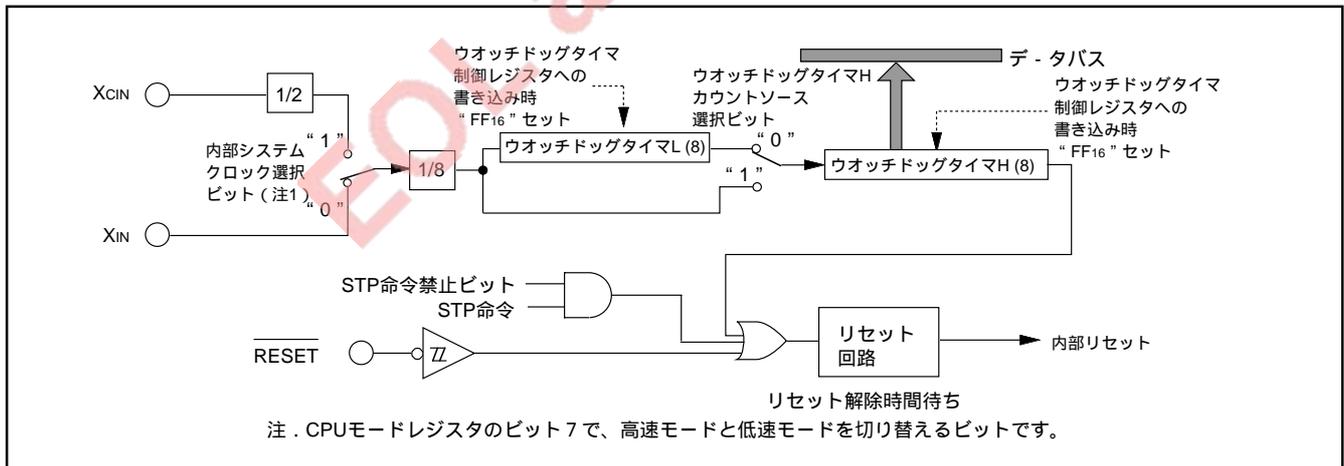


図72. ウォッチドッグタイマのブロック図

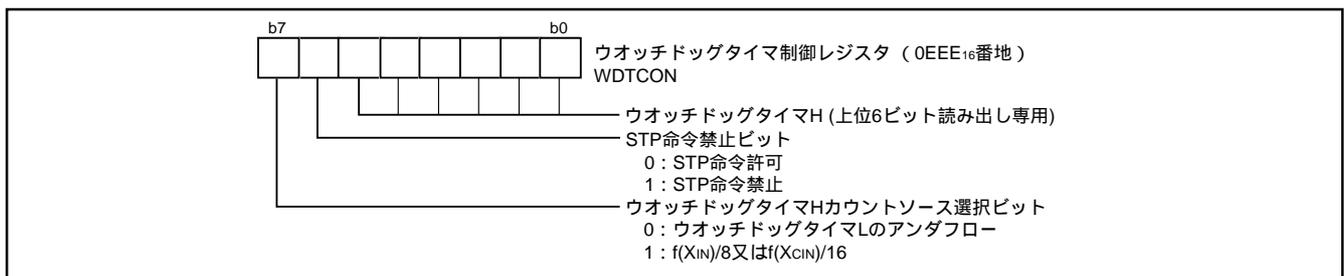


図73. ウォッチドッグタイマ制御レジスタの構成

ブザー出力回路

38B7グループはブザー出力回路を内蔵しています。ブザー出力制御レジスタにより、1kHz、2kHz、4kHz( $X_{IN} = 4.19\text{MHz}$ 時)の周波数を選択することができます。また、出力ポート選択ビットにより、P77/BUZ01又はP97/BUZ02/AN15をブザー出力ポートとして選択することができます。

注：低速モードの場合には、ブザー出力はOFFとなります。

ブザー出力ON/OFFビットによりブザー出力を制御します。

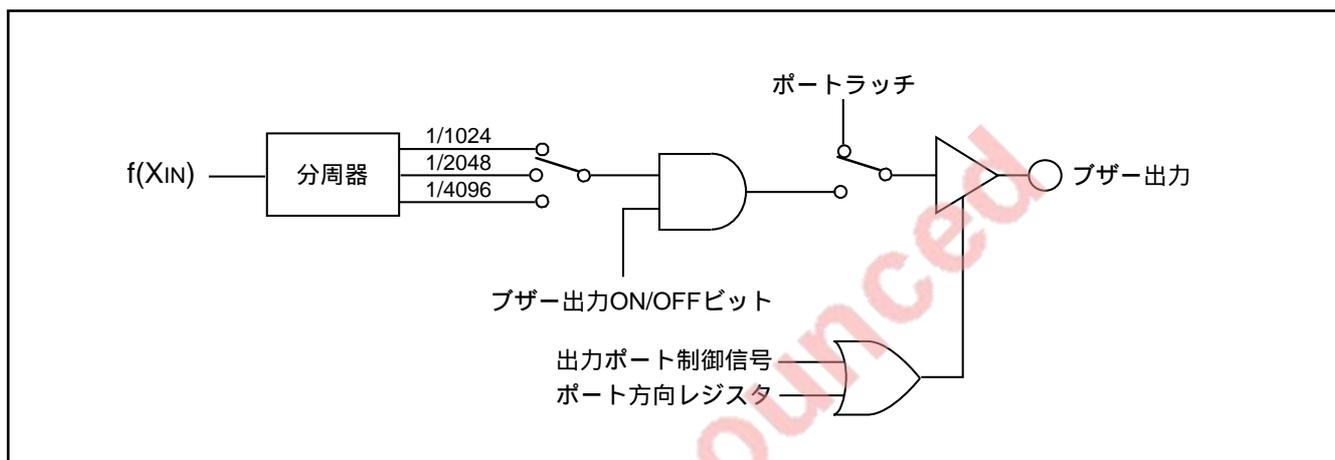


図74. ブザー出力回路のブロック図

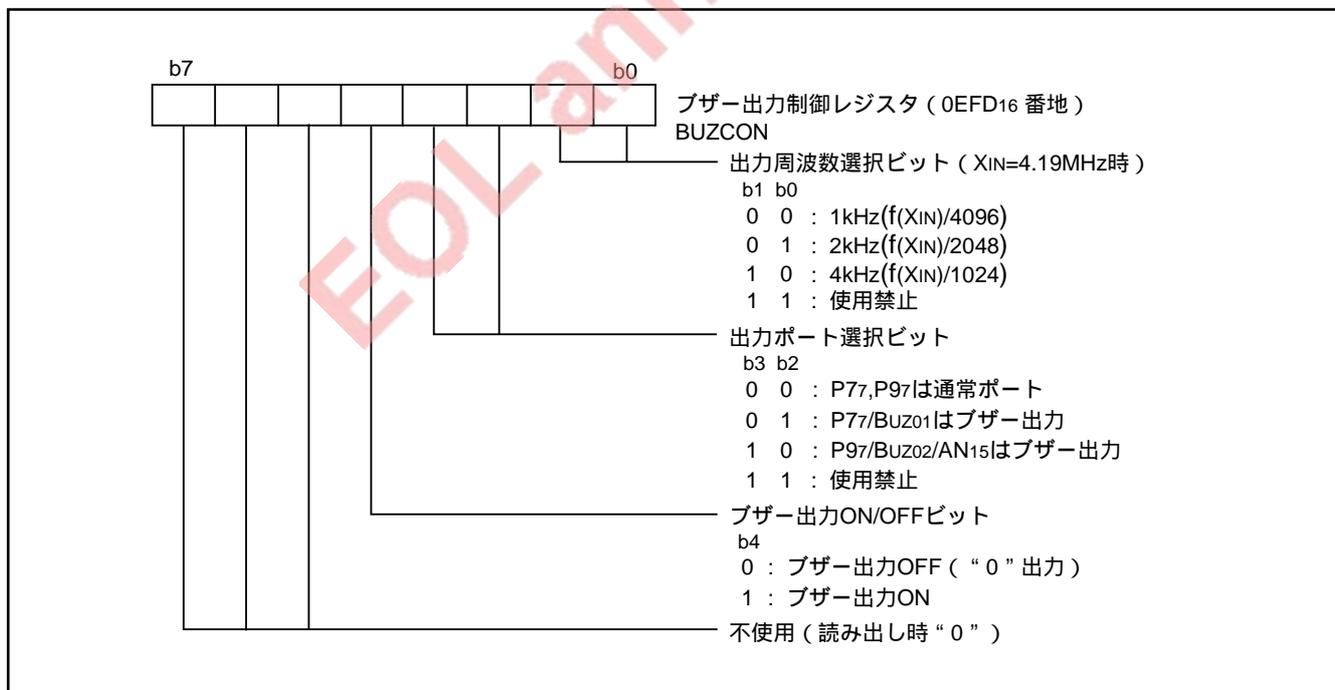


図75ブザー出力制御レジスタの構成

リセット回路

38B7グループのリセットシーケンスは、電源電圧が2.7～5.5Vにあり、XINの発振振幅が安定しているとき、RESET端子を2μs以上“L”レベルに保った後“H”レベルに戻すとリセット解除されます。そして、FFFD<sub>16</sub>番地の内容を上位アドレス、FFFC<sub>16</sub>番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、V<sub>CC</sub> = 2.7Vを通過する時点で0.54V以下にしてください。

なお、高速モードへの切り替えは電源電圧4.0～5.5Vの範囲内で行ってください。

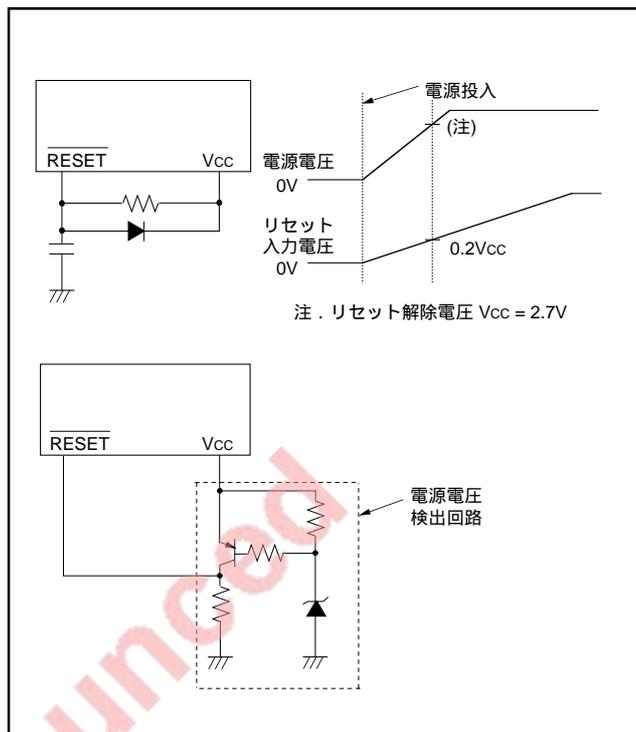


図76．リセット回路例

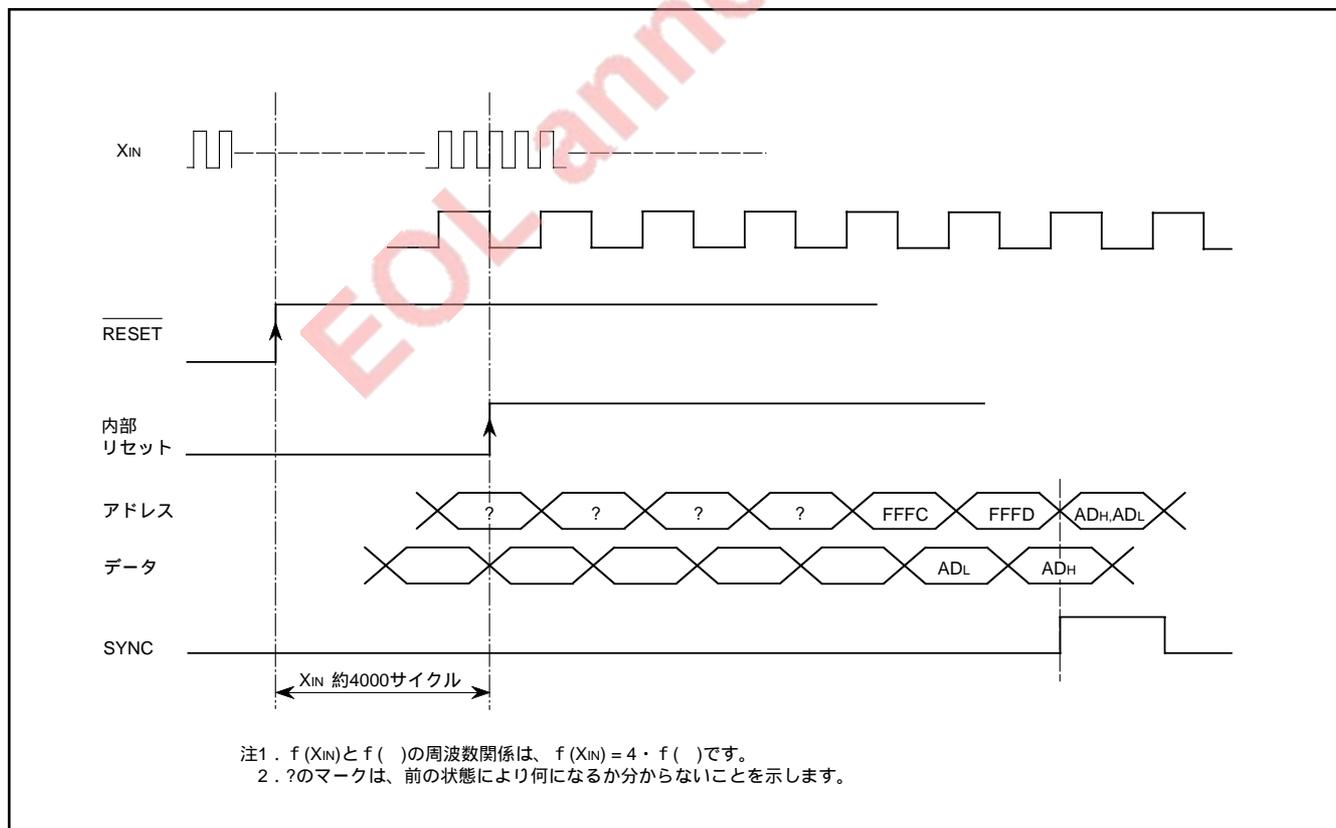


図77．リセットシーケンス

# 三菱マイクロコンピュータ 38B7グループ

## SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 <sub>16</sub>	00 <sub>16</sub>	(38) D-A変換レジスタ	002B <sub>16</sub>	00 <sub>16</sub>
(2) ポートP1	0002 <sub>16</sub>	00 <sub>16</sub>	(39) タイマX ( 下位 )	002C <sub>16</sub>	FF <sub>16</sub>
(3) ポートP1方向レジスタ	0003 <sub>16</sub>	00 <sub>16</sub>	(40) タイマX ( 上位 )	002D <sub>16</sub>	FF <sub>16</sub>
(4) ポートP2	0004 <sub>16</sub>	00 <sub>16</sub>	(41) タイマXモードレジスタ1	002E <sub>16</sub>	00 <sub>16</sub>
(5) ポートP3	0006 <sub>16</sub>	00 <sub>16</sub>	(42) タイマXモードレジスタ2	002F <sub>16</sub>	00 <sub>16</sub>
(6) ポートP3方向レジスタ	0007 <sub>16</sub>	00 <sub>16</sub>	(43) 割り込み間隔判定レジスタ	0030 <sub>16</sub>	00 <sub>16</sub>
(7) ポートP4	0008 <sub>16</sub>	00 <sub>16</sub>	(44) 割り込み間隔判定制御レジスタ	0031 <sub>16</sub>	00 <sub>16</sub>
(8) ポートP4方向レジスタ	0009 <sub>16</sub>	00 <sub>16</sub>	(45) AD/DA制御レジスタ	0032 <sub>16</sub>	10 <sub>16</sub>
(9) ポートP5	000A <sub>16</sub>	00 <sub>16</sub>	(46) UART制御レジスタ	0038 <sub>16</sub>	80 <sub>16</sub>
(10) ポートP5方向レジスタ	000B <sub>16</sub>	00 <sub>16</sub>	(47) 割り込み要因切り替えレジスタ	0039 <sub>16</sub>	00 <sub>16</sub>
(11) ポートP6	000C <sub>16</sub>	00 <sub>16</sub>	(48) 割り込みエッジ選択レジスタ	003A <sub>16</sub>	00 <sub>16</sub>
(12) ポートP6方向レジスタ	000D <sub>16</sub>	00 <sub>16</sub>	(49) CPUモードレジスタ	003B <sub>16</sub>	01001000
(13) ポートP7	000E <sub>16</sub>	00 <sub>16</sub>	(50) 割り込み要求レジスタ1	003C <sub>16</sub>	00 <sub>16</sub>
(14) ポートP7方向レジスタ	000F <sub>16</sub>	00 <sub>16</sub>	(51) 割り込み要求レジスタ2	003D <sub>16</sub>	00 <sub>16</sub>
(15) ポートP8	0010 <sub>16</sub>	00 <sub>16</sub>	(52) 割り込み制御レジスタ1	003E <sub>16</sub>	00 <sub>16</sub>
(16) ポートP8方向レジスタ	0011 <sub>16</sub>	00 <sub>16</sub>	(53) 割り込み制御レジスタ2	003F <sub>16</sub>	00 <sub>16</sub>
(17) ポートP9	0012 <sub>16</sub>	00 <sub>16</sub>	(54) シリアル/O3制御レジスタ	0EEC <sub>16</sub>	00 <sub>16</sub>
(18) ポートP9方向レジスタ	0013 <sub>16</sub>	00 <sub>16</sub>	(55) ウォッチドッグタイマ制御レジスタ	0EEE <sub>16</sub>	3F <sub>16</sub>
(19) ポートPA	0014 <sub>16</sub>	00 <sub>16</sub>	(56) ブルアップ制御レジスタ3	0EEF <sub>16</sub>	00 <sub>16</sub>
(20) ポートPA方向レジスタ	0015 <sub>16</sub>	00 <sub>16</sub>	(57) ブルアップ制御レジスタ1	0EF0 <sub>16</sub>	00 <sub>16</sub>
(21) ポートPB	0016 <sub>16</sub>	00 <sub>16</sub>	(58) ブルアップ制御レジスタ2	0EF1 <sub>16</sub>	00 <sub>16</sub>
(22) ポートPB方向レジスタ	0017 <sub>16</sub>	00 <sub>16</sub>	(59) ポートP0 <sup>デ</sup> イット出力設定切り替えレジスタ	0EF2 <sub>16</sub>	00 <sub>16</sub>
(23) シリアル/O1制御レジスタ1	0019 <sub>16</sub>	00 <sub>16</sub>	(60) ポートP2 <sup>デ</sup> イット出力設定切り替えレジスタ	0EF3 <sub>16</sub>	00 <sub>16</sub>
(24) シリアル/O1制御レジスタ2	001A <sub>16</sub>	00 <sub>16</sub>	(61) FLDCモードレジスタ	0EF4 <sub>16</sub>	00 <sub>16</sub>
(25) シリアル/O1制御レジスタ3	001C <sub>16</sub>	00 <sub>16</sub>	(62) Tdisp時間設定レジスタ	0EF5 <sub>16</sub>	00 <sub>16</sub>
(26) シリアル/O2制御レジスタ	001D <sub>16</sub>	00 <sub>16</sub>	(63) Toff1時間設定レジスタ	0EF6 <sub>16</sub>	FF <sub>16</sub>
(27) シリアル/O2ステータスレジスタ	001E <sub>16</sub>	80 <sub>16</sub>	(64) Toff2時間設定レジスタ	0EF7 <sub>16</sub>	FF <sub>16</sub>
(28) タイマ1	0020 <sub>16</sub>	FF <sub>16</sub>	(65) ポートP4FLD/ポート切り替えレジスタ	0EF9 <sub>16</sub>	00 <sub>16</sub>
(29) タイマ2	0021 <sub>16</sub>	01 <sub>16</sub>	(66) ポートP5FLD/ポート切り替えレジスタ	0EFA <sub>16</sub>	00 <sub>16</sub>
(30) タイマ3	0022 <sub>16</sub>	FF <sub>16</sub>	(67) ポートP6FLD/ポート切り替えレジスタ	0EFB <sub>16</sub>	00 <sub>16</sub>
(31) タイマ4	0023 <sub>16</sub>	FF <sub>16</sub>	(68) FLD出力制御レジスタ	0EFC <sub>16</sub>	00 <sub>16</sub>
(32) タイマ5	0024 <sub>16</sub>	FF <sub>16</sub>	(69) ブザー出力制御レジスタ	0EFD <sub>16</sub>	00 <sub>16</sub>
(33) タイマ6	0025 <sub>16</sub>	FF <sub>16</sub>	(70) フラッシュメモリ制御レジスタ	0EFE <sub>16</sub>	00 <sub>16</sub>
(34) PWM制御レジスタ	0026 <sub>16</sub>	00 <sub>16</sub>	(71) フラッシュコマンドレジスタ	0EFF <sub>16</sub>	00 <sub>16</sub>
(35) タイマ12モードレジスタ	0028 <sub>16</sub>	00 <sub>16</sub>	(72) プロセッサステータスレジスタ	(PS)	x x x x 1 x x
(36) タイマ34モードレジスタ	0029 <sub>16</sub>	00 <sub>16</sub>	(73) プログラムカウンタ	(PC <sup>H</sup> )	FFFF <sub>16</sub> 番地の内容
(37) タイマ56モードレジスタ	002A <sub>16</sub>	00 <sub>16</sub>		(PC <sup>L</sup> )	FFFC <sub>16</sub> 番地の内容

注 . x : 不定です。

上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図78 . リセット時の内部状態

### クロック発生回路

38B7グループは2つの内部発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子により異なりますので共振子メーカーの推奨値をご使用ください。XIN-XOUT端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。XCIN-XCOUT間には抵抗は内蔵されていないので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

### 周波数制御

#### (1) 中速モード

XIN端子に加わった周波数の4分周したものが内部システムクロックとなります。リセット解除後はこのモードになります。

#### (2) 高速モード

XIN端子に加わった周波数が内部システムクロックとなります。

#### (3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部システムクロックになります。

注：中/高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。

#### (4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック停止ビット(b5)を“1”にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック停止ビットを“0”にした後、発振が安定するまでの待ち時間はプログラムで生成する必要があります。

### 発振制御

#### (1) ストップモード

STOP命令を実行すると内部システムクロックが“H”の状態では停止し、XIN及びXCINの発振が停止します。このとき、タイマ1には“FF16”、タイマ2には“0116”がセットされ、タイマ1の入力にはXINの8分周又はXCINの16分周、タイマ2にはタイマ1の出力が強制的に接続されます。このときタイマ12モードレジスタはすべて“0”にクリアされます。STOP命令実行前にタイマ1、タイマ2の割り込みの許可ビットを禁止状態(“0”)に設定してください。

発振はリセット又は外部割り込みが受け付けられると再開しますが、タイマ2がアンダフローしてはじめてCPUに内部システムクロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

#### (2) ウェイトモード

WAIT命令を実行すると内部システムクロックのみ“H”の状態では停止します。このときXIN及びXCINはWAIT命令実行前と同じ状態になっています。リセット又は割り込みを受け付けると停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

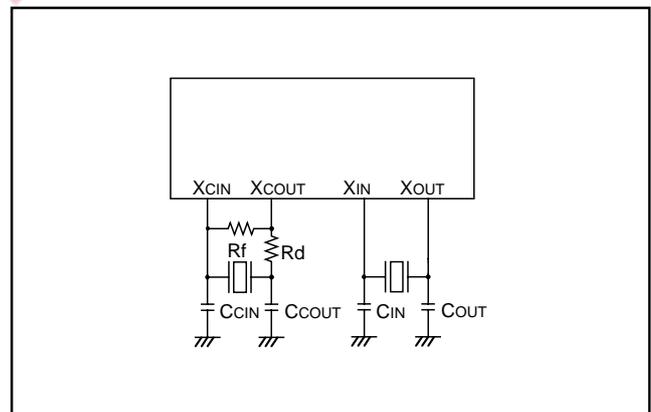


図79. セラミック共振子外付け回路

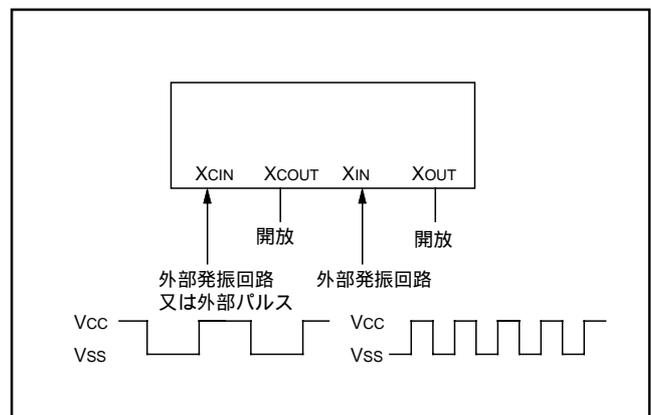


図80. 外部クロック入力回路

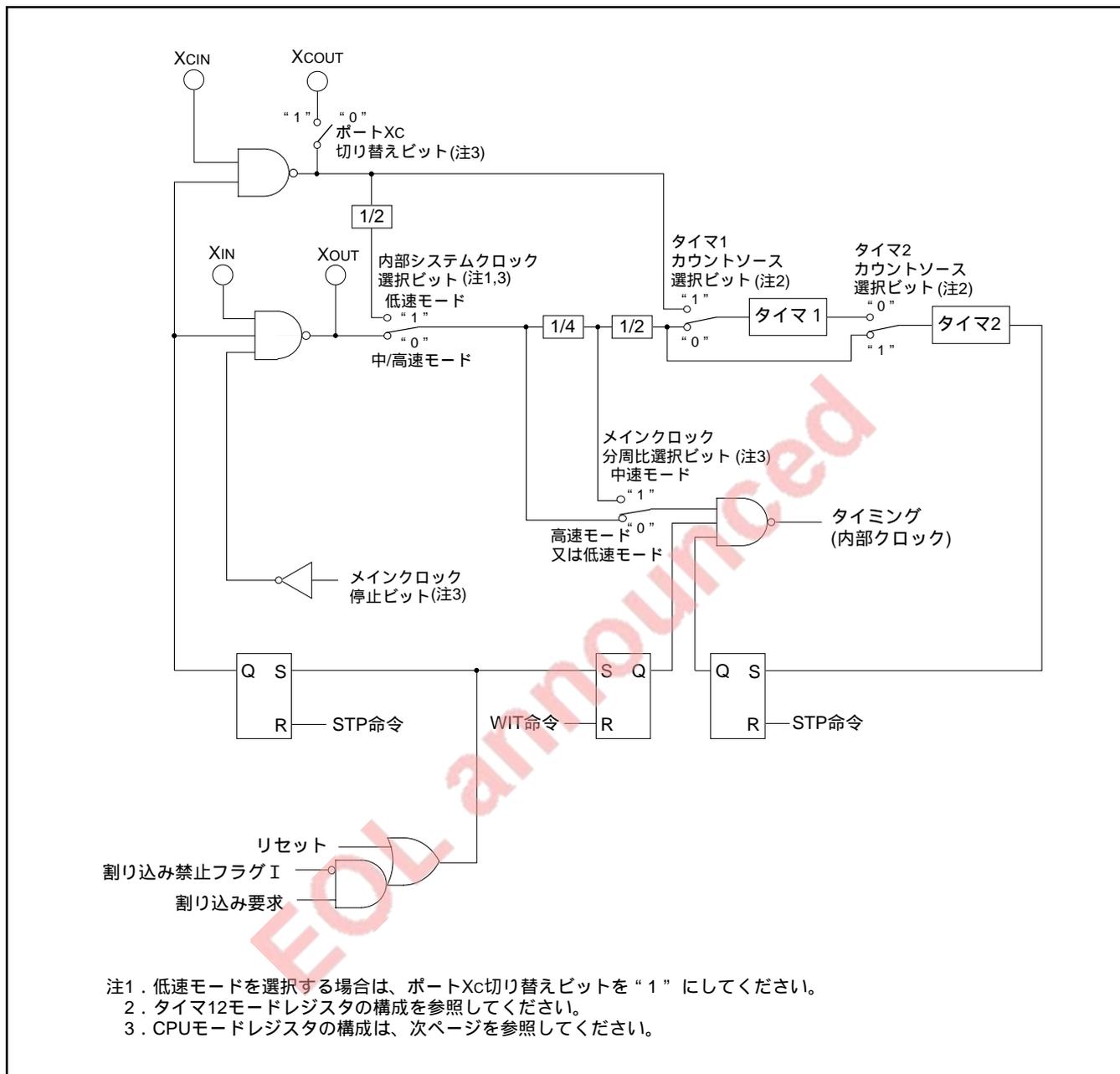


図81. クロック発生回路ブロック図

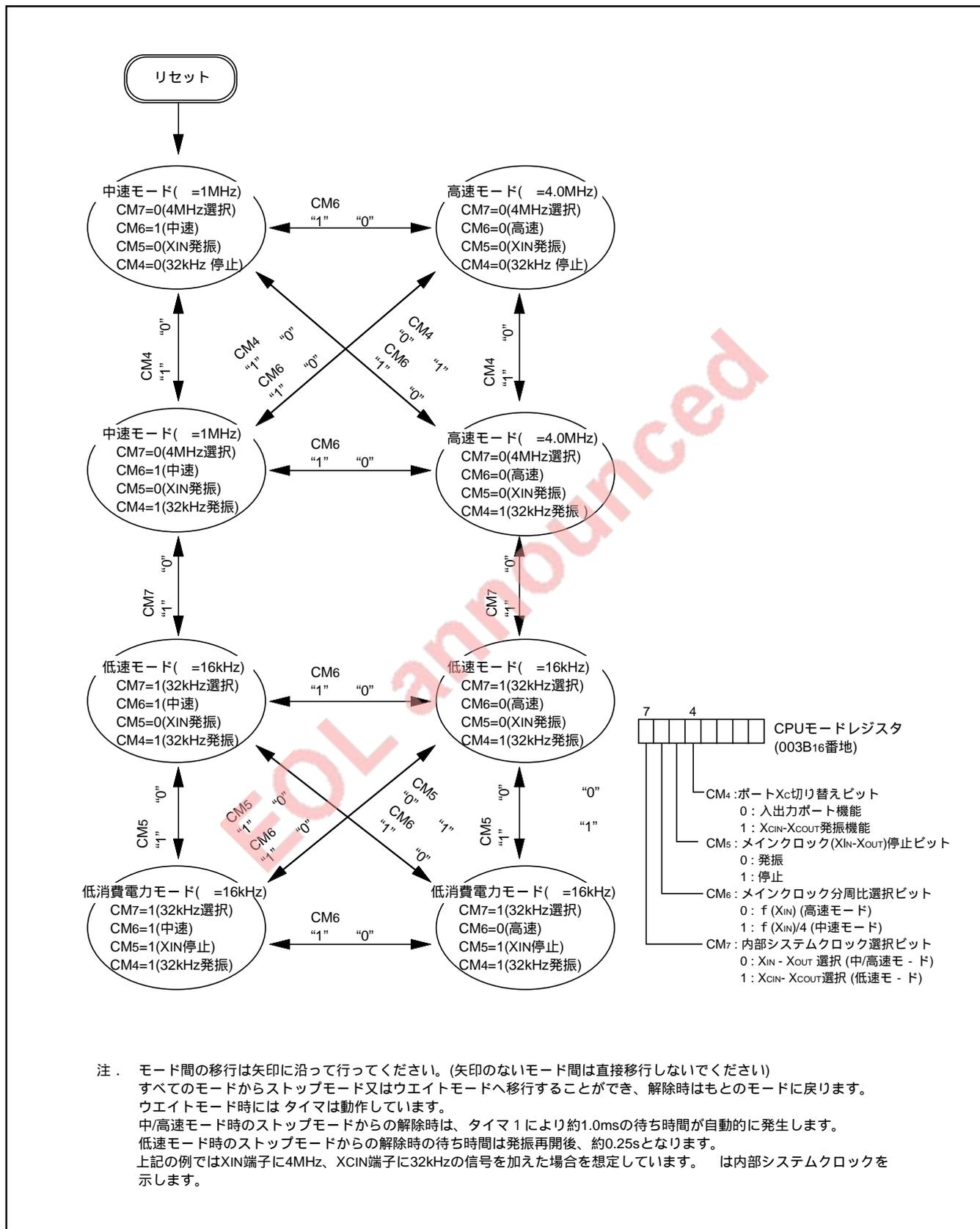


図82 . システムクロックの状態遷移図

## プログラミング上の注意事項

### プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

### 割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

### 10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

### タイマに関するもの

タイマラッチに値 $n$ ( $0 \sim 255$ )を書き込んだ場合の分周比は、 $1/(n+1)$ です。

### 乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

### ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用して下さい。

### シリアルI/Oに関するもの

- ・外部クロック使用時は、外部クロック入力端子に“H”を入力し、シリアルI/O割り込み要求ビットをクリアした後、通常シリアルI/O転送及びシリアルI/O自動転送を実行してください。
- ・内部クロック使用時は、同期クロックを内部クロックに設定してから、シリアルI/O割り込み要求ビットをクリアした後、通常シリアルI/O転送及びシリアルI/O自動転送を実行してください。

シリアルI/O1の自動転送シリアルI/Oモード使用時、シリアル自動転送間隔設定を以下のとおりにしてください。

なお、設定が以下のとおりでない場合は、シリアルデータが正しく送信/受信できないこともありますので、ご注意ください。

### 自動転送シリアルI/Oに関するもの

- ・1バイトデータ転送ごとの自動転送間隔を、以下のように設定してください。
  - (1)FLDコントローラ未使用時  
1バイトデータの最終ビットのクロック立ち上がりから、内部システムクロックの5サイクル以上空けてください。
  - (2)FLDコントローラ使用時
    - (a)階調表示未使用時  
1バイトデータの最終ビットのクロック立ち上がりから、内部システムクロックの17サイクル以上空けてください。
    - (b)階調表示使用時  
1バイトデータの最終ビットのクロック立ち上がりから、内部システムクロックの27サイクル以上空けてください。

### A-D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換実行中は $f(XIN)$ を250kHz以上にしてください。

また、A-D変換中はSTP命令、WIT命令を実行しないでください。

D-A変換器に関するもの

D-A変換器精度は $V_{CC}$ が4.0V以下で異なります。D-A変換器を使用する場合は $V_{CC}$ を4.0V以上にすることを推奨します。また、D-A変換器を使用しない場合、D-A変換レジスタの設定値は、すべて“0016”にしてください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部システムクロックの周期をかけることによって得られます。内部システムクロックの周期は、 $X_{IN}$ の周期と同じです(高速モード時)。

STP命令解除時に関するもの

STP命令解除時には、タイマ12モードレジスタは全ビットクリアされます。

使用上の注意事項

電源端子の取り扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子( $V_{CC}$ 端子)とGND端子( $V_{SS}$ 端子)との間、及び電源端子( $V_{CC}$ 端子)とアナログ電源入力端子( $AV_{SS}$ 端子)との間に高周波数特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01~0.1 $\mu$ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間に最短距離で付加してくださいようお願いいたします。

フラッシュメモリ内蔵版に関する注意

CNV $_{SS}$ 端子は、プログラマブル電源端子( $V_{PP}$ 端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続されています。

ノイズ誤動作耐量向上の点から、CNV $_{SS}$ 端子の配線は1~10k $\Omega$ の抵抗を介して $V_{SS}$ に接続くださるようお願いいたします。なお、マスクROM版のCNV $_{SS}$ 端子の配線が抵抗を介して接続されていても、動作上支障はありません。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1)マスク化確認書
- (2)マーク指定書
- (3)ROMのデータ ..... EPROM 3セット  
又は フロッピーディスク 1枚

消費電力の計算方法

(マイコンの規格より決まる定数)

- ・高耐圧ポートの $V_{OH}$ 出力の降下電圧  
2V(最大); 電流値=18mA時
- ・抵抗値 48k(最小)
- ・内部回路の消費電力(CPU, ROM, RAMなど)=5V  
×15mA=75mW

(ご使用条件により決まる定数)

- ・ $V_{EE}$ 端子への印加電圧  $V_{CC} - 45V$
- ・タイミング数  $a$ , 実ディジット数  $b$ 本, セグメント数  $c$ 本
- ・ $T_{disp}$ 時間に対する $T_{off}$ 時間の比  $1/16$
- ・繰り返し周期中に実点灯するセグメント数  $d$
- ・繰り返し周期中の総セグメント数  $e(=a \times c)$
- ・内蔵抵抗の合計本数 (ディジット用  $f$ 本, セグメント用  $g$ 本)
- ・ディジット端子電流値  $h$ (mA)
- ・セグメント端子電流値  $i$ (mA)

(1)ディジット端子の消費電力

$$\{h \times b \times (1 - T_{off} / T_{disp}) \times \text{電圧}\} / a$$

(2)セグメント端子の消費電力

$$\{i \times d \times (1 - T_{off} / T_{disp}) \times \text{電圧}\} / a$$

(3)プルダウン抵抗の消費電力(ディジット)

$$\{\text{ディジット1本当りの消費電力} \times (b \times f / b) \times (1 - T_{off} / T_{disp})\} / a$$

(4)プルダウン抵抗の消費電力(セグメント)

$$\{\text{セグメント1本当りの消費電力} \times (d \times g / c) \times (1 - T_{off} / T_{disp})\} / a$$

(5)内部回路の消費電力(CPU, ROM, RAM など。)

$$= 190mW$$

$$(1) + (2) + (3) + (4) + (5) = \underline{\underline{X \text{ mW}}}$$

EOL announced

消費電力の計算例 1

(マイコンの規格より決まる定数)

- ・高耐圧ポートのVoH出力の降下電圧 2V(最大); 電流値 = 18mA時
- ・抵抗値  $43V / 900 \mu A = 48k$  (最小)
- ・内部回路の消費電力(CPU, ROM, RAMなど) =  $5V \times 15mA = 75mW$

(ご使用条件により決まる定数)

- ・VEE端子への印加電圧  $V_{CC} - 45V$
- ・タイミング数 17, 実デジタル数 16本, セグメント数 20本
- ・Tdisp時間に対するToff時間の比 1/16
- ・繰り返し周期中に実点灯するセグメント数 31
- ・繰り返し周期中の総セグメント数  $340 (= 17 \times 20)$
- ・内蔵抵抗の合計本数 (デジタル用 16本, セグメント用 20本)
- ・デジタル端子電流値  $18(mA)$
- ・セグメント端子電流値  $3(mA)$

(1) デジタル端子の消費電力

$$\{18 \times 16 \times (1 - 1/16) \times 2\} / 17 = 31.77mW$$

(2) セグメント端子の消費電力

$$\{3 \times 31 \times (1 - 1/16) \times 2\} / 17 = 10.26mW$$

(3) プルダウン抵抗の消費電力(デジタル)

$$(45 - 2)^2 / 48 \times (16 \times 16 / 16) \times (1 - 1/16) / 17 = 33.99mW$$

(4) プルダウン抵抗の消費電力(セグメント)

$$(45 - 2)^2 / 48 \times (31 \times 20 / 20) \times (1 - 1/16) / 17 = 65.86mW$$

(5) 内部回路の消費電力(CPU, ROM, RAM など。)

$$= 75mW$$

$$(1) + (2) + (3) + (4) + (5) = \underline{\underline{217mW}}$$

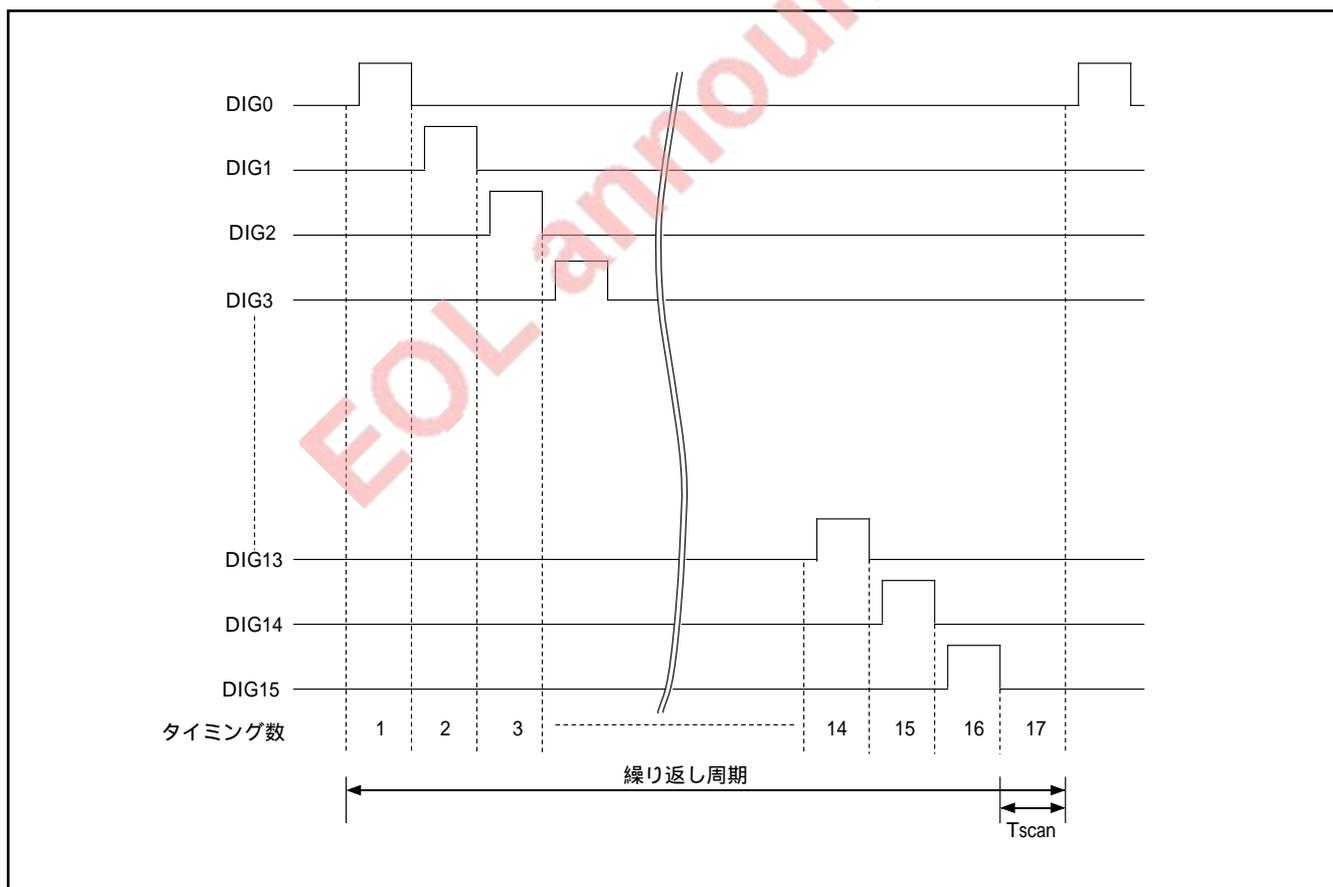


図83. デジタルのタイミング波形 1)

消費電力の計算例2 (2本以上のディジットが同時にONする場合)

(マイコンの規格より決まる定数)

- ・高耐圧ポートの $V_{OH}$ 出力の降下電圧 2V(最大); 電流値 = 18mA時
- ・抵抗値  $43V / 900 \mu A = 48k$  (最小)
- ・内部回路の消費電力(CPU, ROM, RAMなど) =  $5V \times 15mA = 75mW$

(ご使用条件により決まる定数)

- ・ $V_{EE}$ 端子への印加電圧  $V_{CC} - 45V$
- ・タイミング数 11, 実ディジット数 12本, セグメント数 24本
- ・ $T_{disp}$ 時間に対する $T_{off}$ 時間の比 1/16
- ・繰り返し周期中に実点灯するセグメント数 114
- ・繰り返し周期中の総セグメント数264 (=  $11 \times 24$ )
- ・内蔵抵抗の合計本数 (ディジット用 10本, セグメント用 22本)
- ・ディジット端子電流値 18(mA)
- ・セグメント端子電流値 3(mA)

(1)ディジット端子の消費電力

$$\{18 \times 12 \times (1 - 1/16) \times 2\} / 11 = 36.82mW$$

(2)セグメント端子の消費電力

$$\{3 \times 114 \times (1 - 1/16) \times 2\} / 11 = 58.30mW$$

(3)プルダウン抵抗の消費電力(ディジット)

$$(45 - 2)^2 / 48 \times (12 \times 10 / 12) \times (1 - 1/16) / 11 = 32.84mW$$

(4)プルダウン抵抗の消費電力(セグメント)

$$(45 - 2)^2 / 48 \times (114 \times 22 / 24) \times (1 - 1/16) / 11 = 343.08mW$$

(5)内部回路の消費電力(CPU, ROM, RAM など。)

$$= 75mW$$

$$(1) + (2) + (3) + (4) + (5) = \underline{\underline{547mW}}$$

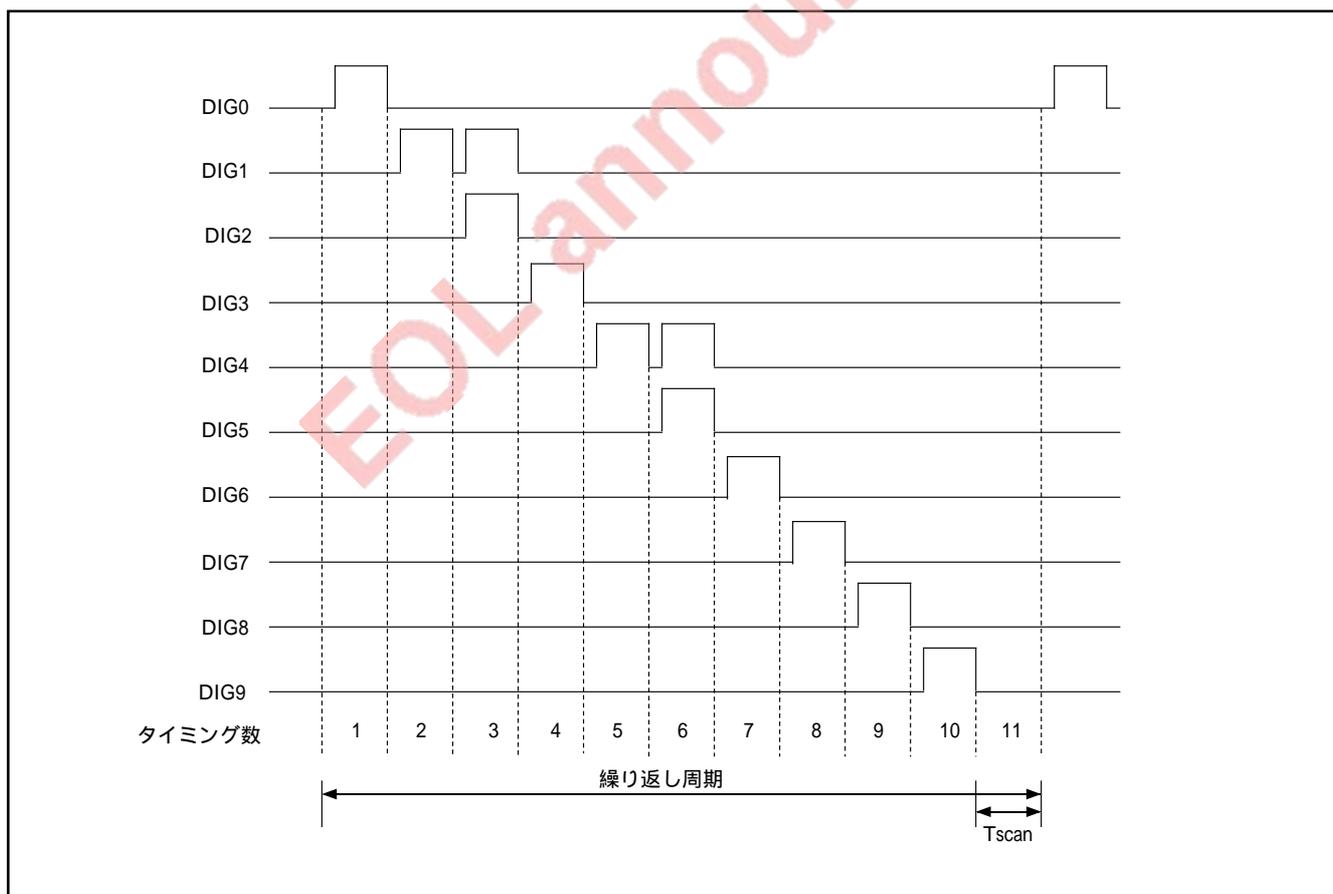


図84. ディジットのタイミング波形(2)

### フラッシュメモリモード

M38B79FFは、通常の動作モード(マイコンモード)以外に、内蔵するフラッシュメモリに対して、リード、プログラム、イレースなどの操作を行うためのフラッシュメモリモードを持っています。

フラッシュメモリモードとして、外部のライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、シリアル入出力モード及び、中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を選択できます。

以下それぞれのフラッシュメモリモードについて説明します。

#### (1)フラッシュメモリモード・1(パラレル入出力モード)

図85に示す結線を行い、VCC、VPP端子に電源を投入すると、パラレル入出力モードが選択されます。このモードでは、M38B79FFは当社製CMOSフラッシュメモリM5M28F101相当の動作を行います。ただし、M38B79FFの内蔵メモリ容量は60Kバイトですので、プログラムは01000<sub>16</sub>~0FFFF<sub>16</sub>番地に対して行い、00000<sub>16</sub>~00FFF<sub>16</sub>番地及び10000<sub>16</sub>~1FFFF<sub>16</sub>番地のデータは必ず“FF<sub>16</sub>”にしてください。また、アドレス入力(A<sub>9</sub>)に高電圧を印加してデバイス識別コードを読み出す機能は内蔵していません。汎用PROMライタ使用時のプログラム条件の設定などは、誤りのないように行ってください。

パラレル入出力モード時の端子対応を表12に示します。

表12. パラレル入出力モード時の端子対応

	M38B79FF	M5M28F101
VCC	VCC	VCC
VPP	CNVSS	VPP
VSS	VSS	VSS
アドレス入力	ポートP0, P1, P31	A0 ~ A16
データ入出力	ポートP2	D0 ~ D7
CE	P36	CE
OE	P37	OE
WE	P33	WE

表13. 制御入力と各状態の対応

モード	状態	端子名	CE	OE	WE	VPP	データ入出力
リードオンリー	リード		VIL	VIL	VIH	VPLL	出力
	出力ディスエーブル		VIL	VIH	VIH	VPLL	フローティング
	スタンドバイ		VIH	X	X	VPLL	フローティング
リード/ライト	リード		VIL	VIL	VIH	VPPH	出力
	出力ディスエーブル		VIL	VIH	VIH	VPPH	フローティング
	スタンドバイ		VIH	X	X	VPPH	フローティング
	ライト		VIL	VIH	VIL	VPPH	入力

注. Xは、VIL又はVIHのどちらでもよい。

### 機能概要(パラレル入出力モード)

パラレル入出力モードでは、VPP端子の印加電圧によってリードオンリーモードとリード/ライトモード(ソフトウエアコマンドコントロールモード)の2種類の動作モードが設定できます。VPP = VPLLに設定するとリードオンリーモードが選択され、 $\overline{CE}$ 、 $\overline{OE}$ 、 $\overline{WE}$ 端子の入力によって、リード、出力ディスエーブル、スタンドバイの3状態に設定することができます。また、VPP = VPPHに設定するとリード/ライトモードが選択され、 $\overline{CE}$ 、 $\overline{OE}$ 、 $\overline{WE}$ 端子の入力によって、リード、出力ディスエーブル、スタンドバイ、ライトの4状態に設定することができます。 $\overline{CE}$ 、 $\overline{OE}$ 、 $\overline{WE}$ 端子の入力と各状態の対応を表13に示します。

#### ・リード

$\overline{CE}$ 端子を“L”、 $\overline{OE}$ 端子を“L”、 $\overline{WE}$ 端子を“H”にするとリード状態になり、アドレス入力端子(A<sub>0</sub>~A<sub>16</sub>)に入力されるアドレスに対応するメモリの内容がデータ入出力端子(D<sub>0</sub>~D<sub>7</sub>)から出力されます。

#### ・出力ディスエーブル

$\overline{CE}$ 端子を“L”、 $\overline{WE}$ 端子を“H”、 $\overline{OE}$ 端子を“H”にすると出力ディスエーブル状態になり、データ入出力端子はフローティング状態になります。

#### ・スタンドバイ

$\overline{CE}$ 端子を“H”にするとスタンドバイ状態になり、電源電流が極めて少ないパワーダウン状態になります。また、データ入出力端子はフローティング状態になります。

#### ・ライト

VPP端子を“H”(VPP = VPPH)とし、 $\overline{CE}$ 端子が“L”、 $\overline{OE}$ 端子が“H”のときに、 $\overline{WE}$ 端子を“L”にするとライト状態になります。ライト状態では、データ入出力端子からのソフトウエアコマンドの入力が可能になり、このソフトウエアコマンドの内容によってプログラム、イレースなどの操作が選択できます。

表14．端子の機能説明(フラッシュメモリパラレル入出力モード)

端子名	名称	入出力	機能
VCC, VSS	電源入力		Vccに5 V ± 10%, Vssに0 Vを印加します。
CNVSS	VPP入力	入 力	リードオンリーモード時は5 V ± 10%を, リード/ライトモード時は11.7 V ~ 12.6 Vを印加します。
RESET	リセット入力	入 力	Vssに接続してください。
XIN	クロック入力	入 力	XIN, XOUTの間にセラミック共振子を接続します。
XOUT	クロック出力	出 力	XIN, XOUTの間にセラミック共振子を接続します。
AVSS	アナログ電源 入力		Vssに接続してください。
VREF	基準電圧入力	入 力	Vssに接続してください。
P00 ~ P07	アドレス入力 A0 ~ A7	入 力	アドレスA0 ~ A7の入力端子です。
P10 ~ P17	アドレス入力 A8 ~ A15	入 力	アドレスA8 ~ A15の入力端子です。
P20 ~ P27	データ入出力 D0 ~ D7	入出力	データD0 ~ D7の入出力端子です。 6.8 k の抵抗を介して、Vssにプルダウンしてください。
P30 ~ P37	制御入力	入 力	P37,P36,P33はそれぞれOE,CE,WEの入力端子、P31はアドレスA16の入力端子となります。 P30,P32はVssに接続して下さい。P34,P35は“H”を入力、“L”を入力又は開放してください。
P40 ~ P47	入力ポート P4	入 力	“H”を入力、“L”を入力、又は開放してください。
P50 ~ P57	入力ポート P5	入 力	“H”を入力、“L”を入力、又は開放してください。
P60 ~ P67	入力ポート P6	入 力	P64, P66はVssに接続してください。P60 ~ P63,P65,P67は“H”を入力、“L”を入力又は開放にしてください。
P70 ~ P77	入力ポート P7	入 力	“H”を入力、“L”を入力、又は開放してください。
P80 ~ P83	入力ポート P8	入 力	“H”を入力、“L”を入力、又は開放してください。
P90 ~ P97	入力ポート P9	入 力	“H”を入力、“L”を入力、又は開放してください。
PA0 ~ PA7	入力ポート PA	入 力	“H”を入力、“L”を入力、又は開放してください。
PB0 ~ PB6	入力ポート PB	入 力	“H”を入力、“L”を入力、又は開放してください。
VEE	プルダウン 電源入力		開放して下さい。

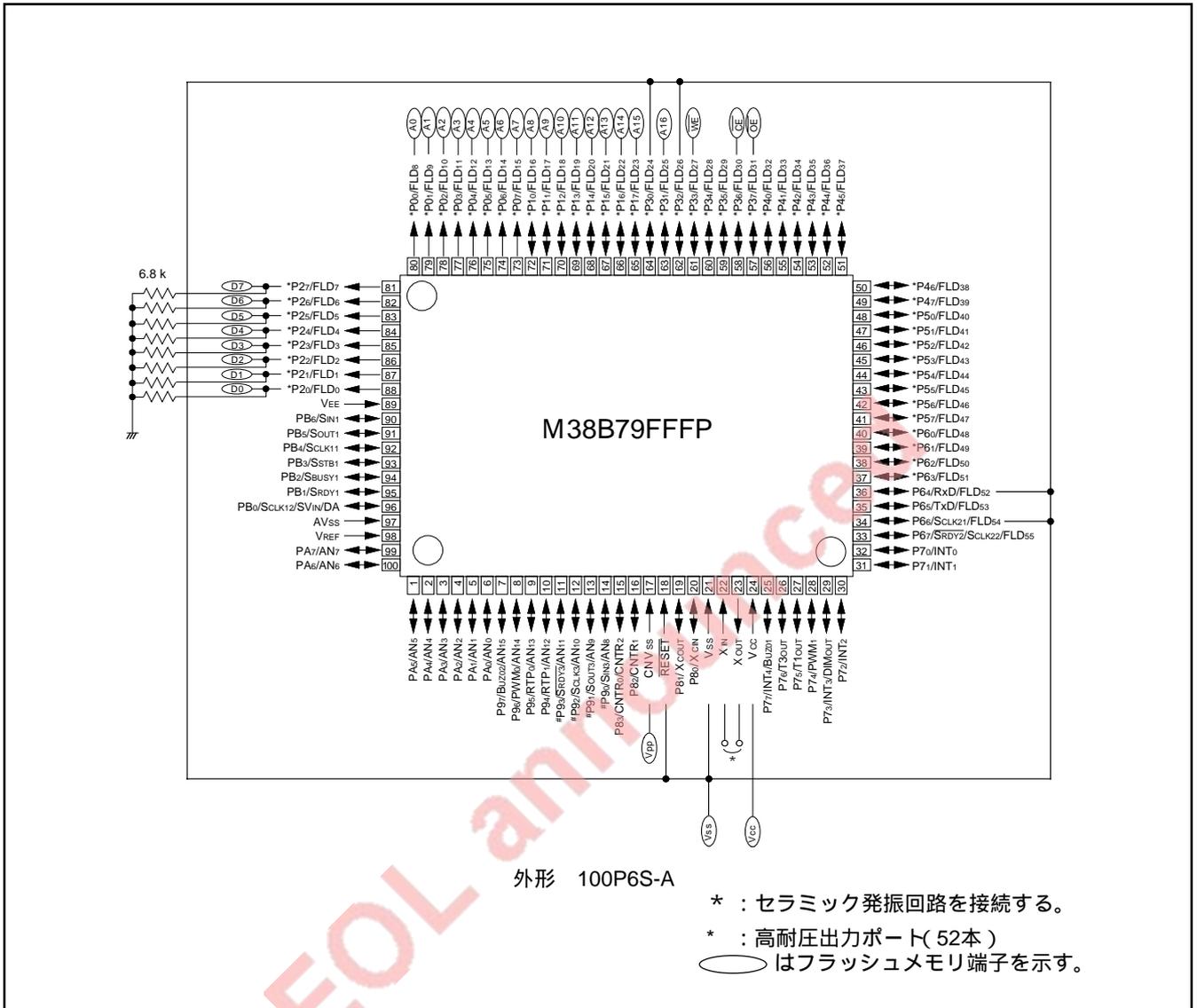


図85 . パラレル入出力モード時の端子結線図( M38B79FF )

リードオンリーモード

V<sub>PP</sub>端子にV<sub>PPL</sub>を印加するとリードオンリーモードになります。このモードでは図86に示すタイミングで読み出しを行

うアドレス及び、制御信号を入力すると指定したアドレスの内容がデータ入出力端子から外部に出力されます。このモードでは読み出し以外の操作はできません。

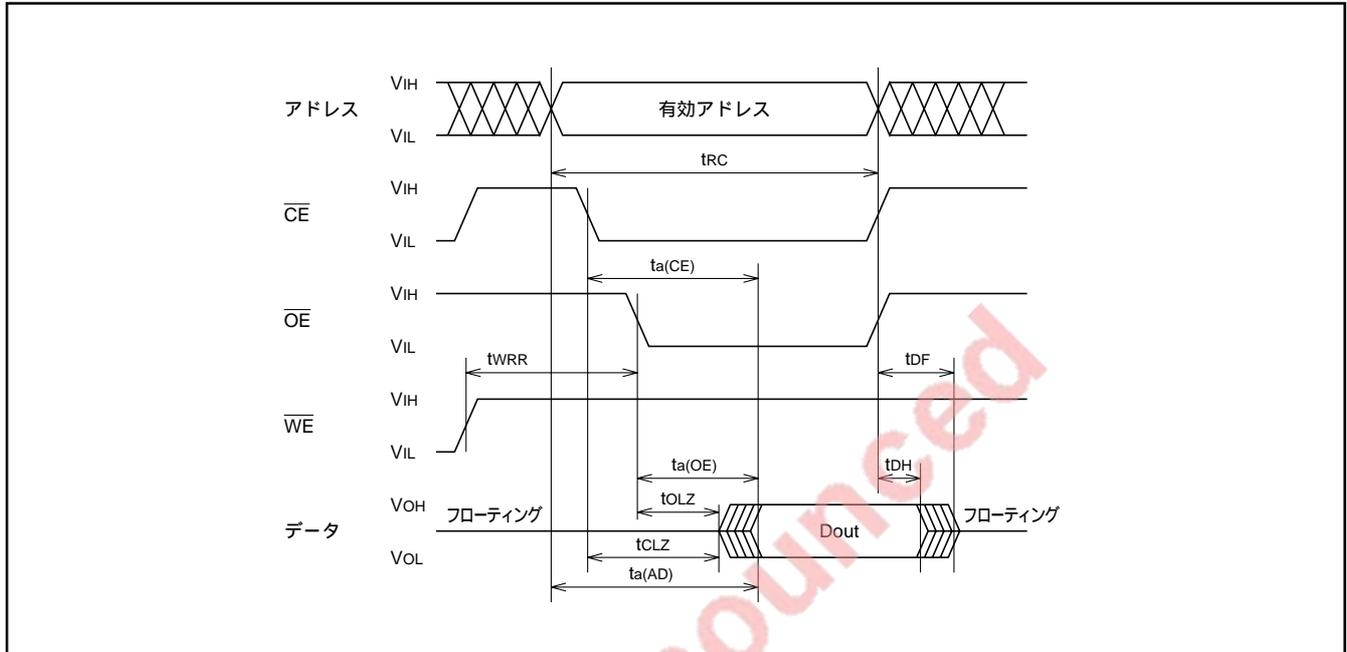


図86 . リードタイミング

リード/ライトモード

V<sub>PP</sub>端子にV<sub>PPH</sub>を印加するとリード/ライトモードになります。このモードでは、最初にフラッシュメモリに対して行う操作(リード、プログラム、イレーズなど)を選択するためのソフトウェアコマンドを入力し(第一サイクルと称す) 続いてそのコマンドを実行するために必要な情報(アドレス、データなど)及び制御信号を入力する(第二サイクルと称す)と指定した操作が実行されます。表15にソフトウェアコマ

ンドと第一、第二サイクルにおける入出力情報を示します。入力したアドレスはWE入力の立ち上がりエッジで、ソフトウェアコマンドなどの入力データはWE入力の立ち上がりエッジで内部にラッチされます。

以下に、各ソフトウェアコマンドについて説明します。信号入出力のタイミングについては図87～図89を参照してください。

表15 . ソフトウェアコマンド一覧表 (パラレル入出力モード)

項目	第一サイクル		第二サイクル	
	アドレス入力	データ入力	アドレス入力	データ入出力
リード	X	00 <sub>16</sub>	リードアドレス	リードデータ(出力)
プログラム	X	40 <sub>16</sub>	プログラムアドレス	プログラムデータ(入力)
プログラムベリファイ	X	C0 <sub>16</sub>	X	ベリファイデータ(出力)
イレーズ	X	20 <sub>16</sub>	X	20 <sub>16</sub> (入力)
イレーズベリファイ	ベリファイアドレス	A0 <sub>16</sub>	X	ベリファイデータ(出力)
リセット	X	FF <sub>16</sub>	X	FF <sub>16</sub> (入力)
デバイス識別	X	90 <sub>16</sub>	ADI	DD(出力)

注 . ADI = デバイス識別アドレス : 製造メーカーコード 00000<sub>16</sub>, デバイスコード 00001<sub>16</sub>

DDI = デバイス識別データ : 製造メーカーコード 1C<sub>16</sub>, デバイスコード D0<sub>16</sub>

Xは、V<sub>IL</sub>又はV<sub>IH</sub>のどちらでもよい。

・リードコマンド

第一サイクルでコマンドコード“00<sub>16</sub>”を入力するとリードモードになります。コマンドコードは $\overline{\text{WE}}$ 入力の立ち上がりで内部のコマンドラッチにラッチされます。第二サイクルで読み出しを行うアドレスを入力し、図87に示すタイミングで制御信号を入力すると、指定したアドレスの内容がデータ入出力端子から外部に出力されます。

リードモードは、コマンドラッチに他のコマンドがラッチされるまで保持されます。したがって、1度リードモードに設定した後は、アドレス入力を変化させて第二サイクルだけを実行すると、メモリの内容を次々に読み出すことができます。なお、リードコマンド以外のコマンドは実行する度に、再度コマンドコードから入力する必要があります。電源投入後はコマンドラッチの内容は00<sub>16</sub>になっています。

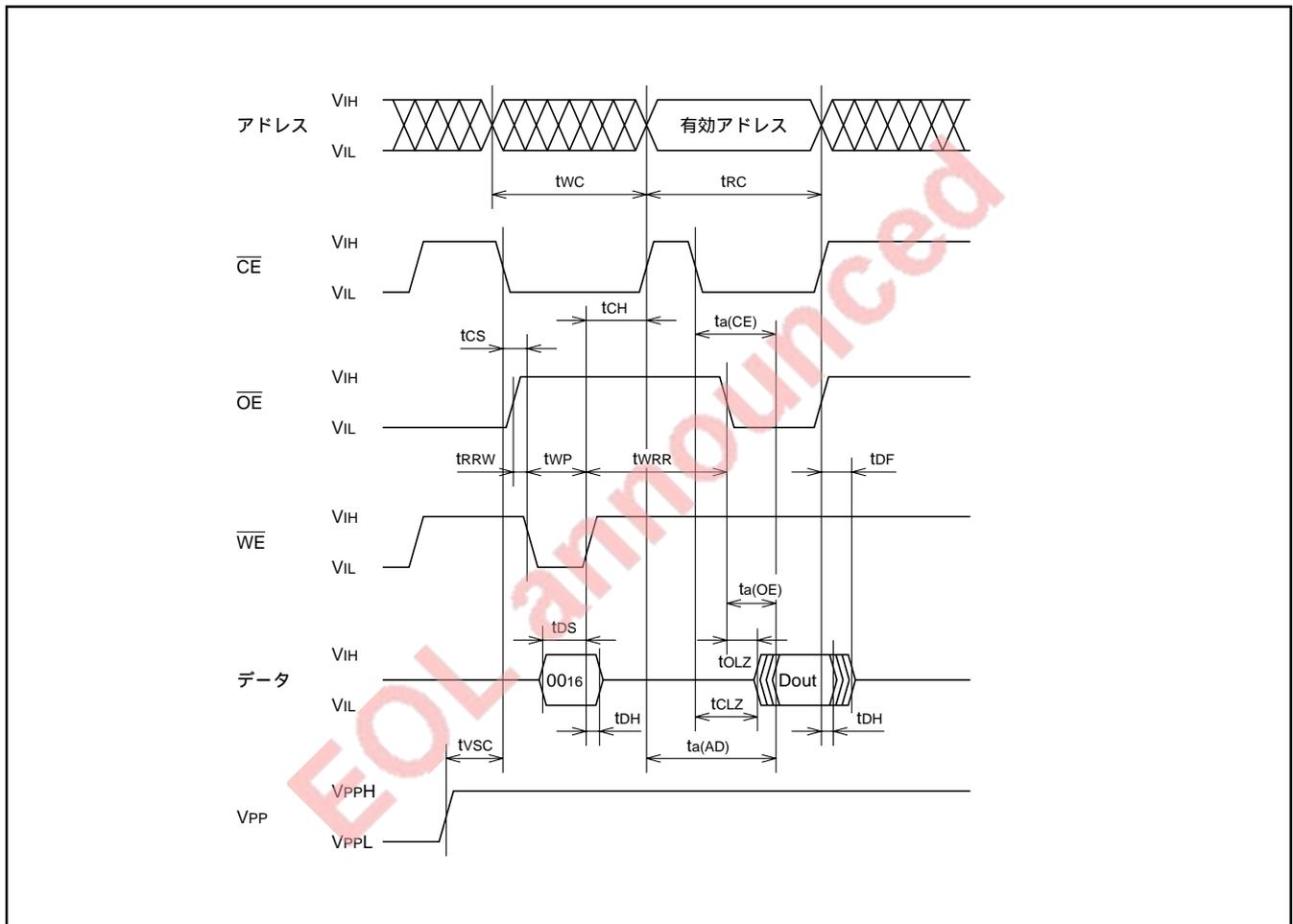


図87 . リード時のタイミング

### ・プログラムコマンド

第一サイクルでコマンドコード“40<sub>16</sub>”を入力するとプログラムモードになります。コマンドコードは $\overline{WE}$ 入力の立ち上がりで内部のコマンドラッチにラッチされます。第二サイクルでプログラムするアドレスとデータを入力すると、アドレスは $\overline{WE}$ 入力の立ち下がり、データは立ち上がりで内部にラッチされます。プログラムは、第二サイクルの $\overline{WE}$ 入力の立ち上がりによって開始され、内蔵タイマで測定して10 $\mu$ s以内に終了します。プログラムはバイト単位で行われます。

(注)書き込みは、1回のプログラムコマンドの実行では完了しません。プログラムコマンドの実行後、必ずプログラムベリファイコマンドを実行し、フェイルする場合はパスするまでプログラムコマンドを繰り返し実行する必要があります。プログラミングのフローチャートは図90を参照してください。

### ・プログラムベリファイコマンド

第一サイクルでコマンドコード“C0<sub>16</sub>”を入力するとプログラムベリファイモードになります。このコマンドはプログラムコマンド実行後に、プログラムされたデータをベリファイするために用います。コマンドコードは $\overline{WE}$ 入力の立ち上がりで内部のコマンドラッチにラッチされます。第二サイクルで図88に示すタイミングで制御信号を入力すると、プログラムされたアドレスの内容が外部に出力されます。アドレスはプログラムコマンド実行時のアドレスを内部でラッチしていますので、第二サイクルにおいて入力する必要はありません。

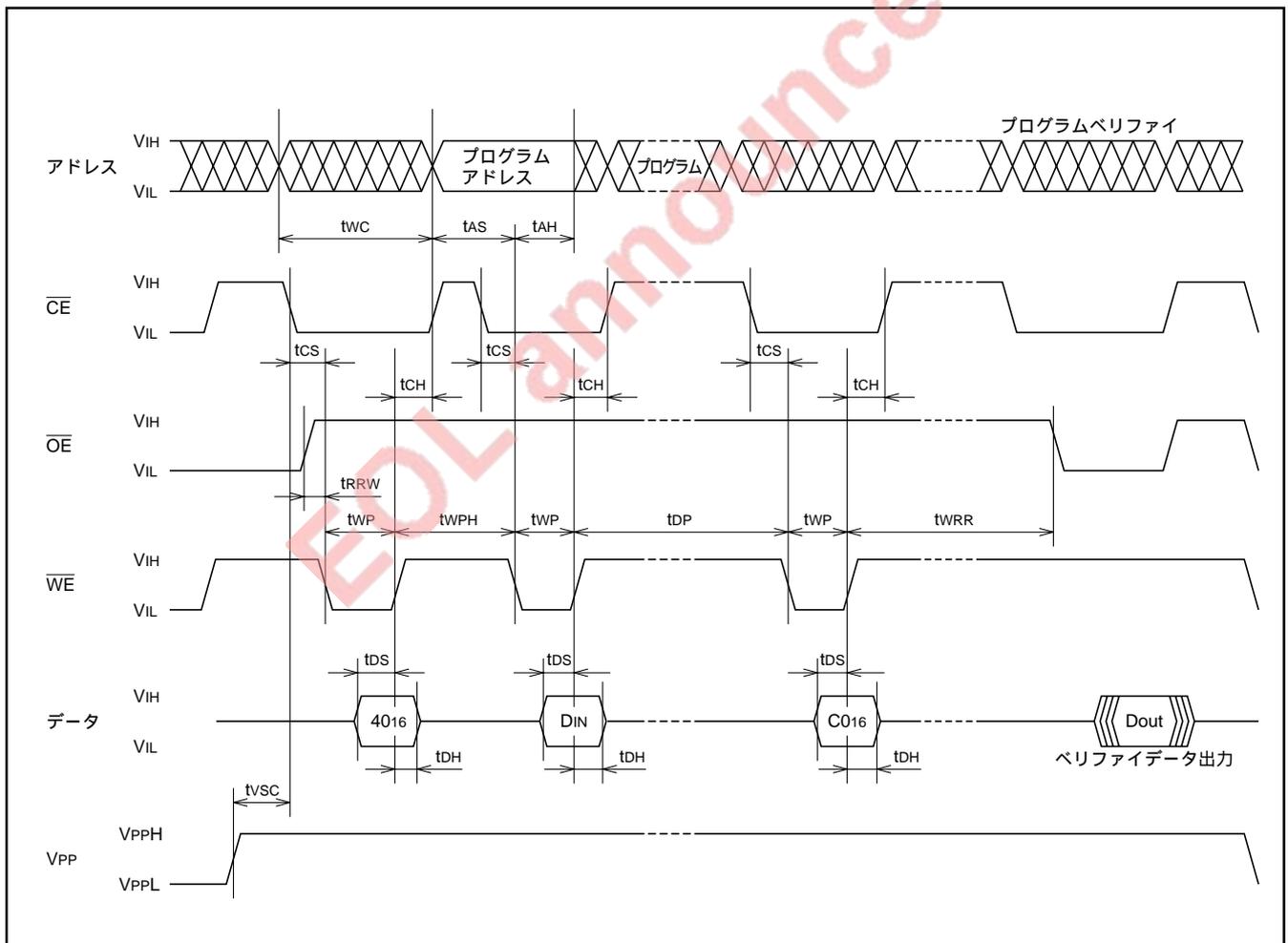


図88. プログラム時のタイミング(ベリファイデータの出力タイミングは、リード時と同じです。)

### ・イレーズコマンド

第一サイクルでコマンドコード“20<sub>16</sub>”を入力した後、再度第二サイクルでコマンドコード“20<sub>16</sub>”を入力するとイレーズコマンドが実行されます。コマンドコードは、第一及び第二サイクルのWE入力の立ち上がりで内部のコマンドラッチにラッチされます。イレーズは、第二サイクルのWE入力の立ち上がりによって開始され、内蔵タイマで測定して9.5ms以内にメモリの内容は一括消去されます。なお、イレーズコマンドの実行前には、すべてのメモリにデータ“00<sub>16</sub>”を書き込む必要があります。

(注)消去は、一度のイレーズコマンドの実行では完了しません。イレーズコマンドの実行後、必ずイレーズベリファイコマンドを実行し、フェイルする場合はパスするまでイレーズコマンドを繰り返し実行する必要があります。イレーズのフローチャートは図90を参照してください。

### ・イレーズベリファイコマンド

イレーズコマンド終了後は、必ずすべてのアドレスの内容をベリファイする必要があります。第一サイクルでベリファイするアドレスとコマンドコード“A0<sub>16</sub>”を入力するとイレーズベリファイモードになります。アドレスはWE入力の立ち下がりで、コマンドコードは立ち上がりで内部にラッチされます。第二サイクルで図89に示すタイミングで制御信号を入力すると、指定したアドレスの内容が外部に出力されます。

(注)イレーズベリファイにおいてイレーズされていないメモリが発見された場合は、再度イレーズ イレーズベリファイの操作を実行してください。ただし、この場合、イレーズ前にデータ“00<sub>16</sub>”を書き込む必要はありません。

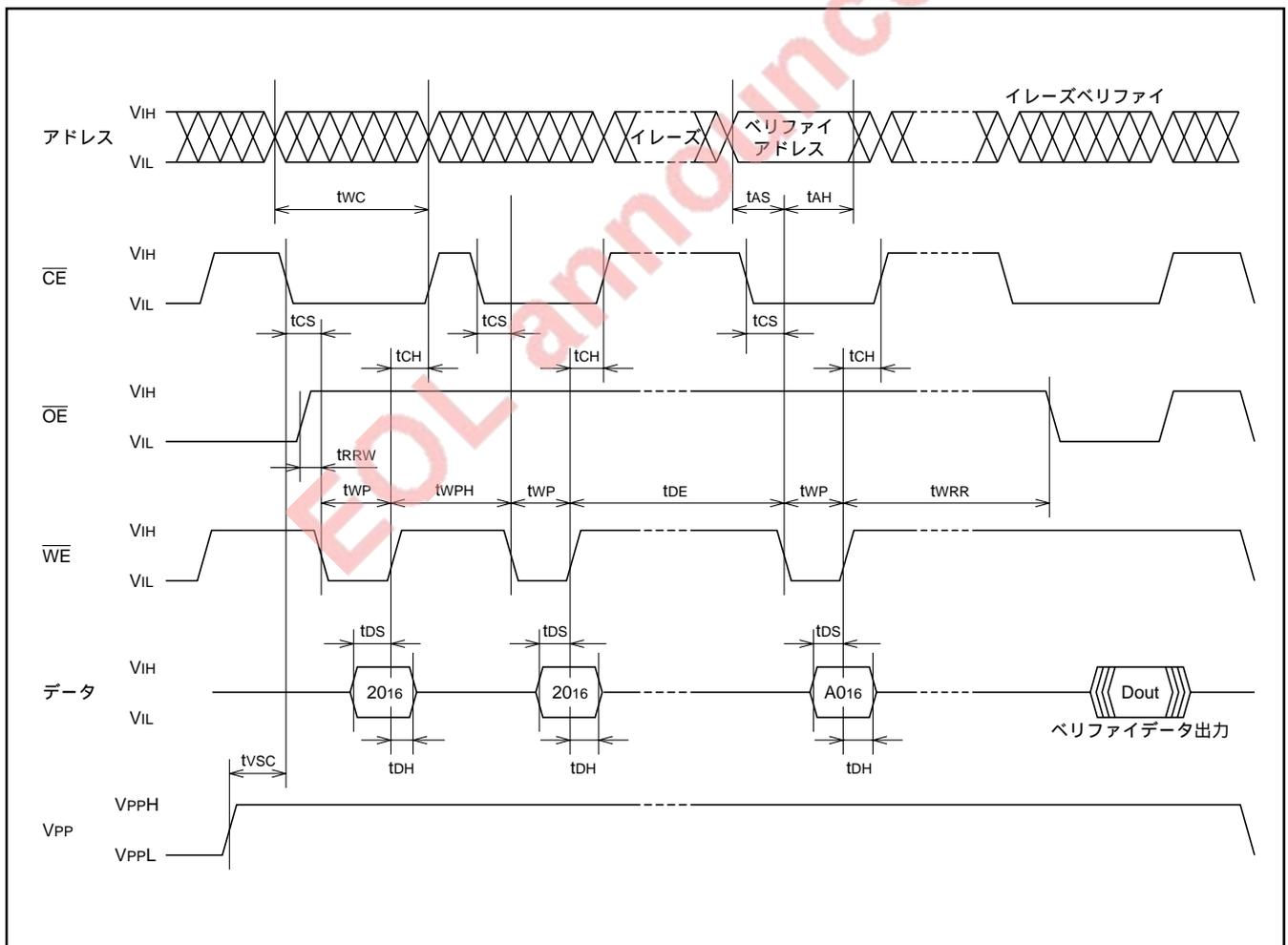


図89. イレーズ時のタイミング(ベリファイデータの出力タイミングは、リード時と同じです。)

・リセットコマンド

リセットコマンドはイレース又はプログラムコマンドを安全に中止するための手段です。第一サイクルでイレース又はプログラムコマンドコードを入力した後、第二サイクルでコマンドコード“FF<sub>16</sub>”を入力し、再度第三サイクルでコマンドコード“FF<sub>16</sub>”を入力すると、イレース又はプログラムコマンドは無効になり(リセットされ)、リードモードになります。リセットコマンドを実行しても、メモリの内容は変わりません。

・デバイス識別コードコマンド

第一サイクルでコマンドコード“90<sub>16</sub>”を入力すると、デバイス識別コードを読み出すことができます。コマンドコードはWE入力の立ち上がりで内部のコマンドラッチにラッチされます。この場合、第二サイクルでアドレス入力端子に“00000<sub>16</sub>”を入力すると製造メーカーコード“1C<sub>16</sub>”(三菱)が“00001<sub>16</sub>”を入力するとデバイスコード“D0<sub>16</sub>”(1Mビットフラッシュメモリ)が読み出されます。

入出力タイミングは、リード時のタイミングと同じです。

EOL announced

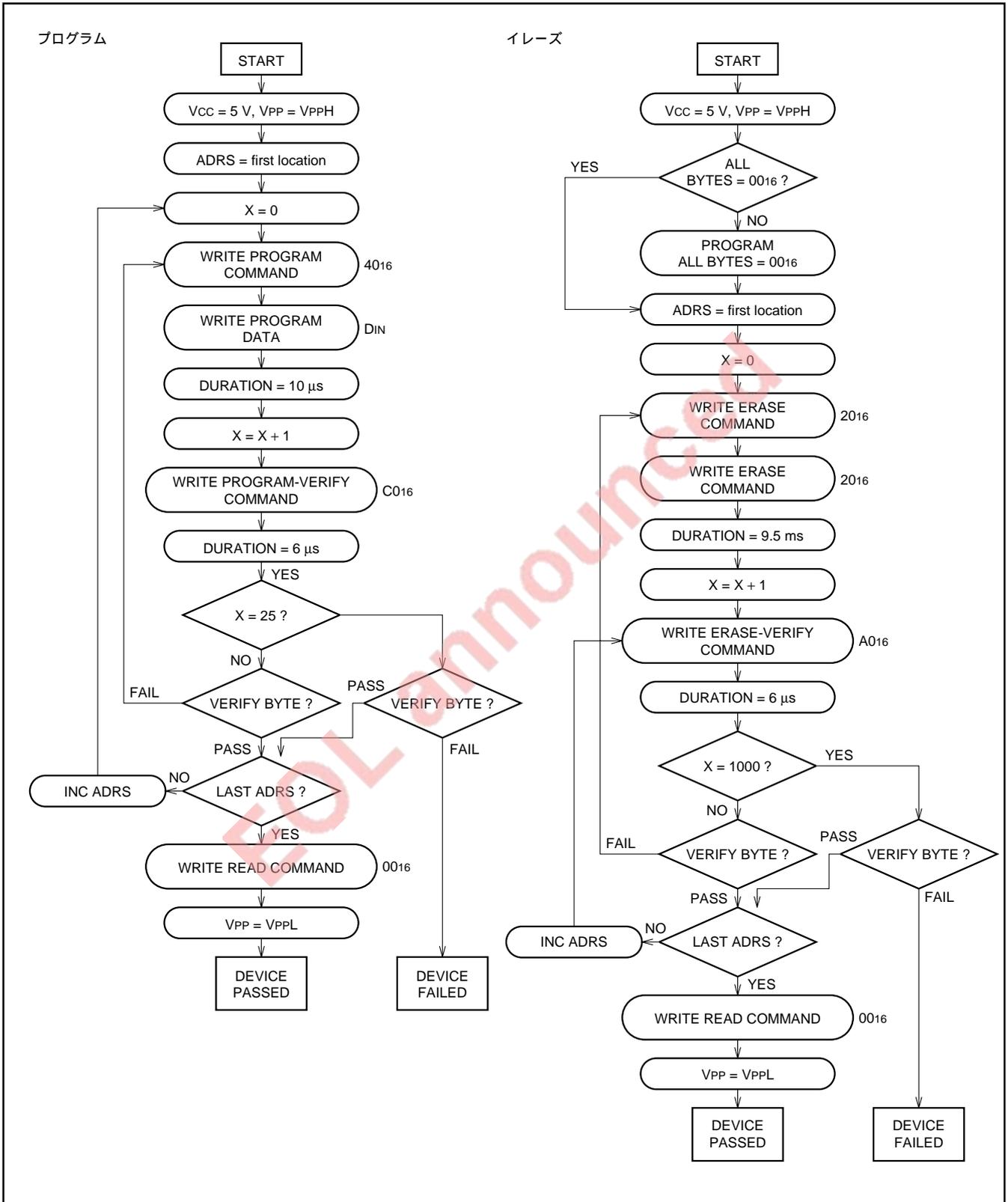


図90 . プログラム, イレーズアルゴリズムフローチャート

# 三菱マイクロコンピュータ 38B7グループ

## SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表16．直流電気的特性 (指定のない場合は,  $T_a = 25$  ,  $V_{CC} = 5V \pm 10\%$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ISB1	VCC電源電流 (スタンバイ時)	$V_{CC} = 5.5V, \overline{CE} = V_{IH}$			1	mA
ISB2		$V_{CC} = 5.5V, \overline{CE} = V_{CC} \pm 0.2V$			100	$\mu A$
ICC1	VCC電源電流 (リード時)	$V_{CC} = 5.5V, \overline{CE} = V_{IL},$ $t_{RC} = 150ns, I_{OUT} = 0mA$			15	mA
ICC2	VCC電源電流 (プログラム時)	$V_{PP} = V_{PPH}$			15	mA
ICC3	VCC電源電流 (イレーズ時)	$V_{PP} = V_{PPH}$			15	mA
IPP1	VPP電源電流 (リード時)	$0 \leq V_{PP} \leq V_{CC}$			10	$\mu A$
		$V_{CC} < V_{PP} \leq V_{CC} + 1.0V$			100	$\mu A$
		$V_{PP} = V_{PPH}$			100	$\mu A$
IPP2	VPP電源電流 (プログラム時)	$V_{PP} = V_{PPH}$			30	mA
IPP3	VPP電源電流 (イレーズ時)	$V_{PP} = V_{PPH}$			30	mA
VIL	“L”入力電圧		0		$0.2V_{CC}$	V
VIH	“H”入力電圧		$0.52V_{CC}$		$V_{CC}$	V
VOH1	“H”出力電圧	$I_{OH} = -400 \mu A$	2.4			V
VOH2		$I_{OH} = -100 \mu A$	$V_{CC} - 0.4$			V
VDDL	VPP電源電圧 (リードオンリー)		$V_{CC}$		$V_{CC} + 1.0$	V
VDDH	VPP電源電圧 (リード/ライト)		11.7	12.0	12.6	V

交流電気的特性 (指定のない場合は,  $T_a = 25$  ,  $V_{CC} = 5V \pm 10\%$ )

表17．リードオンリーモード

記号	項目	規格値		単位
		最小	最大	
tRC	リードサイクル時間	500		ns
t <sub>AD</sub>	アドレスアクセス時間		500	ns
t <sub>CE</sub>	CEアクセス時間		500	ns
t <sub>OE</sub>	OEアクセス時間		200	ns
tCLZ	CE後出力イネーブル時間	0		ns
tOLZ	OE後出力イネーブル時間	0		ns
tDF	OE後出力フローティング時間		70	ns
tDH	CE, OE, アドレス後出力有効時間	0		ns
tWRR	リード前ライトリカバリー時間	6		$\mu s$

表18．リード/ライトモード

記号	項目	規格値		単位
		最小	最大	
tWC	ライトサイクル時間	300		ns
tAS	アドレスセットアップ時間	0		ns
tAH	アドレスホールド時間	120		ns
tDS	データセットアップ時間	100		ns
tDH	データホールド時間	20		ns
tWRR	リード前ライトリカバリー時間	6		$\mu s$
tRRW	ライト前リードリカバリー時間	0		$\mu s$
tCS	CEセットアップ時間	40		ns
tCH	CEホールド時間	0		ns
tWP	ライトパルス幅	120		ns
tWPH	ライトパルス待機時間	40		ns
tDP	プログラム時間	10		$\mu s$
tDE	イレーズ時間	9.5		ms
tVSC	VPPセットアップ時間	1		$\mu s$

注．リード/ライトモード時のリードタイミングは、リードオンリーモード時と同じです。

# 三菱マイクロコンピュータ 38B7グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

## (2)フラッシュメモリモード・2(シリアル入出力モード)

M38B79FFは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレースなど)に必要なソフトウェアコマンド、アドレス、データを、少数の端子を使用してシリアルに入出力する機能(シリアル入出力モード)を持っています。シリアル入出力モードは、図91に示す結線を行い、Vcc端子に電源を投入した後、SDA(シリアルデータ入出力)、SCLK(シリアルクロック入力)及びOE端子を“H”にし、その後VPP

端子にVPPHを印加することによって選択されます。

シリアル入出力モードでは、リード、プログラム、プログラムベリファイ、イレース、イレースベリファイ、エラーチェックの6つのソフトウェアコマンドが使用できます。

シリアル入出力は、クロック同期式、LSBファーストで行います。

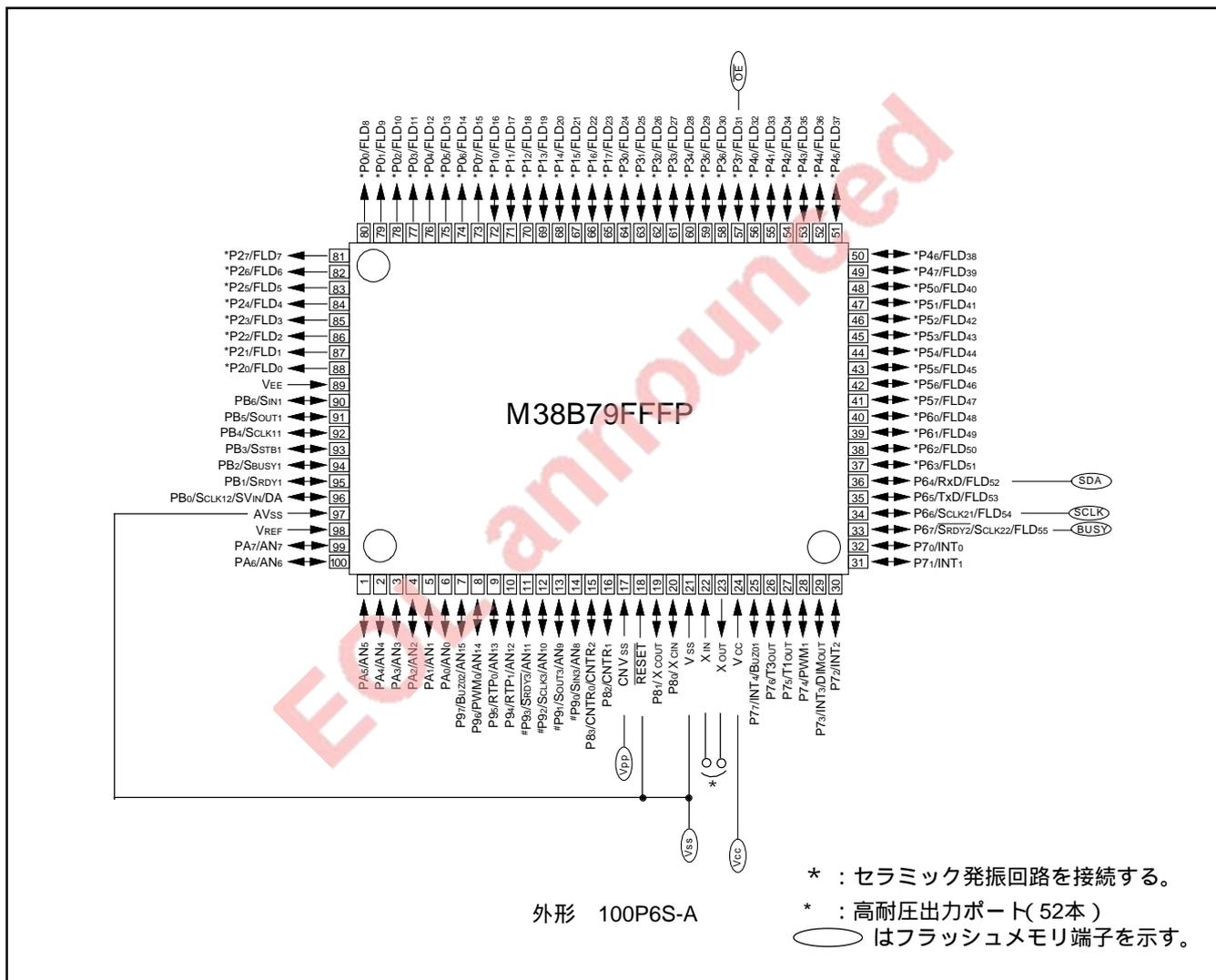


図91 . シリアル入出力モード時の端子結線図( M38B79FF )

表19．端子の機能説明 (フラッシュメモリシリアル入出力モード)

端子名	名称	入出力	機能
Vcc, Vss	電源入力		Vccに5V±10%, Vssに0Vを印加します。
CNVss	VPP入力	入 力	11.7 V ~ 12.6 Vを印加します。
RESET	リセット入力	入 力	Vssに接続してください。
XIN	クロック入力	入 力	XIN, XOUTの間にセラミック共振子を接続します。
XOUT	クロック出力	出 力	XIN, XOUTの間にセラミック共振子を接続します。
AVss	アナログ電源 入力		Vssに接続してください。
VREF	基準電圧入力	入 力	Vss ~ Vcc間の任意のレベルを入力してください。
P00 ~ P07	入力ポート P0	入 力	“H”を入力, “L”を入力, 又は開放してください。
P10 ~ P17	入力ポート P1	入 力	“H”を入力, “L”を入力, 又は開放してください。
P20 ~ P27	入力ポート P2	入 力	“H”を入力, “L”を入力, 又は開放してください。
P30 ~ P36	入力ポート P3	入 力	“H”を入力, “L”を入力, 又は開放してください。
P37	制御入力	入 力	OE入力端子です。
P40 ~ P47	入力ポート P4	入 力	“H”を入力, “L”を入力, 又は開放してください。
P50 ~ P57	入力ポート P5	入 力	“H”を入力, “L”を入力, 又は開放してください。
P60 ~ P63, P65	入力ポート P6	入 力	P60 ~ P63, P65は“H”を入力, “L”を入力, 又は開放してください。
P64	SDA入出力	入出力	シリアルデータの入出力端子です。
P66	SCLK入力	入 力	シリアルクロックの入力端子です。
P67	BUSY出力	出 力	BUSY信号の出力端子です。
P70 ~ P77	入力ポート P7	入 力	“H”を入力, “L”を入力, 又は開放してください。
P80 ~ P83	入力ポート P8	入 力	“H”を入力, “L”を入力, 又は開放してください。
P90 ~ P97	入力ポート P9	入 力	“H”を入力, “L”を入力, 又は開放してください。
PA0 ~ PA7	入力ポート PA	入 力	“H”を入力, “L”を入力, 又は開放してください。
PB0 ~ PB6	入力ポート PB	入 力	“H”を入力, “L”を入力, 又は開放してください。
VEE	プルダウン 電源入力		開放して下さい。

### ●機能概要(シリアル入出力モード)

シリアル入出力モードでは、クロック同期式シリアル入出力形式でデータ転送を行います。入力データはシリアルクロックの立ち上がりで同期してSDA端子から内部に読み込まれ、出力データはシリアルクロックの立ち下がり同期して、SDA端子から出力されます。転送は8ビット単位で行わ

れます。

最初の転送では、コマンドコードを入力します。その後、コマンドの内容に対応して、アドレス入力、データ入出力を行います。表20にシリアル入出力モードにおけるソフトウェアコマンドを示します。以下に、各ソフトウェアコマンドについて説明します。

表20. ソフトウェアコマンド一覧表(シリアル入出力モード)

コマンド	転送回数	第一回 コマンドコード入力	第二回	第三回	第四回
リード		0016	リードアドレスL(入力)	リードアドレスH(入力)	リードデータ(出力)
プログラム		4016	プログラムアドレスL(入力)	プログラムアドレスH(入力)	プログラムデータ(入力)
プログラムベリファイ		C016	ベリファイデータ(出力)		
イレーズ		2016	2016(入力)		
イレーズベリファイ		A016	ベリファイアドレスL(入力)	ベリファイアドレスH(入力)	ベリファイデータ(出力)
エラーチェック		8016	エラーコード(出力)		

### ・リードコマンド

第一回目の転送でコマンドコード“0016”を入力します。続いて、アドレスの下位8ビット、アドレスの上位8ビットを入力し、次に $\overline{OE}$ 端子を“L”にすると、指定したアドレスの内容

がリードされ、内部のデータラッチにラッチされます。 $\overline{OE}$ 端子を“H”に戻し、SCLK端子にシリアルクロックを入力すると、データラッチにラッチされているリードデータがSDA端子からシリアルに出力されます。

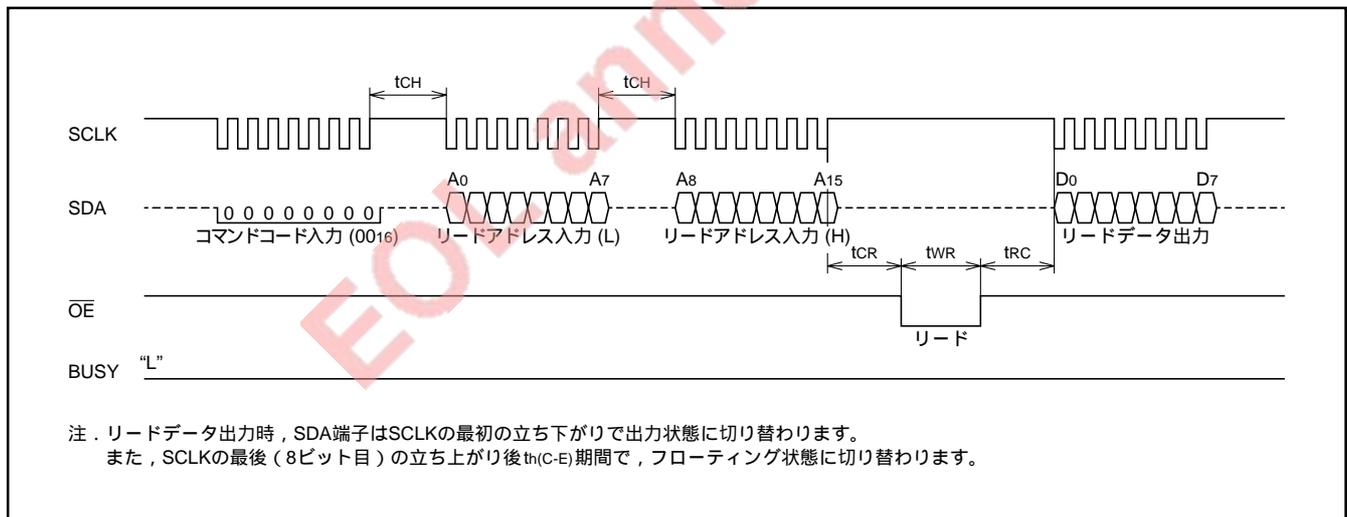


図92. リード時のタイミング

### ・プログラムコマンド

第一回目の転送でコマンドコード“40<sub>16</sub>”を入力します。続いて、アドレスの下位8ビット、アドレスの上位8ビット、及びプログラムデータを入力します。プログラムは、プログラムデータ転送時のシリアルクロックの最後の立ち上がり後開始されます。プログラム実施期間中は、BUSY端子の出力が

“H”になります。内蔵タイマで測定して10 $\mu$ s以内にプログラムは終了し、BUSY端子の出力は“L”になります。

(注)書き込みは、1回のプログラムコマンドの実行では完了しません。プログラムコマンドの実行後、必ずプログラムベリファイコマンドを実行し、フェイルする場合はパスするまでプログラムコマンドを繰り返し実行する必要があります。プログラミングのフローチャートは図90を参照してください。

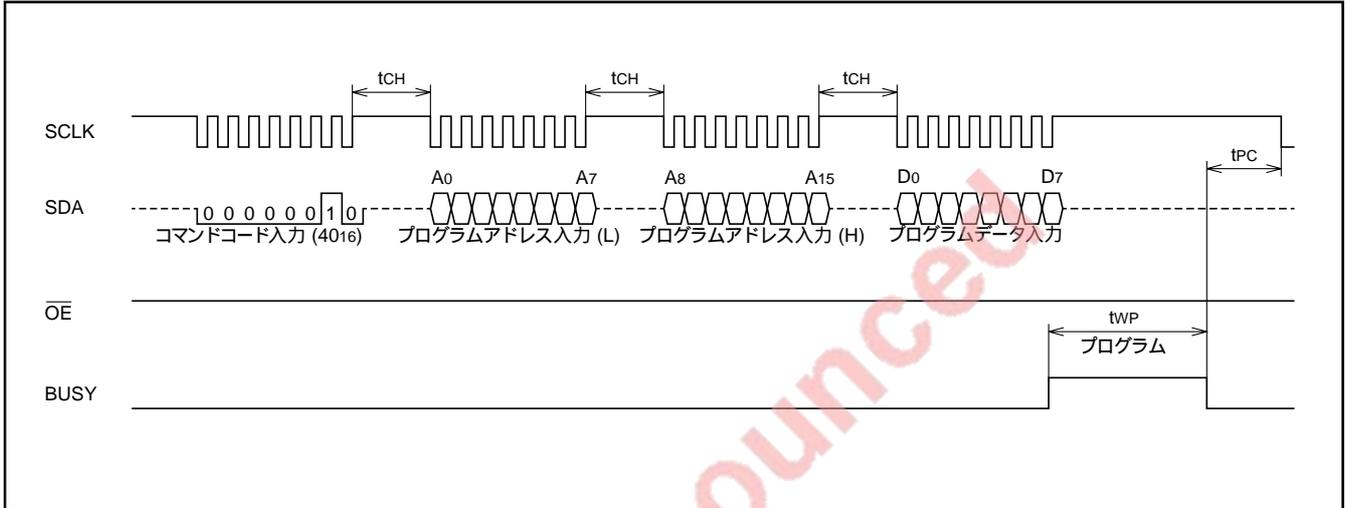
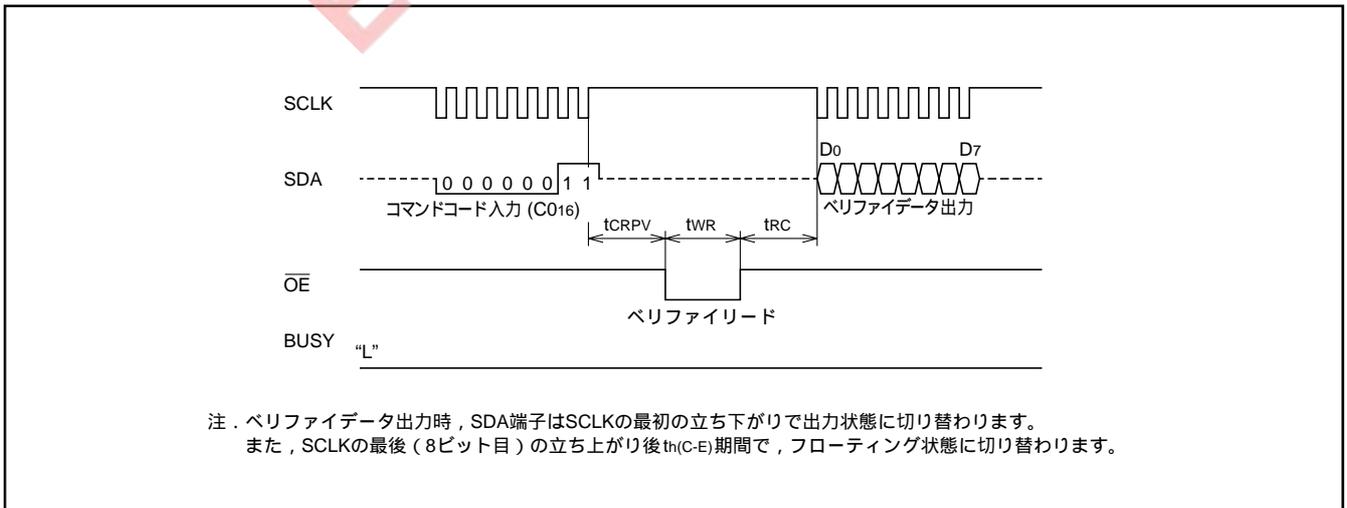


図93．プログラム時のタイミング

### ・プログラムベリファイコマンド

第一回目の転送でコマンドコード“C0<sub>16</sub>”を入力します。続いて、 $\overline{OE}$ 端子を“L”にすると、プログラムされたアドレスの内容がベリファイリードされ、内部のデータラッチにラッチ

されます。 $\overline{OE}$ 端子を“H”に戻し、SCLK端子にシリアルクロックを入力すると、データラッチにラッチされているベリファイデータがSDA端子からシリアルに出力されます。



注．ベリファイデータ出力時、SDA端子はSCLKの最初の立ち下がり後で出力状態に切り替わります。また、SCLKの最後（8ビット目）の立ち上がり後 $t_{h(C-E)}$ 期間で、フローティング状態に切り替わります。

図94．プログラムベリファイ時のタイミング

・イレーズコマンド

第一回目の転送で、コマンドコード“20<sub>16</sub>”を入力した後、再度第二回目の転送でコマンドコード“20<sub>16</sub>”を入力すると、イレーズコマンドが実行されます。イレーズはシリアルクロックの最後の立ち上がり後開始されます。イレーズ期間中は、BUSY端子の出力が“H”になります。内蔵タイマで測定して9.5ms以内にイレーズは終了し、BUSY端子の出力は“L”

になります。

なお、イレーズコマンドの実行前には、すべてのメモリにデータ“00<sub>16</sub>”を書き込む必要があります。

(注)消去は、一度のイレーズコマンドの実行では完了しません。イレーズコマンドの実行後、必ずイレーズベリファイコマンドを実行し、フェイルする場合はパスするまでイレーズコマンドを繰り返し実行する必要があります。イレーズコマンドのフローチャートは図90を参照してください。

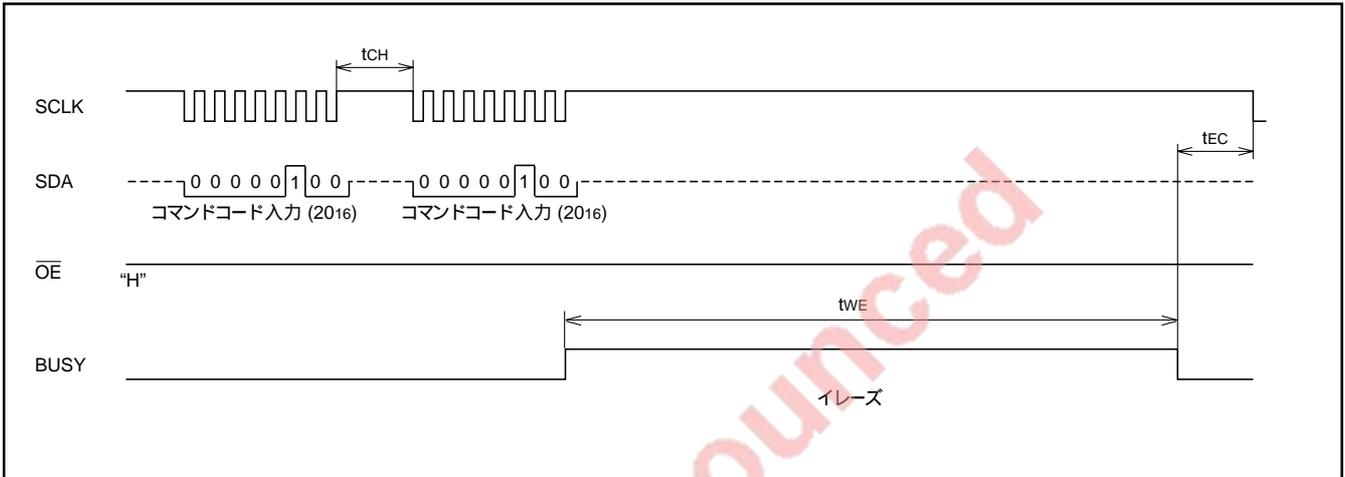


図95 . イレーズ時のタイミング

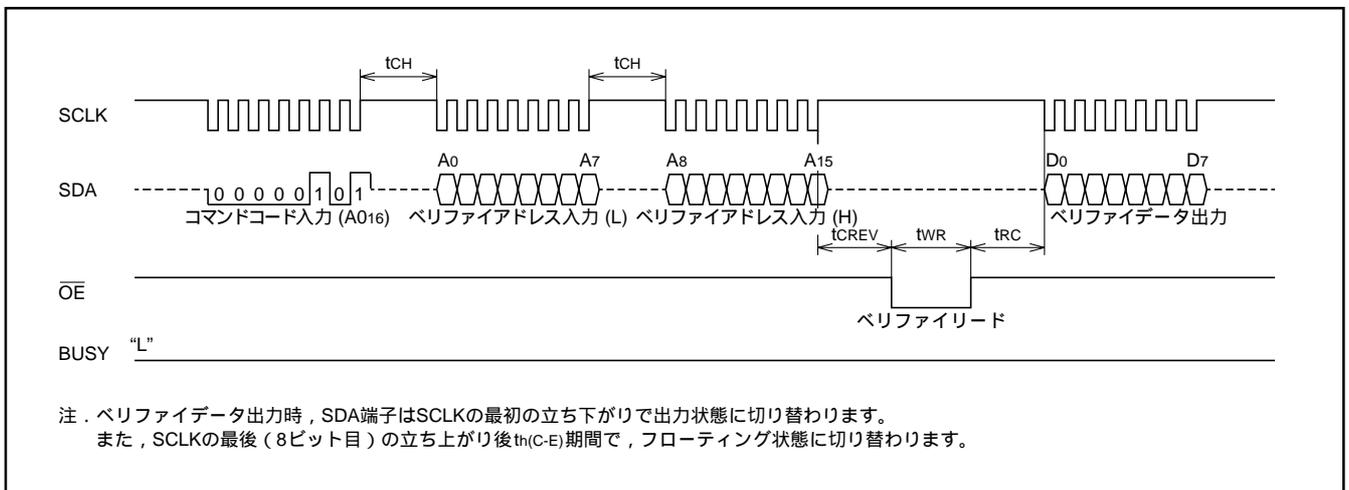
・イレーズベリファイコマンド

イレーズコマンド終了後は、必ずすべてのアドレスの内容をベリファイする必要があります。

第一回目の転送で、コマンドコード“A0<sub>16</sub>”を入力します。続いて、アドレスの下位8ビット、アドレスの上位8ビットを入力し、次にOE端子を“L”にすると、指定したアドレスの内容がベリファイリードされ、内部のデータラッチにラッチさ

れます。OE端子を“H”に戻し、SCLK端子にシリアルクロックを入力すると、データラッチにラッチされているベリファイデータがSDA端子からシリアルに出力されます。

(注)イレーズベリファイにおいてイレーズされていないメモリが発見された場合は、再度イレーズ イレーズベリファイの操作を実行してください。ただし、この場合、イレーズ前にデータ“00<sub>16</sub>”を書き込む必要はありません。



注 . ベリファイデータ出力時、SDA端子はSCLKの最初の立ち下がり で出力状態に切り替わります。  
また、SCLKの最後 (8ビット目) の立ち上がり後 t<sub>h(C-E)</sub> 期間で、フローティング状態に切り替わります。

図96 . イレーズベリファイ時のタイミング

・エラーチェックコマンド

第一回目の転送でコマンドコード“80<sub>16</sub>”を入力すると、次のシリアルクロックの立ち上がりから、SDA端子はエラー情報を出力します。8ビットのエラー情報のうち、最下位ビットが“1”のときはコマンドエラーが発生したことを示しています。コマンドエラーは、表20に示すコマンド以外のコマンドコードが入力されたことを意味します。

シリアル通信回路は、書き込み、消去の誤りを防止するために、コマンドエラーが発生すると、対応するエラーフラグをセットした後、動作を停止し、その後はシリアルクロック及びデータを受け付けません(エラーチェックコマンドも受

け付けられません)。したがって、エラーチェックコマンドを実行する場合は、V<sub>PP</sub>端子の入力を1度V<sub>PP</sub>Lレベルに下げ、シリアル入出力モードを解除した後、再度シリアル入出力モードに設定してください。この操作によってシリアル通信回路はリセットされ、コマンド受付が可能になります。このとき、エラーフラグだけはクリアされませんので、リセット後、最初にエラーチェックコマンドを実行することによって、リセット前のエラーについて知ることができます。なお、エラーフラグは、エラーチェックコマンドを実行することによりクリアされます。電源投入後はエラーフラグは不定ですので、必ずエラーチェックコマンドを実行してください。

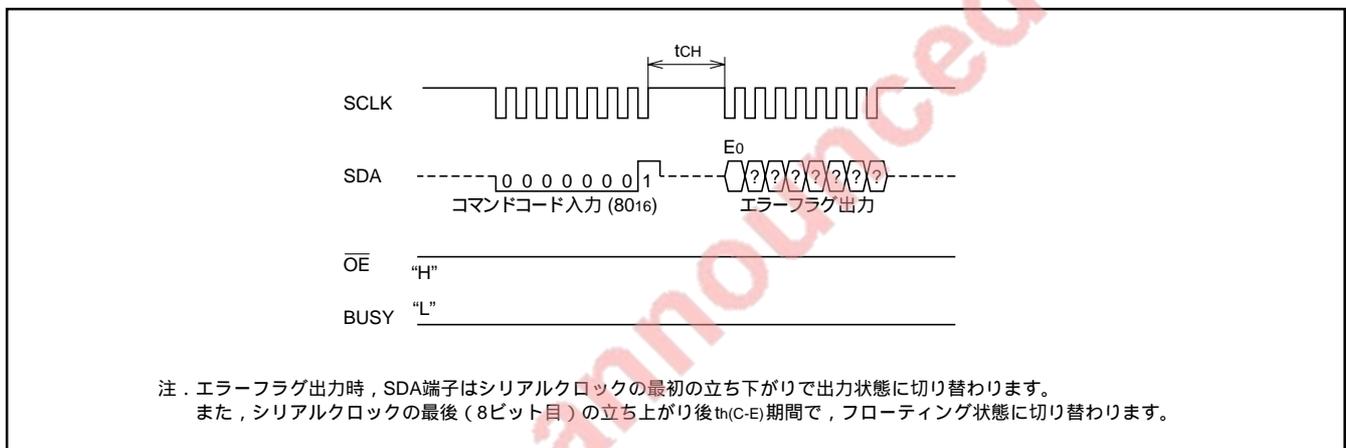


図97．エラーチェック時のタイミング

直流電気的特性 (  $T_a = 25$  ,  $V_{CC} = 5V \pm 10\%$ ,  $V_{PP} = 11.7 \sim 12.6V$  )

リード、プログラム、イレーズ時の $I_{CC}$ ,  $I_{PP}$ 関連規格は、パラレル入出力モードと同じです。

SCLK, SDA, BUSY,  $\bar{OE}$ 端子の $V_{IH}$ ,  $V_{IL}$ ,  $V_{OH}$ ,  $V_{OL}$ ,  $I_{IH}$ ,  $I_{IL}$ 規格はマイコンモードに準じます。

表21 . 交流電気的特性 ( 指定のない場合は,  $T_a = 25$  ,  $V_{CC} = 5V \pm 10\%$ ,  $V_{PP} = 11.7 \sim 12.6V$ ,  $f ( X_{IN} ) = 4MHz$  )

記号	項目	規格値		単位
		最小	最大	
tCH	シリアル転送間隔時間	625 <sup>(注1)</sup>		ns
tCR	転送後リード待ち時間	625 <sup>(注1)</sup>		ns
tWR	リードパルス幅	500 <sup>(注2)</sup>		ns
tRC	リード後転送待ち時間	625 <sup>(注1)</sup>		ns
tCRPV	プログラムベリファイ前待ち時間	6		$\mu s$
tWP	プログラム時間		10	$\mu s$
tPC	プログラム後転送待ち時間	625 <sup>(注1)</sup>		ns
tCREV	イレーズベリファイ前待ち時間	6		$\mu s$
tWE	イレーズ時間		9.5	ms
tEC	イレーズ後転送待ち時間	625 <sup>(注1)</sup>		ns
t $\alpha$ (CK)	SCLK入力サイクル時間	250		ns
tW(CKH)	SCLK " H " パルス幅	100		ns
tW(CKL)	SCLK " L " パルス幅	100		ns
t $r$ (CK)	SCLK立ち上がり時間	20		ns
t $f$ (CK)	SCLK立ち下がり時間	20		ns
t $d$ (C-Q)	SDA出力遅延時間	0	90	ns
t $r$ (C-Q)	SDA出力ホールド時間	0		ns
t $r$ (C-E)	SDA出力ホールド時間 ( 8ビット目のみ )	187.5 <sup>(注3)</sup>	312.5 <sup>(注4)</sup>	ns
t $s_u$ (D-C)	SDA入力セットアップ時間	30		ns
t $r$ (C-D)	SDA入力ホールド時間	90		ns

注1 .  $f ( X_{IN} )$  4MHzの場合は, 式 1) を使用して最小値を計算してください。

$$\text{式 1) : } \frac{2500}{f ( X_{IN} )} \times 10^6$$

2 .  $f ( X_{IN} )$  4MHzの場合は, 式 2) を使用して最小値を計算してください。

$$\text{式 2) : } \frac{2000}{f ( X_{IN} )} \times 10^6$$

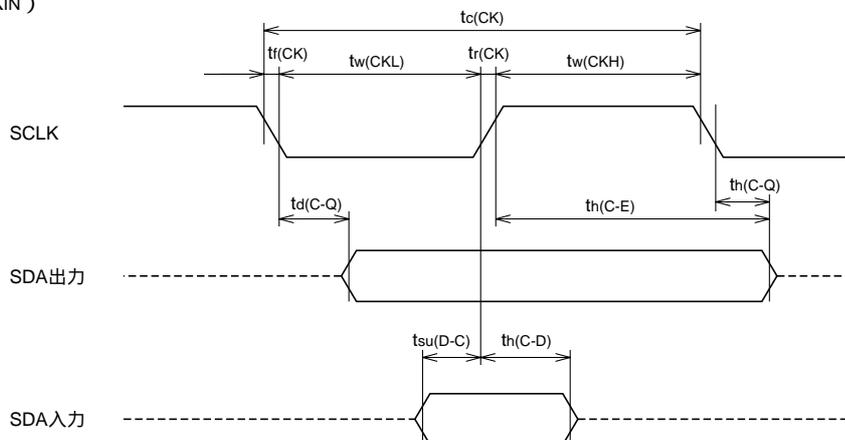
3 .  $f ( X_{IN} )$  4MHzの場合は, 式 3) を使用して最小値を計算してください。

$$\text{式 3) : } \frac{750}{f ( X_{IN} )} \times 10^6$$

4 .  $f ( X_{IN} )$  4MHzの場合は, 式 4) を使用して最大値を計算してください。

$$\text{式 4) : } \frac{1250}{f ( X_{IN} )} \times 10^6$$

タイミング図



測定条件

- ・出力タイミング電圧 :  $V_{OL} = 0.8V$ ,  $V_{OH} = 2.0V$  で判定
- ・入力タイミング電圧 :  $V_{IL} = 0.2V_{CC}$ ,  $V_{IH} = 0.8V_{CC}$  で判定

### (3)フラッシュメモリモード - 3(CPU書き換えモード)

M38B79FFIは、中央演算処理装置(CPU)により、内蔵するフラッシュメモリの操作を行うCPU書き換えモードを持っています。

CPU書き換えモードでは、以下に示すフラッシュメモリ制御レジスタ、フラッシュコマンドレジスタに書き込み、読み出しを行うことにより、フラッシュメモリの操作を行います。

また、CPU書き換えモードでは、CNV<sub>ss</sub>端子をV<sub>PP</sub>電源端子として使用します。この端子には、外部からV<sub>PPH</sub>の電源電圧を印加する必要があります。

#### 機能概要(CPU書き換えモード)

図98、図99にそれぞれフラッシュメモリ制御レジスタ、フラッシュコマンドレジスタのビット構成を示します。

フラッシュメモリ制御レジスタのビット0は、CPU書き換えモード選択ビットで、このビットを“1”とした後、CNV<sub>ss</sub>/V<sub>PP</sub>端子にV<sub>PPH</sub>を印加すると、CPU書き換えモードになります。CPU書き換えモードが成立したかどうかは、ビット2のCPU書き換えモードモニタフラグを読み出すことで判定できます。

ビット1は、イレーズ、プログラム実行中に“1”となるビジーフラグです。イレーズ、プログラムの各コマンドを実行後、このフラグをチェックすることで、これらの動作が完了

したかどうかを判定できます。

ビット4, 5は、イレーズ、プログラム領域選択ビットでイレーズ、プログラムする領域を指定します。このビットで領域を指定した後、イレーズコマンドを実行すると、指定した領域のみイレーズされます。また、指定した領域のみプログラムが可能で、それ以外の領域にはプログラムできません。

図100にCPU書き換えモードでのCPUモードレジスタのビット構成を示します。

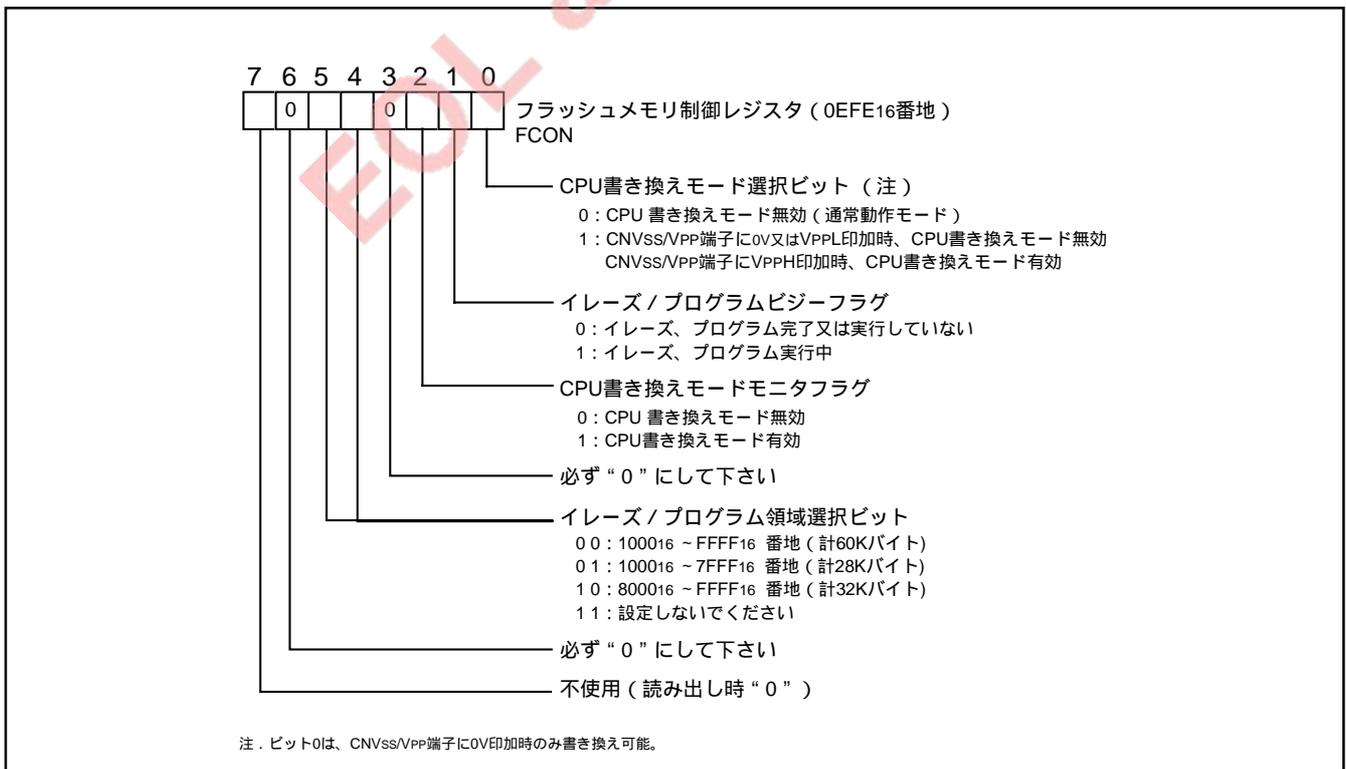


図98 . フラッシュメモリ制御レジスタの構成

### CPU書き換えモードの操作手順

以下にCPU書き換えモードでの操作手順を示します。

#### <開始手順>

- CNV<sub>ss</sub>/V<sub>PP</sub>端子に0Vを印加し、リセット解除する。
- CPUモードレジスタを設定する( 図100参照 )。
- CPU書き換えモード制御プログラムを内蔵RAMに転送した後、RAM上のこの制御プログラムへジャンプする( この制御プログラムで、以下の動作を制御する )。
- CPU書き換えモード選択ビットに“ 1 ”を設定する。
- CNV<sub>ss</sub>/V<sub>PP</sub>端子にV<sub>PPH</sub>を印加する。
- CNV<sub>ss</sub>/V<sub>PP</sub>端子が12Vになるまで待つ。
- CPU書き換えモードモニタフラグを読み出し、CPU書き換えモードが有効になっていることを確認する。
- フラッシュコマンドレジスタへのソフトウェアコマンド書き込みにより、フラッシュメモリの操作を実施する。

(注)これ以外に、フラッシュメモリに書き込むデータを外部(例えばシリアルI/O)から入力するための制御、ポート等の初期設定、ウォッチドッグタイマへの書き込み等が必要です。

#### <解除手順>

- CNV<sub>ss</sub>/V<sub>PP</sub>端子に0Vを印加する。
- CNV<sub>ss</sub>/V<sub>PP</sub>端子が0Vになるまで待つ。
- CPU書き換えモード選択ビットに“ 0 ”を設定する。

以下に各ソフトウェアコマンドについて説明します。

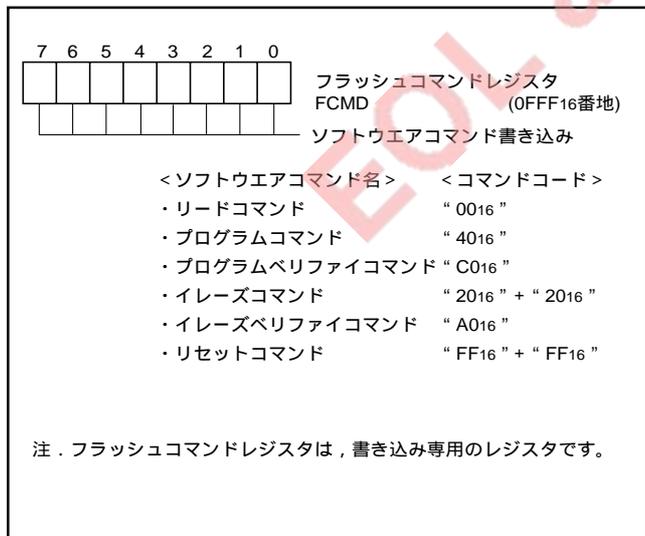


図99 . フラッシュコマンドレジスタのビット構成

### ・リードコマンド

フラッシュコマンドレジスタに“ 00<sub>16</sub> ”を書き込むとリードモードになります。この状態でフラッシュメモリを(例えばLDA命令等で)読み出すと対応する番地の内容が読み出せません。

リードモードは、コマンドレジスタに他のコマンドコードを書き込むまで維持されるので、一旦リードモードに設定した後は、連続してフラッシュメモリの内容を読み出すことができます。なお、リセット後及びリセットコマンド実行後にはリードモードに設定されています。

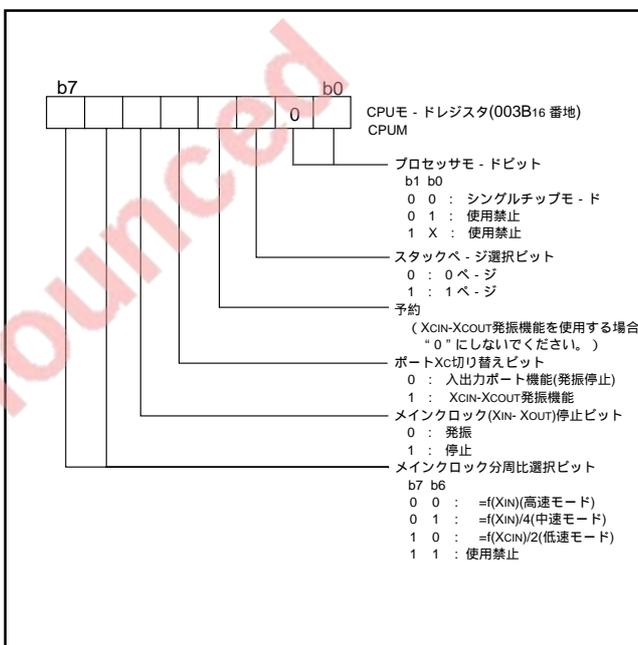


図100 . CPU書き換えモードでのCPUモードレジスタのビット構成

### ・プログラムコマンド

フラッシュコマンドレジスタに“40<sub>16</sub>”を書き込むとプログラムモードになります。続いてプログラムしたい番地にバイトデータを書き込む命令(例えばSTA命令)を実行すると、フラッシュメモリの制御回路はプログラムを実行します。プログラムを開始するとフラッシュメモリ制御レジスタのイレーズ/プログラムビジーフラグが“1”になり、完了すると“0”になります。したがって、書き込み命令実行後CPUはこのビットをポーリングすることによりプログラムの完了を知ることができます。

なお、プログラムする領域は、事前にイレーズ、プログラム領域選択ビットで指定しておく必要があります。

また、プログラム中は、ウォッチドッグタイマは、“FFFF<sub>16</sub>”がセットされた状態で停止します。

(注)書き込みは、一回のプログラムコマンドの実行では完了しません。プログラムコマンドの実行後、必ずプログラムベリファイコマンドを実行し、フェイルする場合はパスするまでプログラムコマンドを繰り返し実行する必要があります。プログラミングのフローチャートは図101を参照してください。

### ・プログラムベリファイコマンド

フラッシュコマンドレジスタに“C0<sub>16</sub>”を書き込むとプログラムベリファイモードになります。続いてベリファイする番地(すなわち先にプログラムした番地)からバイトデータを読み出す命令(例えばLDA命令)を実行すると、実際にその番地に書き込まれている内容が読み出されます。

CPUでこの読み出されたデータと先のプログラムコマンドで書き込んだデータとを比較し、比較した結果、一致していなければ、再度プログラム プログラムベリファイを実行する必要があります。

### ・イレーズコマンド

フラッシュコマンドレジスタに“20<sub>16</sub>”を続けて2回書き込むと、フラッシュメモリの制御回路は、事前にイレーズ、プログラム領域選択ビットで指定した領域についてイレーズを実行します。イレーズを開始するとフラッシュメモリ制御レジスタのイレーズ/プログラムビジーフラグが“1”になり、完

了すると“0”になります。したがって、CPUはこのビットをポーリングすることによりイレーズの完了を知ることができます。

なお、イレーズコマンドの実行前には、必ず全てのイレーズ対象領域にデータ“00<sub>16</sub>”をプログラム及びプログラムベリファイコマンドによって書き込んでおく必要があります。

また、イレーズ中は、ウォッチドッグタイマは、“FFFF<sub>16</sub>”がセットされた状態で停止します。

(注)消去は、一度のイレーズコマンドの実行では完了しません。イレーズコマンドの実行後、必ずイレーズベリファイコマンドを実行し、フェイルする場合はパスするまでイレーズコマンドを繰り返し実行する必要があります。イレーズのフローチャートは図101を参照してください。

### ・イレーズベリファイコマンド

フラッシュコマンドレジスタに“A0<sub>16</sub>”を書き込むとイレーズベリファイモードになります。続いてベリファイする番地に対してバイトリードする命令(例えばLDA命令)を実行すると、その番地の内容が読み出されます。

CPUは、イレーズした全領域に対し、1番地ずつ順次イレーズベリファイしていく必要があります。途中“FF<sub>16</sub>”でない(消去されていない)番地を発見したらイレーズベリファイをそこで中断し、再度イレーズ イレーズベリファイを実行する必要があります。

(注)イレーズベリファイにおいてイレーズされていないメモリが発見された場合は、再度イレーズ イレーズベリファイの操作を実行してください。ただし、この場合、イレーズ前にデータ“00<sub>16</sub>”を書き込む必要はありません。

### ・リセットコマンド

リセットコマンドはプログラム、イレーズコマンドを途中で中止するためのコマンドです。フラッシュコマンドレジスタに“40<sub>16</sub>”、“20<sub>16</sub>”を書き込んだ後、続いてコマンドレジスタに“FF<sub>16</sub>”を2回連続して書き込むと、プログラム、イレーズコマンドは無効になり(リセット)、リードモードになります。リセットコマンドを実行してもメモリの内容は変わりません。

### 直流電気的特性

注. フラッシュメモリ部の特性は、パラレル入出力モードの規格に準じます。

### 交流電気的特性

注. マイコンモードの規格に準じます。

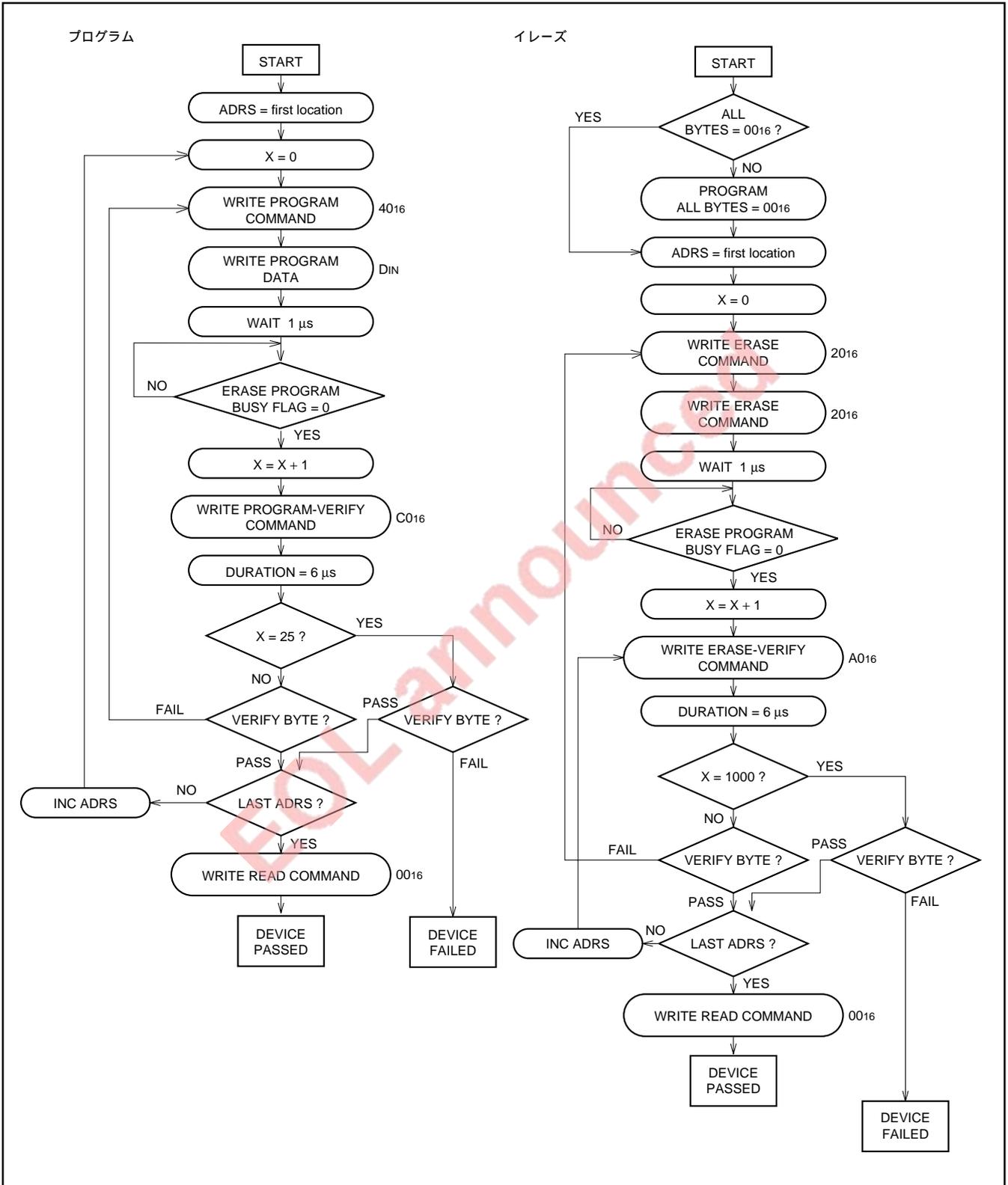


図101 . CPU書き換えモードでのプログラム、イレーズ実行時フローチャート

# 三菱マイクロコンピュータ 38B7グループ

## SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

### 絶対最大定格

記号	項 目	条 件	定 格 値	単位
V <sub>CC</sub>	電源電圧	V <sub>s s</sub> 端子を基準にして測定する。 出力トランジスタは遮断状態。	- 0.3 ~ 6.5	V
V <sub>EE</sub>	プルダウン電源電圧		V <sub>CC</sub> - 45 ~ V <sub>CC</sub> + 0.3	V
V <sub>I</sub>	入力電圧 P64 ~ P67, P80 ~ P83, P70 ~ P77, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6		- 0.3 ~ V <sub>CC</sub> + 0.3	V
V <sub>I</sub>	入力電圧 P10 ~ P17, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63		V <sub>CC</sub> - 45 ~ V <sub>CC</sub> + 0.3	V
V <sub>I</sub>	入力電圧 RESET, X <sub>IN</sub> , CNV <sub>SS</sub>		- 0.3 ~ V <sub>CC</sub> + 0.3	V
V <sub>I</sub>	入力電圧 X <sub>CIN</sub>		- 0.3 ~ V <sub>CC</sub> + 0.3	V
V <sub>O</sub>	出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63		V <sub>CC</sub> - 45 ~ V <sub>CC</sub> + 0.3	V
V <sub>O</sub>	出力電圧 P64 ~ P67, P80 ~ P83, P70 ~ P77, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6, X <sub>OUT</sub> , X <sub>COU</sub> T		- 0.3 ~ V <sub>CC</sub> + 0.3	V
P <sub>d</sub>	消費電力		T <sub>a</sub> = - 20 ~ 65	800
		T <sub>a</sub> = 65 ~ 85	800 - 12.5 × (T <sub>a</sub> - 65)	mW
T <sub>opr</sub>	動作周囲温度		- 20 ~ 85	
T <sub>stg</sub>	保存温度		- 40 ~ 125	

推奨動作条件( 指定のない場合は、V<sub>CC</sub> = 4.0 ~ 5.5V、T<sub>a</sub> = - 20 ~ 85 )

記号	項 目	規 格 値			単位	
		最 小	標 準	最 大		
V <sub>CC</sub>	電源電圧 (マスクROM版)	高速モード時	4.0	5.0	5.5	V
		中速 / 低速モード時	2.7	5.0	5.5	V
V <sub>CC</sub>	電源電圧 (フラッシュメモリ版)	4.0	5.0	5.5	V	
V <sub>SS</sub>	電源電圧		0		V	
V <sub>EE</sub>	プルダウン電源電圧	V <sub>CC</sub> - 43		V <sub>CC</sub>	V	
V <sub>REF</sub>	アナログ基準電圧	A - D変換器使用時	2.0		V <sub>CC</sub>	V
		D - A変換器使用時	3.0		V <sub>CC</sub>	V
A V <sub>SS</sub>	アナログ電源電圧		0		V	
V <sub>IA</sub>	アナログ入力電圧 A <sub>N0</sub> ~ A <sub>N15</sub>	0		V <sub>CC</sub>	V	
V <sub>IH</sub>	" H "入力電圧 P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6	0.75V <sub>CC</sub>		V <sub>CC</sub>	V	
V <sub>IH</sub>	" H "入力電圧 P64 ~ P67	0.4V <sub>CC</sub>		V <sub>CC</sub>	V	
V <sub>IH</sub>	" H "入力電圧 P10 ~ P17, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63	0.52V <sub>CC</sub>		V <sub>CC</sub>	V	
V <sub>IH</sub>	" H "入力電圧 RxD, SCLK21, SCLK22	0.8V <sub>CC</sub>		V <sub>CC</sub>	V	
V <sub>IH</sub>	" H "入力電圧 X <sub>IN</sub> , X <sub>CIN</sub> , RESET, CNV <sub>SS</sub>	0.8V <sub>CC</sub>		V <sub>CC</sub>	V	
V <sub>IL</sub>	" L "入力電圧 P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6	0		0.25V <sub>CC</sub>	V	
V <sub>IL</sub>	" L "入力電圧 P64 ~ P67	0		0.16V <sub>CC</sub>	V	
V <sub>IL</sub>	" L "入力電圧 P10 ~ P17, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63	0		0.2V <sub>CC</sub>	V	
V <sub>IL</sub>	" L "入力電圧 RxD, SCLK21, SCLK22	0		0.2V <sub>CC</sub>	V	
V <sub>IL</sub>	" L "入力電圧 X <sub>IN</sub> , X <sub>CIN</sub> , RESET, CNV <sub>SS</sub>	0		0.2V <sub>CC</sub>	V	

# 三菱マイクロコンピュータ 38B7グループ

## SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

推奨動作条件(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $T_a = -20 \sim 85$  )

記号	項目	規格値			単位
		最小	標準	最大	
I OH ( peak )	“ H ”出力総尖頭電流(注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77			- 240	m A
I OH ( peak )	“ H ”出力総尖頭電流(注1) P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			- 60	m A
I OL ( peak )	“ L ”出力総尖頭電流(注1) P64 ~ P67, P70 ~ P77			100	m A
I OL ( peak )	“ L ”出力総尖頭電流(注1) P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			60	m A
I OH ( avg )	“ H ”出力総平均電流(注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63			- 120	m A
I OH ( avg )	“ H ”出力総平均電流(注1) P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			- 30	m A
I OL ( avg )	“ L ”出力総平均電流(注1) P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			50	m A
I OH ( peak )	“ H ”出力尖頭電流(注2) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63			- 40	m A
I OH ( peak )	“ H ”出力尖頭電流(注2) P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			- 10	m A
I OL ( peak )	“ L ”出力尖頭電流(注2) P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			10	m A
I OH ( avg )	“ H ”出力平均電流(注3) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P63			- 18	m A
I OH ( avg )	“ H ”出力平均電流(注3) P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			- 5	m A
I OL ( avg )	“ L ”出力平均電流(注3) P64 ~ P67, P70 ~ P77, P80 ~ P83, P90 ~ P97, PA0 ~ PA7, PB0 ~ PB6			5	m A
f ( CNTR )	タイマ2, 4, Xカウント用クロック入力 周波数( デューティ50%時 )			250	k H z
f ( XIN )	メインクロック入力発振周波数(注4)			4.2	M H z
f ( XCIN )	サブクロック入力発振周波数(注4,5)		32.768	50	k H z

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 出力平均電流は、100msの期間内での平均値です。

4. 発振周波数はデューティ50%の場合です。

5. 低速モードを使用する場合、サブクロック入力発振周波数は  $f(XCIN) < f(XIN)/3$  としてください。

# 三菱マイクロコンピュータ 38B7グループ

## SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

電気的特性(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $T_a = -20 \sim 85$  )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{OH}$	"H"出力電圧 P00~P07,P10~P17,P20~P27, P30~P37,P40~P47,P50~P57,P60~P63	$I_{OH} = -18mA$	$V_{CC} - 2.0$			V
$V_{OH}$	"H"出力電圧 P64~P67,P70~P77,P80~P83, P90~P97,PA0~PA7,PB0~PB6	$I_{OH} = -10mA$	$V_{CC} - 2.0$			V
$V_{OL}$	"L"出力電圧 P64~P67,P70~P77,P80~P83, P90~P97,PA0~PA7,PB0~PB6	$I_{OL} = 10mA$			2.0	V
$V_{T+} - V_{T-}$	ヒステリシス RXD,SCLK21,SCLK22,SRDY1, P70~P73,P77,P82~P83, P90~P92,PB0,PB2,PB4~PB6			0.4		V
$V_{T+} - V_{T-}$	ヒステリシス RESET,XIN			0.5		V
$V_{T+} - V_{T-}$	ヒステリシス XCIN			0.5		V
$I_{IH}$	"H"入力電流 P64~P67,P70~P77,P80~P83, P90~P97,PA0~PA7,PB0~PB6	$V_I = V_{CC}$			5.0	$\mu A$
$I_{IH}$	"H"入力電流(注) P10~P17,P30~P37,P40~P47, P50~P57,P60~P63	$V_I = V_{CC}$			5.0	$\mu A$
$I_{IH}$	"H"入力電流 RESET,CNVSS,XCIN	$V_I = V_{CC}$			5.0	$\mu A$
$I_{IH}$	"H"入力電流 XIN	$V_I = V_{CC}$		4.0		$\mu A$
$I_{IL}$	"L"入力電流 P64~P67,P70~P77,P80~P83, P90~P97,PA0~PA7,PB0~PB6	$V_I = V_{SS}$ プルアップOFF			-5.0	$\mu A$
		$V_{CC} = 5V, V_I = V_{SS}$ プルアップON	-30	-70	-140	$\mu A$
		$V_{CC} = 3V, V_I = V_{SS}$ プルアップON	-6.0	-25	-45	$\mu A$
$I_{IL}$	"L"入力電流(注) P10~P17,P30~P37,P40~P47, P50~P57,P60~P63	$V_I = V_{SS}$			-5.0	$\mu A$
$I_{IL}$	"L"入力電流 RESET,CNVSS,XCIN	$V_I = V_{SS}$			-5.0	$\mu A$
$I_{IL}$	"L"入力電流 XIN	$V_I = V_{SS}$		-4.0		$\mu A$

注. ボートP1、P3、P4、P5、P6読み込み時を除く。

# 三菱マイクロコンピュータ 38B7グループ

## SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

電気的特性(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $T_a = -20 \sim 85$  )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I <sub>LOAD</sub>	出力ロード電流 P00~P07,P10~P17, P20~P27,P30~P37 ( $\phi^{\circ}$ の時 P40~P47, P50~P57,P60~P63)	$V_{EE} = V_{CC} - 43V$ 、 $V_{OL} = V_{CC}$ 出力トランジスタは遮断状態	400	600	900	$\mu A$
I <sub>LEAK</sub>	出力リーク電流 P00~P07,P10~P17, P20~P27,P30~P37, P40~P47,P50~P57, P60~P63	$V_{EE} = V_{CC} - 43V$ 、 $V_{OL} = V_{CC} - 43V$ 出力トランジスタは遮断状態			- 10	$\mu A$
I <sub>READH</sub>	"H"読み込み電流 P10~P17,P30~P37, P40~P47,P50~P57, P60~P63	$V_i = 5V$		1		$\mu A$
V <sub>RAM</sub>	RAM保持電圧	クロック停止時	2		5.5	V
I <sub>CC</sub>	電源電流	高速モード時、 $V_{CC} = 5V$ $f(XIN) = 4.2MHz$ $f(XCIN) = 32.768kHz$ 出力トランジスタは遮断状態		7.0	15	$mA$
		高速モード時、 $V_{CC} = 5V$ $f(XIN) = 4.2MHz$ (WIT命令実行時) $f(XCIN) = 32.768kHz$ 出力トランジスタは遮断状態		1		$mA$
		中速モード時、 $V_{CC} = 5V$ $f(XIN) = 4.2MHz$ $f(XCIN) = 停止$ 出力トランジスタは遮断状態		3		$mA$
		中速モード時、 $V_{CC} = 5V$ $f(XIN) = 4.2MHz$ (WIT命令実行時) $f(XCIN) = 停止$ 出力トランジスタは遮断状態		1		$mA$
		低速モード時、 $V_{CC} = 3V$ 、 $f(XIN) = 停止$ $f(XCIN) = 32.768kHz$ 出力トランジスタは遮断状態		20	55	$\mu A$
		低速モード時、 $V_{CC} = 3V$ 、 $f(XIN) = 停止$ $f(XCIN) = 32.768kHz$ (WIT命令実行時) 出力トランジスタは遮断状態		8	20	$\mu A$
		A-D変換器動作時の増量		0.6		$mA$
		発振はすべて停止 (STP命令実行時) 出力トランジスタは 遮断状態	$T_a = 25$		0.1	1
	$T_a = 85$			10	$\mu A$	

# 三菱マイクロコンピュータ 38B7グループ

## SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

### A-D変換器特性

(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim 85$ 、高速モード時  $f(X_{IN}) = 250kHz \sim 4.2MHz$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
————	分解能				10	Bits
————	絶対精度(量子化誤差は除く)	$V_{CC} = V_{REF} = 5.12V$		$\pm 1$	$\pm 2.5$	LSB
$T_{conv}$	変換時間		61		62	$t(\phi)$
$I_{VREF}$	基準入力電流	$V_{REF} = 5V$	50	150	200	$\mu A$
$I_{IA}$	アナログポート入力電流			0.5	5.0	$\mu A$
RLADDER	ラダー抵抗			35		k

### D-A変換器特性

(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $V_{REF} = 3.0 \sim V_{CC}$ 、 $T_a = -20 \sim 85$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
————	分解能				8	Bits
————	絶対精度(量子化誤差は除く)	$V_{CC} = 4.0 \sim 5.5V$			1.0	%
		$V_{CC} = 3.0 \sim 5.5V$			2.5	%
$t_{su}$	設定時間				3	$\mu s$
RO	出力抵抗		1	2.5	4	k
$I_{VREF}$	基準電源入力電流 (注)				3.2	mA

注．A-D変換器ラダー抵抗分は除きます。

# 三菱マイクロコンピュータ 38B7グループ

## SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

### タイミング必要条件

(指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = - 20 ~ 85 )

記号	項目	規格値			単位
		最小	標準	最大	
t w(RESET)	リセット入力 L ンパルス幅	2.0			μ s
t c(XIN)	メインクロック入力サイクル時間(XIN入力)	238			n s
t WH(XIN)	メインクロック入力 H ンパルス幅	60			n s
t WL(XIN)	メインクロック入力 L ンパルス幅	60			n s
t c(XCIN)	サブクロック入力サイクル時間(XCIN入力)	20			μ s
t WH(XCIN)	サブクロック入力 H ンパルス幅	5.0			μ s
t WL(XCIN)	サブクロック入力 L ンパルス幅	5.0			μ s
t c(CNTR)	C N T R 0 ~ C N T R 2 入力サイクル時間	4.0			μ s
t WH(CNTR)	C N T R 0 ~ C N T R 2 入力 H ンパルス幅	1.6			μ s
t WL(CNTR)	C N T R 0 ~ C N T R 2 入力 L ンパルス幅	1.6			μ s
t WH(INT)	I N T 0 ~ I N T 4 入力 H ンパルス幅(INT2/イ`フィルタ未使用時) (注)	80			n s
t WL(INT)	I N T 0 ~ I N T 4 入力 L ンパルス幅(INT2/イ`フィルタ未使用時) (注)	80			n s
t WH(INT2)	I N T 2 入力 H ンパルス幅(イ`フィルタ使用時) (注)	3			CLKs
t WL(INT2)	I N T 2 入力 L ンパルス幅(イ`フィルタ使用時) (注)	3			CLKs
t c(SCLK1)	シリアル I / O 1 クロック入力サイクル時間	950			n s
t WH(SCLK1)	シリアル I / O 1 クロック入力 H ンパルス幅	400			n s
t WL(SCLK1)	シリアル I / O 1 クロック入力 L ンパルス幅	400			n s
t su(SIN1-SCLK1)	シリアル I / O 1 入力セットアップ時間	200			n s
t h(SCLK1-SIN1)	シリアル I / O 1 入力ホールド時間	200			n s
t c(SCLK2)	シリアル I / O 2 クロック入力サイクル時間	800			n s
t WH(SCLK2)	シリアル I / O 2 クロック入力 H ンパルス幅	370			n s
t WL(SCLK2)	シリアル I / O 2 クロック入力 L ンパルス幅	370			n s
t su(RxD-SCLK2)	シリアル I / O 2 入力セットアップ時間	220			n s
t h(SCLK2-RxD)	シリアル I / O 2 入力ホールド時間	100			n s
t c(SCLK3)	シリアル I / O 3 クロック入力サイクル時間	1000			n s
t WH(SCLK3)	シリアル I / O 3 クロック入力 H ンパルス幅	400			n s
t WL(SCLK3)	シリアル I / O 3 クロック入力 L ンパルス幅	400			n s
t su(SIN3-SCLK3)	シリアル I / O 3 入力セットアップ時間	200			n s
t h(SCLK3-SIN3)	シリアル I / O 3 入力ホールド時間	200			n s

注 . ノイズフィルタ未使用時 (IIDCON2, IIDCON3 = " 00 ")  
 ノイズフィルタ使用時 (IIDCON2, IIDCON3 = " 01 " 又は " 10 ")  
 単位は、ノイズフィルタのサンプルクロック数を示します。

スイッチング特性

(指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim 85$  )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{WH}(SCLK)$	シリアルI/O出力 “H”レベル幅	$C_L = 100\text{ pF}$	$t_c(SCLK) / 2$ - 160			ns
$t_{WL}(SCLK)$	シリアルI/O出力 “L”レベル幅	$C_L = 100\text{ pF}$	$t_c(SCLK) / 2$ - 160			ns
$t_d(SCLK1-SOUT1)$	シリアルI/O 1 出力 遅延時間 (注1)				200	ns
$t_v(SCLK1-SOUT1)$	シリアルI/O 1 出力 有効時間 (注1)		0			ns
$t_d(SCLK2-TxD)$	シリアルI/O 2 出力 遅延時間 (注2)				140	ns
$t_v(SCLK2-TxD)$	シリアルI/O 2 出力 有効時間 (注2)		-30			ns
$t_d(SCLK3-SOUT3)$	シリアルI/O 3 出力 遅延時間 (注3)				200	ns
$t_v(SCLK3-SOUT3)$	シリアルI/O 3 出力 有効時間 (注3)		0			ns
$t_r(SCLK)$	シリアルI/O出力 立ち上がり時間	$C_L = 100\text{ pF}$			40	ns
$t_f(SCLK)$	シリアルI/O出力 立ち下がり時間	$C_L = 100\text{ pF}$			40	ns
$t_r(Pch-strg)$	Pチャネル高耐圧出力 立ち上がり時間 (注4)	$C_L = 100\text{ pF}$ $V_{EE} = V_{CC} - 43V$		55		ns
$t_r(Pch-weak)$	Pチャネル高耐圧出力 立ち上がり時間 (注5)	$C_L = 100\text{ pF}$ $V_{EE} = V_{CC} - 43V$		1.8		$\mu s$

- 注1. シリアルI/O 1 制御レジスタのPB5/SOUT1 Pチャネル出力禁止ビット(001A16番地のビット7)が“0”の場合です。  
 2. UART制御レジスタのP65/TxD Pチャネル出力禁止ビット(003816番地のビット4)が“0”の場合です。  
 3. シリアルI/O 3 制御レジスタのP91/SOUT3 Pチャネル出力禁止ビット(0EEC16番地のビット7)が“0”の場合です。  
 4. F L D Cモードレジスタ(0EF416番地)のビット7が“0”の場合  
 5. F L D Cモードレジスタ(0EF416番地)のビット7が“1”の場合

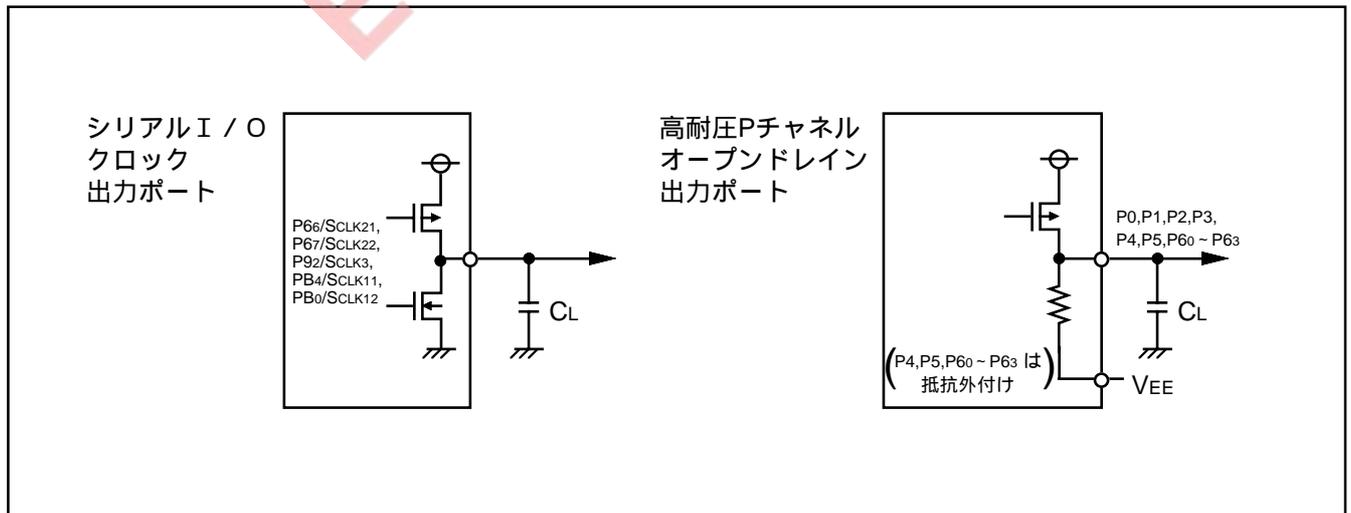


図102. 出力スイッチング特性測定回路図

タイミング図

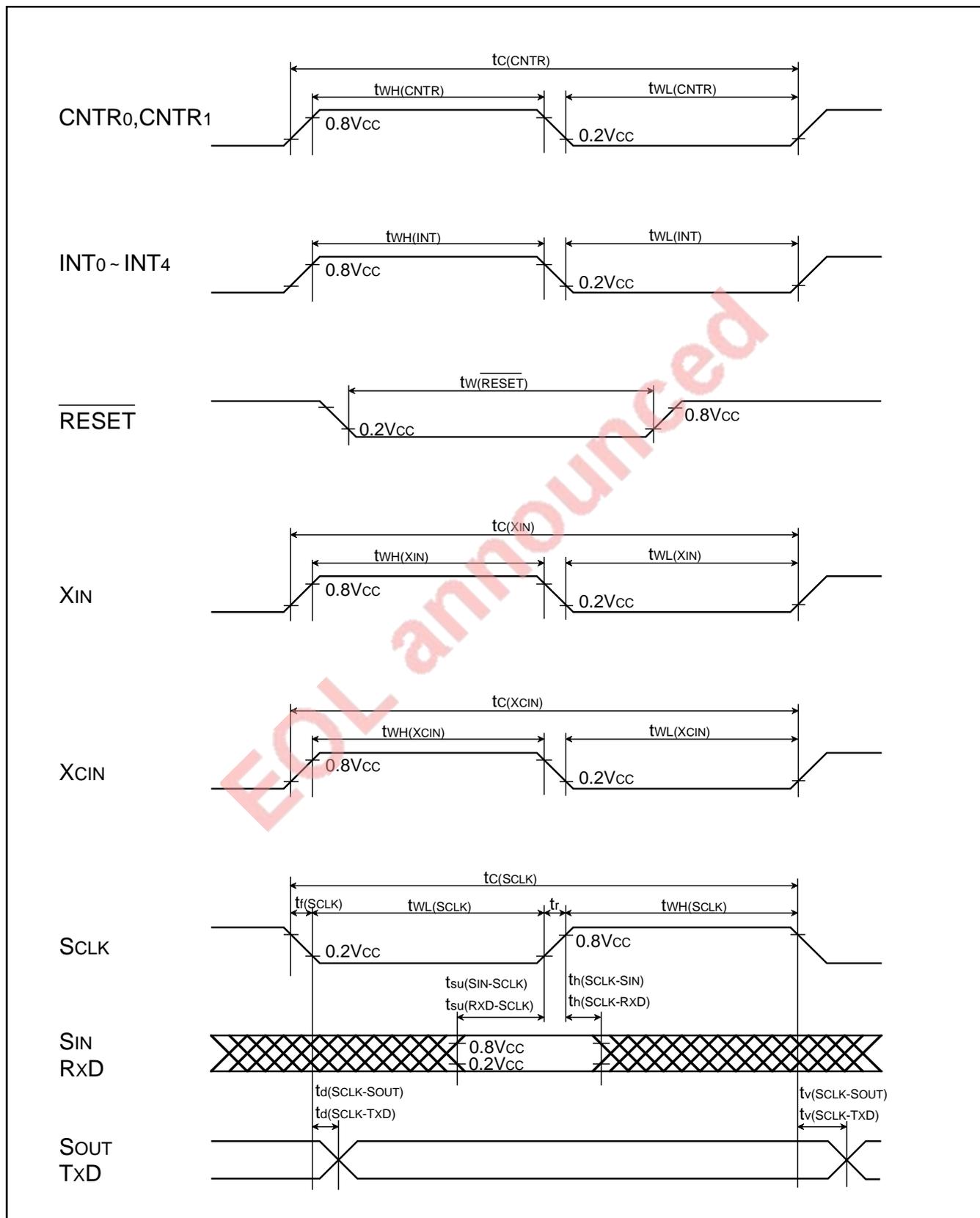


図103 . タイミング図

開発中

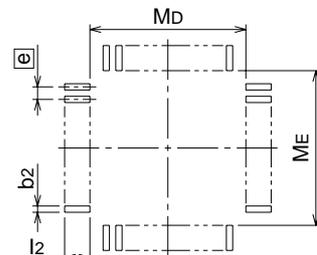
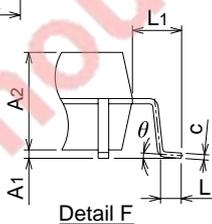
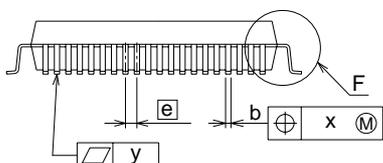
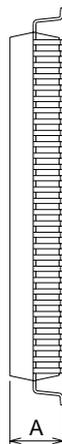
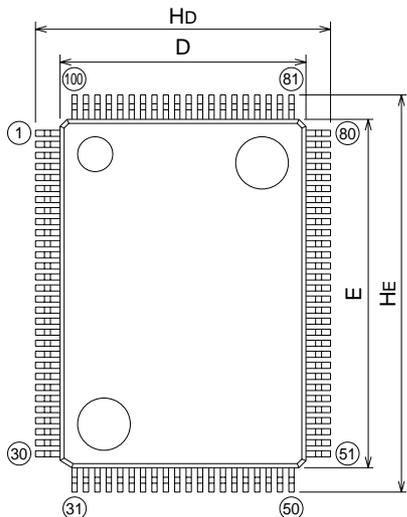
SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

パッケージ外形図

100P6S-A

Plastic 100pin 14X20mm body QFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP100-P-1420-0.65	-	1.58	Alloy 42



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	3.05
A1	0	0.1	0.2
A2	-	2.8	-
b	0.25	0.3	0.4
c	0.13	0.15	0.2
D	13.8	14.0	14.2
E	19.8	20.0	20.2
e	-	0.65	-
HD	16.5	16.8	17.1
HE	22.5	22.8	23.1
L	0.4	0.6	0.8
L1	-	1.4	-
x	-	-	0.13
y	-	-	0.1
theta	0°	-	10°
b2	-	0.35	-
l2	1.3	-	-
MD	-	14.6	-
ME	-	20.6	-

株式会社ルネサステクノロジー 東京都千代田区大手町 2-6-2 〒100-0004

安全設計に関するお願い  
 ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項  
 ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。  
 ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。  
 ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (<http://www.semicon.melco.co.jp/>) などを通じて公開される情報に常にご注意ください。  
 ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。  
 ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任は負いません。  
 ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継電機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へ照会ください。  
 ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。  
 ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

## 改訂履歴

## 38B7 グループユーザズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	00/01/12		PDF ファイル初版発行
1.1	00/04/07	17 52, 53 54 54 70 71 74 74 76 76 80 88 90 95 101 101 103	次の技術的情報を改訂 図 11 : (5) ポート P67 ブロック図 図 52、図 53 : アドレス 0E0416, 0E0516, 0E0616 左段 28 行目 : Toff1 時間設定 ... (以下追記) 右段 16 行目 : FLD 出力制御 ... (以下追記) 図 78 : (38) D-A 変換レジスタ (追記) 右段 126 行目 : タイマ 2 がアンダフロー ... 右段 25 行目 : 内部システムクロックの <u>1.7</u> サイクル以上 右段 29 行目 : 内部システムクロックの <u>2.7</u> サイクル以上 左下段 5 行目 : 抵抗値 <u>48 k</u> 左下段 7 行目 : $\times 15\text{mA} = 75\text{mW}$ 表 14 : CNVss ..., リード/ライトモード時は <u>11.7 V ~ 12.6 V</u> を印加 ... 表 16 : VPPH <u>11.7</u> (最小) 表 19 : CNVss <u>11.7 V ~ 12.6 V</u> を印加 ... 表 19 : VPP = <u>11.7 V ~ 12.6 V</u> 中 : IOH(peak) P60 ~ P63 表中 : IOH(avg) P60 ~ P63 表中 : ILOAD <u>900</u> (最大)
1.2	00/10/02	76 100	表中 : マスクオプション B ~ G 指定不可の表示、注 4 追加 001002 絶対最大定格 : $V_{EE} \quad V_{CC} - 45 \sim V_{CC} + 0.3$ $V_I \quad V_{CC} - 45 \sim V_{CC} + 0.3$ $V_O \quad V_{CC} - 45 \sim V_{CC} + 0.3$
1.3	01/10/29	1 1 6 7 76	ヘッダの「開発中」を削除 概要の文章を一部削除 特徴の発振周波数を変更 図 3 形名とメモリサイズ・パッケージの一部を変更 図 4 ROM 及び RAM 展開計画の一部を変更 プルダウン抵抗のマスクオプションを削除