

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

3858グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0108-0111

Rev.1.11

2008.12.18

概 要

3858グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

シリアルインタフェース、8/16ビットタイマ、A/Dコンバータを内蔵しており、家電、OA機器に最適です。

特 長

- 基本機械語命令 71
- 命令実行時間 0.32 μ s
(最小命令、発振周波数12.5MHz時)
- メモリ容量 ROM 48Kバイト
RAM 1.5Kバイト
- プログラマブル入出力ポート 34本
- ソフトウェアプルアップ抵抗 内蔵
- 割り込み 19要因、16ベクトル
(外部8、内部10、ソフトウェア1要因)
- タイマ 8ビット×4
16ビット×2
- シリアルインタフェース
シリアルI/O1 8ビット×1
(UARTまたはクロック同期形)
シリアルI/O2 8ビット×1
(クロック同期形)

- PWM 8ビット×1
- A/Dコンバータ 8ビット分解能×9チャンネル
- クロック発生回路 2回路内蔵
(セラミック共振子または水晶発振子外付け)
- ウォッチドッグタイマ 16ビット×1
- 電源電圧
高速モード時 4.0～5.5V
(発振周波数12.5MHz時)
高速モード時 2.7～5.5V
(発振周波数6MHz時)
中速モード時 2.7～5.5V
(発振周波数12.5MHz時、中速モード選択時)
低速モード時 2.7～5.5V
(発振周波数32kHz時)
- 動作周囲温度 -20～85

応 用

OA機器、FA機器、家電、民生機器など

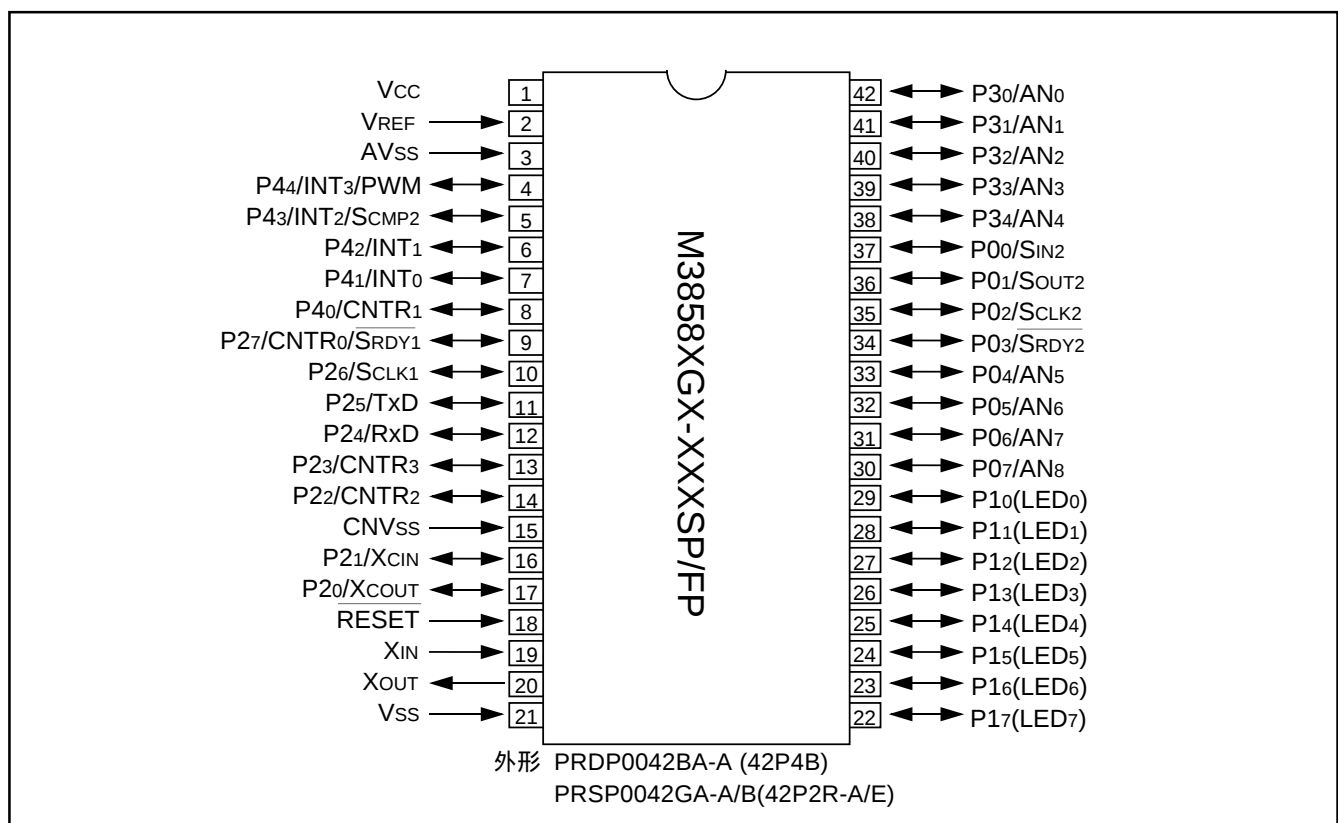


図1. M3858XGX-XXXSP/FPのピン接続図

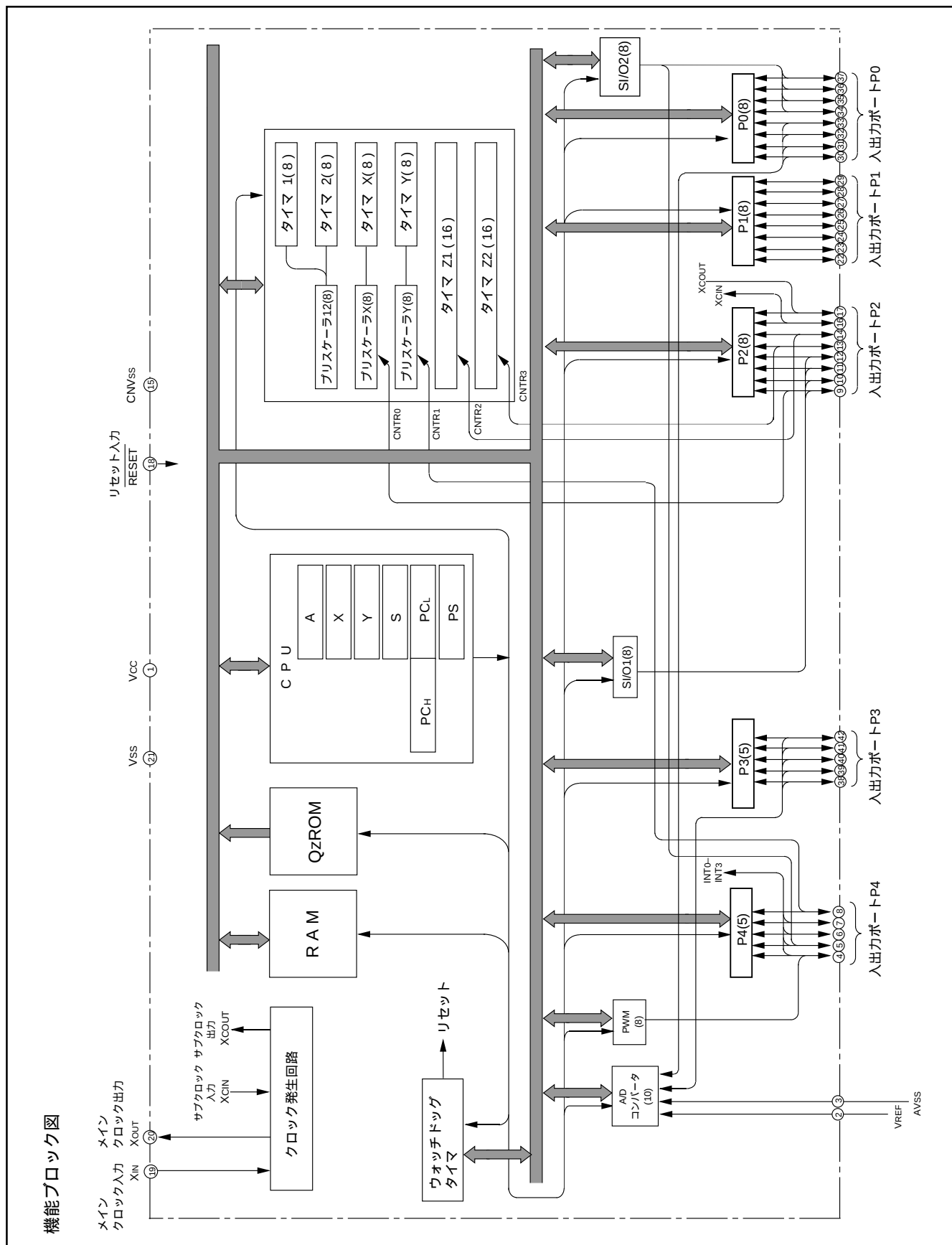


図2. 機能ブロック図

端子の機能説明

表1. 端子の機能説明

端子名	名 称	機 能	ポート以外の機能
VCC,VSS	電源入力	VCCに2.7～5.5V, VSSに0Vを印加します。	
CNVSS	CNVSS	チップの動作モードを制御する端子でかつ、QzROM書き込み用電源VPPと兼用端子です。通常はVSSに接続します。	
VREF	基準電圧入力	A/Dコンバータの基準電圧入力端子です。	
AVSS	アナログ電源入力	A/Dコンバータのアナログ電源入力端子です。この端子はVSSに接続してください。	
RESET	リセット入力	アクティブ L のリセット入力端子です。	
XIN	メインクロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子または水晶共振子を接続します。外部クロック使用時にはクロック発振源をXIN端子に接続し、XOUT端子は開放にします。	
XOUT	メインクロック出力		
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/SRDY2	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	シリアルI/O2機能端子
P04/AN5～ P07/AN8		P10～P17の8ビットは、LED駆動出力用の大電流出力が可能です。	A/Dコンバータ入力端子
P10～P17			
P20/XCOUT P21/XCIN	入出力ポートP2	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルです。出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	サブクロック発生入出力端子 (共振子を接続します。)
P22/CNTR2			タイマZ1機能端子
P23/CNTR3			タイマZ2機能端子
P24/RxD P25/TxD			シリアルI/O1機能端子
P26/SCLK1			
P27/CNTR0/ SRDY1			タイマX機能端子 /シリアルI/O1機能端子
P30/AN0～ P34/AN4	入出力ポートP3	P0とほぼ同等の機能を持った5ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	A/Dコンバータ入力端子
P40/CNTR1	入出力ポートP4	P0とほぼ同等の機能を持った5ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	タイマY機能端子
P41/INT0 P42/INT1			割り込み入力端子
P43/INT2/ SCMP2			割り込み入力端子 SCMP2出力端子
P44/INT3/ PWM			割り込み入力端子 PWM出力端子

型名とメモリサイズ・パッケージ

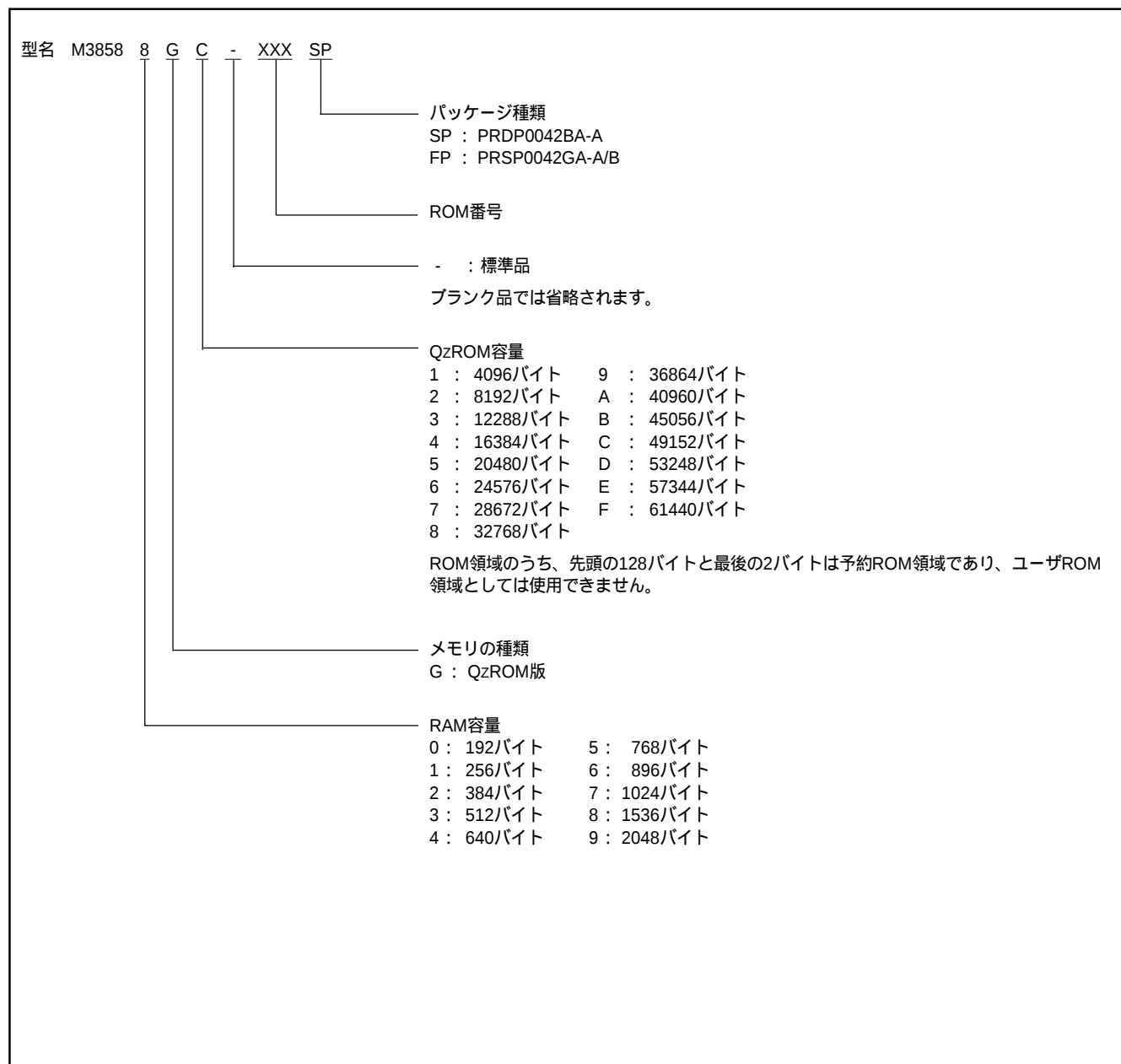


図3. 型名とメモリサイズ・パッケージ

グループ展開

3858グループは次のような展開を計画しています。

メモリの種類

QzROM版のサポート

メモリ容量

QzROM容量 48Kバイト

RAM容量 1.5Kバイト

パッケージ

PRDP0042BA-A ... 42ピンシュリンクプラスチックモールドSDIP

PRSP0042GA-A/B 42ピンプラスチックモールドSSOP

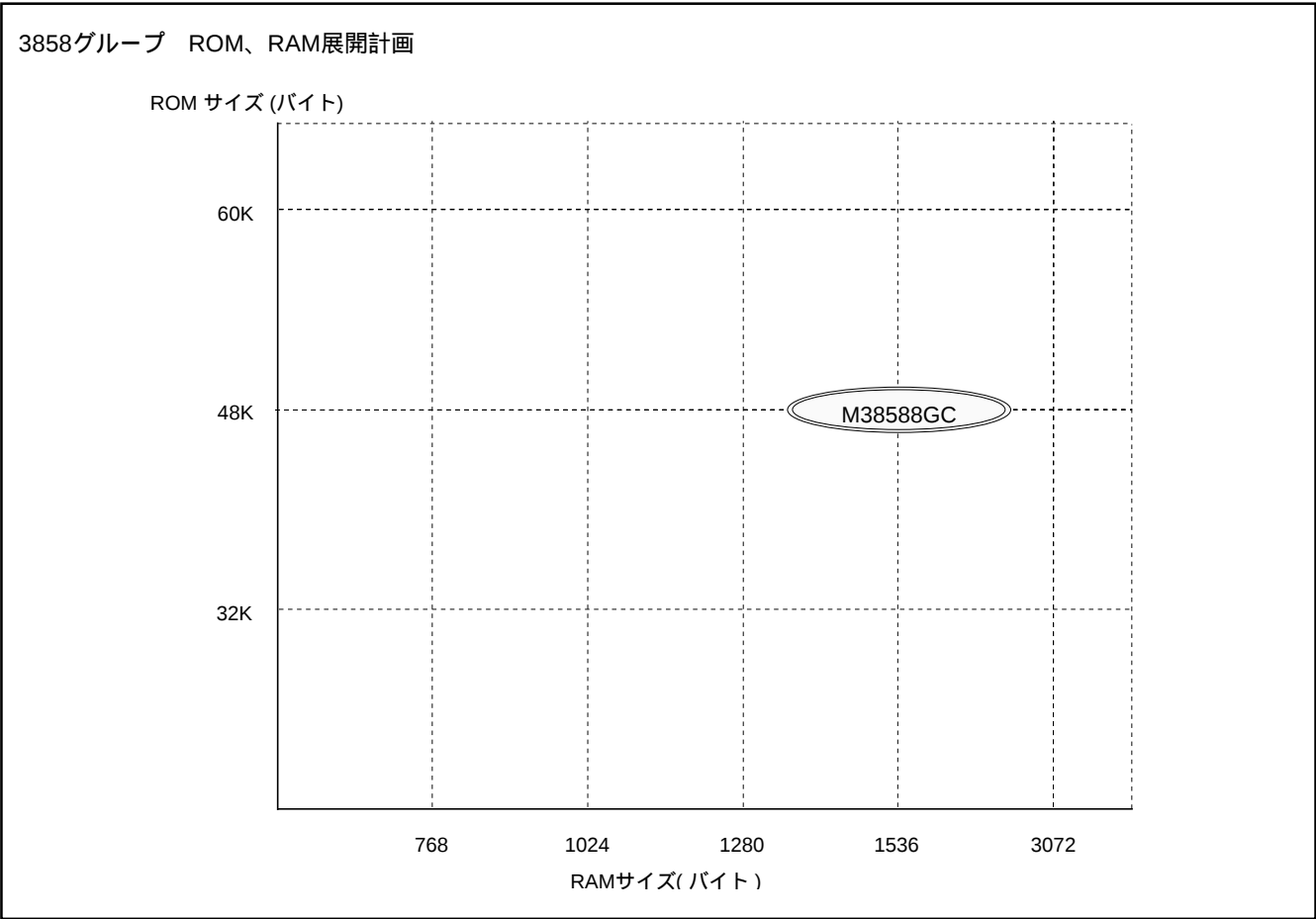


図4. ROMおよびRAM展開計画

表2. 3858グループサポート製品一覧

製品型名	ROM容量(バイト) ()内はユーザROM容量	RAM容量(バイト)	パッケージ	備考
M38588GC-XXXSP	49152	1536	PRDP0042BA-A	QzROM版
M38588GC-XXXFP	(49021)		PRSP0042GA-A/B	
M38588GCSP	49152	1536	PRDP0042BA-A	QzROM版(ブランク品)
M38588GCFP	(49021)		PRSP0042GA-A/B	

機能ブロック動作説明

中央演算処理装置 (CPU)

3858グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモードおよび機械語命令一覧表または740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図7にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時または割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00₁₆”となり、“1”の場合は“01₁₆”となります。

スタックへの退避および復帰動作を図6に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表3参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウントです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

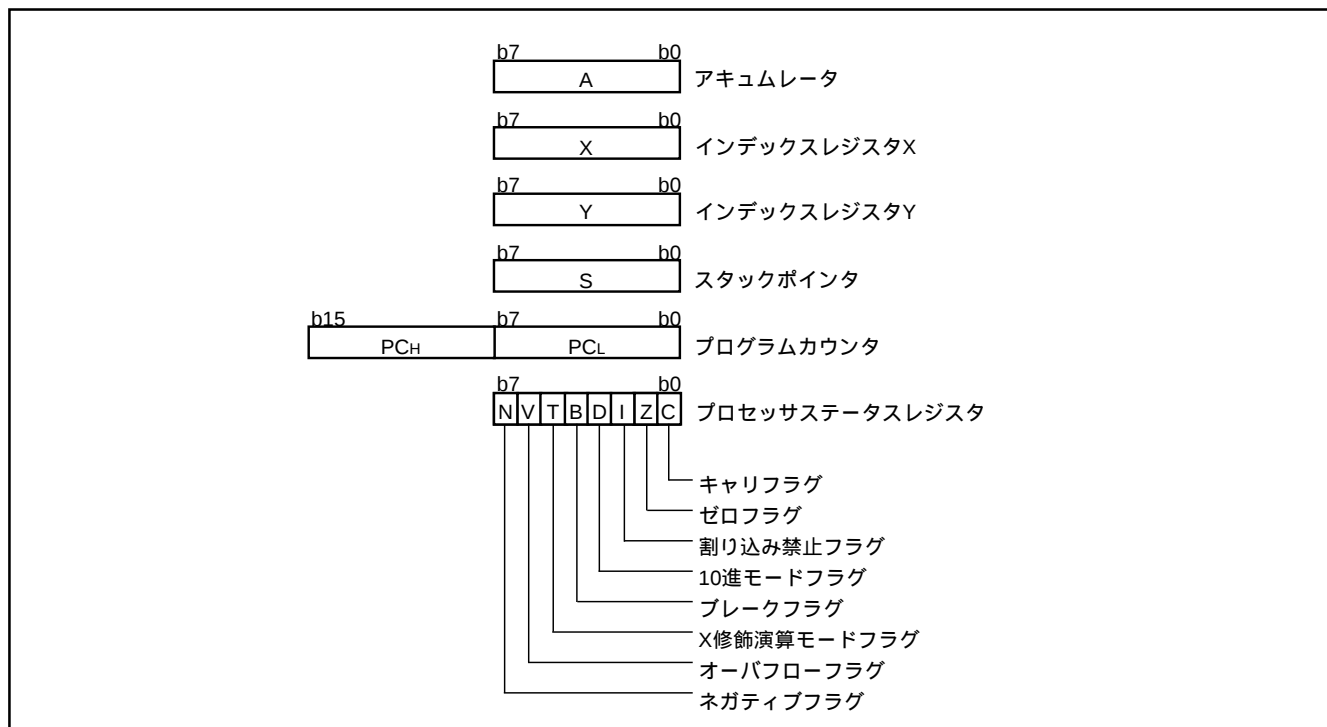


図5. 740ファミリ CPUの構成

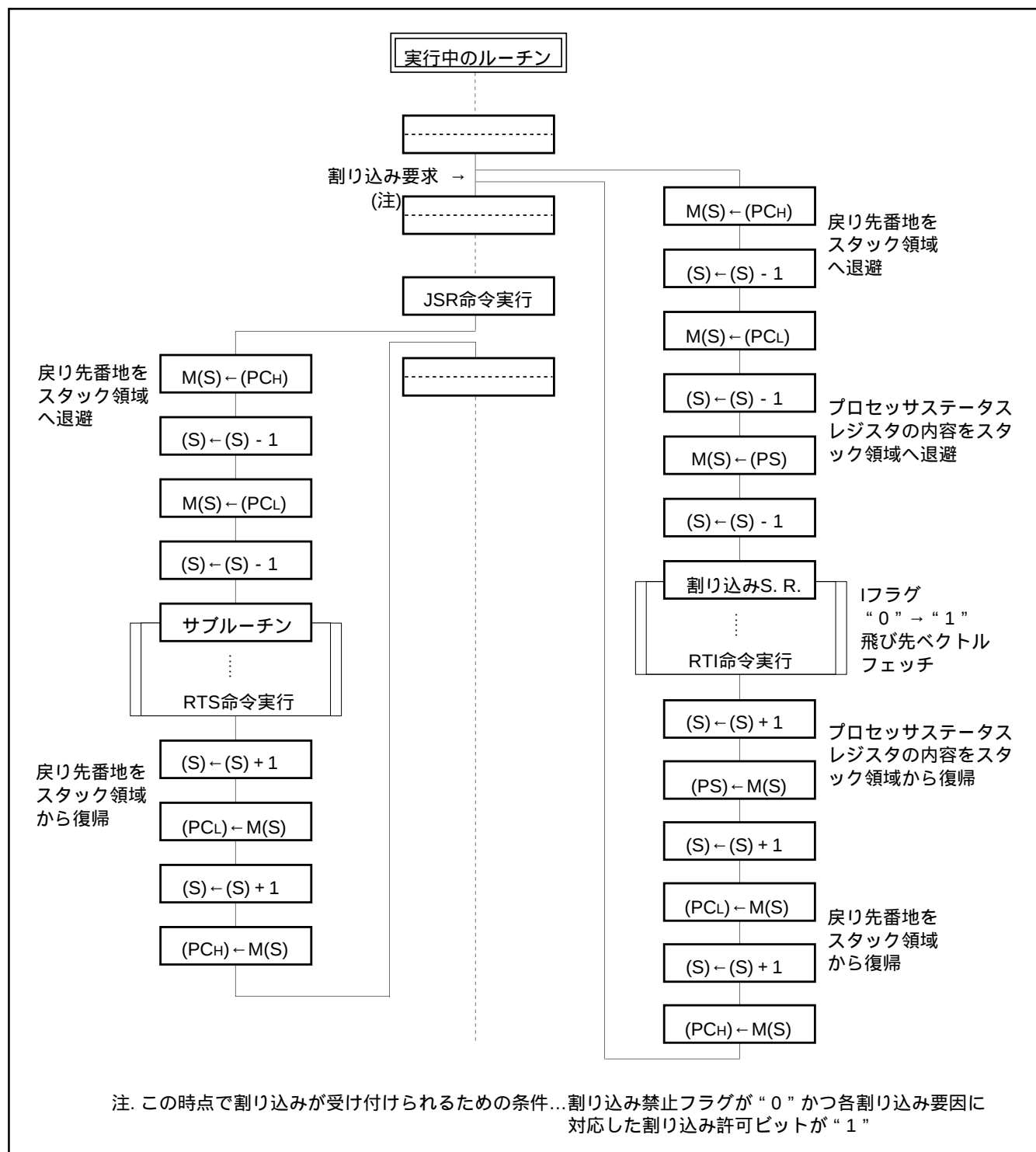


図6．スタックへの退避および復帰動作

表3．アキュムレータとプロセッサステータスレジスタの退避命令および復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリまたはボローを保持します。シフト命令またはローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理またはデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127または-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理またはデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4．プロセッサステータスレジスタの各フラグをセットまたはクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】CPUM

CPUモードレジスタには、スタックページ選択のビットや内部システムクロック制御ビットなどが割り当てられています。このレジスタは003B₁₆番地に配置されています。

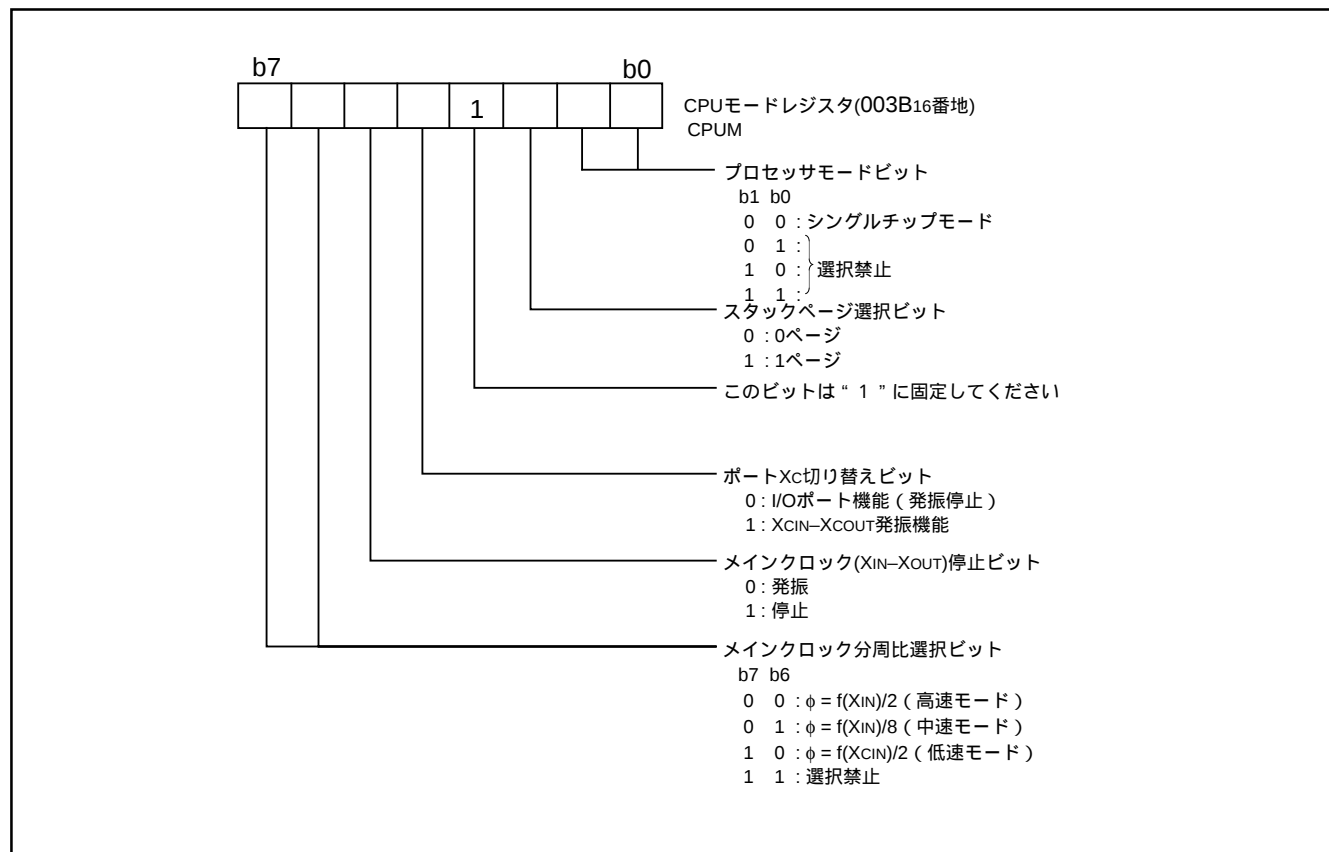


図7 . CPUモードレジスタの構成

メモリ

●SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

●RAM

データ格納、サブルーチン呼び出しおよび割り込み時のスタックなどに使用します。

●ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

●割り込みベクトル領域

リセットおよび割り込みのベクトル番地格納領域です。

●ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

●スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

●ROMコードプロテクト番地(FFDB₁₆番地)

QzROM版の予約ROM領域であるFFDB₁₆番地は、ROMコードプロテクト番地です。シリアルプログラマでのプロテクトビット書き込みを選択した場合、および弊社書き込み出荷の際にプロテクト有りを選択した場合、この番地に“00₁₆”が書き込まれます。ROMコードプロテクト番地に“00₁₆”が書き込まれるとプロテクト機能が有効になり、その後シリアルプログラマでの読み出しおよび書き込みはできません。

QzROMブランク品は、シリアルプログラマでのROM書き込みの際にプロテクトビット書き込みを選択することでROMコードがプロテクトされます。

QzROM書き込み出荷品は弊社での書き込みの際にROMコードプロテクト番地に“00₁₆”(プロテクト有り)または“FF₁₆”(プロテクト無し)のいずれかが書き込まれます。

“00₁₆”あるいは“FF₁₆”のどちらを書き込むかは、発注の際にROMオプション(マスク変換ユーティリティ内では“マスクオプション”表記)として選択してください。

■注意事項

RAMの内容はリセット時には不定ですので、ご使用前には必ず初期値を設定してください。

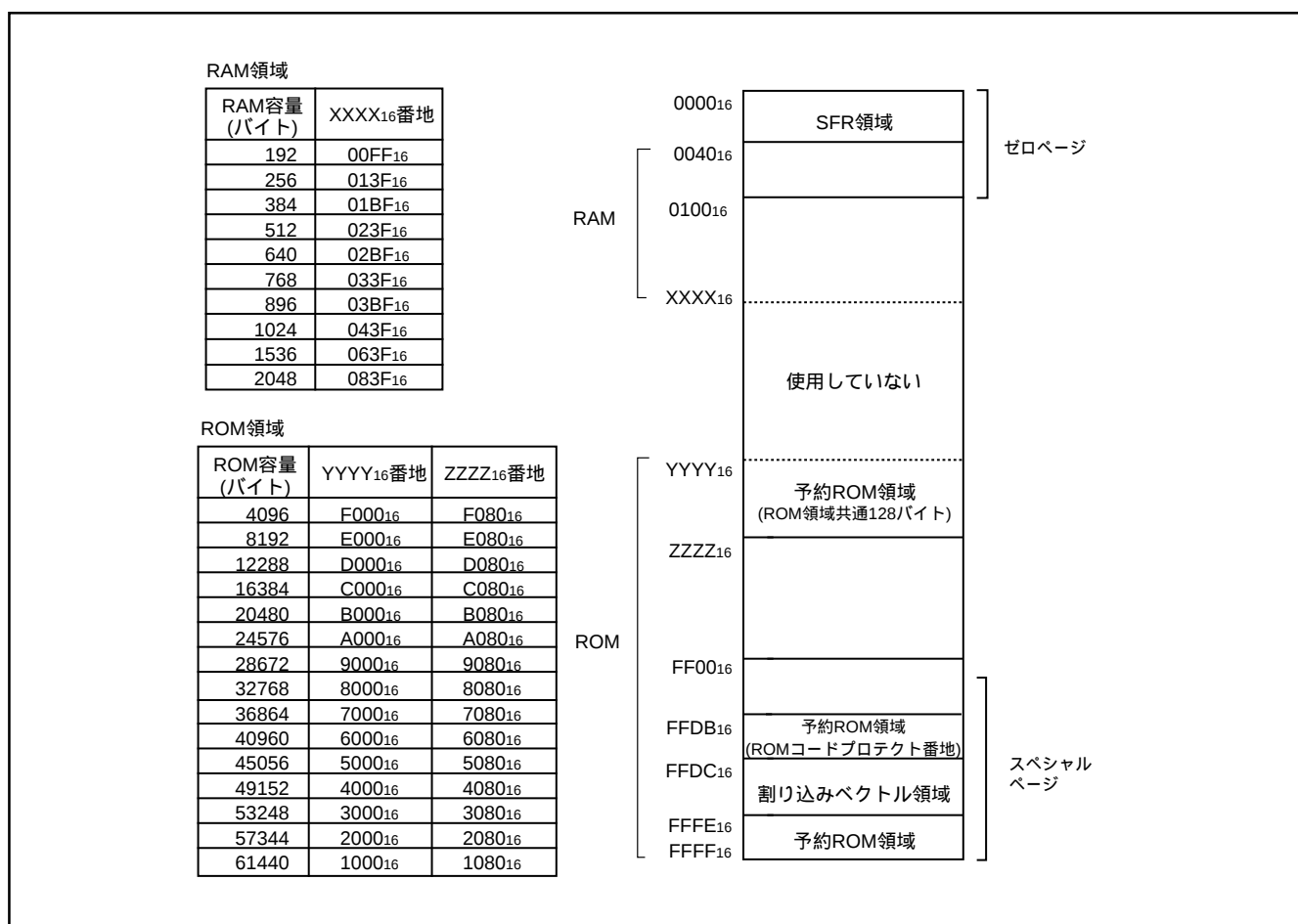


図8. メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	プリスケラ12 (PRE12)
0001 ₁₆	ポートP0方向レジスタ (P0D)	0021 ₁₆	タイマ1 (T1)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ2 (T2)
0003 ₁₆	ポートP1方向レジスタ (P1D)	0023 ₁₆	タイマXYモードレジスタ (TM)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	プリスケラX (PREX)
0005 ₁₆	ポートP2方向レジスタ (P2D)	0025 ₁₆	タイマX (TX)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	プリスケラY (PREY)
0007 ₁₆	ポートP3方向レジスタ (P3D)	0027 ₁₆	タイマY (TY)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	タイマZ1モードレジスタ (TZ1M)
0009 ₁₆	ポートP4方向レジスタ (P4D)	0029 ₁₆	タイマZ1下位 (TZ1L)
000A ₁₆		002A ₁₆	タイマZ1上位 (TZ1H)
000B ₁₆		002B ₁₆	タイマZ2モードレジスタ (TZ2M)
000C ₁₆		002C ₁₆	タイマZ2下位 (TZ2L)
000D ₁₆		002D ₁₆	タイマZ2上位 (TZ2H)
000E ₁₆		002E ₁₆	タイマ12, Xカウントソース選択レジスタ (T12XCSS)
000F ₁₆		002F ₁₆	タイマY, Z1カウントソース選択レジスタ (TYZ1CSS)
0010 ₁₆	ポートP0プルアップ制御レジスタ (PULL0)	0030 ₁₆	タイマZ2カウントソース選択レジスタ (TZ2CSS)
0011 ₁₆	ポートP1プルアップ制御レジスタ (PULL1)	0031 ₁₆	
0012 ₁₆	ポートP2プルアップ制御レジスタ (PULL2)	0032 ₁₆	
0013 ₁₆	ポートP3プルアップ制御レジスタ (PULL3)	0033 ₁₆	
0014 ₁₆	ポートP4プルアップ制御レジスタ (PULL4)	0034 ₁₆	AD制御レジスタ (ADCON)
0015 ₁₆	シリアルI/O2制御レジスタ1 (SIO2CON1)	0035 ₁₆	AD変換レジスタ (AD)
0016 ₁₆	シリアルI/O2制御レジスタ2 (SIO2CON2)	0036 ₁₆	割り込み要因選択レジスタ (INTSEL)
0017 ₁₆	シリアルI/O2レジスタ (SIO2)	0037 ₁₆	予約 (注)
0018 ₁₆	送信/受信バッファレジスタ (TB/RB)	0038 ₁₆	MISRG
0019 ₁₆	シリアルI/O1ステータスレジスタ (SIOSTS)	0039 ₁₆	ウォッチドッグタイマ制御レジスタ (WDTCON)
001A ₁₆	シリアルI/O1制御レジスタ (SIOCON)	003A ₁₆	割り込みエッジ選択レジスタ (INTEDGE)
001B ₁₆	UART制御レジスタ (UARTCON)	003B ₁₆	CPUモードレジスタ (CPUM)
001C ₁₆	ポーレートジェネレータ (BRG)	003C ₁₆	割り込み要求レジスタ1 (IREQ1)
001D ₁₆	PWM制御レジスタ (PWMCON)	003D ₁₆	割り込み要求レジスタ2 (IREQ2)
001E ₁₆	PWMプリスケラ (PREPWM)	003E ₁₆	割り込み制御レジスタ1 (ICON1)
001F ₁₆	PWMレジスタ (PWM)	003F ₁₆	割り込み制御レジスタ2 (ICON2)

(注) 予約領域のため、何もデータを書き込まないでください。

図9 . SFR(スペシャルファンクションレジスタ)メモリマップ

入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

ポートP0プルアップ制御レジスタ(0010₁₆番地)、P1プルアップ制御レジスタ(0011₁₆番地)、P2プルアップ制御レジスタ(0012₁₆番地)、ポートP3プルアップ制御レジスタ(0013₁₆番地)およびポートP4プルアップ制御レジスタ(0014₁₆番地)を設定することにより、プログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離され、プルアップは行われません。

表5. 入出力ポートの機能一覧

端子名	名 称	入出力	入出力形式	ポート以外の機能	関連するSFR	図 番
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/SRDY2	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	シリアルI/O2機能入出力	シリアルI/O2制御レジスタ	(1) (2) (3) (4)
P04/AN5 ~ P07/AN8				A/Dコンバータ入力	AD制御レジスタ AD入力選択レジスタ	(13)
P10 ~ P17				ポートP1		
P20/XCOUT P21/XCIN	ポートP2			サブクロック発振回路	CPUモードレジスタ	(6) (7)
P22/CNTR2				タイマZ1機能入出力	タイマZ1モードレジスタ	(8)
P23/CNTR3				タイマZ2機能入出力	タイマZ2モードレジスタ	(8)
P24/RxD P25/TxD P26/SCLK1				シリアルI/O1機能入出力	シリアルI/O1制御レジスタ	(9) (10) (11)
P27/CNTR0/ SRDY1				タイマX機能入出力 シリアルI/O1機能入出力	タイマXYモードレジスタ シリアルI/O1制御レジスタ	(12)
P30/AN0 ~ P34/AN4	ポートP3 (注)			A/Dコンバータ入力	AD制御レジスタ AD入力選択レジスタ	(13)
P40/CNTR1	ポートP4 (注)			タイマY機能入出力	タイマXYモードレジスタ	(14)
P41/INT0 P42/INT1				外部割り込み入力	割り込みエッジ選択レジスタ	(15)
P43/INT2/ SCMP2				外部割り込み入力 SCMP2出力	割り込みエッジ選択レジスタ シリアルI/O2制御レジスタ	(16)
P44/INT3/PWM				外部割り込み入力 PWM出力	割り込みエッジ選択レジスタ PWM制御レジスタ	(17)

注.ポートP3およびP4のビット5～7を読み出した場合、その内容は不定となります。

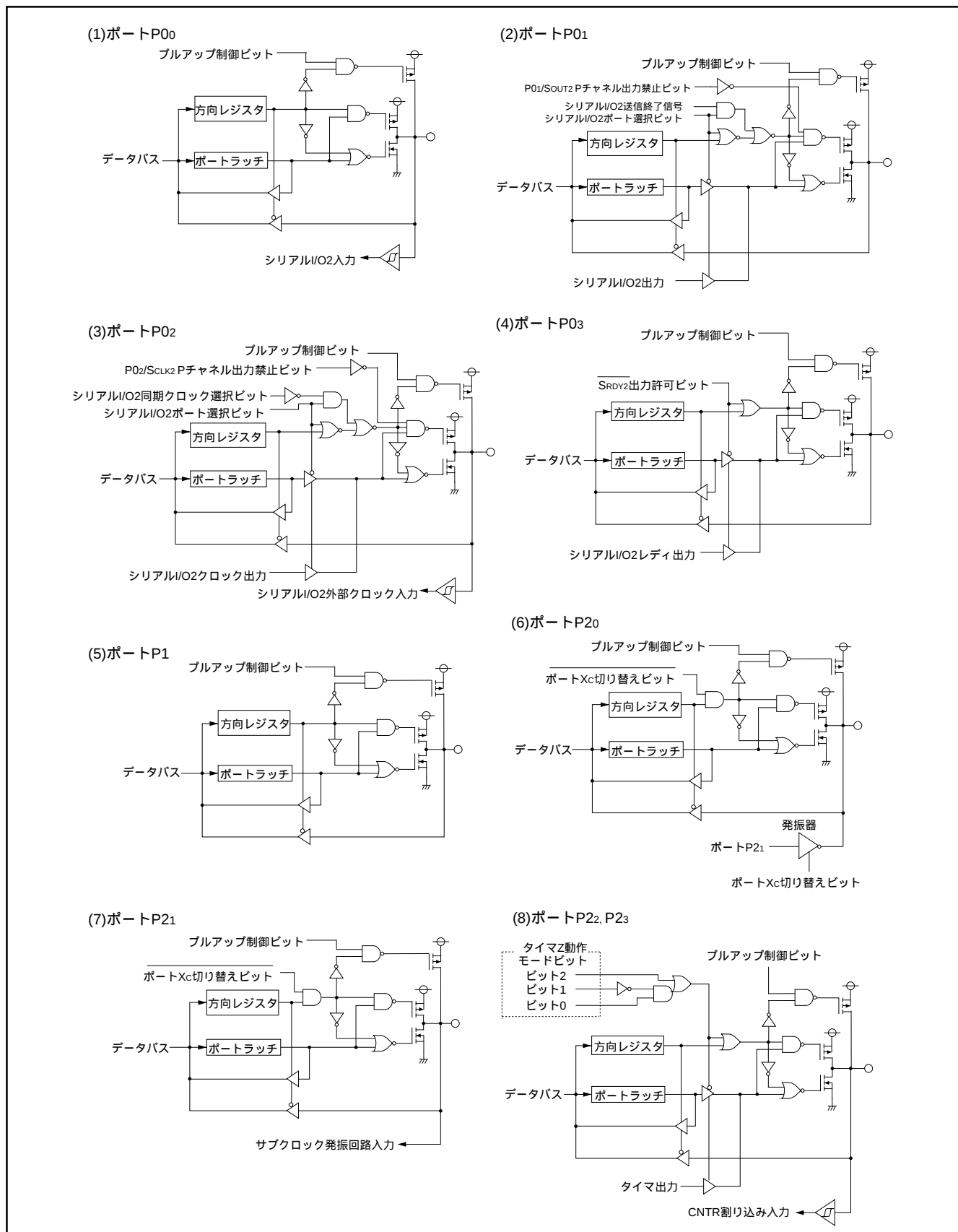


図10 . ポートのブロック図(1)

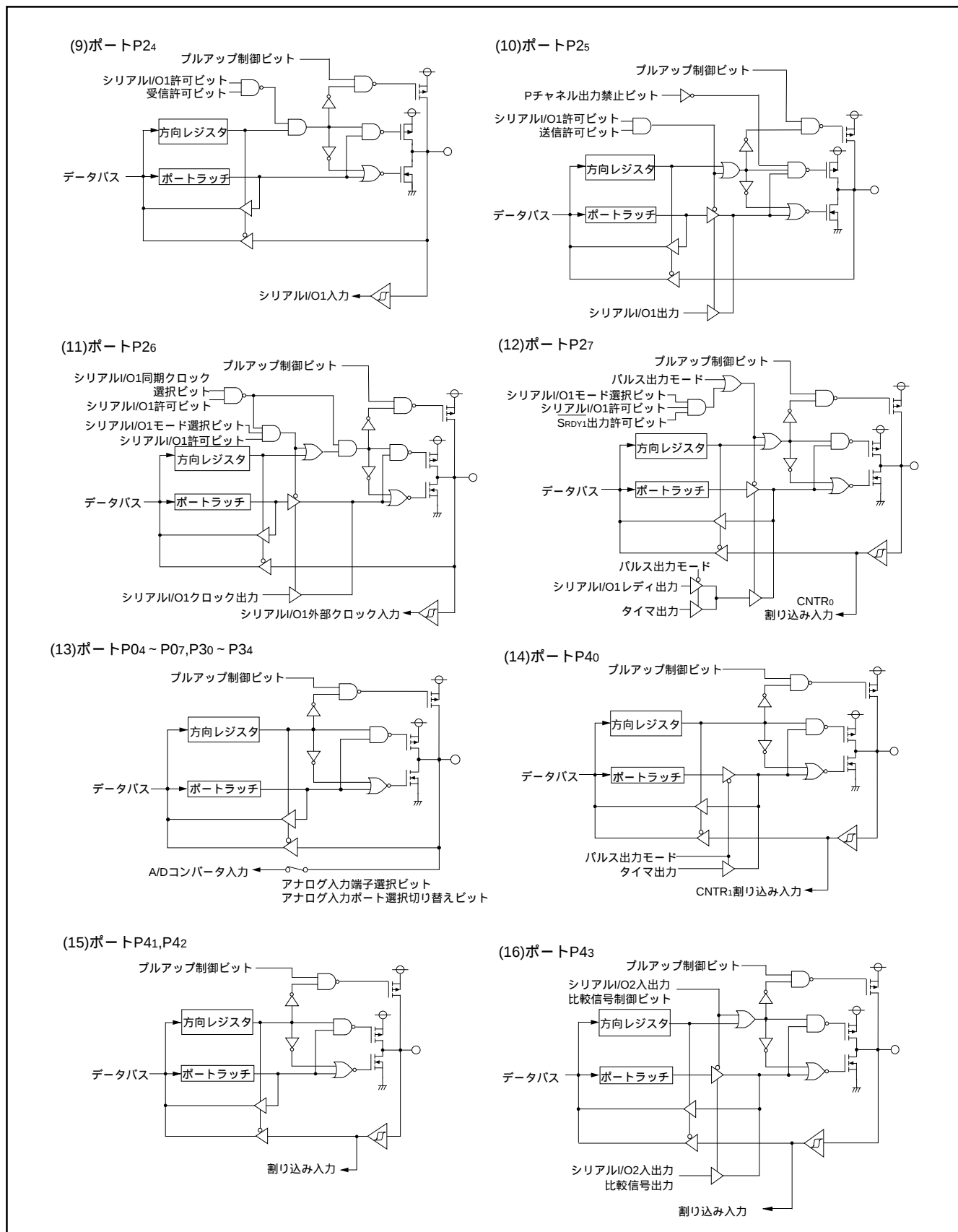


図11 . ポートのブロック図(2)

(17)ポートP44

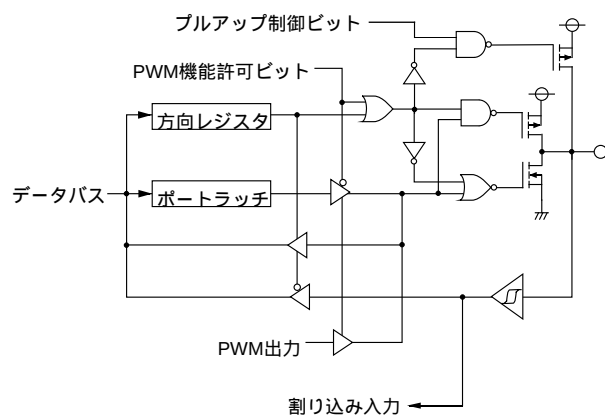


図12 . ポートのブロック図(3)

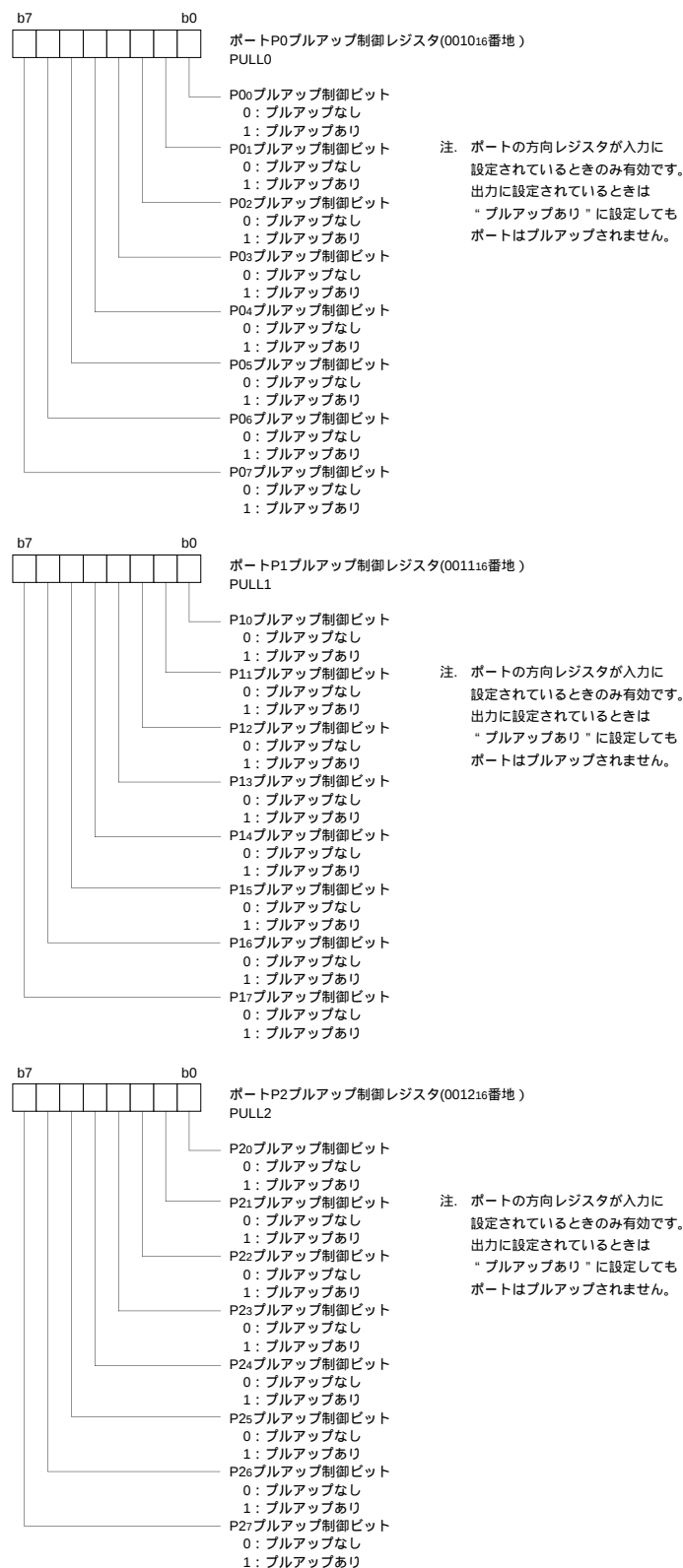


図13 . ポートレジスタ構成図(1)

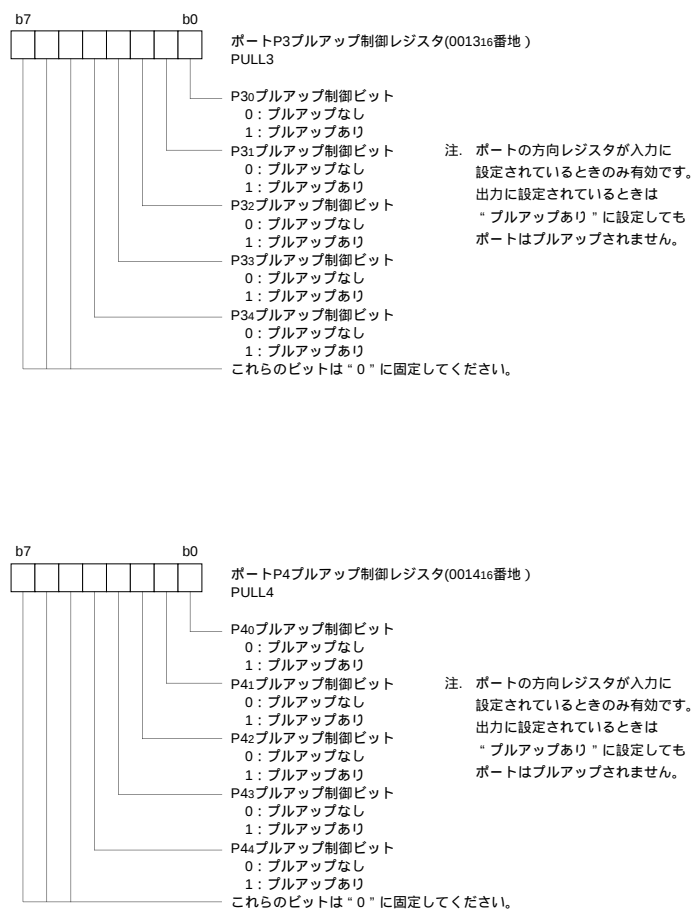


図14 . ポートレジスタ構成図(2)

割り込み

3858グループの割り込みはベクトル割り込みで、外部8要因、内部10要因、ソフトウェア1要因の19要因のうち16要因から発生することが可能です。

・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビットおよび割り込み要求ビットが「1」でかつ割り込み禁止フラグが「0」のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグまたはビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

・割り込み要因選択

以下の割り込み要因は、割り込み要因選択レジスタ(0039₁₆番地)によりいずれかを選択することができます。

1. INT3あるいはシリアルI/O2
2. タイマZ1あるいはCNTR2
3. タイマZ2あるいはCNTR3
4. CNTR0あるいはCNTR2
5. CNTR1あるいはCNTR3

表6. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地 (注1)		割り込み要求発生条件	備 考
		上位	下位		
リセット (注2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスクابل
INT0	2	FFFB ₁₆	FFFA ₁₆	INT0入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマZ1	3	FFF9 ₁₆	FFF8 ₁₆	タイマZ1アンダフロー時	
CNTR2				CNTR2入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT1	4	FFF7 ₁₆	FFF6 ₁₆	INT1入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT2	5	FFF5 ₁₆	FFF4 ₁₆	INT2入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT3	6	FFF3 ₁₆	FFF2 ₁₆	INT3入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアルI/O2				シリアルI/O2送受信完了時	シリアルI/O2選択時のみ有効
タイマZ2	7	FFF1 ₁₆	FFF0 ₁₆	タイマZ2アンダフロー時	
CNTR3				CNTR3入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマX	8	FFEF ₁₆	FFEE ₁₆	タイマXアンダフロー時	
タイマY	9	FFED ₁₆	FFEC ₁₆	タイマYアンダフロー時	
タイマ1	10	FFEB ₁₆	FFEA ₁₆	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	11	FFE9 ₁₆	FFE8 ₁₆	タイマ2アンダフロー時	
シリアルI/O1受信	12	FFE7 ₁₆	FFE6 ₁₆	シリアルI/O1データ受信完了時	シリアルI/O1選択時のみ有効
シリアルI/O1送信	13	FFE5 ₁₆	FFE4 ₁₆	シリアルI/O1送信シフト終了時または送信バッファ空き時	シリアルI/O1選択時のみ有効
CNTR0	14	FFE3 ₁₆	FFE2 ₁₆	CNTR0入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR2				CNTR2入力の立ち上がりまたは立ち下がりエッジ検出時	
CNTR1	15	FFE1 ₁₆	FFE0 ₁₆	CNTR1入力の立ち上がりまたは立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR3				CNTR3入力の立ち上がりまたは立ち下がりエッジ検出時	
A/D変換	16	FFDF ₁₆	FFDE ₁₆	A/D変換終了時	
BRK命令	17	FFDD ₁₆	FFDC ₁₆	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

■注意事項

次の場合、割り込み要求ビットが'1'になる場合があります。

- ・外部割り込みのアクティブエッジを設定する際

対象レジスタ：割り込みエッジ選択レジスタ(003A₁₆番地)

タイマXYモードレジスタ(0023₁₆番地)

タイマZ1モードレジスタ(0028₁₆番地)

タイマZ2モードレジスタ(002B₁₆番地)

- ・同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際

対象レジスタ：割り込み要因選択レジスタ(0036₁₆番地)

これらの設定に同期した割り込み発生が不要な場合には、

以下の手順で設定してください。

該当する割り込み許可ビットを'0'(禁止)にする。

割り込みエッジ選択ビットや割り込み要因ビットを設定する。

一命令以上おいてから、該当する割り込み要求ビットを'0'にする。

該当する割り込み許可ビットを'1'(許可)にする。

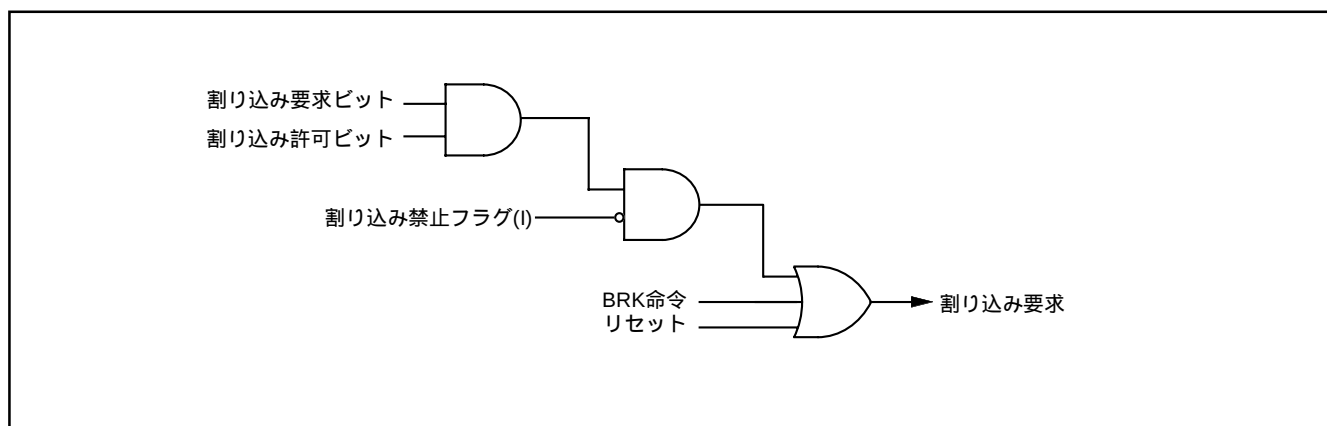


図15．割り込み制御図

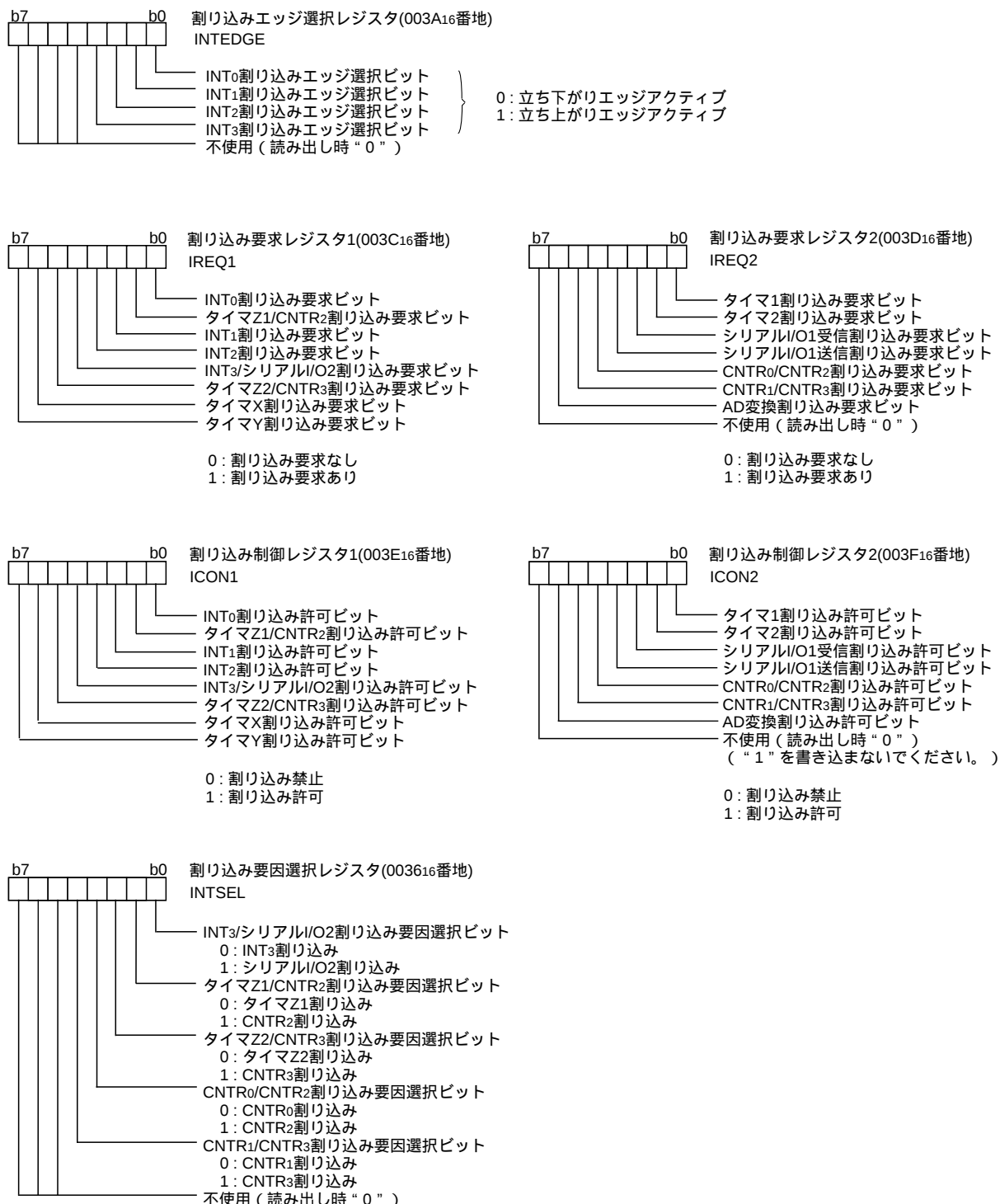


図16 . 割り込み関係レジスタの構成

タイマ

● 8ビットタイマ

タイマ1、タイマ2、タイマX、タイマYは8ビットのタイマで、タイマ1、タイマ2に共通で1本、タイマX、タイマYにそれぞれ1本ずつ8ビットプリスケアラを内蔵しています。それぞれのタイマ、プリスケアラにはタイマラッチ、プリスケアララッチを持っています。

すべてのタイマおよびプリスケアラの分周比は、タイマラッチまたはプリスケアララッチの内容を n とすると $1/(n+1)$ になります。タイマはカウントダウン方式で、カウンタの内容が 0 になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされ、カウントダウンが続行されます。また、タイマがアンダフローすると各タイマに対応する割り込み要求ビットが 1 にセットされます。

・タイマ用分周器

分周器のカウントソースは、CPUモードレジスタ(003B₁₆番地)のメインクロック分周比選択ビット(b7, b6)が 00 (高速モード)、 01 (中速モード)のときは、 X_{IN} となり、 10 (低速モード)のときは X_{CIN} となります。

・プリスケアラ12

プリスケアラ12はタイマ用分周器の出力をカウントします。カウントソースは、タイマ12、Xカウントソース選択レジスタ(002E₁₆番地)で制御され、 $f(X_{IN})$ または $f(X_{CIN})$ のそれぞれ $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ 、 $1/64$ 、 $1/128$ 、 $1/256$ 、 $1/512$ 、 $1/1024$ が選択できます。

・タイマ1、タイマ2

タイマ1およびタイマ2は、常にプリスケアラ12の出力をカウントし、周期的に割り込み要求ビットをセットします。

・プリスケアラX、プリスケアラY

プリスケアラX、プリスケアラYはタイマ用分周器の出力、または $f(X_{CIN})$ をカウントします。カウントソースは、タイマ12、Xカウントソース選択レジスタ(002E₁₆番地)、タイマY、Z1カウントソース選択レジスタ(002F₁₆番地)で制御され、 $f(X_{IN})$ または $f(X_{CIN})$ のそれぞれ $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ 、 $1/64$ 、 $1/128$ 、 $1/256$ 、 $1/512$ 、 $1/1024$ 、または $f(X_{CIN})$ が選択できます。

・タイマX、タイマY

タイマXYモードレジスタ(0023₁₆番地)を設定することにより、それぞれ4つの動作モードを選択することができます。

(1) タイマモード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を 00 に設定することによりこのモードが選択されます。

<動作説明>

タイマカウント動作はタイマXYモードレジスタ(0023₁₆番地)のタイマXカウント停止ビット(b3)、タイマYカウント停止ビット(b7)に 0 を設定することにより開始します。タイマの内容が 00 になった次のカウントパルスでアンダフローし、タイマラッチの内容をリロードしてカウントを続けます。

(2) パルス出力モード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を 01 に設定することによりこのモードが選択されます。

<動作説明>

タイマがアンダフローするたびに極性の反転するパルスをCNTR0/CNTR1端子から出力することを除けば、タイマモードと同じ動作をします。タイマカウント動作停止中/許可中にかかわらずCNTR0/CNTR1端子の出力はタイマへの書き込みによってCNTR0/CNTR1極性切り替えビットで設定されるレベルに初期化されます。タイマXYモードレジスタ(0023₁₆番地)のCNTR0極性切り替えビット(b2)、CNTR1極性切り替えビット(b6)が 0 のときはCNTR0/CNTR1端子の出力は H 出力から開始します。 1 のときは L 出力から開始します。

CNTR0/CNTR1極性切り替えビットの値を書き換えると、CNTR0/CNTR1端子の出力レベルが反転します。

<注意事項>

このモードではCNTR0/CNTR1端子と共用のポートP27/P40を出力に設定してください。

(3) イベントカウンタモード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を'10'に設定することによりこのモードが選択されます。

<動作説明>

CNTR0/CNTR1端子からの入力信号をカウントすることを除けば、タイマモードと同じ動作をします。カウント動作の有効エッジはタイマXYモードレジスタ(0023₁₆番地)のCNTR0極性切り替えビット(b2)、CNTR1極性切り替えビット(b6)の設定によって決まり、“0”のときは立ち上がりエッジ、“1”のときは立ち下がりエッジをカウントします。

<注意事項>

このモードではCNTR0/CNTR1端子と共用のポートP27/P40を入力に設定してください。

(4) パルス幅測定モード

<モードの選択>

タイマXYモードレジスタ(0023₁₆番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を'11'に設定することによりこのモードが選択されます。

<動作説明>

タイマXYモードレジスタ(0023₁₆番地)のCNTR0極性切り替えビット(b2)、CNTR1極性切り替えビット(b6)が“1”の場合はCNTR0/CNTR1端子入力の立ち下がりから次の立ち上がり(“L”期間)までの期間中カウントします。また、“0”の場合はCNTR0/CNTR1端子入力の立ち上がりから次の立ち下がり(“H”期間)までの期間中カウントします。

<注意事項>

このモードではCNTR0/CNTR1端子と共用のポートP27/P40を入力に設定してください。

いずれのモードでも、タイマXYモードレジスタ(0023₁₆番地)のタイマXカウント停止ビット(b3)、タイマYカウント停止ビット(b7)を“1”に設定することによりカウントを停止することが可能です。

また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

・カウントソース切り替え時の注意

タイマ12カウントソース選択ビットおよびタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラおよびタイマに値を設定してください。

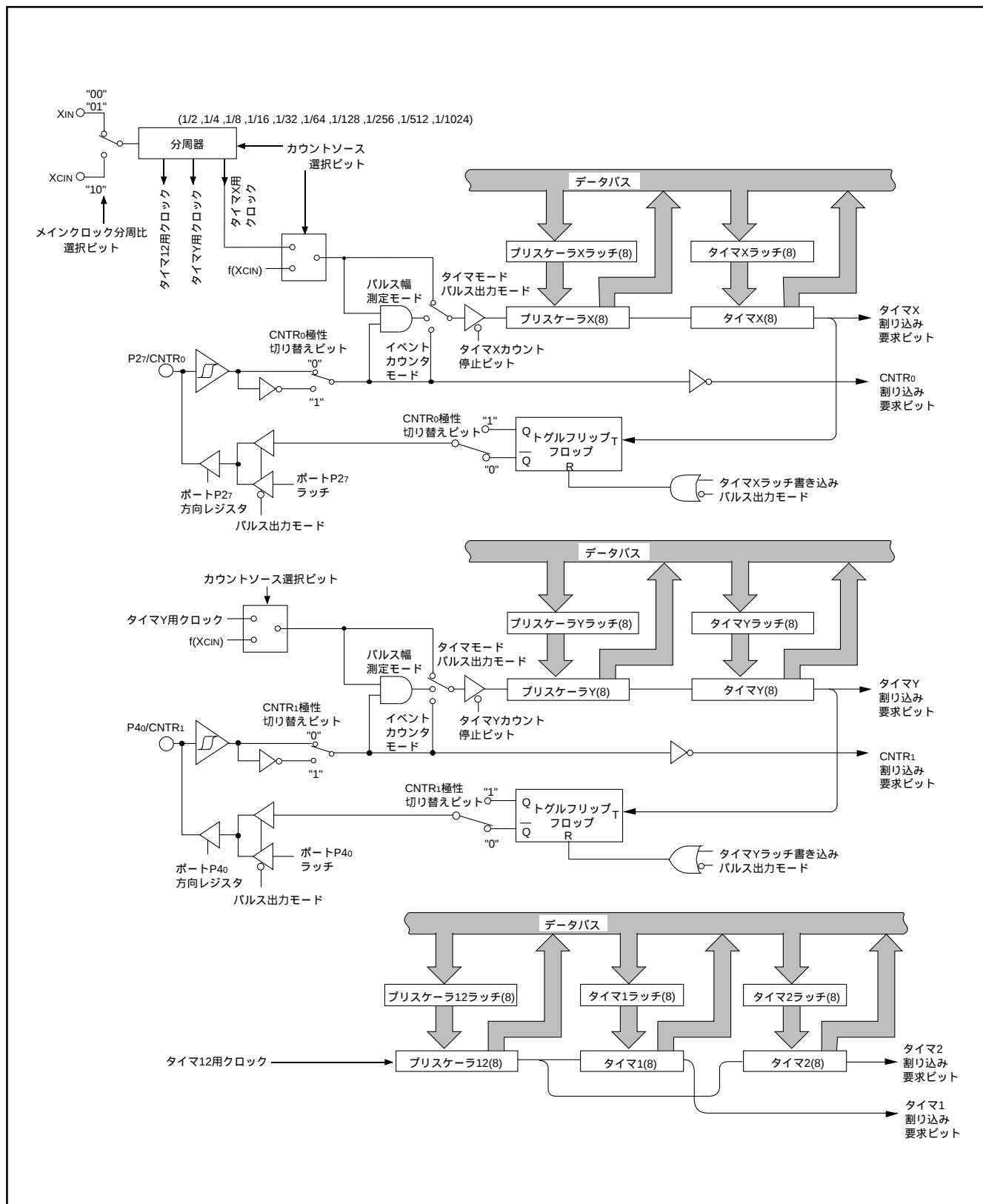


図17. タイマX, タイマY, タイマ1およびタイマ2のブロック図

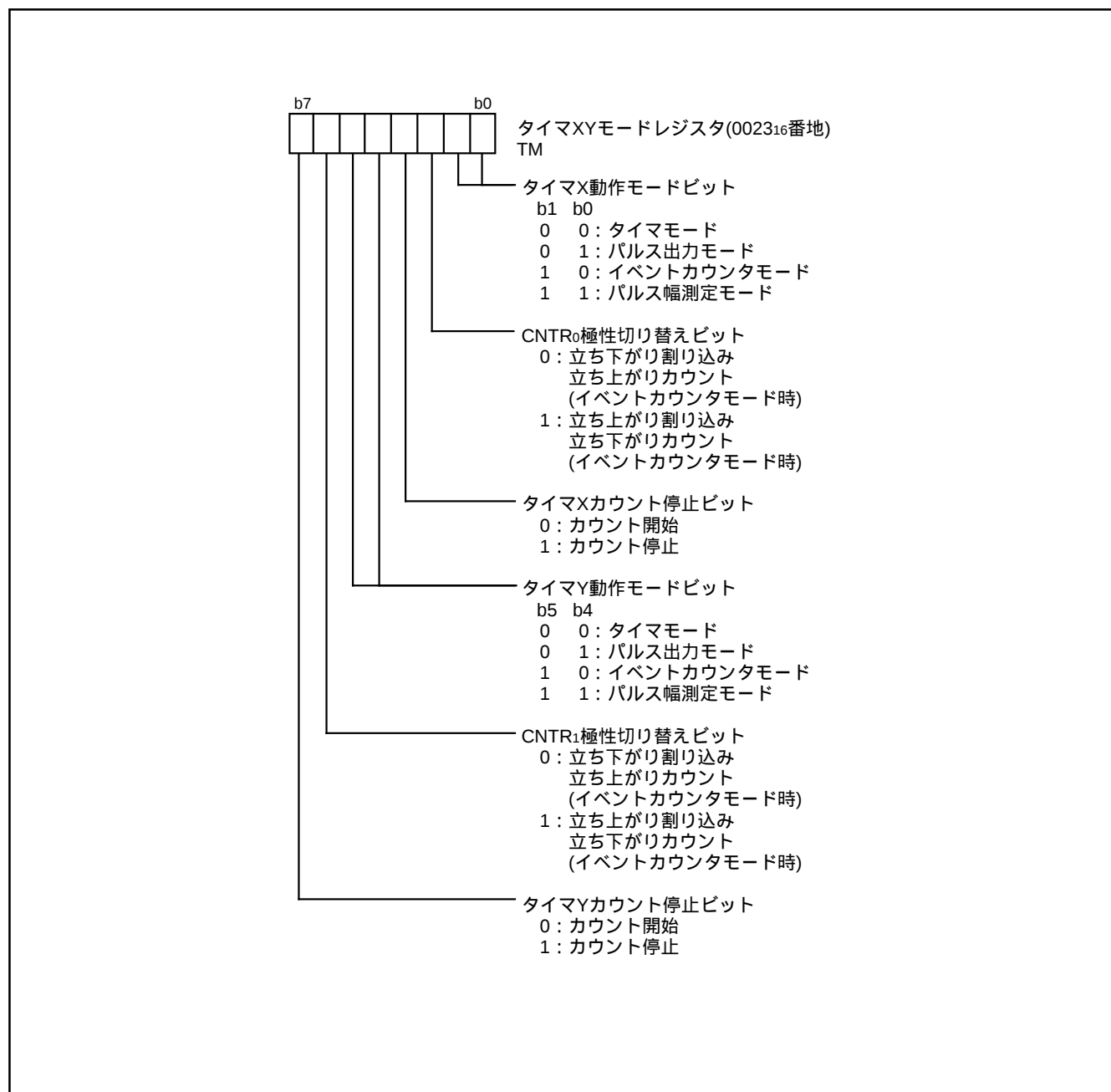


図18. タイマXYモードレジスタの構成

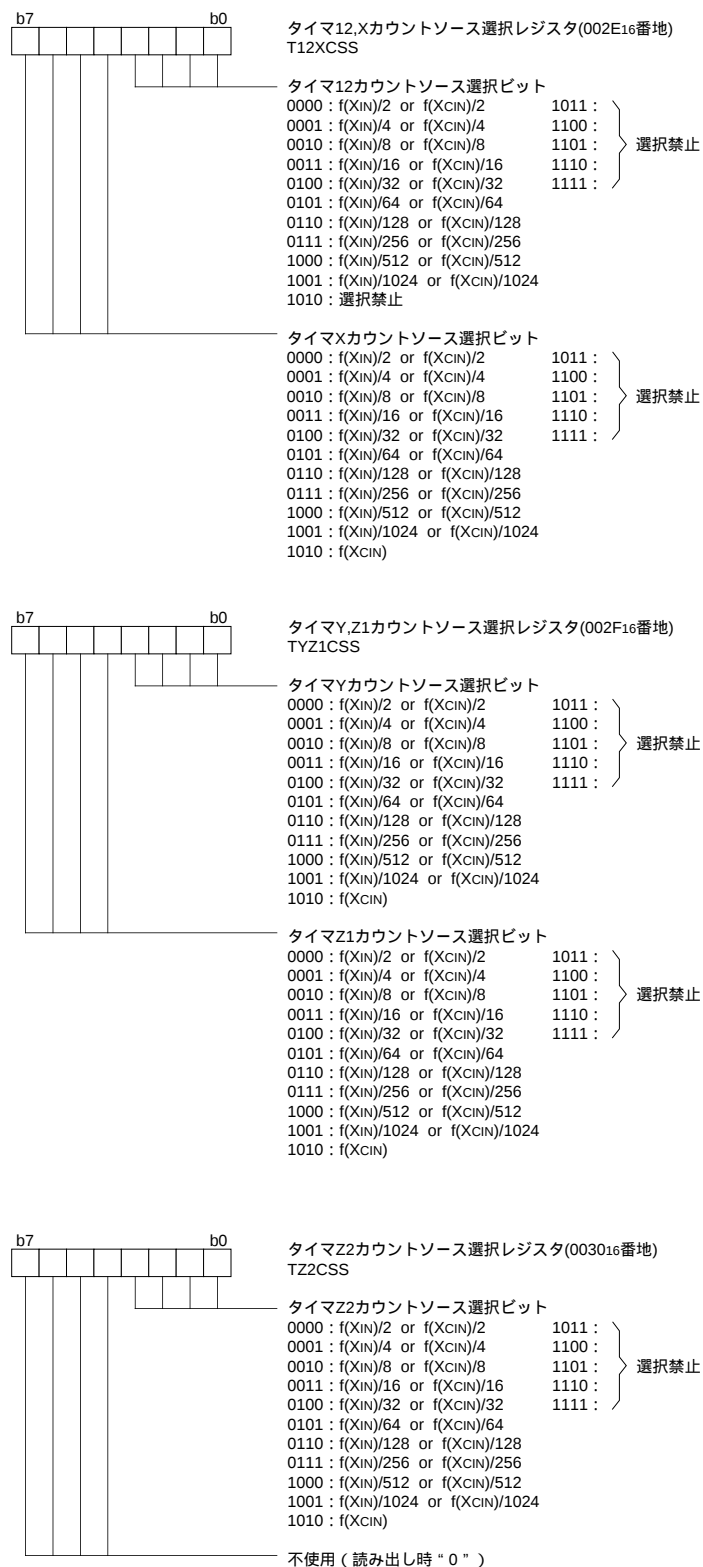


図19. タイマ12,X,Y,Z1,Z2カウントソース選択レジスタの構成

タイマZ1

● 16ビットタイマ

タイマZ1は16ビットのタイマで、タイマの内容が 0000_{16} になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローするとタイマZ1に対応する割り込み要求ビットが 1 にセットされます。

タイマZ1を読み書きする場合は、必ず上位バイト、下位バイトとも読み書きしてください。タイマZ1の値を読み出す場合は、上位バイト、下位バイトの順に読み出しを行い、上位バイトの読み出し操作と下位バイトの読み出し操作の間にタイマZ1への書き込みを行わないでください。タイマZ1へ値を書き込む場合は、下位バイト、上位バイトの順に書き込みを行い、下位バイトへの書き込み操作と上位バイトへの書き込み操作の間にタイマZ1の読み出しを行わないでください。

タイマY,Z1カウントソース選択レジスタ(000F₁₆番地)のタイマZ1カウントソース選択ビット(b7, b6, b5, b4)によりカウントソースを選択することができます。

タイマZ1はタイマZ1モードレジスタにより7つの動作モードを選択することができます。

(1) タイマモード

<モードの選択>

タイマZ1モードレジスタ(0028₁₆番地)のタイマZ1動作モードビット(b2, b1, b0)を 000 に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を 0 に設定することによりこのモードが選択されます。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ 、 $1/64$ 、 $1/128$ 、 $1/256$ 、 $1/512$ 、 $1/1024$ または $f(X_{CIN})$ です。

低速モード時のカウントソースは $f(X_{CIN})$ の $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ 、 $1/64$ 、 $1/128$ 、 $1/256$ 、 $1/512$ 、 $1/1024$ または $f(X_{CIN})$ です。

<割り込み>

アンダフロー発生時、割り込み要求レジスタ1(003C₁₆番地)のタイマZ1/CNTR2割り込み要求ビット(b1)が 1 になります。

<動作説明>

タイマ停止状態では、通常ラッチおよびタイマへの同時書き込みによってタイマの値を設定します。タイマ動作はタイマZ1モードレジスタ(0028₁₆番地)のタイマZ1カウント停止ビット(b6)に 0 を設定することにより開始します。タイマの内容が 0000_{16} になった次のカウントパルスでアンダフローし、タイマラッチの内容をリロードしてカウントを続けます。カウント動作中にタイマの値を変更する場合は、ラッチのみへの書き込みによってラッチの値を変更することにより、次のアンダフロー時にタイマラッチのリロードでタイマの値が変更されます。

(2) イベントカウンタモード

<モードの選択>

タイマZ1モードレジスタ(0028₁₆番地)のタイマZ1動作モードビット(b2, b1, b0)を 000 に設定し、かつ、タイマモード/イベントカウンタモード切り替えビット(b7)を 1 に設定することによりこのモードを選択します。カウント動作の有効エッジはタイマZ1モードレジスタ(0028₁₆番地)のCNTR2極性切り替えビット(b5)の設定によって決まり、 0 のときは立ち上がりエッジ、 1 のときは立ち下がりエッジをカウントします。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

<動作説明>

タイマモードの動作説明と同様です。このモードではCNTR2端子と共用のポートP22を入力に設定してください。

図22にタイマ・イベントカウンタモードのタイミング図を示します。

(3) パルス出力モード

<モードの選択>

タイマZ1モードレジスタ(0028₁₆番地)のタイマZ1動作モードビット(b2, b1, b0)を 001 に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を 0 に設定することによりこのモードが選択されます。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ 、 $1/64$ 、 $1/128$ 、 $1/256$ 、 $1/512$ 、 $1/1024$ または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ 、 $1/64$ 、 $1/128$ 、 $1/256$ 、 $1/512$ 、 $1/1024$ または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

<動作説明>

タイマがアンダフローするたびに極性の反転するパルスをCNTR2端子から出力することを除けば、タイマモードと同じ動作をします。タイマZ1モードレジスタ(0028₁₆番地)のCNTR2極性切り替えビット(b5)が 0 のときはCNTR2端子の出力は H 出力から開始します。 1 のときは L 出力から開始します。

<注意事項>

このモードを選択すると、CNTR2端子と共用のポートP22は自動的にタイマパルス出力ポートに設定されます。

CNTR2端子の出力はタイマへの書き込みによってCNTR2極性切り替えビットで設定されるレベルに初期化されます。

CNTR2極性切り替えビットの値を書き換えるとCNTR2端子の出力レベルが反転します。

図23にパルス出力モードのタイミング図を示します。

(4) パルス周期測定モード

<モードの選択>

タイマZ1モードレジスタ(0028₁₆番地)のタイマZ1動作モードビット(b2, b1, b0)を'010'に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を'0'に設定することによりこのモードが選択されます。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アングフロー時の割り込みはタイマモードの説明と同様です。パルス周期測定終了と同時に割り込み要求レジスタ1(003C₁₆番地)のタイマZ1/CNTR2割り込み要求ビット(b1)が'1'になります。

<動作説明>

CNTR2端子から入力されたパルスの周期を測定します。タイマZ1モードレジスタ(0028₁₆番地)のCNTR2極性切り替えビット(b5)が'0'の場合はCNTR2端子入力の立ち下がりから次の立ち上がりまでの期間中カウントします。'1'の場合はCNTR2端子入力の立ち上がりから次の立ち上がりまでの期間中カウントします。測定終了/開始の有効エッジを検出した場合、タイマ値の1の補数(測定値)がタイマラッチに書き込まれ、タイマには'FFFF₁₆'が設定されます。また、タイマがアングフローした場合、タイマZ1割り込みが発生し、タイマには'FFFF₁₆'が設定されます。タイマZ1の読み出しを行うとタイマラッチ(測定値)の読み出しとなります。測定値は次の測定完了まで保持されています。

<注意事項>

このモードではCNTR2端子と共用のポートP22を入力に設定してください。

このモードではタイマ値(測定中のタイマ値)の読み出しを行いません。タイマへの書き込みはタイマ動作停止中(パルス周期未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアングフローした場合、またはパルス周期測定の有効エッジを検出した場合のみ'FFFF₁₆'に設定されます。よってパルス周期測定開始時タイマの値は、測定開始前のタイマの値に依存します。

図24にパルス周期測定モードのタイミング図を示します。

(5) パルス幅測定モード

<モードの選択>

タイマZ1モードレジスタ(0028₁₆番地)のタイマZ1動作モードビット(b2, b1, b0)を'011'に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を'0'に設定することによりこのモードになります。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アングフロー時の割り込みはタイマモードの説明と同様です。パルス幅測定終了と同時に割り込み要求レジスタ1(003C₁₆番地)のタイマZ1/CNTR2割り込み要求ビット(b1)が'1'になります。

<動作説明>

CNTR2端子から入力されたパルス幅を測定します。タイマZ1モードレジスタ(0028₁₆番地)のCNTR2極性切り替えビット(b5)が'0'の場合はCNTR2端子入力の立ち上がりから次の立ち下がり('H'期間)までの期間中カウントします。タイマZ1モードレジスタ(0028₁₆番地)のCNTR2極性切り替えビット(b5)が'1'の場合はCNTR2端子入力の立ち下がりから次の立ち上がり('L'期間)までの期間中カウントします。測定終了/開始の有効エッジを検出した場合、タイマ値の1の補数(測定値)がタイマラッチに書き込まれます。また、測定終了/開始の有効エッジを検出した場合、タイマには'FFFF₁₆'が設定されます。また、タイマがアングフローした場合、タイマZ1の読み出しを行うとタイマラッチ(測定値)の読み出しとなります。測定値は次の測定完了まで保持されています。

<注意事項>

このモードではCNTR2端子と共用のポートP22を入力に設定してください。

このモードではタイマ値(測定中のタイマ値)の読み出しを行いません。タイマへの書き込みはタイマ動作停止中(パルス幅未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアングフローした場合、またはパルス幅測定の有効エッジを検出した場合のみ'FFFF₁₆'に設定されます。よってパルス幅測定開始時のタイマの値は、測定開始以前のタイマの値に依存します。

図25にパルス幅測定モードのタイミング図を示します。

(6) プログラマブル波形発生モード

<モードの選択>

タイマZ1モードレジスタ(002816番地)のタイマZ1動作モードビット(b2, b1, b0)を^①100に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を^②0に設定することにより、このモードとなります。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

<動作説明>

タイマがアンダフローするたびにタイマZ1モードレジスタ(002816番地)のアウトプットレベルラッチ(b4)に設定された値のレベルをCNTR2端子より出力することを除けば、タイマモードと同じ動作をします。アンダフロー発生後、アウトプットレベルラッチとタイマラッチの値を変更することによって、任意の波形をCNTR2端子より発生することが可能です。

<注意事項>

このモードを選択するとCNTR2端子と共用のポートP22は自動的にプログラマブル波形発生ポートに設定されます。

図26にプログラマブル波形発生モードのタイミング図を示します。

(7) プログラマブルワンショット発生モード

<モードの選択>

タイマZ1モードレジスタ(002816番地)のタイマZ1動作モードビット(b2, b1, b0)を^①101に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を^②0に設定することにより、このモードとなります。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同じです。ワンショット発生のトリガは、割り込みエッジ選択レジスタ(003A16番地)のINT1割り込みエッジ選択ビット(b1)の設定により、“0”のときは立ち下がりエッジアクティブ、“1”のときは立ち上がりエッジアクティブを選択します。またINT1端子の有効エッジ検出によって、割り込み要求レジスタ1(003C16番地)のINT1割り込み要求ビット(b1)が^③1になります。

<動作説明>

“H”ワンショットパルスの場合:タイマZ1モードレジスタのb5=“0”

CNTR2端子の出力レベルは、モード選択時“L”に初期化されます。トリガ発生(INT1端子への入力信号)を検出すると、CNTR2端子から“H”を出力し、タイマのアンダフローによって“L”出力に切り替わります。タイマZ1下位、タイマZ1上位レジスタへの設定値によって“H”ワンショットパルス幅を設定します。タイマカウント停止中にトリガ発生を検出した場合にもCNTR2端子から“H”が出力されますが、アンダフローが発生しないため“H”出力状態が続きます。

“L”ワンショットパルスの場合:タイマZ1モードレジスタのb5=“1”

CNTR2端子の出力レベルはモード選択時“H”に初期化されます。トリガ発生(INT1端子への入力信号)を検出すると、CNTR2端子から“L”を出力し、タイマのアンダフローによって“H”出力に切り替わります。タイマZ1下位、タイマZ1上位レジスタへの設定値によって“L”ワンショットパルス幅を設定します。タイマカウント停止中にトリガ発生を検出した場合にもCNTR2端子から“L”が出力されますが、アンダフローが発生しないため“L”出力状態が続きます。

<注意事項>

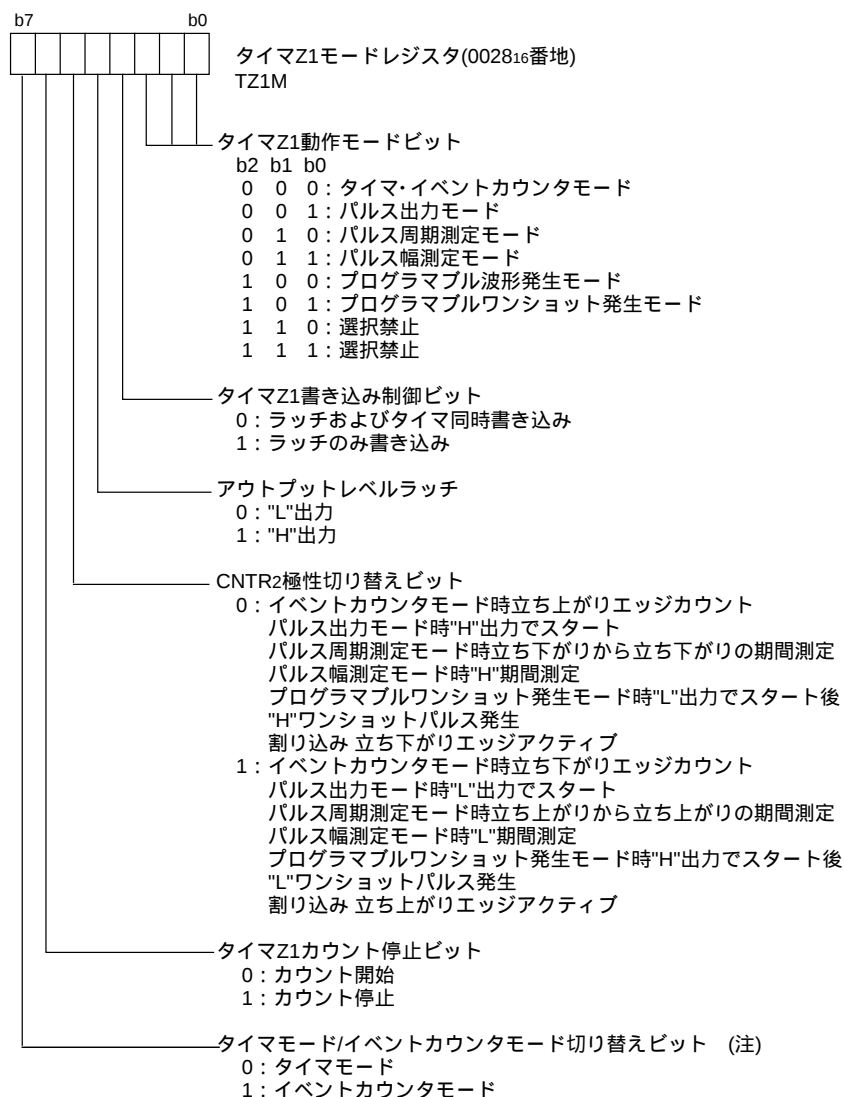
このモードではINT1端子と共用のポートP42を入力に設定してください。

CNTR2端子と共用のポートP22はこのモードを選択すると自動的にプログラマブル波形発生ポートに設定されます。

低速モード選択時このモードは使用できません。

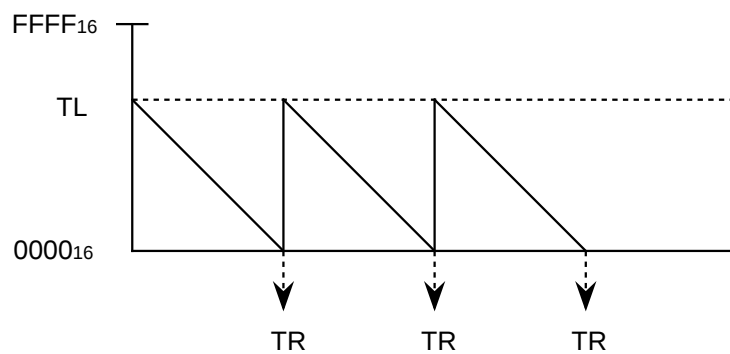
ワンショット発生許可中、またはワンショット発生中にCNTR2極性切り替えビットの値を変更した場合、CNTR2端子からの出力レベルが変化します。

図27にプログラマブルワンショット発生モードのタイミング図を示します。



注: タイマモード/イベントカウンタモード以外のモードを選択している時は、"0"を設定してください。

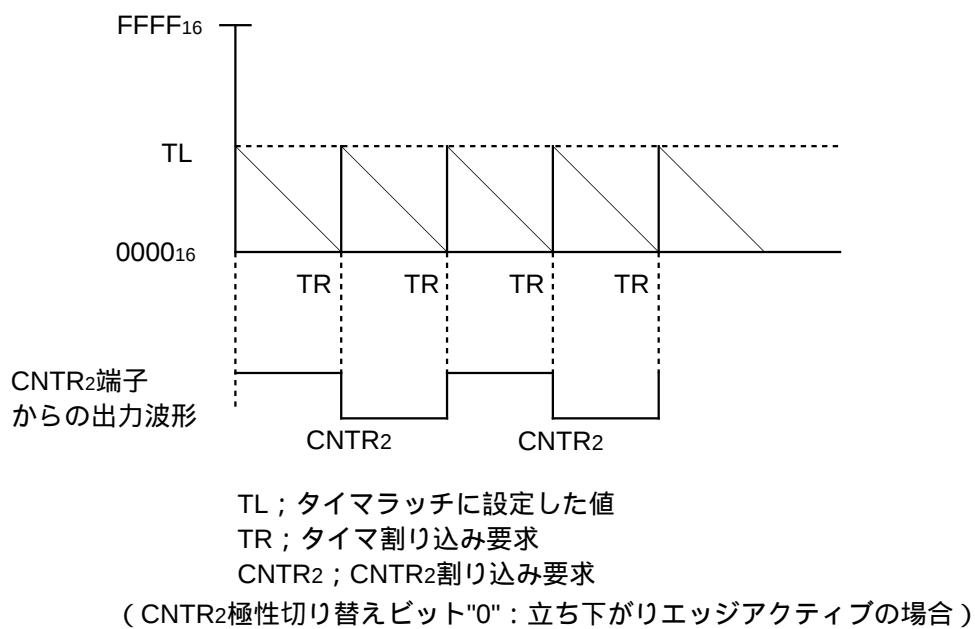
図21. タイマZ1モードレジスタの構成



TL ; タイマラッチに設定した値

TR ; タイマ割り込み要求

図22. タイマ・イベントカウンタモードのタイミング図



TL ; タイマラッチに設定した値

TR ; タイマ割り込み要求

CNTR2 ; CNTR2割り込み要求

(CNTR2極性切り替えビット"0" : 立ち下がりエッジアクティブの場合)

図23. パルス出力モードのタイミング図

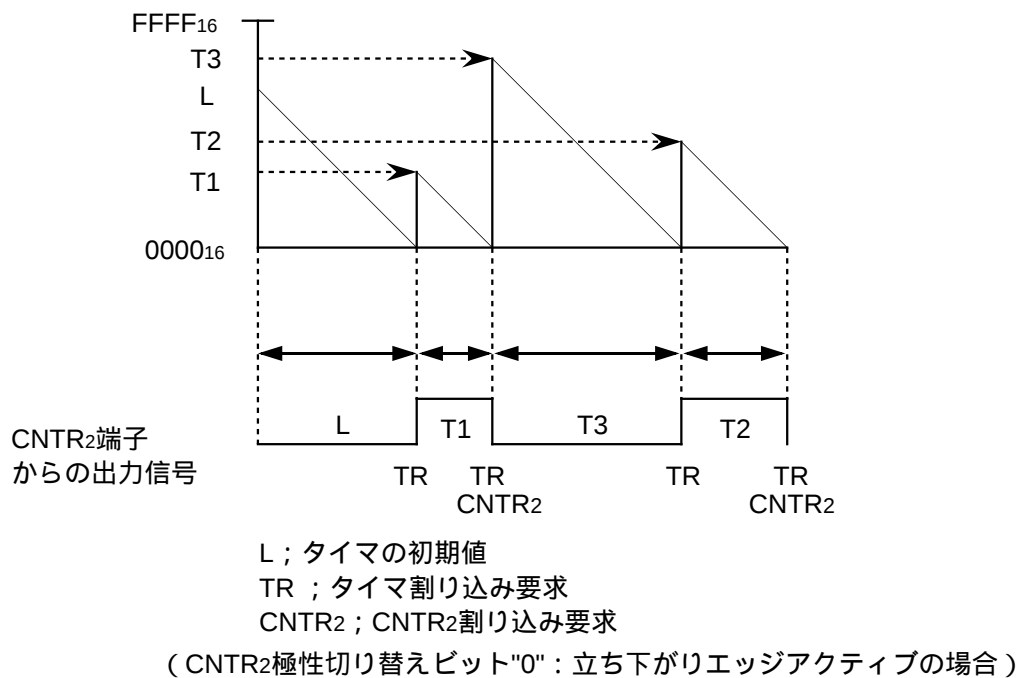


図26. プログラマブル波形発生モードのタイミング図

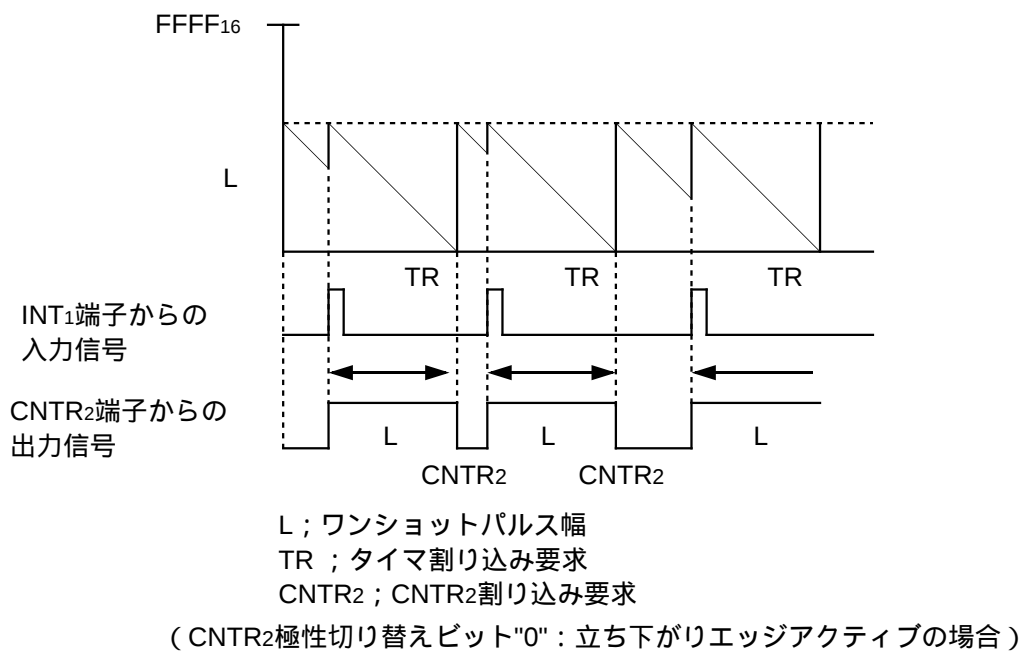


図27. プログラマブルワンショット発生モードのタイミング図(“H”ワンショットパルス発生時)

タイマZ2

● 16ビットタイマ

タイマZ2は16ビットのタイマで、タイマの内容が 0000_{16} になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローするとタイマZ2に対応する割り込み要求ビットが 1 にセットされます。

タイマZ2を読み書きする場合は、必ず上位バイト、下位バイトとも読み書きしてください。タイマZ2の値を読み出す場合は、上位バイト、下位バイトの順に読み出しを行い、上位バイトの読み出し操作と下位バイトの読み出し操作の間にタイマZ2への書き込みを行わないでください。タイマZ2へ値を書き込む場合は、下位バイト、上位バイトの順に書き込みを行い、下位バイトへの書き込み操作と上位バイトへの書き込み操作の間にタイマZ2の読み出しを行わないでください。

タイマZ2カウントソース選択レジスタ(0030₁₆番地)のタイマZ2カウントソース選択ビット(b7, b6, b5, b4)によりカウントソースを選択することができます。

タイマZ2はタイマZ2モードレジスタにより7つの動作モードを選択することができます。

(1) タイマモード

<モードの選択>

タイマZ2モードレジスタ(002B₁₆番地)のタイマZ2動作モードビット(b2, b1, b0)を 000 に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を 0 に設定することによりこのモードが選択されます。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ 、 $1/64$ 、 $1/128$ 、 $1/256$ 、 $1/512$ 、 $1/1024$ または $f(X_{CIN})$ です。

低速モード時のカウントソースは $f(X_{CIN})$ の $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ 、 $1/64$ 、 $1/128$ 、 $1/256$ 、 $1/512$ 、 $1/1024$ または $f(X_{CIN})$ です。

<割り込み>

アンダフロー発生時、割り込み要求レジスタ1(003C₁₆番地)のタイマZ2/CNTR3割り込み要求ビット(b5)が 1 になります。

<動作説明>

タイマ停止状態では、通常ラッチおよびタイマへの同時書き込みによってタイマの値を設定します。タイマ動作はタイマZ2モードレジスタ(002B₁₆番地)のタイマZ2カウント停止ビット(b6)に 0 を設定することにより開始します。タイマの内容が 0000_{16} になった次のカウントパルスでアンダフローし、タイマラッチの内容をリロードしてカウントを続けます。カウント動作中にタイマの値を変更する場合は、ラッチのみへの書き込みによってラッチの値を変更することにより、次のアンダフロー時にタイマラッチのリロードでタイマの値が変更されます。

(2) イベントカウンタモード

<モードの選択>

タイマZ2モードレジスタ(002B₁₆番地)のタイマZ2動作モードビット(b2, b1, b0)を 000 に設定し、かつ、タイマモード/イベントカウンタモード切り替えビット(b7)を 1 に設定することによりこのモードを選択します。カウント動作の有効エッジはタイマZ2モードレジスタ(002B₁₆番地)のCNTR3極性切り替えビット(b5)の設定によって決まり、 0 のときは立ち上がりエッジ、 1 のときは立ち下がりエッジをカウントします。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

<動作説明>

タイマモードの動作説明と同様です。このモードではCNTR3端子と共用のポートP23を入力に設定してください。

図30にタイマ・イベントカウンタモードのタイミング図を示します。

(3) パルス出力モード

<モードの選択>

タイマZ2モードレジスタ(002B₁₆番地)のタイマZ2動作モードビット(b2, b1, b0)を 001 に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を 0 に設定することによりこのモードが選択されます。

<カウントソース選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ 、 $1/64$ 、 $1/128$ 、 $1/256$ 、 $1/512$ 、 $1/1024$ または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ 、 $1/64$ 、 $1/128$ 、 $1/256$ 、 $1/512$ 、 $1/1024$ または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

<動作説明>

タイマがアンダフローするたびに極性の反転するパルスをCNTR3端子から出力することを除けば、タイマモードと同じ動作をします。タイマZ2モードレジスタ(002B₁₆番地)のCNTR3極性切り替えビット(b5)が 0 のときはCNTR3端子の出力は H 出力から開始します。 1 のときは L 出力から開始します。

<注意事項>

このモードを選択すると、CNTR3端子と共用のポートP23は自動的にタイマパルス出力ポートに設定されます。

CNTR3端子の出力はタイマへの書き込みによってCNTR3極性切り替えビットで設定されるレベルに初期化されます。

CNTR3極性切り替えビットの値を書き換えるとCNTR3端子の出力レベルが反転します。

図31にパルス出力モードのタイミング図を示します。

(4) パルス周期測定モード

<モードの選択>

タイマZ2モードレジスタ(002B16番地)のタイマZ2動作モードビット(b2, b1, b0)を'010'に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を'0'に設定することによりこのモードが選択されます。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アングフロー時の割り込みはタイマモードの説明と同様です。パルス周期測定終了と同時に割り込み要求レジスタ1(003C16番地)のタイマZ2/CNTR3割り込み要求ビット(b1)が'1'になります。

<動作説明>

CNTR3端子から入力されたパルスの周期を測定します。タイマZ2モードレジスタ(002B16番地)のCNTR3極性切り替えビット(b5)が'0'の場合はCNTR3端子入力の立ち下がりから次の立ち上がりまでの期間中カウントします。'1'の場合はCNTR3端子入力の立ち上がりから次の立ち上がりまでの期間中カウントします。測定終了/開始の有効エッジを検出した場合、タイマ値の1の補数(測定値)がタイマラッチに書き込まれ、タイマには'FFFF16'が設定されます。また、タイマがアングフローした場合、タイマZ2割り込みが発生し、タイマには'FFFF16'が設定されます。タイマZ2の読み出しを行うとタイマラッチ(測定値)の読み出しとなります。測定値は次の測定完了まで保持されています。

<注意事項>

このモードではCNTR3端子と共用のポートP23を入力に設定してください。

このモードではタイマ値(測定中のタイマ値)の読み出しを行いません。タイマへの書き込みはタイマ動作停止中(パルス周期未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアングフローした場合、またはパルス周期測定の有効エッジを検出した場合のみ'FFFF16'に設定されます。よってパルス周期測定開始時タイマの値は、測定開始前のタイマの値に依存します。

図32にパルス周期測定モードのタイミング図を示します。

(5) パルス幅測定モード

<モードの選択>

タイマZ2モードレジスタ(002B16番地)のタイマZ2動作モードビット(b2, b1, b0)を'011'に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を'0'に設定することによりこのモードになります。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アングフロー時の割り込みはタイマモードの説明と同様です。パルス幅測定終了と同時に割り込み要求レジスタ1(003C16番地)のタイマZ2/CNTR3割り込み要求ビット(b1)が'1'になります。

<動作説明>

CNTR3端子から入力されたパルス幅を測定します。タイマZ2モードレジスタ(002B16番地)のCNTR3極性切り替えビット(b5)が'0'の場合はCNTR3端子入力の立ち上がりから次の立ち下がり('H'期間)までの期間中カウントします。タイマZ2モードレジスタ(002B16番地)のCNTR3極性切り替えビット(b5)が'1'の場合はCNTR3端子入力の立ち下がりから次の立ち上がり('L'期間)までの期間中カウントします。測定終了/開始の有効エッジを検出した場合、タイマ値の1の補数(測定値)がタイマラッチに書き込まれます。また、測定終了/開始の有効エッジを検出した場合、タイマには'FFFF16'が設定されます。また、タイマがアングフローした場合、タイマZ2の読み出しを行うとタイマラッチ(測定値)の読み出しとなります。測定値は次の測定完了まで保持されています。

<注意事項>

このモードではCNTR3端子と共用のポートP23を入力に設定してください。

このモードではタイマ値(測定中のタイマ値)の読み出しを行いません。タイマへの書き込みはタイマ動作停止中(パルス幅未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアングフローした場合、またはパルス幅測定の有効エッジを検出した場合のみ'FFFF16'に設定されます。よってパルス幅測定開始時のタイマの値は、測定開始以前のタイマの値に依存します。

図33にパルス幅測定モードのタイミング図を示します。

(6) プログラマブル波形発生モード

<モードの選択>

タイマZ2モードレジスタ(002B16番地)のタイマZ2動作モードビット(b2, b1, b0)を⁴ 100¹に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を⁴ 0¹に設定することにより、このモードとなります。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同様です。

<動作説明>

タイマがアンダフローするたびにタイマZ2モードレジスタ(002B16番地)のアウトプットレベルラッチ(b4)に設定された値のレベルをCNTR3端子より出力することを除けば、タイマモードと同じ動作をします。アンダフロー発生後、アウトプットレベルラッチとタイマラッチの値を変更することによって、任意の波形をCNTR3端子より発生することが可能です。

<注意事項>

このモードを選択するとCNTR3端子と共用のポートP23は自動的にプログラマブル波形発生ポートに設定されます。

図34にプログラマブル波形発生モードのタイミング図を示します。

(7) プログラマブルワンショット発生モード

<モードの選択>

タイマZ2モードレジスタ(002B16番地)のタイマZ2動作モードビット(b2, b1, b0)を⁴ 101¹に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を⁴ 0¹に設定することにより、このモードとなります。

<カウントソースの選択>

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

<割り込み>

アンダフロー時の割り込みはタイマモードの説明と同じです。ワンショット発生のトリガは、割り込みエッジ選択レジスタ(003A16番地)のINT2割り込みエッジ選択ビット(b2)の設定により、“0”のときは立ち下がりエッジアクティブ、“1”のときは立ち上がりエッジアクティブを選択します。またINT2端子の有効エッジ検出によって、割り込み要求レジスタ1(003C16番地)のINT2割り込み要求ビット(b2)が⁴ 1¹になります。

<動作説明>

“H”ワンショットパルスの場合:タイマZ2モードレジスタのb5=“0”

CNTR3端子の出力レベルは、モード選択時“L”に初期化されます。トリガ発生(INT2端子への入力信号)を検出すると、CNTR3端子から“H”を出力し、タイマのアンダフローによって“L”出力に切り替わります。タイマZ2下位、タイマZ2上位レジスタへの設定値によって“H”ワンショットパルス幅を設定します。タイマカウント停止中にトリガ発生を検出した場合にもCNTR3端子から“H”が出力されますが、アンダフローが発生しないため“H”出力状態が続きます。

“L”ワンショットパルスの場合:タイマZ2モードレジスタのb5=“1”

CNTR3端子の出力レベルはモード選択時“H”に初期化されます。トリガ発生(INT2端子への入力信号)を検出すると、CNTR3端子から“L”を出力し、タイマのアンダフローによって“H”出力に切り替わります。タイマZ2下位、タイマZ2上位レジスタへの設定値によって“L”ワンショットパルス幅を設定します。タイマカウント停止中にトリガ発生を検出した場合にもCNTR3端子から“L”が出力されますが、アンダフローが発生しないため“L”出力状態が続きます。

<注意事項>

このモードではINT2端子と共用のポートP43を入力に設定してください。

CNTR3端子と共用のポートP23はこのモードを選択すると自動的にプログラマブル波形発生ポートに設定されます。

低速モード選択時このモードは使用できません。

ワンショット発生許可中、またはワンショット発生中にCNTR3極性切り替えビットの値を変更した場合、CNTR3端子からの出力レベルが変化します。

図35にプログラマブルワンショット発生モードのタイミング図を示します。

■全モードにおいての注意事項

・タイマZ2書き込み制御

タイマZ2はタイマZ2モードレジスタ(002B16番地)のタイマZ2書き込み制御ビット(b3)によってラッチおよびタイマへの同時書き込み、またはラッチのみへの書き込みのいずれかを選択できます。ラッチのみへ書き込む場合、タイマZ2のアドレスに値を書き込むとタイマラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチおよびタイマへの同時書き込みになっており、タイマZ2のアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。

なおラッチのみへ書き込む場合、リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときは、タイマに設定される値が不定になることがあります。

・タイマZ2読み出し制御

パルス周期測定モード、パルス幅測定モード選択時タイマ値は

読み出せません。これら以外のモードでは、カウント動作/停止に関係なく読み出し可能です。ただし、タイマラッチの値は読み出すことはできません。

・CNTR3、INT2割り込み極性切り替えについての注意

CNTR3極性切り替えビット、INT2割り込みエッジ選択ビットの設定により、それぞれの割り込み極性も影響を受けます。

・カウントソース切り替え時の注意

タイマZ2カウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細いパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

・CNTR3端子を通常入出力ポートP23としてご使用される場合の注意

CNTR3端子と共用のポートP23を通常入出力ポートとしてご使用される場合は、タイマZ2モードレジスタ(002B16番地)のタイマZ2動作モードビット(b2,b1,b0)を"000"に設定してください。

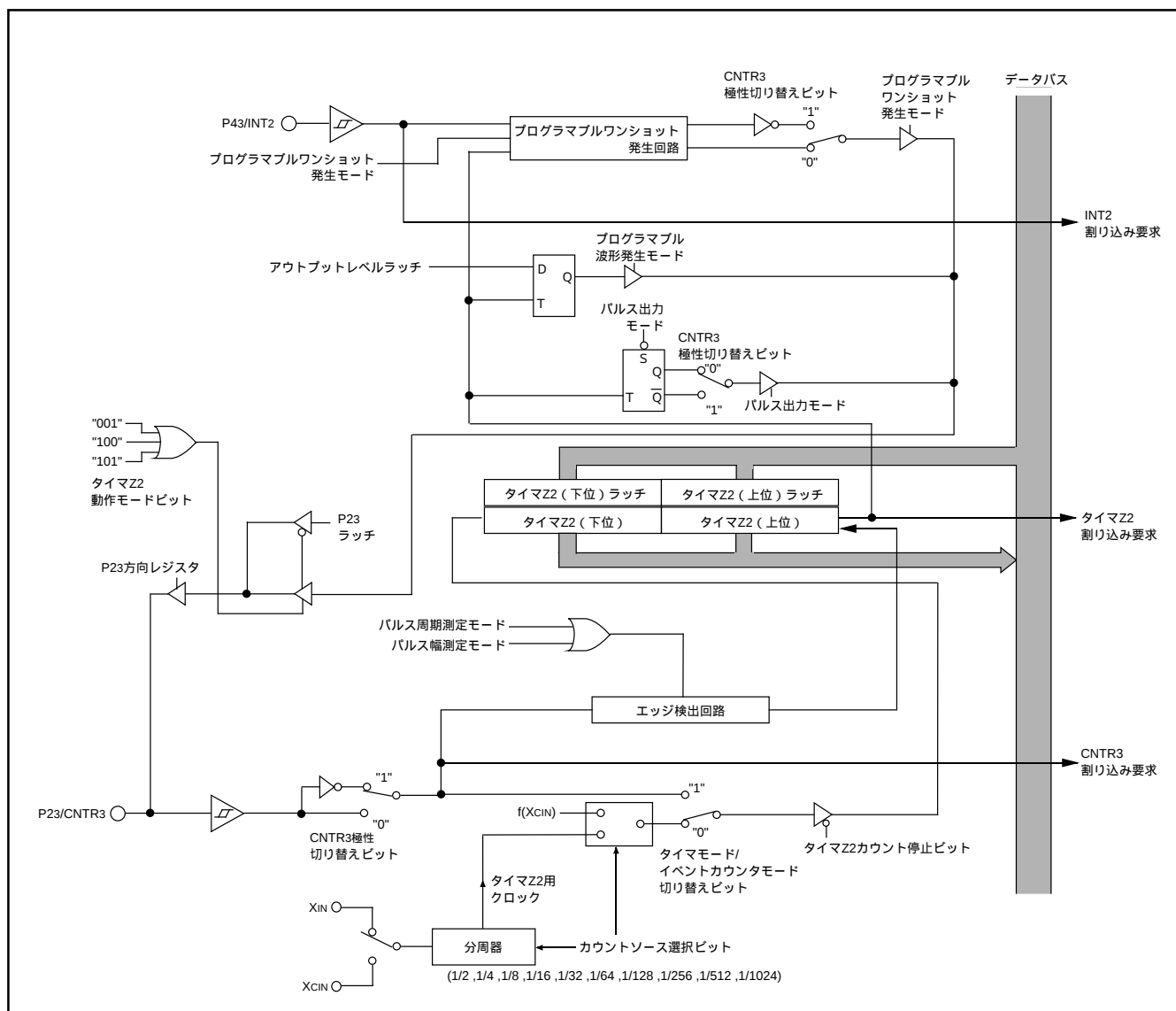
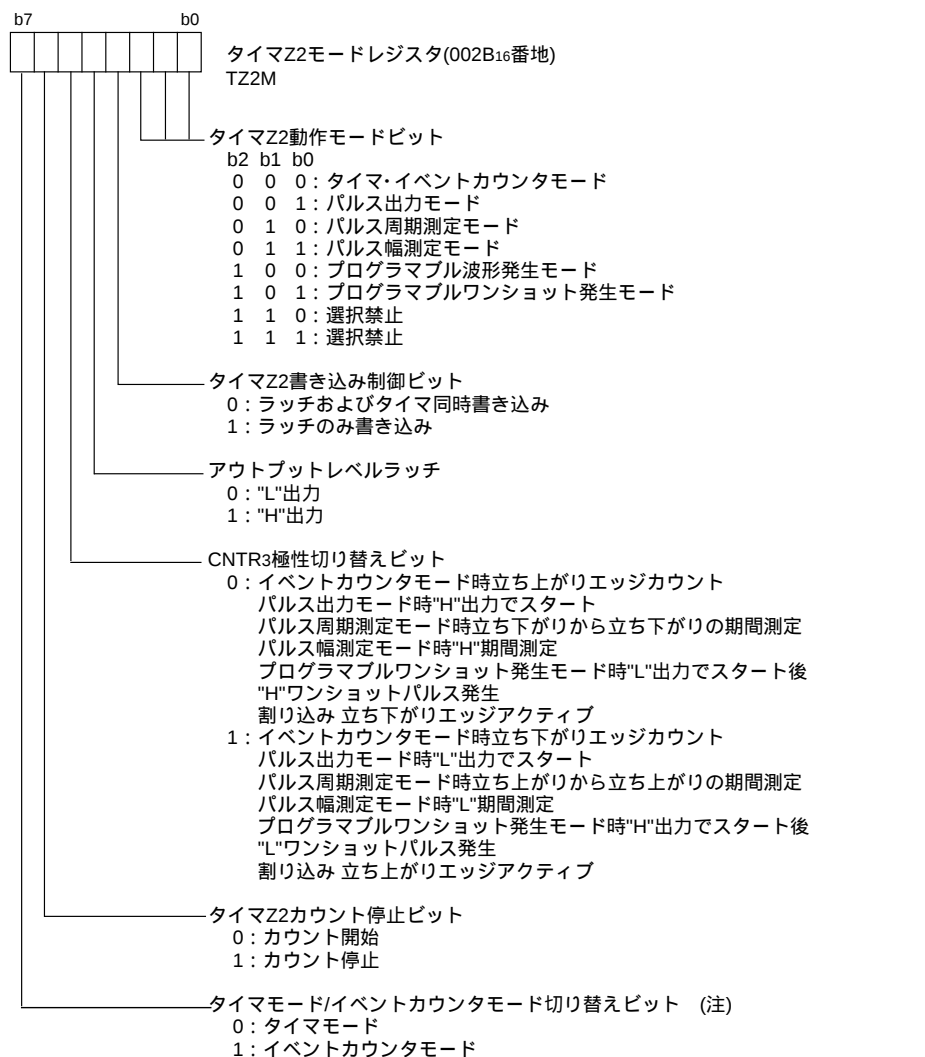
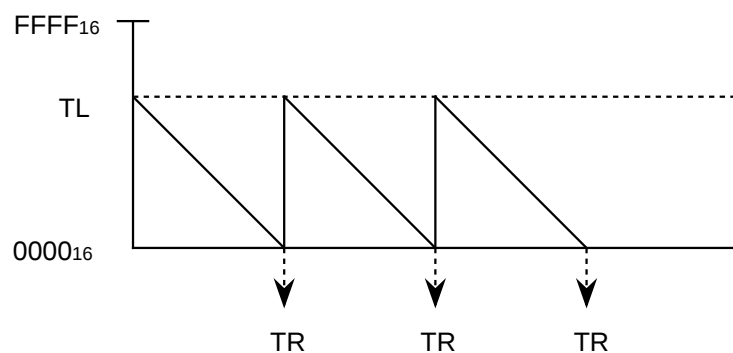


図28. タイマZ2のブロック図



注: タイマモード/イベントカウンタモード以外のモードを選択しているときは、"0"を設定してください。

図29. タイマZ2モードレジスタの構成



TL ; タイマラッチに設定した値
TR ; タイマ割り込み要求

図30. タイマ・イベントカウンタモードのタイミング図

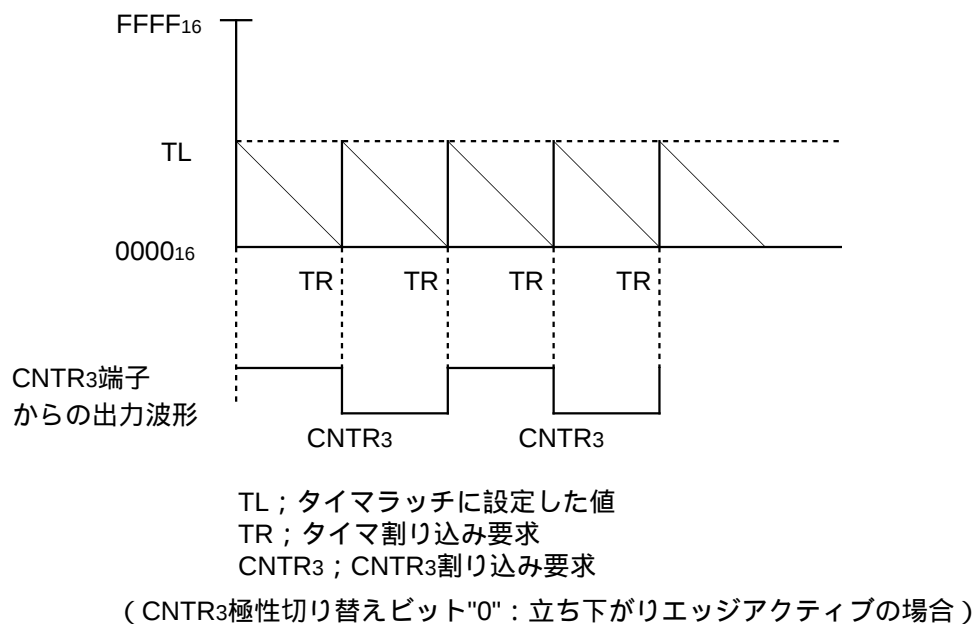


図31. パルス出力モードのタイミング図

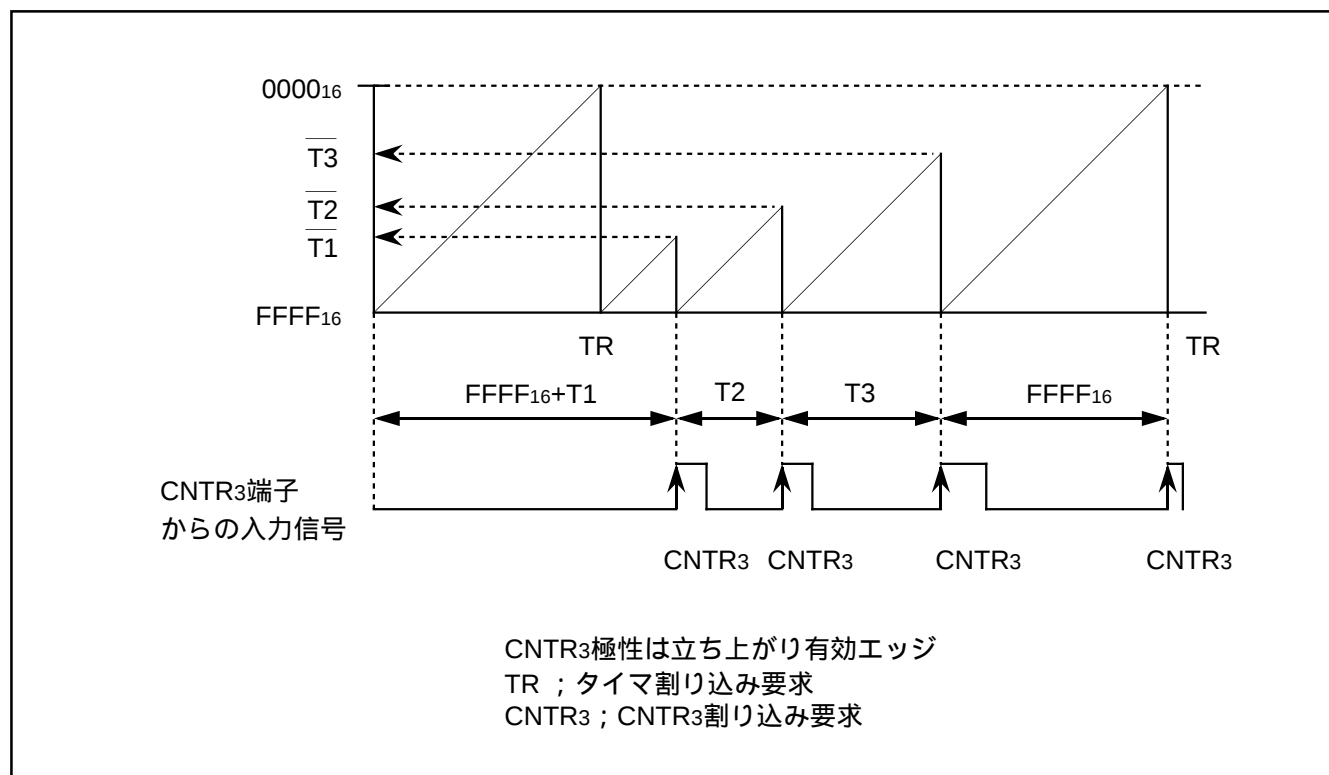


図32. パルス周期測定モードのタイミング図(立ち上がり区間測定時)

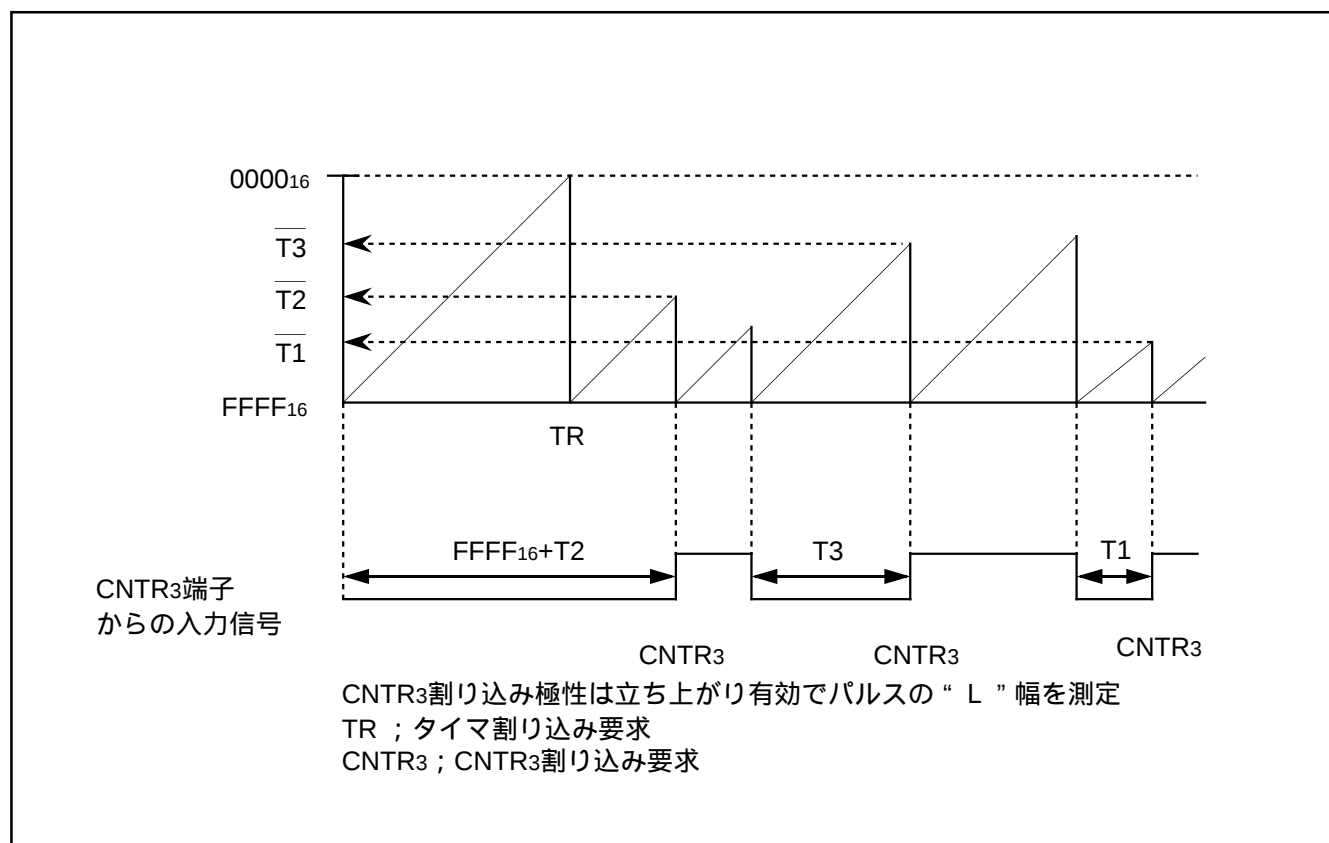


図33. パルス幅測定モードのタイミング図(“L”区間測定時)

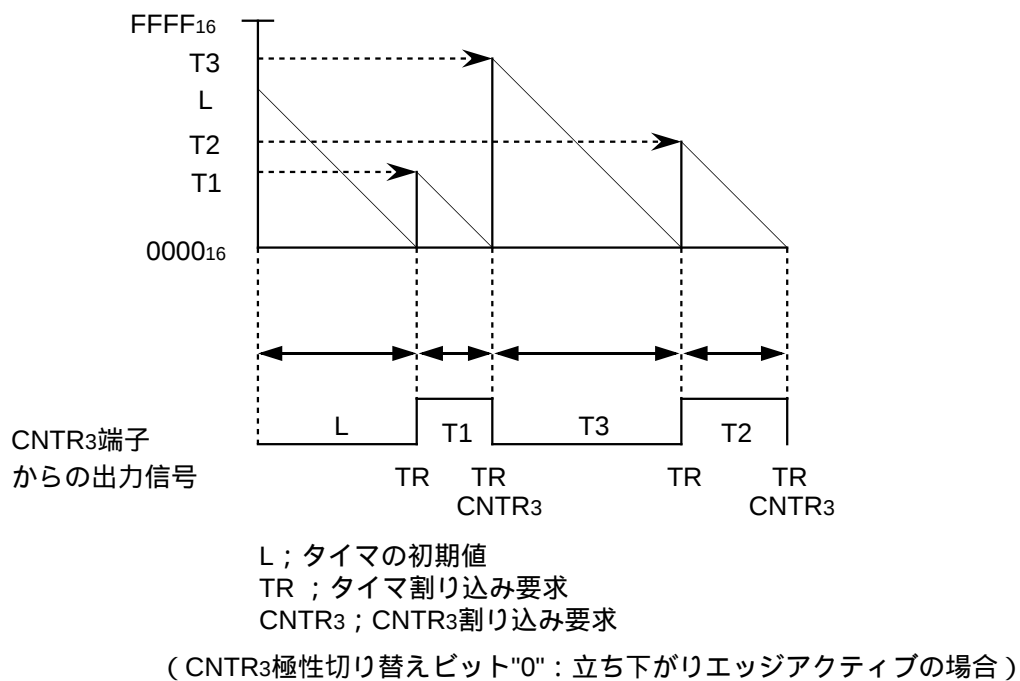


図34. プログラマブル波形発生モードのタイミング図

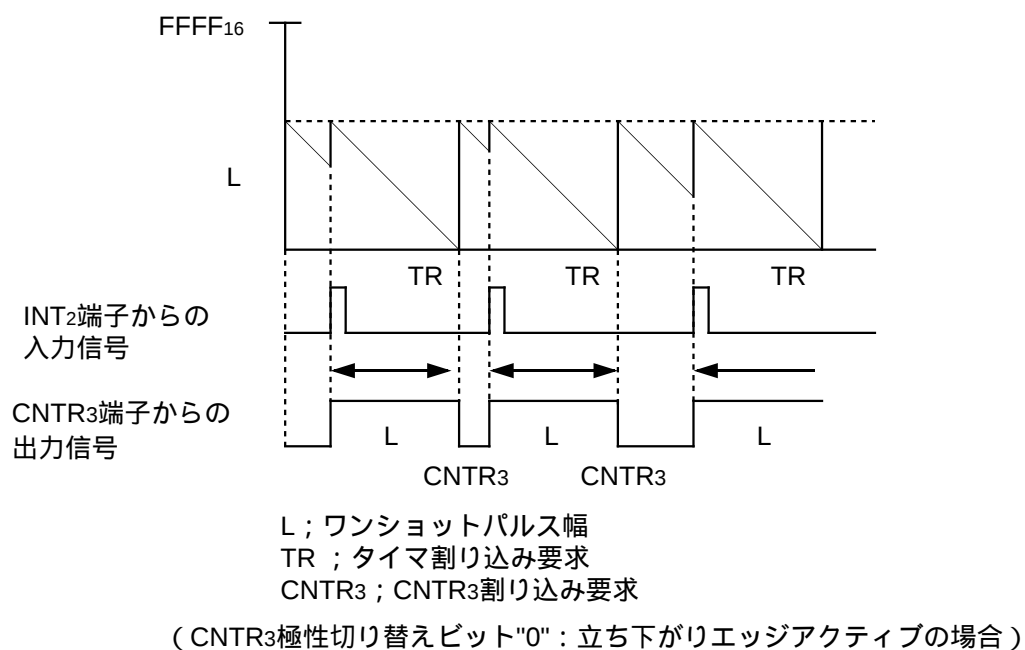


図35. プログラマブルワンショット発生モードのタイミング図(「H」ワンショットパルス発生時)

シリアルインタフェース

●シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのモード選択ビットを“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送/受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

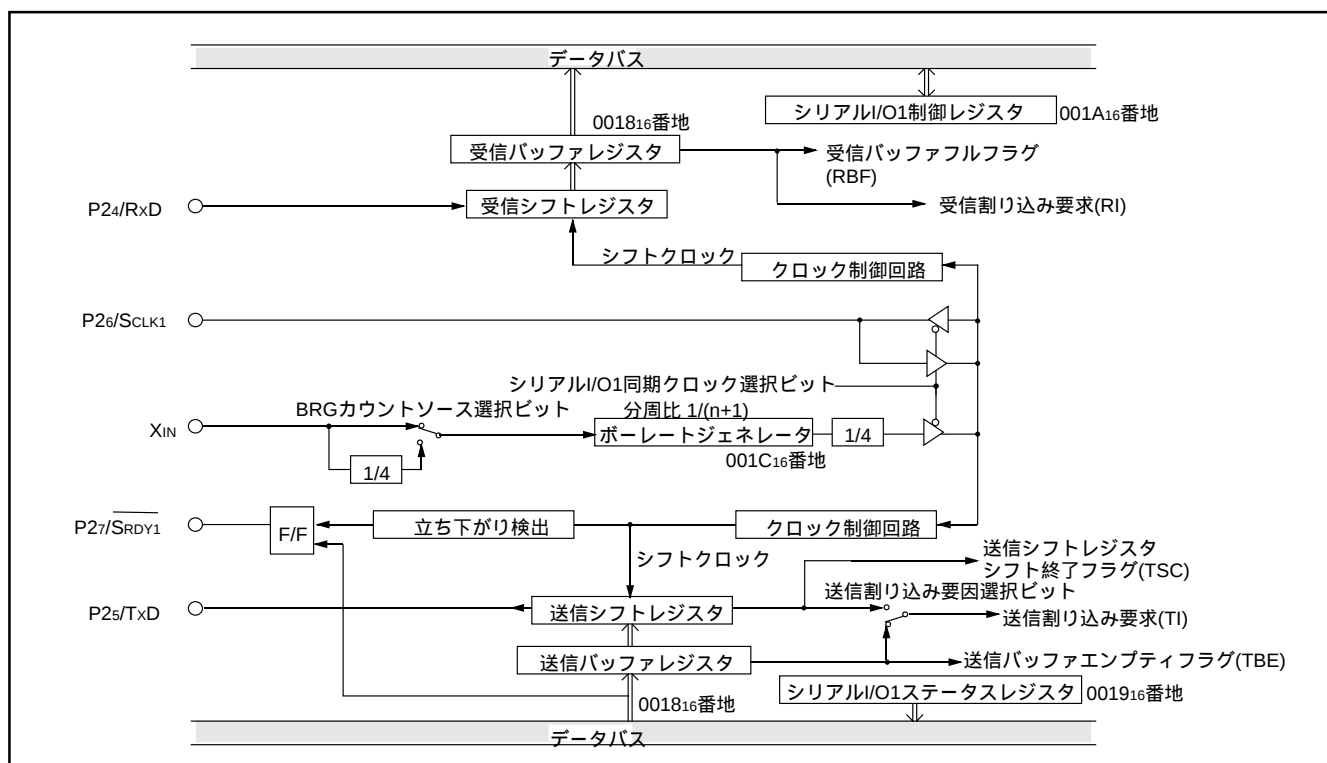


図36 .クロック同期形シリアルI/O1ブロック図

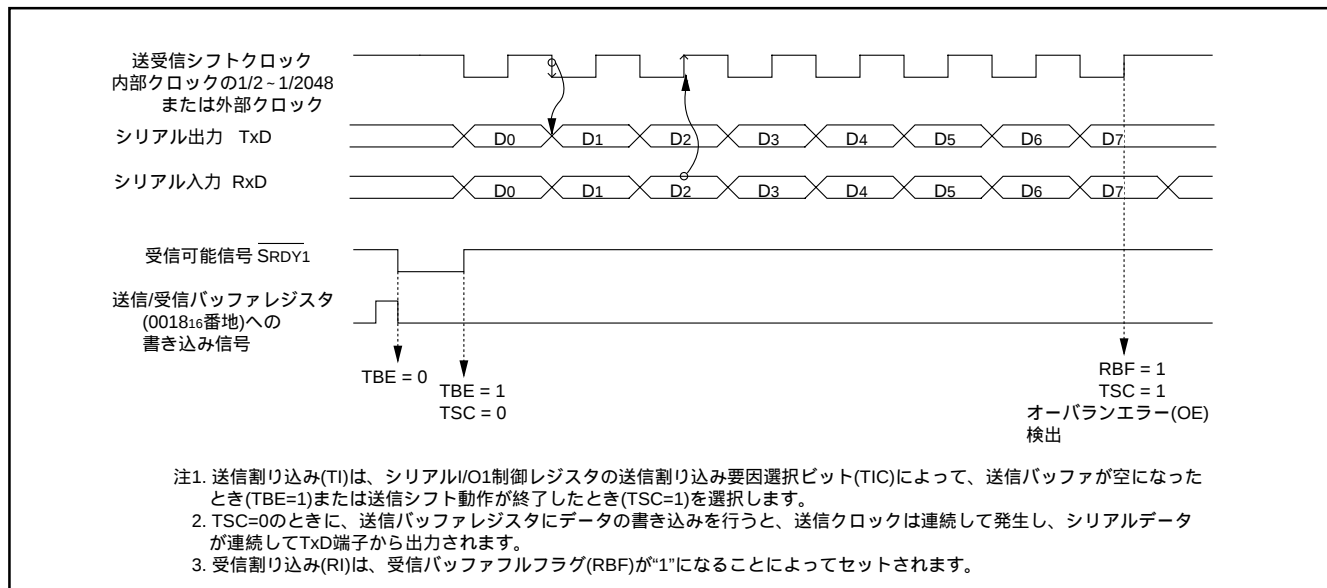


図37 .クロック同期形シリアルI/O1動作図

(2) 非同期形シリアルI/O(UART)モード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビット(b6)を“0”にすることによってUARTが選択されます。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持って

います(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

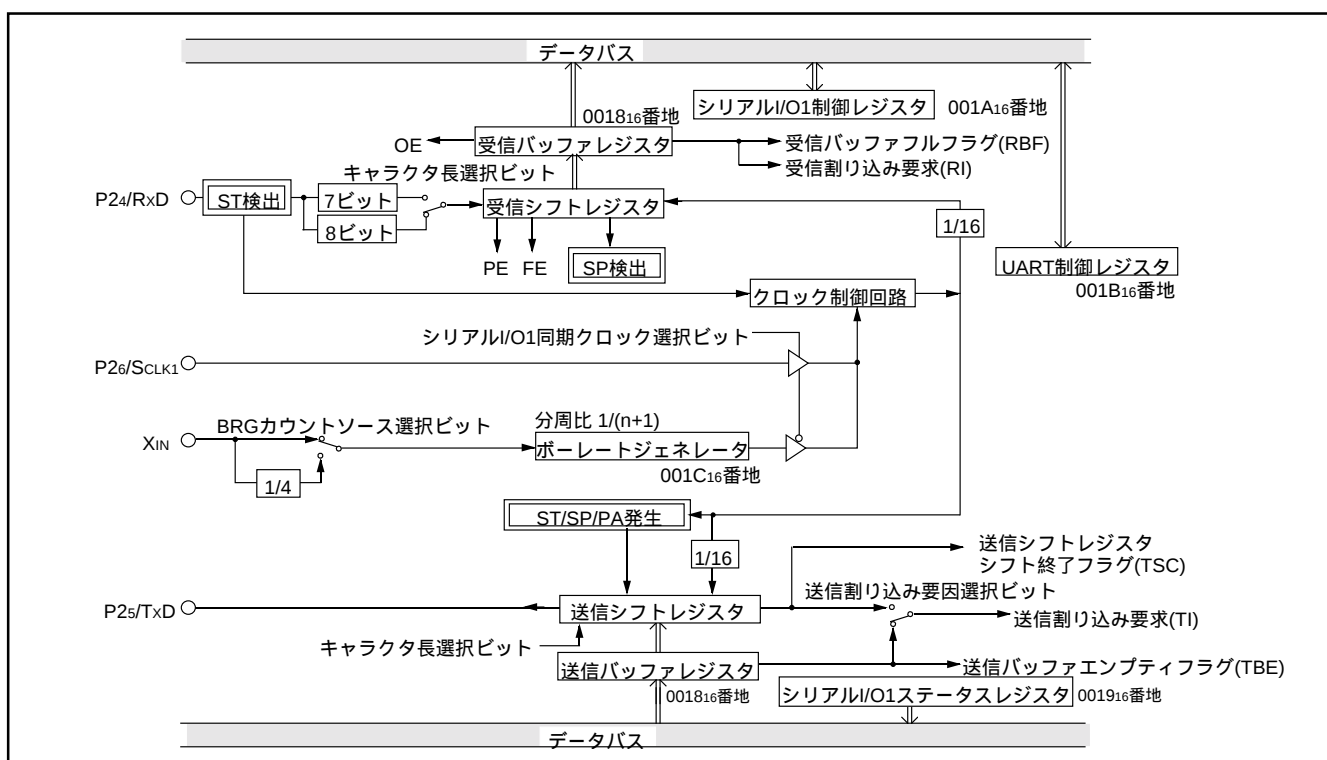


図38 .UART形シリアルI/O1ブロック図

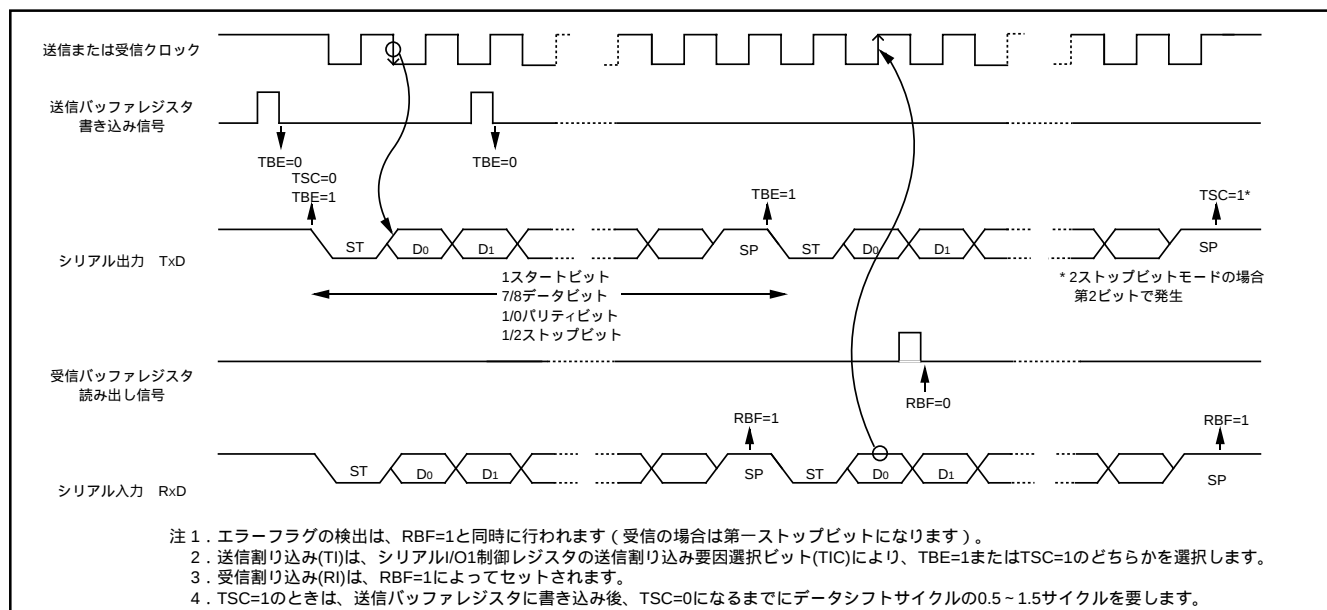


図39 .UART形シリアルI/O1動作図

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタービット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】SIOSTS

シリアルI/O1の動作状態を示すフラグおよび各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O1許可ビット(b7)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのビット0からビット6はリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビット(b4)を“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】SIOCON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P25/TxD端子の出力形式などを設定します。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

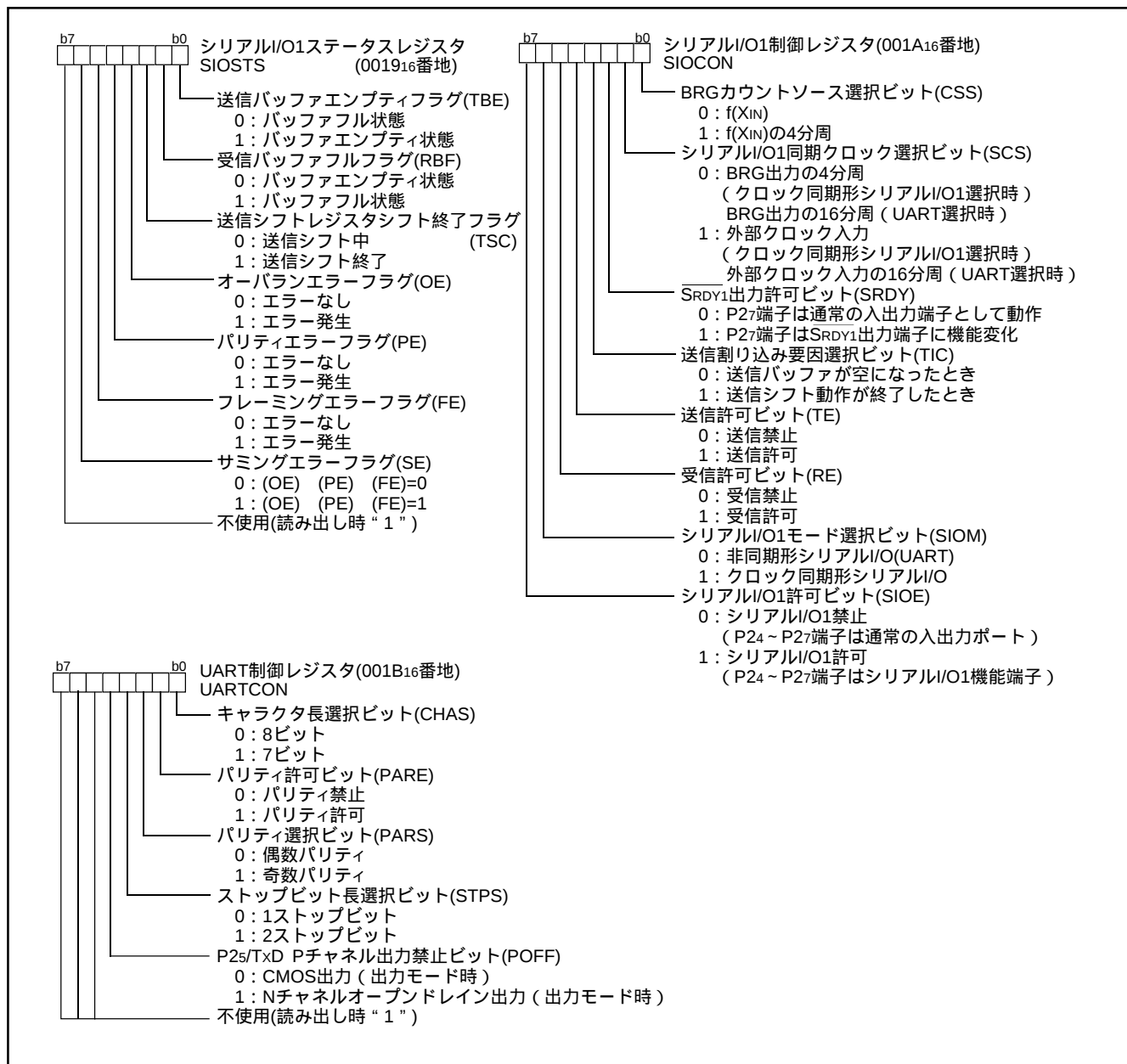


図40 .シリアルI/O1関係レジスタの構成

■注意事項

シリアルI/O1の送信許可ビットを"1"にしたとき、シリアルI/O1送信割り込み要求ビットが"1"になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

- (1) シリアルI/O1送信割り込み許可ビットを"0" (禁止)にする。
- (2) 送信許可ビットを"1"にする。
- (3) 一命令以上おいてから、シリアルI/O1送信割り込み要求ビットを"0"にする。
- (4) シリアルI/O1送信割り込み許可ビットを"1" (許可)にする。

●シリアルI/O2

シリアルI/O2は、クロック同期形としてのみ動作可能です。

シリアル転送を行うための同期クロックは、シリアルI/O2制御レジスタ1のシリアルI/O2同期クロック選択ビット(b6)により、内部クロックまたは外部クロックの選択ができます。

内部クロックは、専用の分周器を内蔵しており、シリアルI/O2制御レジスタ1の内部同期クロック選択ビット(b2, b1, b0)によって、6通りのクロックを選択することができます。

出力端子となるSOUT2、SCLK2については、シリアルI/O2制御レジスタ1のP01/SOUT2、P02/SCLK2、Pチャンネル出力禁止ビット(b7)により、CMOS出力またはNチャンネルオープンドレイン出力の形式を選択できます。

内部クロックを選択した場合、転送の開始はシリアルI/O2レジスタ(0017₁₆番地)への書き込み信号により行われます。データ転送終了後、SOUT2端子のレベルは自動的にハイインピーダンスになりますが、シリアルI/O2制御レジスタ2のビット7は自動的に“1”にはなりません。

外部クロックを選択した場合、転送クロックが入力されている間、シリアルI/O2レジスタの内容はシフトされ続けますので、外部でクロックを制御してください。データ転送終了後、SOUT2端子はハイインピーダンス状態になりませんので注意してください。

外部クロック選択時、SOUT2端子をハイインピーダンス状態にするためには、データ転送終了後にSCLK2が“H”の状態です。シリアルI/O2制御レジスタ2のビット7を“1”に設定してください。次のデータ転送が開始される(転送クロックが立ち下がる)と、シリアルI/O2制御レジスタ2のビット7は“0”となり、SOUT2端子はアクティブ状態になります。

内部クロック、外部クロックにかかわらず、任意転送ビットで選択したビット数(1～8ビット)を転送後割り込み要求ビットがセットされます。

最終データが8ビットに満たない端数ビットの場合、シリアルI/O2レジスタに格納される受信データは、シリアルI/O2制御レジスタ1の転送方向選択ビットがLSBファーストであれば、MSB寄りの端数ビット、MSBファーストであれば、LSB寄りの端数ビットとなります。残りのビットには前回の受信データがシフトされています。

クロック同期形シリアルI/Oで送信動作時、転送クロックの立ち上がり同期して、送信端子SOUT2と受信端子SIN2の状態を比較し、SCMP2信号を出力することができます。SOUT2端子の出力レベルとSIN2端子への入力レベルが同一であれば、SCMP2端子から“L”、異なれば“H”を出力します。また、この時INT₂割り込み要求を発生させることもできます。有効エッジは割り込みエッジ選択レジスタ(003A₁₆番地)のビット2で選択してください。

【シリアルI/O2制御レジスタ1、2】SIO2CON1, SIO2CON2

シリアルI/O2制御レジスタ1、2は、シリアルI/O2の各種制御を行う選択ビットで構成されています。

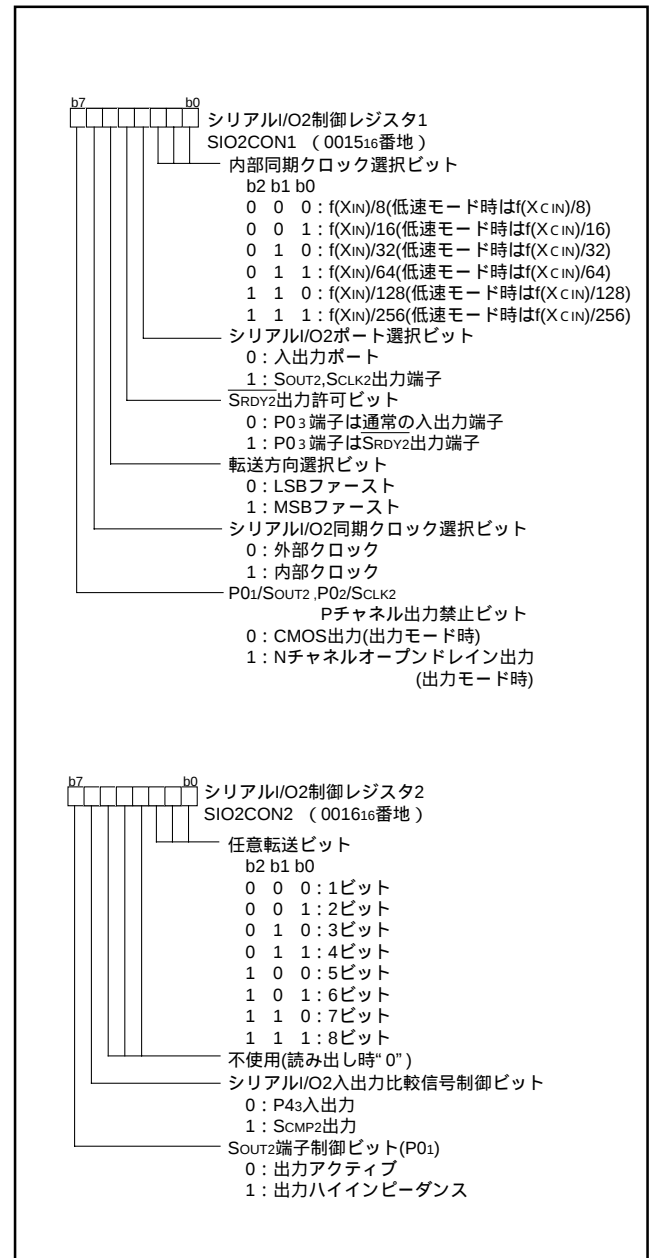


図41 .シリアルI/O2制御レジスタ1、2の構成

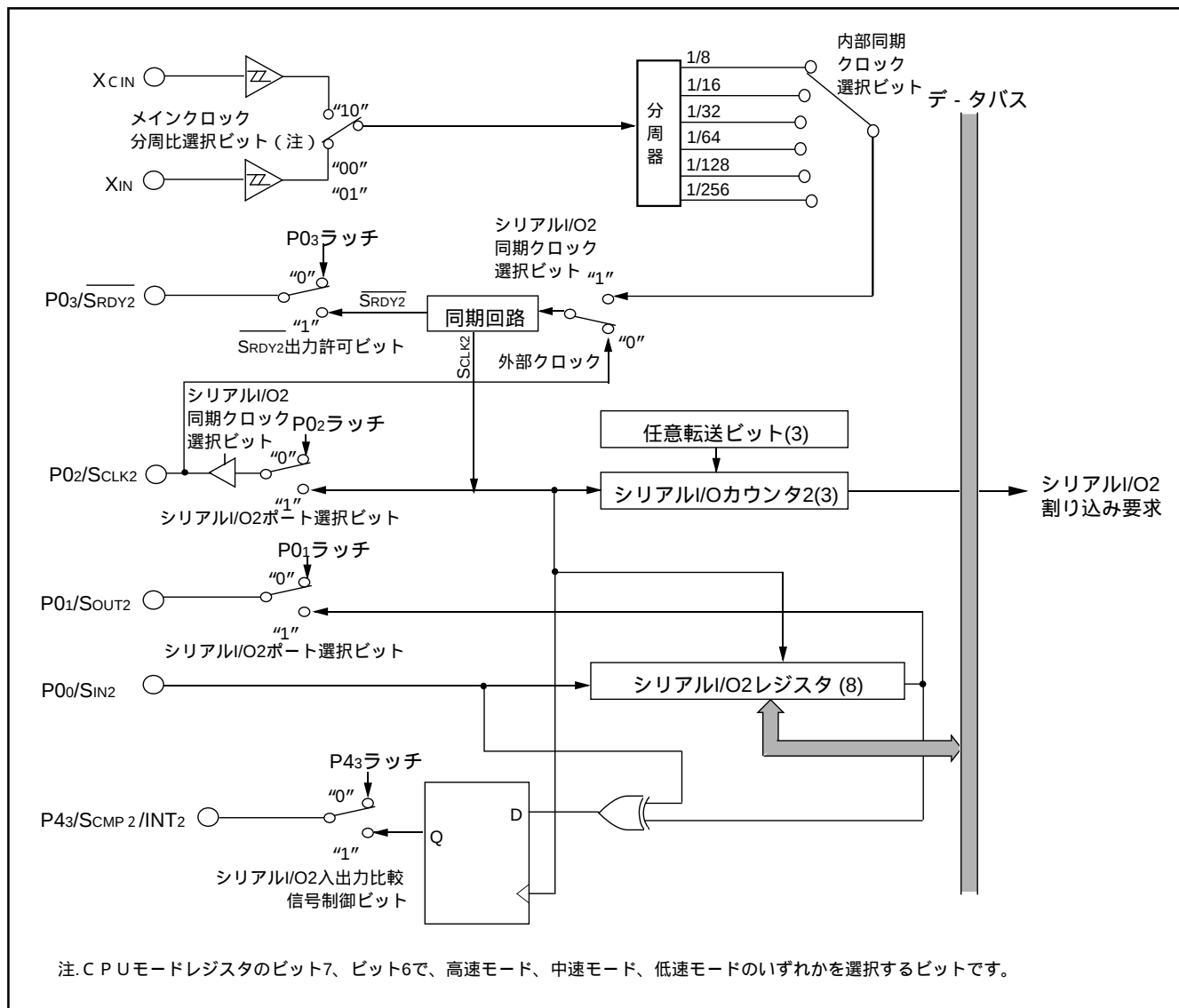


図42 .シリアルI/Oブロック図

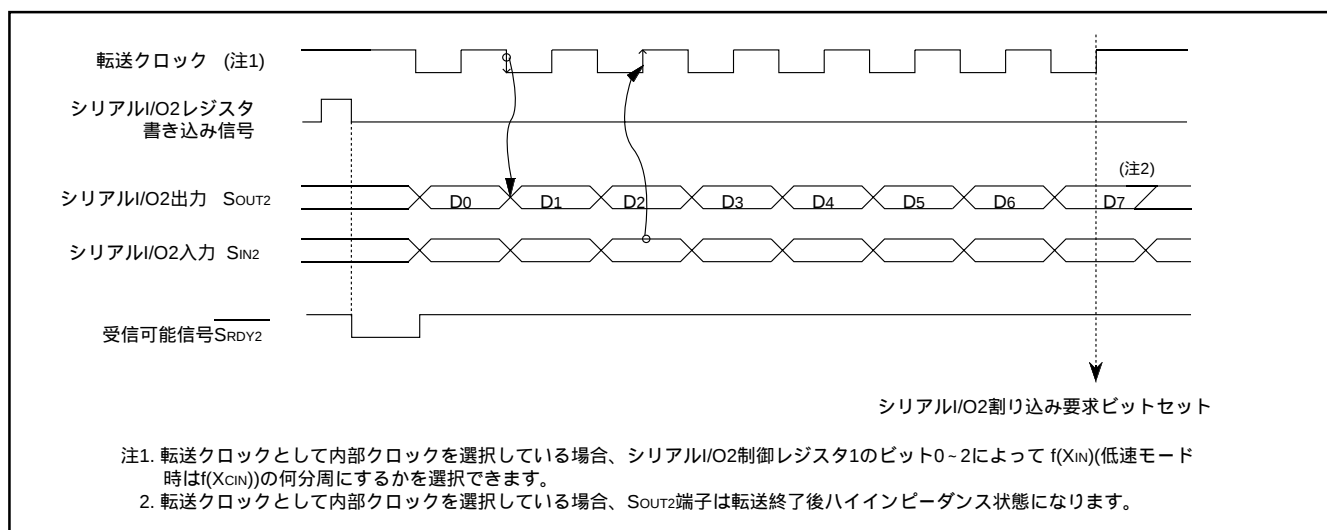


図43 .シリアルI/Oタイミング図

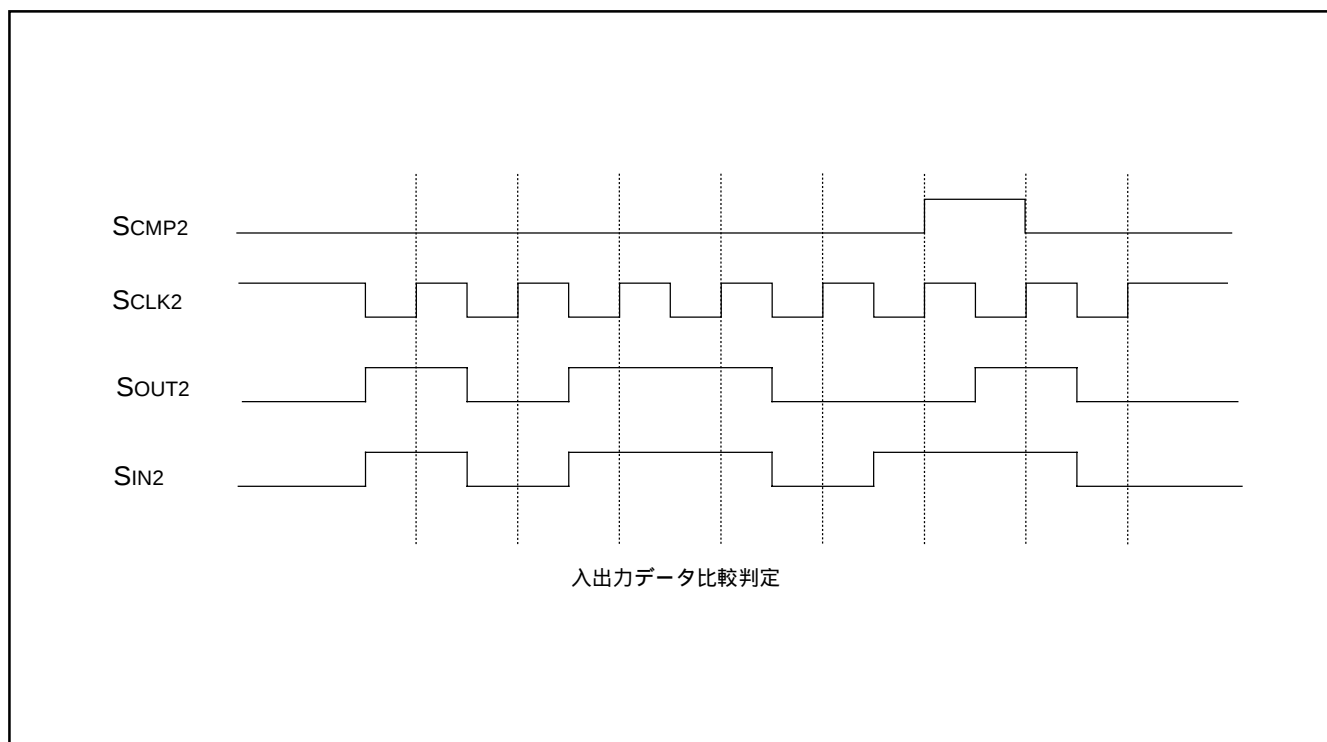


図44 .SCMP2出力の動作

PWM (PWM: Pulse Width Modulation)

PWMは8ビット分解能を持ち、クロック入力X_{IN}またはX_{IN}を2分周した信号を基本としています。

・データの設定

PWMの出力端子はポートP44と共用しています。PWMプリスケアラによりPWM周期を設定し、PWMレジスタにより出力パルスの“H”期間を設定します。

PWMプリスケアラの値をn、PWMレジスタの値をmとすると、以下のようになります。(ただし、n=0～255、m=0～255です。)

$$\begin{aligned} \text{PWM周期} &= \frac{255 \times (n+1)}{f(X_{IN})} \\ &= 31.875 \times (n+1) \mu s \end{aligned}$$

(f(X_{IN}) = 8MHz、カウントソース選択ビット = “0” の場合)

$$\begin{aligned} \text{出力パルスの“H”期間} &= \frac{\text{PWM周期} \times m}{255} \\ &= 0.125 \times (n+1) \times m \mu s \end{aligned}$$

(f(X_{IN}) = 8MHz、カウントソース選択ビット = “0” の場合)

・PWMの動作

PWM制御レジスタのビット0 (PWM許可ビット) を“1”にすると、PWM出力回路は初期状態より動作を開始し、“H”から始まるパルスを出力します。

PWM出力中にPWMレジスタ、PWMプリスケアラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

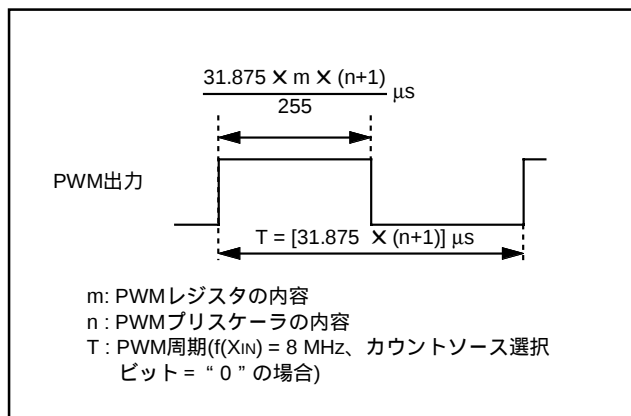


図45 .PWM周期のタイミング図

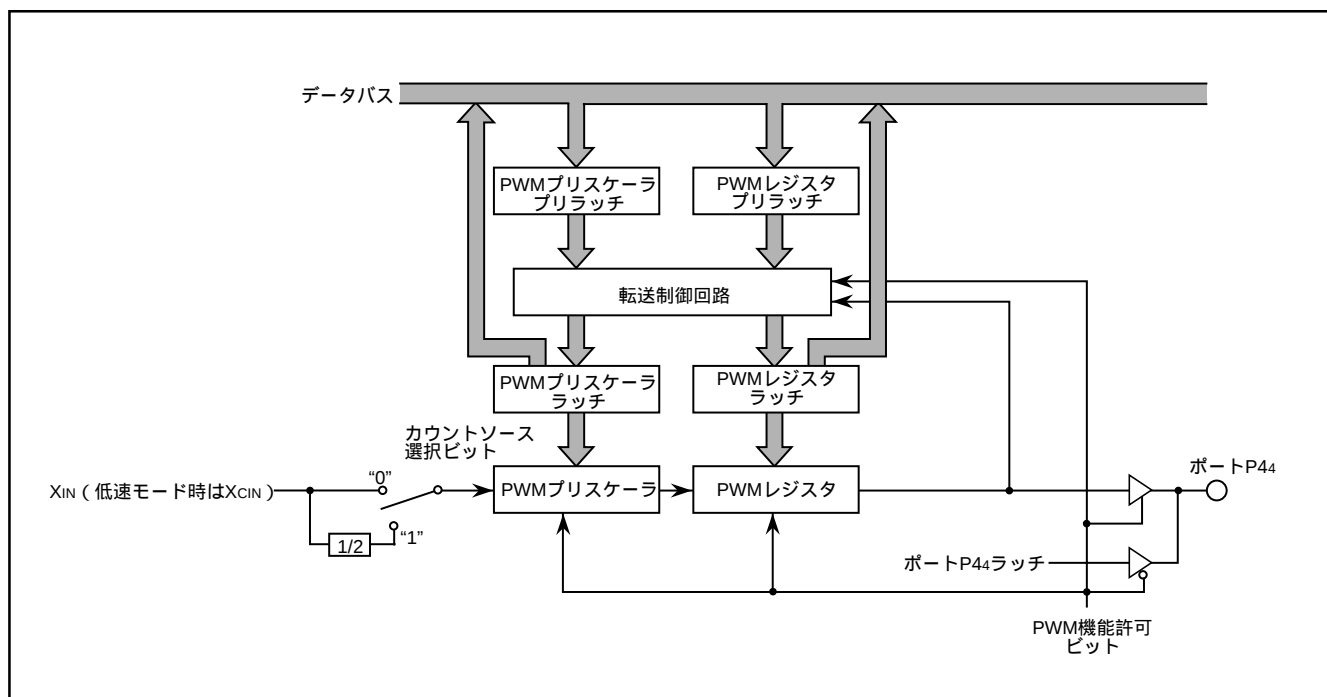


図46 .PWMブロック図

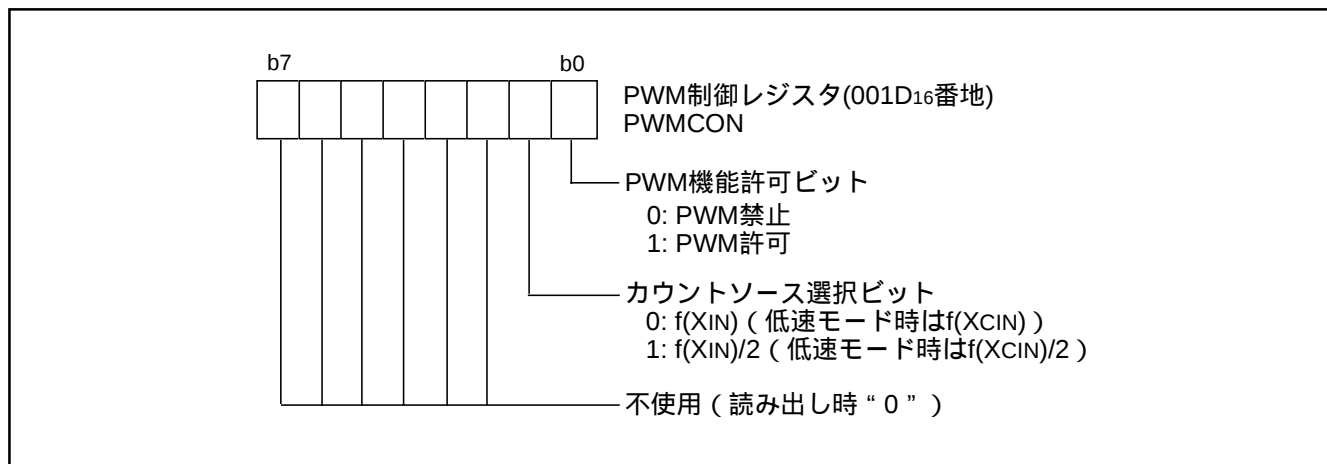


図47 .PWM制御レジスタの構成

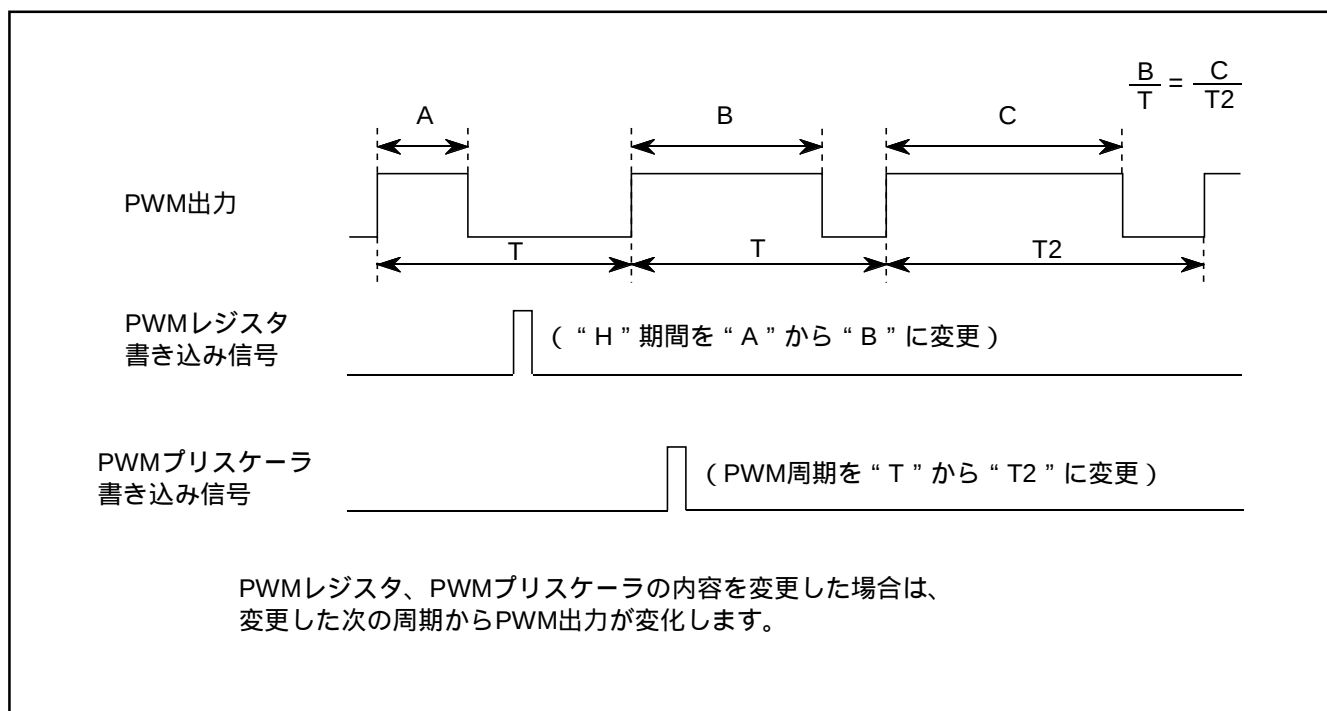


図48 .PWMレジスタおよびPWMプリスケラ変更時のPWM出力タイミング図

■注意事項

PWM機能許可ビットが許可に設定され、PWM端子から“L”レベルが出力された後、PWMは開始します。この“L”レベル出力時間は次のとおりです。

- ・カウントソース選択ビット＝“0”、n＝プリスケラ設定値

$$\frac{n+1}{2 \times f(X_{IN})} \text{ (秒)}$$

- ・カウントソース選択ビット＝“1”、n＝プリスケラ設定値

$$\frac{n+1}{f(X_{IN})} \text{ (秒)}$$

A/Dコンバータ

【AD変換レジスタ】ADL

A/D変換結果が格納される読み出し専用のレジスタです。

【AD制御レジスタ】ADCON

A/Dコンバータの制御を行うためのレジスタです。ビット3～ビット0はアナログ入力端子の選択ビットです。ビット4はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

【比較電圧発生器】

V_{SS}とV_{REF}間の電圧を抵抗ラダーによって、256分割し分圧出力します。A/D変換中以外は、V_{REF}端子、V_{SS}端子と切り離されるため、抵抗ラダーには、電流は流れません。

【チャンネルセクタ】

ポートP30/AN0～P34/AN4、P04/AN5～P07/AN8より1本を選択し、コンパレータに入力します。

【コンパレータおよび制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をAD変換レジスタに格納します。また、A/D変換終了時にAD変換終了ビットおよびAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中はf(X_{IN})を500kHz以上にしてください。

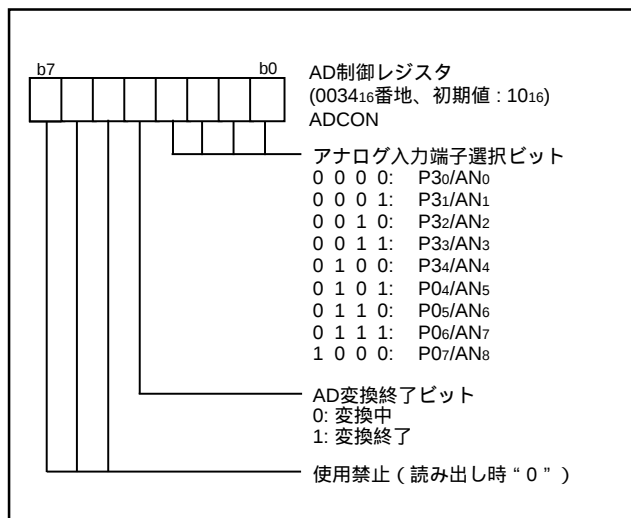


図49. AD制御レジスタの構成

■注意事項

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中はA/D変換クロックが500kHz以上になるようにf(X_{IN})の値を設定してください。

AD変換精度は、以下の使用条件では精度が低くなる場合があります。

- (1)V_{REF}電圧をV_{CC}電圧よりも低く設定している場合、マイコン内部のアナログ回路がノイズをひろいやすくなるため、V_{REF}電圧とV_{CC}電圧を同一に設定する場合よりも精度が低くなる場合があります。
- (2)V_{REF}電圧が3.0V以下の場合、低温時の精度が常温時に比べて極端に低くなる場合があります。低温側での使用が想定されるシステムでは、V_{REF}=3.0V以上での使用を推奨します。

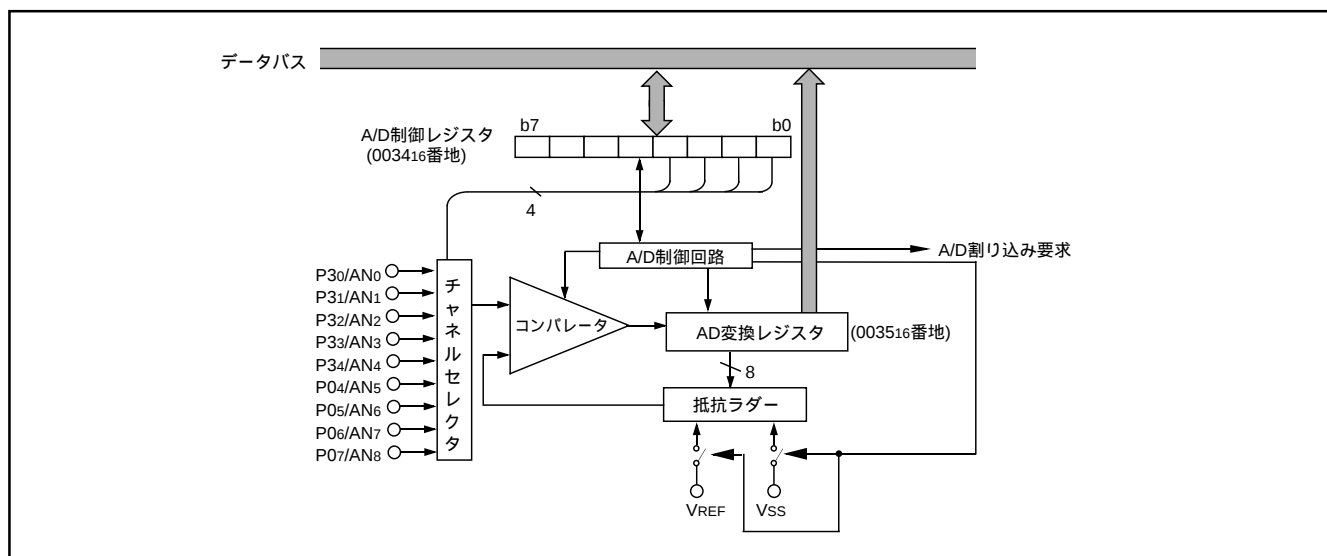


図50. A/Dコンバータのブロック図

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合にリセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと、8ビットのウォッチドッグタイマLの計16ビットのカウントで構成されます。

(1)ウォッチドッグタイマの初期値

リセット時、またはウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みによりウォッチドッグタイマHは“FF₁₆”に、ウォッチドッグタイマLは“FF₁₆”にセットされます。書き込みのための命令はSTA, LDM, CLBなど書き込み信号が発生する命令であれば、どんな命令でも使用できます。ウォッチドッグタイマ制御レジスタへの書き込みデータはビット6, 7のみ有効です。ビット0～5に書き込まれる値に関係なく各タイマに上記の値がセットされます。

ビット6は、リセット解除後1度だけ書き込みが可能です。書き込み後は、ロックされるため書き換えはできません。

(2)ウォッチドッグタイマの動作

ウォッチドッグタイマはリセット時には停止しており、ウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みによりカウントダウンを開始します。ウォッチドッグタイマHがアンダフローすると内部リセットが発生し、リセット解除時間を待ってリセット解除され、リセットベクトル番地からプログラムを再実行します。通常はウォッチドッグタイ

マHがアンダフローする前にウォッチドッグタイマ制御レジスタに書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタに一度も書き込みを行わなければ、ウォッチドッグタイマは機能しません。

(3)ウォッチドッグタイマ制御レジスタのビット6

- このビットが“0”の場合、STP命令を実行するとストップモードへ移行します。ウォッチドッグタイマはストップモード解除と同時にカウントを再開します。(注)なお、WIT命令実行時はウォッチドッグタイマは停止しません。
- このビットが“1”の場合、STP命令を実行すると内部でリセットが発生します。このビットを一旦“1”に書き換えるとプログラムにより“0”に書き換えることはできなくなります。リセット後の値は“0”です。

ウォッチドッグタイマ制御レジスタへの書き込み実行後、ウォッチドッグタイマHがアンダフローするまでの時間を以下に示します。

ウォッチドッグタイマ制御レジスタのビット7が“0”の場合。
XCIN=32.768kHz 時 32s, XIN=8MHz 時 131.072ms

ウォッチドッグタイマ制御レジスタのビット7が“1”の場合。
XCIN=32.768kHz 時 125ms, XIN=8MHz 時 512 μs

注・ストップ解除の待ち時間の間もウォッチドッグタイマはカウントしますので、この間にウォッチドッグタイマHがアンダフローしないように注意してください。

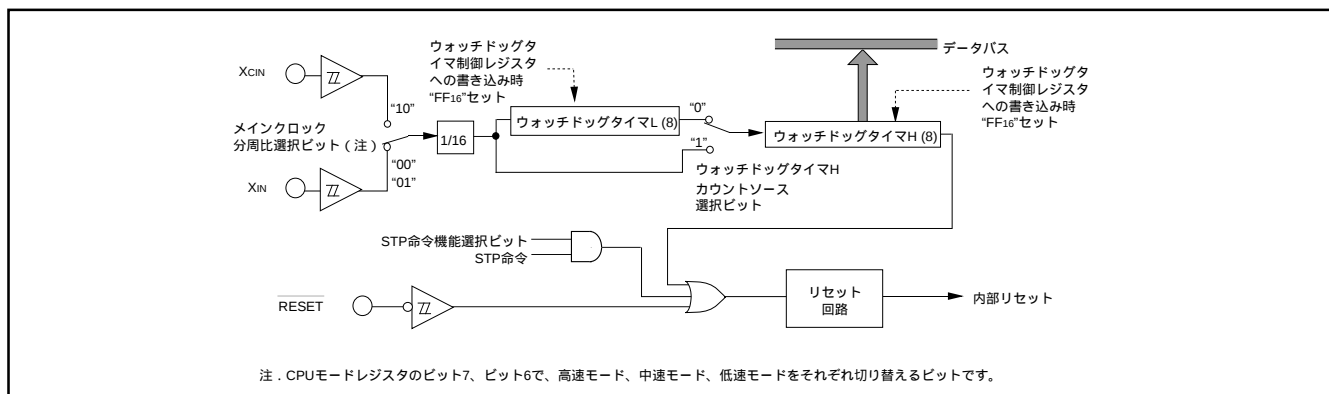


図51. ウォッチドッグタイマのブロック図

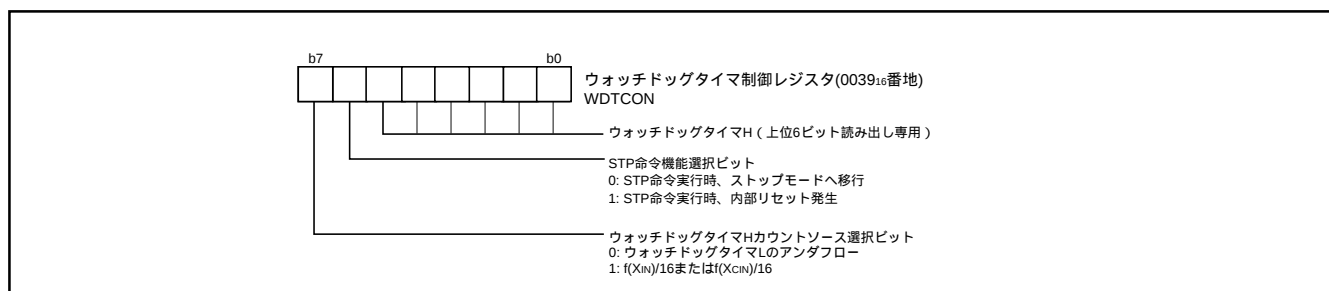


図52. ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が2.7～5.5Vにあり、XINが安定発振しているとき、RESET端子をXINの20サイクル以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が2.7Vを通過する時点で0.54V以下になるようにしてください。

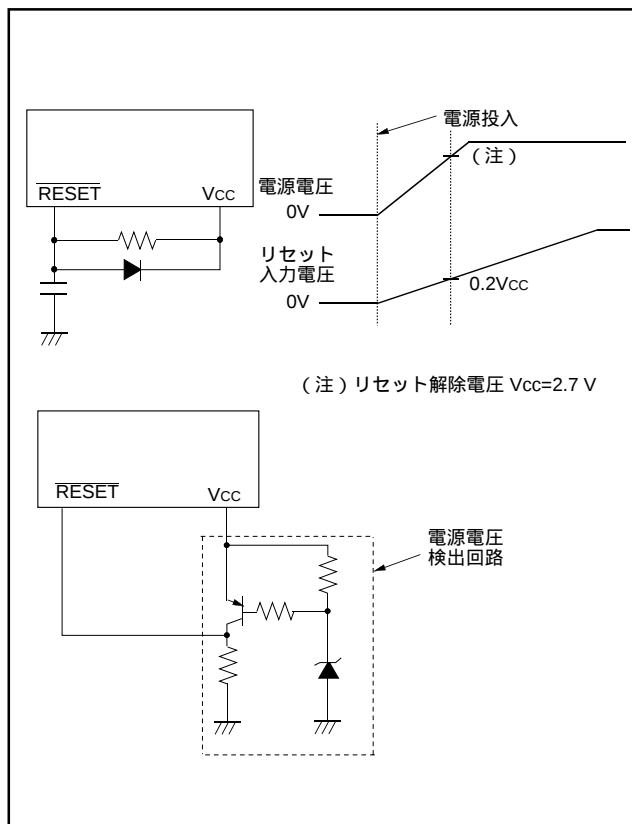


図53．リセット回路例

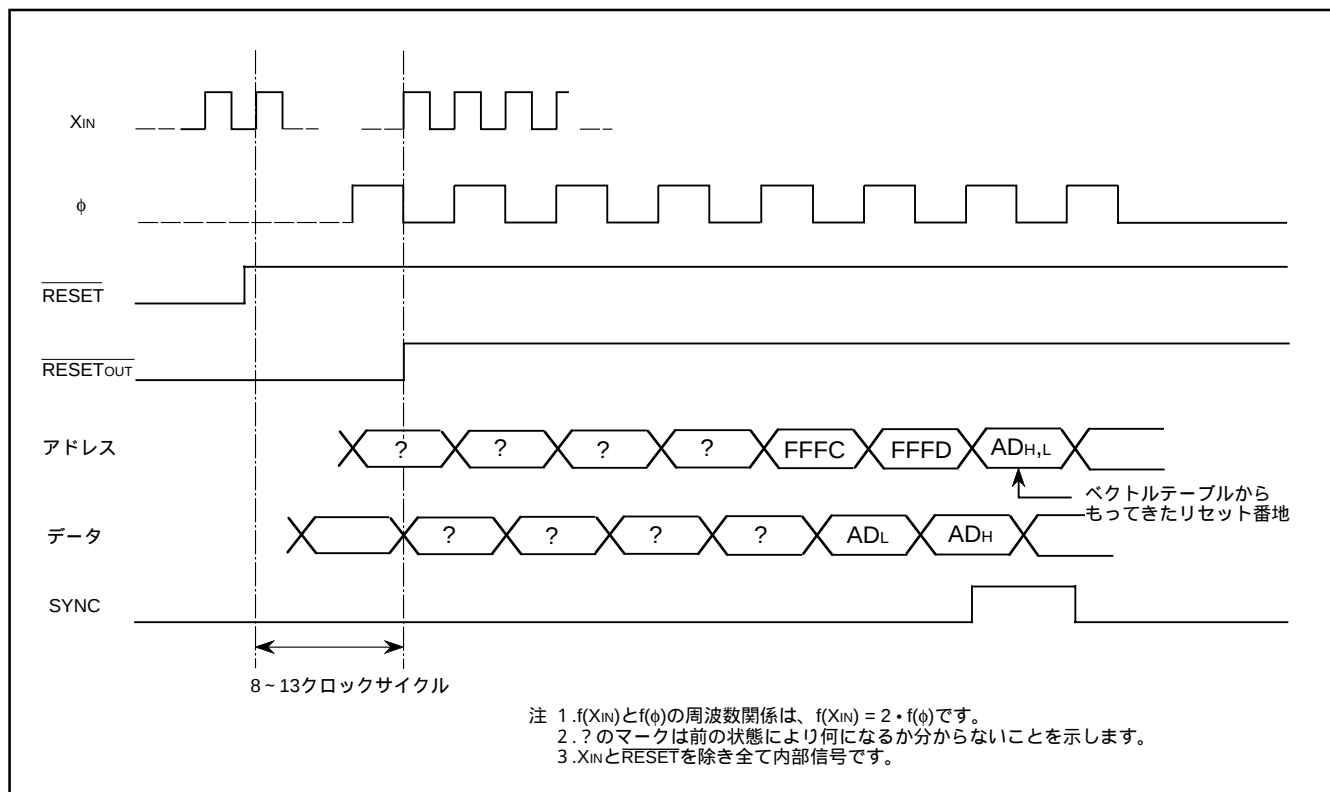


図54．リセット時のタイミング図

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0	0000 ₁₆	00 ₁₆	(35) タイマZ1モードレジスタ	0028 ₁₆	00 ₁₆
(2) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆	(36) タイマZ1下位	0029 ₁₆	FF ₁₆
(3) ポートP1	0002 ₁₆	00 ₁₆	(37) タイマZ1上位	002A ₁₆	FF ₁₆
(4) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆	(38) タイマZ2モードレジスタ	002B ₁₆	00 ₁₆
(5) ポートP2	0004 ₁₆	00 ₁₆	(39) タイマZ2下位	002C ₁₆	FF ₁₆
(6) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆	(40) タイマZ2上位	002D ₁₆	FF ₁₆
(7) ポートP3	0006 ₁₆	00 ₁₆	(41) タイマ12, Xカウントソース選択レジスタ	002E ₁₆	0 0 1 1 0 0 1 1
(8) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆	(42) タイマY, Z1カウントソース選択レジスタ	002F ₁₆	0 0 1 1 0 0 1 1
(9) ポートP4	0008 ₁₆	00 ₁₆	(43) タイマZ2カウントソース選択レジスタ	0030 ₁₆	0 0 0 0 0 0 1 1
(10) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(44) AD制御レジスタ	0034 ₁₆	0 0 0 1 0 0 0 0
(11) ポートP0ブルアップ制御レジスタ	0010 ₁₆	00 ₁₆	(45) AD変換レジスタ	0035 ₁₆	X X X X X X X X
(12) ポートP1ブルアップ制御レジスタ	0011 ₁₆	00 ₁₆	(46) 割り込み要因選択レジスタ	0036 ₁₆	00 ₁₆
(13) ポートP2ブルアップ制御レジスタ	0012 ₁₆	00 ₁₆	(47) MISRG	0038 ₁₆	00 ₁₆
(14) ポートP3ブルアップ制御レジスタ	0013 ₁₆	00 ₁₆	(48) ウォッチドッグタイマ制御レジスタ	0039 ₁₆	0 0 1 1 1 1 1 1
(15) ポートP4ブルアップ制御レジスタ	0014 ₁₆	00 ₁₆	(49) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆
(16) シリアルI/O2制御レジスタ1	0015 ₁₆	00 ₁₆	(50) CPUモードレジスタ	003B ₁₆	0 1 0 0 1 0 0 0
(17) シリアルI/O2制御レジスタ2	0016 ₁₆	0 0 0 0 0 1 1 1	(51) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆
(18) シリアルI/O2レジスタ	0017 ₁₆	X X X X X X X X	(52) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆
(19) 送信/受信バッファレジスタ	0018 ₁₆	X X X X X X X X	(53) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆
(20) シリアルI/O1ステータスレジスタ	0019 ₁₆	1 0 0 0 0 0 0 0	(54) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆
(21) シリアルI/O1制御レジスタ	001A ₁₆	00 ₁₆	プロセッサステータスレジスタ (PS)		X X X X X 1 X X
(22) UART制御レジスタ	001B ₁₆	1 1 1 0 0 0 0 0	プログラムカウンタ (PC _H)		FFFD ₁₆ 番地の内容
(23) ポーレートジェネレータ	001C ₁₆	X X X X X X X X	(PC _L)		FFFC ₁₆ 番地の内容
(24) PWM制御レジスタ	001D ₁₆	00 ₁₆			
(25) PWMプリスケラ	001E ₁₆	X X X X X X X X			
(26) PWMレジスタ	001F ₁₆	X X X X X X X X			
(27) プリスケラ12	0020 ₁₆	FF ₁₆			
(28) タイマ1	0021 ₁₆	01 ₁₆			
(29) タイマ2	0022 ₁₆	FF ₁₆			
(30) タイマXYモードレジスタ	0023 ₁₆	00 ₁₆			
(31) プリスケラX	0024 ₁₆	FF ₁₆			
(32) タイマX	0025 ₁₆	FF ₁₆			
(33) プリスケラY	0026 ₁₆	FF ₁₆			
(34) タイマY	0027 ₁₆	FF ₁₆			

注. ×は不定です。
上記以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値を設定してください。

図55. リセット時の内部状態

クロック発生回路

3858グループは2つの内部発振回路を内蔵しています。XINとXOUTまたはXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。XIN - XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。XCIN - XCOUT間には抵抗は内蔵されていないので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

●周波数制御

(1) 中速モード

XIN端子に加わった周波数の8分周したものが内部クロックφとなります。リセット解除後はこのモードになります。

(2) 高速モード

XIN端子に加わった周波数の2分周したものが内部クロックφの周波数になります。

(3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部クロックφになります。

(4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック停止ビット(b5)を"1"にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック停止ビットを"0"にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

XCIN-XCOUT発振回路は外部クロック入力による使用はできませんので、必ず外付け発振子による発振をさせてください。

●発振制御

(1) ストップモード

STP命令を実行すると内部クロックφが" H "の状態で停止し、XINおよびXCINの発振が停止します。このとき、STP命令解除後の発振安定時間設定ビット(003816番地のビット0)が"0"のとき、タイマ1には"0116"、プリスケアラ12には"FF16"が設定されます。一方、STP命令解除後の発振安定時間設定ビットが"1"のときは、タイマ1、プリスケアラ12には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。STP命令解除後のプリスケアラ12の入力には、STP命令実行時に設定されていたカウントソースが接続され、タイマ1にはプリスケアラ12の出力が接続されます。発振は外部割り込みが受け付けられると再開しますが、内部クロックφは、タイマ1がアンダフローするまで" H "のままです。タイマ1がアンダフローしてはじめて内部クロックφが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がり時間に時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間、RESET端子に" L "レベルを印加してください。

(2) ウェイトモード

WIT命令を実行すると、内部クロックφが" H "の状態で停止しますが、発振器は停止しません。リセットまたは割り込みを受け付けると内部クロックφの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを"1"にしておく必要があります。また、STP状態の解除の場合、プリスケアラ12、タイマ1の入力には、STP命令実行時に設定されていたカウントソースが接続されカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを"0"にしてください。

■注意事項

- ・中/高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \times f(XCIN)$ である必要があります。
- ・STP命令解除後の発振安定時間設定ビットを"1"で 사용되는場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。

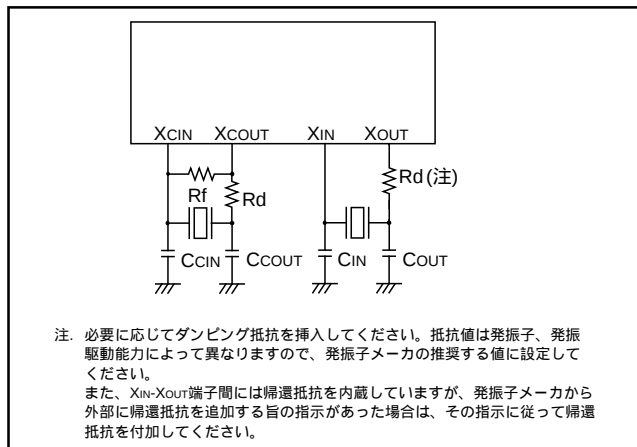


図56 . セラミック共振子外付け回路

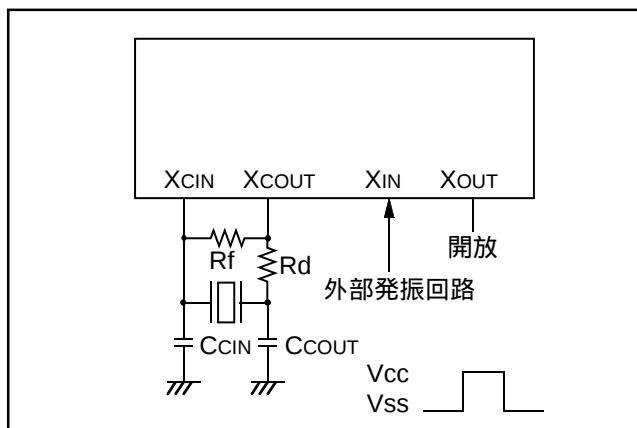


図57 . 外部クロック入力回路

【MISRG】MISRG

MISRGは中速モード自動切り替えに関する各種制御を行うビットと、STP命令解除後の発振安定時間の設定を制御するビットで構成されています。

中速モード自動切り替え設定ビットが“1”で、低速モードで動作中に、中速モード自動切り替え開始ビットに“1”を書き込むことによって、自動的にXIN発振が開始し、中速モードに切り替わります。

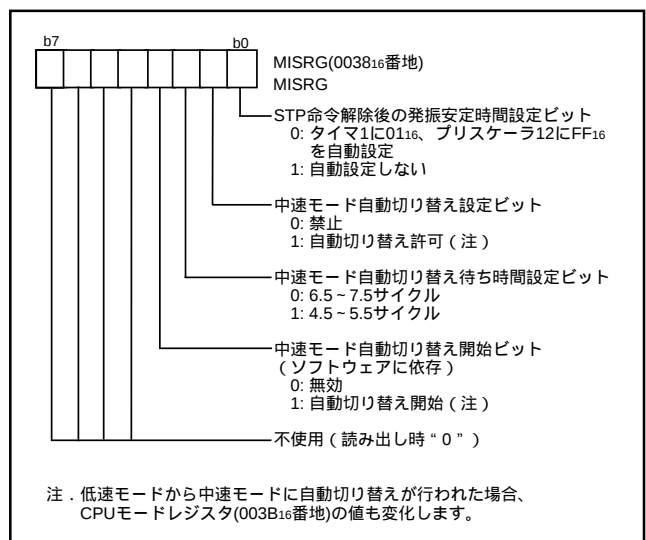


図58 . MISRGの構成

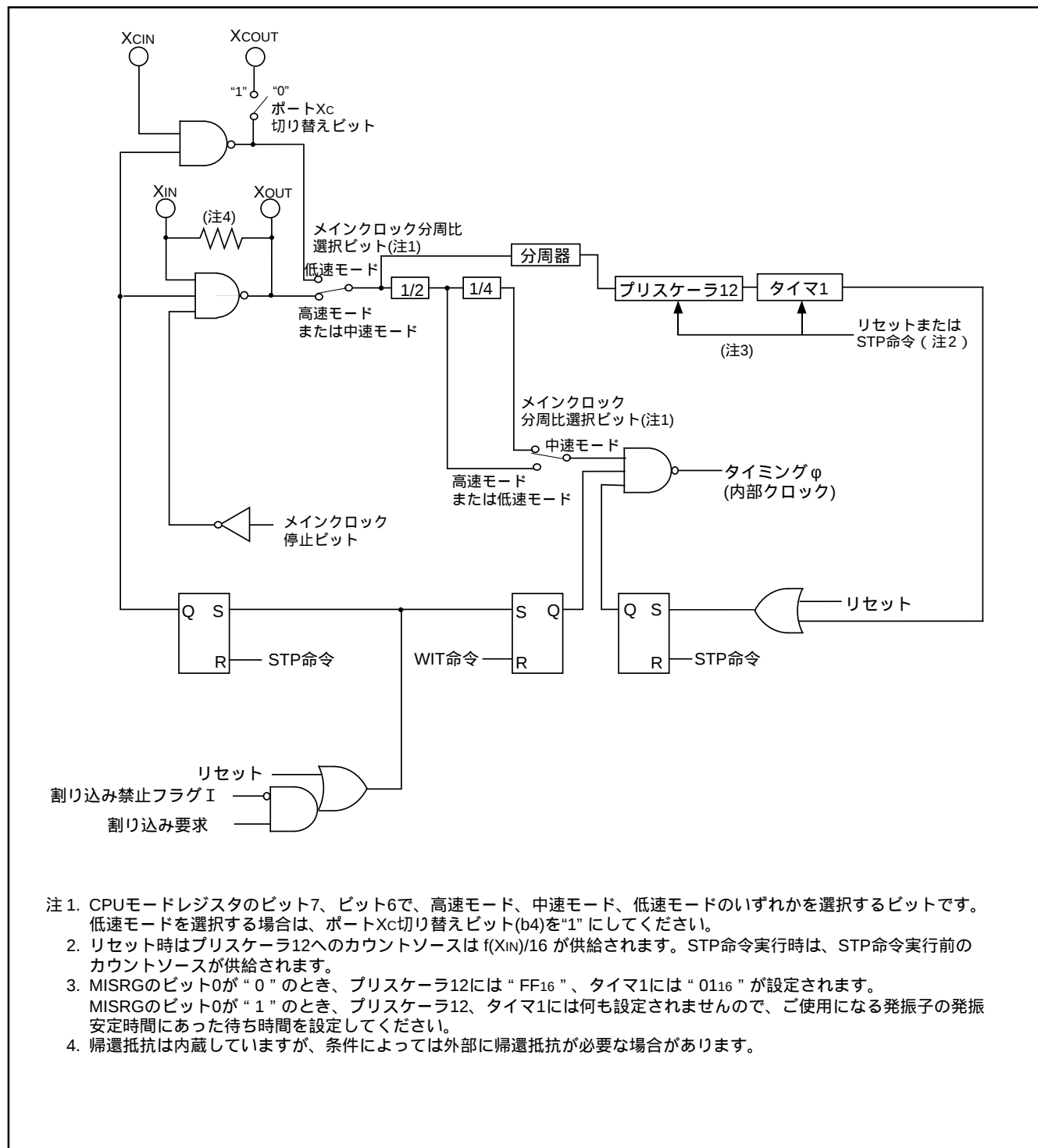


図59 . システムクロック発生回路ブロック図(シングルチップモード)

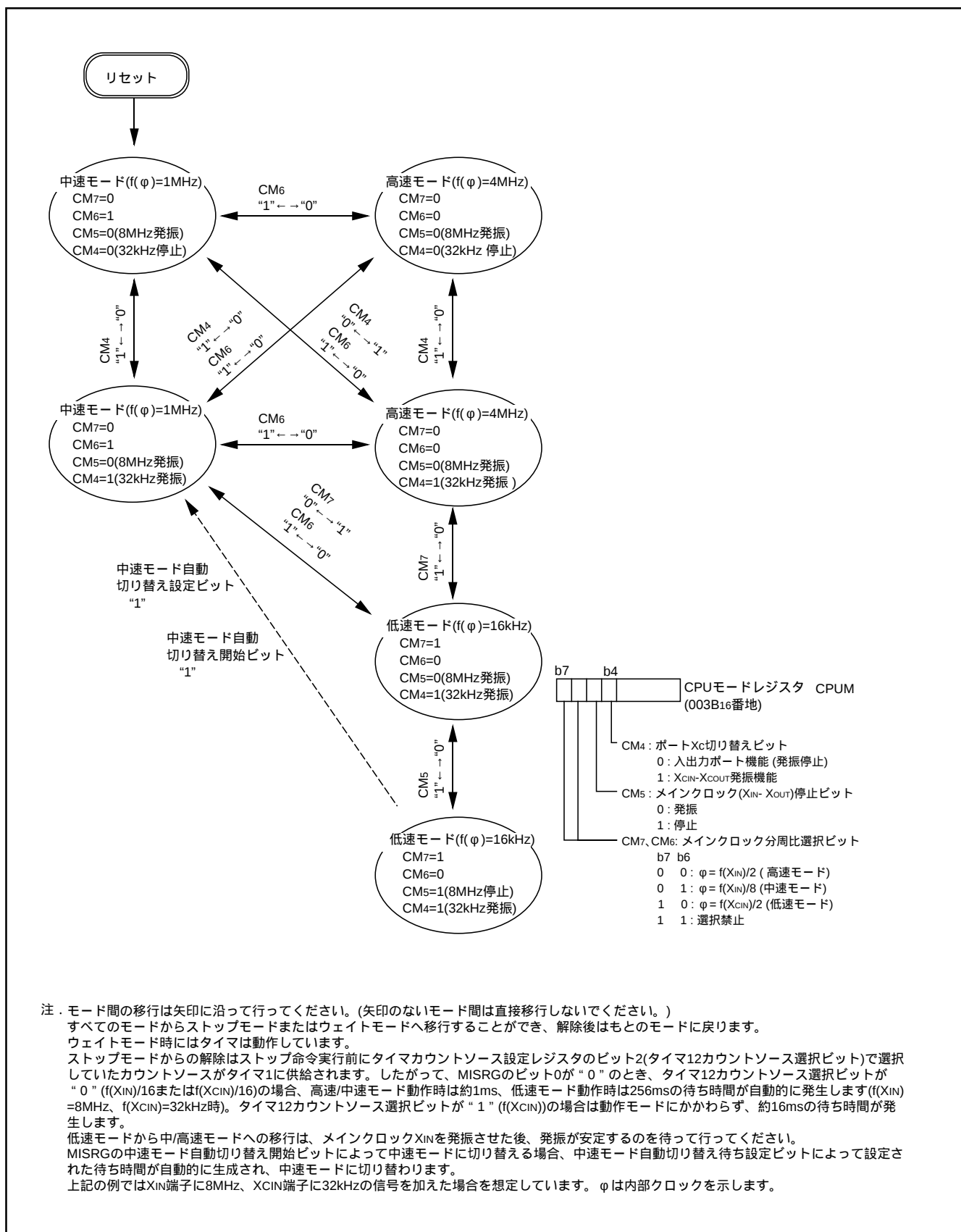


図60 . システムクロックの状態遷移図

電気的特性

絶対最大定格

表7．絶対最大定格

記号	項 目	条 件	定 格 値	単位
V _{CC}	電源電圧	V _{SS} 端子を基準にして測定する。 入力電圧測定時、出力トランジスタは遮断状態。	- 0.3 ~ 6.5	V
V _I	入力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P34, P40 ~ P44, V _{REF}		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 P22, P23		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 RESET, X _{IN}		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 CNV _{SS}		- 0.3 ~ 8.0	V
V _O	出力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P34, P40 ~ P44, X _{OUT}		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 P22, P23		- 0.3 ~ 5.8	V
P _d	消費電力	T _a = 25	1000 (注)	mW
T _{opr}	動作周囲温度	-	- 20 ~ 85	
T _{stg}	保存温度	-	- 40 ~ 125	

注．PRSP0042GA-A/B(42P2R-A/E)/パッケージの場合は300mWです。

推奨動作条件

表8．推奨動作条件 (指定のない場合はVcc=2.7～5.5V, Ta= - 20～85)

記 号	項 目		規 格 値			単位
			最 小	標 準	最 大	
Vcc	電源電圧	12.5MHz時 (高速モード)	4.0	5.0	5.5	V
		12.5MHz時 (中速モード)、6MHz時 (高速モード)	2.7	5.0	5.5	V
		32kHz時 (低速モード)				
VSS	電源電圧			0		V
VREF	A/Dコンバータ基準電圧		2.0		Vcc	V
AVSS	アナログ電源電圧			0		V
ViA	アナログ入力電圧 AN0～AN8		AVss		Vcc	V
VIH	“H” 入力電圧 P00～P07, P10～P17, P20～P27, P30～P34, P40～P44		0.8Vcc		Vcc	V
VIH	“H” 入力電圧 RESET, XIN, CNVss		0.8Vcc		Vcc	V
VIL	“L” 入力電圧 P00～P07, P10～P17, P20～P27, P30～P34, P40～P44		0		0.2Vcc	V
VIL	“L” 入力電圧 RESET, CNVss		0		0.2Vcc	V
VIL	“L” 入力電圧 XIN		0		0.16Vcc	V
Σ IOH(peak)	“H” 出力総尖頭電流 (注1) P00～P07, P10～P17, P30～P34				- 80	mA
Σ IOH(peak)	“H” 出力総尖頭電流 (注1) P20, P21, P24～P27, P40～P44				- 80	mA
Σ IOL(peak)	“L” 出力総尖頭電流 (注1) P00～P07, P30～P34				80	mA
Σ IOL(peak)	“L” 出力総尖頭電流 (注1) P10～P17				120	mA
Σ IOL(peak)	“L” 出力総尖頭電流 (注1) P20～P27, P40～P44				80	mA
Σ IOH(avg)	“H” 出力総平均電流 (注1) P00～P07, P10～P17, P30～P34				- 40	mA
Σ IOH(avg)	“H” 出力総平均電流 (注1) P20, P21, P24～P27, P40～P44				- 40	mA
Σ IOL(avg)	“L” 出力総平均電流 (注1) P00～P07, P30～P34				40	mA
Σ IOL(avg)	“L” 出力総平均電流 (注1) P10～P17				60	mA
Σ IOL(avg)	“L” 出力総平均電流 (注1) P20～P27, P40～P44				40	mA
IOH(peak)	“H” 出力尖頭電流 (注2) P00～P07, P10～P17, P20, P21, P24～P27, P30～P34, P40～P44				- 10	mA
IOL(peak)	“L” 出力尖頭電流 (注2) P00～P07, P20～P27, P30～P34, P40～P44				10	mA
IOL(peak)	“L” 出力尖頭電流 (注2) P10～P17				20	mA
IOH(avg)	“H” 出力平均電流 (注3) P00～P07, P10～P17, P20, P21, P24～P27, P30～P34, P40～P44				- 5	mA
IOL(avg)	“L” 出力平均電流 (注3) P00～P07, P20～P27, P30～P34, P40～P44				5	mA
IOL(avg)	“L” 出力平均電流 (注3) P10～P17				15	mA
f(XIN)	内部クロック発振周波数 (注4) (Vcc=4.0～5.5V)				12.5	MHz
f(XIN)	内部クロック発振周波数 (注4) (Vcc=2.7～4.0V)				5Vcc - 7.5	MHz
f(XCIN)	サブクロック入力発振周波数 (注4), (注5)			32.768	50	kHz

注1. 出力総平均電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

- 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。
- 平均出力電流IOL(avg) , IOH(avg)は100msの期間での平均値です。
- 発振周波数はデューティ50%の場合です。
- 低速モードを使用する場合のサブクロック入力発振周波数は、必ずf(XCIN) < f(XIN)/3としてください。

電気的特性

表9．電気的特性(1) (指定のない場合はV_{CC}=2.7～5.5V, V_{SS}=0V, T_a= - 20～85)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
V _{OH}	“ H ” 出力電圧 P00～P07, P10～P17, P20, P21 P24～P27, P30～P34, P40～P44 (注)	I _{OH} = - 10mA V _{CC} =4.0～5.5V	V _{CC} = - 2.0			V
		I _{OH} = - 1.0mA V _{CC} =2.7～5.5V	V _{CC} = - 1.0			V
V _{OL}	“ L ” 出力電圧 P00～P07, P20～P27, P30～P34 P40～P44	I _{OL} =10mA V _{CC} =4.0～5.5V			2.0	V
		I _{OL} =1.0mA V _{CC} =2.7～5.5V			1.0	V
V _{OL}	“ L ” 出力電圧 P10～P17	I _{OL} =20mA V _{CC} =4.0～5.5V			2.0	V
		I _{OL} =10mA V _{CC} =2.7～5.5V			1.0	V
V _{T+} - V _{T-}	ヒステリシス CNTR0, CNTR1, INT0～INT3			0.4		V
V _{T+} - V _{T-}	ヒステリシス RxD, SCLK1, SCLK2, SIN2			0.5		V
V _{T+} - V _{T-}	ヒステリシス RESET			05		V
I _{IH}	“ H ” 入力電流 P00～P07, P10～P17, P20, P21, P24～P27, P30～P34, P40～P44	V _I =V _{CC} (端子はフローティング プルアップトランジスタは 切り離れた状態)			5.0	μA
I _{IH}	“ H ” 入力電流 RESET, CNV _{SS}	V _I =V _{CC}			5.0	μA
I _{IH}	“ H ” 入力電流 X _{IN}	V _I =V _{CC}		4		μA
I _{IL}	“ L ” 入力電流 P00～P07, P10～P17, P20～P27 P30～P34, P40～P44	V _I =V _{SS} (端子はフローティング プルアップトランジスタは 切り離れた状態)			- 5.0	μA
I _{IL}	“ L ” 入力電流 RESET, CNV _{SS}	V _I =V _{SS}			- 5.0	μA
I _{IL}	“ L ” 入力電流 X _{IN}	V _I =V _{SS}		- 4		μA
I _{IL}	“ L ” 入力電流(プルアップ有効時) P00～P07, P10～P17, P20～P27 P30～P34, P40～P44	V _I =V _{SS} V _{CC} =5.0V	- 25	- 65	- 120	μA
		V _I =V _{SS} V _{CC} =3.0V	- 8	- 22	- 40	μA
V _{RAM}	RAM保持電圧	クロック停止時	2.0		5.5	V

注． P25に関しては，UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が* 0 の場合です。

表10 . 電气的特性(2) (指定のない場合はV_{CC}=2.7 ~ 5.5V, V_{SS}=0V, T_a= - 20 ~ 85)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
I _{CC}	電源電流	高速モード時 f(X _{IN})=12.5MHz f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態			6.0	12.0	mA
		高速モード時 f(X _{IN})=8MHz f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態			4.0	8.0	mA
		高速モード時 f(X _{IN})=12.5MHz (WIT命令実行時) f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態			1.75	4.5	mA
		高速モード時 f(X _{IN})=8MHz (WIT命令実行時) f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態			1.35	4.2	mA
		中速モード時 f(X _{IN})=12.5MHz f(X _{CIN})=停止 出力トランジスタは遮断状態			2.7	6.0	mA
		中速モード時 f(X _{IN})=8MHz f(X _{CIN})=停止 出力トランジスタは遮断状態			2.0	4.5	mA
		中速モード時 f(X _{IN})=12.5MHz (WIT命令実行時) f(X _{CIN})=停止 出力トランジスタは遮断状態			1.65	4.2	mA
		中速モード時 f(X _{IN})=8MHz (WIT命令実行時) f(X _{CIN})=停止 出力トランジスタは遮断状態			1.3	4.0	mA
		低速モード時 f(X _{IN})=停止 f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態			40	150	μA
		低速モード時 f(X _{IN})=停止 f(X _{CIN})=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態			30	100	μA
		低速モード時(V _{CC} =3V) f(X _{IN})=停止 f(X _{CIN})=32.768kHz 出力トランジスタは遮断状態			10	40	μA
		低速モード時(V _{CC} =3V) f(X _{IN})=停止 f(X _{CIN})=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態			5.5	11	μA
		A/Dコンバータ動作時の増量 f(X _{IN})=8MHz			600		μA
		発振はすべて停止(STP命令実行時) 出力トランジスタは遮断状態	Ta = 25		0.1	1.0	μA
			Ta = 85			10	μA

A/Dコンバータ特性

表11. A/Dコンバータ特性(指定のない場合は, $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記 号	項 目	測 定 条 件	規 格 値			単位
			最 小	標 準	最 大	
—	分解能				8	bit
ABS	絶対精度誤差	$V_{CC}=V_{REF}$			± 3	LSB
tCONV	変換時間				109	tc(XIN)
RLADDER	ラダー抵抗			37		k Ω
IVREF	基準電源入力電流	$V_{REF}=5.0V$	50	135	200	μA
		$V_{REF}=3.0V$	30	80	120	
II(AD)	A/Dポート入力電流				5.0	μA

注. AD変換精度は、以下の使用条件では精度が低くなる場合があります。

- (1) V_{REF} 電圧を V_{CC} 電圧よりも低く設定している場合、マイコン内部のアナログ回路がノイズをひろいやすくなるため、 V_{REF} 電圧と V_{CC} 電圧を同一に設定する場合よりも精度が低くなる場合があります。
- (2) V_{REF} 電圧が3.0V以下の場合、低温時の精度が常温時に比べて極端に低くなる場合があります。低温側での使用が想定されるシステムでは、 V_{REF} 3.0V以上での使用を推奨します。

タイミング必要条件

表12. タイミング必要条件(1) (指定のない場合はV_{CC}=4.0~5.5V, V_{SS}=0V, T_a= - 20~85)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
tw(RESET)	リセット入力 “ L ” パルス幅	20			XINサイクル
tc(XIN)	外部クロック入力サイクル時間	80			ns
tWH(XIN)	外部クロック入力 “ H ” パルス幅	32			ns
tWL(XIN)	外部クロック入力 “ L ” パルス幅	32			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	200			ns
tWH(CNTR)	CNTR0, CNTR1入力 “ H ” パルス幅	80			ns
tWL(CNTR)	CNTR0, CNTR1入力 “ L ” パルス幅	80			ns
tWH(INT)	INT0 ~ INT3入力 “ H ” パルス幅	80			ns
tWL(INT)	INT0 ~ INT3入力 “ L ” パルス幅	80			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	800			ns
tWH(SCLK1)	シリアル/O1クロック入力 “ H ” パルス幅 (注)	370			ns
tWL(SCLK1)	シリアル/O1クロック入力 “ L ” パルス幅 (注)	370			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	220			ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間	100			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間	1000			ns
tWH(SCLK2)	シリアル/O2クロック入力 “ H ” パルス幅	400			ns
tWL(SCLK2)	シリアル/O2クロック入力 “ L ” パルス幅	400			ns
tsu(SIN2-SCLK2)	シリアル/O2クロック入力セットアップ時間	200			ns
th(SCLK2-SIN2)	シリアル/O2クロック入力ホールド時間	200			ns

注. f(XIN)=8MHz、001A16番地のビット6が* 1 (クロック同期モード)の場合です。

f(XIN)=8MHz、001A16番地のビット6が* 0 (非同同期モード)の場合は、値は1/4になります。

表13. タイミング必要条件(2) (指定のない場合はV_{CC}=2.7~5.5V, V_{SS}=0V, T_a= - 20~85)

記 号	項 目	規 格 値			単位
		最 小	標 準	最 大	
tw(RESET)	リセット入力 “ L ” パルス幅	20			XINサイクル
tc(XIN)	外部クロック入力サイクル時間	166			ns
tWH(XIN)	外部クロック入力 “ H ” パルス幅	66			ns
tWL(XIN)	外部クロック入力 “ L ” パルス幅	66			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	500			ns
tWH(CNTR)	CNTR0, CNTR1入力 “ H ” パルス幅	230			ns
tWL(CNTR)	CNTR0, CNTR1入力 “ L ” パルス幅	230			ns
tWH(INT)	INT0 ~ INT3入力 “ H ” パルス幅	230			ns
tWL(INT)	INT0 ~ INT3入力 “ L ” パルス幅	230			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK1)	シリアル/O1クロック入力 “ H ” パルス幅 (注)	950			ns
tWL(SCLK1)	シリアル/O1クロック入力 “ L ” パルス幅 (注)	950			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	400			ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間	200			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間	2000			ns
tWH(SCLK2)	シリアル/O2クロック入力 “ H ” パルス幅	950			ns
tWL(SCLK2)	シリアル/O2クロック入力 “ L ” パルス幅	950			ns
tsu(SIN2-SCLK2)	シリアル/O2クロック入力セットアップ時間	400			ns
th(SCLK2-SIN2)	シリアル/O2クロック入力ホールド時間	300			ns

注. f(XIN)=4MHz、001A16番地のビット6が* 1 (クロック同期モード)の場合です。

f(XIN)=4MHz、001A16番地のビット6が* 0 (非同同期モード)の場合は、値は1/4になります。

スイッチング特性

表14．スイッチング特性(1)(指定のない場合は, $V_{CC}=4.0 \sim 5.5V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記 号	項 目	測定条件	規 格 値			単位
			最 小	標 準	最 大	
t _{WH} (SCLK1)	シリアル/O1クロック出力“H”パルス幅	図61	t _c (SCLK1)/2 - 30			ns
t _{WL} (SCLK1)	シリアル/O1クロック出力“L”パルス幅		t _c (SCLK1)/2 - 30			ns
t _d (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)				140	ns
t _v (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)		- 30			ns
t _r (SCLK1)	シリアル/O1クロック出力立ち上がり時間				30	ns
t _f (SCLK1)	シリアル/O1クロック出力立ち下がり時間				30	ns
t _{WH} (SCLK2)	シリアル/O2クロック出力“H”パルス幅		t _c (SCLK2)/2 - 160			ns
t _{WL} (SCLK2)	シリアル/O2クロック出力“L”パルス幅		t _c (SCLK2)/2 - 160			ns
t _d (SCLK2-SOUT2)	シリアル/O2出力遅延時間 (注2)				200	ns
t _v (SCLK2-SOUT2)	シリアル/O2出力有効時間 (注2)		0			ns
t _f (SCLK2)	シリアル/O2クロック出力立ち下がり時間				30	ns
t _r (CMOS)	CMOS出力 立ち上がり時間 (注3)			10	30	ns
t _f (CMOS)	CMOS出力 立ち下がり時間 (注3)			10	30	ns

注1．UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が* 0 の場合です。

2．シリアル/O2制御レジスタ1のP01/SOUT2, P02/SCLK2 Pチャネル出力禁止ビット(001516番地のビット7)が* 0 の場合です。

3．XOUT端子を除きます。

表15．スイッチング特性(2)(指定のない場合は, $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記 号	項 目	測定条件	規 格 値			単位
			最 小	標 準	最 大	
t _{WH} (SCLK1)	シリアル/O1クロック出力“H”パルス幅	図61	t _c (SCLK1)/2 - 50			ns
t _{WL} (SCLK1)	シリアル/O1クロック出力“L”パルス幅		t _c (SCLK1)/2 - 50			ns
t _d (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)				350	ns
t _v (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)		- 30			ns
t _r (SCLK1)	シリアル/O1クロック出力立ち上がり時間				50	ns
t _f (SCLK1)	シリアル/O1クロック出力立ち下がり時間				50	ns
t _{WH} (SCLK2)	シリアル/O2クロック出力“H”パルス幅		t _c (SCLK2)/2 - 240			ns
t _{WL} (SCLK2)	シリアル/O2クロック出力“L”パルス幅		t _c (SCLK2)/2 - 240			ns
t _d (SCLK2-SOUT2)	シリアル/O2出力遅延時間 (注2)				400	ns
t _v (SCLK2-SOUT2)	シリアル/O2出力有効時間 (注2)		0			ns
t _f (SCLK2)	シリアル/O2クロック出力立ち下がり時間				50	ns
t _r (CMOS)	CMOS出力 立ち上がり時間 (注3)			20	50	ns
t _f (CMOS)	CMOS出力 立ち下がり時間 (注3)			20	50	ns

注1．UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が* 0 の場合です。

2．シリアル/O2制御レジスタ1のP01/SOUT2, P02/SCLK2 Pチャネル出力禁止ビット(001516番地のビット7)が* 0 の場合です。

3．XOUT端子を除きます。

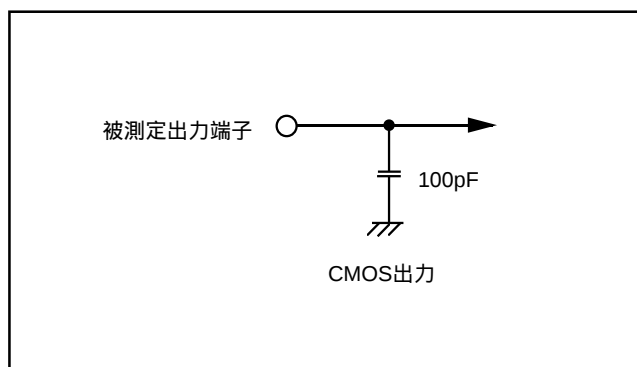


図61．出力スイッチング特性測定回路図

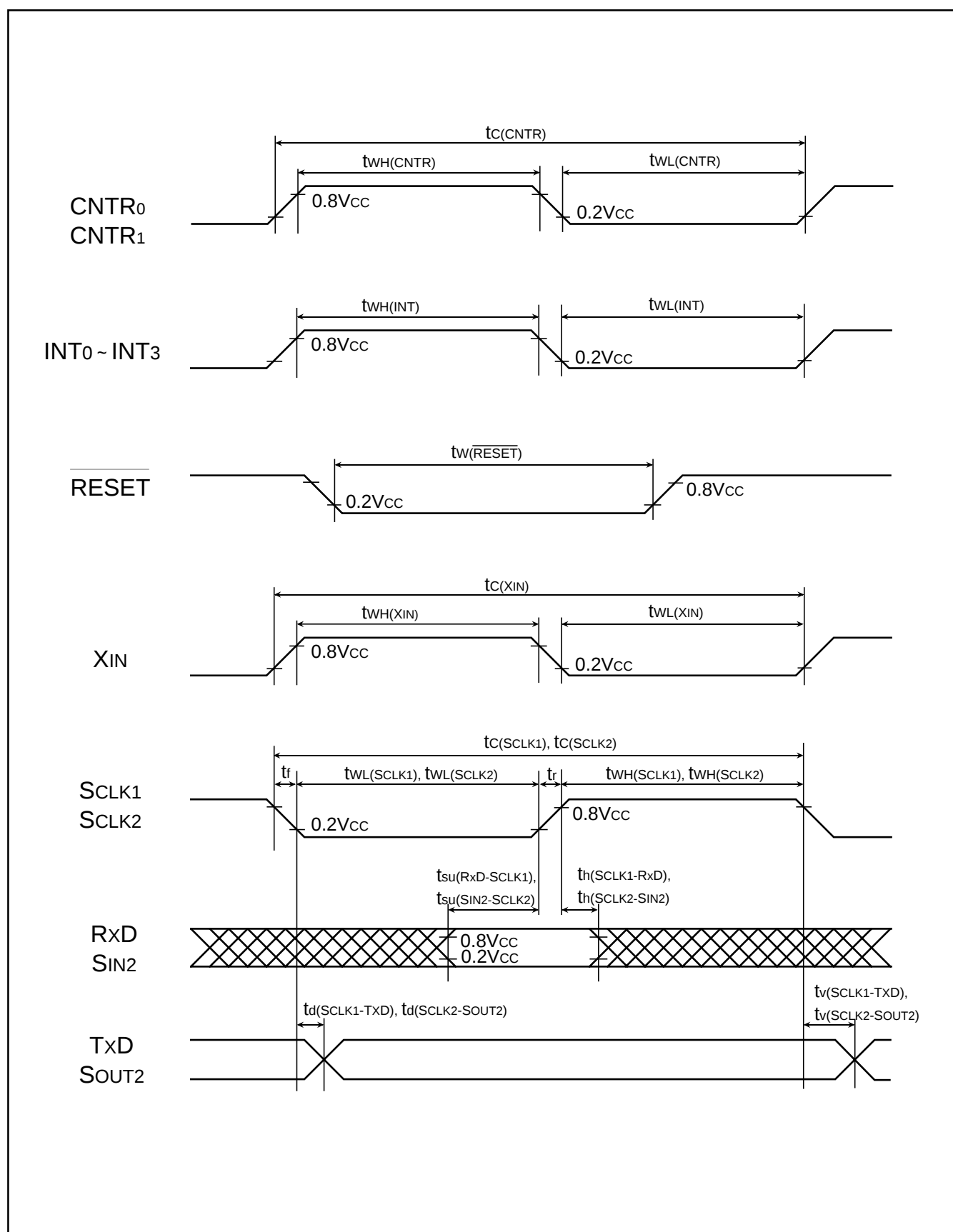
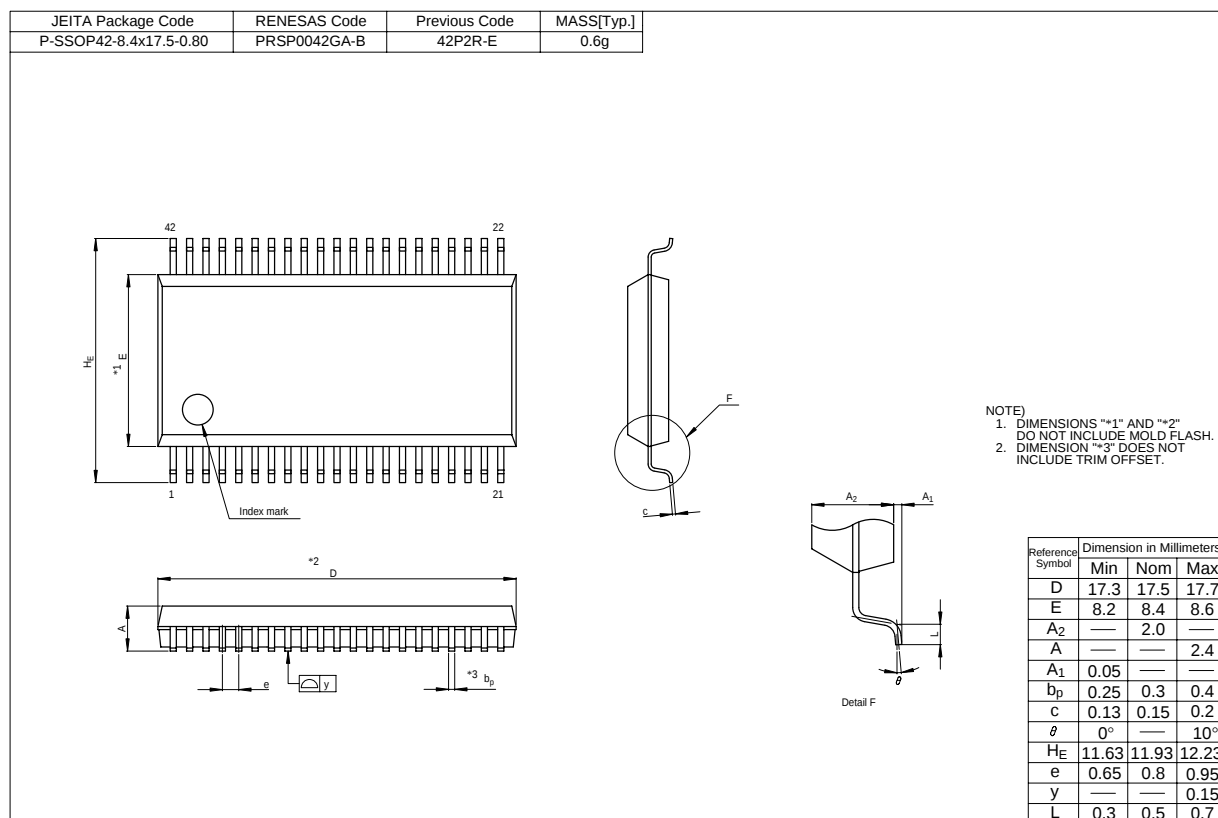
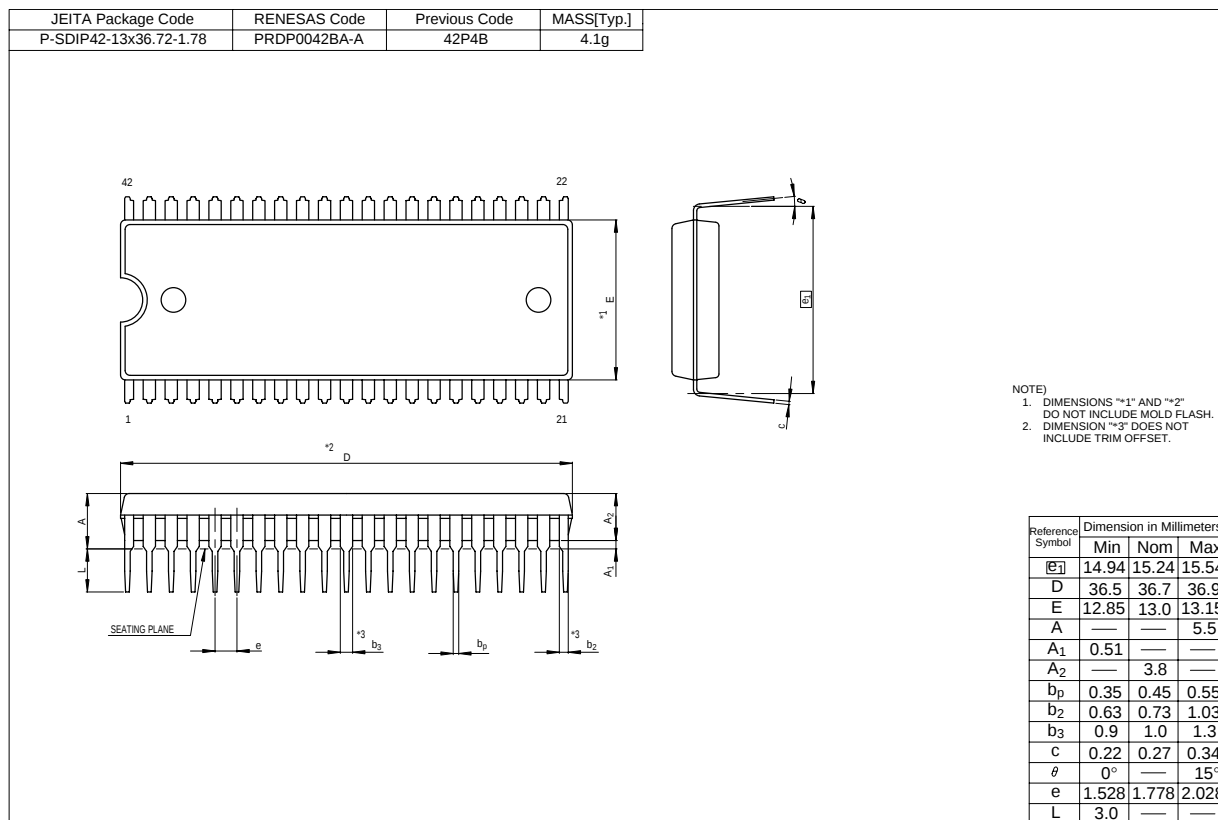


図62 . タイミング図

パッケージ外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサステクノロジホームページの「パッケージ」に掲載されています。



注意事項

プログラム作成に関する注意事項

1. プロセッサステータスレジスタ

(1) プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

<理由>

プロセッサステータスレジスタ(PS)は、Iフラグが^a1"であることを除いて、リセット直後は不定です。

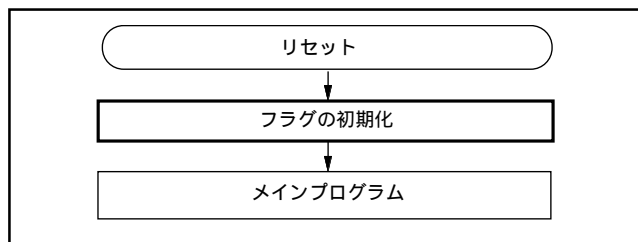


図 63. プロセッサステータスレジスタのフラグの初期化

(2) プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

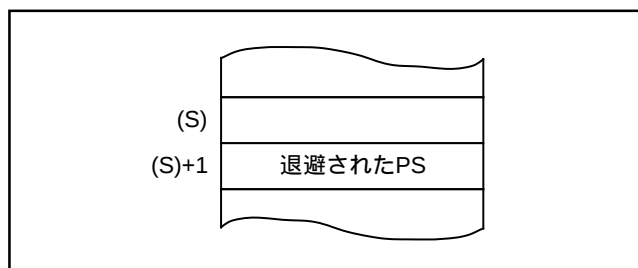


図 64. PHP 命令実行後のスタックメモリの内容

2. BRK命令

(1) 割り込み優先順位

下記2つの状態である時にBRK命令を実行すると、その要因の中で最も優先順位の高い要因の割り込みベクトルの番地から割り込みの実行を開始します。

- ・ 割り込み要求ビット、割り込み許可ビットが共に^a1"
- ・ Iフラグを^a1"にして割り込みを禁止

3. 10進演算

(1) 10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを^a1"にセットして、ADC命令またはSBC命令を実行します。その場合、SEC命令、CLC命令、またはCLD命令は、ADC命令またはSBC命令よりも一命令後に行ってください。

(2) 10進演算時のステータスフラグ

10進モード(Dフラグ=1)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリ)フラグは演算の結果、桁上がりが発生すると^a1"にセット、桁借りが発生すると^a0"にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

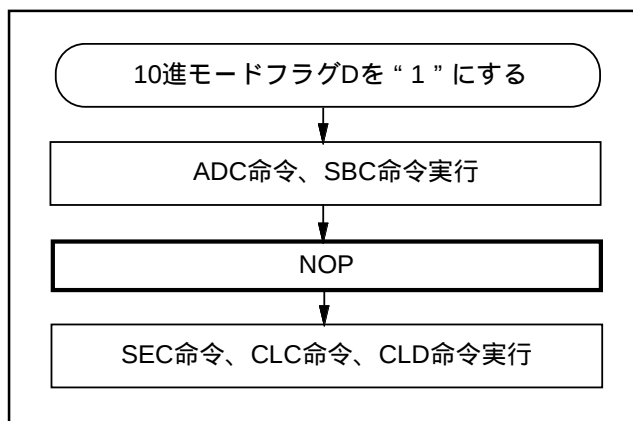


図 65. 10進演算時の命令

4. JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが^aFF16"となるアドレスをオペランドに指定しないでください。

5. 乗除算命令

- ・ MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・ 乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

6. ポート

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが^a1"の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

7. 命令の実行時間

命令の実行時間は740ファミリ ソフトウェアマニュアルを参照してください。記載されているサイクル数に内部クロックφの周期をかけることによって得られます。内部クロックφの周期は、高速モード時はXIN周期の2倍、中速モード時はXIN周期の8倍です。低速モード時は、XCIN周期の2倍です。

8. 予約領域、予約ビットに関するもの

SFR 領域およびスペシャルページにある予約領域には、データは何も書き込まないでください。(リセット後の状態を変更しないでください)

9. CPUモードレジスタに関するもの

CPUモードレジスタ(003B16番地)のビット3は必ず^a1"に固定してください。

周辺機能に関する注意事項

入出力ポートに関する注意事項

1. スタンバイ状態での使用

スタンバイ状態^{*1}で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。特にNチャンネルオープンドレインの入出力ポートでは注意が必要です。また、Nチャンネルオープンドレインの入出力ポートでは、出力に設定している場合でも、同様の注意が必要です。

この場合、抵抗を介してポートをプルアップ(Vccに接続)またはプルダウン(Vssに接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・外付け回路
- ・通常動作時の出力レベルの変動
- <理由>

方向レジスタで入力ポートに設定している場合はトランジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。このとき、入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

また、Nチャンネルオープンドレインの入出力ポートではポートラッチの内容が「1」の場合、方向レジスタで出力ポートに設定していても、入力ポートと同様の現象がおこります。

^{*1}スタンバイ状態：STP命令実行によるストップモード
WIT命令実行によるウェイトモード

2. ビット処理命令による出力データの書き換え

入出力ポートのポートラッチをビット処理命令^{*}を用いて書き換える場合、指定していないビットの値が変化することがあります。

<理由>

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出しおよび書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・入力に設定されているビット：
端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
 - ・出力に設定されているビット：
ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
- ただし、以下の点に注意してください。
- ・出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
 - ・入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化します。

^{*}ビット処理命令：SEB命令、CLB命令

未使用端子の処理に関する注意事項

1. 未使用端子の適切な処理

(1)入出力ポート

入力モードに設定し、1～10kΩの抵抗を介してVccまたはVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、「L」または「H」出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合を考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

(2)A/Dコンバータを使用しない場合のA/D変換用電源端子AVss

A/Dコンバータを使用しない場合、A/D変換用電源端子AVssは以下のように処理してください。

- ・AVss：Vssに接続

2. 処理上の留意事項

(1)入力ポートおよび入出力ポート

入力モードで開放しないでください。

<理由>

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理「1. (1)入出力ポート」に比べ、ノイズの影響を受け易くなります。

(2)入出力ポート

入力モードに設定した場合、VccまたはVssに直結しないでください。

<理由>

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

(3)入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、VccまたはVssに接続しないでください。

<理由>

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- ・未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

割り込みにに関する注意事項

1. 関連レジスタの設定変更

割り込みエッジ選択レジスタ(003A16番地)およびタイマXYモードレジスタ(002316番地)の設定を変更する場合、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

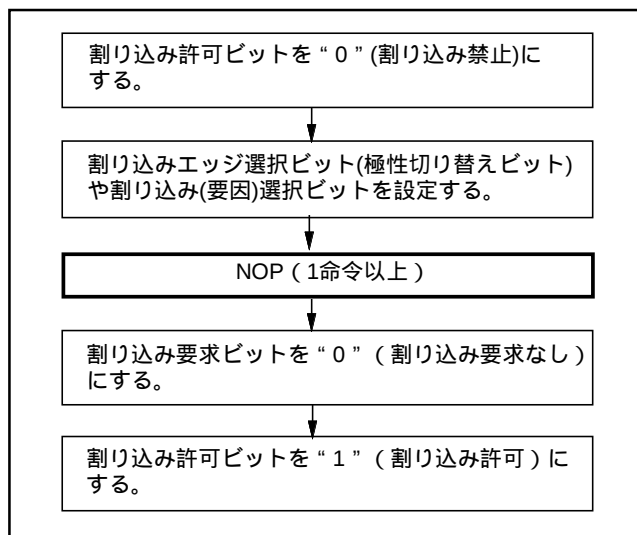


図 66. 関連レジスタの設定変更手順

<理由>

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込みのアクティブエッジを設定する際
対象レジスタ：割り込みエッジ選択レジスタ(003A16番地)
タイマXYモードレジスタ(002316番地)
- ・同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
対象レジスタ：割り込みエッジ選択レジスタ(003A16番地)

2. 割り込み要求ビットの判定

データ転送命令を使用して割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令またはBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令またはBBS命令を実行する前に、1命令実行してください。

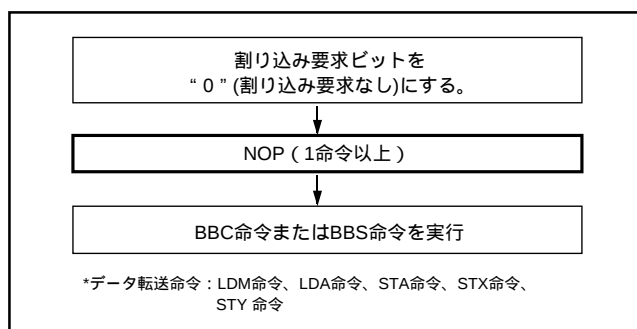


図 67. 割り込み要求ビットの判定手順

<理由>

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令またはBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

タイマに関する注意事項

- ・タイマラッチに値n(“0”~“255”)を書き込んだ場合の分周比は、 $1/(n+1)$ です。
- ・タイマ12カウントソース選択ビットおよびタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、タイマのカウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラおよびタイマに値を設定してください。

シリアルインタフェースに関する注意事項

1. クロック同期形の選択時(シリアルI/O1)

(1)送信動作の停止

シリアルI/O1許可ビットおよび送信許可ビットを“0”(シリアルI/Oおよび送信禁止)にしてください。

<理由>

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK1、SRDY1各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、データは送信シフトレジスタに転送されマイコン内部のシフト動作が開始されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

(2)受信動作の停止

受信許可ビットを“0”(受信禁止)、またはシリアルI/O1許可ビットを“0”(シリアルI/O禁止)にしてください。

(3)送受信動作の停止

送信許可ビット、および受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作または受信動作のいずれか一方だけを停止することはできません。)

<理由>

クロック同期形シリアルI/Oモードでは、送信および受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また「1. (1)送信動作の停止」と同様に、シリアルI/O1許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

(4)受信側のSRDY1出力(シリアルI/O1)

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側がSRDY1出力を行う場合、受信許可ビットおよびSRDY1出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

2. 非同期形の選択時(シリアルI/O1)

(1)送信動作の停止

送信許可ビットを“0”(送信禁止)にしてください。

<理由>

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK1、SRDY1各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、データは送信シフトレジスタに転送されマイコン内部のシフト動作が開始されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

(2)受信動作の停止

受信許可ビットを“0”(受信禁止)にしてください。

(3)送受信動作の停止

送信のみの停止

送信許可ビットを“0”(送信禁止)にしてください。

<理由>

シリアルI/O1許可ビットだけを“0”(シリアルI/O1禁止)にしても、送信動作の停止および送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK1、SRDY1各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、データは送信シフトレジスタに転送されマイコン内部のシフト動作が開始されます。この時点でシリアルI/O許可ビットを“1”にすると、内部でシフト中のデータが途中からTxD端子に出力され、不具合の原因となります。

受信のみの停止

受信許可ビットを“0”(受信禁止)にしてください。

3. シリアルI/O1制御レジスタの再設定(シリアルI/O1)

シリアルI/O1制御レジスタを再設定する場合は、送信許可ビットおよび受信許可ビットの両方を“0”にして、送信および受信回路をリセットした後、設定し直してください。

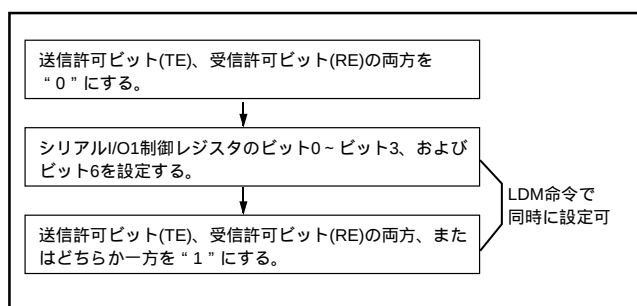


図 68. シリアルI/O1 制御レジスタの再設定手順

4. 送信シフトレジスタシフト終了フラグを使用したデータ送信制御(シリアルI/O1)

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5～1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

5. 送信許可ビットセット時の送信割り込み要求(シリアルI/O1)

送信割り込みを使用する場合は、以下の手順で送信許可ビットを許可状態にしてください。

(1)CLB命令により、割り込み許可ビットを“0”(禁止状態)にする。

(2)シリアルI/Oの送受信準備を行う。

(3)一命令以上おいてからCLB命令により割り込み要求ビットを“0”にする。

(4)割り込み許可ビットを“1”(許可状態)にする。

<理由>

送信許可ビットを“1”に設定すると、送信バッファエンブティフラグ、および送信シフトレジスタシフト終了フラグは“1”に設定されます。送信割り込みの発生するタイミングに以下どちらかのフラグが“1”に設定されたタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

・送信バッファエンブティフラグを“1”に設定

・送信シフトレジスタシフト終了フラグを“1”に設定

6. 外部クロック選択時の送信制御(シリアルI/O1(クロック同期形モード))

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が“H”の状態では送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLK1が“H”の状態で行ってください。

7. 送信データの書き込み(シリアルI/O2)

クロック同期シリアルI/O2では、同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが“H”の時に、シリアルI/O2レジスタ(シリアルI/Oシフトレジスタ)へ送信データを書き込んでください。

PWMに関する注意事項

PWM機能許可ビットが許可に設定され、PWM端子から“L”レベルが出力された後、PWMは開始します。この“L”レベルの出力時間は次のとおりです。

・カウントソース選択ビット=“0”, n = プリスケアラ設定値

$$\frac{n+1}{2 \times f(XIN)} \quad (\text{秒})$$

・カウントソース選択ビット=“1”, n = プリスケアラ設定値

$$\frac{n+1}{f(XIN)} \quad (\text{秒})$$

A/Dコンバータに関する注意事項

1. アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。または、アナログ入力端子に、 $0.01\mu\text{F} \sim 1\mu\text{F}$ の外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

<理由>

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

2. A/Dコンバータ用電源端子

A/D変換機能の使用または不使用にかかわらず、A/Dコンバータ用電源端子AVSSは以下のように処理してください。

・AVSS: VSSに接続

<理由>

AVSS端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

3. A/D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は以下の2点に留意してください。

- ・中速/高速モード時の $f(XIN)$ は500kHz以上にしてください。
- ・STP命令を実行しないでください。
- ・低速モードでA/D変換を実行する場合は、内蔵の自己発振回路を使用してA/D変換を行いますので、 $f(XIN)$ の下限周波数の制限はありません。

ウォッチドッグタイマに関する注意事項

- ・ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマがアンダフローしないようにしてください。
- ・ウォッチドッグタイマ制御レジスタのSTP命令機能選択ビットを"1"にすると、プログラムにより"0"に書き換えることはできません。

リセット端子に関する注意事項

1. コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、RESET端子とVSS端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

<理由>

RESET入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

2. 電源投入後のリセット解除

パワーオンリセット等、電源投入後リセットを解除する場合は、電源電圧が2.7V以上に達し、XINが安定発振している状態でXINが20サイクル以上経過した後に解除してください。

<理由>

リセット解除には電源電圧が2.7~5.5Vにあり、XINが安定発振しているときにXINの20サイクル以上の期間" L "レベルにする必要があります。

ストップモードに関する注意事項

・レジスタ設定

STP命令解除後の発振安定時間設定ビットを"0"で使用される場合は、ストップモードからの復帰時、プリスケアラ12、タイマ1の値は自動的に書き換えられていますので、それぞれ再設定してください。

STP命令解除後の発振安定時間設定ビットを"1"で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。

・復帰後のクロック

割り込みによってストップモードから復帰すると、STP命令実行前のCPUモードレジスタの内容が保持されています。そのためSTP命令実行前にメインクロック、サブクロックとも発振させていた場合は、割り込みによってストップモードから復帰するとメインクロック、サブクロックとも発振を再開します。

上記においてメインクロック側がシステムクロックに設定されていた場合、ストップモードからの復帰時にXIN入力の約8000サイクル分の発振安定時間が確保されます。このとき、メインクロック側の発振安定時間経過後でもサブクロック側の発振は安定していないことがありますので、注意してください。

ウェイトモードに関する注意事項

・復帰後のクロック

WIT命令実行時にXCINをシステムクロックとして設定し、XINの発振を停止させていた場合に、リセットによってウェイトモードから復帰すると、XCINの発振が停止し、XINが発振を開始し、XINがシステムクロックになります。

上記においてXINの発振が安定するまで、RESET端子に" L "レベルを入力しておく必要があります。

発振の再開に関する注意事項

発振の再開

通常は、ストップ命令が外部割り込みにより解除されるとタイマ1およびプリスケアラ12には特定の値(タイマ1には0116、プリスケアラ12にはFF16)が発振安定待ちのため自動的にセットされます。一方、MISRQ(003816番地)のbit0を"1"にセットすることでこの自動セットを無効にすることもできます。ただしこのビットを"1"にセットした場合、ストップ命令実行直前のタイマ1およびプリスケアラ12に残っている値が発振安定待ち時間用のカウント値となってしまうため、STP命令実行前に、発振の立ち上がり時間を十分に確保できる値をタイマ1およびプリスケアラ12に設定してください。

<理由>

外部割り込みが受け付けられると発振は再開しますが、タイマ1がアンダフローしてはじめてCPUに内部クロックφが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(V_{CC}端子)とGND端子(V_{SS}端子)との間、および電源端子(V_{CC}端子)とアナログ電源入力端子(AV_{SS}端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01 μ F~0.1 μ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加くださるようお願いいたします。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

ブランク出荷品に関する注意事項

ブランク出荷品は、アセンブリ工程以前に十分なQzROM書き込みテストを行っていますが、アセンブリ工程以降はユーザROM領域に対する書き込みテストは行っていません。その為、0.1%程度の書き込み不良が発生することがあります。また書き込み環境も書き込み不良の原因となりますので、ケーブルの接触や、ソケットの上の異物などに充分留意してご使用ください。

QzROMに関する注意事項

CNVSS/V_{PP}端子は、マイコンのV_{SS}端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

また、5k Ω 程度の抵抗を直列に挿入しGNDに接続することでノイズ耐量を改善できる場合があります。このときも上記同様に、マイコンのV_{SS}端子に供給しているGNDからできるだけ近いGNDパターンに最短で接続してください。

<理由>
CNVSS/V_{PP}端子は内蔵QzROMの電源入力端子です。QzROMへのプログラム書き込み時に、書き込み電流が流れるようにV_{PP}端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。V_{PP}端子からノイズが侵入すると、QzROMからの命令コード、データの読み出しが正常に行われず、暴走の原因となります。

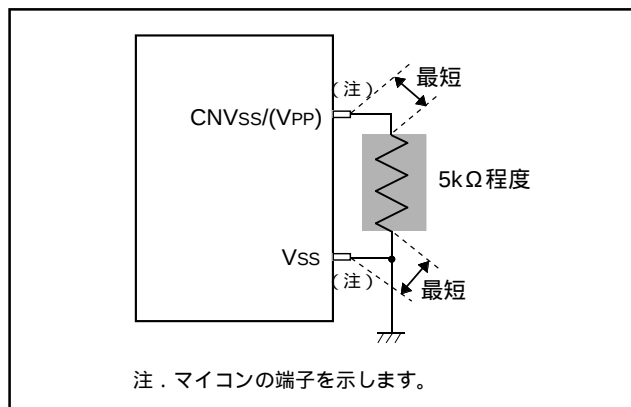


図69. CNVSS/V_{PP}端子の配線

QzROM書き込み発注時の注意事項

QzROM書き込み出荷品を発注する際は、マスクファイル変換ユーティリティ(MM)を使用して作成したマスクファイル(拡張子.msk)を提出してください。

- (1) マスクファイル変換ユーティリティ(MM)を実行する際は、必ずROMオプション(マスク変換ユーティリティ内では“マスクオプション”表記)データを設定してください。QzROM書き込み出荷品のROMコードプロテクトは、このROMオプションデータの値で決定します。ROMオプションデータが設定されていない場合や所定の値(“0016”、“FF16”)以外のデータが設定されている場合はマスクファイルを受け付けできませんのでご注意ください。
- (2) ROMデータ内のROMコードプロテクト番地には、プロテクトの有無にかかわらず、あらかじめ“FF16”を設定してください。“FF16”以外のデータが設定されている場合は、ROMデータの再提出をお願いすることがあります。

QzROM書き込み発注時の提出資料

QzROM書き込み出荷品の発注時、次の資料を提出してください。

- ・QzROM書き込み確認書*
- ・マーク指定書*
- ・ROMのデータ…マスクファイル

*QzROM書き込み確認書およびマーク指定書につきましては、ルネサステクノロジホームページ(<http://japan.renesas.com/homepage.jsp>)を参照してください。なお、QzROMマイコンでは特殊字体マーキング(貴社商標など)には対応しておりません。

改訂記録	3858 グループ データシート
------	------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.05.12	—	初版発行
1.10	2006.02.24	— — 3 5 10 12 15 17 52 55 57 59 61 64 69 70-75	「開発中」を削除 パッケージ型名「42P2R-A/E」を「PRSP0042GA-B」に変更 表 1: 端子の機能説明 ・CNVss に「かつ、QzROM 書き込み用電源 VPP と兼用端子です。」を追加 ・P3, P4 の「8 ビットの入出力ポート」を「5 ビットの入出力ポート」に変更 パッケージ：誤記修正 ● QzROM コードプロテクト番地：「マスクオプションとして選択可能です。」 →「ROM オプション(マスク変換ユーティリティ内では“マスクオプション”表記)として選択してください。」に変更 表 5：「A/D 変換入力」を「A/D コンバータ入力」に変更 図 12：ポート P44/PWM 端子の PWM 機能許可時の読み出し経路をポートラッチの読み出しから PWM 出力の読み出しへ修正 図 14：PULL3、PULL4 レジスタのビット 5～7 を「これらのビットは“0”に固定してください」に修正 「ウォッチドッグタイマ」の本文を変更 図 51、52：「STP 命令禁止ビット」を「STP 命令機能選択ビット」に変更 ● 発振制御(1)ストップモード：文中に「(0038₁₆ 番地のビット 0)」を追加 図 59：タイマ 12 カウントソース選択ビットを修正 表 7：P22、P23 の絶対最大定格最大値「5.8」を「Vcc+0.3」、CNVss の絶対最大定格最大値「Vcc+0.3」を「8.0」にそれぞれ修正 表 9：f(XCIN)を追加、それに伴い注 4 を追記 表 13：指定のない場合の条件「Vcc=4.0～5.5V」を「Vcc=2.7～5.5V」に修正 パッケージ型名変更に伴い外形寸法図を変更 本文中の「プログラミングの注意事項」、「使用上の注意事項」を削除して、巻末に「注意事項」を追加。
1.11	2008.12.18	1,4,5,59 23 52 55 63 72 73	「PRSP0042GA-B」を「PRSP0042GA-A/B」に変更 図 17：メインクロック分周比選択ビット XIN “11” を削除 (1)ウォッチドッグタイマの初期値」に追記 ウォッチドッグタイマ制御レジスタのビット 7 “0”の場合：XIN=16MHz 時 65.536ms → XIN=8MHz 時 131.072ms “1”の場合：XIN=16MHz 時 256 μs → XIN=8MHz 時 512 μs (2)ウェイトモード内、「STP 復帰時の待ち時間をカウントする際のソースクロックについて」の記述を修正 表 11：A/D コンバータ特性 絶対精度誤差の測定条件から「Ta=25」を削除 ウォッチドッグタイマに関する注意事項 「STP 命令禁止ビット」を「STP 命令機能選択ビット」に変更 “QzROM 書き込み発注時の注意事項”を改訂

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任は負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご相談ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご相談ください。



営業お問合せ窓口

株式会社ルネサス販売

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東		社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北		社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支店	〒970-8026	いわき市平字田町120 (ラトフ)	(0246) 22-3222
茨	城		支店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟		支店	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本		社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部		社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西		社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸		社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
広	島		支店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州		支店	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com