

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

3850グループ SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0051-0101Z
Rev.1.01
2003.07.30

概要

3850グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

シリアルI/O、8ビットタイマ、A-D変換器を内蔵しており、家電、OA機器に最適です。

特長

基本機械語命令	71
命令実行時間	0.5 μ s
(最短命令、発振周波数8MHz時)	
メモリ容量 ROM	8~24Kバイト
RAM	512~640バイト
プログラマブル入出力ポート	34本
割り込み	14要因、14ベクタ
タイマ	8ビット×4
シリアルI/O	8ビット×1
(UART又はクロック同期形)	
PWM	8ビット×1
A-D変換器	10ビット分解能×5チャンネル

クロック発生回路	2回路内蔵
(セラミック共振子又は水晶発振子外付け)	
ウォッチドッグタイマ	16ビット×1
電源電圧	
高速モード時	4.0~5.5V
(発振周波数8MHz時)	
中速モード時	2.7~5.5V
(発振周波数8MHz時、中速モード選択時)	
低速モード時	2.7~5.5V
(発振周波数32kHz時)	
消費電力	
高速モード時	34mW
(発振周波数8MHz時、電源電圧5V)	
低速モード時	60 μ W
(発振周波数32kHz時、電源電圧3V)	
動作周囲温度	-20~85

応用

OA機器、FA機器、家電、民生機器など

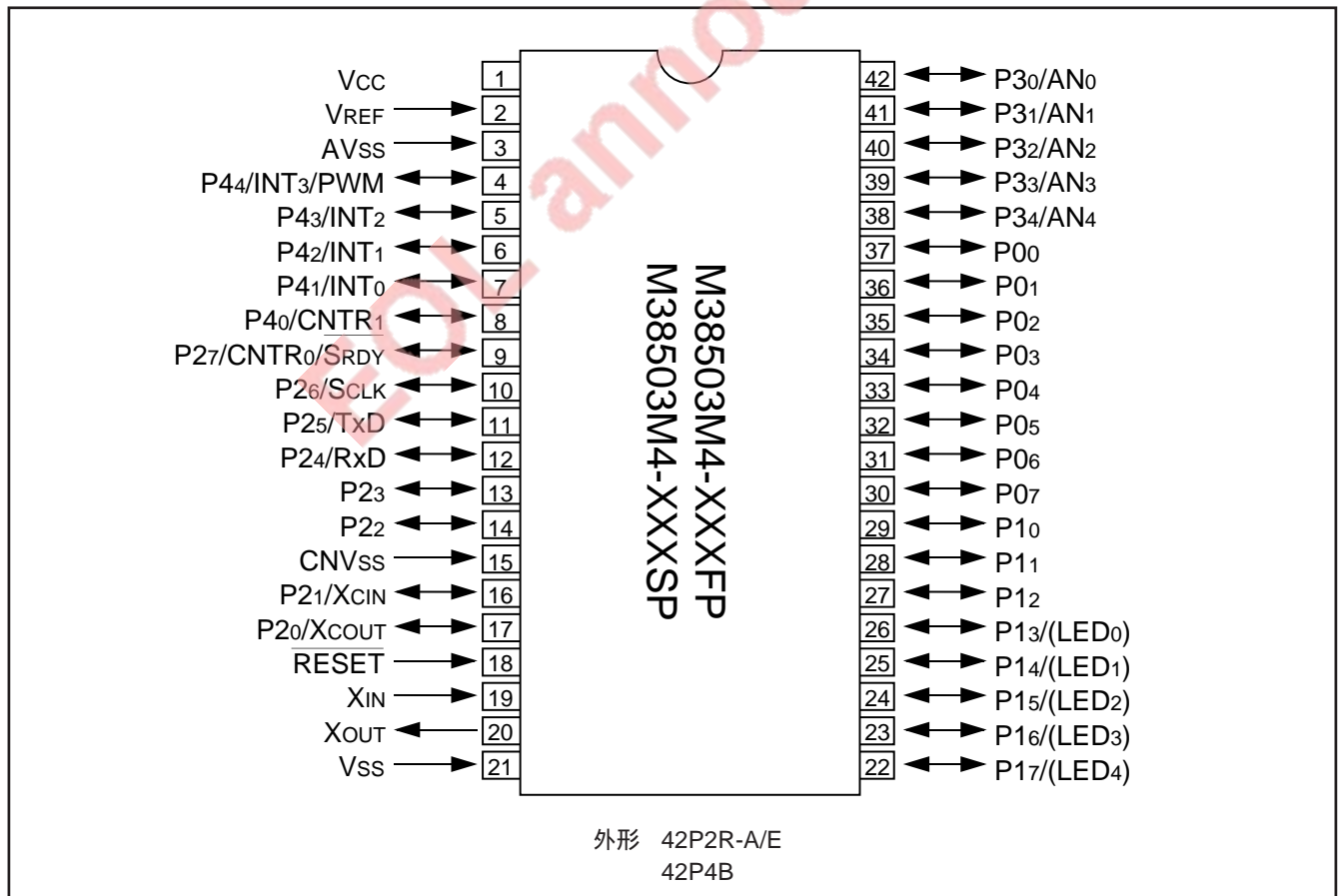


図1 . M38503M4-XXXXFP/SPのピン接続図

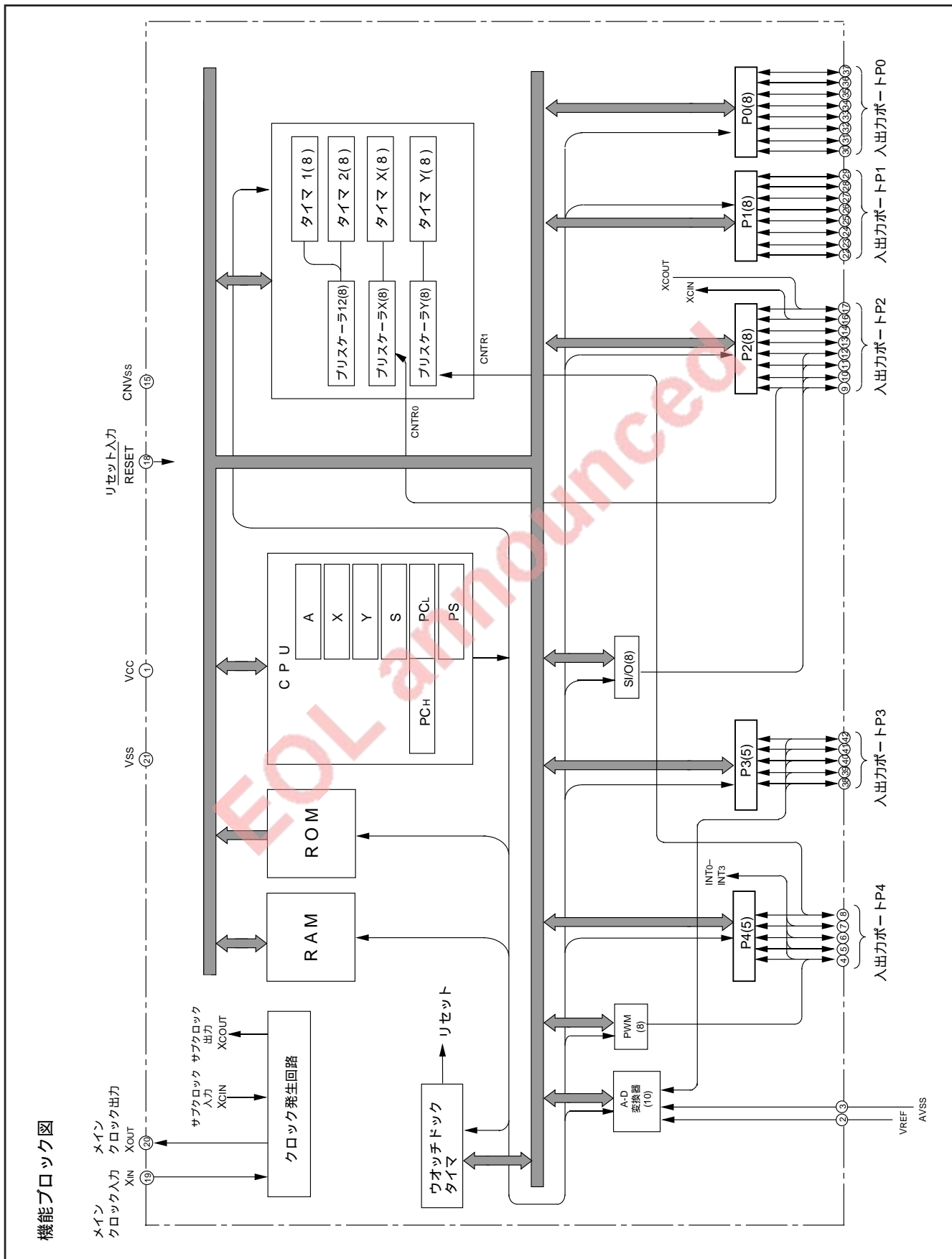


図2. 機能ブロック図

端子の機能説明

表1. 端子の機能説明

端子名	名称	機能	ポート以外の機能
Vcc,Vss	電源入力	Vccに2.7～5.5V, Vssに0Vを印加します。	
CNVss	CNVss	チップの動作モードを制御する端子で通常はVssに接続します。	
RESET	リセット入力	アクティブL'のリセット入力端子です。	
XIN	メインクロック入力	クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXIN端子に接続し、XOUT端子は開放にします。	
XOUT	メインクロック出力		
P00～P07	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。 M38503E4/M2/M4ではP13～P17の5ビットが、M38504E6/M6ではP10～P17の8ビットがLED駆動出力用の大電流出力が可能です。	
P10～P17	入出力ポートP1		
P20/XCOUT P21/XCIN	入出力ポートP2	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルです。出力形式はP20, P21, P24～P27がCMOS3ステートです。 P22, P23はNチャネルオープンドレインです。	サブクロック発生入出力端子 (共振子を接続します。)
P22 P23			
P24/RxD P25/TxD			シリアルI/O機能端子
P26/SCLK			
P27/CNTR0/ SRDY			シリアルI/O機能端子 / タイマX機能端子
P30/AN0～ P34/AN4	入出力ポートP3	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	A-D変換器入力端子
P40/CNTR1	入出力ポートP4	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	タイマY機能端子
P41/INT0～ P43/INT2			割り込み入力端子
P44/INT3/ PWM			割り込み入力端子 PWM出力端子

型名とメモリサイズ・パッケージ

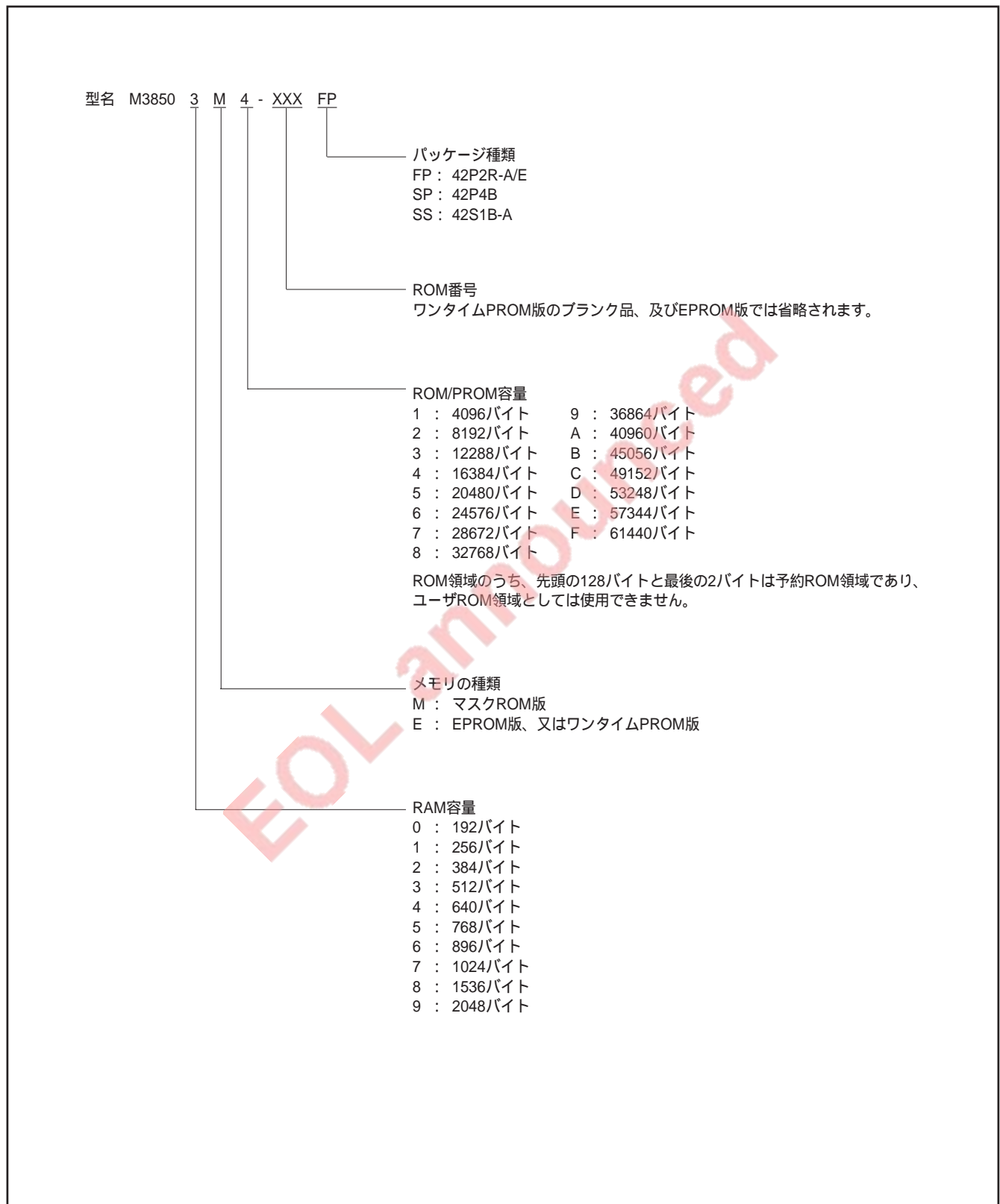


図3 . 型名とメモリサイズ・パッケージ

3850グループ

グループ展開

3850グループは次のような展開を計画しています。

メモリの種類

マスクROM版、ワンタイムPROM版のサポート

メモリ容量

ROM/PROM容量 8K ~ 24Kバイト

RAM容量 512 ~ 640バイト

パッケージ

42P4B 42ピンシュリンクプラスチックモールドDIP

42P2R-A/E 42ピンプラスチックモールドSSOP

42S1B-A 42ピンシュリンクセラミックDIP(EPROM版)

3850グループ ROM、RAM展開計画

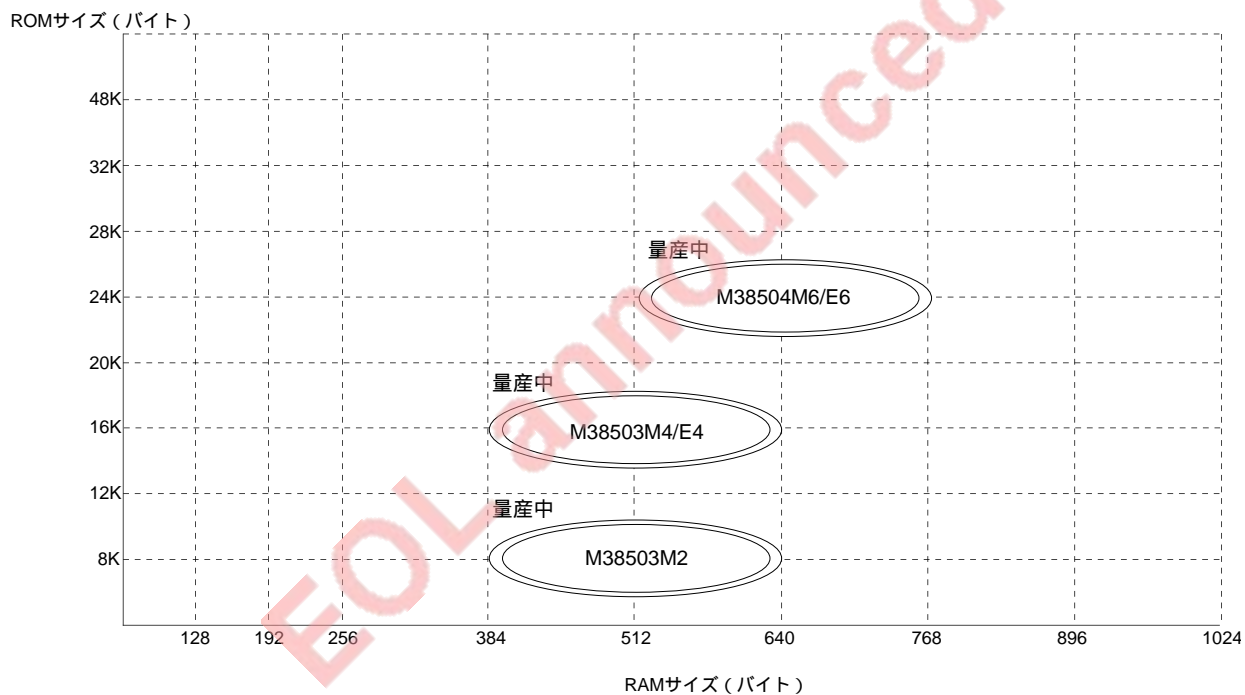


図4 . ROM及びRAM展開計画

現在サポートを行っている製品を下記に示します。

表2. サポート製品一覧

2003年7月現在

製品型名	ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考		
M38503M2-XXXSP	8192 (8062)	512	42P4B	マスクROM版		
M38503M2-XXXFP			42P2R-A/E	マスクROM版		
M38503M4-XXXSP	16384 (16254)	512	42P4B	マスクROM版		
M38503E4-XXXSP				ワンタイムPROM版		
M38503E4SP				ワンタイムPROM版(ブランク品)		
M38503E4SS			42S1B-A	EPROM版		
M38503M4-XXXFP			42P2R-A/E	マスクROM版		
M38503E4-XXXFP				ワンタイムPROM版		
M38503E4FP				ワンタイムPROM版(ブランク品)		
M38504M6-XXXSP			24576 (24446)	640	42P4B	マスクROM版
M38504E6-XXXSP						ワンタイムPROM版
M38504E6SP	ワンタイムPROM版(ブランク品)					
M38504E6SS	42S1B-A	EPROM版				
M38504M6-XXXFP	42P2R-A/E	マスクROM版				
M38504E6-XXXFP		ワンタイムPROM版				
M38504E6FP		ワンタイムPROM版(ブランク品)				

EOL announcement

機能ブロック動作説明

中央演算処理装置 (CPU)

3850グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレスシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照ください。

品種に依存する命令については以下の通りです。

1. FST, SLW命令はありません。
2. MUL, DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページ選択ビットなどが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

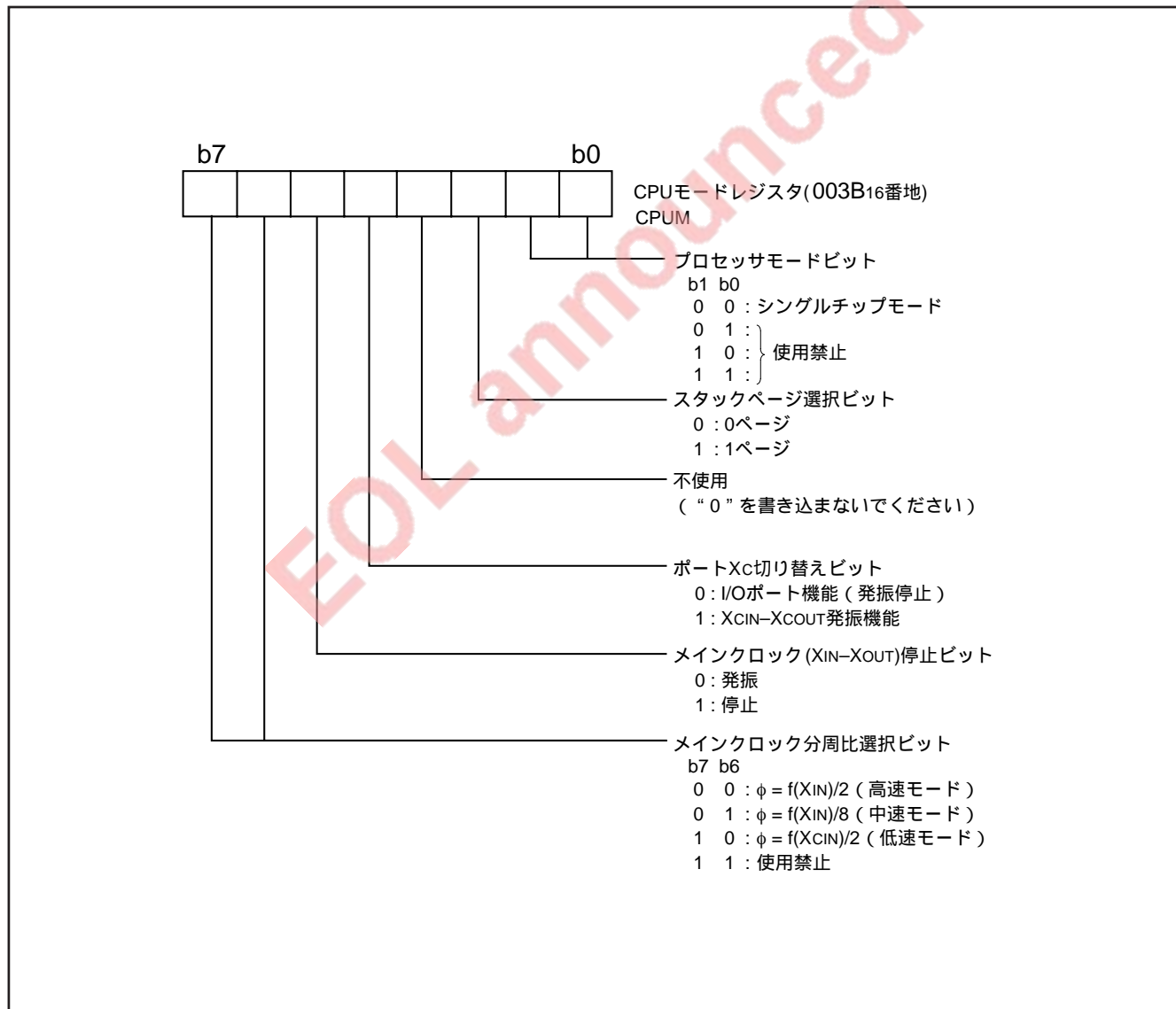


図5 . CPUモードレジスタの構成

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

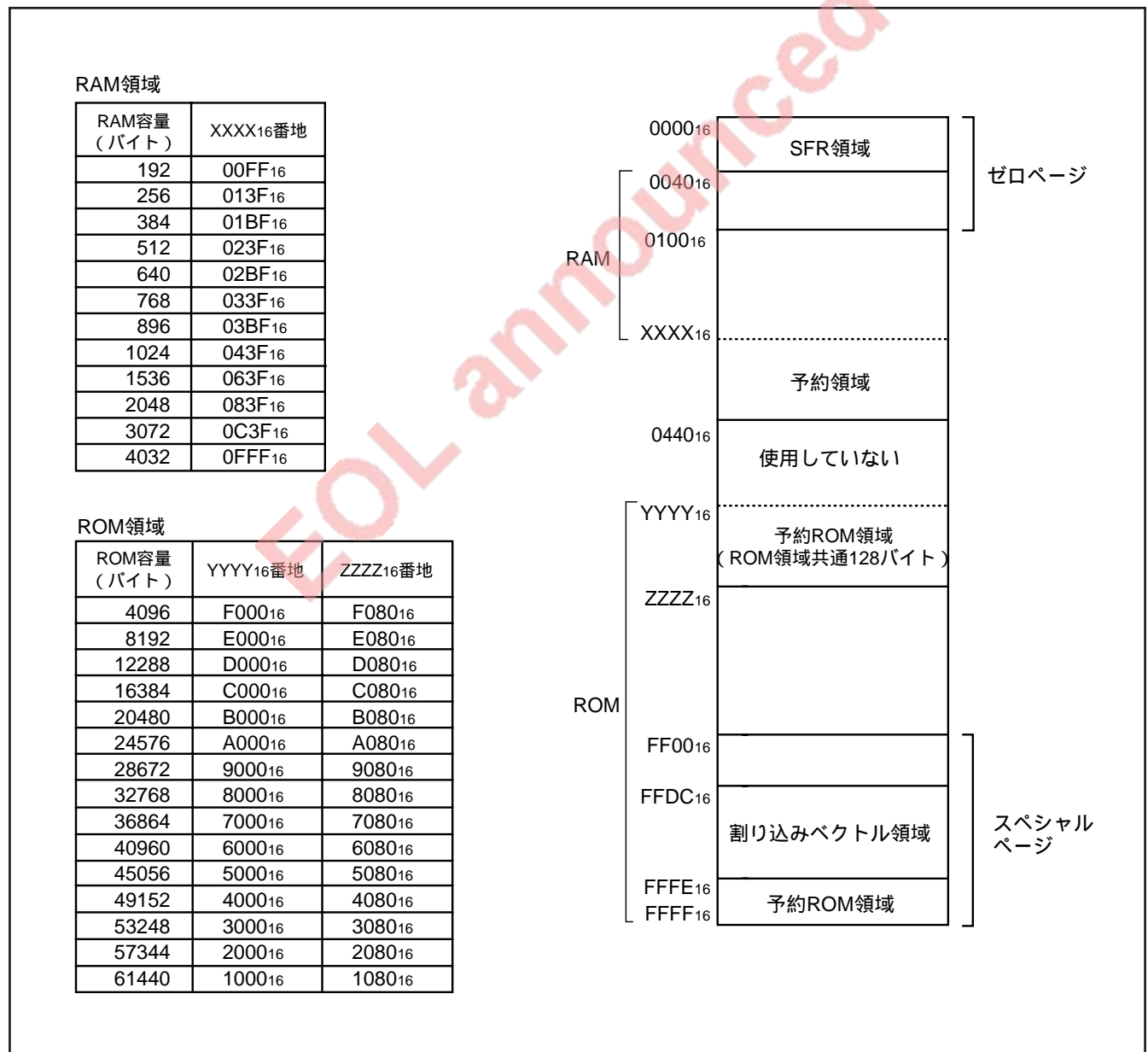


図6 . メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	プリスケラ12(PRE12)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	タイマ1(T1)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマ2(T2)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマXYモードレジスタ(TM)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	プリスケラX(PREX)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	タイマX(TX)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	プリスケラY(PREY)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	タイマY(TY)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	タイマカウントソース設定レジスタ(TCSS)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	
000A ₁₆		002A ₁₆	
000B ₁₆		002B ₁₆	予約 (注)
000C ₁₆		002C ₁₆	予約 (注)
000D ₁₆		002D ₁₆	予約 (注)
000E ₁₆		002E ₁₆	予約 (注)
000F ₁₆		002F ₁₆	予約 (注)
0010 ₁₆		0030 ₁₆	予約 (注)
0011 ₁₆		0031 ₁₆	予約 (注)
0012 ₁₆		0032 ₁₆	
0013 ₁₆		0033 ₁₆	
0014 ₁₆		0034 ₁₆	AD/DA制御レジスタ(ADCON)
0015 ₁₆	予約 (注)	0035 ₁₆	A-D変換下位レジスタ1(ADL)
0016 ₁₆	予約 (注)	0036 ₁₆	A-D変換上位レジスタ1(ADH)
0017 ₁₆	予約 (注)	0037 ₁₆	予約 (注)
0018 ₁₆	送信/受信バッファレジスタ1(TB/RB)	0038 ₁₆	MISRG
0019 ₁₆	シリアル/Oステータスレジスタ(SIOSTS)	0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A ₁₆	シリアル/O制御レジスタ(SIOCON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ポーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	PWM制御レジスタ(PWMCON)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	PWMプリスケラ(PREPWM)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	PWMLレジスタ(PWM)	003F ₁₆	割り込み制御レジスタ2(ICON2)

注. 予約領域のため、何もデータを書き込まないでください。

図7. SFR(スペシャルファンクションレジスタ)メモリマップ

入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

表3．入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番		
P00～P07	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力			(1)		
P10～P17	ポートP1							
P20/XCOUT, P21/XCIN	ポートP2			サブクロック発振回路	CPUモードレジスタ	(2) (3)		
P22, P23				CMOS入力レベル Nチャンネルオープンドレイン出力		(4)		
P24/RxD, P25/TxD				CMOS入力レベル CMOS3ステート出力	シリアルI/O機能入出力	シリアルI/O制御 レジスタ	(5) (6)	
P26/SCLK					シリアルI/O機能入出力	シリアルI/O制御 レジスタ	(7)	
P27/CNTR0/SRDY					シリアルI/O機能入出力 タイマX機能入出力	シリアルI/O制御 レジスタ タイマXYモードレジ スタ	(8)	
P30/AN0～ P34/AN4	ポートP3				A-D変換入力	A-D制御レジスタ	(9)	
P40/CNTR1	ポートP4				タイマY機能入出力	タイマXYモードレジ スタ	(10)	
P41/INT0～ P43/INT2					外部割り込み入力	割り込みエッジ選択 レジスタ	(11)	
P44/INT3/PWM						外部割り込み入力 PWM出力	割り込みエッジ選択 レジスタ PWM制御レジスタ	(12)

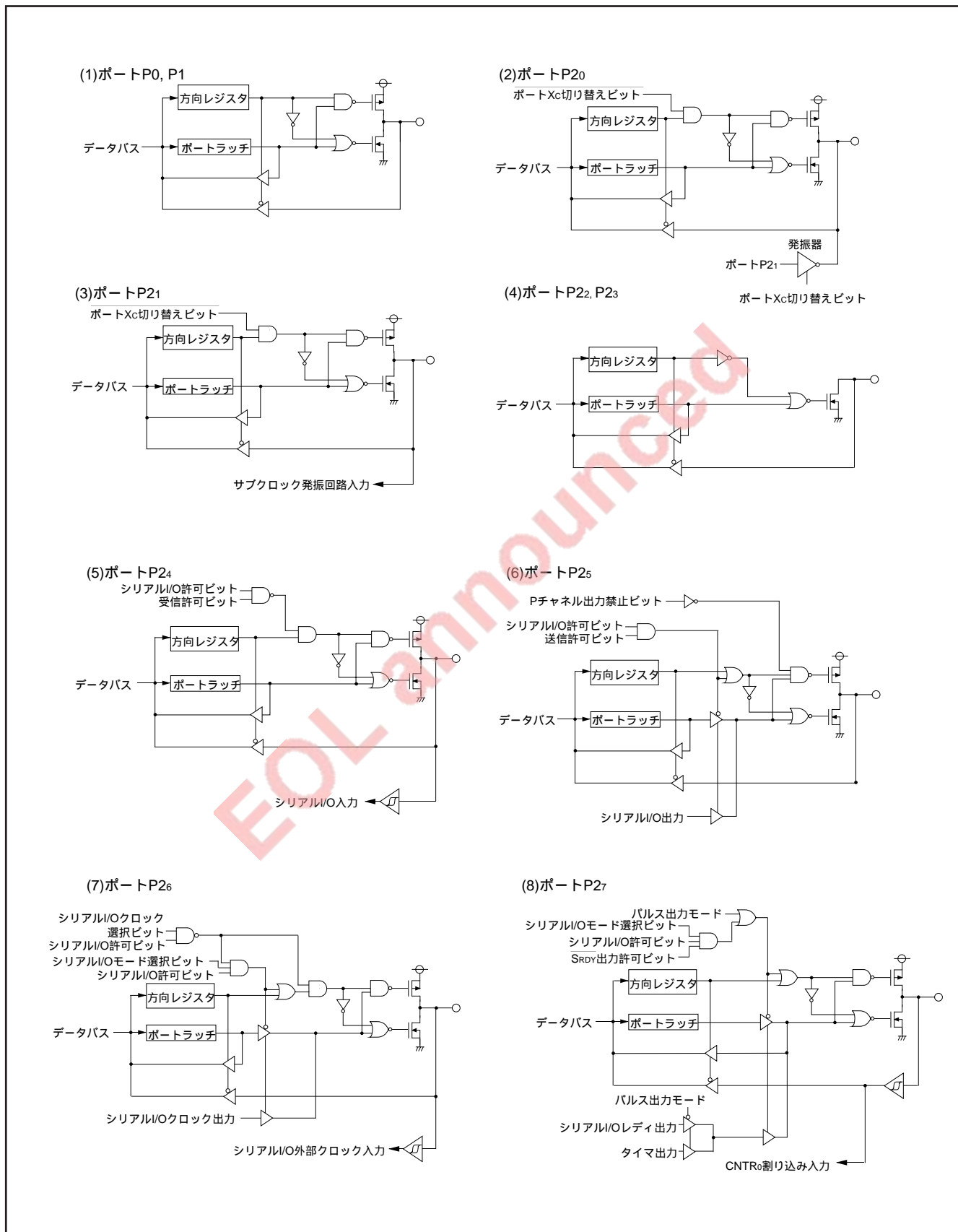


図8 . ポートのブロック図(1)

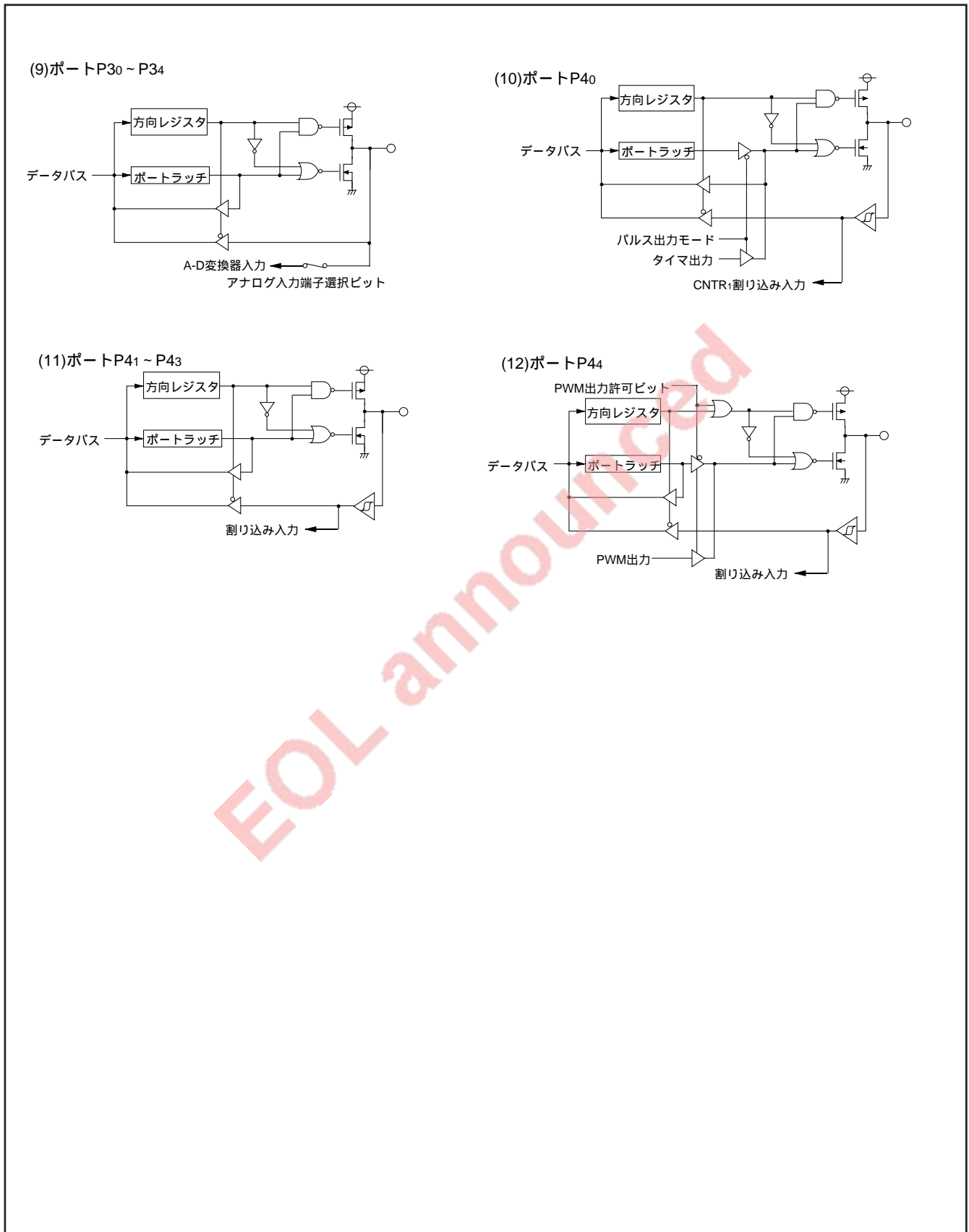


図9 . ポートのブロック図(2)

割り込み

割り込みはベクトル割り込みで、外部6要因、内部7要因、ソフトウェア1要因の14要因から発生することが可能です。

・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

注意事項

外部割り込み(INT₀~INT₃、CNTR₀、CNTR₁)のアクティブエッジを切り替える際、割り込み要求ビットが“1”になる場合があります。

対象レジスタ：割り込みエッジ選択レジスタ(003A₁₆番地)

タイマXYモードレジスタ(0023₁₆番地)

これらの設定に同期した割り込み要求が不要な場合には、以下の手順で設定してください。

- (1) 該当する割り込み許可ビットを“0”(禁止)にする。
- (2) 割り込みエッジ選択ビット(極性切り替えビット)を設定する。
- (3) 一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
- (4) 該当する割り込み許可ビットを“1”(許可)にする。

表4. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスクابل
INT ₀	2	FFFB ₁₆	FFFA ₁₆	INT ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
予約	3	FFF9 ₁₆	FFF8 ₁₆	予約	
INT ₁	4	FFF7 ₁₆	FFF6 ₁₆	INT ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT ₂	5	FFF5 ₁₆	FFF4 ₁₆	INT ₂ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT ₃	6	FFF3 ₁₆	FFF2 ₁₆	INT ₃ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
予約	7	FFF1 ₁₆	FFF0 ₁₆	予約	
タイマX	8	FFEF ₁₆	FFEE ₁₆	タイマX アンドアフロー時	
タイマY	9	FFED ₁₆	FFEC ₁₆	タイマY アンドアフロー時	
タイマ1	10	FFEB ₁₆	FFEA ₁₆	タイマ1 アンドアフロー時	STP解除タイマアンドアフロー
タイマ2	11	FFE9 ₁₆	FFE8 ₁₆	タイマ2 アンドアフロー時	
シリアルI/O受信	12	FFE7 ₁₆	FFE6 ₁₆	シリアルI/Oデータ受信完了時	シリアルI/O選択時のみ有効
シリアルI/O送信	13	FFE5 ₁₆	FFE4 ₁₆	シリアルI/Oシフト終了時又は送信バッファ空き時	シリアルI/O選択時のみ有効
CNTR ₀	14	FFE3 ₁₆	FFE2 ₁₆	CNTR ₀ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
CNTR ₁	15	FFE1 ₁₆	FFE0 ₁₆	CNTR ₁ 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
A-D変換	16	FFDF ₁₆	FFDE ₁₆	A-D変換終了時	
BRK命令	17	FFDD ₁₆	FFDC ₁₆	BRK命令実行時	ノンマスクابلソフトウェア割り込み

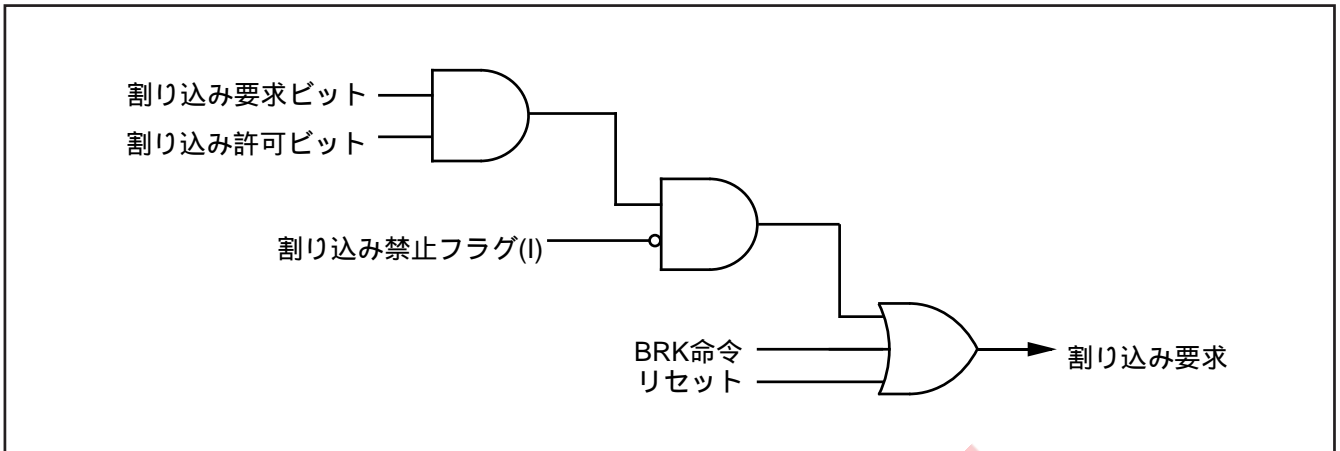


図10．割り込み制御図

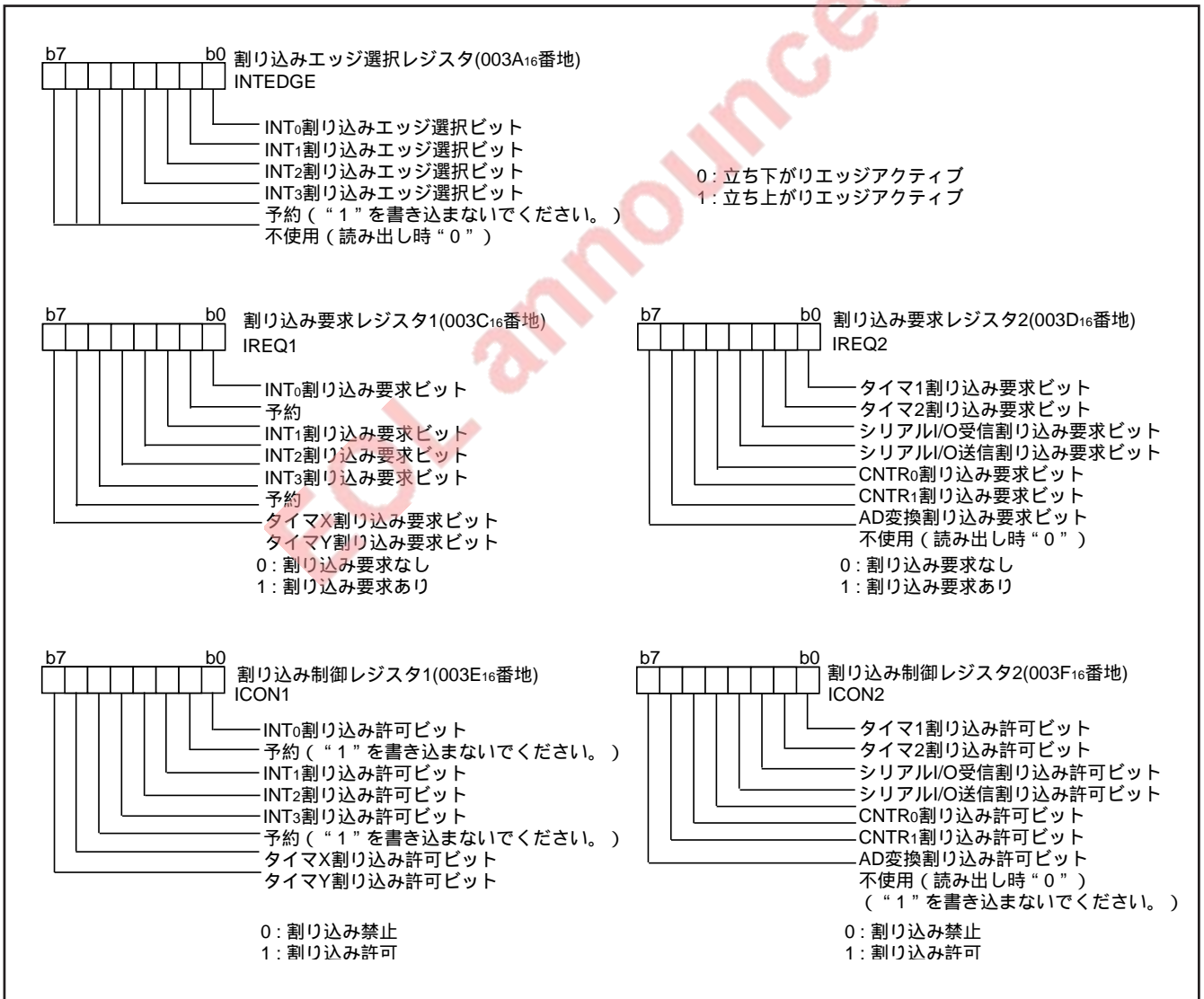


図11．割り込み関係レジスタの構成 1)

タイマ

タイマはタイマX、タイマY、タイマ1及びタイマ2の4本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容をnとすると1/(n+1)になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。またタイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

タイマ1、タイマ2

プリスケアラ12は、タイマカウントソース選択ビットにより選ばれた信号をカウントします。タイマ1及びタイマ2は、常にプリスケアラの出力をカウントし、周期的に割り込み要求ビットをセットします。

タイマX、タイマY

タイマX、タイマYはタイマXYモードレジスタを設定することにより、それぞれ4つの動作モードを選択することができます。

(1)タイマモード

タイマカウントソース選択ビットにより選ばれた信号をカウントします。

(2)パルス出力モード

タイマカウントソース選択ビットにより選ばれた信号をカウントし、タイマの内容が“0”になるたびに極性の反転する出力をCNTR0/CNTR1端子より出力します。CNTR0/CNTR1極性切り替えビットが“0”のときは、CNTR0/CNTR1端子の出力は“H”出力から開始します。“1”のときは、“L”出力から開始します。このモードを使用する場合はポートP27/ポートP40の方向レジスタを出力モードに設定してください。

(3)イベントカウンタモード

CNTR0/CNTR1端子からの入力信号をカウントすることを除けばタイマモードと同じ動作をします。

CNTR0/CNTR1極性切り替えビットが“0”のときは、CNTR0/CNTR1端子の立ち上がりエッジを、“1”のときは立ち下がりエッジをカウントします。

(4)パルス幅測定モード

CNTR0/CNTR1極性切り替えビットが“0”のときは、CNTR0/CNTR1端子が“H”の期間、タイマカウントソース選択ビットにより選ばれた信号をカウントします。“1”のときは、“L”の期間、カウントします。

いずれのモードでも、タイマX/タイマYカウント停止ビットを“1”に設定することによりカウントを停止することが可能です。また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

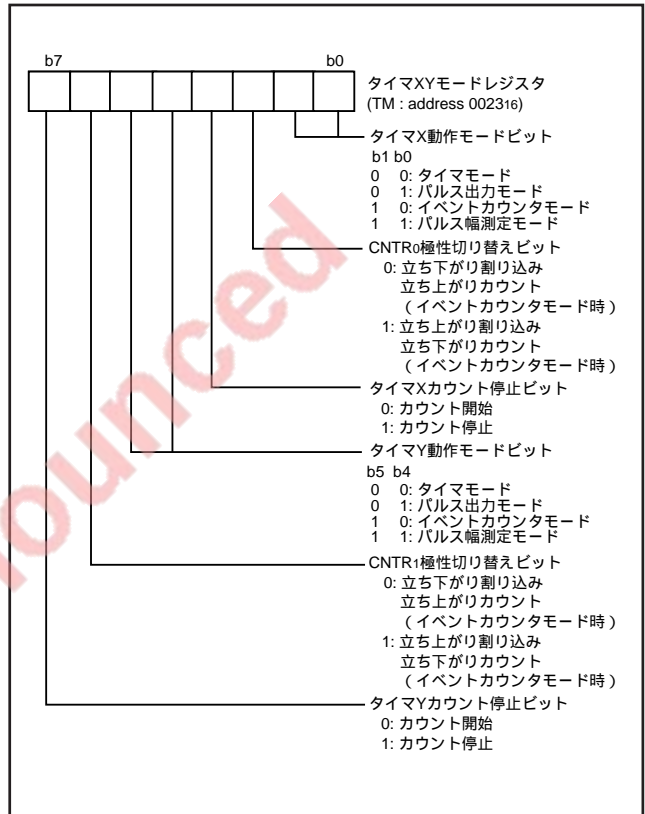


図12. タイマXYモードレジスタの構成

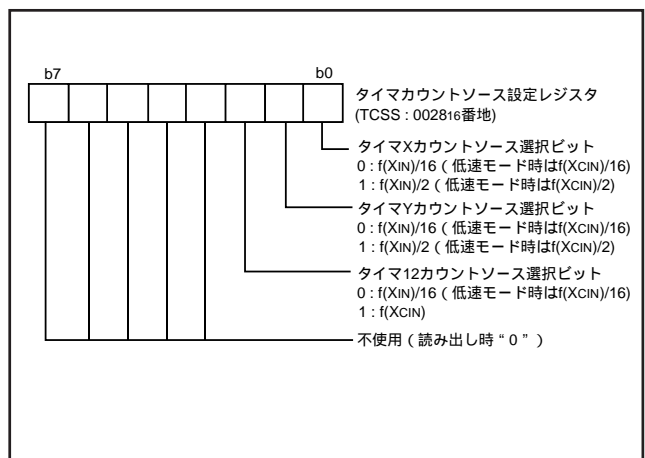


図13. タイマカウントソース設定レジスタ

注意事項

タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラ及びタイマに値を設定してください。

EOL announced

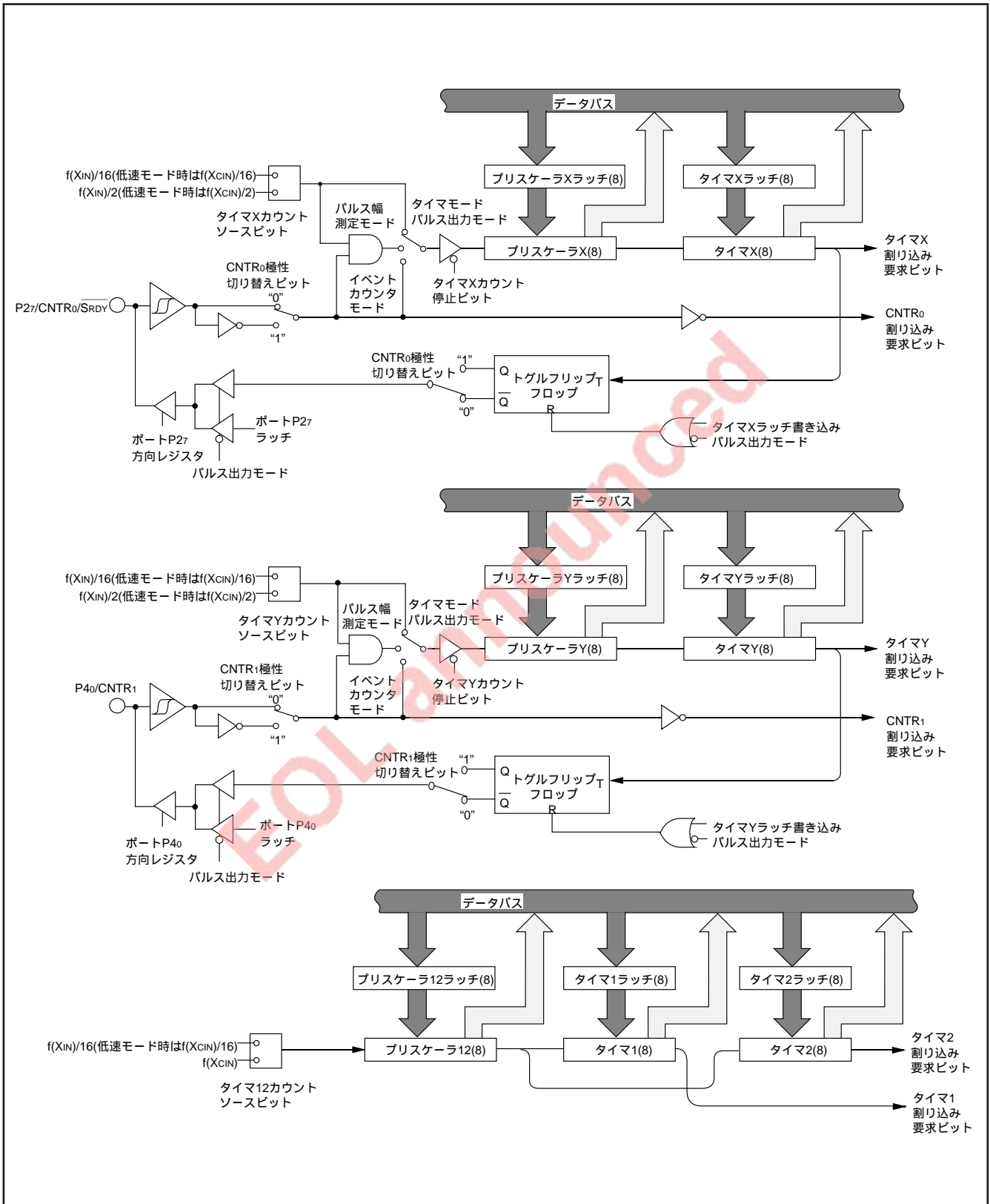


図14 . タイマX , タイマY , タイマ1及びタイマ2のブロック図

シリアルI/O

シリアルI/Oはクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O動作時のポーレート発生専用タイマ(ポーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O制御レジスタのモード選択ビットを“1”にすることによってクロック同期形シリアルI/Oが選択されます。

クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送/受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

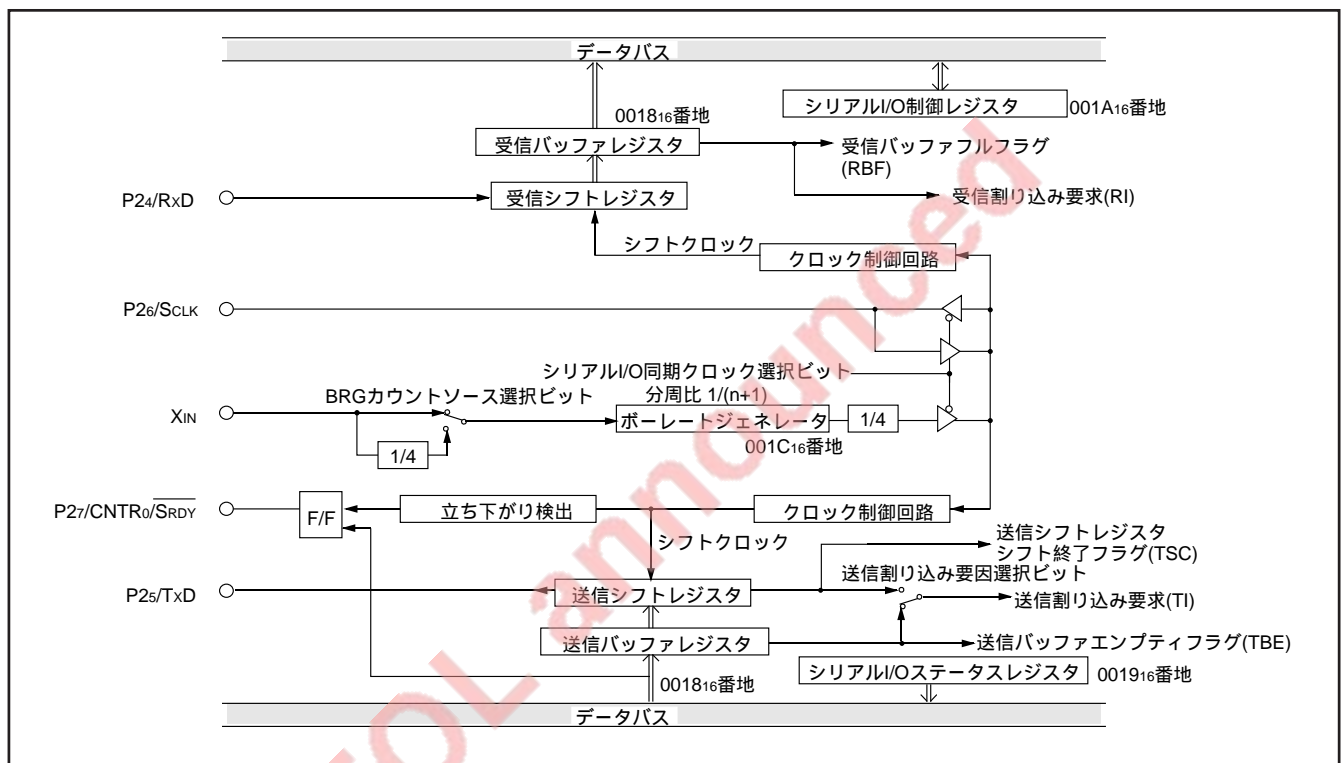


図15. クロック同期形シリアルI/Oブロック図

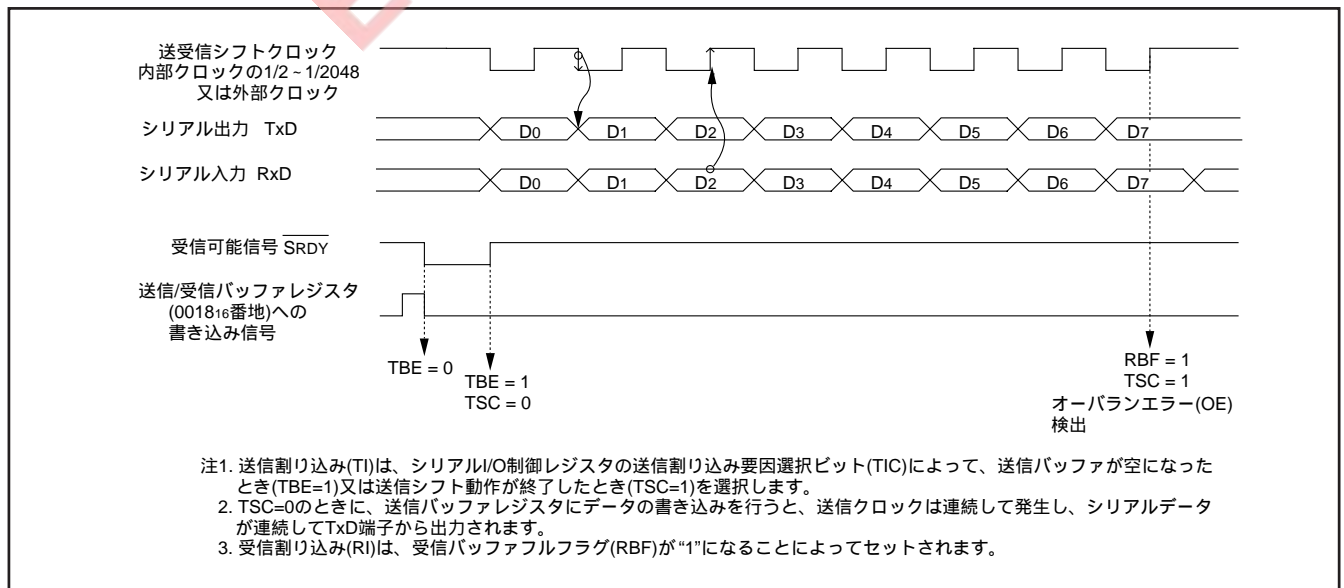


図16. クロック同期形シリアルI/O動作図

(2) 非同期形シリアルI/O(UART)モード

シリアルI/O制御レジスタのシリアルI/Oモード選択ビット(b6)を“0”にすることによってUARTが選択されます。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ、

受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

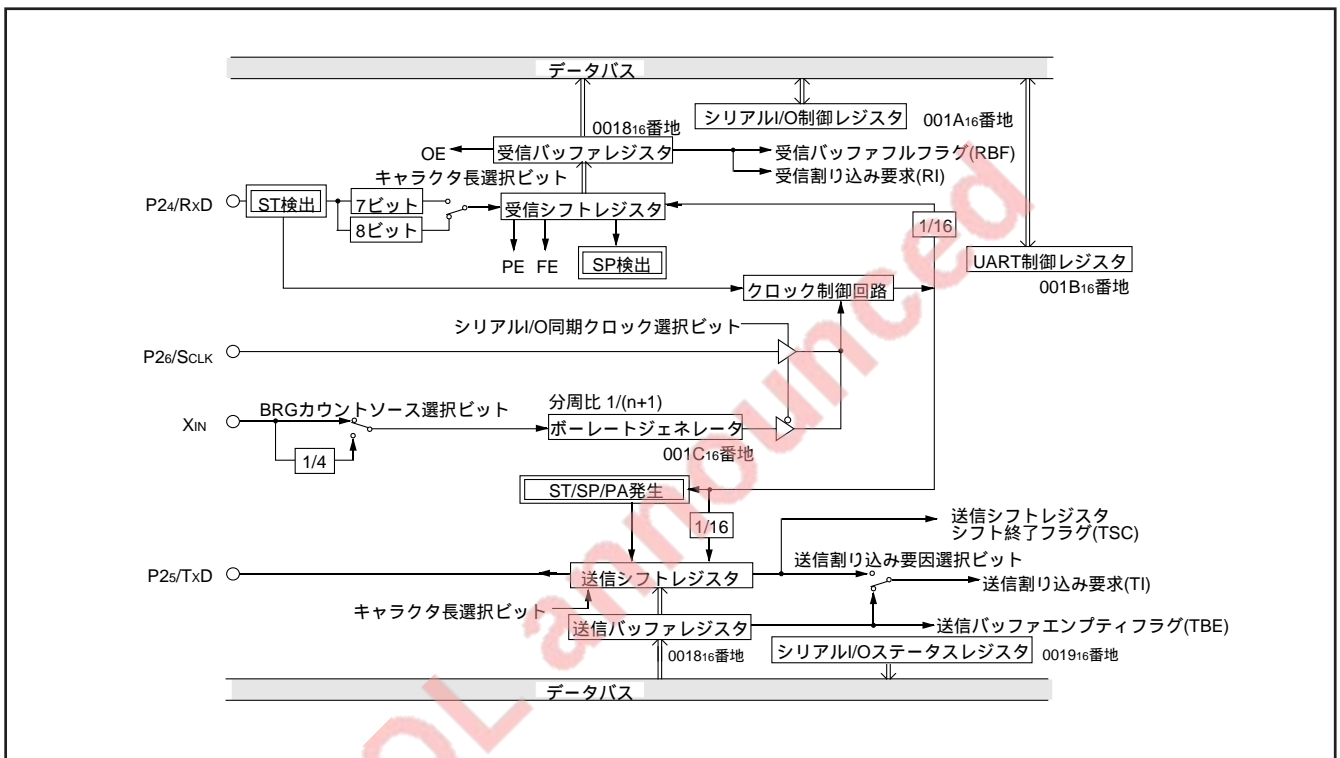


図17. UART形シリアルI/Oブロック図

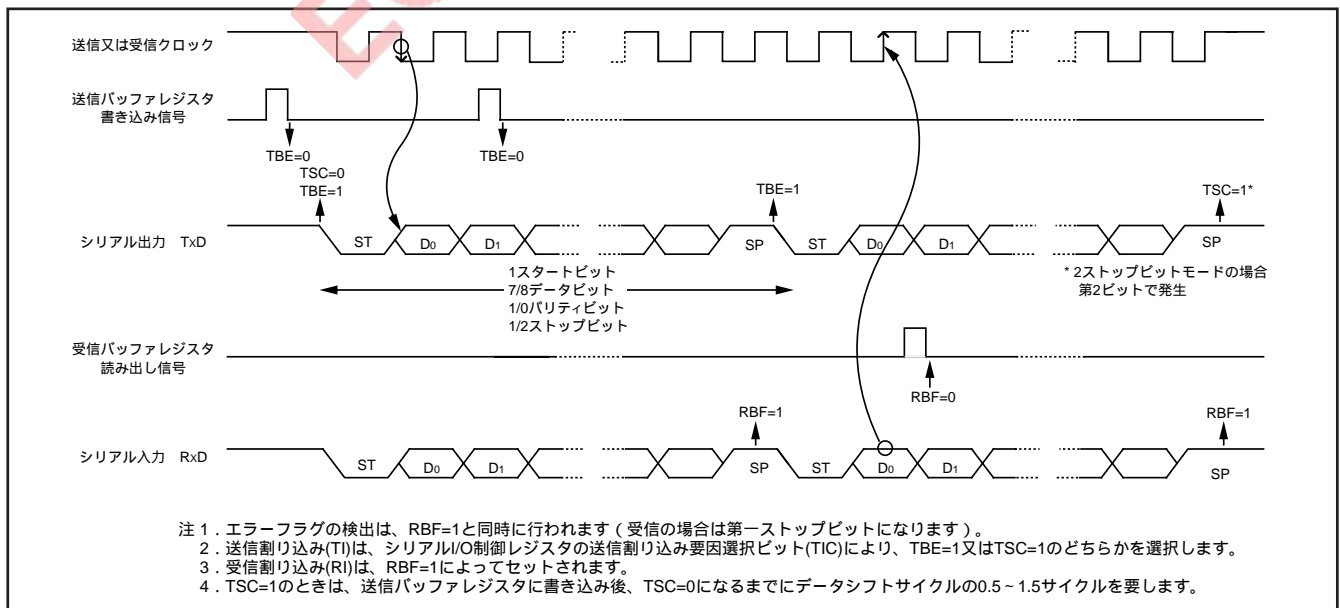


図18. UART形シリアルI/O動作図

【送信バッファレジスタ/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/Oステータスレジスタ】SIOSTS

シリアルI/Oの動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/Oステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O許可ビット(b7)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのビット0からビット6はリセット時“0”に初期化されますが、シリアルI/O制御レジスタの送信許可ビット(b4)を“1”にしたときビット2とビット0は“1”になります。

【シリアルI/O制御レジスタ】SIOCON

シリアルI/O制御レジスタはシリアルI/Oの各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P25/TxD端子の出力形式などを設定します。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

注意事項

シリアルI/Oの送信許可ビットを“1”にしたとき、シリアルI/O送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

- (1) シリアルI/O送信割り込み許可ビットを“0”(禁止)にする。
- (2) 送信許可ビットを“1”にする。
- (3) 一命令以上おいてから、シリアルI/O送信割り込み要求ビットを“0”にする。
- (4) シリアルI/O送信割り込み許可ビットを“1”(許可)にする。

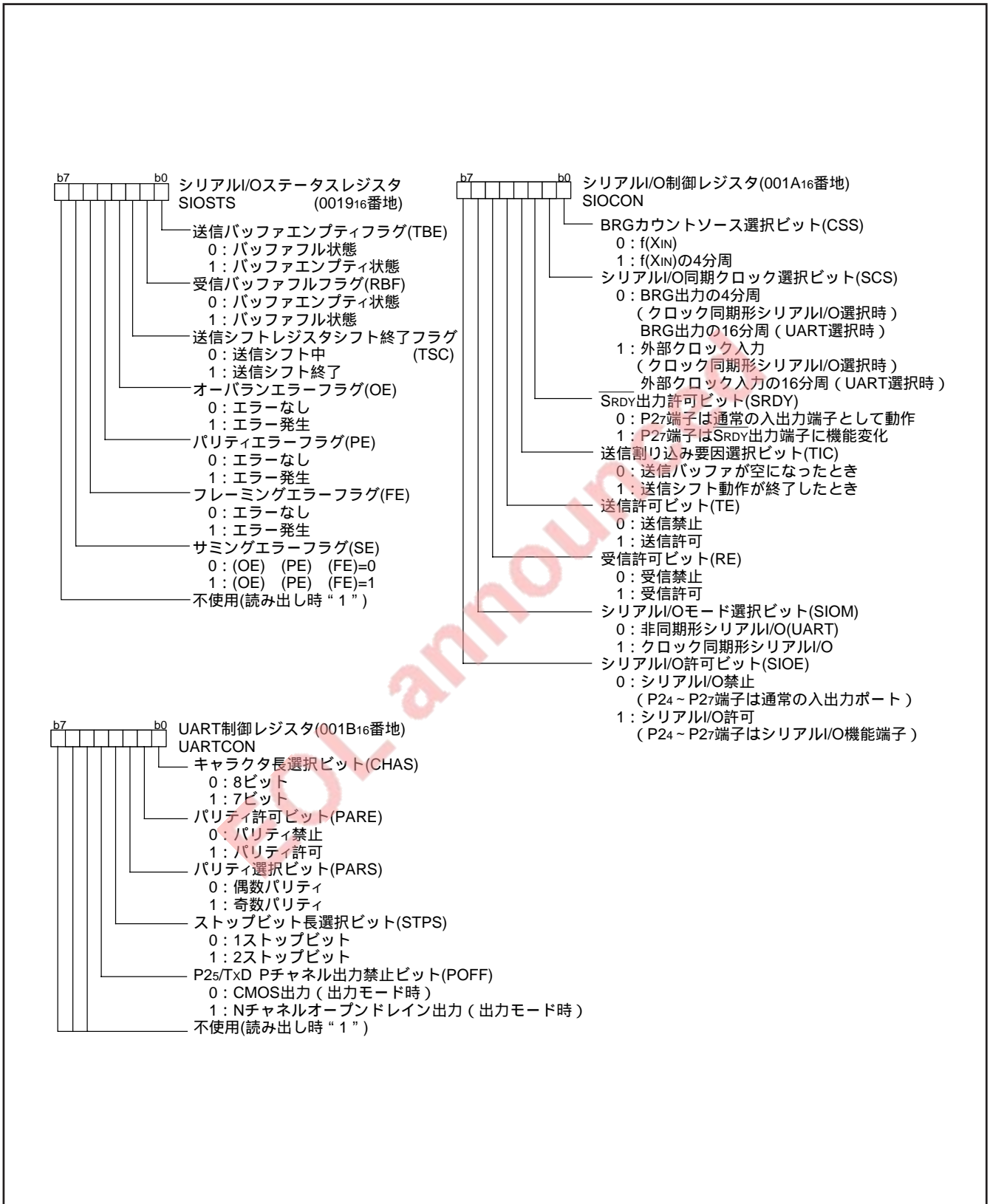


図19 . シリアルI/O関係レジスタの構成

PWM (PWM: Pulse Width Modulation)

PWMは8ビット分解能を持ち、クロック入力XIN又はXINを2分周した信号を基本としています。

・ データの設定

PWMの出力端子はポートP44と共用しています。PWMプリスケアラによりPWM周期を設定し、PWMレジスタにより出力パルスの“H”期間を設定します。

PWMプリスケアラの値をn、PWMレジスタの値をmとすると、以下のようになります。(ただし、n=0~255、m=0~255です。)

$$\begin{aligned} \text{PWM周期} &= \frac{255 \times (n+1)}{f(XIN)} \\ &= 31.875 \times (n+1) \mu\text{s} \end{aligned}$$

(f(XIN) = 8MHz、カウントソース選択ビット=“0”の場合)

$$\begin{aligned} \text{出力パルスの“H”期間} &= \frac{\text{PWM周期} \times m}{255} \\ &= 0.125 \times (n+1) \times m \mu\text{s} \end{aligned}$$

(f(XIN) = 8MHz、カウントソース選択ビット=“0”の場合)

・ PWMの動作

PWM制御レジスタのビットα(PWM許可ビット)を“1”にすると、PWM出力回路は初期状態より動作を開始し、“H”から始まるパルスを出力します。

PWM出力PWM中にPWMレジスタ、PWMプリスケアラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

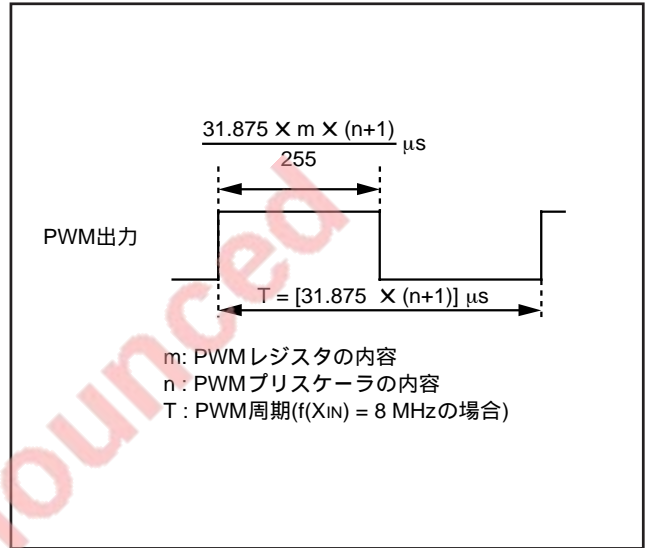


図20 . PWM周期のタイミング図

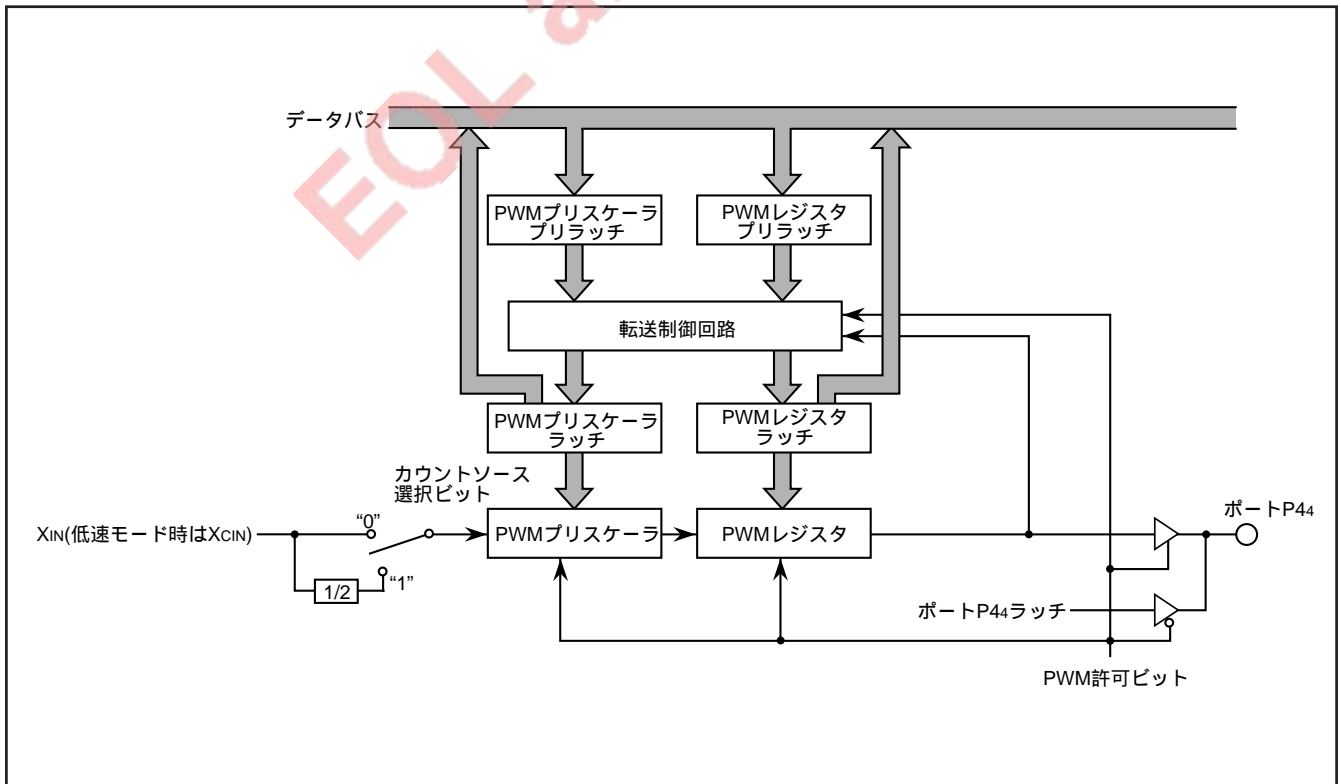


図21 . PWMブロック図

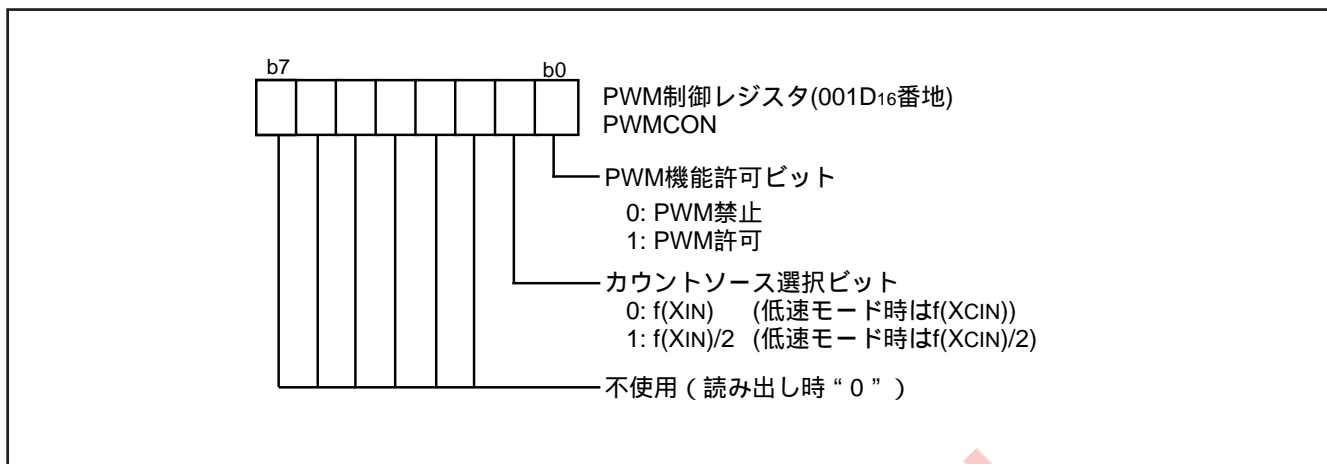


図22 . PWM制御レジスタの構成

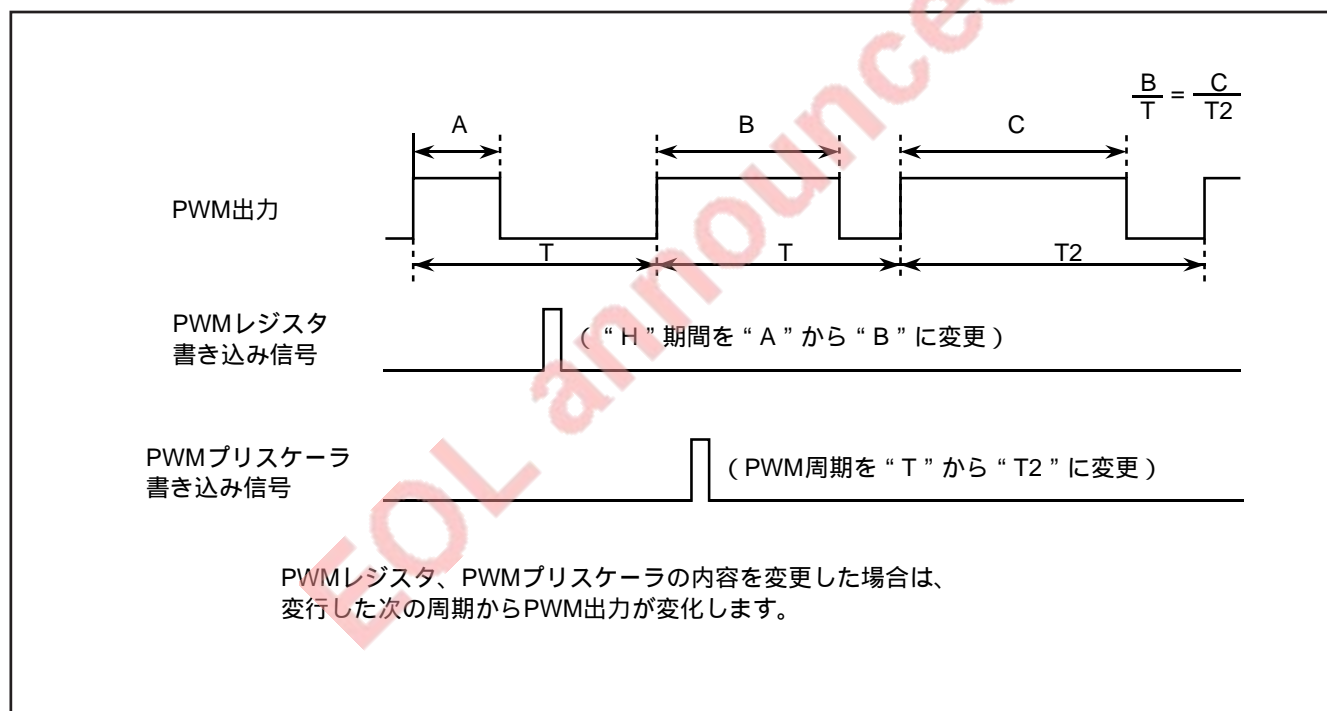


図23 . PWMレジスタ及びPWMプリスケアラ変更時のPWM出力タイミング図

注意事項

PWM機能許可ビットが許可に設定され、PWMOUT端子から“L”レベルが出力された後、PWMは開始します。この“L”レベル出力時間は次のとおりです。

- ・ カウントソース選択ビット = “0”、 n = プリスケアラ設定値

$$\frac{n+1}{2 \times f(XIN)} \text{ (秒)}$$

- ・ カウントソース選択ビット = “1”、 n = プリスケアラ設定値

$$\frac{n+1}{f(XIN)} \text{ (秒)}$$

A-D変換器

【A-D変換レジスタ】AD

A-D変換結果が格納される読み出し専用のレジスタです。
A-D変換中はこのレジスタを読み出さないでください。

【AD制御レジスタ】ADCON

A-D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子選択ビットです。ビット4はAD変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A-D変換が開始されます。

【比較電圧発生器】

AVSSとVREFの間の電圧を1024分割し分圧を出力します。

【チャンネルセレクタ】

ポートP34/AN4～P30/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタに格納します。また、A-D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A-D変換中は $f(X_{IN})$ を500kHz以上にしてください。

M38504E6/M6では内蔵の自己発振回路を用いてA-D変換を実行するため、低速モードでのA-D変換が可能です。

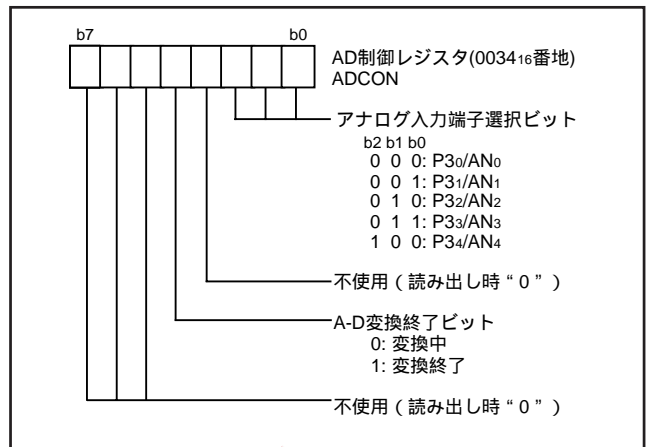


図24．A-D制御レジスタの構成

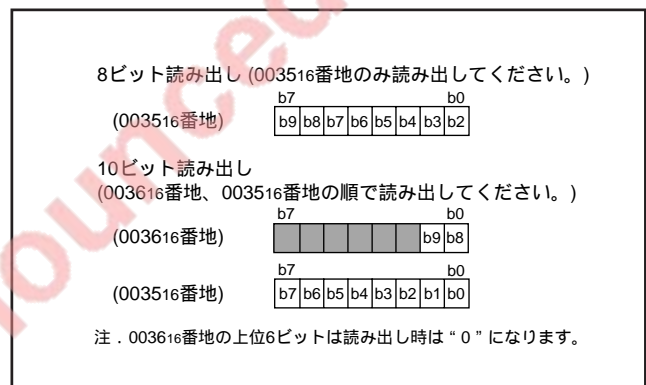


図25．A-D変換レジスタの構成

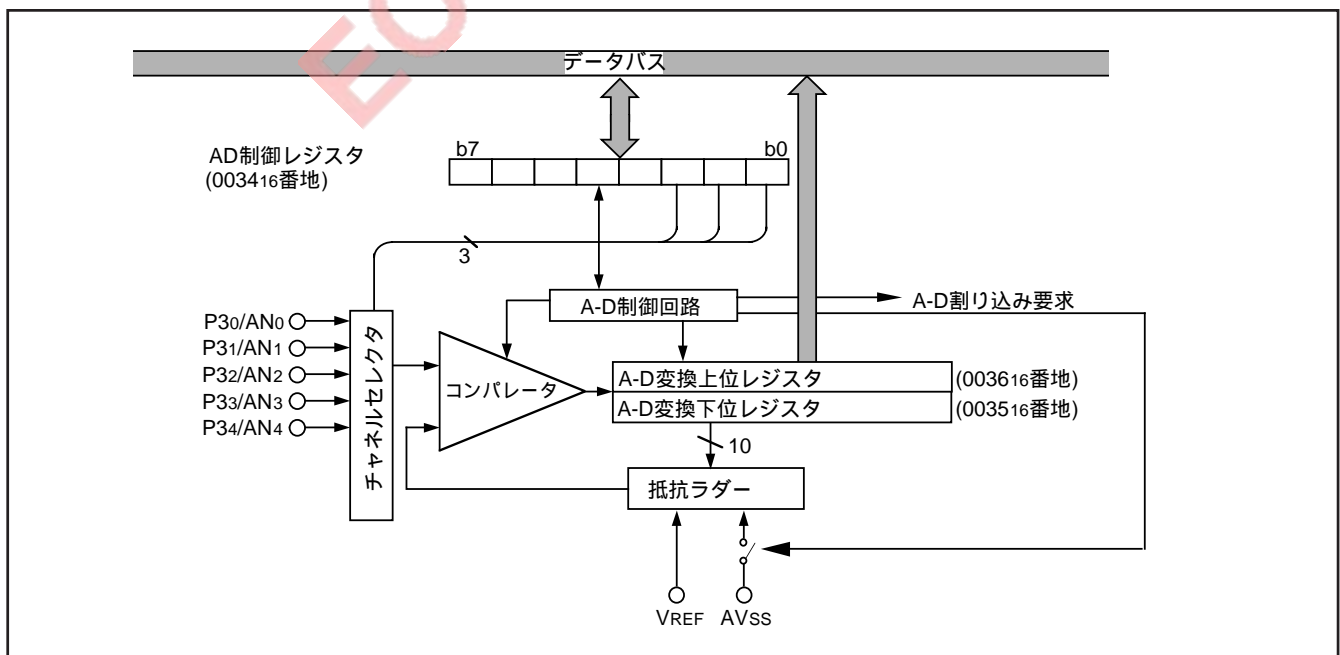


図26．A-D変換器のブロック図

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されています。

・ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)に任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0039₁₆番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)を読み出した場合は、ウォッチドッグタイマHのカウンタの上位6ビット、STP命令禁止ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読めます。

・ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みによりウォッチドッグタイマHは“FF₁₆”

に、ウォッチドッグタイマLは“FF₁₆”に設定されます。

・ウォッチドッグタイマHカウントソース選択ビットの動作
ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(XIN)=8\text{MHz}$ 時131.072ms、 $f(XCIN)=32\text{kHz}$ 時32.768sになります。

このビットが“1”の場合、カウントソースは $f(XIN)$ (又は $f(XCIN)$)の16分周信号となります。この場合の検出時間は $f(XIN)=8\text{MHz}$ 時512 μs 、 $f(XCIN)=32\text{kHz}$ 時128msになります。

このビットはリセット後“0”になります。

・STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが“0”の場合、STP命令は許可です。

このビットが“1”の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”にするとプログラムで“0”に書き換えることはできなくなります。

このビットはリセット後“0”になります。

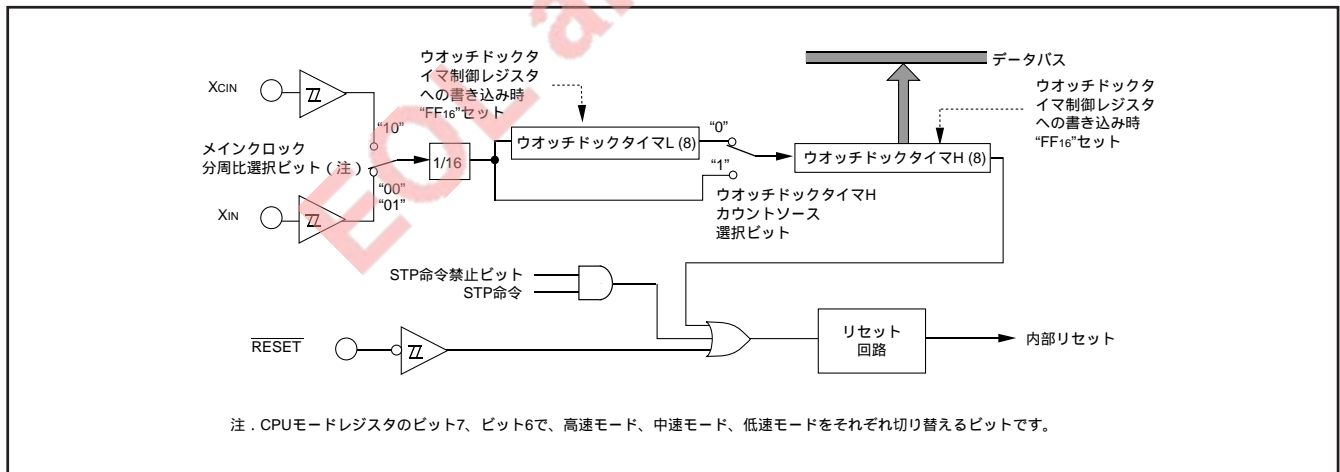


図27. ウォッチドッグタイマのブロック図

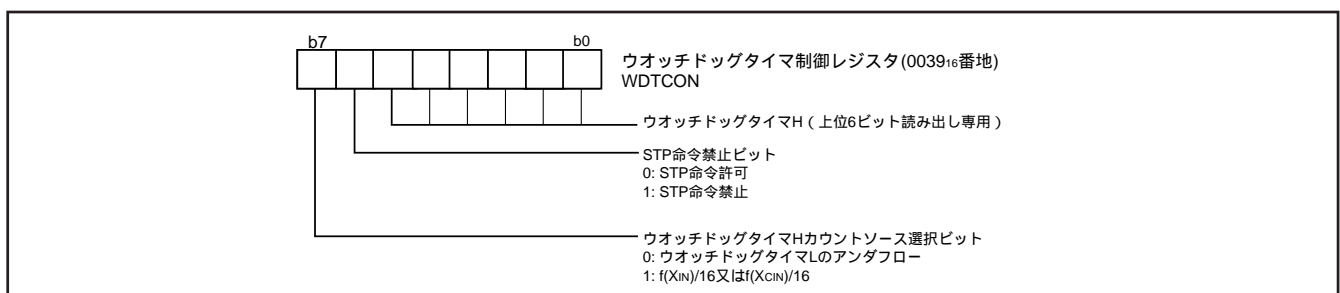


図28. ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が2.7～5.5Vにあり、XINが安定発振しているとき、RESET端子をXINの20サイクル以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD₁₆番地の内容を上位アドレス、FFFC₁₆番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が2.7Vを通過する時点で0.54V以下になるようにしてください。

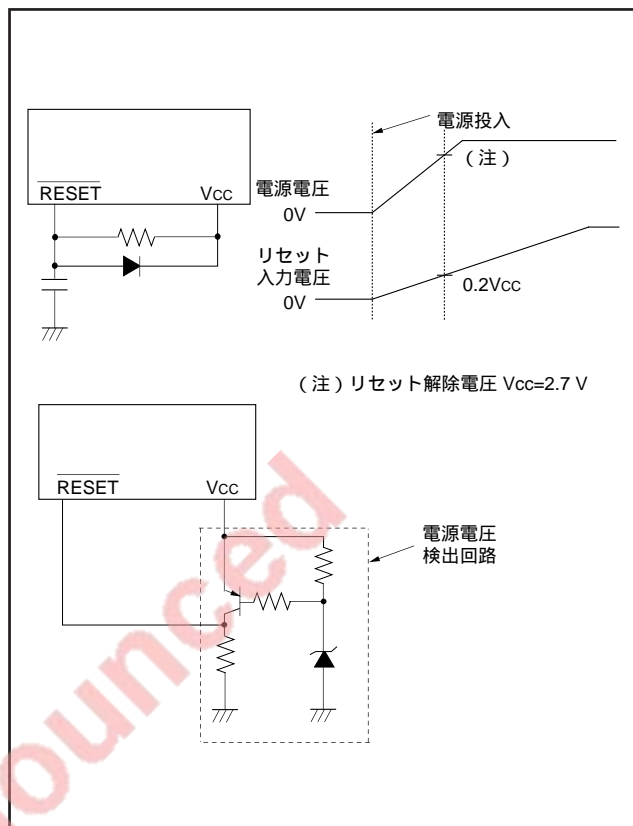


図29 . リセット回路例

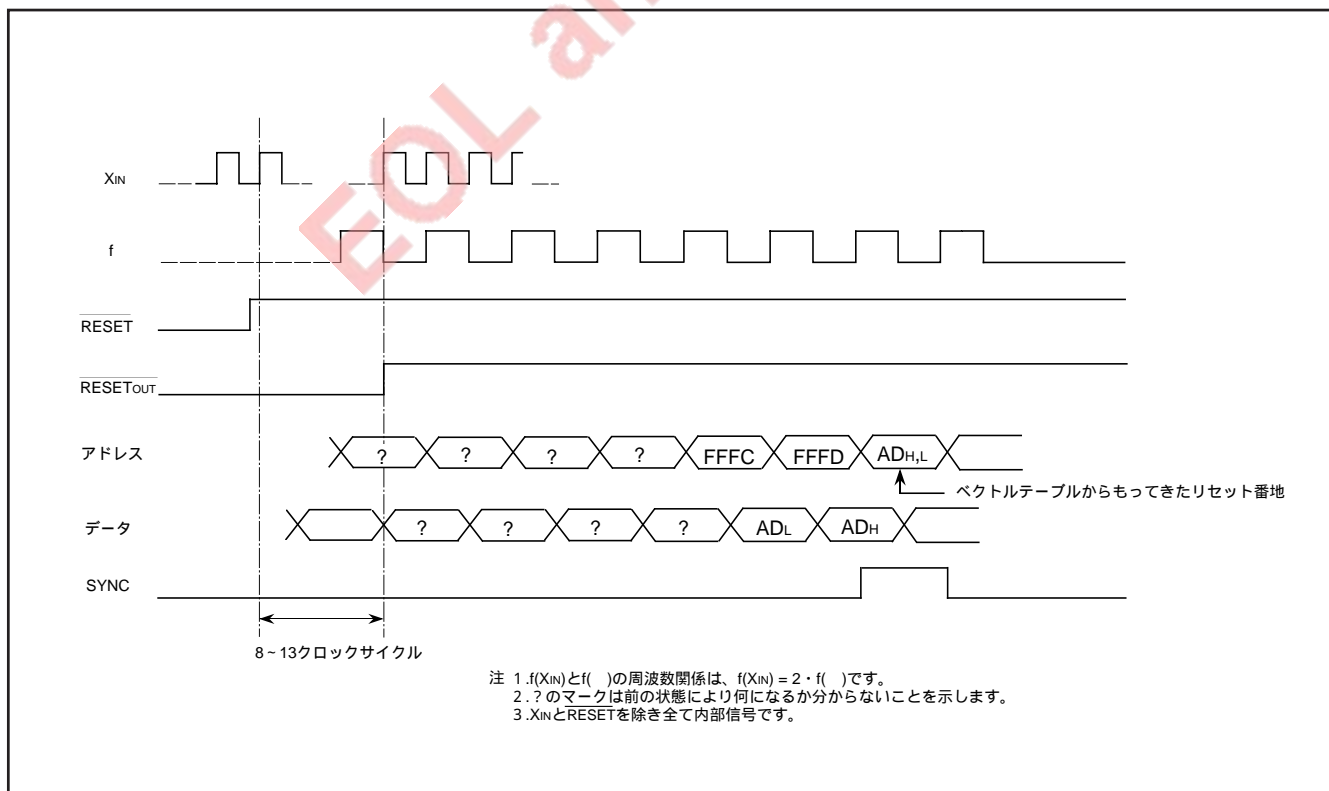


図30 . リセット時のタイミング図

	番地	レジスタの内容
(1) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆
(2) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆
(3) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆
(4) ポートP3方向レジスタ	0007 ₁₆	00 ₁₆
(5) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆
(6) シリアルI/Oステータスレジスタ	0019 ₁₆	10000000
(7) シリアルI/O制御レジスタ	001A ₁₆	00 ₁₆
(8) UART制御レジスタ	001B ₁₆	11100000
(9) PWM制御レジスタ	001D ₁₆	00 ₁₆
(10) プリスケアラ12	0020 ₁₆	FF ₁₆
(11) タイマ1	0021 ₁₆	01 ₁₆
(12) タイマ2	0022 ₁₆	00 ₁₆
(13) タイマXYモードレジスタ	0023 ₁₆	00 ₁₆
(14) プリスケアラX	0024 ₁₆	FF ₁₆
(15) タイマX	0025 ₁₆	FF ₁₆
(16) プリスケアラY	0026 ₁₆	FF ₁₆
(17) タイマY	0027 ₁₆	FF ₁₆
(18) タイマカウントソース設定レジスタ	0028 ₁₆	00 ₁₆
(19) 予約	002C ₁₆	不定
(20) 予約	002D ₁₆	不定
(21) 予約	002E ₁₆	不定
(22) 予約	002F ₁₆	不定
(23) 予約	0030 ₁₆	不定
(24) 予約	0031 ₁₆	不定
(25) AD制御レジスタ	0034 ₁₆	00010000
(26) MISRG	0038 ₁₆	00 ₁₆
(27) ウォッチドッグタイマ制御レジスタ	0039 ₁₆	00111111
(28) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆
(29) CPUモードレジスタ	003B ₁₆	01001000
(30) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆
(31) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆
(32) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆
(33) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆
(34) プロセッサステータスレジスタ	(PS)	XXXXXXXX1X
(35) プログラムカウンタ	(PC _H)	FFF _{D16} 番地の内容
	(PC _L)	FFF _{C16} 番地の内容

注：×は不定です。

図31．リセット時の内部状態

クロック発生回路

3850グループは2つの内部発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。XIN - XOUT端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。XCIN - XCOUT間には抵抗は内蔵されていないので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

周波数制御

(1) 中速モード

XIN端子に加わった周波数の8分周したものが内部クロックとなります。リセット解除後はこのモードになります。

(2) 高速モード

XIN端子に加わった周波数の2分周したものが内部クロックの周波数になります。

(3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部クロックになります。

注. 中/高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。

(4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック停止ビット(b5)を“1”にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック停止ビットを“0”にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

XCIN-XCOUT発振回路は外部クロック入力による使用はできませんので、必ず外付け共振子による発振をさせていただきます。

発振制御

(1) ストップモード

STP命令を実行すると内部クロックが“H”の状態では停止し、XIN及びXCINの発振が停止します。このとき、STP命令解除後の発振安定時間設定ビットが“0”の時、タイマ1には“0116”、プリスケアラ12には“FF16”が設定されます。一方、STP命令解除後の発振安定時間設定ビットが“1”のときは、タイマ1、プリスケアラ12には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。プリスケアラ12の入力にはXIN又はXCINの16分周が強制的に接続されます。発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで“H”のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に“L”レベルを印加してください。

(2) ウェイトモード

WIT命令を実行すると、内部クロックが“H”の状態では停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを“1”にしておく必要があります。また、STP状態の解除の場合、プリスケアラ12、タイマ1はXINを16分周したクロックをカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを“0”にしてください。

注意事項

STP命令解除後の発振安定時間設定ビットを“1”で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。

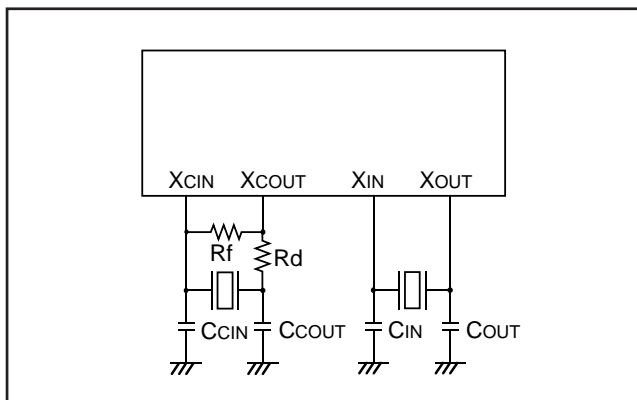


図32 . セラミック共振子外付け回路

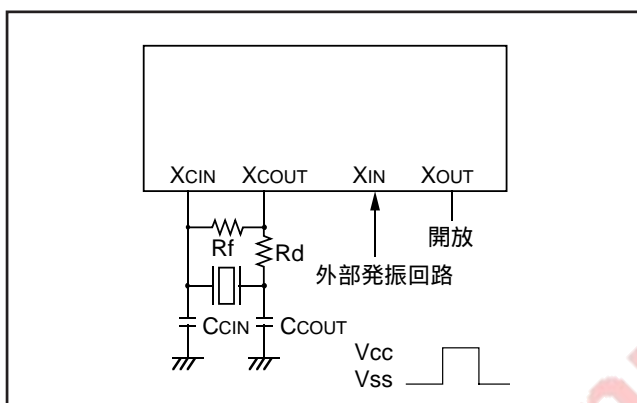


図33 . 外部クロック入力回路

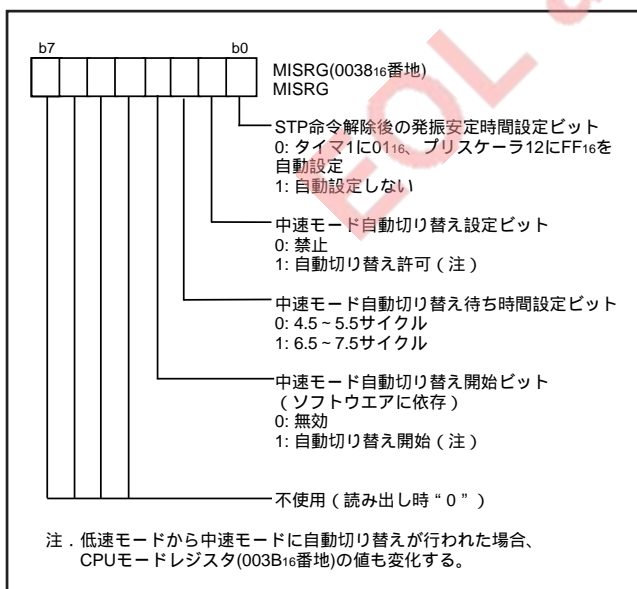


図34 . MISRGの構成

【MISRG】MISRG

MISRGは中速モード自動切り替えに関する各種制御を行うビットと、STP命令解除後の発振安定時間の設定を制御するビットで構成されています。

中速モード自動切り替え設定ビットが“1”で、低速モードで動作中に、中速モード自動切り替え開始ビットに“1”を書き込むことによって、自動的にXIN発振が開始し、中速モードに切り替わります。

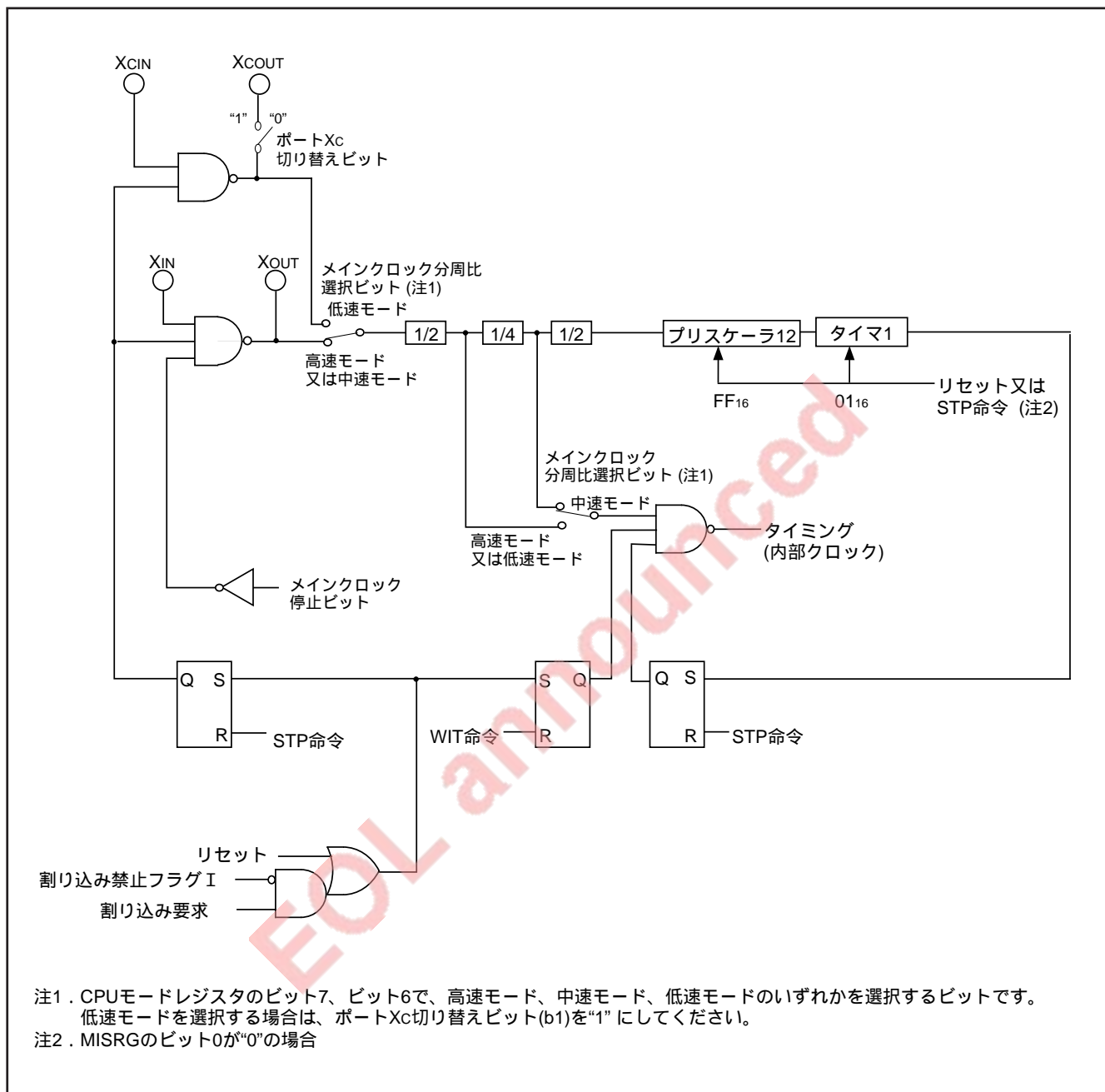


図35 . システムクロック発生回路ブロック図(シングルチップモード)

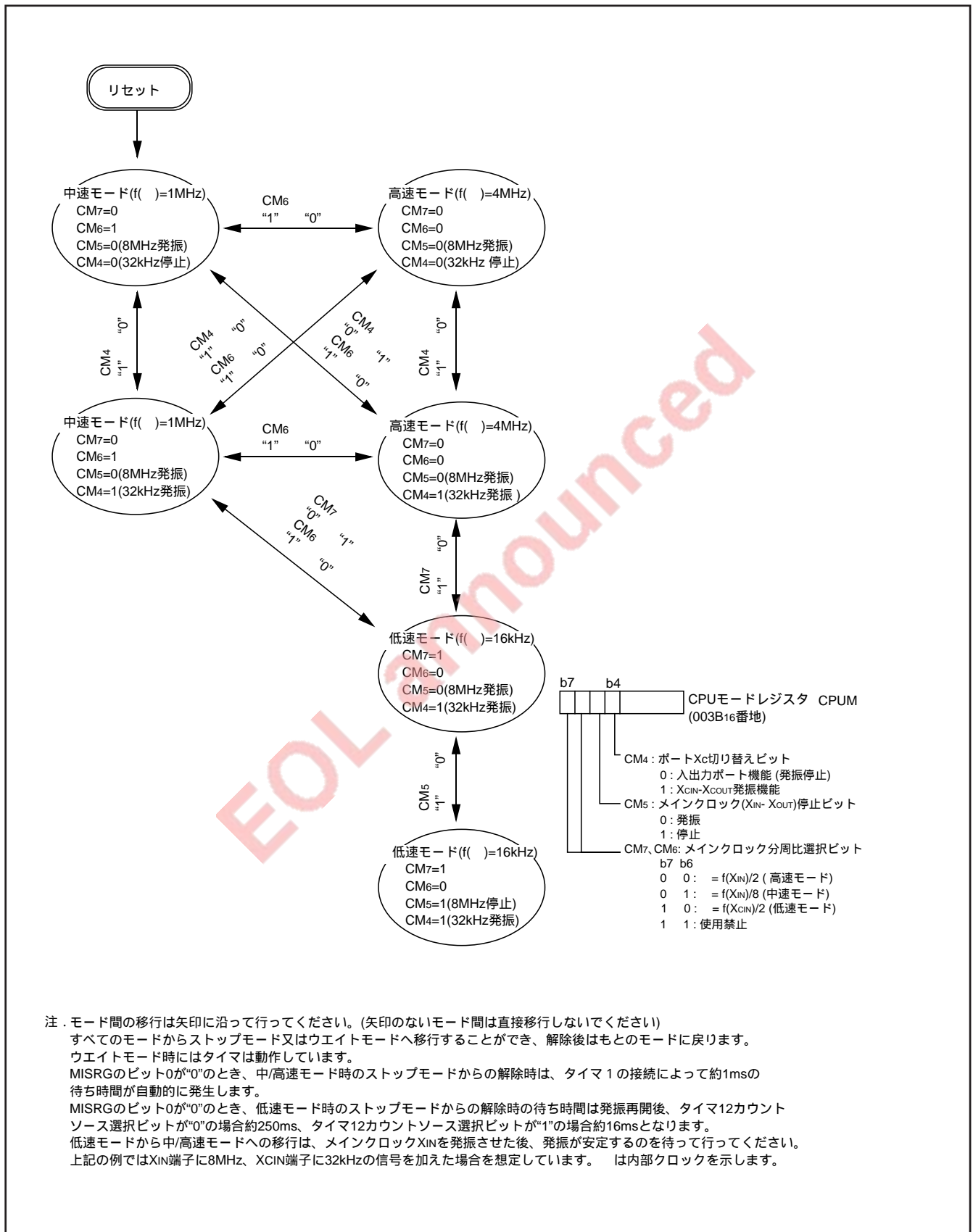


図36 . システムクロックの状態遷移図

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグが 1 であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを 1 に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

タイマラッチに値 n ($0 \sim 255$)を書き込んだ場合の分周期は、 $1/(n+1)$ です。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが 1 の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

シリアルI/Oに関するもの

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側がSRDY出力を行う場合、受信許可ビット及びSRDY出力許可ビットとともに、送信許可ビットも 1 に設定してください。

また、シリアルI/Oでは、送信終了後、TXD端子が最終ビットをラッチし出力し続けます。

シリアルI/O(クロック同期形モード)において、同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが H の時に、それぞれ送信バッファレジスタへ送信データを書き込んでください。

A-D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換中は $f(XIN)$ を500kHz以上にしてください。

また、A-D変換中はSTP命令、WIT命令を実行しないでください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は高速モードではXIN周期の2倍です。

使用上の注意事項

電子端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間、及び電源端子(Vcc端子)とアナログ電源入力端子(AVss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは $0.01 \mu F \sim 0.1 \mu F$ のセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加してくださるようお願いいたします。

ワンタイムPROM版/マスクROM版の相違点に関する注意事項

ワンタイムPROM版及びマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンなどの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り換え時は、ワンタイムPROM版で実施したシステム評価試験と同等の試験を実施してください。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- ・マスク化確認書
- ・マーク指定書
- ・ROMのデータ EPROM 3セット

ROM書き込み発注時の提出資料

ワンタイムPROM版の工場書き込み発注時、次の資料を提出してください。

- ・ROM書き込み確認書
- ・マーク指定書(客先ロゴ入り特殊マークのみ)
- ・ROMのデータ EPROM 3セット

*マスク化確認書、ROM書き込み確認書、マーク指定書につきましては、ルネサステクノロジホームページ ROM発注 (<http://www.renesas.com/jp/rom>)を参照してください。

ROM書き込み方法

ワンタイムPROM版(ブランク品)及びEPROM内蔵版は、専用の書き込みアダプタを使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。なお、PROMライターのアドレス設定は、ユーザROM領域に設定してご使用ください。

表5. 専用書き込みアダプタ

パッケージ	書き込みアダプタ型名
42P4B, 42S1B-A	PCA4738S-42A
42P2R-A/E	PCA4738F-42A

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上するため、図37に示すフローで書き込み、テストを行った後使用されることを推奨いたします。



図37. ワンタイムPROM版書き込みとテスト

電気的特性

絶対最大規格

表6．絶対最大定格

記号	項 目	条 件	定 格 値	単 位
VCC	電源電圧	Vss端子を基準にして測定する。 出力トランジスタは遮断状態。	- 0.3 ~ 7.0	V
Vi	入力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P34, P40 ~ P44, VREF		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 P22 ~ P23		- 0.3 ~ 5.8	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 CNVss		- 0.3 ~ 13	V
Vo	出力電圧 P00 ~ P07, P10 ~ P17, P20, P21, P24 ~ P27 P30 ~ P34, P40 ~ P44, XOUT		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧 P22, P23		- 0.3 ~ 5.8	V
Pd	消費電力	Ta = 25	1000 (注)	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

注．42P2R-A/Eパッケージの場合は300mWです。

推奨動作条件

表7. 推奨動作条件(1)(指定のない場合はVcc=2.7~5.5V, Ta= -20~85)

記号	項目		規格値			単位
			最小	標準	最大	
Vcc	電源電圧	8MHz時(高速モード)	4.0	5.0	5.5	V
		8MHz時(中速モード)、4MHz時(高速モード)	2.7	5.0	5.5	V
Vss	電源電圧			0		V
VREF	A-D変換器基準電圧		2.0		Vcc	V
AVSS	アナログ電源電圧			0		V
VIA	アナログ入力電圧 AN0~AN4		AVss		Vcc	V
VIH	“H”入力電圧 P00~P07, P10~P17, P20~P27, P30~P34 P40~P44		0.8Vcc		Vcc	V
VIH	“H”入力電圧 RESET, XIN, CNVss		0.8Vcc		Vcc	V
VIL	“L”入力電圧 P00~P07, P10~P17, P20~P27, P30~P34 P40~P44		0		0.2 Vcc	V
VIL	“L”入力電圧 RESET, CNVss		0		0.2 Vcc	V
VIL	“L”入力電圧 XIN		0		0.16 Vcc	V
IOH(peak)	“H”出力総尖頭電流 (注) P00~P07, P10~P17, P30~P34				-80	mA
IOH(peak)	“H”出力総尖頭電流 (注) P20, P21, P24~P27, P40~P44				-80	mA
IOL(peak)	“L”出力総尖頭電流 (注) P00~P07, P10~P12, P30~P34 (M38503E4/M2/M4)				80	mA
		P00~P07, P30~P34 (M38504E6/M6)				
IOL(peak)	“L”出力総尖頭電流 (注) P13~P17 (M38503E4/M2/M4)				80	mA
		P10~P17 (M38504E6/M6)			120	
IOL(peak)	“L”出力総尖頭電流 (注) P20~P27, P40~P44				80	mA
IOH(avg)	“H”出力総平均電流 (注) P00~P07, P10~P17, P30~P34				-40	mA
IOH(avg)	“H”出力総平均電流 (注) P20, P21, P24~P27, P40~P44				-40	mA
IOL(avg)	“L”出力総平均電流 (注) P00~P07, P10~P12, P30~P34 (M38503E4/M2/M4)				40	mA
		P00~P07, P30~P34 (M38504E6/M6)				
IOL(avg)	“L”出力総平均電流 (注) P13~P17 (M38503E4/M2/M4)				40	mA
		P10~P17 (M38504E6/M6)			60	
IOL(avg)	“L”出力総平均電流 (注) P20~P27, P40~P44				40	mA

注. 出力総平均電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

表8. 推奨動作条件(2)(指定のない場合はV_{CC}=2.7~5.5V, T_a= -20~85)

記号	項目	規格値			単位	
		最小	標準	最大		
I _{OH} (peak)	“H”出力尖頭電流 (注1) P00~P07, P10~P17, P20, P21, P24~P27 P30~P34, P40~P44			-10	mA	
I _{OL} (peak)	“L”出力尖頭電流 (注1) P00~P07, P10~P12, P20~P27, P30~P34, P40~P44 (M38503E4/M2/M4)	P00~P07, P20~P27, P30~P34, P40~P44 (M38504E6/M6)			10	mA
		P13~P17 (M38503E4/M2/M4)			20	mA
I _{OL} (peak)	“L”出力尖頭電流 (注1)	P10~P17 (M38504E6/M6)				
I _{OH} (avg)	“H”出力平均電流 (注2) P00~P07, P10~P17, P20, P21, P24~P27 P30~P34, P40~P44				-5	mA
I _{OL} (avg)	“L”出力平均電流 (注2) P00~P07, P10~P12, P20~P27, P30~P34, P40~P44 (M38503E4/M2/M4)	P00~P07, P20~P27, P30~P34, P40~P44 (M38504E6/M6)			5	mA
		P13~P17 (M38503E4/M2/M4)			15	mA
I _{OL} (avg)	“L”出力平均電流 (注2)	P10~P17 (M38504E6/M6)				
f(X _{IN})	内部クロック発振周波数 (注3) (V _{CC} =4.0~5.5V)				8	MHz
f(X _{IN})	内部クロック発振周波数 (注3) (V _{CC} =2.7~5.5V)				4	MHz

- 注1. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。
 2. 平均出力電流I_{OL}(avg), I_{OH}(avg)は100msの期間での平均値です。
 3. 発振周波数はデューティ50%の場合です。

電気的特性

表9. 電気的特性(1)(指定のない場合はV_{CC}=2.7~5.5V, V_{SS}=0V, T_a= -20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{OH}	“H”出力電圧 P00~P07, P10~P17, P20, P21, P24~P27, P30~P34, P40~P44 (注)	I _{OH} = -10mA V _{CC} = 4.0~5.5V	V _{CC} - 2.0			V
		I _{OH} = -1.0mA V _{CC} = 2.7~5.5V	V _{CC} - 1.0			V
V _{OL}	“H”出力電圧 P00~P07, P10~P17, P20~P27, P30~P34, P40~P44 (M38503E4/M2/M4)	I _{OL} = 10mA V _{CC} = 4.0~5.5V			2.0	V
		I _{OL} = 1.0mA V _{CC} = 2.7~5.5V			1.0	V
V _{OL}	“L”出力電圧 P13~P17 (M38503E4/M2/M4)	I _{OL} = 20mA V _{CC} = 4.0~5.5V			2.0	V
		I _{OL} = 10mA V _{CC} = 2.7~5.5V			1.0	V
		P10~P17 (M38504E6/M6)				

注. P25に関しては, UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B₁₆番地のビット4)が“0”の場合です。

表10．電気的特性(2)(指定のない場合はVCC=2.7~5.5V, VSS=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{T+} - V _{T-}	ヒステリシス CNTR0, CNTR1, INT0~INT3			0.4		V
V _{T+} - V _{T-}	ヒステリシス RxD, SCLK			0.5		V
V _{T+} - V _{T-}	ヒステリシス RESET			0.5		V
I _{IH}	“H”入力電流 P00~P07, P10~P17, P20, P21, P24~P27, P30~P34, P40~P44	V _I =V _{CC}			5.0	μA
I _{IH}	“H”入力電流 RESET, CNV _{SS}	V _I =V _{CC}			5.0	μA
I _{IH}	“H”入力電流 X _{IN}	V _I =V _{CC}		4		μA
I _{IL}	“L”入力電流 P00~P07, P10~P17, P20~P27 P30~P34, P40~P44	V _I =V _{SS}			-5.0	μA
I _{IL}	“L”入力電流 RESET, CNV _{SS}	V _I =V _{SS}			-5.0	μA
I _{IL}	“L”入力電流 X _{IN}	V _I =V _{SS}		-4		μA
V _{RAM}	RAM保持電圧	クロック停止時	2.0		5.5	V

EOL announced

表11．電気的特性(3)(指定のない場合はVcc=2.7~5.5V, Vss=0V, Ta= -20~85)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流	高速モード時 f(XIN)=8MHz f(XCIN)=32.768kHz 出力トランジスタは遮断状態		6.8	13	mA	
		高速モード時 f(XIN)=8MHz (WIT命令実行時) f(XCIN)=32.768kHz 出力トランジスタは遮断状態		1.6		mA	
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態		60	200	μA	
		低速モード時 f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		20	40	μA	
		低速モード時(Vcc=3V) f(XIN)=停止 f(XCIN)=32.768kHz 出力トランジスタは遮断状態		20	55	μA	
		低速モード時(Vcc=3V) f(XIN)=停止 f(XCIN)=32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		5.0	10.0	μA	
		中速モード時 f(XIN)=8MHz f(XCIN)=停止 出力トランジスタは遮断状態		4.0	7.0	mA	
		中速モード時 f(XIN)=8MHz (WIT命令実行時) f(XCIN)=停止 出力トランジスタは遮断状態		1.5		mA	
		A-D変換器動作時の増量 f(XIN)=8MHz			800	μA	
		発振はすべて停止 (STP命令実行時) 出力トランジスタは 遮断状態	Ta = 25		0.1	1.0	μA
			Ta = 85			10	μA

A-D変換器特性

表12. A-D変換器特性

(指定のない場合は, $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=AV_{SS}=0$ - $20 \sim 85$, $f(X_{IN})=8MHz$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能				10	bit	
-	絶対精度(量子化誤差は除く)				± 4	LSB	
tCONV	変換時間	高速モード及び中速モード			61	tc()	
		低速モード (注)		40		μs	
RLADDER	ラダー抵抗			35		k	
IVREF	基準電源入力電流	VREF接続時	VREF=5.0V	50	150	200	μA
		VREF切断時				5.0	μA
I(AD)	A-Dポート入力電流			0.5	5.0	μA	

注. 低速モードでのA-D変換の実行は、M38504E6/M6のみ可能です。

EOL announced

タイミング必要条件

表13. タイミング必要条件(1)

(指定のない場合はVcc=4.0~5.5V, Vss=0V, Ta= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
t _w (RESET)	リセット入力“L”パルス幅	20			XINサイクル
t _c (XIN)	外部クロック入力サイクル時間	125			ns
t _{WH} (XIN)	外部クロック入力“H”パルス幅	50			ns
t _{WL} (XIN)	外部クロック入力“L”パルス幅	50			ns
t _c (CNTR)	CNTR0, CNTR1入力サイクル時間	200			ns
t _{WH} (CNTR)	CNTR0, CNTR1, INT0~INT3入力“H”パルス幅	80			ns
t _{WL} (CNTR)	CNTR0, CNTR1, INT0~INT3入力“L”パルス幅	80			ns
t _c (SCLK)	シリアル/Oクロック入力サイクル時間 (注)	800			ns
t _{WH} (SCLK)	シリアル/Oクロック入力“H”パルス幅 (注)	370			ns
t _{WL} (SCLK)	シリアル/Oクロック入力“L”パルス幅 (注)	370			ns
t _{su} (RxD-SCLK)	シリアル/O入力セットアップ時間	220			ns
t _h (SCLK-RxD)	シリアル/O入力ホールド時間	100			ns

注. f(XIN)=8MHz、001A16番地のビット6が1 (クロック同期モード)の場合です。

f(XIN)=8MHz、001A16番地のビット6が0 (非同期モード)の場合は、値は1/4になります。

表14. タイミング必要条件(2)

(指定のない場合はVcc=2.7~5.5V, Vss=0V, Ta= -20~85)

記号	項目	規格値			単位
		最小	標準	最大	
t _w (RESET)	リセット入力“L”パルス幅	20			XINサイクル
t _c (XIN)	外部クロック入力サイクル時間	250			ns
t _{WH} (XIN)	外部クロック入力“H”パルス幅	100			ns
t _{WL} (XIN)	外部クロック入力“L”パルス幅	100			ns
t _c (CNTR)	CNTR0, CNTR1入力サイクル時間	500			ns
t _{WH} (CNTR)	CNTR0, CNTR1, INT0~INT3入力“H”パルス幅	230			ns
t _{WL} (CNTR)	CNTR0, CNTR1, INT0~INT3入力“L”パルス幅	230			ns
t _c (SCLK)	シリアル/Oクロック入力サイクル時間 (注)	2000			ns
t _{WH} (SCLK)	シリアル/Oクロック入力“H”パルス幅 (注)	950			ns
t _{WL} (SCLK)	シリアル/Oクロック入力“L”パルス幅 (注)	950			ns
t _{su} (RxD-SCLK)	シリアル/O入力セットアップ時間	400			ns
t _h (SCLK-RxD)	シリアル/O入力ホールド時間	200			ns

注. f(XIN)=4MHz、001A16番地のビット6が1 (クロック同期モード)の場合です。

f(XIN)=4MHz、001A16番地のビット6が0 (非同期モード)の場合は、値は1/4になります。

スイッチング特性

表15．スイッチング特性(1)

(指定のない場合は、 $V_{CC}=4.0 \sim 5.5V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{WH} (SCLK)	シリアル/Oクロック出力“H”パルス幅	図38	t _C (SCLK1)/2 - 30			ns
t _{WL} (SCLK)	シリアル/Oクロック出力“L”パルス幅		t _C (SCLK1)/2 - 30			ns
t _d (SCLK-TxD)	シリアル/O出力遅延時間 (注1)				140	ns
t _v (SCLK-TxD)	シリアル/O出力有効時間 (注1)		- 30			ns
t _r (SCLK)	シリアル/Oクロック出力立ち上がり時間				30	ns
t _f (SCLK)	シリアル/Oクロック出力立ち下がり時間				30	ns
t _r (CMOS)	CMOS出力 立ち上がり時間 (注2)			10	30	ns
t _f (CMOS)	CMOS出力 立ち下がり時間 (注2)			10	30	ns

注1．t_{WH} (SCLK)、t_{WL} (SCLK)に関しては、UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。
 2．XOUT端子を除きます。

表16．スイッチング特性(2)

(指定のない場合は、 $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{WH} (SCLK)	シリアル/Oクロック出力“H”パルス幅	図38	t _C (SCLK1)/2 - 50			ns
t _{WL} (SCLK)	シリアル/Oクロック出力“L”パルス幅		t _C (SCLK1)/2 - 50			ns
t _d (SCLK-TxD)	シリアル/O出力遅延時間 (注1)				350	ns
t _v (SCLK-TxD)	シリアル/O出力有効時間 (注1)		- 30			ns
t _r (SCLK)	シリアル/Oクロック出力立ち上がり時間				50	ns
t _f (SCLK)	シリアル/Oクロック出力立ち下がり時間				50	ns
t _r (CMOS)	CMOS出力 立ち上がり時間 (注2)			20	50	ns
t _f (CMOS)	CMOS出力 立ち下がり時間 (注2)			20	50	ns

注1．t_{WH} (SCLK)、t_{WL} (SCLK)に関しては、UART制御レジスタのP25/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。
 2．XOUT端子を除きます。

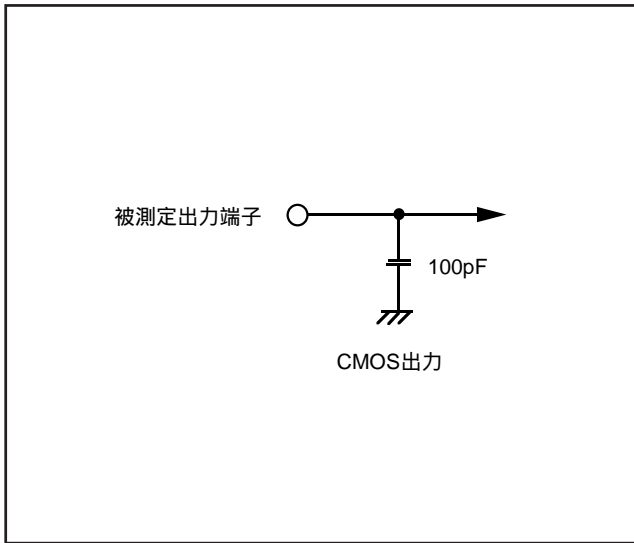


図38．出力スイッチング特性測定回路図

EOL announced

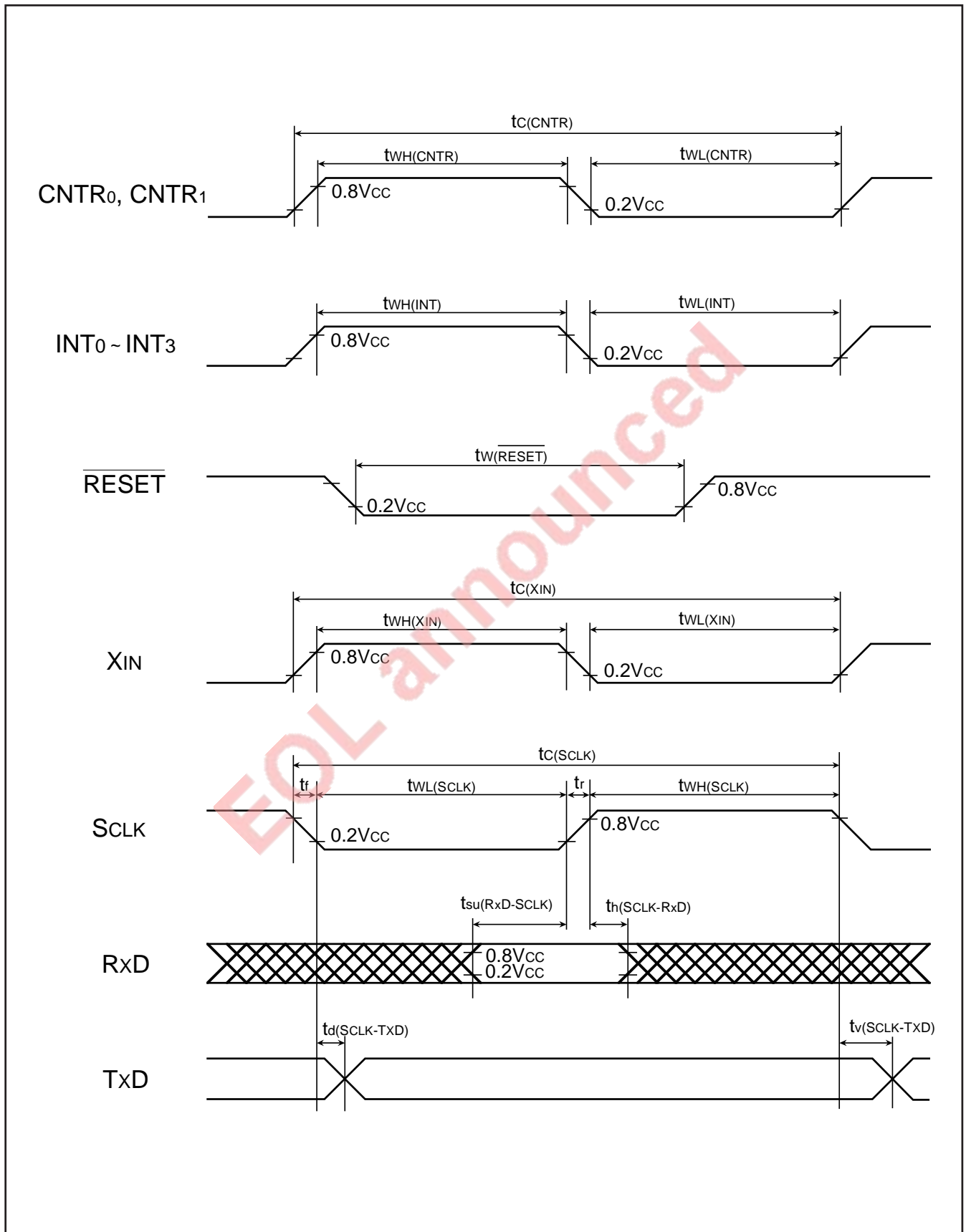
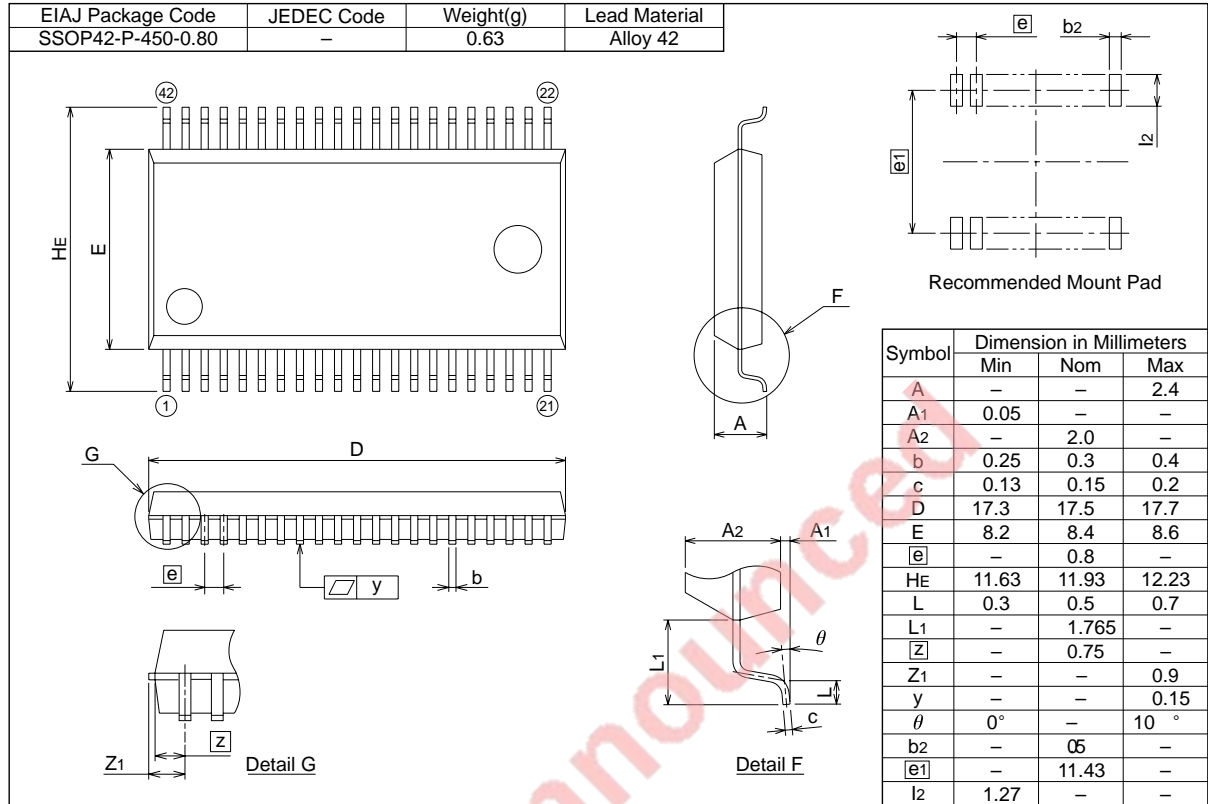


図39 . タイミング図

外形寸法図

42P2R-A/E

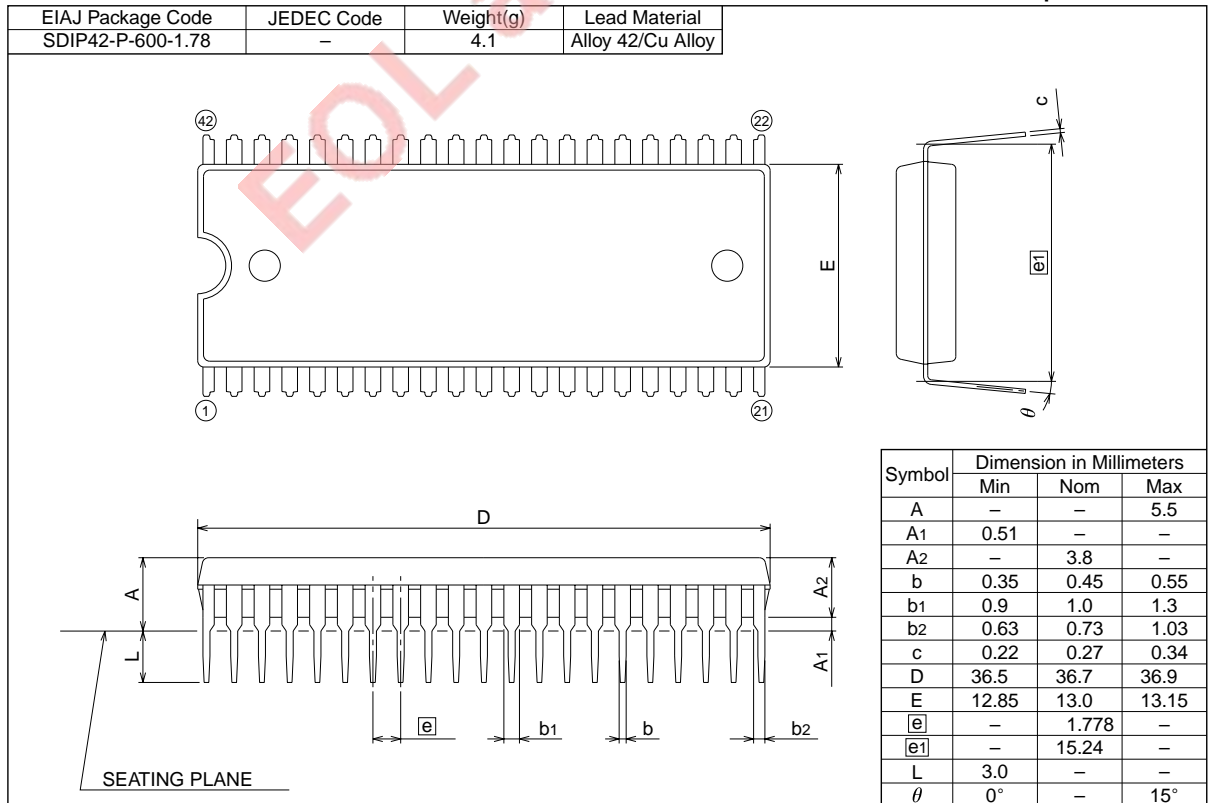
Plastic 42pin 450mil SSOP



42P4B

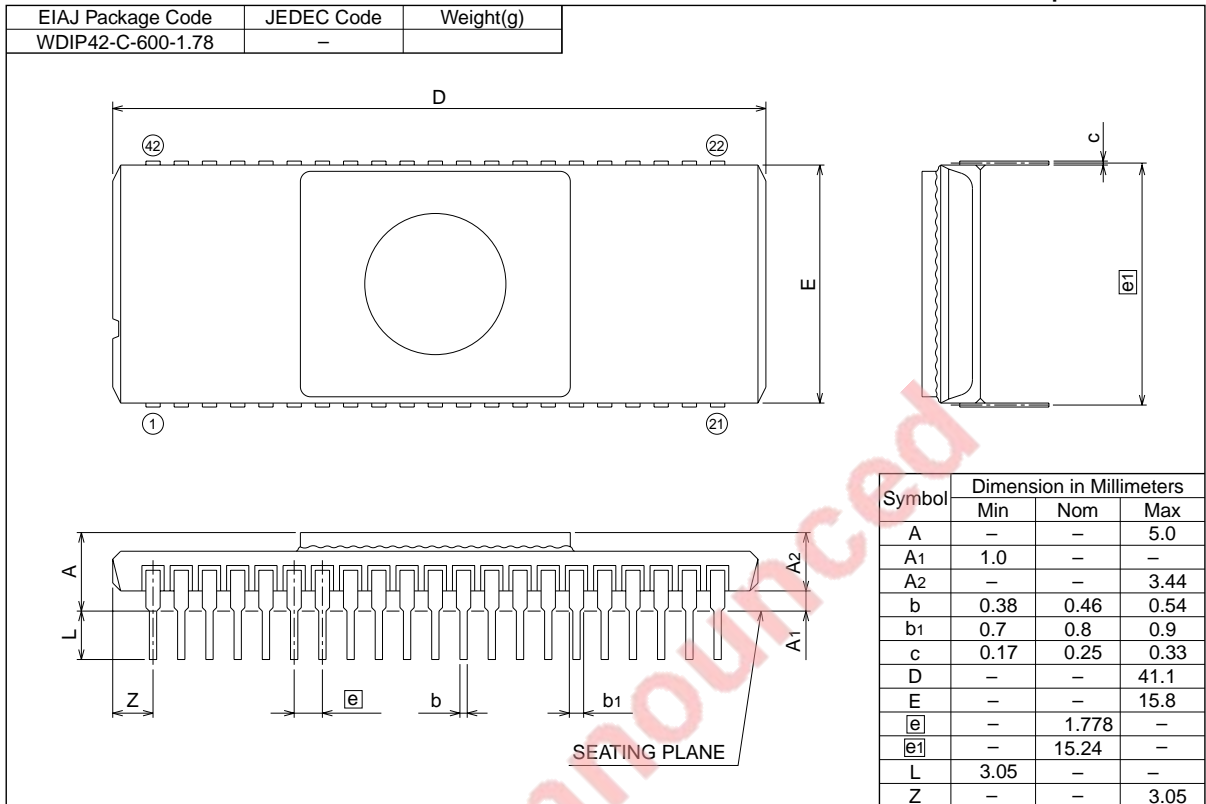
(MMP)

Plastic 42pin 600mil SDIP



42S1B-A

Metal seal 42pin 600mil DIP



Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	1998.09.01	-	初版発行
1.01	2003.07.30	- 5 9 11 10-11 13 14 17 18 20	<p>本文中の該当箇所を以下の通り変更。42P2R-A 42P2R-A/E、形名 型名</p> <p>図 4. ROM 及び RAM 展開計画 新製品 M38504M6/E6 量産中 M38504M6/E6</p> <p>図 7. SFR メモリマップ アドレス 0037₁₆ 番地を「予約」に変更。</p> <p>図 8. ポートのブロック図(1) ・入力を示す箇所のうち、矢印がない箇所に矢印をつけた。</p> <p>(7)ポート P2₆ 外部クロック入力 シリアル I/O 外部クロック入力 シリアルクロック出力 シリアル I/O クロック出力</p> <p>(8)ポート P2₇ シリアルレディ出力 シリアル I/O レディ出力</p> <p>(8)ポート P2₇, (10)ポート P4₀, (11)ポート P4₁ ~ P4₃, (12)ポート P4₄の各ブロック 図中の下記部分を変更。</p> <div style="text-align: center;"> </div> <p>* (8)ポート P2₇ は、CNTR₀ 割り込み入力 割り込み 「 注意事項」を変更</p> <p>図 11. 割り込み関係レジスタの構成(1) 割り込み制御レジスタ 1 タイマ X 割り込み要求ビット、タイマ Y 割り込み要求ビット タイマ X 割り込み許可ビット、タイマ Y 割り込み許可ビット</p> <p>図 14. タイマ X, タイマ Y, タイマ 1 及びタイマ 2 のブロック図 図中のタイマ X カウントソースビット、タイマ Y カウントソースビットに関する 記述を次のとおり修正。 f(X_{IN})/16 f(X_{IN})/16 (低速モード時は f(X_{CIN})/16) f(X_{IN})/2 f(X_{IN})/2 (低速モード時は f(X_{CIN})/2) 図中のタイマ 12 カウントソースビットに関する記述を次のとおり修正。 f(X_{IN})/16 f(X_{IN})/16 (低速モード時は f(X_{CIN})/16) f(X_{CIN})/2 f(X_{CIN})</p> <p>図 15. クロック同期形シリアル I/O ブロック図 P2₇/SRDY P2₇/CNTR₀/SRDY</p> <p>・【シリアル I/O ステータスレジスタ】 下線部を修正。 このレジスタのすべてのビットはリセット時“0”に初期化されますが ... このレジスタのビット 0 からビット 6 はリセット時“0”に初期化されますが ... ・「 注意事項」を追加</p>

Rev.	発行日	改訂内容	
		ページ	ポイント
1.01	2003.07.30	22	<ul style="list-style-type: none"> ・PWM周期及び出力パルスの"H"期間を算出する計算式に関する注意書きを次のとおり修正。 ($f(X_{IN})=8\text{MHz}$の場合) ($f(X_{IN})=8\text{MHz}$、カウントソース選択ビット="0"の場合) ・図 21. PWM ブロック図 X_{IN} X_{IN}(低速モード時は X_{CIN})
		23	<ul style="list-style-type: none"> 図 22. PWM 制御レジスタの構成 カウントソース選択ビット(b1)について次のとおり修正。 0: $f(X_{IN})$ 0: $f(X_{IN})$ (低速モード時は $f(X_{CIN})$) 1: $f(X_{IN})/2$ 1: $f(X_{IN})/2$ (低速モード時は $f(X_{CIN})/2$)
		26	<ul style="list-style-type: none"> リセット回路に関する説明文中の次の箇所を修正。 RESET 端子を 2 μs 以上 "L" レベルに保つとリセット状態になり RESET 端子を X_{IN20} サイクル以上 "L" レベルに保つとリセット状態になり
		29	<ul style="list-style-type: none"> ・図 34. MISRG の構成 「注」を追記。
		30	<ul style="list-style-type: none"> ・「中速モード自動切り替え設定ビットについての注意」を「MISRG」の説明文に変更。 図35.システムクロック発生回路ブロック図 下記部分と(注2)を追加
		31	<ul style="list-style-type: none"> 注2. MISRGのビットが"0"の場合 図36.システムクロックの状態遷移図 注の次の箇所(下線部)を修正。
		32	<ul style="list-style-type: none"> ・タイマ12カウントソース選択ビットが"0"の場合約16ms タイマ12カウントソース選択ビットが"0"の場合約250ms ・タイマ12カウントソース選択ビットが"1"の場合約250ms タイマ12カウントソース選択ビットが"1"の場合約16ms ・「使用上の注意事項」を追記。
		33	<ul style="list-style-type: none"> ・誤記修正：命令の実行時間に爛するもの X_{IN} X_{IN} ・ROM書き込み発注時の提出資料の次に以下の文章を追加 *マスク化確認書、ROM書き込み確認書、マーク指定書につきましては、ルネサステクノロジホームページ ROM発注 (http://www.renesas.com/jp/rom) を参照してください。
		35	<ul style="list-style-type: none"> ・表5.専用書き込みアダプタ 42S1B 42S1B-A、42P2R4 42P2R4-A/E 表 7. 推奨動作条件(1) ・Vcc 電源電圧 8MHz時 8MHz時(高速モード) 4MHz時 8MHz時(中速モード)、4MHz時(高速モード) ・誤記修正： $I_{OL(avg)}$ "L" 出力総平均電流 P13 ~ P17 削除。

改訂記録

3850 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.01	2003.07.30	36	表 9. 電気的特性(1) V _{OL} の項目の“L”出力電圧を(M38503E4/M2/M4)と(M38504E6/M6)に分けて記述。 「注」の P25/SCL2/TxD P25/TxD に修正。 誤記修正：“L”出力電流 “L”出力電圧
		39	表 16. A-D 変換器特性 V _{REF} の基準電源入力電流を V _{REF} 接続時と V _{REF} 切断時に分けて記述。
		40	表 13. タイミング必要条件(1)、表 14. タイミング必要条件(2) t _w (RESET)リセット入力“L”パルス幅の最小値を 2 μs から 20X _{IN} サイクルに変更。
		41	表 14. タイミング必要条件(2) 「注」の f(X _{IN})=8MHz を f(X _{IN})=4MHz に変更。
		41	表 15. スイッチング特性(1)、表 16. スイッチング特性(2) 測定条件 図 38 を追記
		42	図 39. 出力スイッチング特性測定回路図(2)を削除。
		44	外形寸法図 42P2R-A を 42P2R-A/E に変更。

安全設計に関するお願い

1. 弊社は品質 信頼性の向上に努めておりますが 半導体製品は故障が発生したり 誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として 人身事故火災事故 社会的損害などを生じさせないような安全性を考慮した冗長設計 延焼対策設計 誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり 本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施 使用を許諾するものではありません。
2. 本資料に記載の製品データ 図 表 プログラム アルゴリズムその他応用回路例の使用に起因する損害 第三者所有の権利に対する侵害に関し ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ 図 表 プログラム アルゴリズムその他全ての情報は本資料発行時点のものでありルネサス テクノロジは 予告なしに 本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては 事前にルネサス テクノロジ ルネサス販売または特約店へ最新の情報をご確認頂きますとともに ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は 正確を期すため 慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ 図 表に示す技術的な内容 プログラム及びアルゴリズムを流用する場合は 技術内容 プログラム アルゴリズム単位で評価するだけでなく システム全体で十分に評価し お客様の責任において適用可否を判断してください。ルネサス テクノロジは 適用可否に対する責任を負いません。
6. 本資料に記載された製品は 人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計 製造されたものではありません。本資料に記載の製品を運輸 移動体用 医療用 航空宇宙用 原子力制御用 海中継用機器あるいはシステムなど 特殊用途へのご利用をご検討の際には ルネサス テクノロジ ルネサス販売または特約店へご照会ください。
7. 本資料の転載 複製については 文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ その他お気付きの点がございましたらルネサス テクノロジ ルネサス販売または特約店までご照会ください。



営業お問合せ窓口

<http://www.renesas.com>

ルネサス販売本社	〒100-0005	千代田区丸の内1-8-2 (第二鉄鋼ビル)	(03) 3215-8600
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札幌支店	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨城支社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部営業本部	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜松支店	〒430-7710	浜松市板屋町111-2(浜松アクトタワー10F)	(053) 451-2131
西部営業本部	〒541-0044	大阪市中央区伏見町4-1-1 (大阪明治生命館ランドアクスタワー10F)	(06) 6233-9500
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中関支社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松山支店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥取支店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿児島支店	〒890-0053	鹿児島市中央町12-2 (明治生命西鹿児島ビル2F)	(099) 256-9021

技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口:カスタマサポートセンタ E-Mail: csc@renesas.com