お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

3826グループ（Aバージョン）

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

RJJ03B0028-0200
Rev.2.00
2006.03.15

概　要

3826グループ（Aバージョン）は、740ファミリコアを採用した8ビットマイクロコンピュータです。

LCD駆動制御回路、A/Dコンバータ、D/Aコンバータ、シリアルインタフェース、PWMなどの付加機能を備えています。

3826グループ（Aバージョン）には内蔵するメモリの種類、パッケージの異なる複数の品種があります。

詳細については型名とメモリサイズ・パッケージの項を参照してください。

3826グループ（Aバージョン）の製品ラインナップについては、グループ展開の項を参照してください。

特　長

●基本機械語命令 71
●命令実行時間 ..... 0.4 μs
(最小命令、発振周波数10MHz時)
●メモリ容量　ROM ..... 48K～60Kバイト
RAM ..... 1536～2560バイト
●プログラマブル入出力ポート 55本
●ソフトウェアプルアップ抵抗 ..... 内蔵
●出力ポート 8本
●入力ポート 1本
●割り込み ..... 17要因、16ベクトル
外部 ..... 7要因(キー入力割り込みを含む)
内部 9要因
ソフトウェア 1要因
●タイマ ..... 8ビット×3、16ビット×2
●シリアルインタフェース
シリアルI/O1 ..... 8ビット×1
(UART又はクロック同期形)
シリアルI/O2 ..... クロック同期形8ビット×1
●PWM ..... 8ビット×1
●A/Dコンバータ ..... 10ビット×8チャネル又は8ビット×8チャネル
●D/Aコンバータ ..... 8ビット×2チャネル
(DTMF,CTCSS機能として使用)
●LCD駆動制御回路　バイアス ..... 1/2、1/3バイアス
時分割 ..... 2、3、4時分割
コモン出力 4本
セグメント出力 40本
●クロック発生回路 2回路内蔵
(セラミック共振子又は水晶発振子外付け)
●ウォッチドッグタイマ ..... 14ビット×1
●電源電圧　高速モード時(f(XIN)=10MHz) ..... 4.5V～5.5V
高速モード時(f(XIN)=8MHz) ..... 4.0V～5.5V
中速モード時(f(XIN)=6MHz) ..... 1.8V～5.5V
低速モード時 ..... 1.8V～5.5V
●消費電力　高速モード時 標準28mW
(VCC=5V、f(XIN)=10MHz、Ta=25°C)
低速モード時 ..... 標準27 μW
(VCC=3V、f(XIN)=停止、f(XCIN)=32kHz、Ta=25°C)
●動作周囲温度 ..... －20～85°C

応　用

カメラ、コードレス電話、無線機、家電等

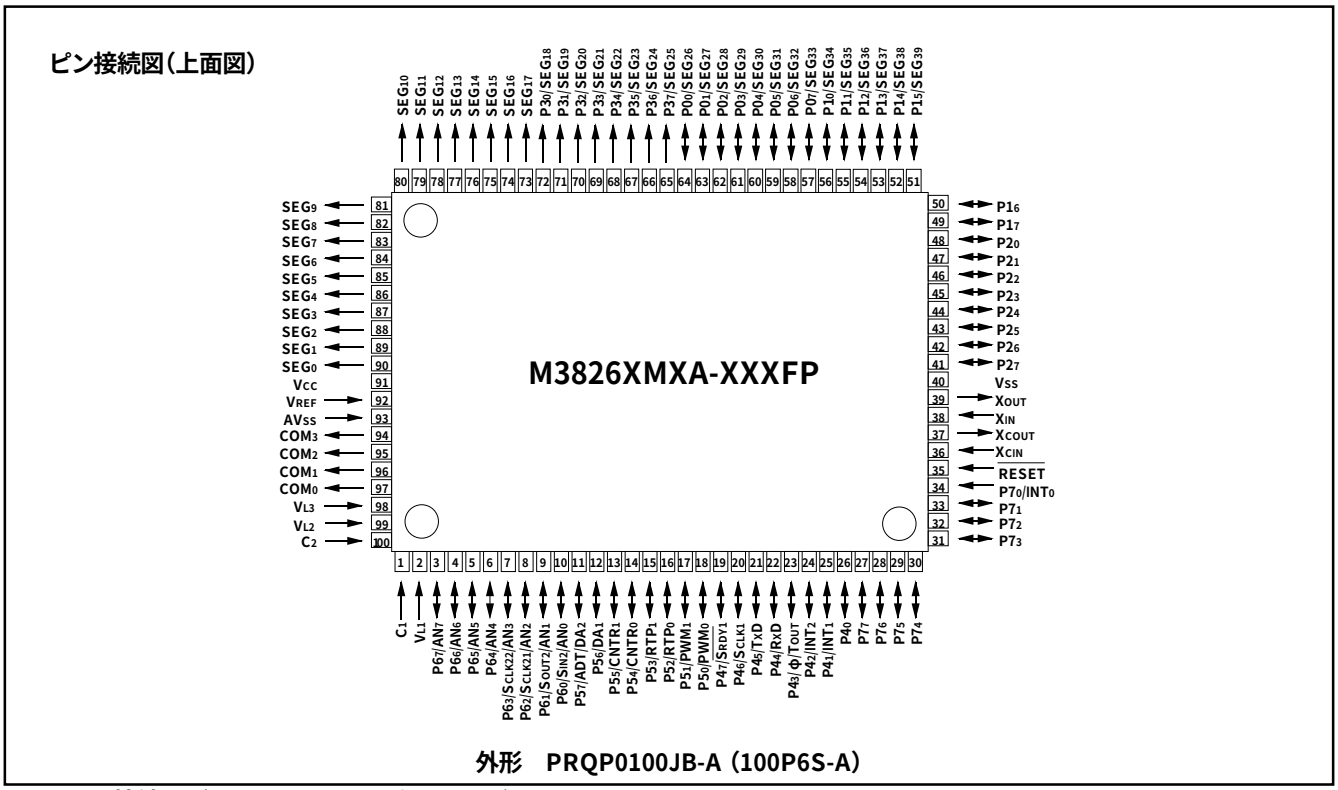


図1．ピン接続図（PRQP0100JB-Aパッケージ）

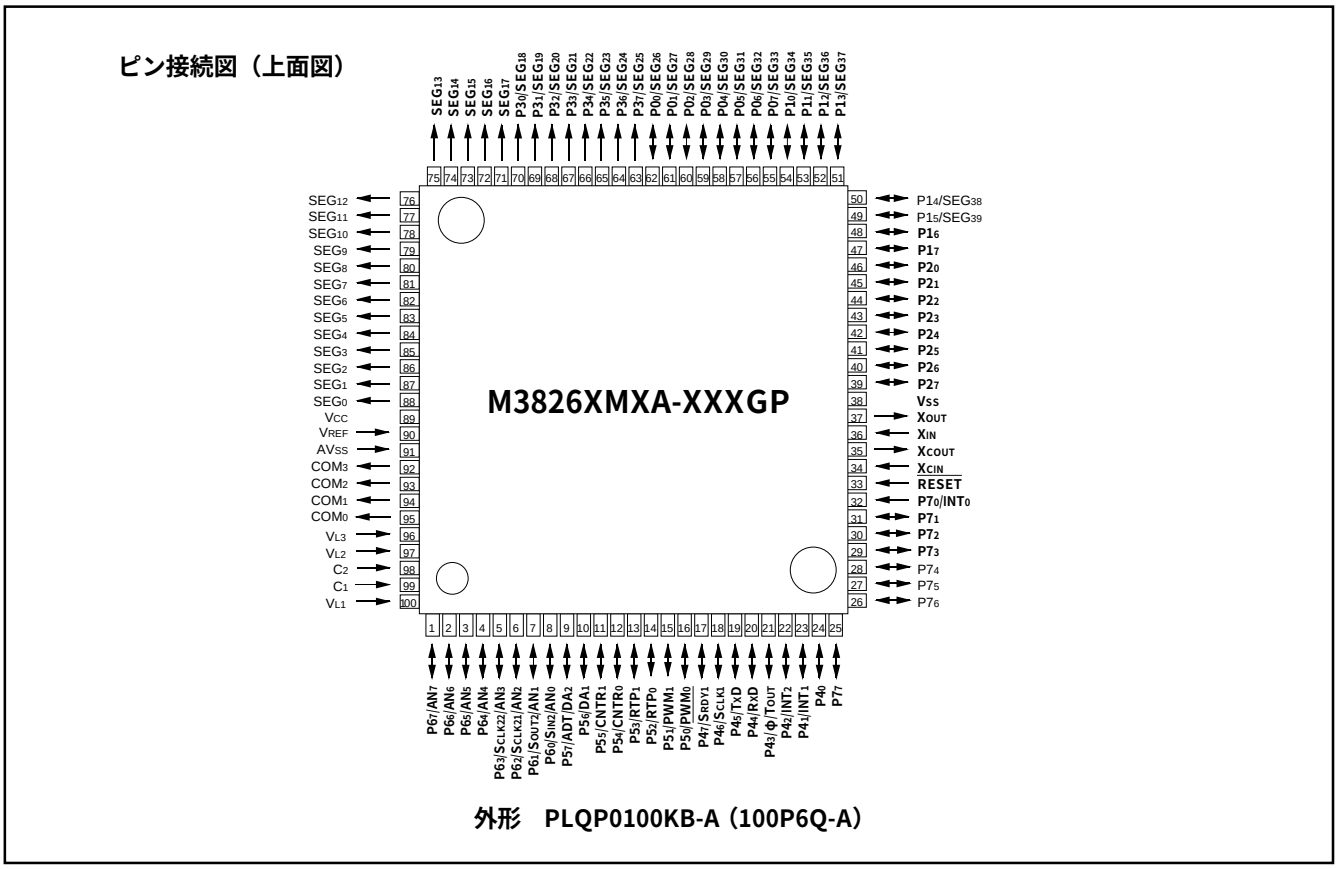


図2．ピン接続図（PLQP0100KB-Aパッケージ）

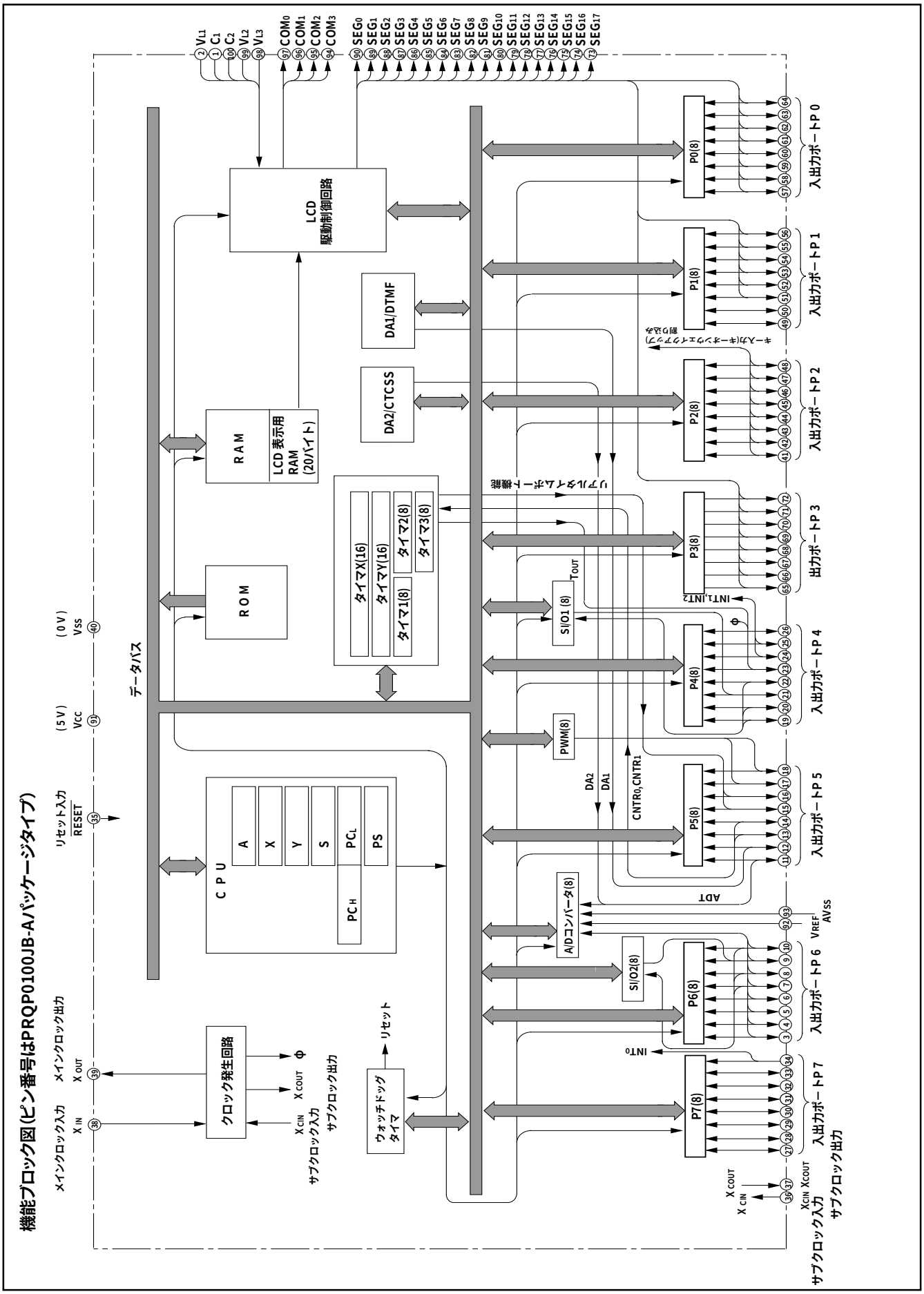

機能ブロック図(ピン番号はPRQP0100JB-Aパッケージタイプ)
VL1 C1 C2 VL2 VL3 COM0 COM1 COM2 COM3 SEG0 SEG1 SEG2 SEG3 SEG4 SEG5 SEG6 SEG7 SEG8 SEG9 SEG10 SEG11 SEG12 SEG13 SEG14 SEG15 SEG16 SEG17
LCD 駆動制御回路
DA1/DTMF
DA2/CTCSS
RAM
LCD表示用 RAM (20バイト)
ROM
タイマX(16)
タイマY(16)
タイマ1(8)
タイマ2(8)
タイマ3(8)
データバス
CPU
A
X
Y
S
PCL
PS
PCH
リセット入力 RESET
(5V) VCC
(0V) VSS
メインクロック出力 XOUT
メインクロック入力 XIN
クロック発生回路
φ
XCOUT
XCIN
サブクロック入力
サブクロック出力
ウォッチドッグタイマ
リセット
P0(8)
P1(8)
P2(8)
P3(8)
P4(8)
P5(8)
P6(8)
P7(8)
入出力ポートP0
入出力ポートP1
入出力ポートP2
出力ポートP3
入出力ポートP4
入出力ポートP5
入出力ポートP6
入出力ポートP7
キー入力(キーオンウェイクアップ)割り込み
シリアルインターフェース機能
SI/O1(8)
TOUT
INT1,INT2
PWM(8)
DA2
DA1
CNTR0,CNTR1
ADT
A/Dコンバータ(8)
SI/O2(8)
INT0
VREF
AVSS
XCOUT
XCIN
サブクロック入力
サブクロック出力

図3．機能ブロック図

端子の機能説明

表1.端子の機能説明

端子名	名　称	機　　能	ポート以外の機能
V_{CC},V_{SS}	電源入力	V_{CC}に1.8～5.5V、V_{SS}に0Vを印加してください。	
V_{REF}	基準電圧入力	A/Dコンバータ及びD/Aコンバータの基準電圧入力端子です。	
AV_{SS}	アナログ電源入力	A/Dコンバータ及びD/Aコンバータの電源入力端子です。この端子はV_{SS}に接続してください。	
$\overline{RESET}$	リセット入力	アクティブ“L”のリセット入力端子です。	
X_{IN}	クロック入力	メインクロック発生回路の入出力端子です。X_{IN}とX_{OUT}の間にセラミック共振子又は水晶発振子を接続してください。外部クロック使用時にはクロック発振源をX_{IN}に接続し、X_{OUT}は開放してください。帰還抵抗を内蔵しています。	
X_{OUT}	クロック出力		
V_{L1}～V_{L3}	LCD用電源入力	0≦V_{L1}≦V_{L2}≦V_{L3}の電圧を印加してください。LCDには、0～V_{L3}の電圧を印加します。 (昇圧時は0≦V_{L1}≦V_{L2}≦V_{L3})	
C_1, C_2	昇圧用容量接続端子	LCD制御昇圧回路用コンデンサの外付け端子です。	
COM_0～COM_3	コモン出力	LCDコモン出力端子です。2時分割時はCOM_2、COM_3は使用しません。3時分割時はCOM_3は使用しません。	
SEG_0～SEG_{17}	セグメント出力	LCDセグメント出力端子です。	
$P0_0$/SEG_{26} ～ $P0_7$/SEG_{33}	入出力ポートP0	8ビットの入出力ポートです。プログラムにより8ビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御できます。	LCDセグメント出力端子
$P1_0$/SEG_{34} ～ $P1_5$/SEG_{39}	入出力ポートP1	6ビットの入出力ポートです。プログラムにより6ビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御できます。	
$P1_6$, $P1_7$		2ビットの入出力ポートです。プログラムによりビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御できます。	
$P2_0$～$P2_7$	入出力ポートP2	8ビットの入出力ポートです。プログラムによりビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御できます。	キー入力(キーオンウェイクアップ)割り込み入力端子
$P3_0$/SEG_{18} ～ $P3_7$/SEG_{25}	出力ポートP3	8ビットの出力ポートです。出力形式はCMOS3ステートです。出力を制御できます。	LCDセグメント出力端子
$P4_0$	入出力ポートP4	1ビットの入出力ポートです。プログラムにより、入出力を指定できます。CMOS入力レベルで、出力形式はNチャネルオープンドレインです。	
$P4_1$/INT_1 $P4_2$/INT_2		7ビットの入出力ポートです。プログラムによりビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御できます。	INTi割り込み入力端子
$P4_3$/φ/T_{OUT}			システムクロックφ出力端子 タイマ2出力端子
$P4_4$/R_{XD}, $P4_5$/T_{XD}, $P4_6$/S_{CLK1}, $P4_7$/S_{RDY1}			シリアルI/O1の入出力端子

表2.端子の機能説明(2)

端子名	名　称	機　　能	ポート以外の機能
P5$_0$/PWM$_0$, P5$_1$/PWM$_1$	入出力ポートP5	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御できます。	PWM出力端子
P5$_2$/RTP$_0$, P5$_3$/RTP$_1$			リアルタイムポート出力端子
P5$_4$/CNTR$_0$, P5$_5$/CNTR$_1$			タイマXY入出力端子
P5$_6$/DA$_1$			D/Aコンバータ出力端子
P5$_7$/ADT/DA$_2$			D/Aコンバータ出力端子 A/D外部トリガ入力端子
P6$_0$/SIN$_2$/AN$_0$, P6$_1$/SOUT$_2$/AN$_1$, P6$_2$/SCLK$_{21}$/AN$_2$, P6$_3$/SCLK$_{22}$/AN$_3$	入出力ポートP6	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御できます。	A/Dコンバータ入力端子 シリアルI/O2の入出力端子
P6$_4$/AN$_4$～ P6$_7$/AN$_7$			A/Dコンバータ入力端子
P7$_0$/INT$_0$	入力ポートP7	1ビットのCMOSレベル入力ポートです。	INT$_0$割り込み入力端子
P7$_1$～ P7$_7$	入出力ポートP7	7ビットの入出力ポートです。プログラムにより、ビット単位で入出力を指定できます。CMOS入力レベルで、出力形式はNチャネルオープンドレインです。	
XCOUT	サブクロック出力	サブクロック発生回路の入出力端子です。（水晶発振子を接続してください。外部で生成したクロックの入力はできません。）	
XCIN	サブクロック入力		

型名とメモリサイズ・パッケージ

型名　M3826　A　M　F　A－　XXX　FP

パッケージ種類
FP : 外形PRQP0100JB-A
GP:　PLQP0100KB-A

ROM番号

特性
A : Aバージョン

ROM容量
1：4096バイト　9:36864バイト
2：8192バイト　A:40960バイト
3:12288バイト　B:45056バイト
4:16384バイト　C:49152バイト
5:20480バイト　D:53248バイト
6:24576バイト　E:57344バイト
7:28672バイト　F:61440バイト
8:32768バイト

ROM領域のうち、先頭の128バイトと最後の2バイトは予約ROM領域であり、ユーザROM領域としては使用できません。

メモリの種類
M:マスクROM版

RAM容量
0：192バイト　8:1536バイト
1：256バイト　9:2048バイト
2：384バイト　A:2560バイト
3：512バイト
4：640バイト
5：768バイト
6：896バイト
7:1024バイト

図4．型名とメモリサイズ・パッケージ

グループ展開

3826グループ(Aバージョン)は次のように展開しています。

メモリの種類

マスクROM版のサポート

メモリ容量

ROM容量 ..... 48K～60Kバイト
RAM容量 ..... 1536～2560バイト

パッケージ

PRQP0100JB-A 0.65mmピッチプラスチックモールドQFP
PLQP0100KB-A 0.5mmピッチプラスチックモールドQFP

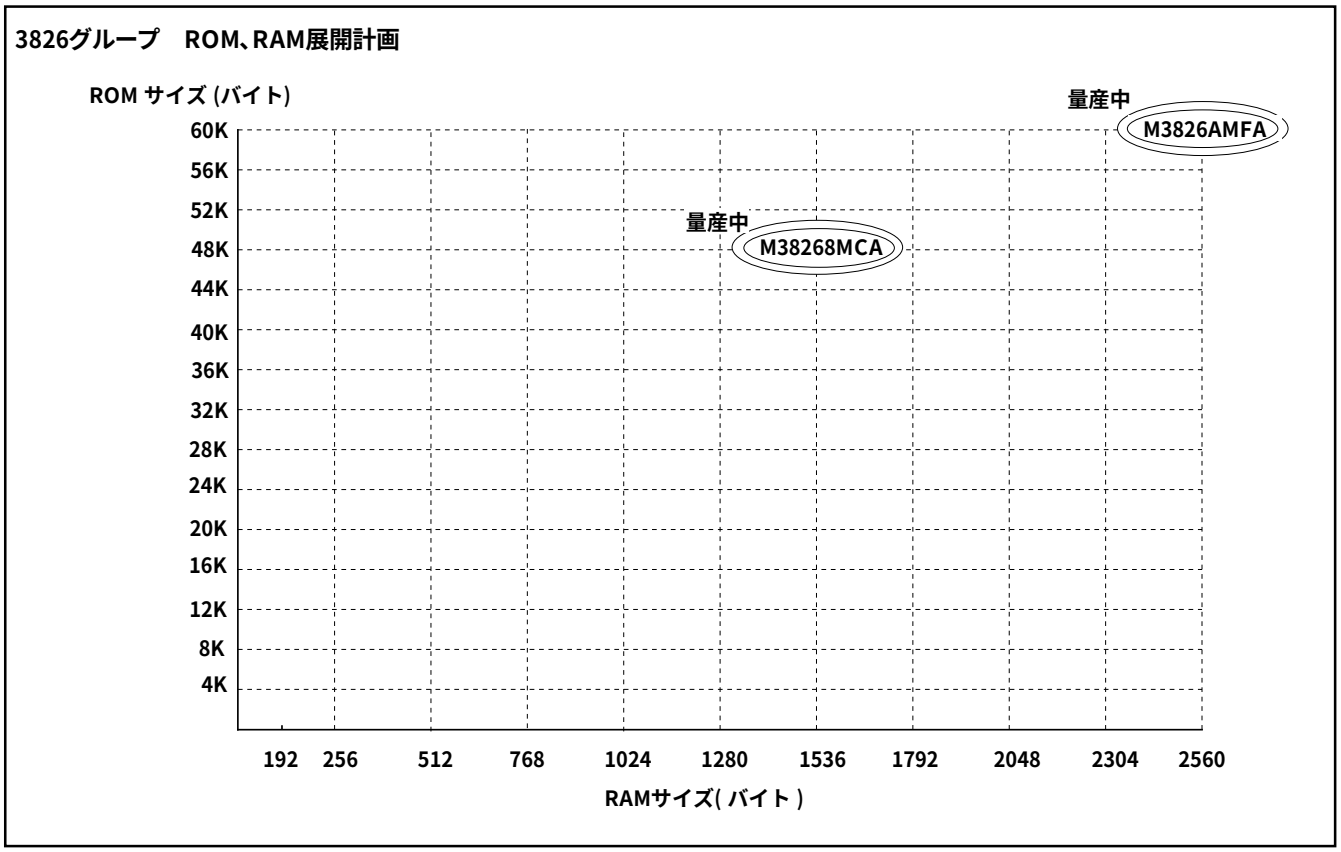


図5．ROM及びRAM展開計画

現在サポートを計画している製品を表3に示します。

表3.サポート製品一覧　　2006年3月現在

製品型名	ROM容量(バイト) (　)内はユーザROM容量	RAM容量 (バイト)	パッケージ	備　考
M38268MCA-XXXFP	49152	1536	PRQP0100JB-A	マスクROM版
M38268MCA-XXXGP	(49022)		PLQP0100KB-A	マスクROM版
M3826AMFA-XXXFP	61440	2560	PRQP0100JB-A	マスクROM版
M3826AMFA-XXXGP	(61310)		PLQP0100KB-A	マスクROM版

機能ブロック動作説明

中央演算処理装置（ＣＰＵ）

3826グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

１．FST、SLW命令はありません。
２．MUL、DIV命令が使用可能です。
３．WIT命令が使用可能です。
４．STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図6にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理 は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00_{16}”となり、“1”の場合は“01_{16}”となります。

図7にスタックへの退避及び復帰動作、表4にアキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令を示します。ここに示す以外で必要なレジスタは、プログラムで退避してください。

【プログラムカウンタ】(PC)

プログラムカウンタは、PC_HとPC_Lからなる16ビットのカウンタです。PC_HとPC_Lはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

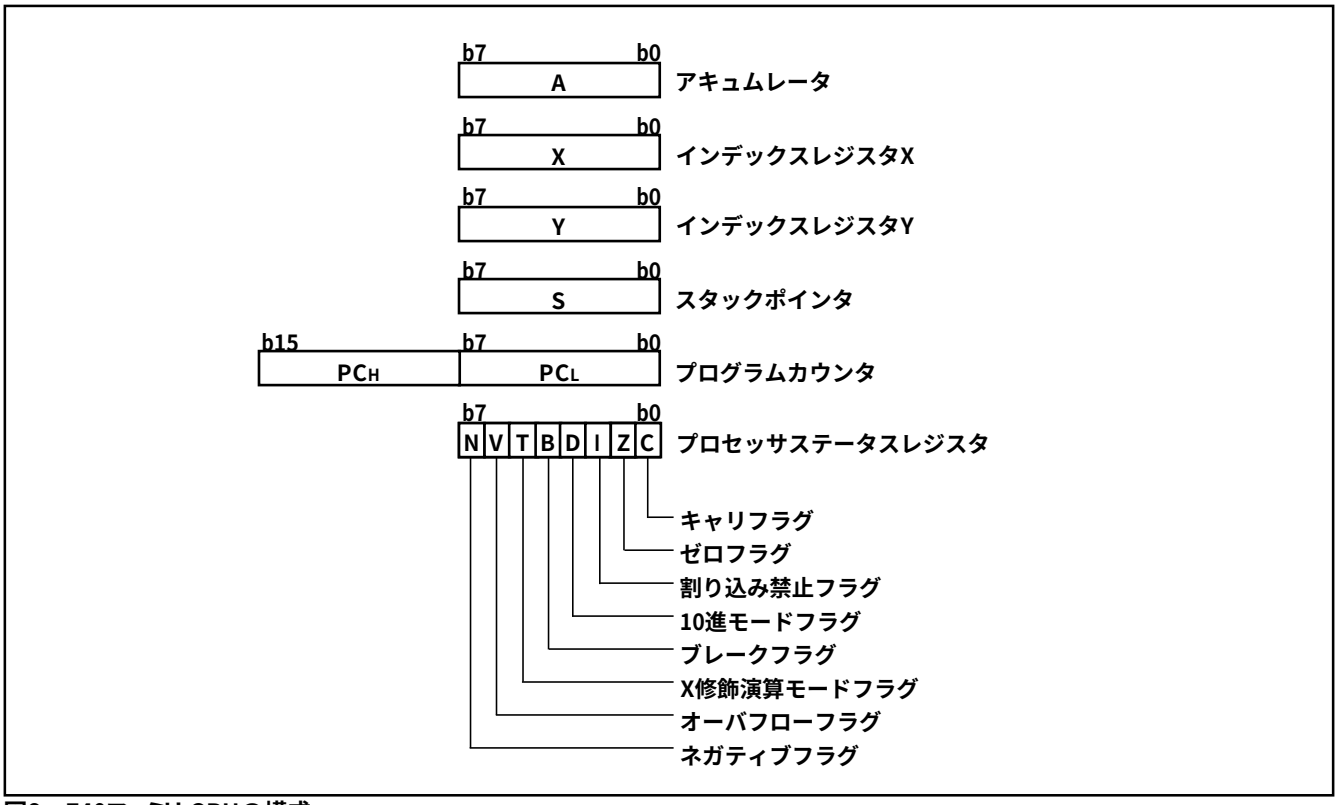


図6．740ファミリ CPUの構成

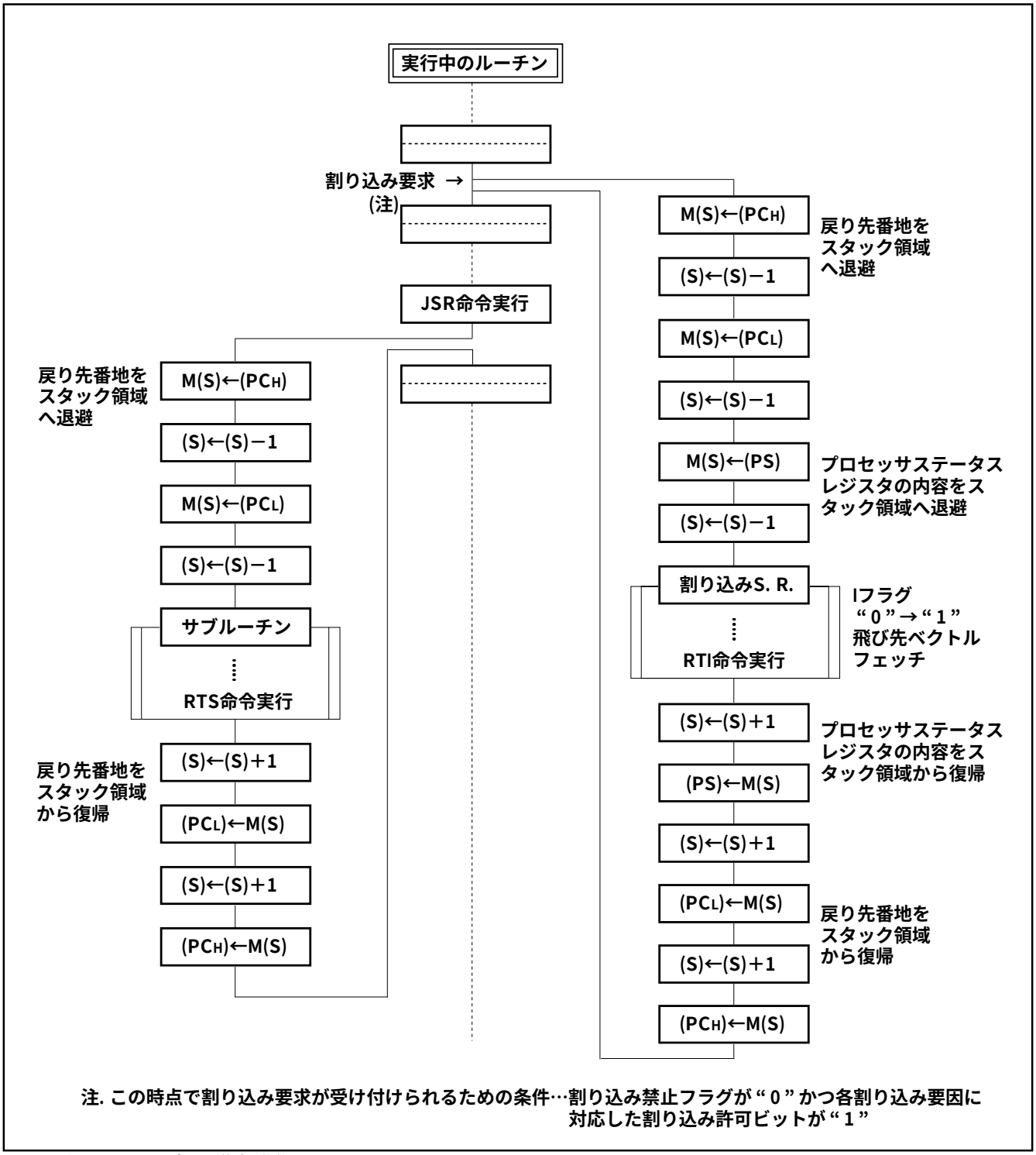


図7. スタックへの退避及び復帰動作

表4.アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックから復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリ又はボローを保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のとき、このフラグは“1”になります。結果が“0”でないとき、このフラグは“0”になります。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを決めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレークフラグ(B)

BRK命令割り込みを識別するためのフラグです。BRK命令割り込みの場合は自動的にこのフラグが“1”になり、それ以外の割り込みでは“0”になり、スタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算が行われます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合に“1”になります。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときに“1”になります。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表5.プロセッサステータスレジスタの各フラグを“1”又は“0”にする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
“1”にする命令	SEC	—	SEI	SED	—	SET	—	—
“0”にする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページの選択ビットやシステムクロックの制御ビットなどが割り当てられています。

このレジスタは003B16番地に配置されています。

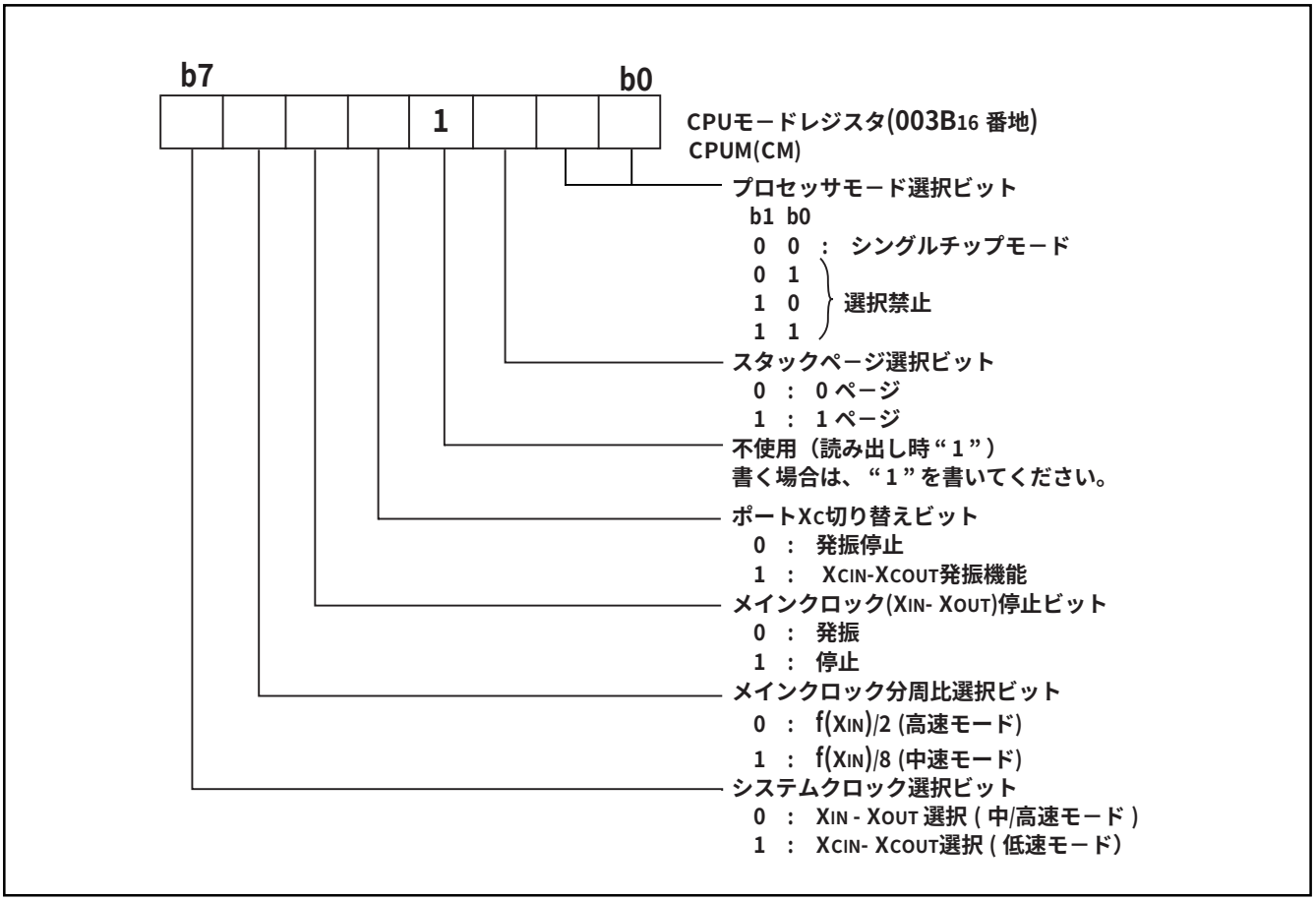


図8．CPUモードレジスタの構成

メモリ

●SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

●RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

●ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

●割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

●ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

●スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

RAM領域

RAM容量（バイト）	XXXX_{16}番地
192	$00FF_{16}$
256	$013F_{16}$
384	$01BF_{16}$
512	$023F_{16}$
640	$02BF_{16}$
768	$033F_{16}$
896	$03BF_{16}$
1024	$043F_{16}$
1536	$063F_{16}$
2048	$083F_{16}$
2560	$0A3F_{16}$

ROM領域

ROM容量（バイト）	$YYYY_{16}$番地	$ZZZZ_{16}$番地
4096	$F000_{16}$	$F080_{16}$
8192	$E000_{16}$	$E080_{16}$
12288	$D000_{16}$	$D080_{16}$
16384	$C000_{16}$	$C080_{16}$
20480	$B000_{16}$	$B080_{16}$
24576	$A000_{16}$	$A080_{16}$
28672	9000_{16}	9080_{16}
32768	8000_{16}	8080_{16}
36864	7000_{16}	7080_{16}
40960	6000_{16}	6080_{16}
45056	5000_{16}	5080_{16}
49152	4000_{16}	4080_{16}
53248	3000_{16}	3080_{16}
57344	2000_{16}	2080_{16}
61440	1000_{16}	1080_{16}

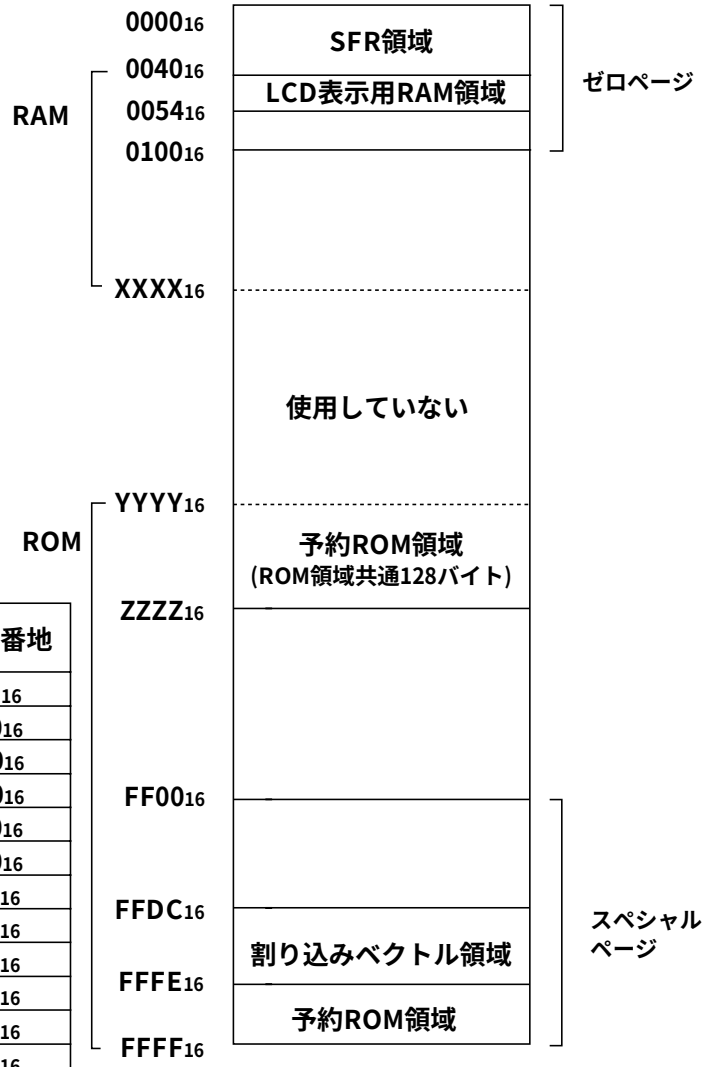


図9．メモリ配置図

0000_{16}	ポートP0レジスタ(P0)	0020_{16}	タイマX下位レジスタ(TXL)
0001_{16}	ポートP0方向レジスタ(P0D)	0021_{16}	タイマX上位レジスタ(TXH)
0002_{16}	ポートP1レジスタ(P1)	0022_{16}	タイマY下位レジスタ(TYL)
0003_{16}	ポートP1方向レジスタ(P1D)	0023_{16}	タイマY上位レジスタ(TYH)
0004_{16}	ポートP2レジスタ(P2)	0024_{16}	タイマ1レジスタ(T1)
0005_{16}	ポートP2方向レジスタ(P2D)	0025_{16}	タイマ2レジスタ(T2)
0006_{16}	ポートP3レジスタ(P3)	0026_{16}	タイマ3レジスタ(T3)
0007_{16}	ポートP3出力制御レジスタ(P3C)	0027_{16}	タイマXモードレジスタ(TXM)
0008_{16}	ポートP4レジスタ(P4)	0028_{16}	タイマYモードレジスタ(TYM)
0009_{16}	ポートP4方向レジスタ(P4D)	0029_{16}	タイマ123モードレジスタ(T123M)
$000A_{16}$	ポートP5レジスタ(P5)	$002A_{16}$	TOUT/φ出力制御レジスタ(CKOUT)
$000B_{16}$	ポートP5方向レジスタ(P5D)	$002B_{16}$	PWM制御レジスタ(PWMCON)
$000C_{16}$	ポートP6レジスタ(P6)	$002C_{16}$	PWMプリスケーラ(PREPWM)
$000D_{16}$	ポートP6方向レジスタ(P6D)	$002D_{16}$	PWMレジスタ(PWM)
$000E_{16}$	ポートP7レジスタ(P7)	$002E_{16}$	CTCSSタイマ下位(CTCSSL)
$000F_{16}$	ポートP7方向レジスタ(P7D)	$002F_{16}$	CTCSSタイマ上位(CTCSSH)
0010_{16}		0030_{16}	DTMF高群タイマ(DTMFH)
0011_{16}		0031_{16}	DTMF低群タイマ(DTMFL)
0012_{16}		0032_{16}	DA1変換レジスタ(DA1)
0013_{16}		0033_{16}	DA2変換レジスタ(DA2)
0014_{16}	AD変換下位レジスタ(ADL)	0034_{16}	AD制御レジスタ(ADCON)
0015_{16}	キー入力制御レジスタ(KIC)	0035_{16}	AD変換上位レジスタ(ADH)
0016_{16}	PULLレジスタA(PULLA)	0036_{16}	DA制御レジスタ(DACON)
0017_{16}	PULLレジスタB(PULLB)	0037_{16}	ウォッチドッグタイマ制御レジスタ(WDTCON)
0018_{16}	送信/受信バッファレジスタ(TB/RB)	0038_{16}	セグメント出力許可レジスタ(SEG)
0019_{16}	シリアルI/O1ステータスレジスタ(SIO1STS)	0039_{16}	LCDモードレジスタ(LM)
$001A_{16}$	シリアルI/O1制御レジスタ(SIO1CON)	$003A_{16}$	割り込みエッジ選択レジスタ(INTEDGE)
$001B_{16}$	UART制御レジスタ(UARTCON)	$003B_{16}$	CPUモードレジスタ(CPUM)
$001C_{16}$	ボーレートジェネレータ(BRG)	$003C_{16}$	割り込み要求レジスタ1(IREQ1)
$001D_{16}$	シリアルI/O2制御レジスタ(SIO2CON)	$003D_{16}$	割り込み要求レジスタ2(IREQ2)
$001E_{16}$	予約領域（注）	$003E_{16}$	割り込み制御レジスタ1(ICON1)
$001F_{16}$	シリアルI/O2レジスタ(SIO2)	$003F_{16}$	割り込み制御レジスタ2(ICON2)

注．予約領域のレジスタには書かないでください。

図10．SFR（スペシャルファンクションレジスタ）メモリマップ

入出力ポート

●方向レジスタ

入出力ポートP0、P1、P2、P4、P5、P6、$P7_1$～$P7_7$は方向レジスタを持っています。$P1_6$、$P1_7$、P4、P5、P6、及び$P7_1$～$P7_7$は入力モードで使用するか出力モードで使用するか、ビット単位で選択できます。$P0_0$～$P0_7$及び$P1_0$～$P1_5$は、入力モードで使用するか出力モードで使用するか、それぞれポートP0、P1の方向レジスタのビット0を使用して、一括して選択します（図11参照）。方向レジスタを“1”にするとその端子は出力モード、“0”にすると入力モードになります。

出力モードのポートを読むと、端子の値ではなくポートラッチの内容が読まれます。入力モードのポートはフローティングとなり、端子の値が読まれます。値を書くと、ポートラッチに書かれますが、端子はフローティングのままです。

●ポートP3出力制御レジスタ

ポート$P3_0$～$P3_7$はポートP3出力制御レジスタ（000_{16}番地）のビット0により出力制御できます。このビットを“1”にするとポート出力機能が有効になります。

リセット時はポートP3出力制御レジスタのビット0は“0”（ポート出力機能は無効）になっておりプルアップされています。

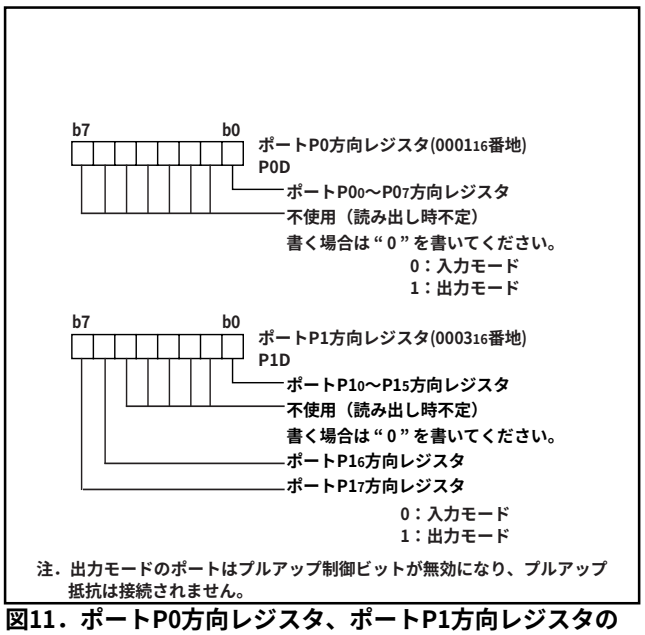


図11．ポートP0方向レジスタ、ポートP1方向レジスタの構成

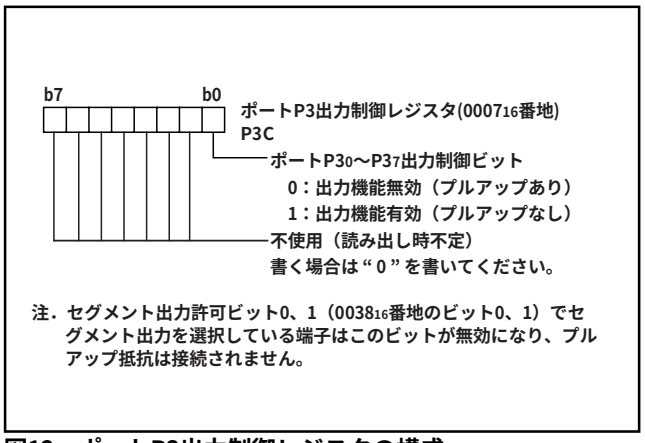


図12．ポートP3出力制御レジスタの構成

●プルアップ制御

ポートP0～ P2, P4～P6はPULLレジスタA(0016$_{16}$番地)及びPULLレジスタB(0017$_{16}$番地)により、プログラムでプルアップ制御できます。ただし、出力モードのポートはこの制御から切り離され、プルアップされません。

また、セグメント出力許可レジスタでセグメント出力を選択した端子では、PULLレジスタAの設定は無効になり、プルアップされません。

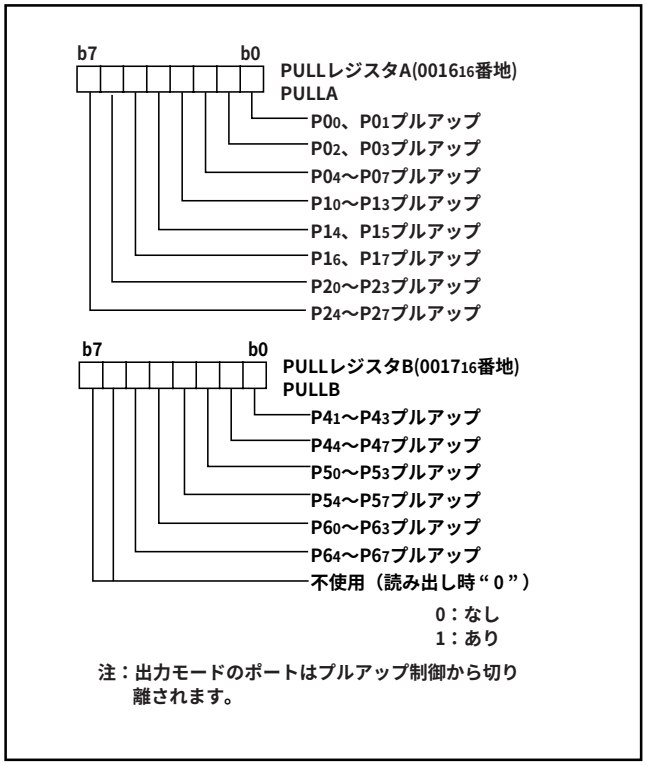


図13．PULLレジスタA、PULLレジスタBの構成

表6．入出力ポートの機能一覧(1)

端子名	名 称	入出力	入出力形式	ポート以外の機能	関連するSFR	図 番
P0₀/SEG26 ～ P0₇/SEG33	ポートP0	入出力 バイト単位	CMOS入力レベル CMOS3ステート出力	LCDセグメント出力	PULLレジスタA セグメント出力許可 レジスタ	(1) (2)
P1₀/SEG34 ～ P1₅/SEG39	ポートP1	入出力 6ビット単位			PULLレジスタA セグメント出力許可 レジスタ	(1) (2)
P1₆, P1₇		入出力 ビット単位	CMOS入力レベル CMOS3ステート出力		PULLレジスタA	(4)
P2₀～P2₇	ポートP2			キー入力(キーオンウェイクアップ)割り込み入力	PULLレジスタA 割り込み制御 レジスタ2 キー入力制御レジスタ	
P3₀/SEG18 ～ P3₇/SEG25	ポートP3	出力	CMOS3ステート出力	LCDセグメント出力	セグメント出力許可 レジスタ P3出力制御レジスタ	(3)
P4₀	ポートP4	入出力 ビット単位	CMOS入力レベル Nチャネルオープン ドレイン出力			(13)
P4₁/INT1, P4₂/INT2			CMOS入力レベル CMOS3ステート出力	INTi割り込み入力	割り込みエッジ選択 レジスタ	(4)
P4₃/φ/TOUT				タイマ2出力 システムクロックφ出力	PULLレジスタB タイマ123モード レジスタ TOUT/φ出力制御 レジスタ	(12)
P4₄/RxD, P4₅/TxD, P4₆/SCLK1, P4₇/SRDY1				シリアルI/O1入出力	PULLレジスタB シリアルI/O1制御 レジスタ シリアルI/O1 ステータスレジスタ UART制御レジスタ	(5) (6) (7) (8)
P5₀/PWM0, P5₁/PWM1	ポートP5	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	PWM出力	PULLレジスタB PWM制御レジスタ	(10)
P5₂/RTP0, P5₃/RTP1				リアルタイムポート出力	PULLレジスタB タイマXモード レジスタ	(9)
P5₄/CNTR0				タイマX入出力	PULLレジスタB タイマXモード レジスタ	(11)
P5₅/CNTR1				タイマY入力	PULLレジスタB タイマYモード レジスタ	(14)
P5₆/DA1				DA1出力 DTMF入力	PULLレジスタB DA制御レジスタ	(15)
P5₇/ADT/DA2				DA2出力 CTCSS出力 A/D外部トリガ入力	PULLレジスタB DA制御レジスタ AD制御レジスタ	(15)

表7.入出力ポートの機能一覧(2)

端子名	名 称	入出力	入出力形式	ポート以外の機能	関連するSFR	図 番
$P6_0$/S_{IN2}/AN_0	ポートP6	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	A/D変換入力 シリアルI/O2入出力	PULLレジスタB AD制御レジスタ シリアルI/O2制御 レジスタ	(17)
$P6_1$/S_{OUT2}/ AN_1						(18)
$P6_2$/S_{CLK21}/ AN_2						(19)
$P6_3$/S_{CLK22} / AN_3						(20)
$P6_4$/AN_4～ $P6_7$/AN_7				A/D変換入力	AD制御レジスタ PULLレジスタB	(16)
$P7_0$/INT_0	ポートP7	入力	CMOS入力レベル	INT_0割り込み入力	割り込みエッジ選択 レジスタ	(23)
$P7_1$～$P7_7$		入出力 ビット単位	CMOS入力レベル Nチャネルオープン ドレイン出力			(13)
COM_0～ COM_3	コモン	出力	LCDコモン出力		LCDモードレジスタ	(21)
SEG_0～ SEG_{17}	セグメント	出力	LCDセグメント出力			(22)

注１．ダブルファンクションポートを機能入出力端子として使用する方法については、関連する項を参照してください。
２．STP命令の実行前に、各端子の入力レベルを0V又はVccにしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流れ、電源電流が増加します。

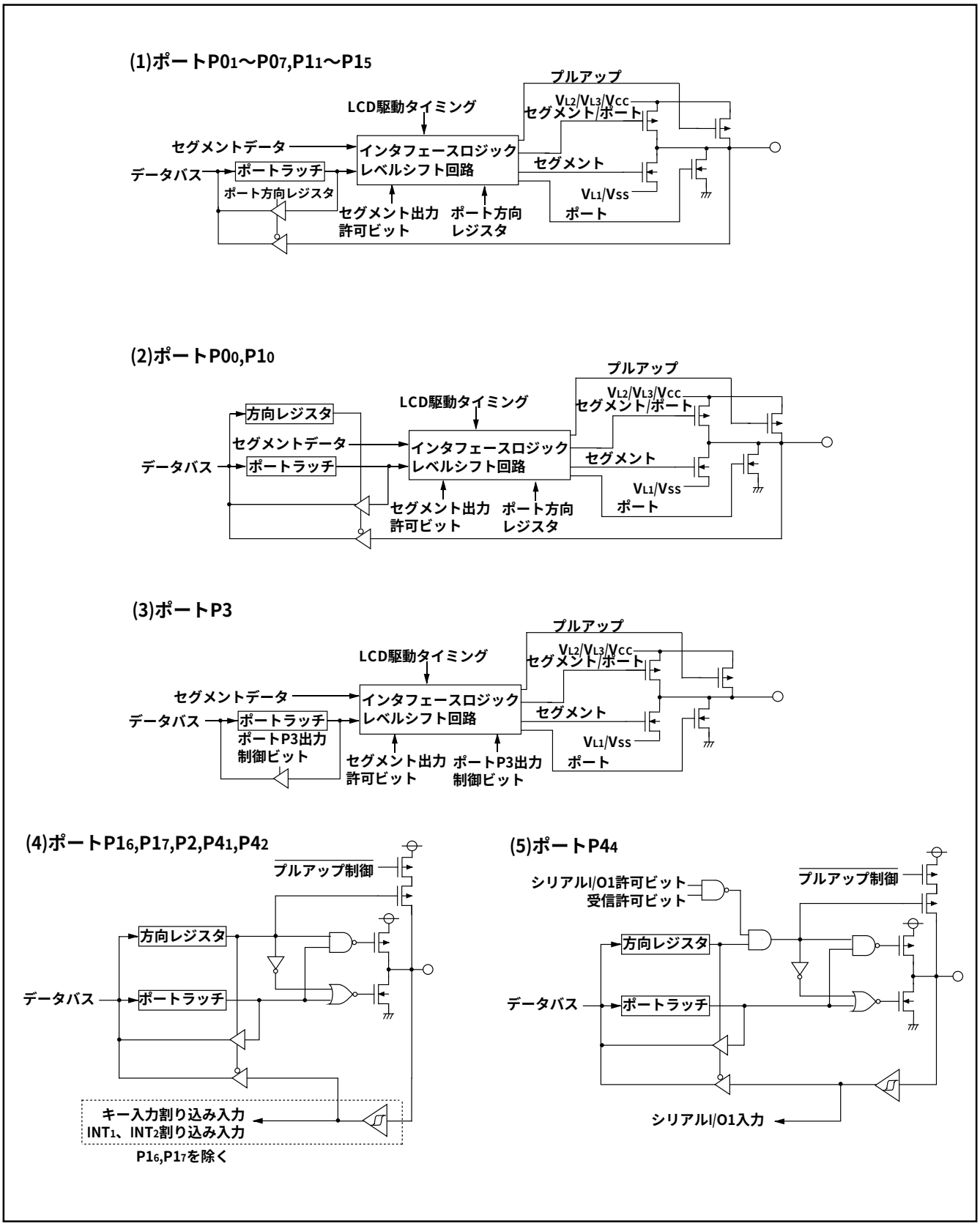


図14．ポートのブロック図（1）

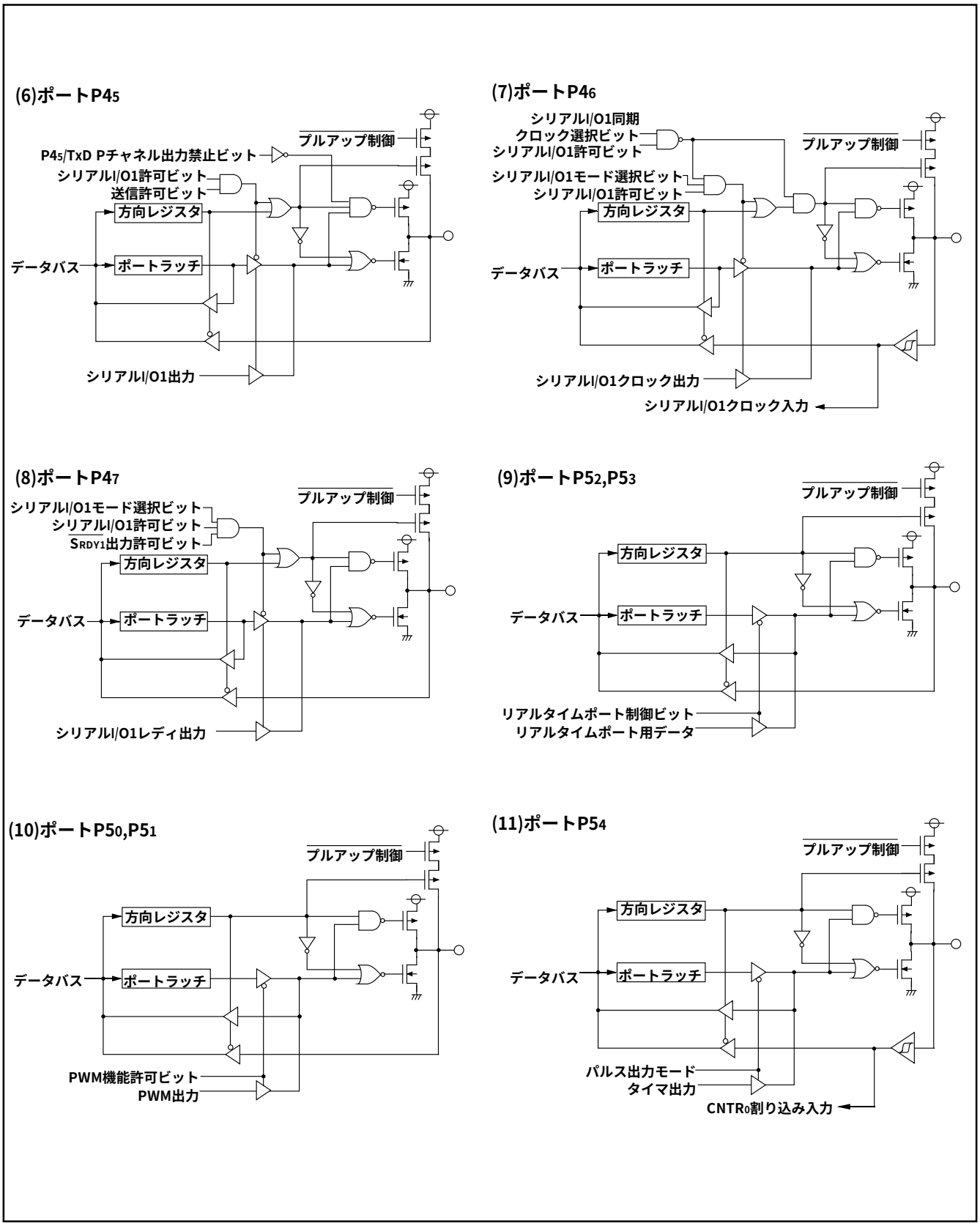


図15．ポートのブロック図（2）

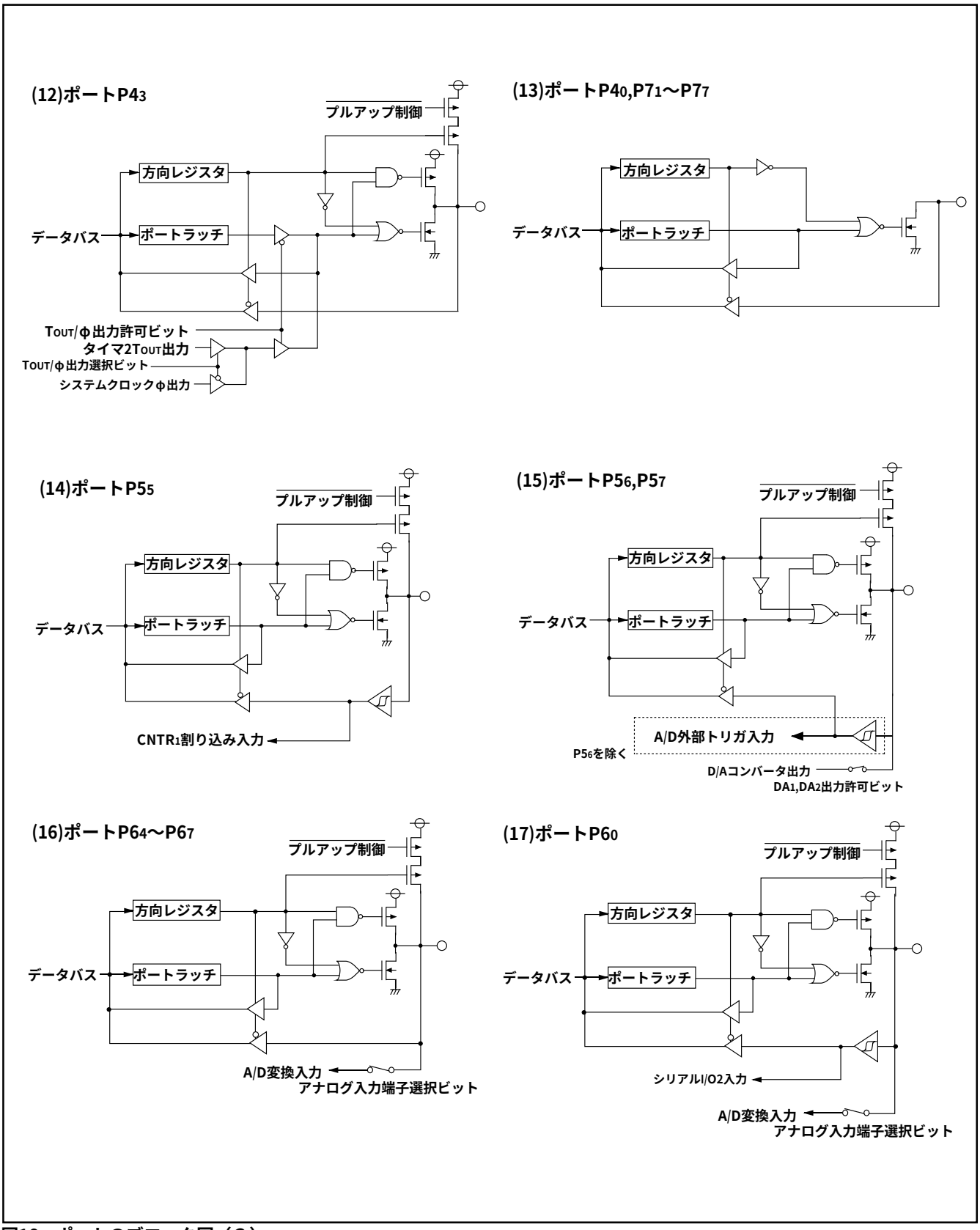


図16．ポートのブロック図（3）

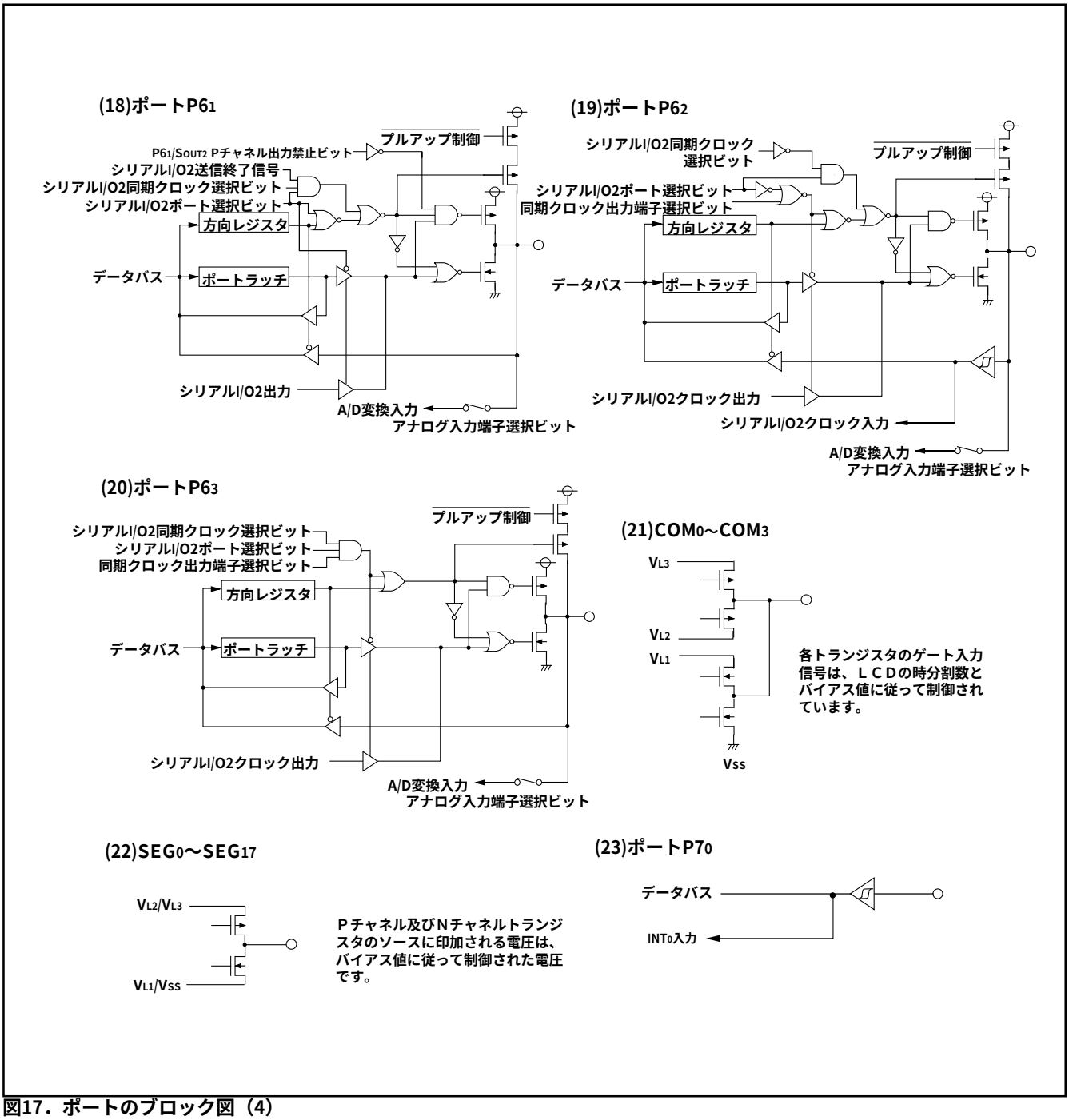


図17．ポートのブロック図（4）

割り込み

割り込みは、外部7要因、内部9要因、ソフトウェア1要因の17要因あります。割り込み要求を受け付けると、ベクトル番地内に設定されている割り込み飛び先番地に分岐します（表8参照）。

•割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”で、かつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムで“0”にできますが、“1”にはできません。割り込み許可ビットはプログラムで“1”、“0”にできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込み要求は、割り込み禁止フラグが“1”のときは受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

•割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み飛び先番地がプログラムカウンタに入ります。
3. 割り込み禁止フラグが“1”になり、割り込み要求ビットが“0”になります。

表8. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地（注1）		割り込み要求発生条件	備　考
		上位	下位		
リセット（注2）	1	FFFD16	FFFC16	リセット時	ノンマスカブル
INT0	2	FFFB16	FFFA16	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み（極性プログラマブル）
INT1	3	FFF916	FFF816	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み（極性プログラマブル）
シリアルI/O1受信	4	FFF716	FFF616	シリアルI/O1データ受信終了時	シリアルI/O1選択時のみ有効
シリアルI/O1送信	5	FFF516	FFF416	シリアルI/O1送信シフト終了時又は送信バッファ空時	シリアルI/O1選択時のみ有効
タイマX	6	FFF316	FFF216	タイマXアンダフロー時	
タイマY	7	FFF116	FFF016	タイマYアンダフロー時	
タイマ2	8	FFEF16	FFEE16	タイマ2アンダフロー時	
タイマ3	9	FFED16	FFEC16	タイマ3アンダフロー時	
CNTR0	10	FFEB16	FFEA16	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み（極性プログラマブル）
CNTR1	11	FFE916	FFE816	CNTR1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み（極性プログラマブル）
タイマ1	12	FFE716	FFE616	タイマ1アンダフロー時	
INT2	13	FFE516	FFE416	INT2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み（極性プログラマブル）
シリアルI/O2	14	FFE316	FFE216	シリアルI/O2データ送受信終了時	シリアルI/O2選択時のみ有効
キー入力（キーオンウェイクアップ）	15	FFE116	FFE016	ポートP2（入力時）入力レベルの論理積の立ち下がり時	外部割り込み（立ち下がり有効）
ADT	16	FFDF16	FFDE16	ADT端子入力立ち下がりエッジ時	ADT割り込み選択時有効 外部割り込み（立ち下がり有効）
A/D変換				A/D変換終了時	A/D割り込み選択時有効
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスカブルソフトウェア割り込み

注1. ベクトル番地とは，割り込み飛び先番地の格納番地を示します。
2. リセットは割り込みではありません。リセットはすべての割り込みよりも優先されます。

■注意事項

次の場合、割り込み要求ビットが“1”になる場合があります。

・外部割り込みのアクティブエッジを切り替える際
　対象レジスタ：割り込みエッジ選択レジスタ(3A16番地)
　　タイマXモードレジスタ(2716番地)
　　タイマYモードレジスタ(2816番地)

・同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
　対象レジスタ：AD制御レジスタの割り込み要因選択ビット
　　（3416番地のビット6）

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

①該当する割り込み許可ビットを“0”(禁止)にする。
②割り込みエッジ選択ビット（極性切り替えビット）や割り込み要因選択ビットを設定する。
③一命令以上おいてから、該当する割り込み要求ビットを“0”にする。
④該当する割り込み許可ビットを“1”(許可)にする。

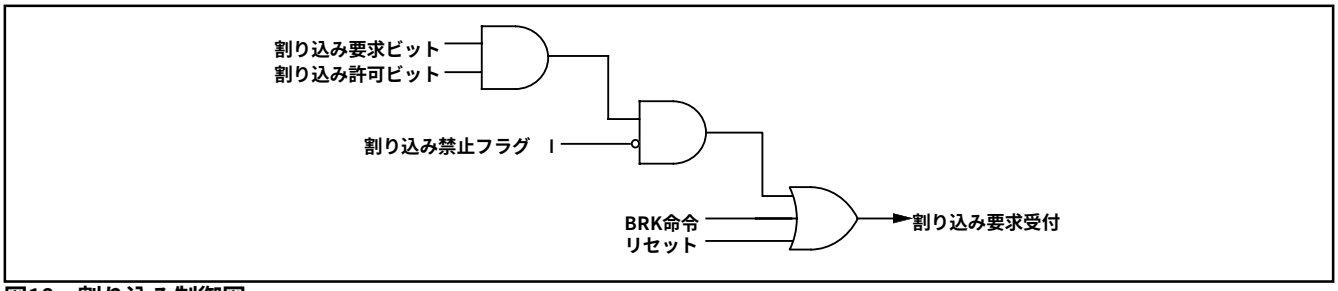


図18．割り込み制御図

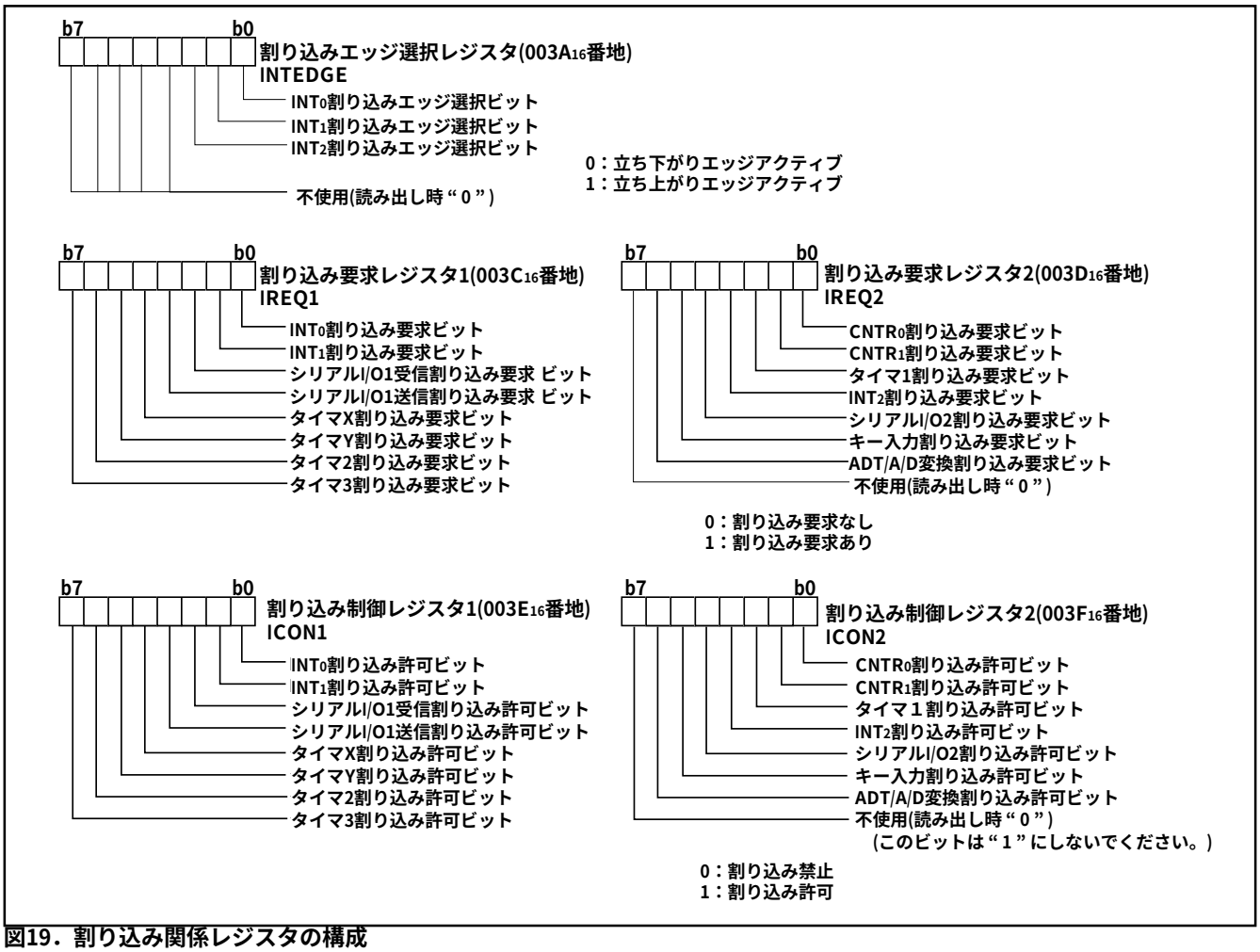


図19．割り込み関係レジスタの構成

キー入力割り込み(キーオンウェイクアップ)

ポートP2のうちキー入力割り込みを許可しているポート（入力モードに設定、かつキー入力制御レジスタの対応するビットが“1”のポート）に“L”を入力すると、すなわち入力レベルの論理積が“1”から“0”になると、キー入力割り込み要求が発生します。図20はキー入力割り込み使用時の結線例です。ポートP20～P23を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込み要求が発生します。

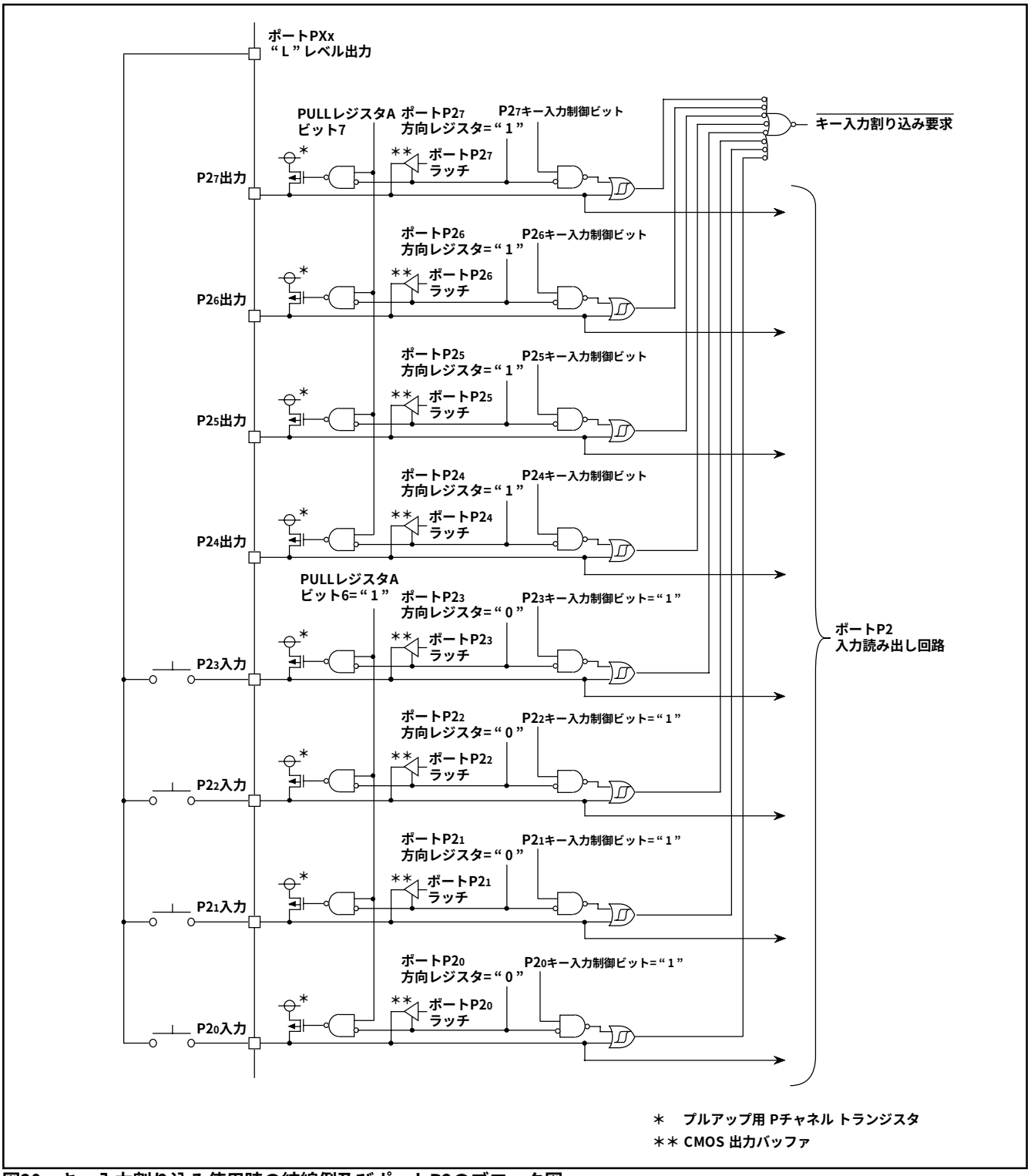


図20．キー入力割り込み使用時の結線例及びポートP2のブロック図

キー入力割り込みは、キー入力制御レジスタとポートの方向レジスタによって制御されます。キー入力割り込みを許可するときは、キー入力制御ビットを“1”にしてください。ポートP20～P27のうち、入力モードに設定されている端子からキー入力が受け付けられます。

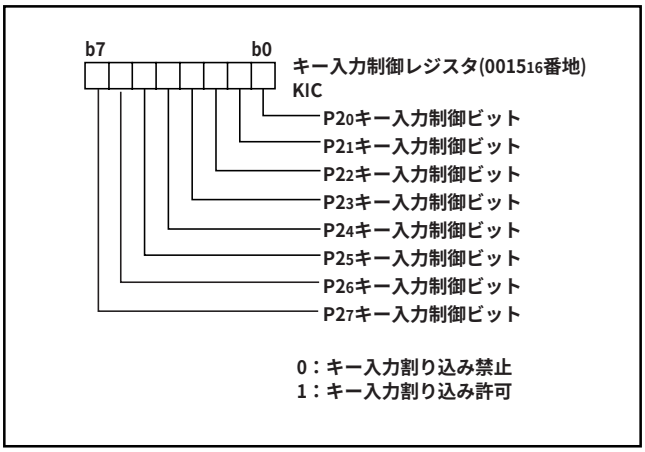


図21．キー入力制御レジスタの構成

タイマ

タイマはタイマX、タイマYの16ビットタイマ2本と、タイマ1、タイマ2、タイマ3の8ビットタイマ3本があります。

タイマはすべてカウントダウン方式で、タイマの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”になります。

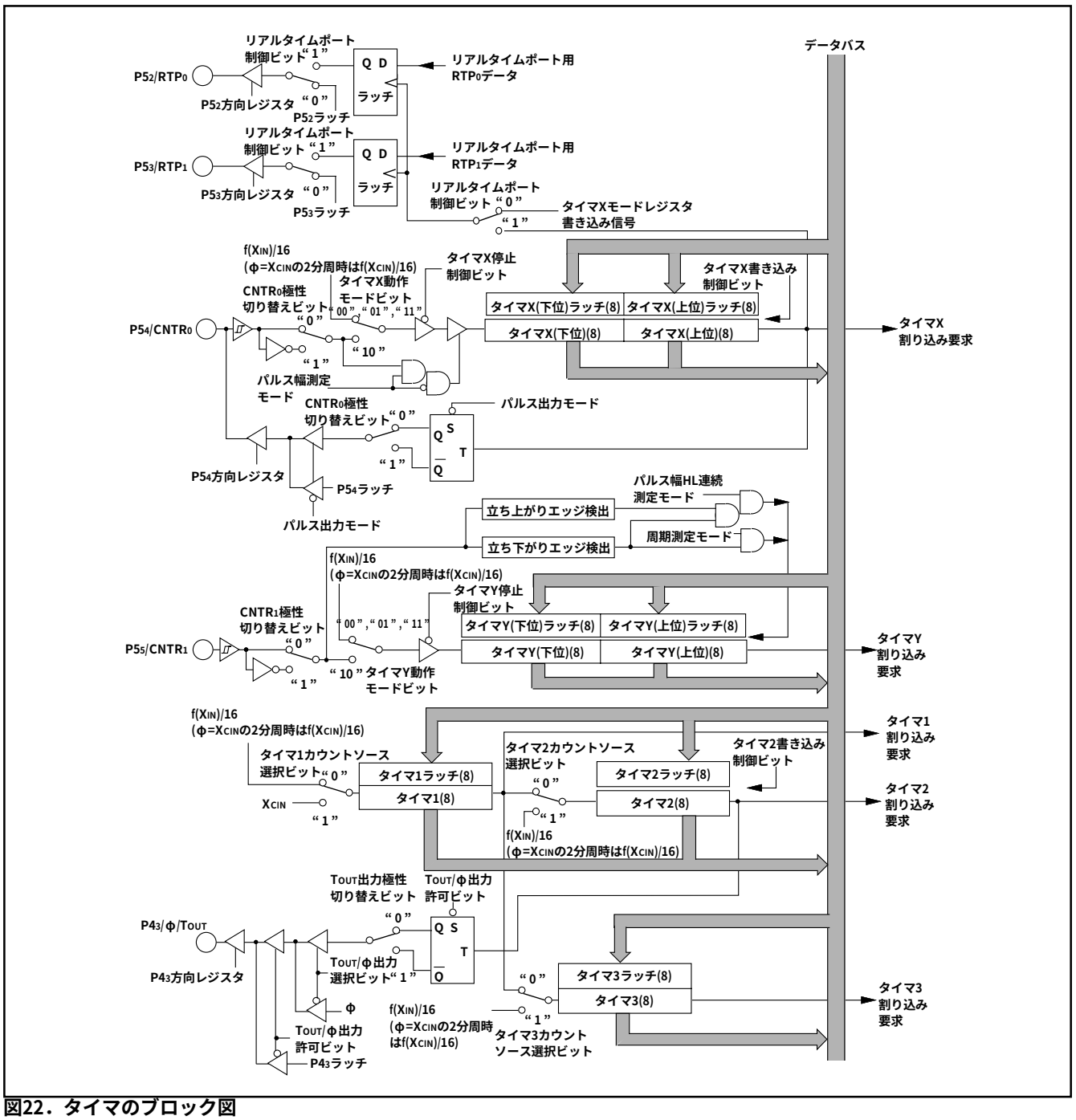


図22．タイマのブロック図

●タイマX

タイマXは16ビットタイマで、タイマラッチを備えています。タイマラッチの内容をnとすると、タイマの分周比は1/(n+1)になります。タイマはカウントダウン方式です。タイマの内容が“ 0000_{16} ”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びタイマに転送し、カウントを続行します。また、タイマがアンダフローすると、タイマX割り込み要求ビットが“ 1 ”になります。

タイマXは、タイマXモードレジスタにより4つの動作モードを選択できます。また、タイマX書き込み制御及びリアルタイムポート制御ができます。

(1) タイマモード

f(X_{IN})/16（低速モード時はf(X_{CIN})/16）の周波数をカウントします。

(2) パルス出力モード

タイマがアンダフローするたびに極性の反転するパルスを$CNTR_0$端子から出力することを除けば、タイマモードと同じ動作をします。このモードでは、$P5_4$/$CNTR_0$端子を出力モード（ポートP5方向レジスタのビット4を“ 1 ”）にしてください。

(3) イベントカウンタモード

$CNTR_0$端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードでは、$P5_4$/$CNTR_0$端子を入力モード（ポートP5方向レジスタのビット4を“ 0 ”）にしてください。

(4) パルス幅測定モード

カウントソースはf(X_{IN})/16（低速モード時は f(X_{CIN})/16）です。$CNTR_0$極性切り替えビットが“ 0 ”の場合は、$CNTR_0$端子の入力が“ H ”の期間カウントします。“ 1 ”の場合は$CNTR_0$端子の入力が“ L ”の期間カウントします。このモードでは、$P5_4$/$CNTR_0$端子を入力モード（ポートP5方向レジスタのビット4を“ 0 ”）にしてください。

・タイマX上位、下位レジスタへの読み書き

タイマX上位、下位レジスタに読み書きする場合は必ず上位レジスタ、下位レジスタともに読み書きしてください。タイマ値を読む場合は上位レジスタ、下位レジスタの順に読み出し、値を書く場合は下位レジスタ、上位レジスタの順に書いてください。なお、次の操作を行うと正常な動作を行いません。

- ・タイマX下位レジスタの読み出し前の上位又は下位への書き込み操作
- ・タイマX上位レジスタの書き込み前の上位又は下位からの読み出し操作

・タイマX書き込み制御

タイマXはタイマXモードレジスタ（0027_{16}番地）のタイマX書き込み制御ビット（b0）によってラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。ラッチのみ書き込みを選択時、タイマXレジスタに値を書くとタイマラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット後はラッチ及びタイマへの同時書き込みになっており、タイマXレジスタに値を書くと、タイマとタイマラッチに同時に値が設定されます。タイマXはカウント動作中、停止中とも同じ動作をします。

なお、ラッチのみ書き込みの場合、タイマXのアンダフロー時にタイマX上位レジスタに値を書くと、タイマXとタイマXラッチに同時に値が設定されます。この際、上位側タイマに設定される値が不定になることがあります。

・リアルタイムポート制御

リアルタイムポート機能有効時、タイマXがアンダフローするたびに、リアルタイムポート用データがそれぞれポート$P5_2$、$P5_3$から出力されます。（ただし、リアルタイムポート用データを設定した後、リアルタイムポート制御ビットを“ 0 ”から“ 1 ”に変更したときには、タイマXの動作にかかわらずデータが出力されます。）リアルタイムポート機能有効時にリアルタイムポート用データを変更すると、次のタイマXのアンダフローで、変更後の値が出力されます。

この機能を使用するときは$P5_2$/RTP_0端子、$P5_3$/RTP_1端子を出力モード（ポートP5方向レジスタのビット2、ビット3をそれぞれ“ 1 ”）にしてください。

■$CNTR_0$割り込み極性切り替えについての注意

$CNTR_0$極性切り替えビットの値は、$CNTR_0$割り込みのアクティブエッジにも影響します。

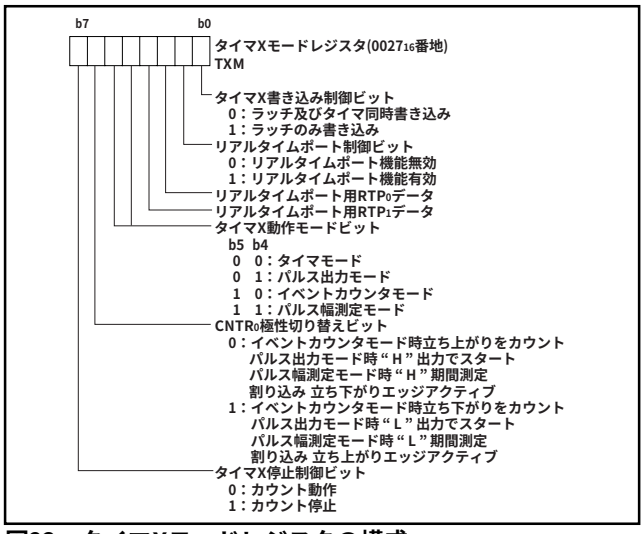


図23．タイマXモードレジスタの構成

●タイマY

タイマYは16ビットタイマで、タイマラッチを備えています。タイマラッチの内容をnとすると、タイマの分周比は1/(n+1)になります。タイマはカウントダウン方式です。タイマの内容が“ 0000_{16} ”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びタイマに転送し、カウントを続行します。また、タイマがアンダフローすると、タイマY割り込み要求ビットが“ 1 ”になります。

タイマYは、タイマYモードレジスタにより4つの動作モードを選択できます。

(1) タイマモード

f(XIN)/16（低速モード時はf(XCIN)/16）の周波数をカウントします。

(2) 周期測定モード

CNTR1端子入力の立ち上がり、又は立ち下がりで割り込み要求が発生し、ラッチの内容を再びタイマに転送してカウントを続けることを除けば、タイマモードと同じ動作をします。CNTR1端子入力の立ち上がり又は立ち下がり時の再転送直前のタイマ値は、次の有効エッジが入力されるまで保持されます。なお、CNTR1端子入力の立ち上がり又は立ち下がりタイミングは、CNTR1割り込みで判別できます。このモードではP55/CNTR1端子を入力モード（ポートP5方向レジスタのビット5を“ 0 ”）にしてください。

(3) イベントカウンタモード

CNTR1端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではP55/CNTR1端子を入力モード（ポートP5方向レジスタのビット5を“ 0 ”）にしてください。

(4) パルス幅HL連続測定モード

CNTR1端子入力の立ち上がり、立ち下がりとも割り込み要求が発生することを除けば、周期測定モードと同じ動作をします。このモードではP55/CNTR1端子を入力モード（ポートP5方向レジスタのビット5を“ 0 ”）にしてください。

■CNTR1割り込み極性切り替えについての注意

CNTR1極性切り替えビットの値は、CNTR1割り込みのアクティブエッジにも影響します。ただし、パルス幅HL連続測定モードの場合はCNTR1極性切り替えビットの値にかかわらず、立ち上がり、立ち下がりエッジ共にCNTR1割り込み要求が発生します。

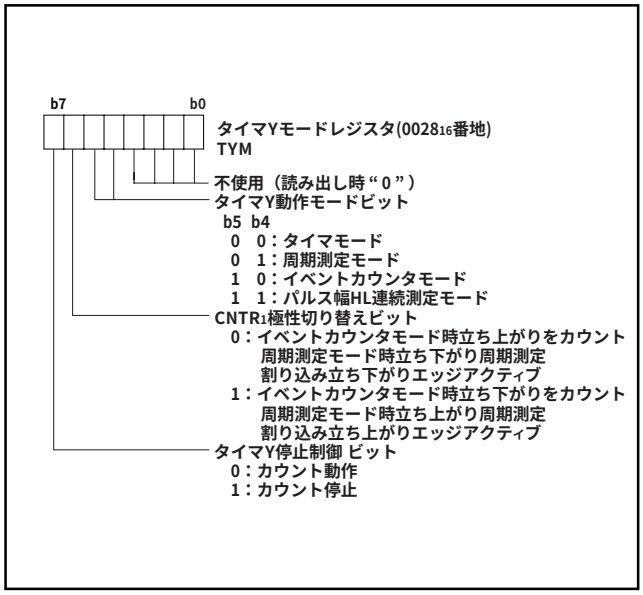


図24．タイマYモードレジスタの構成

●タイマ1、タイマ2、タイマ3

タイマ1～3は8ビットのタイマで、それぞれタイマラッチを備えています。タイマ123モードレジスタにより、カウントソースの選択などができます。

タイマラッチの内容をnとすると、タイマの分周比は1/(n+1)になります。タイマはカウントダウン方式です。タイマの内容が“ 00_{16} ”になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びタイマに転送し、カウントを続行します。また、タイマがアンダフローすると、各タイマに対応する割り込み要求ビットが“ 1 ”になります。

タイマ1レジスタ、タイマ3レジスタに値を書くと、タイマラッチ及びタイマに同時に値が設定されます。タイマ1レジスタ、タイマ2レジスタ、タイマ3レジスタを読むと、タイマのカウント値が読めます。

・タイマ2書き込み制御

タイマ2はタイマ123モードレジスタ（0029_{16}番地）のタイマ2書き込み制御ビット（b2）によってラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。ラッチのみ書き込みを選択時、タイマ2レジスタに値を書くとタイマ2ラッチに値が設定され、タイマ2は次のアンダフローで更新されます。リセット後はラッチ及びタイマへの同時書き込みになっており、タイマ2レジスタに値を書くとタイマ2とタイマ2ラッチに同時に値が設定されます。

なお、ラッチのみ書き込みの場合、タイマ2のアンダフロー時にタイマ2レジスタに値を書くと、タイマ2とタイマ2ラッチに同時に値が設定されます。

・タイマ2出力制御

TOUT/φ出力許可ビットとTOUT/φ出力選択ビットにより、タイマ2（TOUT）出力を許可にすると、タイマ2がアンダフローするたびに極性の反転する信号がTOUT端子から出力されます。この場合、P43/φ/TOUT端子を出力モード（ポートP4方向レジスタのビット3を“ 1 ”）にしてください。

■タイマ1～タイマ3注意事項

タイマ1～タイマ3のカウントソースを切り替えるとき、カウント入力に細いパルスが生じてタイマのカウント値が不定になることがあります。また、タイマ2又はタイマ3のカウントソースとしてタイマ1出力を選択している場合、タイマ1に書き込みを行うときに出力に細いパルスが生じて、タイマ2又はタイマ3のカウント値が不定になることがあります。

したがって、タイマ1～タイマ3のカウントソースを設定した後、タイマ1から順に値を設定してください。

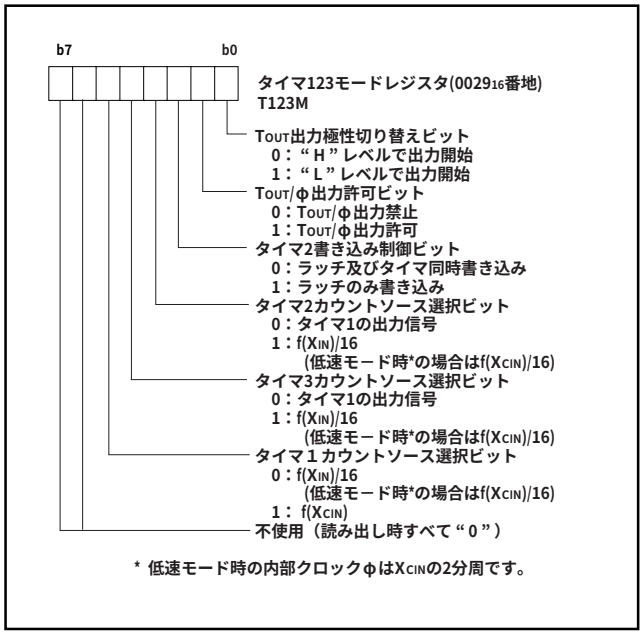


図25．タイマ123モードレジスタの構成

シリアルインタフェース

●シリアルI/O1

シリアルI/O1はクロック同期形、非同期形（UART）のどちらでも動作できます。また、シリアルI/O1動作時のボーレート発生専用タイマ（ボーレートジェネレータ）を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビットを“1”にすると、クロック同期形シリアルI/Oモードになります。

クロック同期形シリアルI/Oモードでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。

動作クロックとして内部クロックを選択時、送信バッファレジスタへの書き込み信号によって、送信又は受信が開始されます。

動作クロックとして外部クロックを選択時、送信バッファレジスタへの書き込み信号によって、送信又は受信ができる状態になります。外部クロックが入力されると送受信が開始されます。

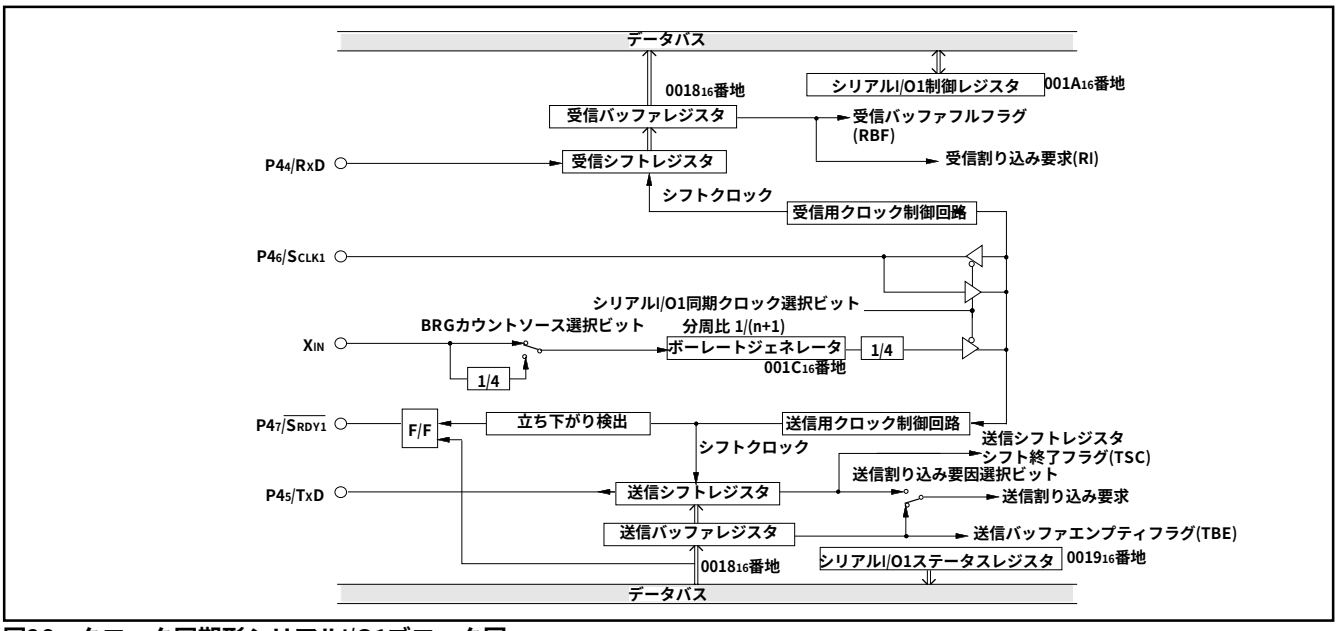
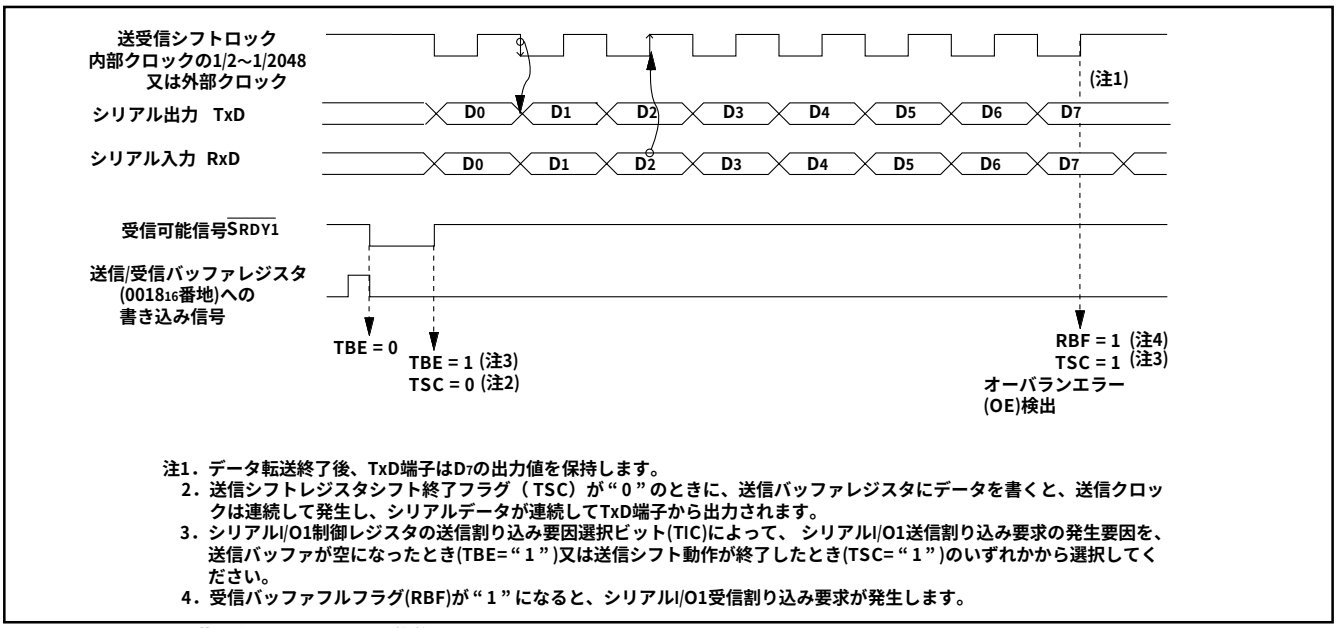


図26．クロック同期形シリアルI/O1ブロック図



注1．データ転送終了後、TxD端子はD₇の出力値を保持します。
2．送信シフトレジスタシフト終了フラグ（TSC）が“0”のときに、送信バッファレジスタにデータを書くと、送信クロックは連続して発生し、シリアルデータが連続してTxD端子から出力されます。
3．シリアルI/O1制御レジスタの送信割り込み要因選択ビット(TIC)によって、シリアルI/O1送信割り込み要求の発生要因を、送信バッファが空になったとき(TBE=“1”)又は送信シフト動作が終了したとき(TSC=“1”)のいずれかから選択してください。
4．受信バッファフルフラグ(RBF)が“1”になると、シリアルI/O1受信割り込み要求が発生します。

図27．クロック同期形シリアルI/O1動作図

(2)　非同期形シリアルI/O（UART）モード

シリアルI/O1制御レジスタのシリアルI/O1モード選択ビットを“0”にすると、UARTモードになります。

8つのシリアルデータ転送フォーマットが選択できます。この転送フォーマットは送受信間で統一してください。

シリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタを備えています（メモリ上の番地は0018_{16}番地で同一）。シフトレジスタは直接読み書きできません。送信データの書き込み、受信データの読み出しはバッファレジスタに対して行われるため、送信中に次に送信するデータを書いておいたり、2バイトのデータを連続して受信できます。

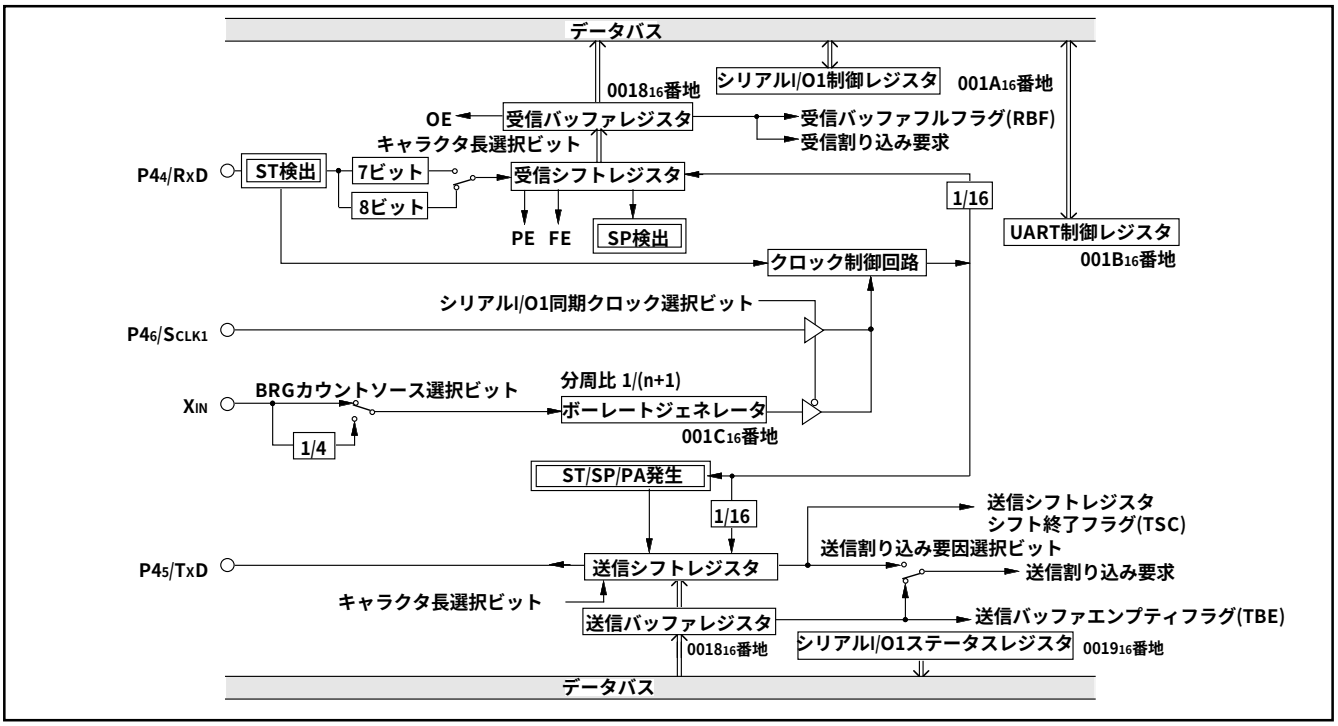
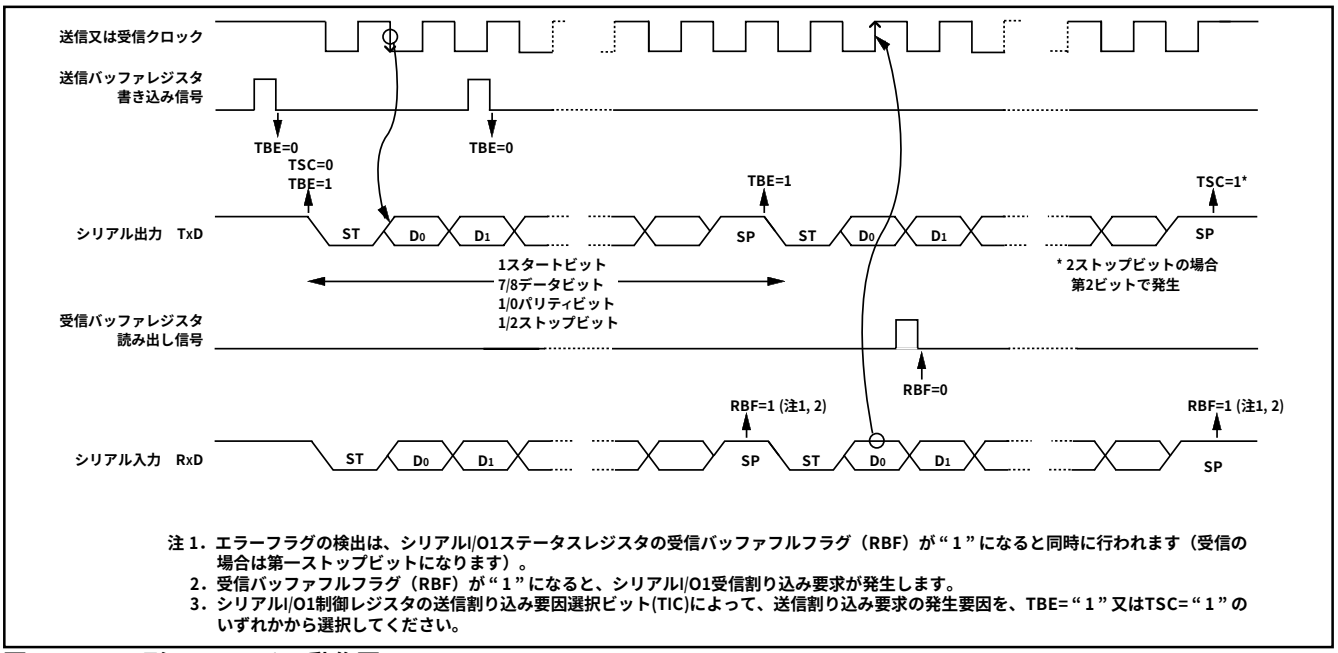


図28．UART形シリアルI/O1ブロック図



注 1．エラーフラグの検出は、シリアルI/O1ステータスレジスタの受信バッファフルフラグ（RBF）が“1”になると同時に行われます（受信の場合は第一ストップビットになります）。
2．受信バッファフルフラグ（RBF）が“1”になると、シリアルI/O1受信割り込み要求が発生します。
3．シリアルI/O1制御レジスタの送信割り込み要因選択ビット(TIC)によって、送信割り込み要求の発生要因を、TBE=“1”又はTSC=“1”のいずれかから選択してください。

図29．UART形シリアルI/O1動作図

【送信バッファレジスタ/受信バッファレジスタ】 TB/RB

送信バッファレジスタと受信バッファレジスタは同じ番地に配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】 SIO1STS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読むと、“0”になります。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグが“1”になると同時に行われます。シリアルI/O1ステータスレジスタへの書き込み信号で、すべてのエラーフラグ（OE, PE, FE, SE）が“0”になります。また、シリアルI/O1許可ビット(SIOE)に“0”を書くと、エラーフラグを含むすべてのステータスフラグが“0”になります。

このレジスタのすべてのビットはリセット時“0”になります。シリアルI/O1制御レジスタの送信許可ビットを“1”にすると、ビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】 SIO1CON

シリアルI/O1制御レジスタはシリアルI/O1の各種設定を行うビットで構成されています。

【UART制御レジスタ】 UARTCON

UART制御レジスタは、UARTモード時の送受信データフォーマット、$P4_5$/TxD端子の出力形式を選択するビットで構成されています。

【ボーレートジェネレータ】 BRG

リロードレジスタを備えた8ビットのカウンタです。BRGカウントソースの分周値を設定してください。

設定値をnとすると、BRGカウントソースを(n+1)分周します。

■シリアルI/O注意事項

シリアルI/O1の送信許可ビットを“1”にしたとき、シリアルI/O1送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

①シリアルI/O1送信割り込み許可ビットを“0”（禁止）にする。
②送信許可ビットを“1”にする。
③一命令以上おいてから、シリアルI/O1送信割り込み要求ビットを“0”にする。
④シリアルI/O1送信割り込み許可ビットを“1”（許可）にする。

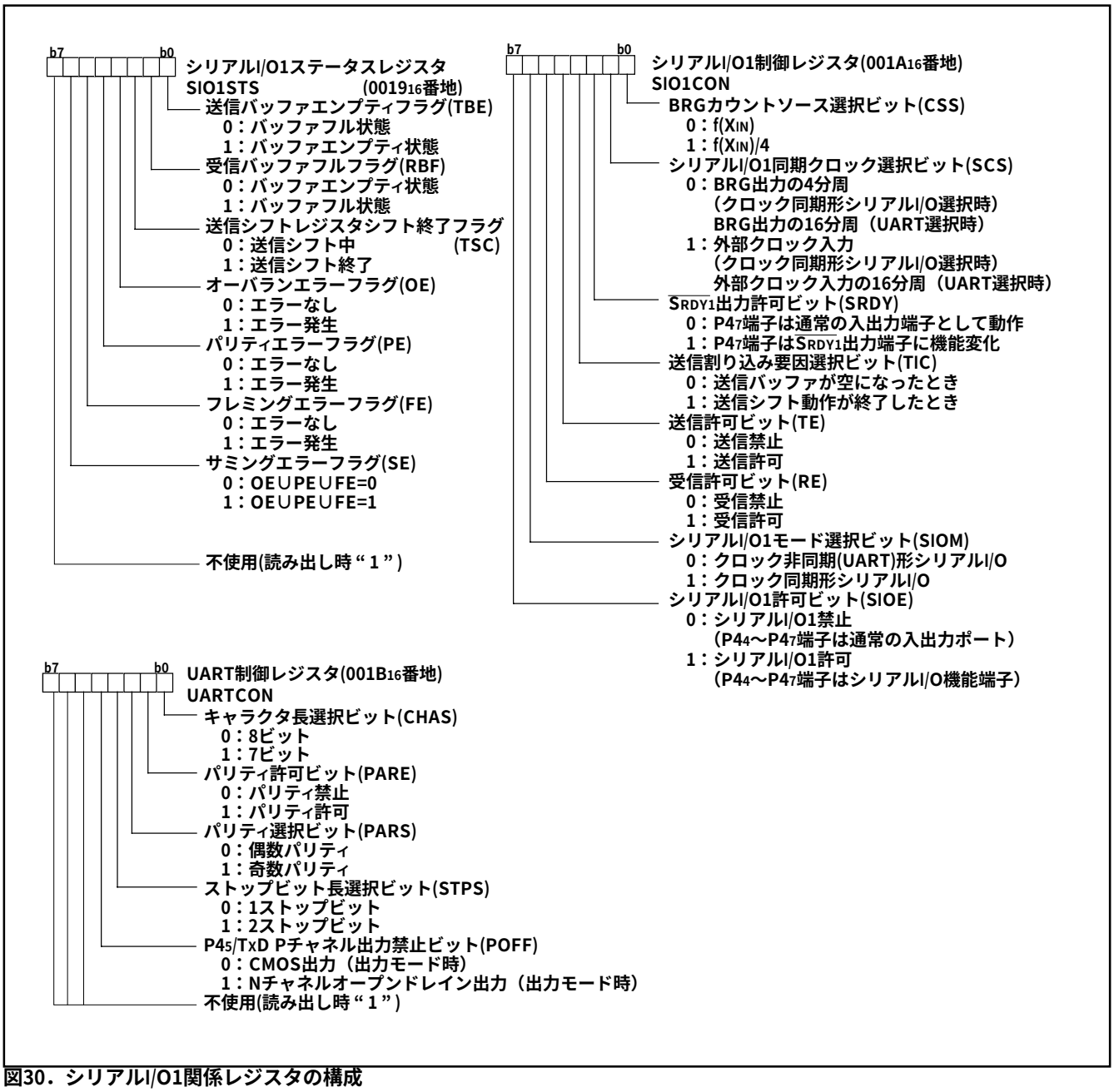


図30．シリアルI/O1関係レジスタの構成

●シリアルI/O2

シリアルI/O2はクロック同期形としてのみ動作できます。

シリアルI/O2は、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。

動作クロックとして内部クロックを選択時、シリアルI/O2レジスタへの書き込み信号によって、シリアルI/O2が初期化され、送受信が開始されます。

動作クロックとして外部クロックを選択時、シリアルI/O2レジスタへの書き込み信号によって、シリアルI/O2カウンタが初期化され、送受信できる状態になります。外部クロックが入力されると送受信が開始されます。なお、動作クロックとして外部クロックを選択時のシリアルI/O2レジスタへの書き込みは、SCLK21が“H”の状態で行ってください。

また、同期クロックの出力端子としてP62/SCLK21、P63/SCLK22のいずれかを選択できます。この場合、同期クロックの出力として選択されていない端子は入出力ポートとして機能します。

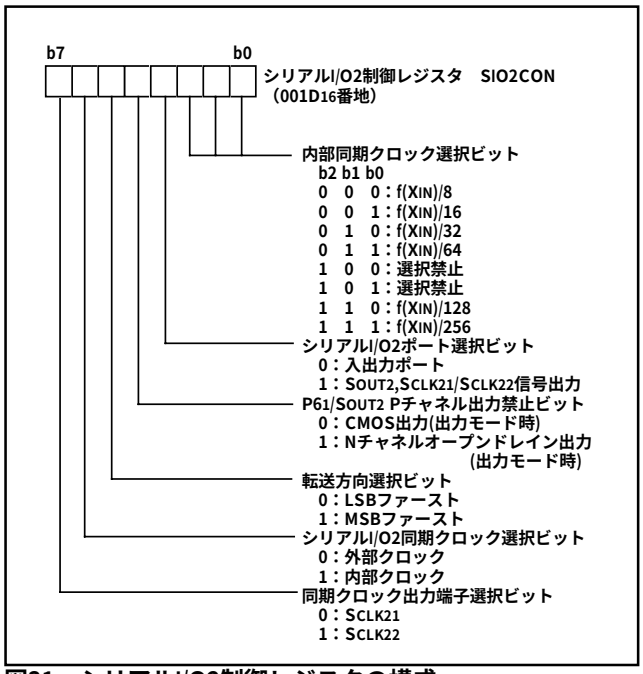


図31．シリアルI/O2制御レジスタの構成

【シリアルI/O2制御レジスタ】　SIO2CON

シリアルI/O2制御レジスタは、シリアルI/O2の各種設定を行うビットで構成されています。このレジスタを設定した後、シリアルI/O2レジスタにデータを書き、送受信を開始してください。

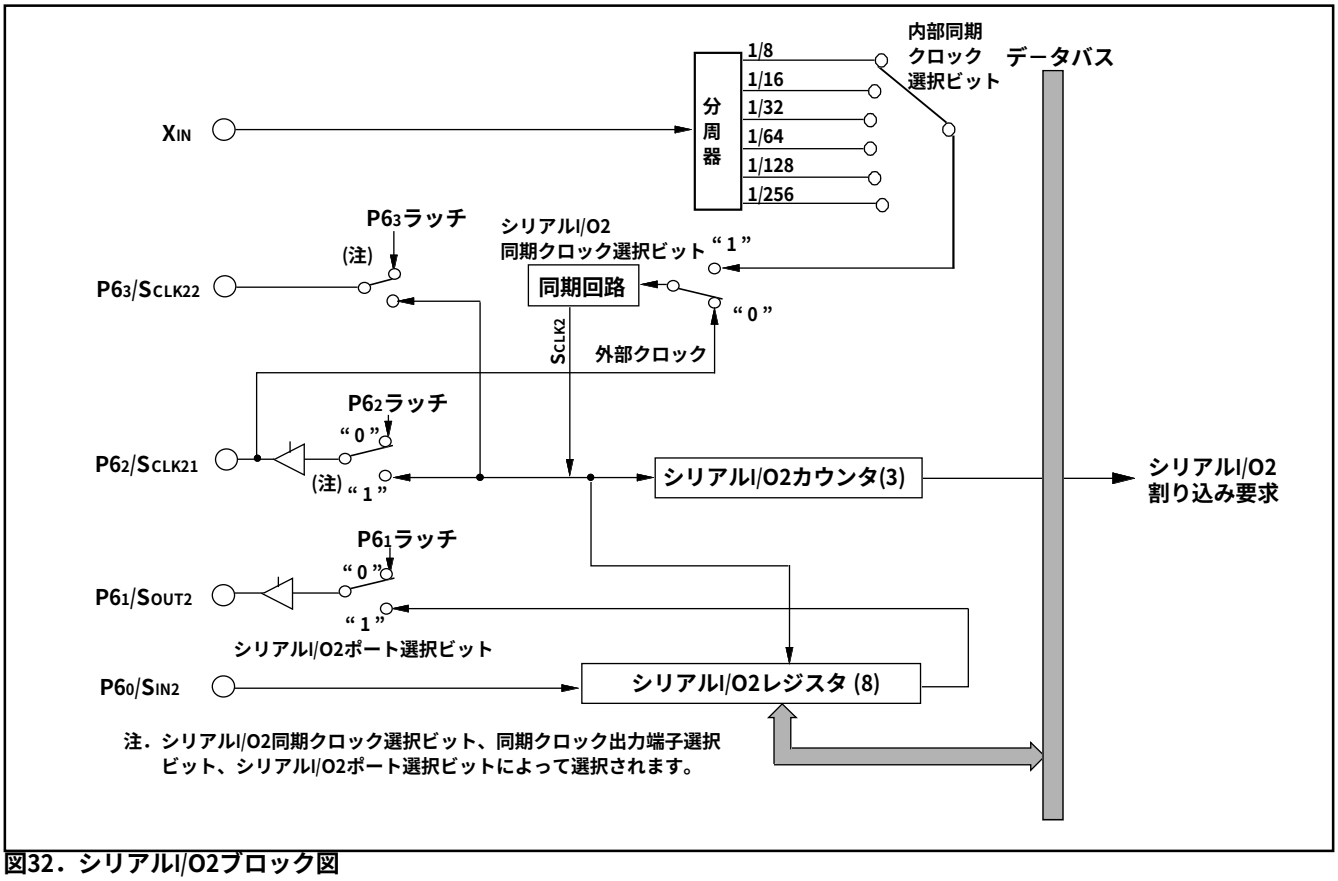


図32．シリアルI/O2ブロック図

・シリアルI/O2の動作

シリアルI/O2レジスタへの書き込みで、シリアルI/O2カウンタが“7”に初期化されます。

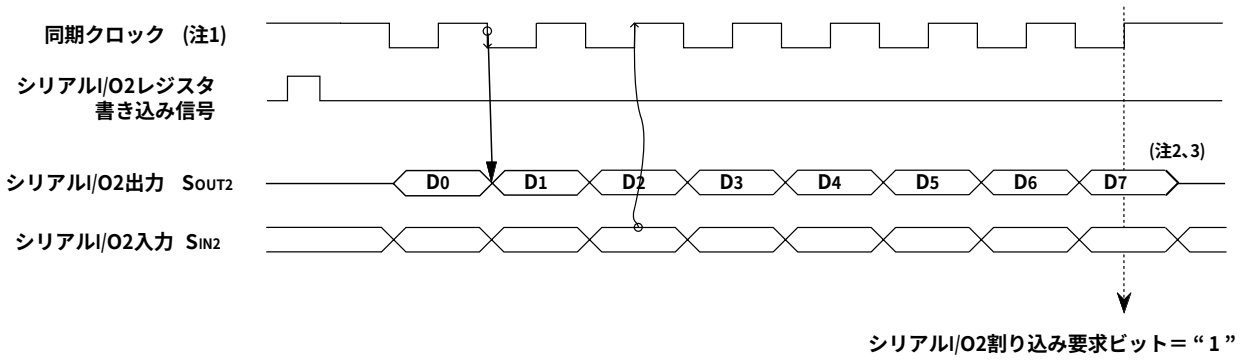
書き込み後、同期クロックが“H”から“L”に変化するたびに、SOUT2端子からデータが出力されます。また、同期クロックが“L”から“H”に変化するたびにSIN2端子からデータが取り込まれ、同時にシリアルI/O2レジスタが1ビットシフトされます。

同期クロックとして内部クロックを選択している場合、同期クロックを8回カウントすると次のようになります。

・シリアルI/O2カウンタ＝“0”
・同期クロックは“H”で停止
・シリアルI/O2割り込み要求ビット＝“1”

また、転送終了後、SOUT2端子はハイインピーダンス状態になります。

同期クロックとして外部クロックを選択している場合、同期クロックを8回カウントするとシリアルI/O2割り込み要求ビットは“1”になり、SOUT2端子はD7の出力レベルを保持します。ただし、同期クロックが入力され続けると、シリアルI/O2レジスタのシフトは継続され、SOUT2端子から送信データが出力され続けます。



注1. 同期クロックとして内部クロックを選択している場合、シリアルI/O2制御レジスタのビット0～2によって、同期クロックをf(XIN)の何分周にするかを選択できます。
2. 同期クロックとして内部クロックを選択している場合、SOUT2端子は転送終了後ハイインピーダンス状態になります。
3. 同期クロックとして外部クロックを選択している場合、SOUT2端子は転送終了後、D7の出力レベルを保持します。ただし、同期クロックが入力され続けると、シリアルI/O2レジスタのシフトは継続され、SOUT2端子から送信データが出力され続けます。

図33．シリアルI/O2タイミング図

PWM出力回路（PWM：Pulse Width Modulation）

PWMは8ビットの分解能を持ち、カウントソースとしてf(XIN)又はf(XIN)/2のいずれかを選択できます。

・データの設定

PWMの出力端子はポートP50、P51と共用しています。PWMプリスケーラにPWM周期を、PWMレジスタに出力パルスの“H”期間を設定してください。

PWMカウントソースをf(XIN)とし、PWMプリスケーラの値をn、PWMレジスタの値をmとすると、次のようになります。（ただし、n＝0～255、m＝0～255です。）

$$\text{PWM周期} = \frac{255\times(n+1)}{f(X_{IN})}$$
$$= 31.875\times(n+1)\ \ \mu s\quad (f(X_{IN})=8\text{MHzの場合})$$

$$\text{出力パルスの“H”期間} = \frac{\text{PWM周期}\times m}{255}$$
$$= 0.125\times(n+1)\times m\ \ \mu s$$
$$(f(X_{IN})=8\text{MHzの場合})$$

・PWMの動作

PWM制御レジスタのビット1(PWM0機能許可ビット）又はビット2（PWM1機能許可ビット）のうち、いずれか一方又は両方を許可にすると、PWM出力は初期状態から動作を開始し、“H”から始まるパルスを出力します。一方のPWM出力を許可にした後、もう一方のPWM出力を許可にした場合、後から出力を許可したPWM出力はPWMの周期の途中から始まります（図37参照）。

PWM出力中にPWMレジスタ、PWMプリスケーラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

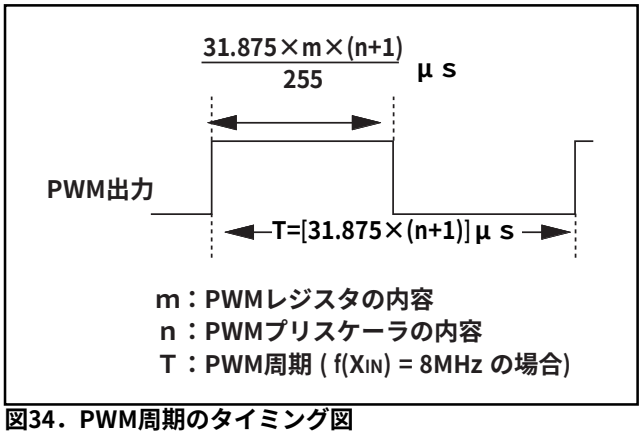


図34．PWM周期のタイミング図

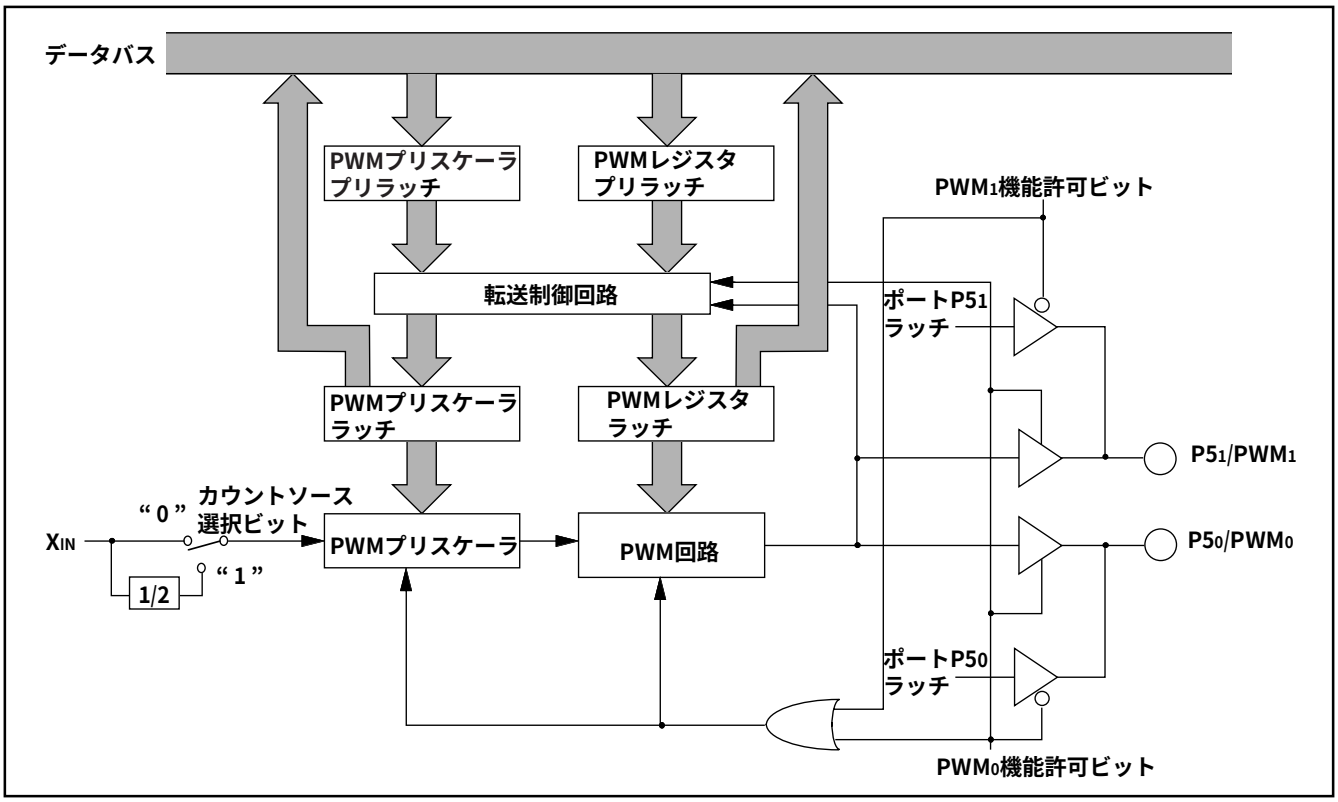


図35．PWMブロック図

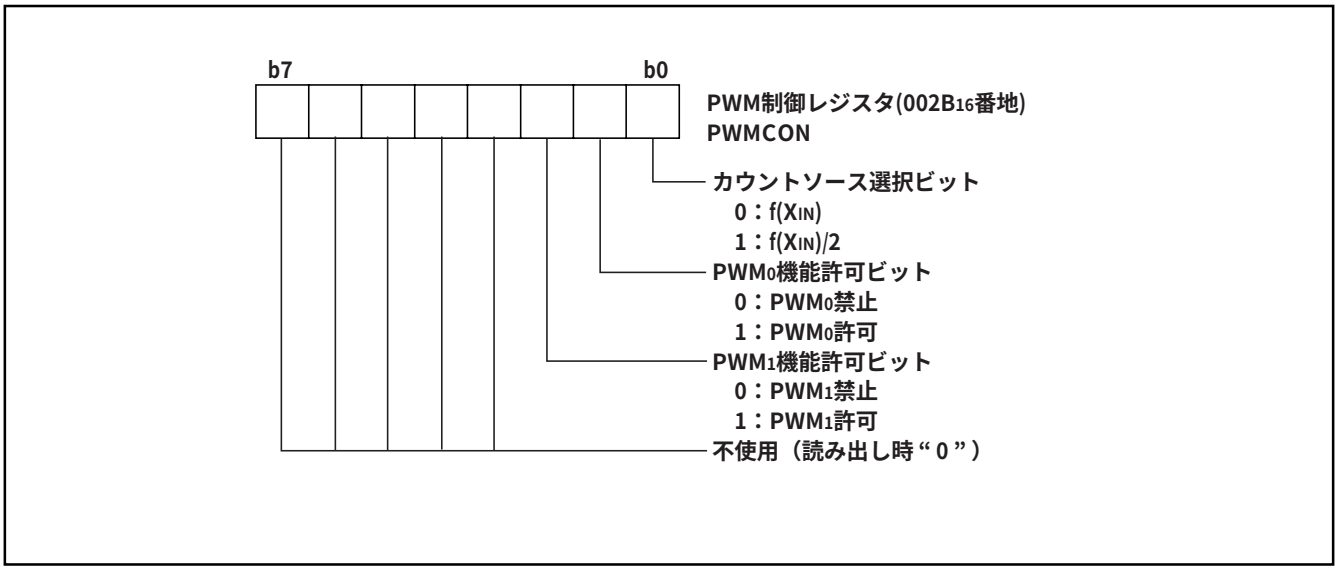


図36．PWM制御レジスタの構成

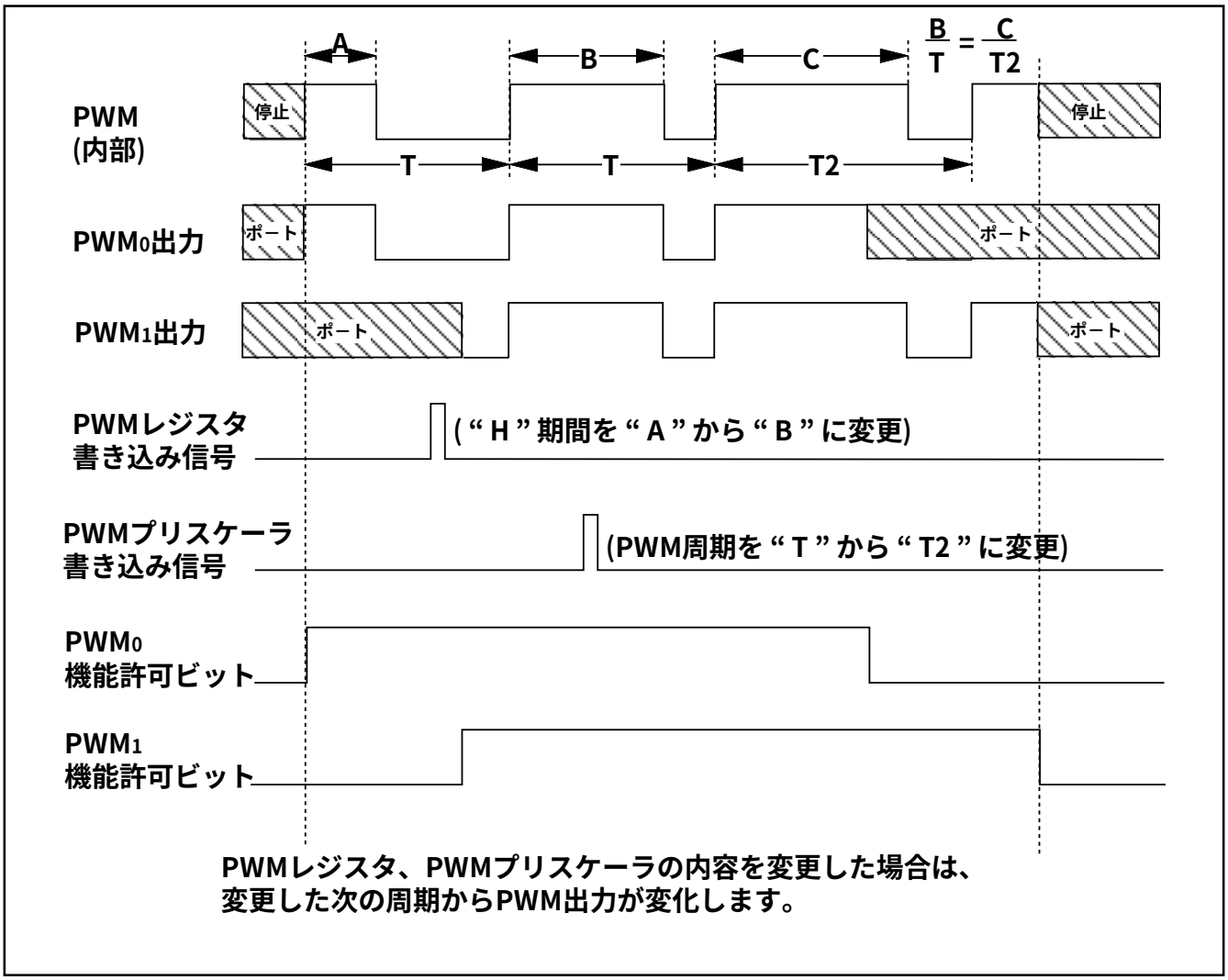


図37．PWMレジスタ及びPWMプリスケーラ変更時のPWM出力タイミング図

A/Dコンバータ

【AD変換レジスタ】 ADH,ADL

A/D変換結果が格納される読み出し専用のレジスタです。A/D変換中に、このレジスタを読むと、前回の変換結果が読まれます。変換結果は上位8ビットがAD変換上位レジスタ（0035$_{16}$番地）に、下位2ビットがAD変換下位レジスタ（0014$_{16}$番地）のビット7及びビット6に格納されます。

AD変換下位レジスタのビット0は、変換モード選択ビットです。このビットを“1”にすると8ビットA/Dモード、“0”にすると10ビットA/Dモードになります。

【AD制御レジスタ】 ADCON

A/Dコンバータの制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。ビット3はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書くと、A/D変換が開始されます。ビット4はVREF入力スイッチビットで、抵抗ラダーと基準電圧入力端子（VREF）の接続を制御します。このビットを“1”にすると、常に抵抗ラダーはVREFに接続されます。“0”にすると、A/D変換中以外、抵抗ラダーはVREFから切り離されます。ビット5はAD外部トリガ有効ビットで、このビットを“1”にすると、ADT入力の立ち下がりでもA/D変換を開始します。A/D外部トリガを使用する場合は、P5$_7$/ADT端子を入力モード（ポートP5方向レジスタのビット7を“0”）にしてください。

【比較電圧発生器】

AVSSとVREFの間の電圧を抵抗分割し、分圧を出力します。

【チャネルセレクタ】

ポートP6$_0$/AN$_0$～P6$_7$/AN$_7$のうち1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧を比較し、その結果がAD変換レジスタに格納されます。また、A/D変換終了時にAD変換終了ビット及びAD変換割り込み要求ビットは、“1”になります。

コンパレータは容量結合で構成されているため、A/D変換中はf(XIN)を500kHz以上にしてください。また、システムクロックφにはメインクロックf(XIN)を分周したクロックを使用してください。

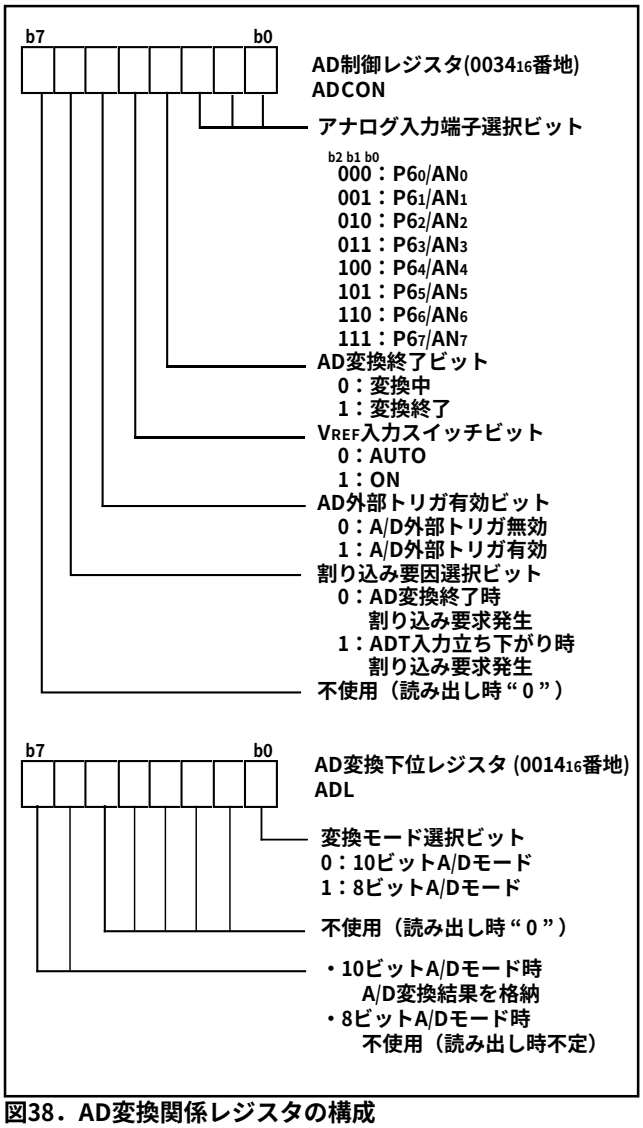


図38．AD変換関係レジスタの構成

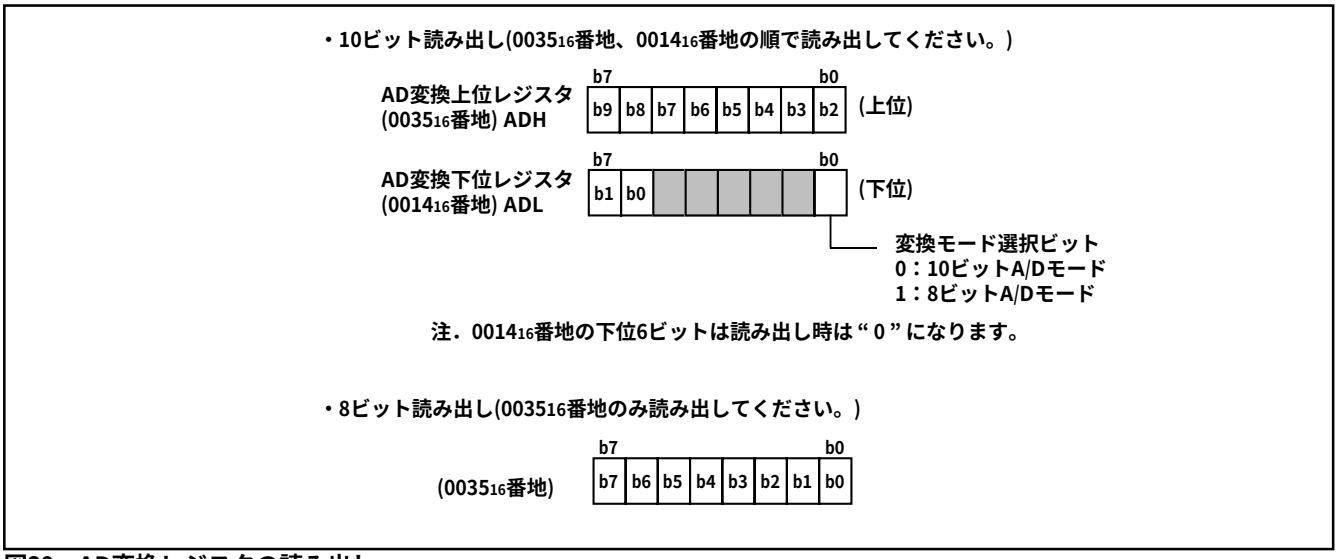


図39．AD変換レジスタの読み出し

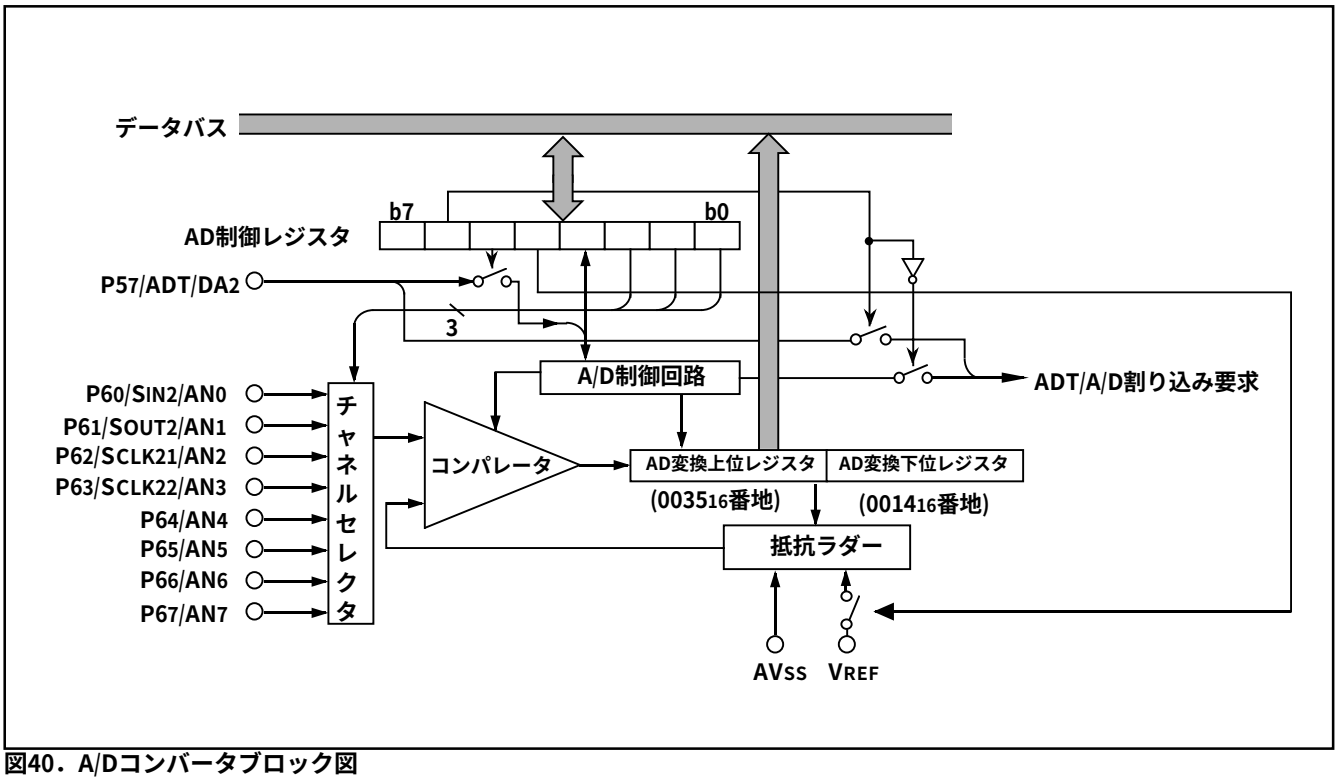


図40．A/Dコンバータブロック図

D/Aコンバータ

D/Aコンバータは分解能8ビットで、2チャネル（DA1、DA2）あります。

D/A変換はそれぞれDTMF/DA1選択ビット、及びCTCSS/DA2選択ビットを“0”にして、対応するDA変換レジスタに値を設定することによって行われます。それぞれDTMF/DA1出力許可ビットとCTCSS/DA2出力許可ビットを“1”にすることによって、D/A変換された結果はDA1、DA2端子から出力されます。このとき、あらかじめポートP57/DA2端子、P56/DA1端子は入力モード（ポートP5方向レジスタのビット7、ビット6を“0”）に、プルアップ抵抗はOFF状態に設定してください。

DA変換レジスタに設定した値n(nは10進数)とすると、出力されるアナログ電圧Vは次のようになります。

$$V = V_{REF} \times n/256 \ (n=0\sim255)$$

ただしVREFは基準電圧

DA変換レジスタはリセット時“00_{16}”になります。またリセット時、DTMF/DA1出力許可ビット及びCTCSS/DA2出力許可ビットも“0”になり、P56/DA1及びP57/DA2端子はハイインピーダンス状態になります。なお、D/Aコンバータはバッファを内蔵していないため、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。

VREF端子へ印加する電圧の注意事項

P56/DA1端子、P57/DA2端子を入出力ポートとして使用する場合は、VREF端子には必ずVCCレベルを印加してください。

同様に上記の両端子をD/A変換出力端子として使用する場合は、VREF端子への印加電圧はVCCレベルを推奨します。VCCレベル以下の電圧を印加した場合は、D/Aコンバータの精度がやや低下する可能性があります。

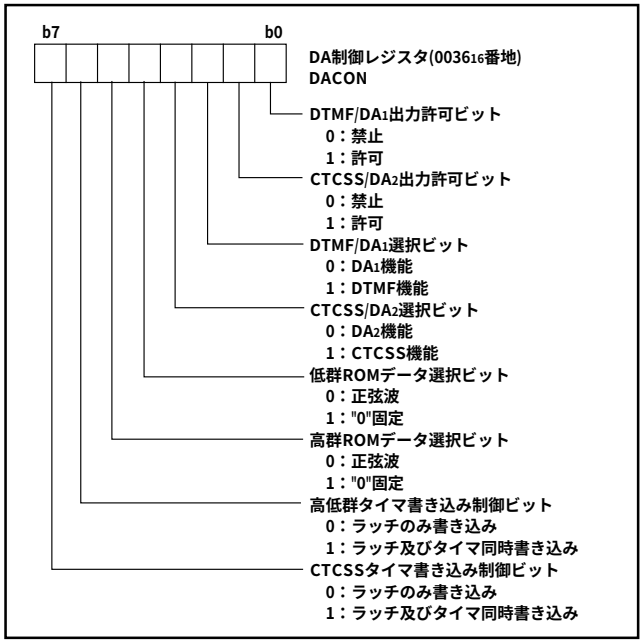


図41．DA制御レジスタの構成

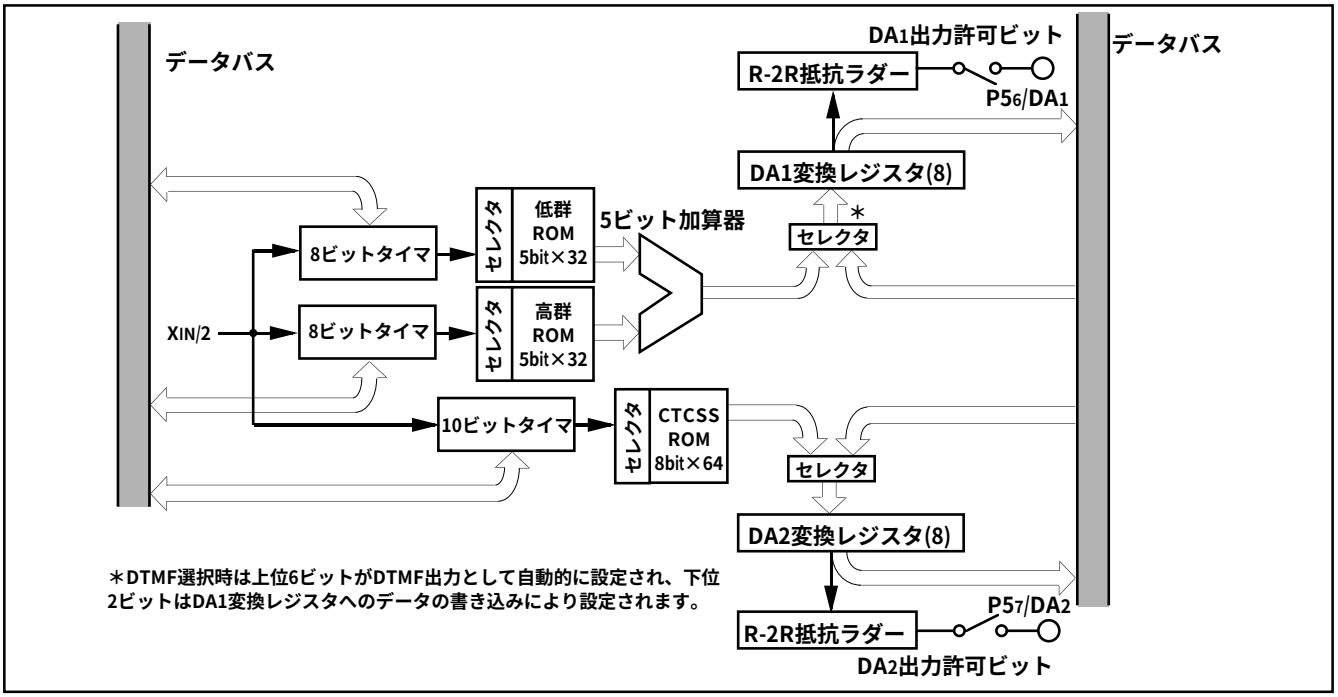


図42．D/Aコンバータブロック図

DTMF機能（Dual Tone Multi Frequency）

DTMF機能は、2種類の異なった周波数の正弦波の波形を発生させて、この2種類の正弦波を加算した結果をアナログ値として出力する機能です。

DTMF出力波形はDA1端子から出力できます。DTMF/DA1出力許可ビット（003616番地のビット0）を“1”（許可）にし、DTMF/DA1選択ビット（003616番地のビット2）を“1”にすることによって、DTMF波形が出力されます。このとき、P56/DA1端子は入力モード（ポートP5方向レジスタのビット6を“0”）に、プルアップ抵抗はOFF状態に、あらかじめ設定してください。

DTMF出力波形を生成する2種類の周波数を設定するには、それぞれDTMF高群用タイマとDTMF低群用タイマに値を書き込んでください。それぞれ上記タイマに設定した値をnとすると、

$$f = \frac{f(X_{IN})/2}{(n+1) \times 32} \ (\mathrm{Hz})$$

の周波数の正弦波を生成されます。DTMFタイマには高群タイマ、低群タイマとも“0616”以上の値を設定してください。リセット解除後は高群タイマ、低群タイマとも“0616”が自動的に設定されます。

高群、低群出力の一周期分のデジタル値は図43に示します。

DTMF出力は、6ビットのD-AデータとしてDA1変換レジスタの上位6ビットに自動的に入力されます。DA1変換レジスタの下位2ビットはDA1変換レジスタに書き込まれた値に固定されます。

また、DA制御レジスタのビット4を“1”にすることにより、高群の正弦波出力のみを出力できます。同様にDA制御レジスタのビット5を“1”にすることにより、低群の正弦波出力のみを出力できます。DTMF高群、低群タイマはDA制御レジスタのビット6を“1”にすることによって、ラッチ及びタイマ同時書き込みに変更することもできます。リセット解除後はラッチのみ書き込みの状態になっています。DTMF機能選択時、DA1変換レジスタを読むと、DTMF出力のデジタル値が読めます。

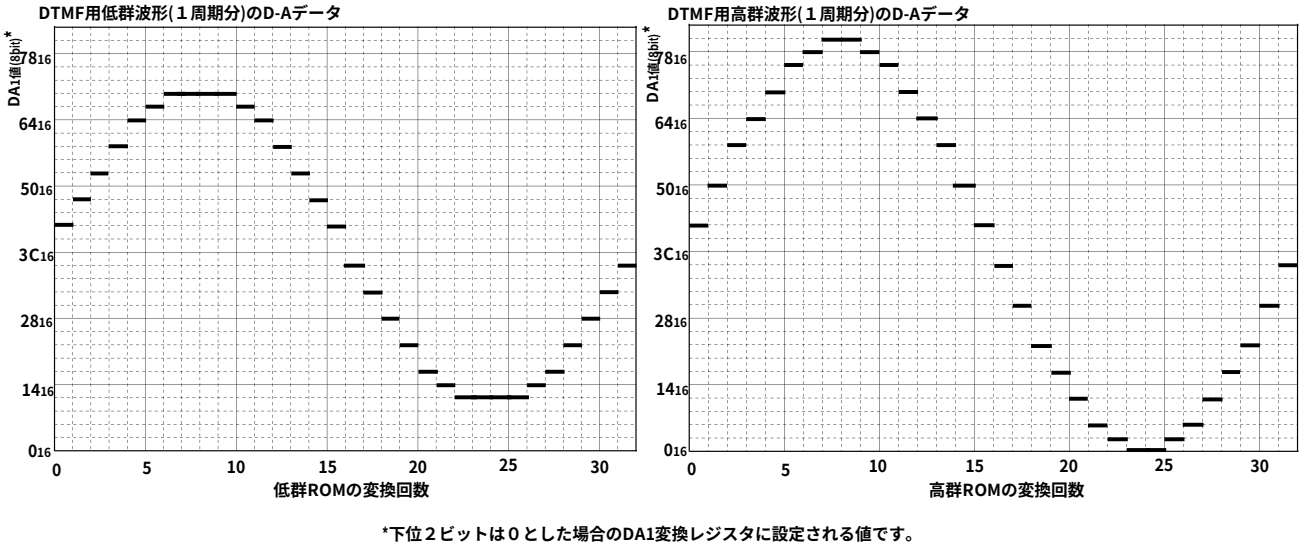


図43．高群、低群波形データ

低群周波数、高群周波数

低群周波数、高群周波数は以下に示す値です。

(1) 低群周波数

・697Hz
・770Hz
・852Hz
・941Hz

(2) 高群周波数

・1209Hz
・1336Hz
・1477Hz
・1633Hz

表9にf(XIN)=4MHz時のDTMF高群、低群タイマの設定値と周波数規格に対する偏差を示します。

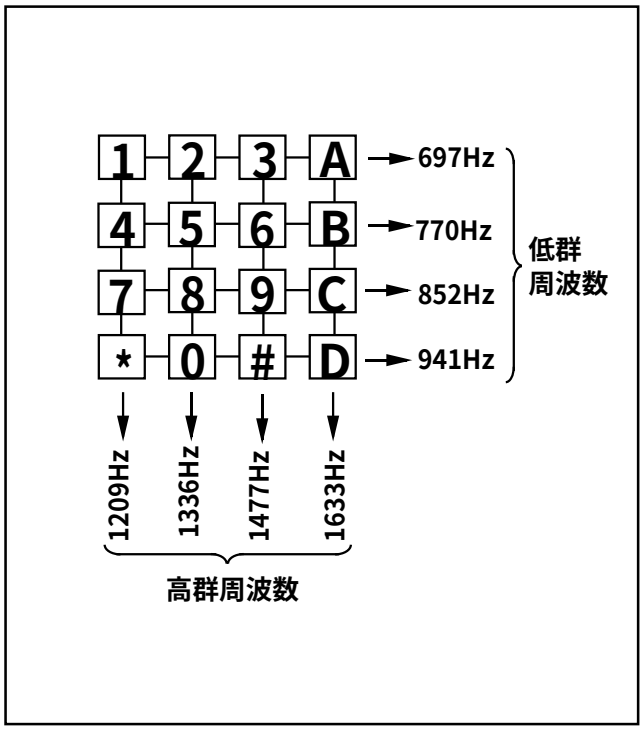


図44．電話機のキーマトリクスと規格周波数

表9．DTMF高群、低群タイマの周波数精度例（f(XIN)=4MHz時）

規格周波数（Hz）	n（タイマ値）	出力周波数（Hz）	誤差（Hz）	偏差（%）
697	89	694.4	-2.6	-0.367
770	80	771.6	1.6	0.208
852	72	856.2	4.2	0.488
941	65	946.9	5.9	0.630
1209	51	1201.9	-7.1	-0.580
1336	46	1329.7	-6.3	-0.460
1477	41	1488.1	11.1	0.750
1633	37	1644.7	11.7	0.720

CTCSS機能

（Continuous Tone-Controlled Squelch System）

CTCSS機能は、単一の周波数の正弦波の波形を発生させる機能です。CTCSS出力波形はDA2端子から出力できます。CTCSS/DA2出力許可ビット（003616番地のビット1）を“1”（許可）にし、CTCSS/DA2選択ビット（003616番地のビット3）を“1”にすることによって、CTCSS波形が出力されます。CTCSS出力の周波数を設定するには、CTCSS用タイマに値を書き込んでください。CTCSSタイマは10ビットタイマで構成されています。CTCSS用タイマに値を書き込むときは、CTCSSタイマ（下位）、CTCSSタイマ（上位）の順に書き込んでください。

CTCSS用タイマの値を読み出す時はCTCSSタイマ（上位）、CTCSSタイマ（下位）の順に読み出してください。CTCSSタイマに設定した値をnとすると、

$$f = \frac{f(X_{IN})/2}{(n+1)\times 64} \quad (\mathrm{Hz})$$

の周波数の正弦波が生成されます。CTCSSタイマには“00616”以上の値を設定してください。リセット解除後、CTCSSタイマ（上位）には“0016”、CTCSSタイマ（下位）には“0616”が自動的に設定されます。CTCSS出力の振幅は、

$$C = \frac{VCC}{2}$$

です。CTCSS機能選択時、DA2変換レジスタを読むと、CTCSS出力のデジタル値が読めます。

表10にf(XIN)=4MHz時のCTCSSタイマの設定値と周波数規格に対する偏差を示します。

表10．CTCSSタイマの周波数精度例（f(XIN)=4MHz時）

規格周波数（Hz）	n（タイマ値）	出力周波数（Hz）	誤差（Hz）	偏差（%）
67.0	465	67.06	0.06	0.089
77.0	405	76.97	-0.03	-0.038
88.5	352	88.53	0.027	0.030
100.0	312	99.84	-0.16	-0.160
107.2	291	107.02	-0.18	-0.167
114.8	271	114.89	0.09	0.078
123.0	253	123.03	0.03	0.026
131.8	236	131.86	0.06	0.043
141.3	220	141.40	0.10	0.073
151.4	205	151.70	0.30	0.198
162.2	192	161.92	-0.28	-0.174
173.8	179	173.61	-0.19	-0.109
186.2	167	186.01	-0.19	-0.101
203.5	153	202.92	-0.58	-0.284
218.1	142	218.53	0.43	0.198
233.6	133	233.20	-0.39	-0.167
250.3	124	250.00	-0.30	-0.120

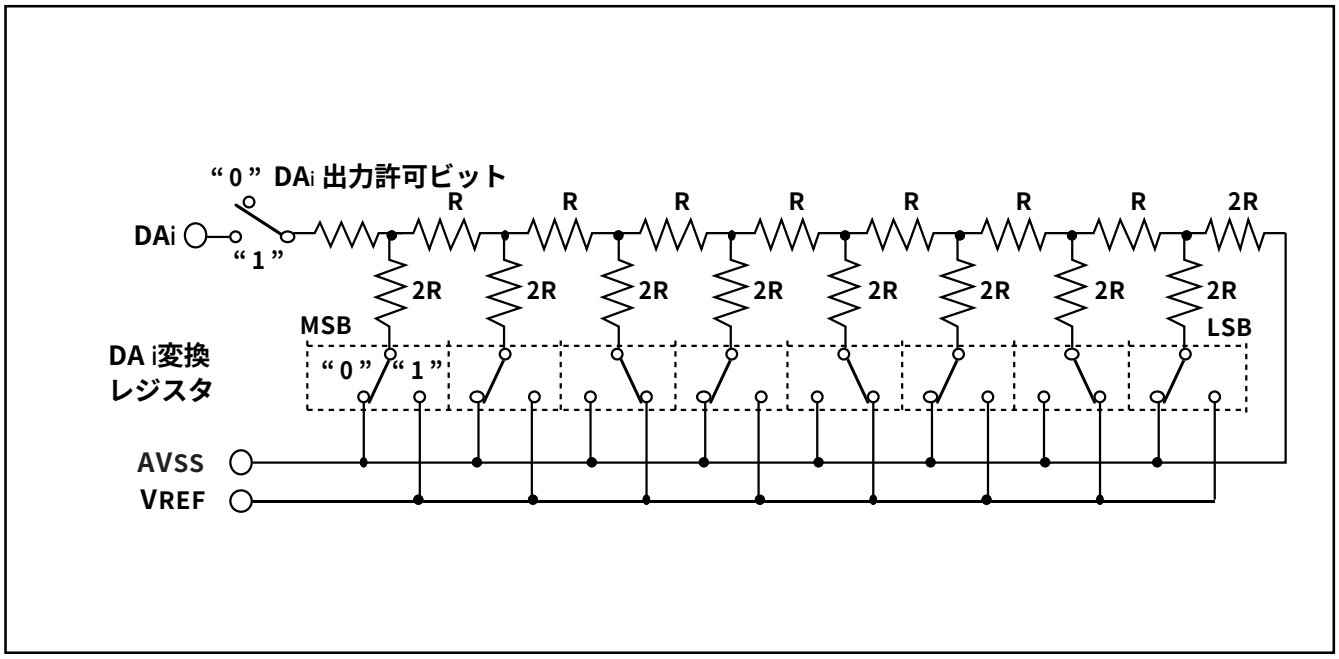


図45．D/A変換等価回路図

LCD駆動制御回路

3826グループはLCD(液晶表示素子)の駆動制御回路を内蔵しています。

LCD駆動制御回路は、

・LCD表示用RAM
・セグメント出力許可レジスタ
・LCDモードレジスタ
・昇圧回路
・セレクタ
・タイミングコントローラ
・コモンドライバ
・セグメントドライバ
・バイアス制御回路

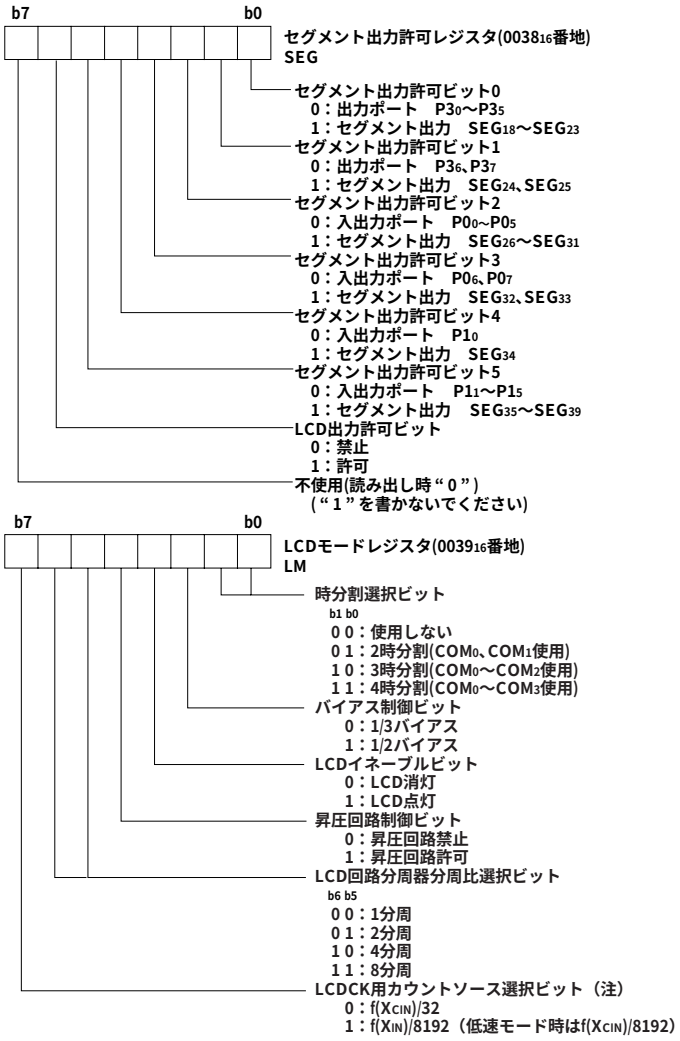
によって構成されています。

セグメント出力は最大40本、コモン出力は最大4本使用でき、最大160画素までLCD表示ができます。

LCDモードレジスタ、セグメント出力許可レジスタ、LCD表示用RAMにデータを設定した後、LCDイネーブルビットをLCD点灯に設定すると、LCD駆動制御回路は自動的に表示データを読み出し、バイアス制御、時分割制御などを行い、LCDパネルに表示します。

表11．各時分割時の最大表示素子数

時分割数	最大表示素子数
2	80ドット又は8セグメントLCD10桁
3	120ドット又は8セグメントLCD15桁
4	160ドット又は8セグメントLCD20桁



注．LCDCKはLCDタイミングコントローラ用のクロックです。

図46．LCD関係レジスタの構成

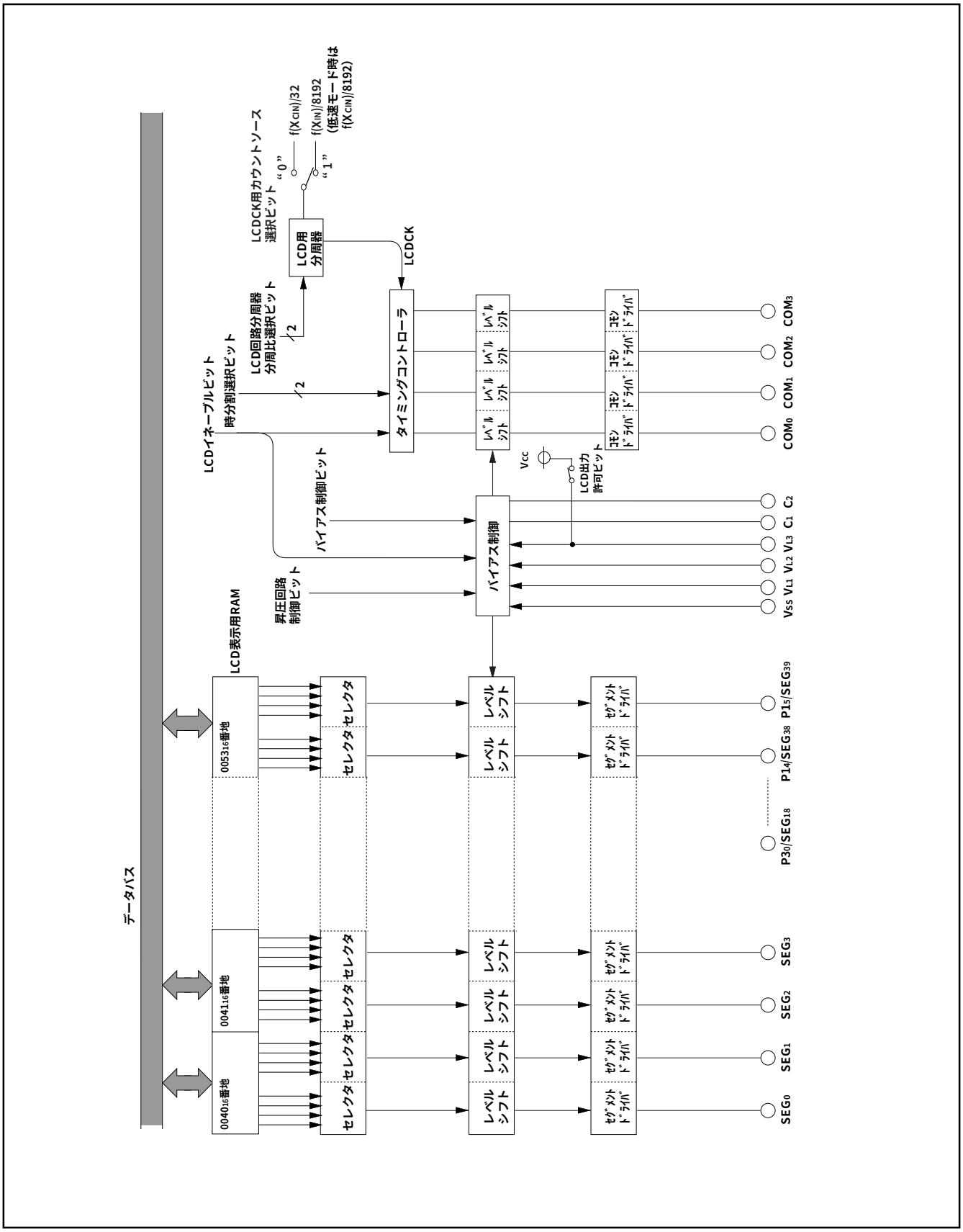


図47．LCDコントローラ/ドライバのブロック図

●昇圧回路

昇圧回路は3倍昇圧を行います。昇圧の基準電源はLCD用電源入力端子VL1から入力します。

昇圧回路を動作させるにはセグメント出力許可レジスタとLCDモードレジスタによって、セグメント/ポートの選択と時分割選択、バイアス制御選択、LCD回路分周器分周比選択、LCDCK用カウントソース選択を行った後に、LCD出力許可ビット（セグメント出力許可レジスタのビット6）を許可に設定し、VL1端子に規格値内の電圧を印加後、昇圧回路制御ビット（LCDモードレジスタのビット4）を昇圧回路許可に設定してください。ただし、バイアス制御は必ず1/3バイアスを選択してください。

昇圧回路を動作させた場合、VL1端子に電圧を入力すると、VL2端子にVL1の2倍の電圧が発生し、VL3端子にVL1端子の3倍の電圧が発生します。

■昇圧回路の注意事項

昇圧回路を使用する場合は、VL1端子に昇圧回路使用時の電源電圧（VLI）の規格値内の電圧を印加後、昇圧回路制御ビットを昇圧回路許可に設定してください。

昇圧回路を使用しない場合はLCD出力許可ビットを許可に設定し、LCD用電源入力端子(VL1～VL3)に適切な電圧を印加してください。LCD出力許可ビットが禁止に設定されている場合（リセット中を含む）、VL3端子は内部でVCCに接続されています。VCCを超える電圧をVL3に印可する場合は、LCD出力許可ビットを許可にした後に印可してください。

●バイアス制御とLCD用電源入力端子への印加電圧

LCD用電源入力端子(VL1～VL3)には、バイアス値に従って、表12に示す電圧値を印加してください。

また、バイアス値はバイアス制御ビット(LCDモードレジスタのビット2)で選択してください。

表12．バイアス制御とVL1～VL3への印加電圧

バイアス値	電圧値
1/3バイアス	VL3 = VLCD VL2 = 2/3 VLCD VL1 = 1/3 VLCD
1/2バイアス	VL3 = VLCD VL2 = VL1 = 1/2 VLCD

注．VLCDはLCDパネルへの供給電圧の最大値

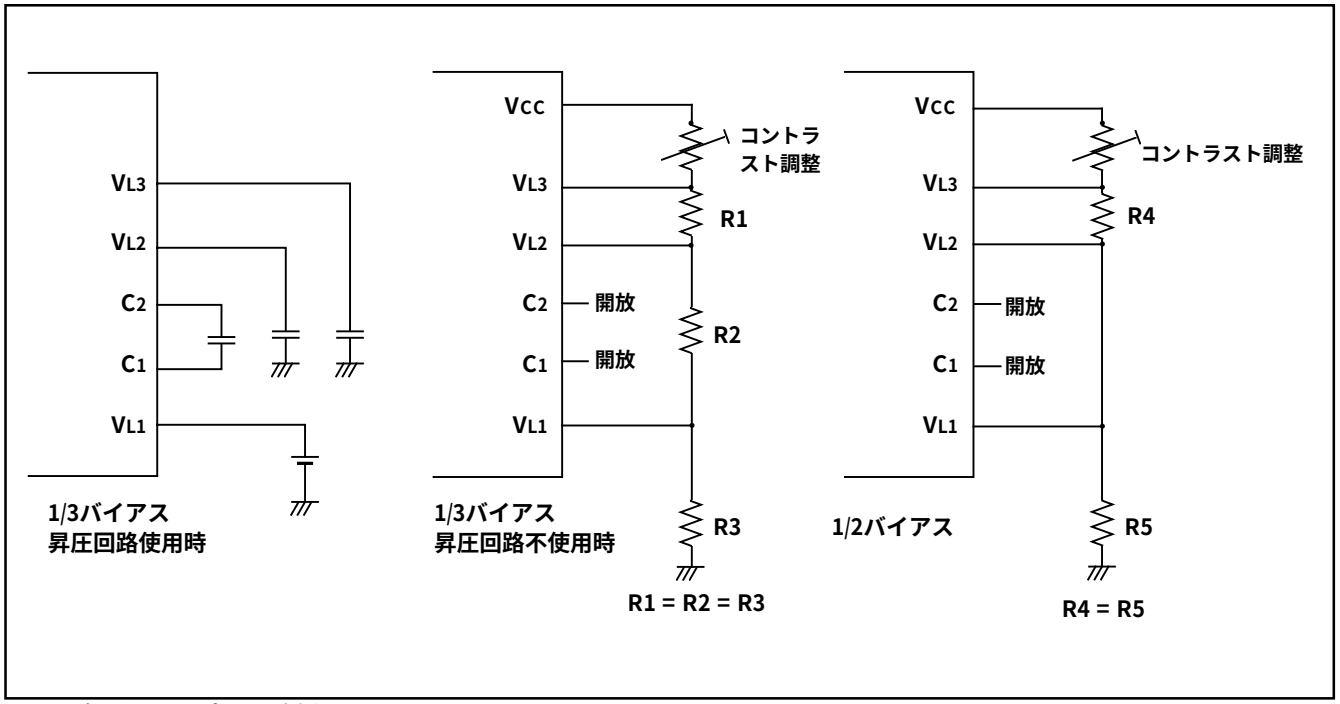


図48．各バイアス時の回路例

●コモン端子と時分割制御

時分割数によって、使用するコモン端子(COM_0～COM_3)が決まります。時分割数は時分割選択ビット(LCDモードレジスタのビット0、1)で選択してください。リセット後、コモン端子はV_{CC}(＝V_{L3})の電圧を出力します。

表13．時分割制御と使用コモン端子

時分割数	時分割選択ビット		使用コモン端子名
	ビット1	ビット0	
2	0	1	COM_0、COM_1 (注1)
3	1	0	COM_0～COM_2 (注2)
4	1	1	COM_0～COM_3

注1. COM_2、COM_3は開放
2. COM_3は開放

●セグメント信号出力端子

セグメント信号出力端子には、セグメント専用端子(SEG_0～SEG_{17})とセグメント/出力ポート兼用端子(SEG_{18}～SEG_{25})とセグメント/入出力ポート兼用端子(SEG_{26}～SEG_{39})があります。セグメント出力は時分割数と対応したLCDRAMのビットデータに従って出力されます。リセット後、セグメント出力専用端子はV_{CC}(＝V_{L3})の電圧を出力し、セグメント/出力ポート兼用端子はハイインピーダンス状態でV_{CC}(=V_{L3})の電圧にプルアップされます。また、セグメント/入出力ポート兼用端子(SEG_{26}～SEG_{39})は入出力ポートの入力モードになり、プルアップ抵抗によりV_{CC}(＝V_{L3})が印加されます。

●LCD表示用RAM

004_{16}番地から0053_{16}番地までの20バイトはLCD表示用RAMです。これらのビットに“1”を書くと、LCDパネルの対応するセグメントが点灯します。

●LCD駆動タイミング

LCD駆動タイミングを決定する内部信号LCDCKの周波数及びフレーム周波数は次のようになります。

$$f(LCDCK) = \frac{(\text{LCDCK用カウントソース周波数})}{(\text{LCD用分周器分周比})}$$

フレーム周波数 ＝ f(LCDCK)/時分割数

アドレス＼ビット	7	6	5	4	3	2	1	0
	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0
004_{16}	SEG_1				SEG_0			
041_{16}	SEG_3				SEG_2			
042_{16}	SEG_5				SEG_4			
043_{16}	SEG_7				SEG_6			
044_{16}	SEG_9				SEG_8			
045_{16}	SEG_{11}				SEG_{10}			
046_{16}	SEG_{13}				SEG_{12}			
047_{16}	SEG_{15}				SEG_{14}			
048_{16}	SEG_{17}				SEG_{16}			
049_{16}	SEG_{19}				SEG_{18}			
$004A_{16}$	SEG_{21}				SEG_{20}			
$004B_{16}$	SEG_{23}				SEG_{22}			
$004C_{16}$	SEG_{25}				SEG_{24}			
$004D_{16}$	SEG_{27}				SEG_{26}			
$004E_{16}$	SEG_{29}				SEG_{28}			
$004F_{16}$	SEG_{31}				SEG_{30}			
050_{16}	SEG_{33}				SEG_{32}			
051_{16}	SEG_{35}				SEG_{34}			
052_{16}	SEG_{37}				SEG_{36}			
053_{16}	SEG_{39}				SEG_{38}			

図49．LCD表示用RAMマップ

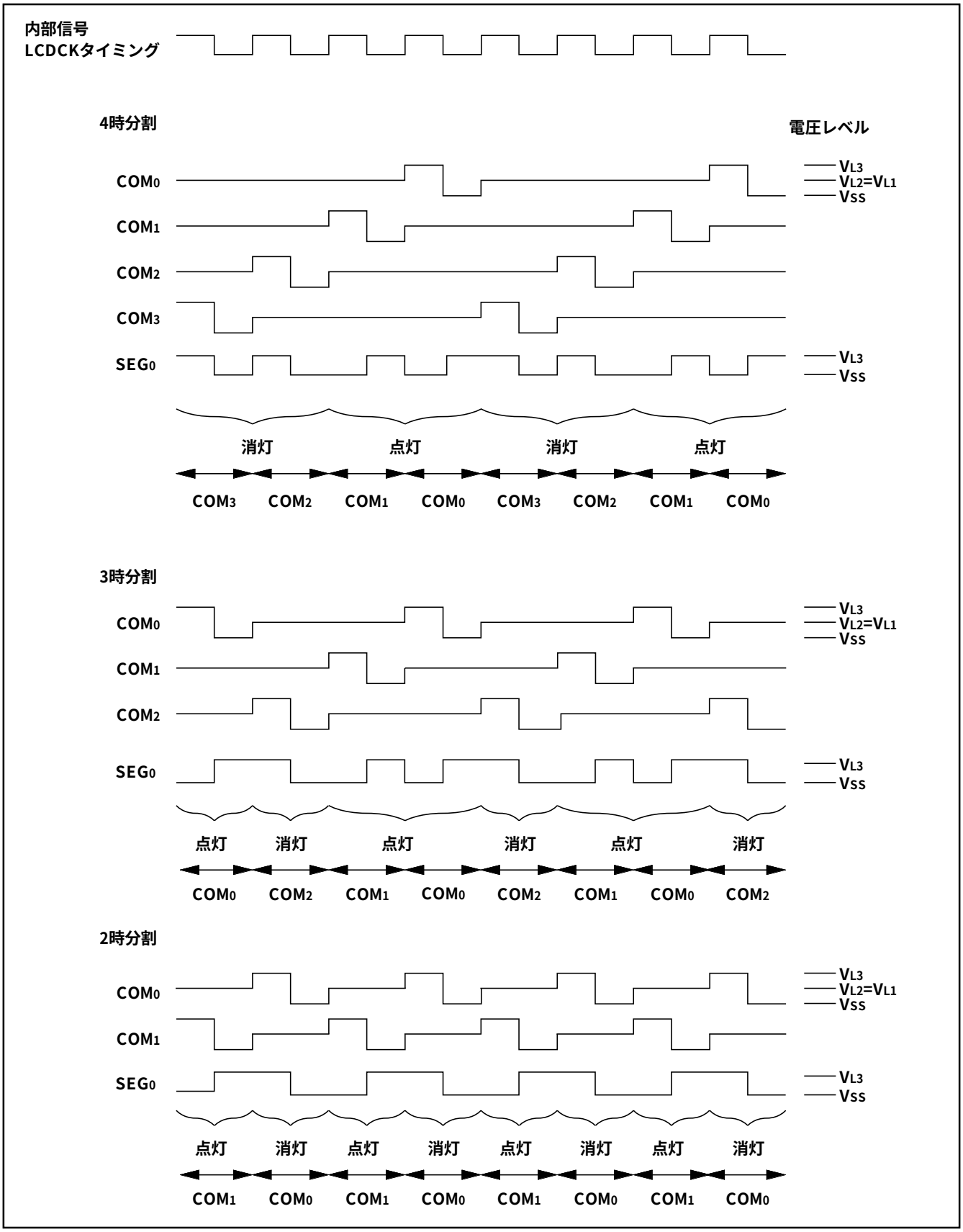


図50．LCD駆動波形（1/2バイアスの場合）

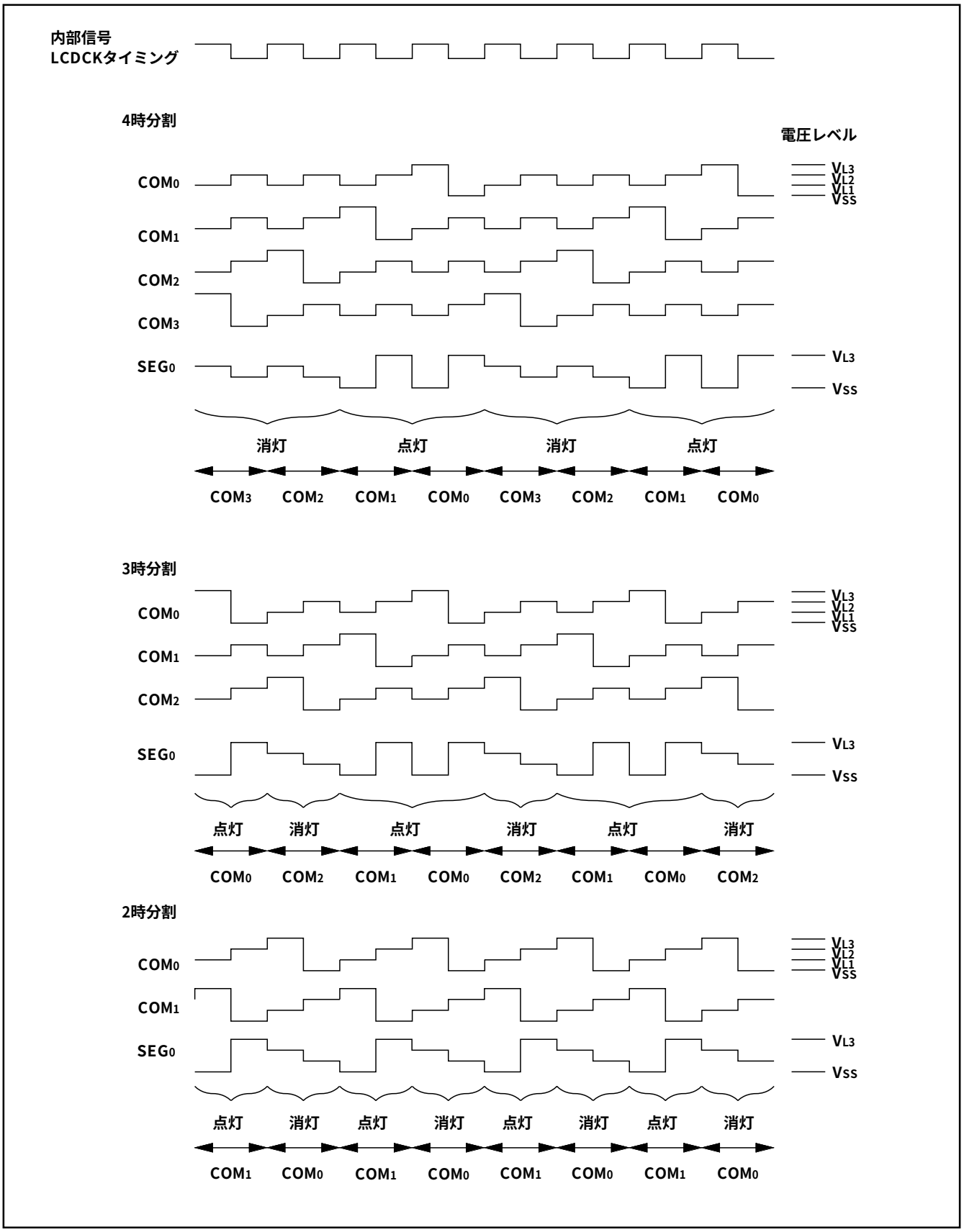


図51．LCD駆動波形（1/3バイアスの場合）

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えます。

ウォッチドッグタイマは下位8ビットと上位6ビットの計14ビットのカウンタで構成されています。これらのカウンタは、リセット時又はウォッチドッグタイマ制御レジスタ(0037$_{16}$番地)への書き込みによりｆ3FFF$_{16}$ ”になります。リセット後、ウォッチドッグタイマはカウント停止状態ですが、ウォッチドッグタイマ制御レジスタへの書き込みによって、“ 3FFF$_{16}$ ”からダウンカウントを開始し、アンダフローすると内部リセットが発生します。したがって、ウォッチドッグタイマ機能を使用する場合は、アンダフローする前にウォッチドッグタイマ制御レジスタに書き込みを行ってください。

リセット後、ウォッチドッグタイマ制御レジスタへの書き込みがない場合には、ウォッチドッグタイマは機能しません。ウォッチドッグタイマ機能を使用しない場合は、書き込みを行わないでください。

ウォッチドッグタイマ制御レジスタを読み出した場合は、上位6ビットのカウンタ値、STP命令禁止ビットの値、及びカウントソース選択ビットの値が読まれます。

STP命令禁止ビットが“ 0 ”のとき、STP命令は許可されます。このビットを“ 1 ”にすると、STP命令は禁止されます。STP命令が禁止されているときにSTP命令を実行すると、未定義命令として処理され、内部でリセットが発生します。STP命令禁止ビットはプログラムで“ 1 ”にできますが、“ 0 ”にはできません。このビットはリセット後“ 0 ”です。

ウォッチドッグタイマHカウントソース選択ビットが“ 0 ”のとき、検出時間はf(XCIN)＝32kHz時は8.19s、f(XIN)＝8MHz時は32.768msになります。このビットが“ 1 ”のときの検出時間はf(XCIN)＝32kHz時は32ms、f(XIN)＝8MHz時は128μsになります。なお、中速モード、高速モードによる検出時間の違いはありません。

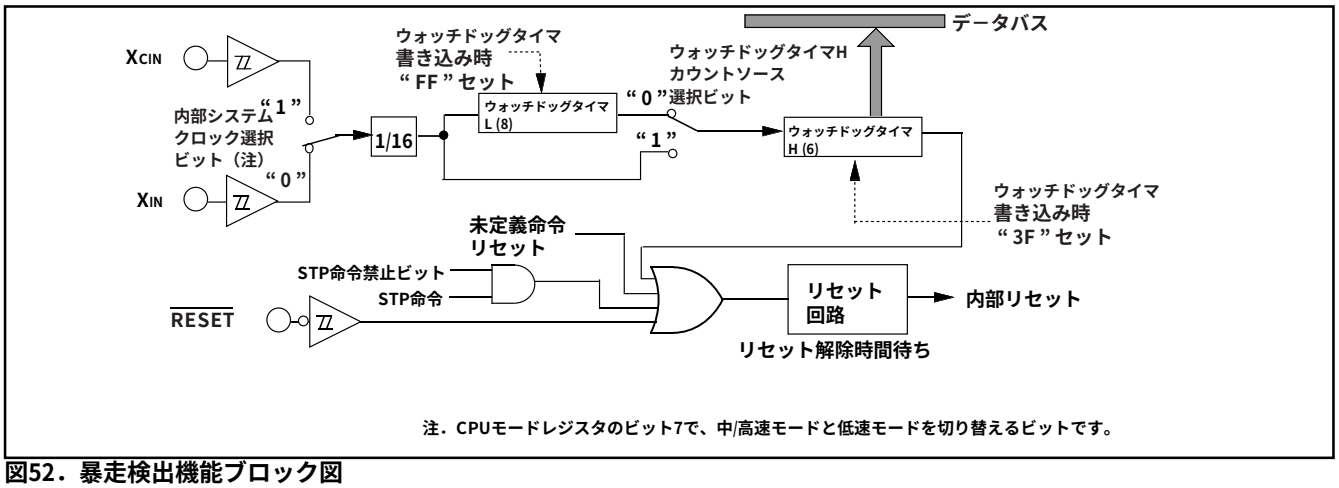


図52．暴走検出機能ブロック図

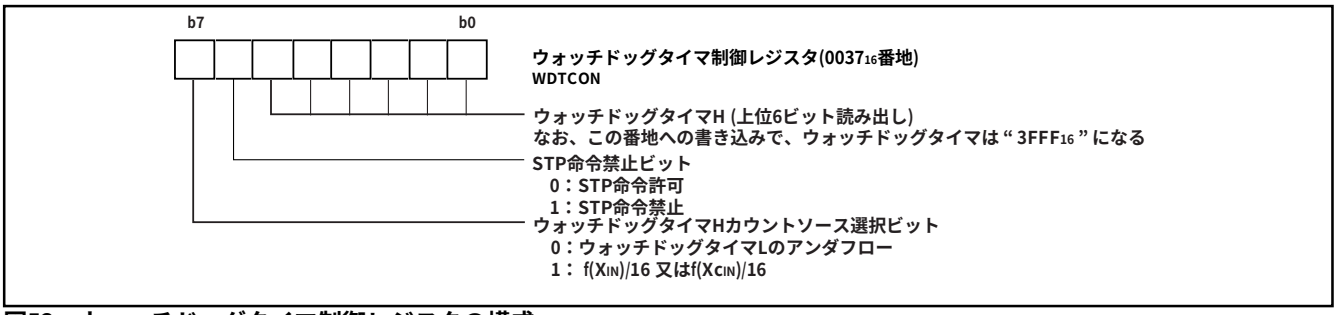


図53．ウォッチドッグタイマ制御レジスタの構成

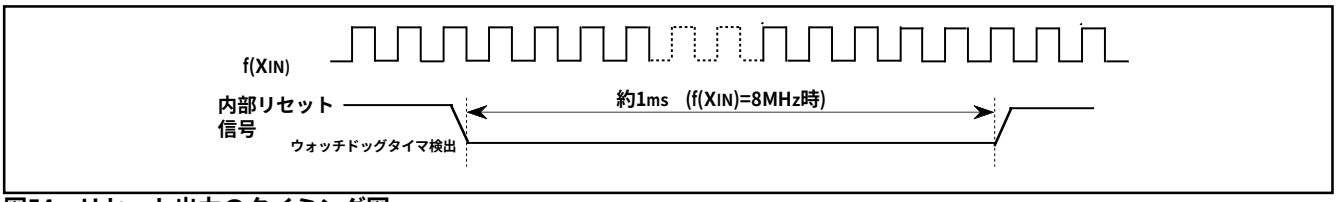


図54．リセット出力のタイミング図

TOUT/φ出力機能

タイマ123モードレジスタのTOUT/φ出力許可ビット、及びTOUT/φ出力制御レジスタの設定により、ポートP43からシステムクロックφ又はタイマ2の2分周(TOUT出力)を出力できます。

TOUT/φの出力を行うには、P43/φ/TOUT端子を出力モード（ポートP4方向レジスタのビット3を“１”)にしてください。

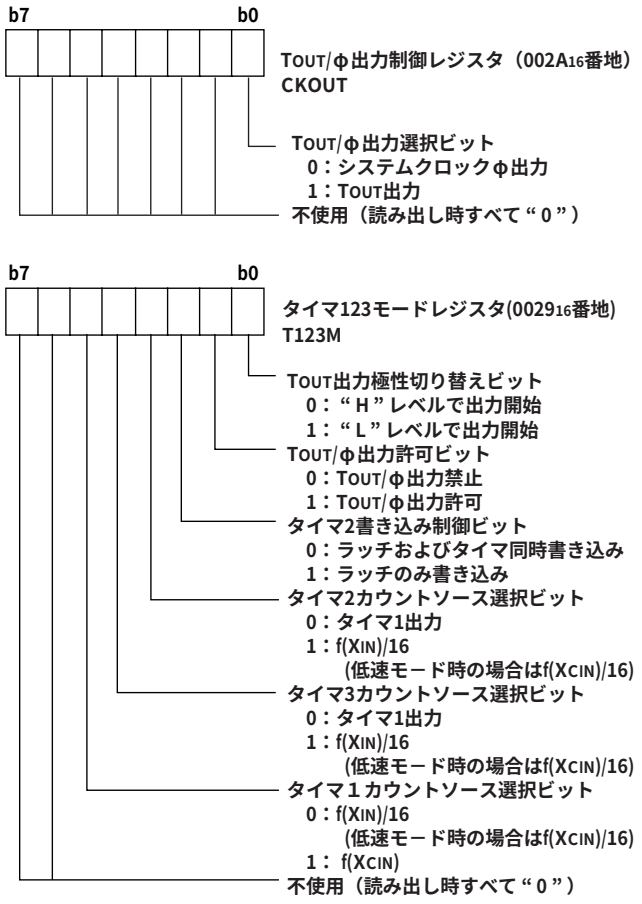


図55．TOUT/φ出力関連レジスタの構成

リセット回路

VCC端子に印加されている電源電圧が規格値内にあり、メインクロックXIN-XOUTが安定発振している、又はXIN端子に安定したクロックが入力されているとき、$\overline{\text{RESET}}$端子を2μs以上“L”レベルに保つと内部リセット状態になります。その後“H”レベルに戻すとf(XIN)の約8200サイクル後にリセット解除され、FFFD16番地の内容を上位アドレス、FFFC16番地の内容を下位アドレスとする番地からプログラムが開始します。

リセット入力電圧は、電源電圧がVCC(min.)を通過する時点で0.2VCC(min.)以下になるようにしてください。

＊VCC(min.)＝VCC端子に印加されている電源電圧規格値の最小値

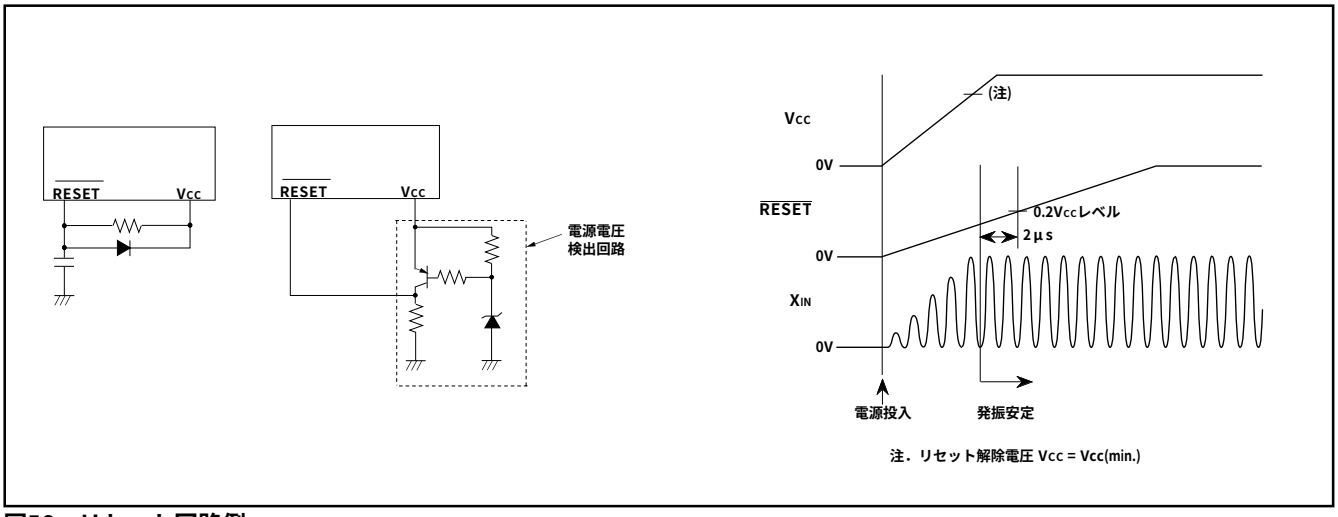


図56．リセット回路例

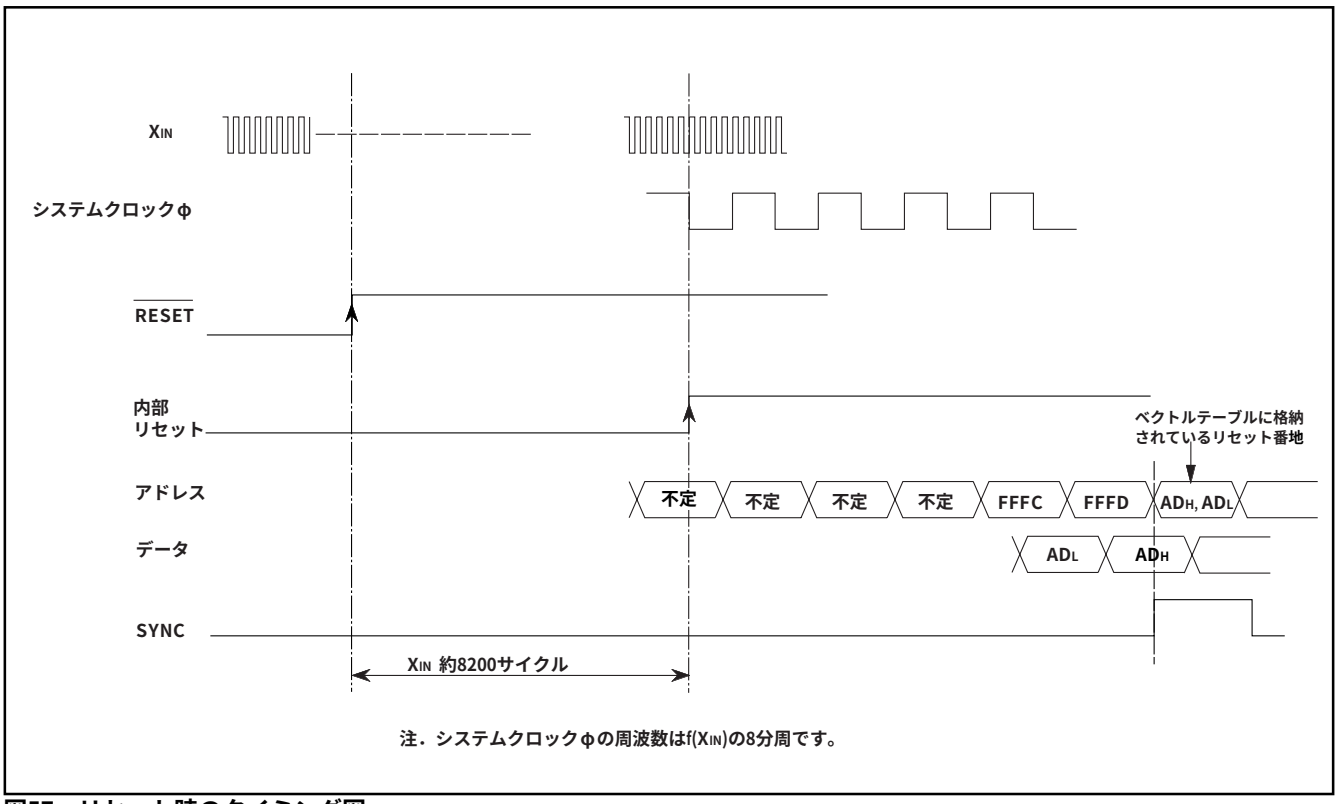


図57．リセット時のタイミング図

	番地	レジスタの内容
(1) ポートP0方向レジスタ	0001_{16}	00_{16}
(2) ポートP1方向レジスタ	0003_{16}	00_{16}
(3) ポートP2方向レジスタ	0005_{16}	00_{16}
(4) ポートP3出力制御レジスタ	0007_{16}	00_{16}
(5) ポートP4方向レジスタ	0009_{16}	00_{16}
(6) ポートP5方向レジスタ	$000B_{16}$	00_{16}
(7) ポートP6方向レジスタ	$000D_{16}$	00_{16}
(8) ポートP7方向レジスタ	$000F_{16}$	00_{16}
(9) AD変換下位レジスタ	0014_{16}	××0000001
(10) キー入力制御レジスタ	0015_{16}	00_{16}
(11) PULLレジスタA	0016_{16}	$3F_{16}$
(12) PULLレジスタB	0017_{16}	00_{16}
(13) シリアルI/O1ステータスレジスタ	0019_{16}	10000000
(14) シリアルI/O1制御レジスタ	$001A_{16}$	00_{16}
(15) UART制御レジスタ	$001B_{16}$	11100000
(16) シリアルI/O2制御レジスタ	$001D_{16}$	00_{16}
(17) タイマX下位レジスタ	0020_{16}	FF_{16}
(18) タイマX上位レジスタ	0021_{16}	FF_{16}
(19) タイマY下位レジスタ	0022_{16}	FF_{16}
(20) タイマY上位レジスタ	0023_{16}	FF_{16}
(21) タイマ1レジスタ	0024_{16}	FF_{16}
(22) タイマ2レジスタ	0025_{16}	01_{16}
(23) タイマ3レジスタ	0026_{16}	FF_{16}
(24) タイマXモードレジスタ	0027_{16}	00_{16}
(25) タイマYモードレジスタ	0028_{16}	00_{16}
(26) タイマ123モードレジスタ	0029_{16}	00_{16}
(27) TOUT/φ出力制御レジスタ	$002A_{16}$	00_{16}
(28) PWM制御レジスタ	$002B_{16}$	00_{16}
(29) CTCSSタイマ（下位）	$002E_{16}$	06_{16}
(30) CTCSSタイマ（上位）	$002F_{16}$	00_{16}

	番地	レジスタの内容
(31) DTMF高群タイマ	0030_{16}	06_{16}
(32) DTMF低群タイマ	0031_{16}	06_{16}
(33) DA1変換レジスタ	0032_{16}	00_{16}
(34) DA2変換レジスタ	0033_{16}	00_{16}
(35) AD制御レジスタ	0034_{16}	00001000
(36) DA制御レジスタ	0036_{16}	00_{16}
(37) ウォッチドッグタイマ制御レジスタ	0037_{16}	00111111
(38) セグメント出力許可レジスタ	0038_{16}	00_{16}
(39) LCDモードレジスタ	0039_{16}	00_{16}
(40) 割り込みエッジ選択レジスタ	$003A_{16}$	00_{16}
(41) CPUモードレジスタ	$003B_{16}$	01001000
(42) 割り込み要求レジスタ1	$003C_{16}$	00_{16}
(43) 割り込み要求レジスタ2	$003D_{16}$	00_{16}
(44) 割り込み制御レジスタ1	$003E_{16}$	00_{16}
(45) 割り込み制御レジスタ2	$003F_{16}$	00_{16}
(46) プロセッサステータスレジスタ	(PS)	××××××1××
(47) プログラムカウンタ	(PC_H)	$FFFD_{16}$番地の内容
	(PC_L)	$FFFC_{16}$番地の内容
(48) ウォッチドッグタイマ（上位）		$3F_{16}$
(49) ウォッチドッグタイマ（下位）		FF_{16}

注．×：不定です。
上記以外のレジスタ及びＲＡＭの内容はリセット時には不定のため、初期値を設定してください。

図58．リセット内部状態

クロック発生回路

メインクロックXIN-XOUTとサブクロックXCIN-XCOUTの2つの発振回路が内蔵されています。XINとXOUT又はXCINとXCOUTの端子間に発振子を接続することによって、発振回路を形成できます。容量などの定数は、発振子により異なるため、発振子メーカの推奨値を使用してください。XIN-XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。XCIN-XCOUT間には抵抗は内蔵されていないため、外部に帰還抵抗を接続してください。

外部からクロック信号を供給する場合はXIN端子に入力し、XOUT端子は開放にしてください。サブクロックの発振回路は外部で生成したクロックを直接入力できないため、必ず外付け発振子によって発振させてください。

電源投入直後はXIN側の発振回路だけが発振を開始し、XCIN端子とXCOUT端子はハイインピーダンス状態になります。

●周波数制御

(1) 中速モード

XIN端子に入力されたクロックが8分周され、システムクロックφになります。リセット後はこのモードになります。

(2) 高速モード

XIN端子に入力されたクロックが2分周され、システムクロックφになります。

(3) 低速モード

XCIN端子に入力されたクロックが2分周され、システムクロックφになります。

低速モード時、CPUモードレジスタのメインクロック停止ビットを“1”にするとメインクロックは停止し、低消費電力動作が実現できます。メインクロックの発振を再開させるときは、メインクロック停止ビットを“0”にした後、発振が安定するまでの待ち時間をプログラムで生成してください。

注．XIN側、XCIN側共に発振が安定してから、中/高速モードと低速モード間を移行してください。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップモードからの復帰時は注意してください。また、移行するときはf(XIN)>3・f(XCIN)にしてください。

●発振制御

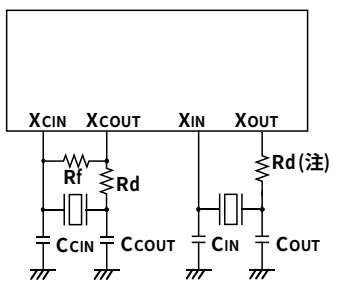
(1) ストップモード

STP命令を実行するとシステムクロックφが“H”で停止し、メインクロック及びサブクロックの発振が停止します。このとき、あらかじめ設定されているタイマ1ラッチ及びタイマ2ラッチの値が、タイマ1及びタイマ2に自動的にロードされます。このためタイマ1、タイマ2のラッチ(タイマ1には下位8ビット、タイマ2には上位8ビットを設定)には発振安定に必要な待ち時間を生成する値をSTP命令実行前に書いてください。タイマ1のカウントソースにはf(XIN)又はf(XCIN)を16分周したクロック、タイマ2にはタイマ1の出力が強制的に接続されます。このときタイマ123モードレジスタはビット4以外すべて“0”になります。STP命令実行前にタイマ1、タイマ2割り込みの許可ビットは“0”にしてください。

発振はリセット又は外部割り込みが受け付けられると再開します。ただし、システムクロックφはタイマ2がアンダフローしてから、CPUへの供給が開始されます。これは、セラミック共振子などを使用した場合、発振の立ち上がりに時間を要するためです。

(2) ウェイトモード

WIT命令を実行すると、内部クロックφのみ“H”の状態で停止します。このときメインクロック及びサブクロックはWIT命令実行前と同じ状態になっており、発振は停止しません。割り込みを受け付けた直後に内部クロックφの供給を開始するため、直ちに命令を実行することができます。



注．必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。
また、XIN-XOUT端子間には帰還抵抗を内蔵していますが、発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従って帰還抵抗を付加してください。

図59．発振子外付け回路

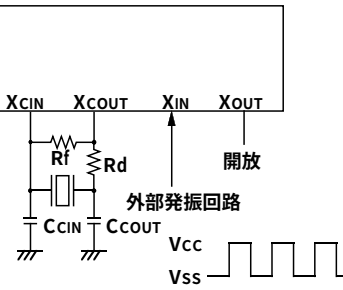
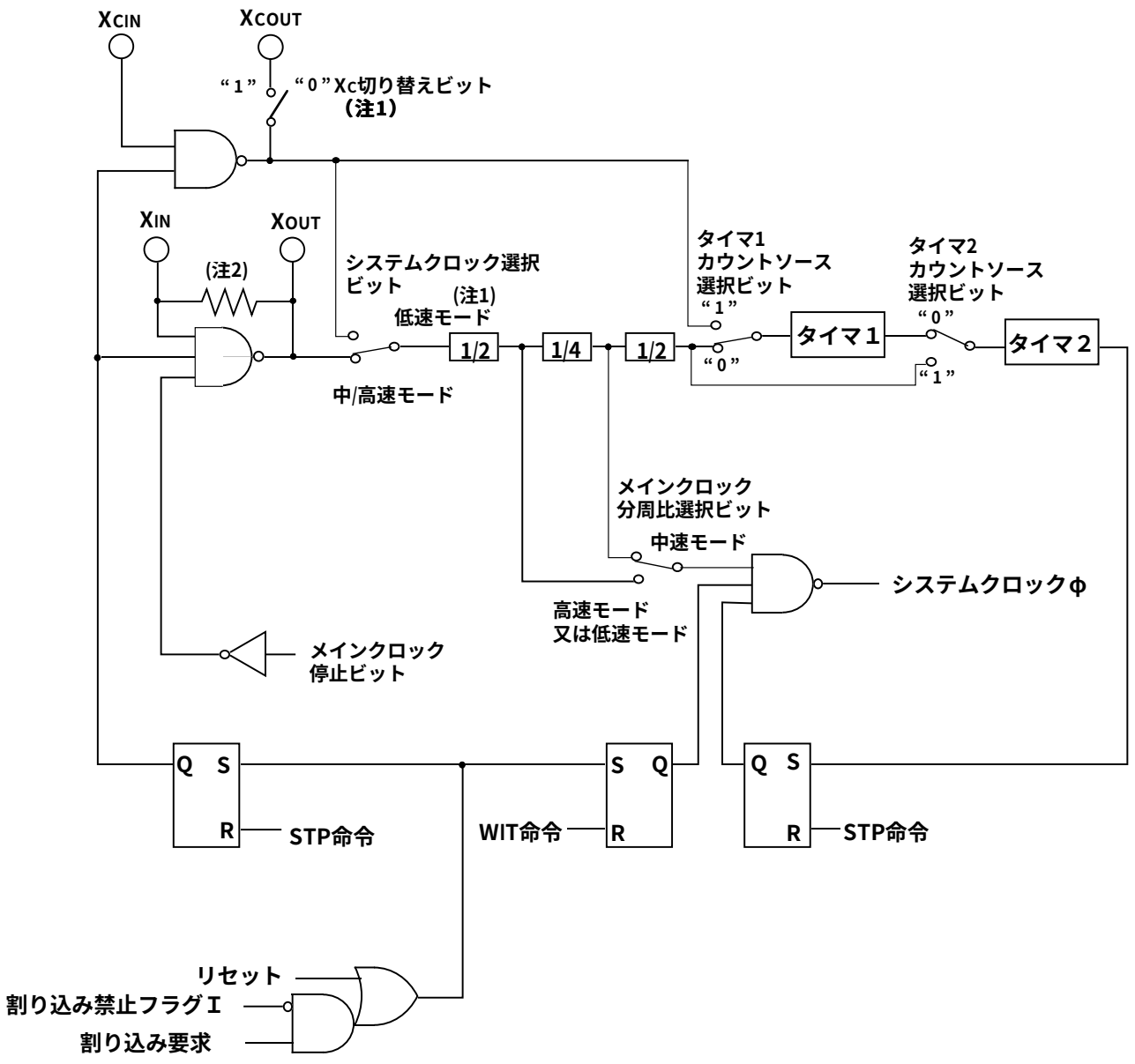
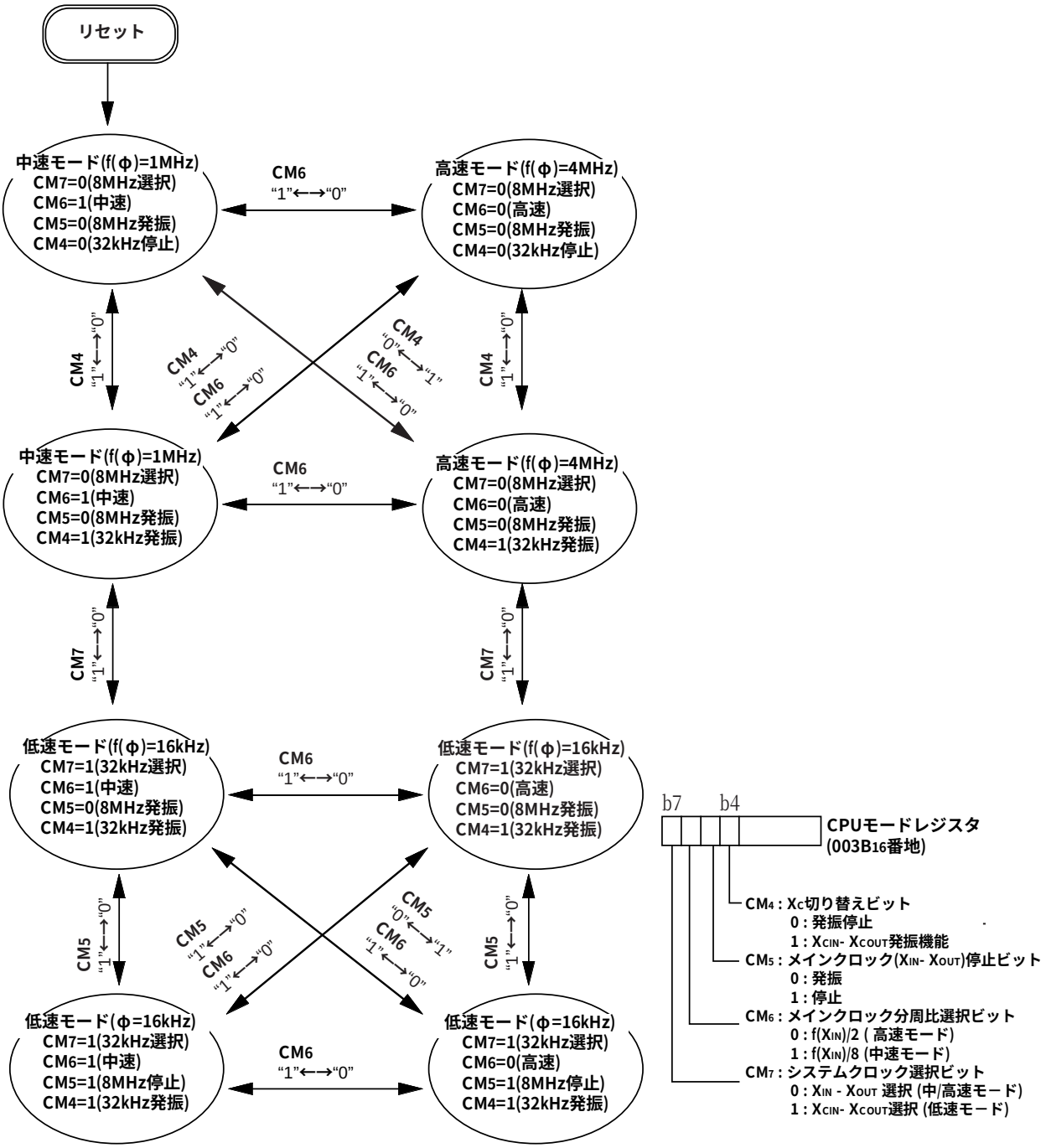


図60．外部クロック入力回路



注1．システムクロックφとしてサブクロックXCIN–XCOUT発振を選択する場合はXc切り替えビットを“1”にしてください。
2．帰還抵抗は内蔵していますが、条件によっては外部に帰還抵抗が必要な場合があります。

図61．クロック発生回路ブロック図



注１．矢印のあるモード間で移行してください。(矢印のないモード間は直接移行しないでください)。
２．すべてのモードからストップモード又はウェイトモードへ移行でき、解除後は元のモードに戻ります。
３．ストップモードを解除すると、タイマ１、タイマ２によって待ち時間が生成されます。
４．ウェイトモード時にはタイマ、LCDは動作できます。
５．メインクロックf(XIN)を発振させた後、発振が安定してから、低速モードから中/高速モードに移行してください。
６．この図はXIN端子に8MHz、XCIN端子に32kHzのクロックを入力した例です。φはシステムクロックを示します。

図62．システムクロックの状態遷移図

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は、リセット後は割り込み禁止フラグIが“1”であることを除いて不定です。このため、プログラムの実行に影響を与えるフラグ(Tフラグ、Dフラグなど)を初期化してください。

割り込みに関するもの

BBC、BBS命令は、割り込み要求ビットの内容をプログラムで変更した場合、その命令の一命令以上後に実行してください。これは変更前の内容に対してBBC、BBS命令が実行されるのを防ぐためです。

10進演算に関するもの

・10進演算を行う場合は、10進モードフラグDを“1”に設定して、ADC命令、又はSBC命令を実行します。その場合、SEC命令、CLC命令、CLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

乗除算命令に関するもの

・MUL、DIV命令は、Tフラグ、Dフラグの影響を受けません。
・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

方向レジスタの設定はLDM命令、STA命令などを使用してください。

方向レジスタの値は読めません。すなわち、方向レジスタには次の命令を使用できません。

・LDA命令
・Tフラグが“1”の場合のメモリ演算命令
・ビットテスト命令(BBC、BBSなど)
・リード・モディファイ・ライト命令(CLB、SEBなどのビット操作命令、RORなどの演算命令など)
・方向レジスタの値を修飾値とするアドレッシングモードを使う命令

シリアルインタフェースに関するもの

クロック同期形シリアルI/Oでは、外部クロックを使用して受信側が$\overline{\text{SRDY}}$出力を行う場合、受信許可ビット及び$\overline{\text{SRDY}}$出力許可ビットと共に、送信許可ビットも“1”にしてください。

シリアルI/O1では、送信終了後、TxD端子は送信終了時のレベルを保持します。

シリアルI/O2で内部クロック選択時、送信終了後にSOUT2端子はハイインピーダンスとなります。シリアルI/O2で外部クロック選択時、送信終了後、SOUT2端子は送信終了時のレベルを保持します。

A/D変換に関するもの

コンパレータへの入力は容量で結合されています。そのため、変換速度が十分でない場合、電荷の消失により変換精度を損なう恐れがありますので、A/D変換を行う場合はf(XIN)を500kHz以上にしてください。

次の操作を行った場合のA/D変換は、正常な動作を保証できません。

・A/D変換動作中にCPUモードレジスタに書き込んだ場合
・A/D変換動作中にAD制御レジスタに書き込んだ場合
・A/D変換動作中にSTP命令、WIT命令を実行した場合

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載のサイクル数に、システムクロックφの周期を乗算することによって得られます。システムクロックφの周期は、メインクロック分周比選択ビット、及びシステムクロック選択ビットで決まります。

使用上の注意事項

ノイズに関する注意

以下に示すようなノイズに留意したシステム設計を行い、十分な評価を行ってください。

(1) 配線長の短縮

①リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

●理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

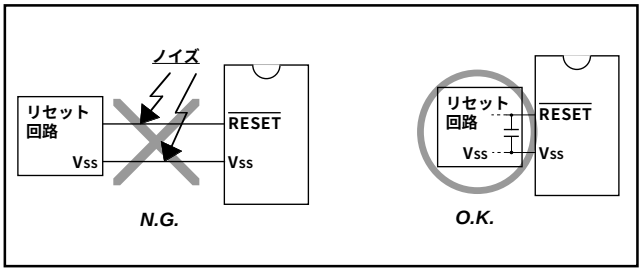


図63．リセット入力端子の配線

②クロック入出力端子の配線

・クロック入出力端子に接続する配線は短くしてください。

・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。

・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

●理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

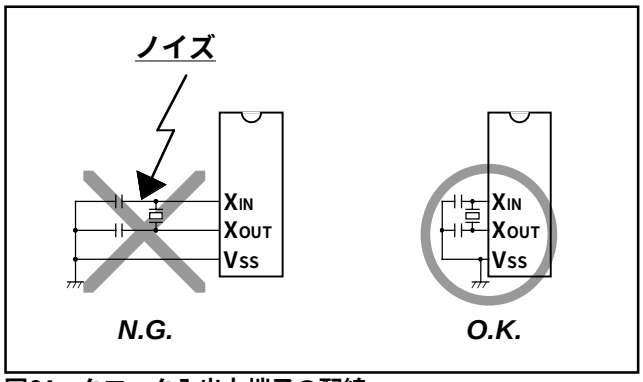


図64．クロック入出力端子の配線

(2) Vss－Vccライン間へのバイパスコンデンサ挿入

システムの動作安定化とラッチアップ防止のため、Vss－Vccライン間に0.1μF程度のバイパスコンデンサを、以下の条件で挿入してください。

・Vss端子－バイパスコンデンサ間の配線長とVcc端子－バイパスコンデンサ間の配線長を等しくする

・Vss端子－バイパスコンデンサ間の配線長とVcc端子－バイパスコンデンサ間の配線長を最短とする

・Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する

・電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

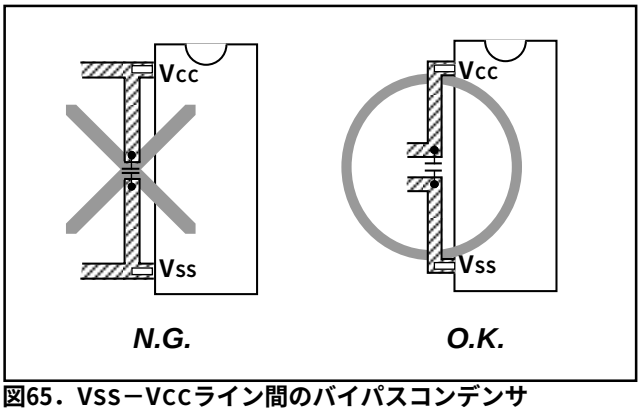


図65．Vss－Vccライン間のバイパスコンデンサ

(3) 発振子への配慮

お客様のご使用になるシステム・条件で、安定した動作クロックが得られるように、発振子メーカとご相談の上で、発振子および発振回路定数を選定してください。ご使用になる電圧範囲や温度範囲が広い場合は特に注意してください。

また、マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

①大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン（特に発振子）からできるだけ遠い位置に配置してください。

●理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

②高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

●理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

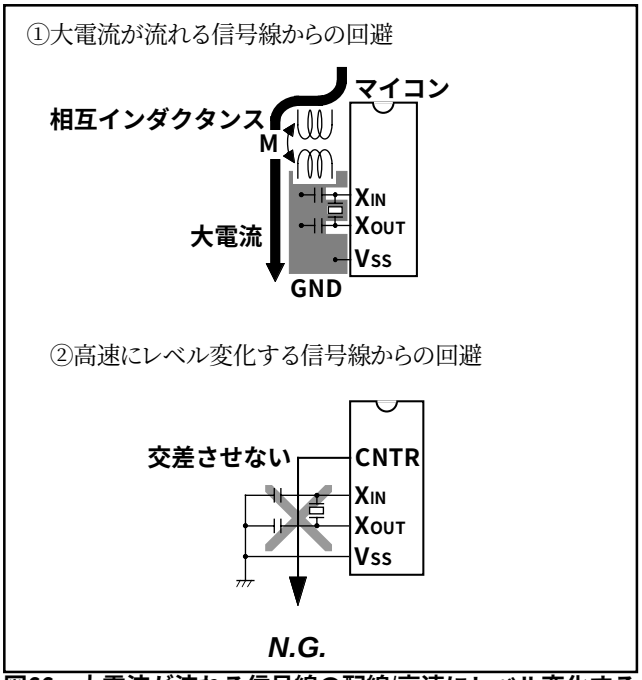


図66．大電流が流れる信号線の配線/高速にレベル変化する信号線の配線

(4) アナログ入力

アナログ入力端子はコンパレータのコンデンサに接続されています。そのため、アナログ入力端子にインピーダンスの高いアナログ信号源を接続した場合、A/D変換時の充放電電流によって十分な精度が得られない場合があります。より安定したA/D変換結果を得るためにアナログ信号源インピーダンスを下げるか、アナログ入力端子に平滑用コンデンサを付加してください。

(5) メモリの種類、容量の違い

同一グループ内のマスクROM版、PROM版、メモリ容量などが異なる製品は、電気的特性、A/D変換精度、ノイズ誤動作耐量などの実力値が異なる場合があります。これらの製品を切り替えて使用される場合は、製品仕様をご確認の上、個々の製品ごとにシステム評価を実施してください。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。
電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

(1) マスク化確認書*
(2) マーク指定書*
(3) ROMのデータ ..... EPROM　3セット
又はフロッピーディスク　1枚

*マスク化確認書、マーク指定書につきましては、ルネサステクノロジホームページのROM発注ページ（http://japan.renesas.com/homepage.jsp）を参照してください。

規格値

絶対最大定格

表14　絶対最大定格（Aバージョン）

記　号	項　　目	条　　件	定　格　値	単位
V_{CC}	電源電圧	Vss端子を基準にして測定する。 入力電圧測定時、出力トランジスタは遮断状態	−0.3～6.5	V
V_I	入力電圧　$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$		−0.3～Vcc＋0.3	V
V_I	入力電圧　$P7_0$～$P7_7$		−0.3～Vcc＋0.3	V
V_I	入力電圧　V_{L1}		−0.3～ V_{L2}	V
V_I	入力電圧　V_{L2}		V_{L1}～V_{L3}	V
V_I	入力電圧　V_{L3}		V_{L2}～6.5	V
V_I	入力電圧　C_1, C_2		−0.3～6.5	V
V_I	入力電圧　$\overline{RESET}$, X_{IN}		−0.3～Vcc＋0.3	V
V_O	出力電圧　C_1, C_2		−0.3～6.5	V
V_O	出力電圧　$P0_0$～$P0_7$, $P1_0$～$P1_5$, $P3_0$～$P3_7$	出力ポート時	−0.3～ Vcc	V
		セグメント出力時	−0.3～V_{L3}	V
V_O	出力電圧　$P1_6$, $P1_7$, $P2_0$～$P2_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_1$～$P7_7$		−0.3～Vcc＋0.3	V
V_O	出力電圧　V_{L3}		−0.3～6.5	V
V_O	出力電圧　V_{L2}, SEG_0～SEG_{17}		−0.3～V_{L3}	V
V_O	出力電圧　X_{OUT}		−0.3～Vcc＋0.3	V
P_d	消費電力	Ta＝25℃	300	mW
T_{opr}	動作周囲温度		−20～85	℃
T_{stg}	保存温度		−40～125	℃

推奨動作条件

表15.推奨動作条件(1)（Aバージョン）

(指定のない場合は、Vcc＝1.8～5.5V、Ta＝−20～85℃)

記　号	項　　目			規　格　値 最　小	標　準	最　大	単位
V_{CC}	電源電圧（注1）	高速モード時	f(X_{IN})＝10MHz	4.5	5.0	5.5	V
			f(X_{IN})＝8MHz	4.0	5.0	5.5	V
			f(X_{IN})＝6MHz	3.0	5.0	5.5	V
			f(X_{IN})＝4MHz	2.0	5.0	5.5	V
		中速モード時	f(X_{IN})＝10MHz	3.0	5.0	5.5	V
			f(X_{IN})＝8MHz	2.0	5.0	5.5	V
			f(X_{IN})＝6MHz	1.8	5.0	5.5	V
		低速モード時		1.8	5.0	5.5	V
		発振開始時（注2）		0.15×f+1.3			V
V_{SS}	電源電圧				0		V
V_{LI}	電源電圧	昇圧回路使用時		1.3	1.8	2.1	V
V_{REF}	A/D、D/Aコンバータ基準電圧			2.0		Vcc	V
AV_{SS}	アナログ電源電圧				0		V
V_{IA}	アナログ入力電圧　AN_0～AN_7			AVss		Vcc	V

注1. A/DコンバータまたはD/Aコンバータをご使用になる場合は、A/DコンバータまたはD/Aコンバータの推奨動作条件を参照ください。
2. 発振開始電圧や発振開始時間は、発振子や回路定数、温度などにより異なります。
特に高周波数の発振子は低電圧時に発振開始が困難なことがありますので注意して下さい。
f：発振子の発振周波数(MHz)です。８MHzのときは“８”を代入して下さい。

表16　推奨動作条件(2)（Aバージョン）
（指定のない場合は、Vcc＝1.8～5.5V、Ta＝－20～85°C）

記　号	項　　目		規　格　値			単位
			最　小	標　準	最　大	
V_{IH}	“ H ” 入力電圧	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P4_0$, $P4_3$, $P4_5$, $P4_7$, $P5_0$～$P5_3$, $P5_6$, $P6_1$, $P6_4$～$P6_7$, $P7_1$～$P7_7$	0.7Vcc		Vcc	V
V_{IH}	“ H ” 入力電圧	$P2_0$～$P2_7$, $P4_1$, $P4_2$, $P4_4$, $P4_6$, $P5_4$, $P5_5$, $P5_7$, $P6_0$, $P6_2$, $P6_3$, $P7_0$	0.8Vcc		Vcc	V
V_{IH}	“ H ” 入力電圧	$\overline{RESET}$	0.8Vcc		Vcc	V
V_{IH}	“ H ” 入力電圧	X_{IN}	0.8Vcc		Vcc	V
V_{IL}	“ L ” 入力電圧	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P4_0$, $P4_3$, $P4_5$, $P4_7$, $P5_0$～$P5_3$, $P5_6$, $P6_1$, $P6_4$～$P6_7$, $P7_1$～$P7_7$	0		0.3 Vcc	V
V_{IL}	“ L ” 入力電圧	$P2_0$～$P2_7$, $P4_1$, $P4_2$, $P4_4$, $P4_6$, $P5_4$, $P5_5$, $P5_7$, $P6_0$, $P6_2$, $P6_3$, $P7_0$	0		0.2 Vcc	V
V_{IL}	“ L ” 入力電圧	$\overline{RESET}$	0		0.2 Vcc	V
V_{IL}	“ L ” 入力電圧	X_{IN}	0		0.2 Vcc	V

表17　推奨動作条件(3)（Aバージョン）
（指定のない場合は、Vcc＝1.8～5.5V、Ta＝－20～85°C）

記　号	項　目	規格値			単位
		最　小	標　準	最　大	
$\Sigma I_{OH(peak)}$	“H”出力総尖頭電流　(注1) $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$			－20	mA
$\Sigma I_{OH(peak)}$	“H”出力総尖頭電流　(注1) $P4_1$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$			－20	mA
$\Sigma I_{OL(peak)}$	“L”出力総尖頭電流　(注1) $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$			20	mA
$\Sigma I_{OL(peak)}$	“L”出力総尖頭電流　(注1) $P4_1$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$			20	mA
$\Sigma I_{OL(peak)}$	“L”出力総尖頭電流　(注1) $P4_0$, $P7_1$～$P7_7$			80	mA
$\Sigma I_{OH(avg)}$	“H”出力総平均電流　(注1) $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$			－10	mA
$\Sigma I_{OH(avg)}$	“H”出力総平均電流　(注1) $P4_1$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$			－10	mA
$\Sigma I_{OL(avg)}$	“L”出力総平均電流　(注1) $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_7$			10	mA
$\Sigma I_{OL(avg)}$	“L”出力総平均電流　(注1) $P4_1$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$			10	mA
$\Sigma I_{OL(avg)}$	“L”出力総平均電流　(注1) $P4_0$, $P7_1$～$P7_7$			40	mA
$I_{OH(peak)}$	“H”出力尖頭電流　(注2) $P0_0$～$P0_7$, $P1_0$～$P1_5$, $P3_0$～$P3_7$			－1.0	mA
$I_{OH(peak)}$	“H”出力尖頭電流　(注2) $P1_6$, $P1_7$, $P2_0$～$P2_7$, $P4_1$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$			－5.0	mA
$I_{OL(peak)}$	“L”出力尖頭電流　(注2) $P0_0$～$P0_7$, $P1_0$～$P1_5$, $P3_0$～$P3_7$			5.0	mA
$I_{OL(peak)}$	“L”出力尖頭電流　(注2) $P1_6$, $P1_7$, $P2_0$～$P2_7$, $P4_1$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$			10	mA
$I_{OL(peak)}$	“L”出力尖頭電流　(注2) $P4_0$, $P7_1$～$P7_7$			20	mA
$I_{OH(avg)}$	“H”出力平均電流　(注3) $P0_0$～$P0_7$, $P1_0$～$P1_5$, $P3_0$～$P3_7$			－0.5	mA
$I_{OH(avg)}$	“H”出力平均電流　(注3) $P1_6$, $P1_7$, $P2_0$～$P2_7$, $P4_1$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$			－2.5	mA
$I_{OL(avg)}$	“L”出力平均電流　(注3) $P0_0$～$P0_7$, $P1_0$～$P1_5$, $P3_0$～$P3_7$			2.5	mA
$I_{OL(avg)}$	“L”出力平均電流　(注3) $P1_6$, $P1_7$, $P2_0$～$P2_7$, $P4_1$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$			5.0	mA
$I_{OL(avg)}$	“L”出力平均電流　(注3) $P4_0$, $P7_1$～$P7_7$			10	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。
2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。
3. 出力平均電流は、100msの期間内での平均値です。

表18　推奨動作条件(4)（Aバージョン）
（指定のない場合は、Vcc＝1.8～5.5V、Ta＝－20～85°C）

記　号	項　目	条 件	規格値 最小	規格値 標準	規格値 最大	単位
f(CNTR0) f(CNTR1)	タイマX、タイマY 入力周波数 （デューティ50%時）	（4.5V≦Vcc≦5.5V）			5.0	MHz
		（4.0V≦Vcc≦4.5V）			2×Vcc－4	MHz
		（2.0V≦Vcc≦4.0V）			Vcc	MHz
		（Vcc≦2.0V）			5×Vcc－8	MHz
f(XIN)	メインクロック 入力発振周波数 （デューティ50%時） (注1)	高速モード （4.5V≦Vcc≦5.5V）			10.0	MHz
		高速モード （4.0V≦Vcc≦4.5V）			4×Vcc－8	MHz
		高速モード （2.0V≦Vcc≦4.0V）			2×Vcc	MHz
		中速モード(注3) （3.0V≦Vcc≦5.5V）			10.0	MHz
		中速モード(注3) （2.0V≦Vcc≦5.5V）			8.0	MHz
		中速モード(注3)			6.0	MHz
f(XCIN)	サブクロック入力発振周波数 （デューティ50%時） (注2)(注3)			32.768	50	kHz

注1．A/DコンバータまたはD/Aコンバータをご使用になる場合は、A/Dコンバータ特性またはD/Aコンバータ特性を参照ください。
2．低速モードを使用する場合、時計用クロック入力発振周波数はf(XCIN)＜f(XIN)/3としてください。
3．発振開始電圧や発振開始時間は、発振子や回路定数、温度などにより異なります。特に高周波数の発振子は低電圧時に発振開始が困難なことがありますので注意して下さい。

電気的特性

表19　電気的特性(1)（Aバージョン）　（指定のない場合は、Vcc＝4.0～5.5V、Ta＝－20～85°C）

記　号	項　目	測定条件	最小	標準	最大	単位
V_{OH}	“H”出力電圧 $P0_0$～$P0_7$, $P1_0$～$P1_5$, $P3_0$～$P3_7$	I_{OH}＝－1mA	Vcc－2.0			V
		I_{OH}＝－0.25mA Vcc＝2.2V	Vcc－0.8			V
V_{OH}	“H”出力電圧 $P1_6$, $P1_7$, $P2_0$～$P2_7$, $P4_1$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$	I_{OH}＝－5mA	Vcc－2.0			V
		I_{OH}＝－1.5mA	Vcc－0.5			V
		I_{OH}＝－1.25mA Vcc＝2.2V	Vcc－0.8			V
V_{OL}	“L”出力電圧 $P0_0$～$P0_7$, $P1_0$～$P1_5$, $P3_0$～$P3_7$	I_{OL}＝5mA			2.0	V
		I_{OL}＝1.5mA			0.5	V
		I_{OL}＝1.25mA Vcc＝2.2V			0.8	V
V_{OL}	“L”出力電圧 $P1_6$, $P1_7$, $P2_0$～$P2_7$, $P4_1$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$	I_{OL}＝10mA			2.0	V
		I_{OL}＝3.0mA			0.5	V
		I_{OL}＝2.5mA Vcc＝2.2V			0.8	V
V_{OL}	“L”出力電圧 $P4_0$, $P7_1$～$P7_7$	I_{OL}＝10mA			0.5	V
		I_{OL}＝5mA Vcc＝2.2V			0.3	V
V_{T+}－V_{T-}	ヒステリシス INT_0～INT_2, ADT, $CNTR_0$, $CNTR_1$, $P2_0$～$P2_7$			0.5		V
V_{T+}－V_{T-}	ヒステリシス S_{CLK}, RxD, S_{IN2}			0.5		V
V_{T+}－V_{T-}	ヒステリシス$\overline{RESET}$	Vcc＝2.0V～5.5V		0.5		V
I_{IH}	“H”入力電流 $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$	V_I＝Vcc			5.0	μA
I_{IH}	“H”入力電流$\overline{RESET}$	V_I＝Vcc			5.0	μA
I_{IH}	“H”入力電流X_{IN}	V_I＝Vcc		4.0		μA
I_{IL}	“L”入力電流 $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P4_1$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$	V_I＝Vss プルアップOFF			－5.0	μA
		Vcc＝5V, V_I＝Vss プルアップON	－60.0	－120.0	－240.0	μA
		Vcc＝2.2V, V_I＝Vss プルアップON	－5.0	－20.0	－40.0	μA
I_{IL}	“L”入力電流 $P4_0$, $P7_0$～$P7_7$				－5.0	μA
I_{IL}	“L”入力電流 RESET	V_I＝Vss			－5.0	μA
I_{IL}	“L”入力電流 X_{IN}	V_I＝Vss		－4.0		μA
I_{LOAD}	出力ロード電流 $P3_0$～$P3_7$	Vcc＝5.0V,Vo＝Vcc,プルアップON 出力トランジスタは遮断状態	－60.0	－120.0	－240.0	μA
		Vcc＝2.2V,Vo＝Vcc,プルアップON 出力トランジスタは遮断状態	－5.0	－20.0	－40.0	μA
I_{LEAK}	出力リーク電流 $P3_0$～$P3_7$	Vo＝Vcc,プルアップOFF 出力トランジスタは遮断状態			5.0	μA
		Vo＝Vss,プルアップOFF 出力トランジスタは遮断状態			－5.0	μA

表20　電気的特性(2)（Aバージョン）
（指定のない場合は、Vcc=1.8～5.5V、Ta=－20～85°C）

記　号	項　目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
V_{RAM}	RAM保持電圧	クロック停止時	1.8		5.5	V
I_{CC}	電源電流	高速モード時、Vcc＝5V f(XIN)＝10MHz f(XCIN)＝32.768kHz 出力トランジスタは遮断状態、 A/Dコンバータ動作中		5.5	11.0	mA
		高速モード時、Vcc＝5V f(XIN)＝8MHz f(XCIN)＝32.768kHz 出力トランジスタは遮断状態、 A/Dコンバータ動作中		4.5	9.0	mA
		高速モード時、Vcc＝5V f(XIN)＝8MHz(WIT命令実行時) f(XCIN)＝32.768kHz 出力トランジスタは遮断状態 A/Dコンバータ終了状態		1.2	2.4	mA
		低速モード時、Vcc＝5V、Ta≦55°C f(XIN)＝停止 f(XCIN)＝32.768kHz 出力トランジスタは遮断状態		15	30	μA
		低速モード時、Vcc＝5V、Ta=25°C f(XIN)＝停止 f(XCIN)＝32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		7	14	μA
		低速モード時、Vcc＝3V、Ta≦55°C f(XIN)＝停止 f(XCIN)＝32.768kHz 出力トランジスタは遮断状態		9	18	μA
		低速モード時、Vcc＝3V、Ta=25°C f(XIN)＝停止 f(XCIN)＝32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		4.5	9.0	μA
		発振はすべて停止 Ta＝25°C、出力トランジスタは遮断状態 (STP命令実行時)		0.1	1.0	μA
		発振はすべて停止 Ta＝85°C、出力トランジスタは遮断状態(STP命令実行時)			10	μA
I_{LI}	電源電流（V_{L1}） （注）	V_{L1}＝1.8V		4.0		μA

注．LCDモードレジスタの昇圧回路制御ビット（0039₁₆番地のビット4）が“1”の場合です。

A/Dコンバータ特性

表21　A/Dコンバータ特性(1)（Aバージョン）

（指定のない場合は、V_{CC}＝2.7～5.5V、V_{SS}＝AV_{SS}＝0V、Ta＝－20～85℃、f(X_{IN})=500kHz～10MHz、中速/高速モード時）
8ビットA/Dモード（変換モード選択ビット（0014_{16}番地のビット0）が“ 1 ”の場合）

記　号	項　目	測定条件	規格値			単位
			最小	標準	最大	
－	分解能				8	BITS
－	絶対精度(量子化誤差は除く)	V_{CC}＝V_{REF}＝2.7V～5.5V			±2	LSB
t_{CONV}	変換時間	f(X_{IN})＝8MHz			12.5(注)	μs
R_{LADDER}	ラダー抵抗		12	35	100	kΩ
I_{VREF}	基準電圧入力電流	V_{REF}＝5V	50	150	200	μA
I_{IA}	アナログ入力電流				5.0	μA

注．中速モード時、内部トリガを使用する場合は14μsになります。

表22　A/Dコンバータ特性(2)（Aバージョン）

（指定のない場合は、V_{CC}＝2.7～5.5V、V_{SS}＝AV_{SS}＝0V、Ta＝－20～85℃、f(X_{IN})=500kHz～10MHz、中速/高速モード時）
10ビットA/Dモード（変換モード選択ビット（0014_{16}番地のビット0）が“ 0 ”の場合）

記　号	項　目	測定条件	規格値			単位
			最小	標準	最大	
－	分解能				10	BITS
－	絶対精度(量子化誤差は除く)	V_{CC}＝V_{REF}＝2.7V～5.5V			±4	LSB
t_{CONV}	変換時間	f(X_{IN})＝8MHz			15.5(注)	μs
R_{LADDER}	ラダー抵抗		12	35	100	kΩ
I_{VREF}	基準電圧入力電流	V_{REF}＝5V	50	150	200	μA
I_{IA}	アナログ入力電流				5.0	μA

注．中速モード時、内部トリガを使用する場合は17μsになります。

D/Aコンバータ特性

表 23　D/Aコンバータ特性（Aバージョン）

（指定のない場合は、V_{CC}＝2.7～5.5V、V_{CC}=V_{REF}、V_{SS}＝AV_{SS}＝0V、Ta＝－20～85℃、中速/高速モード時）

記　号	項　目	測定条件	規格値			単位
			最小	標準	最大	
－	分解能				8	BITS
－	絶対精度	V_{CC}＝V_{REF}＝5V			1.0	%
		V_{CC}＝V_{REF}＝2.7V			2.0	%
tsu	設定時間			3		μs
R_O	出力抵抗		1	2.5	4	kΩ
I_{VREF}	基準電源入力電流	(注)			3.2	mA

注．D/Aコンバータを1本使用し、使用していないD/AコンバータのDA変換レジスタの値が“ 00_{16} ”の場合です。
A/Dコンバータラダー抵抗分は除きます。

タイミング必要条件及びスイッチング特性

表24　タイミング必要条件(1)（Aバージョン）
（指定のない場合はV_{CC}=4.0～5.5V, V_{SS}=0V, Ta=－20～85°C）

記　号	項　目		規格値 最小	規格値 標準	規格値 最大	単位
t_W($\overline{RESET}$)	リセット入力“L”パルス幅		2			μs
t_C(X_{IN})	メインクロック入力サイクル時間(X_{IN}入力)	4.0V≦Vcc＜4.5V	1000/(4×Vcc－8)			ns
		4.5V≦Vcc≦5.5V	100			ns
t_{WH}(X_{IN})	メインクロック入力“H”パルス幅	4.0V≦Vcc＜4.5V	45			ns
		4.5V≦Vcc≦5.5V	40			ns
t_{WL}(X_{IN})	メインクロック入力“L”パルス幅	4.0V≦Vcc＜4.5V	45			ns
		4.5V≦Vcc≦5.5V	40			ns
t_C(CNTR)	CNTR$_0$, CNTR$_1$入力サイクル時間	4.0V≦Vcc＜4.5V	1000/(2×Vcc－4)			ns
		4.5V≦Vcc≦5.5V	200			ns
t_{WH}(CNTR)	CNTR$_0$, CNTR$_1$入力“H”パルス幅	4.0V≦Vcc＜4.5V	105			ns
		4.5V≦Vcc≦5.5V	85			ns
t_{WL}(CNTR)	CNTR$_0$, CNTR$_1$入力“L”パルス幅	4.0V≦Vcc＜4.5V	105			ns
		4.5V≦Vcc≦5.5V	85			ns
t_{WH}(INT)	INT$_0$～INT$_3$入力“H”パルス幅		80			ns
t_{WL}(INT)	INT$_0$～INT$_3$入力“L”パルス幅		80			ns
t_C(S_{CLK1})	シリアルI/O1クロック入力サイクル時間	(注)	800			ns
t_{WH}(S_{CLK1})	シリアルI/O1クロック入力“H”パルス幅	(注)	370			ns
t_{WL}(S_{CLK1})	シリアルI/O1クロック入力“L”パルス幅	(注)	370			ns
t_{su}(R_xD-S_{CLK1})	シリアルI/O1入力セットアップ時間		220			ns
t_h(S_{CLK1}-R_xD)	シリアルI/O1入力ホールド時間		100			ns
t_C(S_{CLK2})	シリアルI/O2クロック入力サイクル時間		1000			ns
t_{WH}(S_{CLK2})	シリアルI/O2クロック入力“H”パルス幅		400			ns
t_{WL}(S_{CLK2})	シリアルI/O2クロック入力“L”パルス幅		400			ns
t_{su}(S_{IN2}-S_{CLK2})	シリアルI/O2入力セットアップ時間		200			ns
t_h(S_{CLK2}-S_{IN2})	シリアルI/O2入力ホールド時間		200			ns

注．001A$_{16}$番地のビット6が“1”の場合です。
　　001A$_{16}$番地のビット6が“0”の場合、値は1/4になります。

表25　タイミング必要条件(2)（Aバージョン）
(指定のない場合は、V_{CC}＝1.8～4.0V、V_{SS}＝0V、Ta＝－20～85℃)

記　号	項　目		規格値 最小	規格値 標準	規格値 最大	単位
$t_W(\overline{RESET})$	リセット入力“L”パルス幅		2			μs
$t_C(X_{IN})$	メインクロック入力サイクル時間(X_{IN}入力)	2.0V≦Vcc≦4.0V	125			ns
		Vcc＜2.0V	1000/(10×Vcc－12)			ns
$t_{WH}(X_{IN})$	メインクロック入力“H”パルス幅	2.0V≦Vcc≦4.0V	50			ns
		Vcc＜2.0V	70			ns
$t_{WL}(X_{IN})$	メインクロック入力“L”パルス幅	2.0V≦Vcc≦4.0V	50			ns
		Vcc＜2.0V	70			ns
$t_C(CNTR)$	$CNTR_0$, $CNTR_1$入力サイクル時間	2.0V≦Vcc≦4.0V	1000/Vcc			ns
		Vcc＜2.0V	1000/(5×Vcc－8)			ns
$t_{WH}(CNTR)$	$CNTR_0$, $CNTR_1$入力“H”パルス幅		tc(CNTR)/2－20			ns
$t_{WL}(CNTR)$	$CNTR_0$, $CNTR_1$入力“L”パルス幅		tc(CNTR)/2－20			ns
$t_{WH}(INT)$	INT_0～INT_3入力“H”パルス幅		230			ns
$t_{WL}(INT)$	INT_0～INT_3入力“L”パルス幅		230			ns
$t_C(S_{CLK1})$	シリアルI/O1クロック入力サイクル時間	(注)	2000			ns
$t_{WH}(S_{CLK1})$	シリアルI/O1クロック入力“H”パルス幅	(注)	950			ns
$t_{WL}(S_{CLK1})$	シリアルI/O1クロック入力“L”パルス幅	(注)	950			ns
$t_{su}(R_xD\text{-}S_{CLK1})$	シリアルI/O1入力セットアップ時間		400			ns
$t_h(S_{CLK1}\text{-}R_xD)$	シリアルI/O1入力ホールド時間		200			ns
$t_C(S_{CLK2})$	シリアルI/O2クロック入力サイクル時間		2000			ns
$t_{WH}(S_{CLK2})$	シリアルI/O2クロック入力“H”パルス幅		950			ns
$t_{WL}(S_{CLK2})$	シリアルI/O2クロック入力“L”パルス幅		950			ns
$t_{su}(S_{IN2}\text{-}S_{CLK2})$	シリアルI/O2入力セットアップ時間		400			ns
$t_h(S_{CLK2}\text{-}S_{IN2})$	シリアルI/O2入力ホールド時間		200			ns

注．$001A_{16}$番地のビット6が“1”の場合です。
　　$001A_{16}$番地のビット6が“0”の場合、値は1/4になります。

表26　スイッチング特性(1)（Aバージョン）
（指定のない場合は、V_{CC}＝4.0～5.5V、V_{SS}＝0V、Ta＝－20～85℃）

記　号	項　目	規格値			単位
		最　小	標　準	最　大	
t_{WH} (S_{CLK1})	シリアルI/O1クロック出力“H”パルス幅	$t_c(S_{CLK1})/2-30$			ns
t_{WL} (S_{CLK1})	シリアルI/O1クロック出力“L”パルス幅	$t_c(S_{CLK1})/2-30$			ns
t_d (S_{CLK1}-T_{XD})	シリアルI/O1出力遅延時間　(注)			140	ns
t_v (S_{CLK1}-T_{XD})	シリアルI/O1出力有効時間　(注)	－30			ns
t_r (S_{CLK1})	シリアルI/O1クロック出力立ち上がり時間			30	ns
t_f (S_{CLK1})	シリアルI/O1クロック出力立ち下がり時間			30	ns
t_{WH} (S_{CLK2})	シリアルI/O2クロック出力“H”パルス幅	$t_c(S_{CLK2})/2-160$			ns
t_{WL} (S_{CLK2})	シリアルI/O2クロック出力“L”パルス幅	$t_c(S_{CLK2})/2-160$			ns
t_d (S_{CLK2}-S_{OUT2})	シリアルI/O2出力遅延時間			0.2×$t_c(S_{CLK2})$	ns
t_v (S_{CLK2}-S_{OUT2})	シリアルI/O2出力有効時間	0			ns
t_f (S_{CLK2})	シリアルI/O2クロック出力立ち下がり時間			40	ns

注．UART制御レジスタのP4$_5$/TxD Pチャネル出力禁止ビット(001B$_{16}$番地のビット4)が“0”の場合です。

表27　スイッチング特性(2)（Aバージョン）
（指定のない場合は、V_{CC}＝1.8～4.0V、V_{SS}＝0V、Ta＝－20～85℃）

記　号	項　目	規格値			単位
		最　小	標　準	最　大	
t_{WH} (S_{CLK1})	シリアルI/O1クロック出力“H”パルス幅	$t_c(S_{CLK1})/2-100$			ns
t_{WL} (S_{CLK1})	シリアルI/O1クロック出力“L”パルス幅	$t_c(S_{CLK1})/2-100$			ns
t_d (S_{CLK1}-T_{XD})	シリアルI/O1出力遅延時間　(注)			350	ns
t_v (S_{CLK1}-T_{XD})	シリアルI/O1出力有効時間　(注)	－30			ns
t_r (S_{CLK1})	シリアルI/O1クロック出力立ち上がり時間			100	ns
t_f (S_{CLK1})	シリアルI/O1クロック出力立ち下がり時間			100	ns
t_{WH} (S_{CLK2})	シリアルI/O2クロック出力“H”パルス幅	$t_c(S_{CLK2})/2-240$			ns
t_{WL} (S_{CLK2})	シリアルI/O2クロック出力“L”パルス幅	$t_c(S_{CLK2})/2-240$			ns
t_d (S_{CLK2}-S_{OUT2})	シリアルI/O2出力遅延時間			0.2×$t_c(S_{CLK2})$	ns
t_v (S_{CLK2}-S_{OUT2})	シリアルI/O2出力有効時間	0			ns
t_f (S_{CLK2})	シリアルI/O2クロック出力立ち下がり時間			100	ns

注．UART制御レジスタのP4$_5$/TxD Pチャネル出力禁止ビット(001B$_{16}$番地のビット4)が“0”の場合です。

図67．出力スイッチング特性の測定回路図

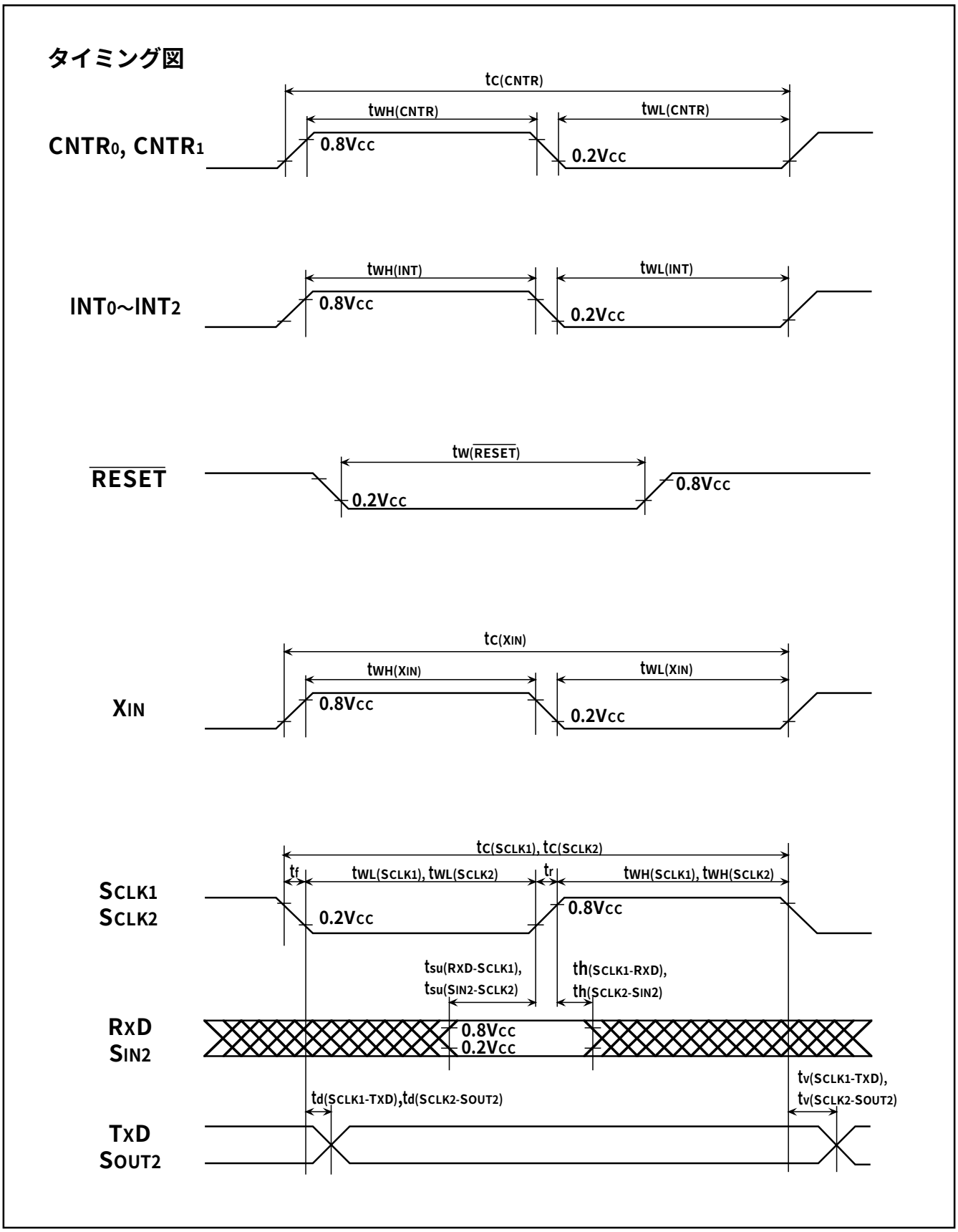
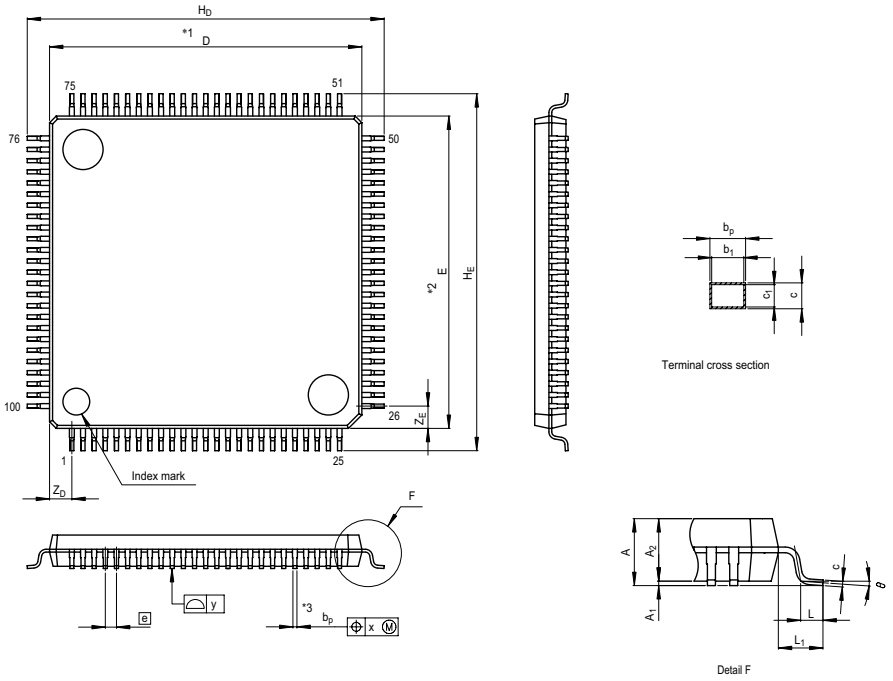

タイミング図
CNTR0, CNTR1
tC(CNTR)
tWH(CNTR)
tWL(CNTR)
0.8VCC
0.2VCC
INT0～INT2
tWH(INT)
tWL(INT)
0.8VCC
0.2VCC
RESET
tW(RESET)
0.2VCC
0.8VCC
XIN
tC(XIN)
tWH(XIN)
tWL(XIN)
0.8VCC
0.2VCC
SCLK1
SCLK2
tC(SCLK1), tC(SCLK2)
tf
tWL(SCLK1), tWL(SCLK2)
tr
tWH(SCLK1), tWH(SCLK2)
0.2VCC
0.8VCC
tsu(RXD-SCLK1),
tsu(SIN2-SCLK2)
th(SCLK1-RXD),
th(SCLK2-SIN2)
RXD
SIN2
0.8VCC
0.2VCC
td(SCLK1-TXD),td(SCLK2-SOUT2)
tv(SCLK1-TXD),
tv(SCLK2-SOUT2)
TXD
SOUT2

図68．タイミング図

外形寸法図

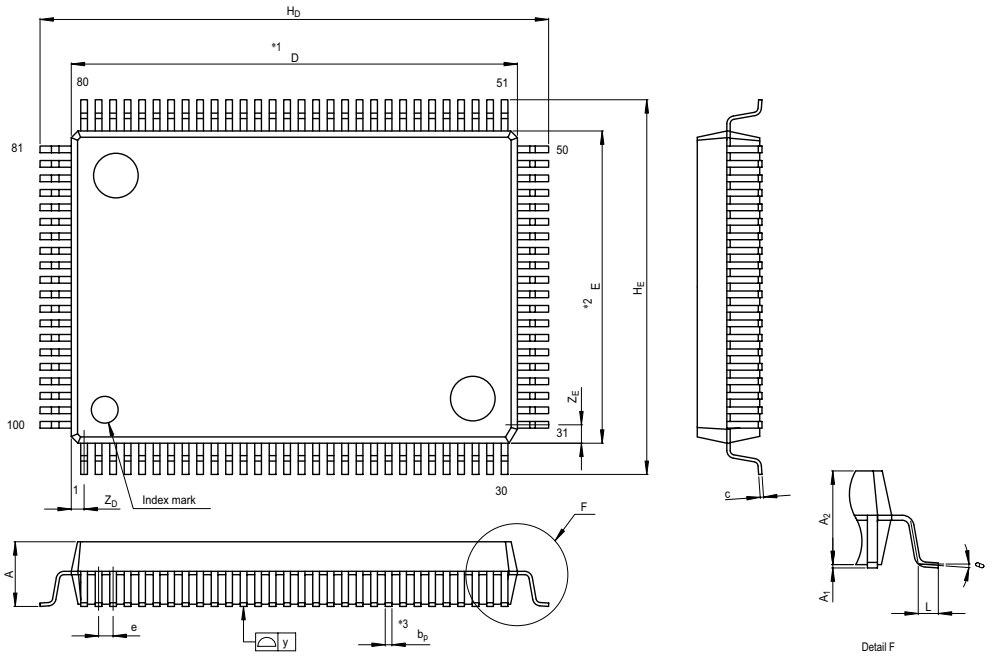
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP100-14x14-0.50	PLQP0100KB-A	100P6Q-A / FP-100U / FP-100UV	0.6g



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.0	—
Z_E	—	1.0	—
L	0.35	0.5	0.65
L_1	—	1.0	—

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-QFP100-14x20-0.65	PRQP0100JB-A	100P6S-A	1.6g



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	19.8	20.0	20.2
E	13.8	14.0	14.2
A_2	—	2.8	—
H_D	22.5	22.8	23.1
H_E	16.5	16.8	17.1
A	—	—	3.05
A_1	0	0.1	0.2
b_p	0.25	0.3	0.4
c	0.13	0.15	0.2
θ	0°	—	10°
e	0.5	0.65	0.8
y	—	—	0.10
Z_D	—	0.575	—
Z_E	—	0.825	—
L	0.4	0.6	0.8

2. 付録

2.1 使用上の注意事項

2.1.1 プログラム作成に関する注意事項

(1) プロセッサステータスレジスタ使用

■プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

＜理由＞

プロセッサステータスレジスタ(PS)は、Iフラグが“1”であるのを除いて、リセット直後は不定です。

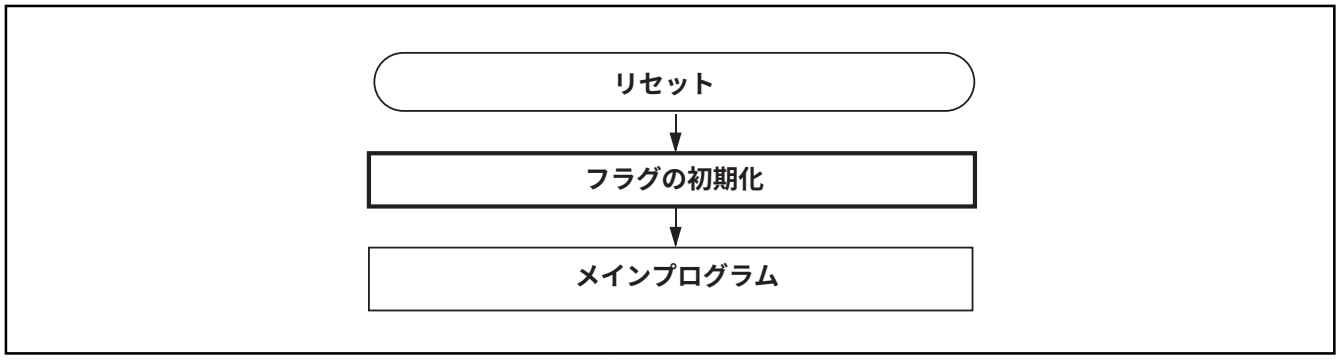


図2.1.1 プロセッサステータスレジスタのフラグの初期化

■プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

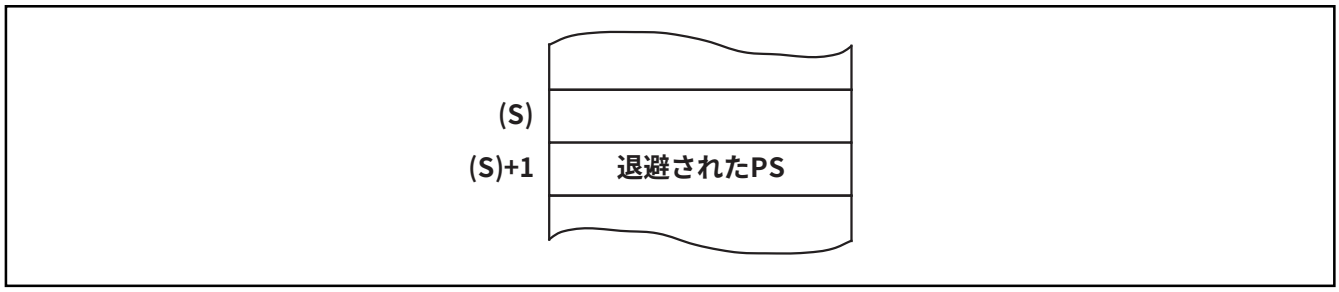


図2.1.2 PHP命令実行後のスタックメモリの内容

(2) 10進演算

■10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令よりも一命令後に行ってください。

■10進演算時のステータスフラグ

10進モード(Dフラグ=1)時にADC, SBC命令を実行したとき、ステータスフラグのうちN, V, Zの3つのフラグは無効となります。

また、C(キャリ)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

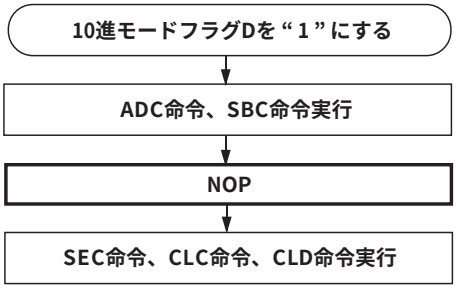


図2.1.3　10進演算時のステータスフラグ

(3)　乗除算命令

・MUL、DIV命令は、T、Dフラグの影響を受けません。
・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

(4)　JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが“FF_{16}”となるアドレスをオペランドに指定しないでください。

(5)　BRK命令

下記2つの状態である時にBRK命令を実行すると、その要因の中で最も優先順位の高い要因の割り込みベクトルの番地から割り込みの実行を開始します。

・割り込み要求ビット、割り込み許可ビットが共に“1”
・Iフラグを“1”にして割り込みを禁止

(6)　リード・モディファイ・ライト命令

読み出しができないメモリやSFRに対してリード・モディファイ・ライト命令を実行しないでください。

リード・モディファイ・ライト命令は、メモリをバイト単位で読み(リード)、加工して(モディファイ)、元のメモリにバイト単位で書く(ライト)命令です。740ファミリでは、次に示す命令が、リード・モディファイ・ライト命令に当たります。

・ビット処理命令
　CLB、SEB
・シフト・回転命令
　ASL、LSR、ROL、ROR、RRF

・加減算命令
　DEC、INC
・論理演算命令（1 の補数）
　COM

なお、リード・モディファイ・ライト命令ではありませんが、Tフラグが“1”の場合の加減算・論理演算命令（ADC、SBC、AND、EOR、ORA）も、リード・モディファイ・ライト命令と同様の動作をしますので、読み出しができないメモリやSFRに対して実行しないでください。
＜理由＞
読み出しができないメモリやSFRに対して、この命令を実行すると、次のようになります。
読み出しができないため、読んだ値は不定です。この不定値を加工して書くため、書いた値は予想できない値になります。

(7)命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載のサイクル数に、システムクロックφの周期をかけることによって得られます。システムクロックφの周期は、メインクロック分周比選択ビット、及びシステムクロック選択ビットで決まります。

2.1.2　入出力ポートに関する注意事項

(1)　ビット処理命令による出力データの書き換え

入出力ポートのポートラッチをビット処理命令（注）を用いて書き換える場合、指定していないビットの値が変化することがあります。

＜理由＞

入出力ポートは、ビット単位で入力モード又は出力モードを設定できます。ポートPi(i=0～7)レジスタに読み出し、書き込みを行うと次のように動作します。

・入力モードのポート
　読み出し：端子のレベルを読む（ポートラッチの内容と端子のレベルは無関係）
　書き込み：ポートラッチへ書く（ポートラッチの内容と端子のレベルは無関係）

・出力モードのポート
　読み出し：ポートラッチを読む（ポートラッチの内容と端子のレベルは無関係）
　書き込み：ポートラッチへ書く（ポートラッチの内容を端子から出力する）

一方、ビット処理命令はリード・モディファイ・ライト命令（「2.1.1 プログラム作成に関する注意事項 (6)」参照）ですので、バイト単位で読み出し及び書き込みを行います。

このため、入力モードのポートにビット処理命令を実行すると、端子のレベルを読み、指定されたビットを変更して、ポートラッチへ書きます。このとき、元のポートラッチの内容と、端子のレベルが違えば、命令で指定していないビットのポートラッチの内容が変化します。

更に、ポートPiに入力と出力が混在する場合、出力データを設定するためにポートPiレジスタにビット処理命令を実行すると、入出力に関係なくポートPiレジスタの全ビットに読み出しと書き込みを行うため、命令で指定していない、入力モードのビットのポートラッチの内容が変化することがあります。

注．ビット処理命令：SEB命令、CLB命令

(2)　ポート方向レジスタの値は読めません。すなわち、LDA命令をはじめ、Tフラグが‘1’の場合のメモリ演算方法、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算をはじめとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

(3)　プルアップ制御について

プルアップ抵抗を内蔵した各ポートを出力ポートとして使用する場合、対応するポートのプルアップ制御ビットは無効になり、プルアップ抵抗は接続されません。

＜理由＞

プルアップ制御は各方向レジスタが入力モードの場合のみ有効です。

2.1.3 未使用端子の処理に関する注意事項

(1) 未使用端子の適切な処理

マイコンの端子からできるだけ 短い配線(20mm以内)で次の処理をしてください。

■出力専用ポート

開放してください。

■入力専用ポート

端子ごとに1k～10kΩの抵抗を介してVcc又はVssに接続してください。

また、電圧レベルが動作モードに影響を与える端子（INTi端子など）は、モードを検討の上、Vcc又はVssを選択してください。

■入出力ポート

入力モードにし、端子ごとに1k～10kΩの抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗も使用できます。

出力モードにする場合は、“ L ”又は“ H ”出力状態で開放してください。

- **出力モードにして開放する場合、リセット後、プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。**
- **ノイズやプログラムの暴走などにより方向レジスタが変化する場合を考慮し、定期的に方向レジスタをプログラムで再設定することによって、更にプログラムの信頼度が高まります。**

(2) 処理上の留意事項

■入力専用ポート

開放しないでください。

＜理由＞

- 初段回路によっては電源電流が増加する場合があります。
- 「**(1)■入力専用ポート」の処理**に比べ、ノイズの影響を受け易くなります。

■入出力ポートを入力モードにする場合

[1] 開放しないでください。

＜理由＞

- 初段回路によっては電源電流が増加する場合があります。
- 「**(1)■入出力ポート」の処理**に比べ、ノイズの影響を受け易くなります。

[2] Vcc又はVssに直結しないでください。

＜理由＞

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

[3] 複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

＜理由＞

ノイズやプログラムの暴走などにより、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

2.1.4　割り込みに関する注意事項

(1)　使用しない割り込み

使用しない割り込みの割り込み許可ビットは、“ 0 ”(禁止)にしてください。

(2)　関連レジスタの設定変更

外部割り込みのアクティブエッジの選択及び複数の割り込み要因で共用している割り込みベクトルの割り込み要因の選択時、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

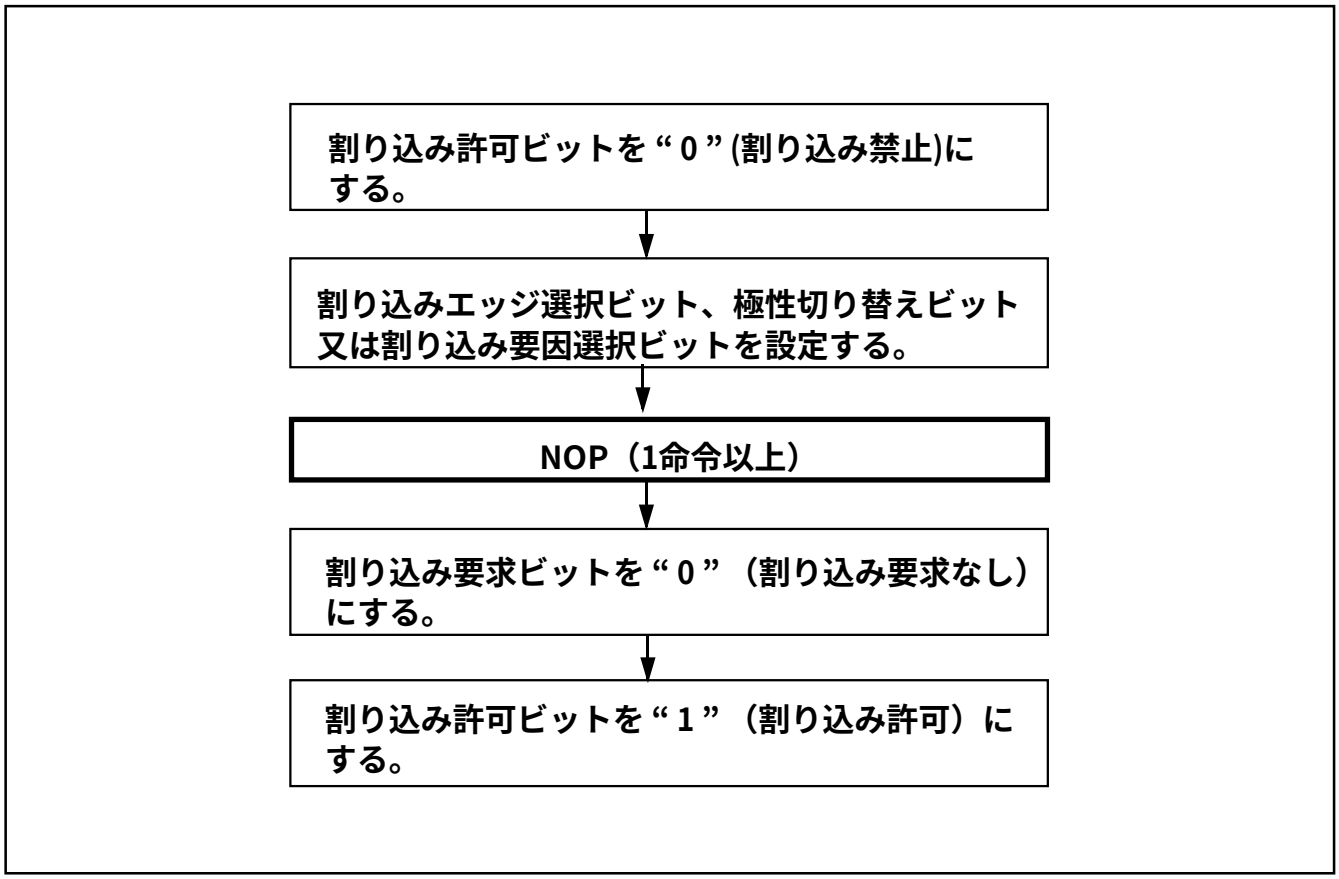


図2.1.4　関連レジスタの設定手順

＜理由＞

次の場合、対応する割り込みの割り込み要求ビットが“ 1 ”になるときがあります。

・外部割り込みのアクティブエッジを切り替えるとき

INT0割り込みエッジ選択ビット（割り込みエッジ選択レジスタ（$3A_{16}$番地）のビット0）
INT1割り込みエッジ選択ビット（割り込みエッジ選択レジスタのビット1）
INT2割り込みエッジ選択ビット（割り込みエッジ選択レジスタのビット2）
CNTR0極性切り替えビット（タイマXモードレジスタ（27_{16}番地）のビット6）
CNTR1極性切り替えビット（タイマYモードレジスタ（28_{16}番地）のビット6）

・複数の割り込み要因で共用している割り込みベクトルの割り込み要因を切り替えるとき

割り込み要因選択ビット（AD制御レジスタ（34_{16}番地）のビット6）

(3)　割り込み要求ビットの判定

割り込み要求ビットを“ 0 ”にした直後、このビットをBBC命令又はBBS命令で判定する場合、次の手順で判定してください。

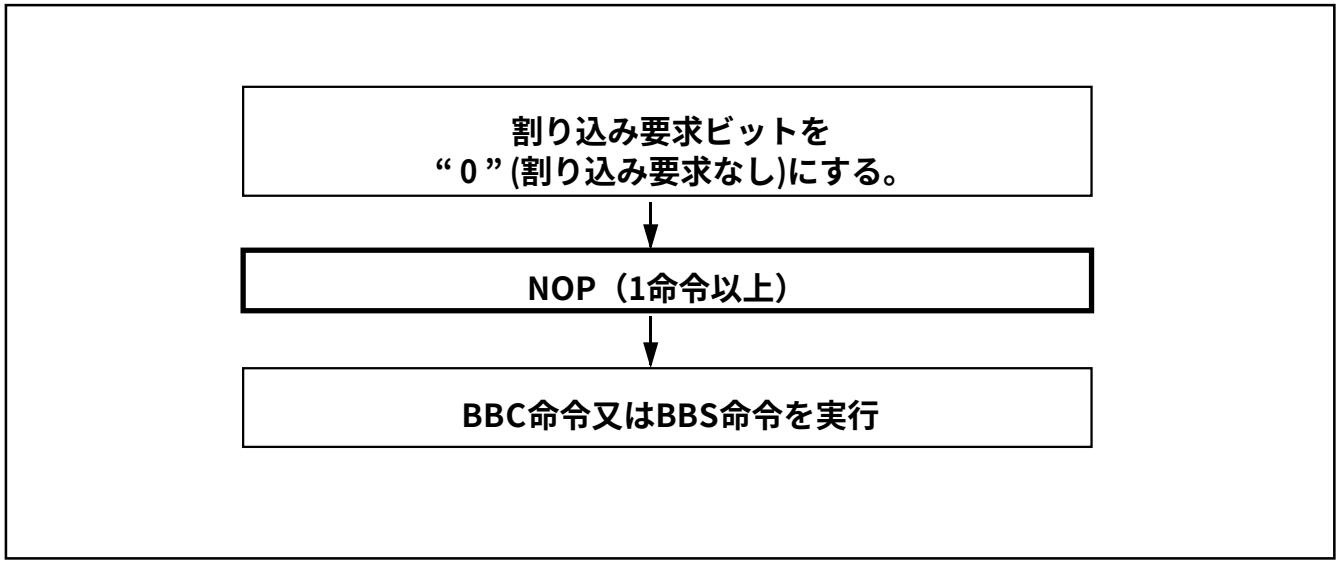


図2.1.5　割り込み要求ビットの判定手順

＜理由＞

割り込み要求ビットを“ 0 ”にした直後にBBC命令又はBBS命令を実行すると、“ 0 ”になる前の割り込み要求ビットの値を判定します。

2.1.5　タイマに関する注意事項

以下にタイマX、タイマY、また、タイマ1、タイマ2、タイマ3の各種モードの使用上の注意事項について説明します。

(1)　タイマX

■全モード共通

◆タイマXを読み書きする場合は必ずタイマX上位レジスタ、タイマX下位レジスタとも行ってください。読む場合は上位、下位の順に、書く場合は下位、上位の順に行ってください。
なお、次の操作を行うと正常な動作を行いません。
・タイマX下位レジスタの読み出し前の上位又は下位への書き込み操作
・タイマX上位レジスタの書き込み前の上位又は下位からの読み出し操作

◆タイマX書き込み制御ビット（タイマXモードレジスタ（27_{16}番地）のビット0）でラッチのみ書き込みを選択している場合、タイマXのアンダフロー時にタイマX上位レジスタに値を書くと、タイマXとタイマXラッチに同時に値が設定されます。そのとき、上位側タイマに設定される値が不定になることがあります。

■パルス出力モード

◆パルス出力モード時、ポート$P5_4$（ポートP5レジスタ（$0A_{16}$番地）のビット4）を読むと、ポートラッチの内容ではなく出力中の端子の値が読めます。

■リアルタイムポート機能

◆リセット解除後、ポートP5方向レジスタは入力モードになり$P5_0$～$P5_7$端子は通常の入出力ポートとして機能します。RTPとして使用する端子は、必ずポートP5方向レジスタの対応するビットを出力ポートに設定してください。

■$CNTR_0$極性切り替え

◆$CNTR_0$極性切り替えビット（タイマXモードレジスタのビット6）により、$CNTR_0$割り込み要求発生の極性も変化します。

(2)　タイマY

■全モード共通

◆タイマYを読み書きする場合は必ずタイマY上位レジスタ、タイマY下位レジスタとも行ってください。読む場合は上位、下位の順に、書く場合は下位、上位の順に行ってください。
なお、次の操作を行うと正常な動作を行いません。
・タイマY下位レジスタの読み出し前の上位又は下位への書き込み
・タイマY上位レジスタの書き込み前の上位又は下位からの読み出し

■$CNTR_1$極性切り替え

◆$CNTR_1$極性切り替えビット（タイマYモードレジスタ（28_{16}番地）のビット6）により$CNTR_1$割り込み要求発生の極性も変化します。
ただし、パルス幅HL連続測定モードの場合は、このビットの値に関わらず、$CNTR_1$端子の立ち下がりエッジ、立ち上がりエッジともに$CNTR_1$割り込み要求が発生します。

(3)　タイマ1～3

タイマ1～3のカウントソースを選択した後、タイマ1レジスタから順に値を設定してください。
＜理由＞
・タイマ1～3のカウントソースを選択するとき、カウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。
・タイマ2又はタイマ3のカウントソースとしてタイマ1 のアンダフロー信号を選択している場合、タイマ1レジスタへの書き込み時に、出力に細かいパルスが生じて、タイマ2又はタイマ3のカウント値が大きく変わることがあります。

(4)　タイマ2

タイマ2書き込み制御ビット（タイマ123モードレジスタ（29_{16}番地）のビット2）でラッチのみ書き込みを選択している場合、タイマ2のアンダフロー時にタイマ2レジスタに値を書くと、タイマ2とタイマ2ラッチに同時に値が設定されます。

(5)　タイマ全般

■タイマのカウントソースは、システムクロック選択ビット（CPUモードレジスタ（$3B_{16}$番地）のビット7）で選択しているシステムクロックφの影響を受けます。
■使用していないタイマは、次の設定をしてください。
・カウント停止（停止制御ができるタイマの場合）
・対応する割り込み許可ビットは“0”（禁止）を選択

2.1.6　シリアルI/O1に関する注意事項

(1)　ボーレートジェネレータへの書き込み

ボーレートジェネレータ(BRG)への書き込みは、送受信停止中に行ってください。

(2)　シリアルI/O1送信割り込み使用時の設定手順

シリアルI/O1送信割り込みを使用する場合は、設定に同期した割り込み発生が不要であれば、以下の手順で設定してください。

①シリアルI/O1送信割り込み許可ビット（割り込み制御レジスタ1（3E16番地）のビット3）を“0”(禁止)にする。
②送信許可ビットを“1”にする。
③一命令以上おいてからシリアルI/O1送信割り込み要求ビット（割り込み要求レジスタ1（3C16番地）のビット3）を“0”(割り込み要求なし）にする。
④シリアルI/O1送信割り込み許可ビットを“1”(許可）にする。

＜理由＞

送信許可ビットを“1”にすると、送信バッファエンプティフラグ（シリアルI/O1ステータスレジスタのビット0）、及び送信シフトレジスタシフト終了フラグは、“1”になります。

したがって、送信割り込み要因選択ビット（シリアルI/O1制御レジスタのビット3）で割り込み発生要因をどちらに選択していても割り込み要求が発生し、シリアルI/O1送信割り込み要求ビットが“1”になります。

(3)　送信シフトレジスタシフト終了フラグを使用したデータ送信制御

送信バッファレジスタに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグ（シリアルI/O1ステータスレジスタ（1916番地）のビット2）は、シフトクロックの0.5～1.5クロック分遅れで“1”から“0”へ変化します。したがって送信バッファレジスタに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

(4)　シリアルI/O1制御レジスタの再設定

シリアルI/O1制御レジスタの再設定は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信回路及び受信回路を初期化した後に行ってください。

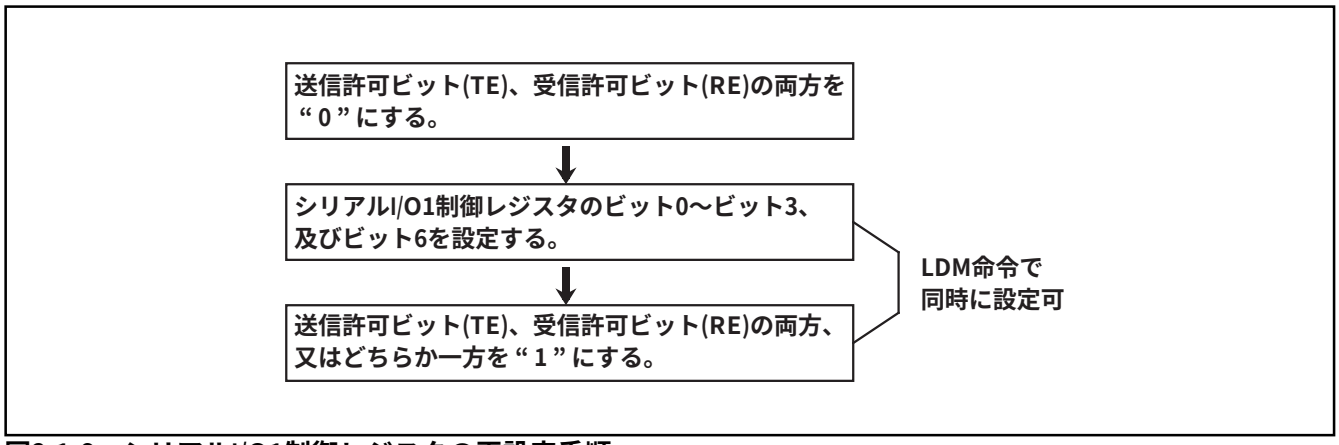


図2.1.6　シリアルI/O1制御レジスタの再設定手順

(5) 送信終了後の端子の状態

送信終了後、TxD端子は送信終了時のレベルを保持します。
クロック同期形シリアルI/Oモードで内部クロック選択時、SCLK1端子は“H”になります。

(6) 送信動作中のシリアルI/O1許可ビット

送信時、シリアルI/O1許可ビット（シリアルI/O1制御レジスタ（1A16番地）のビット7）を“0”（シリアルI/O1禁止）にすると、端子機能は入出力ポートになり、外部へ送信データは出力されませんが、内部の送信動作は継続して行われます。また、この状態で送信バッファレジスタに書くと、内部では送信動作を開始します。この時、シリアルI/O1許可ビットを“1”にすると、その時点から送信データをTxD端子に出力します。

(7) 外部クロック選択時の送信制御

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が“H”の状態で送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLK1が“H”の状態で行ってください。

(8) クロック同期形シリアルI/Oモード時の受信動作

クロック同期形シリアルI/Oモードの受信時、受信許可ビットとともに、送信許可ビットも“1”にしてください。次に、送信バッファレジスタにダミーデータを書いてください。同期クロックとして内部クロック選択時は、この時点で同期クロックが出力され、受信動作を開始します。外部クロック選択時は、この時点で受信できる状態になり、外部クロックが入力されると、受信動作を開始します。
なお、P45/TxD端子からは、送信バッファレジスタに書いたダミーデータが出力されます。

(9) クロック同期形シリアルI/Oモード時の送受信動作

クロック同期形シリアルI/Oモード時、送受信動作を停止する場合は、送信許可ビット、及び受信許可ビットを同時に“0”にしてください。いずれか一方だけを停止すると、送信と受信の同期がとれなくなり、ビットずれが生じます。

2.1.7 シリアルI/O2に関する注意事項

(1) 同期クロックの切り替え

シリアルI/O2同期クロック選択ビット（シリアルI/O2制御レジスタ（1D16番地）のビット6）により、同期クロックを切り替えた場合、シリアルI/O2カウンタの初期化（シリアルI/O2レジスタ（1F16番地）への書き込み）を行ってください。

(2) 外部クロック選択時の注意事項

同期クロックとして外部クロックを選択している場合、SOUT2端子は転送終了後、D7の出力レベルを保持します。ただし、同期クロックが入力され続けると、シリアルI/O2レジスタのシフトは継続され、SOUT2端子から送信データが出力され続けます。
また、シリアルI/O2レジスタへの書き込みは、SCLK21が“H”の状態で行ってください。
なお、同期クロックとして内部クロックを選択している場合、SOUT2端子は転送終了後ハイインピーダンス状態になります。

2.1.8　PWM出力回路に関する注意事項

●PWM出力開始前の“ L ”出力

PWM0機能許可ビットとPWM1機能許可ビットの両方が“ 0 ”のときに、少なくとも一方を“ 1 ”にすると、対応するPWM端子は、次に示す期間“ L ”を出力します。その後、“ H ”からはじまるPWM出力を開始します。

・カウントソース選択ビット=“ 0 ”, n = プリスケーラ設定値

$$\frac{n+1}{2\times f(X_{IN})}\quad（秒）$$

・カウントソース選択ビット=“ 1 ”, n = プリスケーラ設定値

$$\frac{n+1}{f(X_{IN})}\quad（秒）$$

●PWM出力の変更

PWM出力中にPWMプリスケーラ、PWMレジスタを変更した場合は、次の繰り返し周期から、変更した内容に対応した波形が出力されます。図2.1.7にPWM出力の変更を示します。

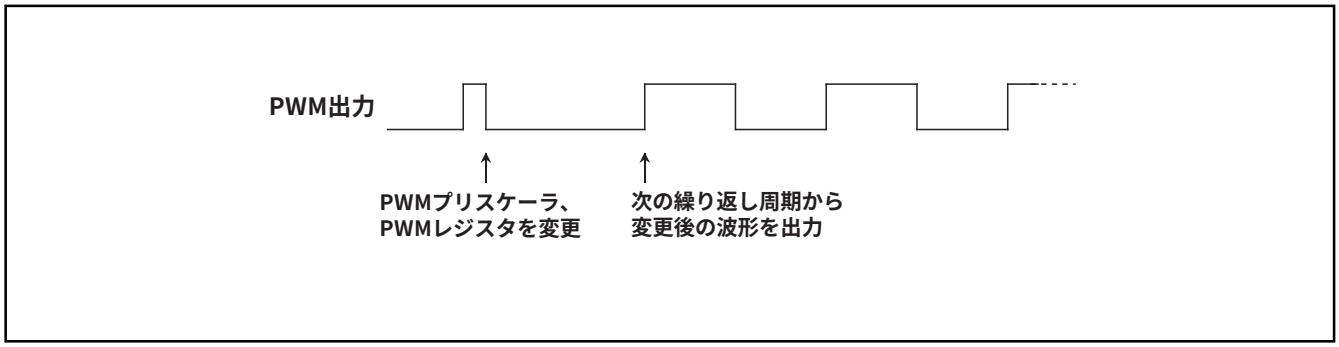


図2.1.7　PWM出力の変更

2.1.9 A/Dコンバータに関する注意事項

(1) アナログ入力端子

アナログ入力の信号源インピーダンスは低くしてください。又は、アナログ入力端子に、0.01μF～1μFの外付けのコンデンサを接続してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

＜理由＞

アナログ入力端子には、アナログ電圧比較用のコンデンサを内蔵しています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

(2) アナログ電源入力端子AVss

A/D変換機能の使用、未使用にかかわらず、アナログ電源入力端子AVssは次のように処理してください。

・AVss：Vssに接続

＜理由＞

AVss端子を開放すると、ノイズなどの影響を受けてマイコンが誤動作をすることがあります。

(3) 基準電圧入力端子VREF

VREF端子とAVss端子間に容量1000pF程度のコンデンサを挿入し、VREF端子―コンデンサ間及びAVss端子―コンデンサ間の配線長を等しくかつ最短で接続してください。

(4) A/D変換中のクロック周波数

次の条件で、A/D変換機能を使用してください。

・システムクロックφは、システムクロック選択ビット（CPUモードレジスタ（3B16番地）のビット7）で、XIN-XOUTを選択してください。XCIN―XCOUT選択時は、A/D変換機能を使用できません。

・f(XIN)は500kHz以上にしてください。

・A/D変換中にSTP、WIT命令を実行しないでください。

＜理由＞

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われ、十分なA/D変換精度が得られない場合があります。

(5) A/D外部トリガ有効時、A/D変換中にADT端子に立ち下がりが入力されると、変換処理を中断し再度A/D変換を開始します。なお、A/D変換中にプログラムでA/D変換終了ビットに“0”を書いても、再変換は行わず元の変換を継続します。

(6) 次の操作を行った場合、A/D変換は、正常に動作しません。

・A/D変換動作中のCPUモードレジスタへの書き込み

・A/D変換動作中のAD制御レジスタへの書き込み

・A/D変換動作中のSTP命令、WIT命令の実行

2.1.10　D/Aコンバータに関する注意事項

(1)　リセット時の端子状態

リセット時、P5$_6$/DA$_1$、P5$_7$/ADT/DA$_2$端子は、ハイインピーダンス状態になります。

(2)　低インピーダンスとの接続

DA$_i$出力端子はバッファを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。

(3)　基準電源入力端子VREF

- P5$_6$/DA$_1$、P5$_7$/ADT/DA$_2$端子をDA$_i$出力端子として使用する場合は、VREF端子には、VCCレベルを入力することを推奨します。VCCレベル以下の電圧を入力した場合は、D/Aコンバータの精度が低下する可能性があります。
- VREF端子とAVss端子間に容量1000pF程度のコンデンサを挿入し、VREF端子―コンデンサ間の配線及びAVss端子―コンデンサ間の配線長を等しくかつ最短で接続してください。

2.1.11　LCD駆動制御回路に関する注意事項

(1)　LCDCK用カウントソースについて

リセット後、LCDCK用カウントソース選択ビット（LCDモードレジスタ（39_{16}番地）のビット7）は“0”で、f(X_{CIN})/32が選択されています。リセット後は、サブクロックは停止していますので、発振を開始させ、発振が安定してからLCDを点灯してください。また、LCDCK用カウントソースの変更は、使用するクロックの発振が安定している状態で行ってください。

(2)　STP命令について

STP命令を実行する場合、LCDイネーブルビット（LCDモードレジスタのビット3）を“0”にしてから、STP命令を実行してください。LCD点灯中にSTP命令を実行すると、LCDパネルに直流電圧が印加されます。

(3)　LCDを使用しない場合

LCDを使用しない場合は、セグメント端子、コモン端子を開放にしてください。また、V_{L1}はV_{SS}、V_{L2}はV_{CC}、V_{L3}はV_{CC}に接続してください。

(4)　昇圧回路を使用する場合

昇圧回路を使用する場合は、V_{L1}端子に規格値内の電圧を入力した状態で、昇圧回路制御ビット（LCDモードレジスタのビット4）を“1”にしてください。規格値外の場合、昇圧回路動作開始時に、昇圧回路に電流が流れる場合があります。なお、規格値は、「3.1　電気的特性」を参照してください。

(5)　LCD駆動電源

LCD電源用分割抵抗値とLCDパネルの特性により、電源容量が不足することがあります。この場合、V_{L1}～V_{L3}端子に0.1～0.33μF程度のバイパスコンデンサを接続する方法があります。図2.1.8にLCD駆動電源の強化対策例を示します。

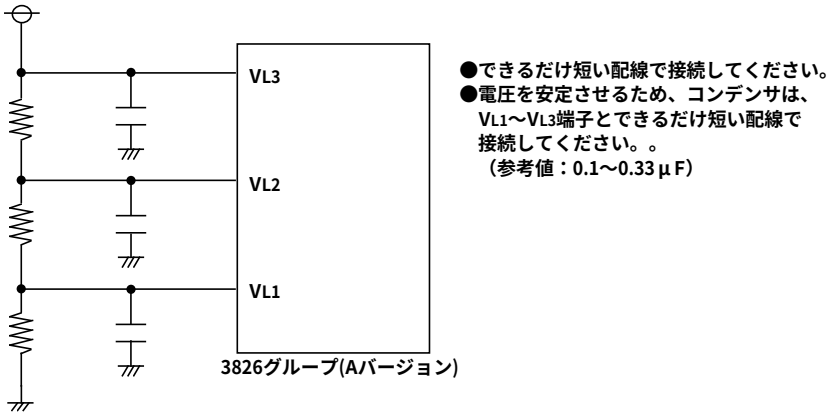


図2.1.8　　LCD駆動電源の強化対策例

(6) LCD表示用RAMへのデータの設定

LCDイネーブルビットが“1”で、LCD点灯中にLCD表示用RAMにデータを書く場合は、確定したデータを書いてください。暫定的なデータの書き換えをすると、LCDがちらつく場合があります。図2.1.9にLCD点灯中にLCD表示用RAMにデータを書く場合の処理例を示します。

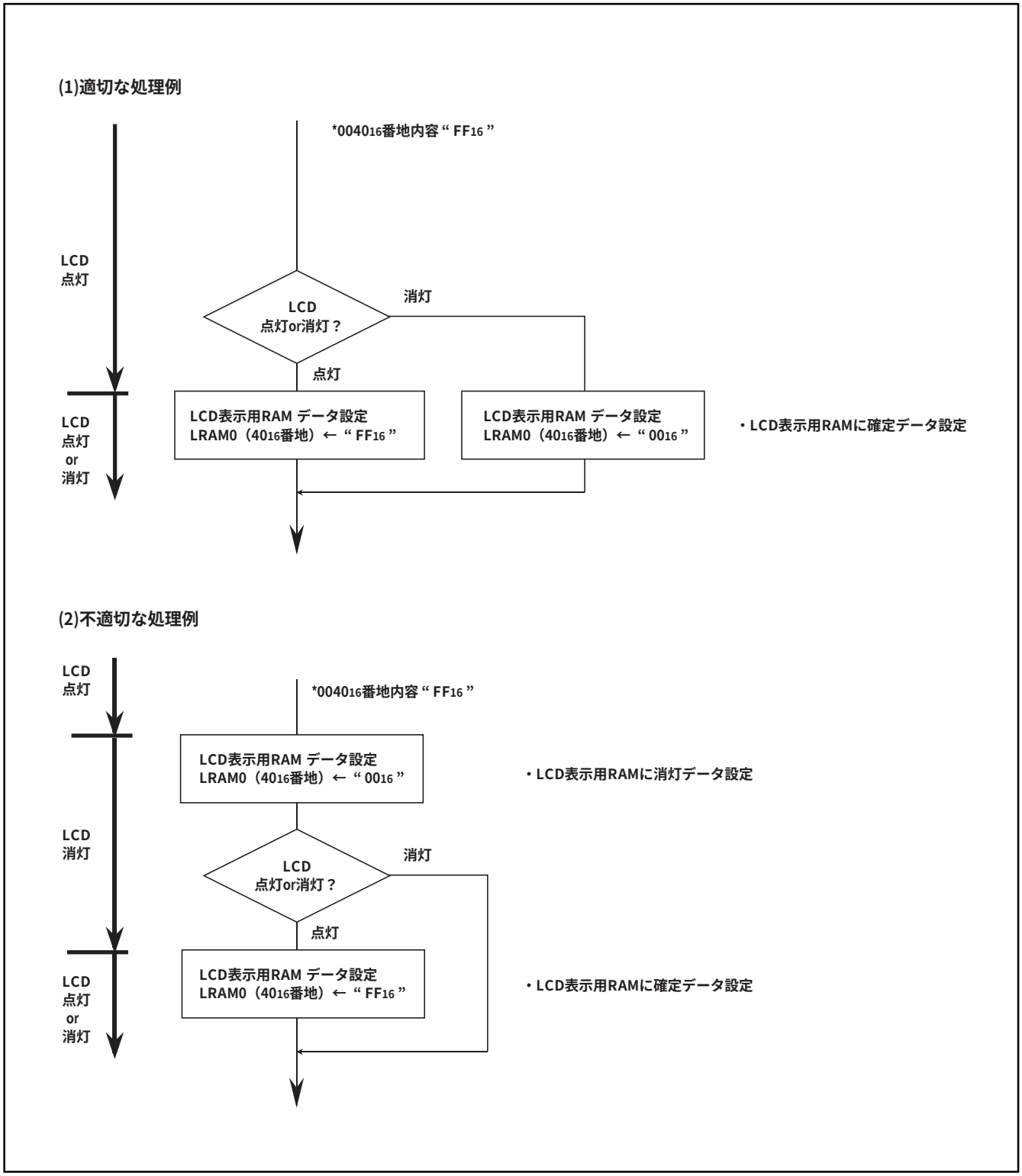


図2.1.9　LCD点灯中にLCD表示用RAMにデータを書く場合の処理例

2.1.12　ウォッチドッグタイマに関する注意事項

(1)　ウェイトモード時、ウォッチドッグタイマは動作しますのでアンダフローしないようにウォッチドッグタイマ制御レジスタへ書き込みを行ってください。

(2)　ストップモード時、ウォッチドッグタイマは動作しませんが、待機時間では動作します。その間にアンダフローしないように、STP命令実行前にウォッチドッグタイマ制御レジスタへ書き込みを行ってください。

(3)　ウォッチドッグタイマのカウントソースは、システムクロック選択ビット（CPUモードレジスタ（$3B_{16}$番地）のビット7）で選択しているシステムクロックφの影響を受けます。

2.1.13　リセット回路に関する注意事項

(1) リセット入力電圧制御

リセット入力電圧は、電源電圧がVcc(min)を通過する時点で0.2Vcc以下になるようにしてください。

(2) リセット信号が緩やかに立ち上がる場合の対策

リセット信号が緩やかに立ち上がる場合は、$\overline{\text{RESET}}$端子とVss端子の間に、セラミックコンデンサなどの高周波特性のよい1000pF以上のコンデンサを接続してください。コンデンサを使用する場合は次の2点に留意してください。

・コンデンサの配線長は最短にしてください。
・ユーザサイドで応用製品の動作確認を十分に行ってください。

＜理由＞

$\overline{\text{RESET}}$端子に数nsから数十nsのインパルス性のノイズが侵入すると、マイコンが誤動作することがあります。

(3) リセット直後の各ポート状態

表2.1.1に$\overline{\text{RESET}}$端子が“ L ”期間の端子状態を示します。

表2.1.1　$\overline{\text{RESET}}$端子の状態が“ L ”期間の端子状態

端子名	端子の状態
P0, P1 (SEG26～SEG39)	入力モード（プルアップあり）
P2, P41～P47, P5, P6	入力モード（ハイインピーダンス）
P3 (SEG18～SEG25)	Vccレベルにプルアップ
P70	ハイインピーダンス
P40, P71～P77	入力モード（ハイインピーダンス）
SEG0～SEG17	Vccレベル出力
COM0～COM3	Vccレベル出力

2.1.14　クロック発生回路に関する注意事項

●モード移行について

　メインクロック（XIN－XOUT）、サブクロック（XCIN－XCOUT）ともに、発振開始後、発振が安定するまで時間を要します。発振が安定してから、中速／高速モードと低速モード間を移行してください。特に、サブクロックの発振立ち上がりには時間を要しますので、電源投入直後やストップモードからの復帰時は、注意してください。

　また、モード移行時のメインクロックとサブクロックの周波数の関係は、次のようにしてください。

$$f(X_{IN}) > 3 \times f(X_{CIN})$$

2.1.15　スタンバイ機能に関する注意事項

(1)　STP命令禁止ビット（ウォッチドッグタイマ制御レジスタ（37$_{16}$番地）のビット6）により、一度STP命令を禁止状態にすると、STP命令許可状態に戻すことはできません。

(2)　スタンバイ機能使用時は以下の点に注意してください。
機能、端子の状態によっては、消費電力が増加する場合があります。
消費電力を低減するための処理例を次に示します。

■消費電力を低減するための処理例
- 入力ポート：外部で“H”又は“L”に固定
- 出力ポート：外部に電流が流出しないレベルに固定
  （例：“L”出力時に電流が流れてLED が点灯する回路の場合、“H”出力に固定）
- A/D入力端子：外部で“H”又は“L”に固定
- PWMi機能許可ビット（PWM制御レジスタ（2B$_{16}$番地）のビット1、2）：“0”
- LCDイネーブルビット：“0”
- A/D変換を終了させる。
  （AD変換終了ビット（AD制御レジスタ（34$_{16}$番地）のビット3）が“1”であることを確認）
- VREF入力スイッチビット（AD制御レジスタのビット4）：“0”
- DAi変換レジスタ（32$_{16}$、33$_{16}$番地）：“00$_{16}$”

(3)　ストップモード使用時

■割り込み要求の発生による復帰後の動作
- タイマ123モードレジスタの値は自動的にビット4以外はすべて“0”になります。
- ストップモード中に割り込み要求が発生すると、ストップモードは解除され、STP命令実行時に発振していたクロックの発振を開始します。STP命令実行時、メインクロック、サブクロックとも発振していて、メインクロックをシステムクロックに選択していた場合、ストップモードからの復帰には、メインクロックの発振安定時間を確保します。メインクロックの発振安定後でもサブクロックの発振は安定していないことがありますので、注意してください。

■LCDを表示している場合
LCDイネーブルビット（LCDモードレジスタ（39$_{16}$番地）のビット3）を“0”にしてLCDを消灯してから、STP命令を実行してください。LCD点灯中にSTP命令を実行すると、LCDパネルに直流電圧が印加されます。

■ウォッチドッグタイマ
ストップモード時、ウォッチドッグタイマは動作しませんが、待機時間では動作します。その間にアンダフローしないように、STP命令実行前にウォッチドッグタイマ制御レジスタへ書き込みを行ってください。

(4)ウェイトモード使用時

■リセット入力による復帰

WIT命令実行時、サブクロックをシステムクロックに選択し、メインクロックを停止していた場合、$\overline{\text{RESET}}$端子の入力レベルを“Ｌ”にすると、サブクロックの発振は停止し、メインクロックの発振を開始します。発振開始時の発振は不安定であり、発振安定時間が必要です。発振が安定するまで$\overline{\text{RESET}}$端子の入力レベルを“Ｌ”にしてください。発振安定後、更に$\overline{\text{RESET}}$端子を2μs以上“Ｌ”に保持すると内部がリセット状態になります。

■ウォッチドッグタイマ

ウェイトモード時、ウォッチドッグタイマは動作しますのでアンダフローしないようにウォッチドッグタイマ制御レジスタへ書き込みを行ってください。

改訂記録	3826 グループ(A バージョン)　データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2003.08.07	－	初版発行
2.00	2006.03.07	－	用語統一（統一用語：A/D コンバータ、D/A コンバータ、シリアルインタフェース）
		－	パッケージ型名　100P6S-A → PRQP0100JB-A 100P6Q-A → PLQP0100KB-A
		1	特長 10 ビット A/D モード追加 応用 “ 家電 ” 追加
		6	図 4　RAM 容量の説明追記
		7	図 5 “ 開発中 ” → “ 量産中 ” 表 3　日付け変更
		13	図 10 SFR　0014 番地：予約領域→ AD 変換下位レジスタ(ADL) 0035 番地：AD 変換レジスタ(AD)→ AD 変換上位レジスタ(ADH)
		38	【AD変換レジスタ】 AD→ADH,ADL 図 38．AD 変換関係レジスタの構成　ADL 追加
		39	図 39．AD 変換レジスタの読み出し図追加 図 40．A/D コンバータブロック図　AD 変換レジスタ→ ADL、ADH の図に変更
		54	図 58　0014 番地：AD 変換下位レジスタ　追加
		55	クロック発生回路下線部を変更、削除。「」を追記 XIN-XOUT 端子間には帰還抵抗が内蔵されていますので外付けの抵抗を省略することができます。「(条件によって帰還抵抗の外付けが必要になることがあります)」 図 59．発振子外付け回路　ダンピング抵抗と(注)を追加
		56	図 61．クロック発生回路ブロック図　(注 2)を追記
		60	電源電圧に関する注意を追記
		61	マスク化発注時の提出資料　URL 変更
		68	表 22．A/D コンバータ特性(2)　(10 ビット A/D モード)追加
		71	表 26．スイッチング特性(1)　(注 1)→(注) 表 27．スイッチング特性(2)　(注 1)→(注)　注 2 削除 図 67．出力スイッチング特性の測定回路図　注 追加
		72,73	外形寸法図　変更
		75-95	2. 付録　追加

株式会社ルネサス テクノロジ 営業企画統括部　〒100-0004 東京都千代田区大手町2-6-2 日本ビル

安全設計に関するお願い
1. 弊社は品質，信頼性の向上に努めておりますが，半導体製品は故障が発生したり，誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として，人身事故火災事故，社会的損害などを生じさせないような安全性を考慮した冗長設計，延焼対策設計，誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項
1. 本資料は，お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり，本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施，使用を許諾するものではありません。
2. 本資料に記載の製品データ，図，表，プログラム，アルゴリズムその他応用回路例の使用に起因する損害，第三者所有の権利に対する侵害に関し，ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ，図，表，プログラム，アルゴリズムその他全ての情報は本資料発行時点のものであり，ルネサス テクノロジは，予告なしに，本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては，事前にルネサス テクノロジ，ルネサス販売または特約店へ最新の情報をご確認頂きますとともに，ルネサス テクノロジホームページ(http://www.renesas.com)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は，正確を期すため，慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には，ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ，図，表に示す技術的な内容，プログラム及びアルゴリズムを流用する場合は，技術内容，プログラム，アルゴリズム単位で評価するだけでなく，システム全体で十分に評価し，お客様の責任において適用可否を判断してください。ルネサス テクノロジは，適用可否に対する責任は負いません。
6. 本資料に記載された製品は，人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計，製造されたものではありません。本資料に記載の製品を運輸，移動体用，医療用，航空宇宙用，原子力制御用，海底中継用機器あるいはシステムなど，特殊用途へのご利用をご検討の際には，ルネサス テクノロジ，ルネサス販売または特約店へご照会ください。
7. 本資料の転載，複製については，文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ，その他お気付きの点がございましたらルネサス テクノロジ，ルネサス販売または特約店までご照会ください。

営業お問合せ窓口
株式会社ルネサス販売

http://www.renesas.com

本社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨城支店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部支社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関西支社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広島支店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥取支店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンタ　E-Mail: csc@renesas.com

© 2006. Renesas Technology Corp., All rights reserved. Printed in Japan.
Colophon 5.5