

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

三菱マイクロコンピュータ 3826グループ

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

概要

3826グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

LCD駆動制御回路、A-D/D-A変換器、UART、PWMなどの付加機能を備えています。

3826グループには内蔵するメモリの種類、パッケージの異なる複数の品種があります。

詳細については形名とメモリサイズ・パッケージの項を参照してください。

3826グループの製品ラインナップについては、グループ展開の項を参照してください。

特長

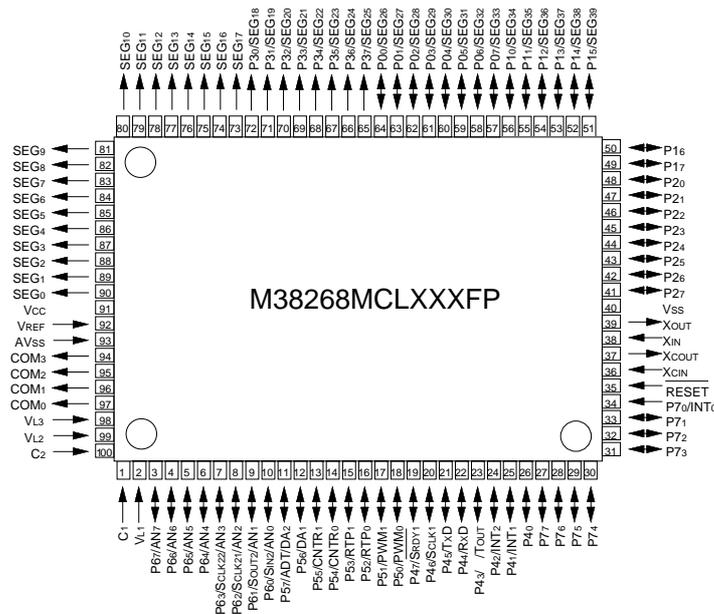
- 基本機械語命令 71
- 命令実行時間 0.5 μ s
(最短命令、発振周波数8MHz時)
- メモリ容量 ROM 32K ~ 60Kバイト
RAM 1024 ~ 2560バイト
- プログラマブル入出力ポート 55本
- ソフトウェアプルアップ抵抗 内蔵
- 出力ポート 8本
- 入力ポート 1本
- 割り込み 17要因、16ベクタ
(キー入力割り込みを含む)

- タイマ 8ビット×3、16ビット×2
- シリアルI/O1 8ビット×1
(UART又はクロック同期形)
- シリアルI/O2 クロック同期形8ビット×1
- PWM出力 8ビット×1
- A-D変換器 8ビット×8チャンネル
- D-A変換器 8ビット×2チャンネル
(DTMF,CTCSS機能として使用)
- LCD駆動制御回路 バイアス 1/2、1/3バイアス
 時分割 2、3、4時分割
 コモン出力 4本
 セグメント出力 40本
- クロック発生回路 2回路内蔵
(セラミック共振子又は水晶共振子外付け)
- ウォッチドッグタイマ 14ビット×1
- 電源電圧 2.5 ~ 5.5V
(低電圧版は2.2 ~ 5.5V)
- 消費電力 高速モード時 40mW
(発振周波数8MHz時、電源電圧5V時)
 低速モード時 60 μ W
(発振周波数32kHz時、電源電圧3V時)
- 動作周囲温度 -20 ~ 85

応用

カメラ、コードレス電話、無線機等

ピン接続図(上面図)



外形 100P6S-A

図1. M38268MCLXXXFPのピン接続図

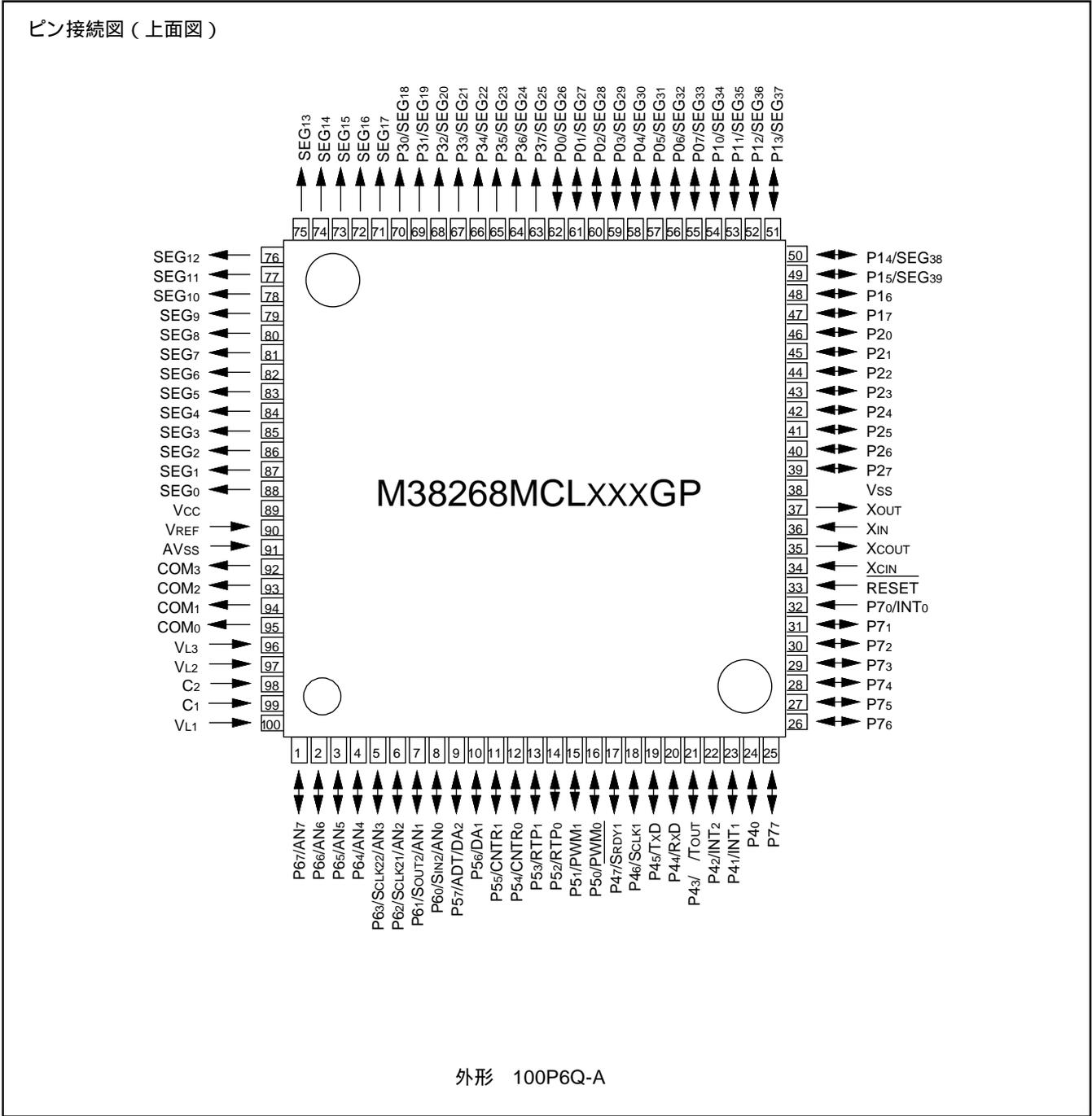


図2 . M38268MCLXXXGPのピン接続図

機能ブロック図(ピン番号は100P6S - Aパッケージタイプ)

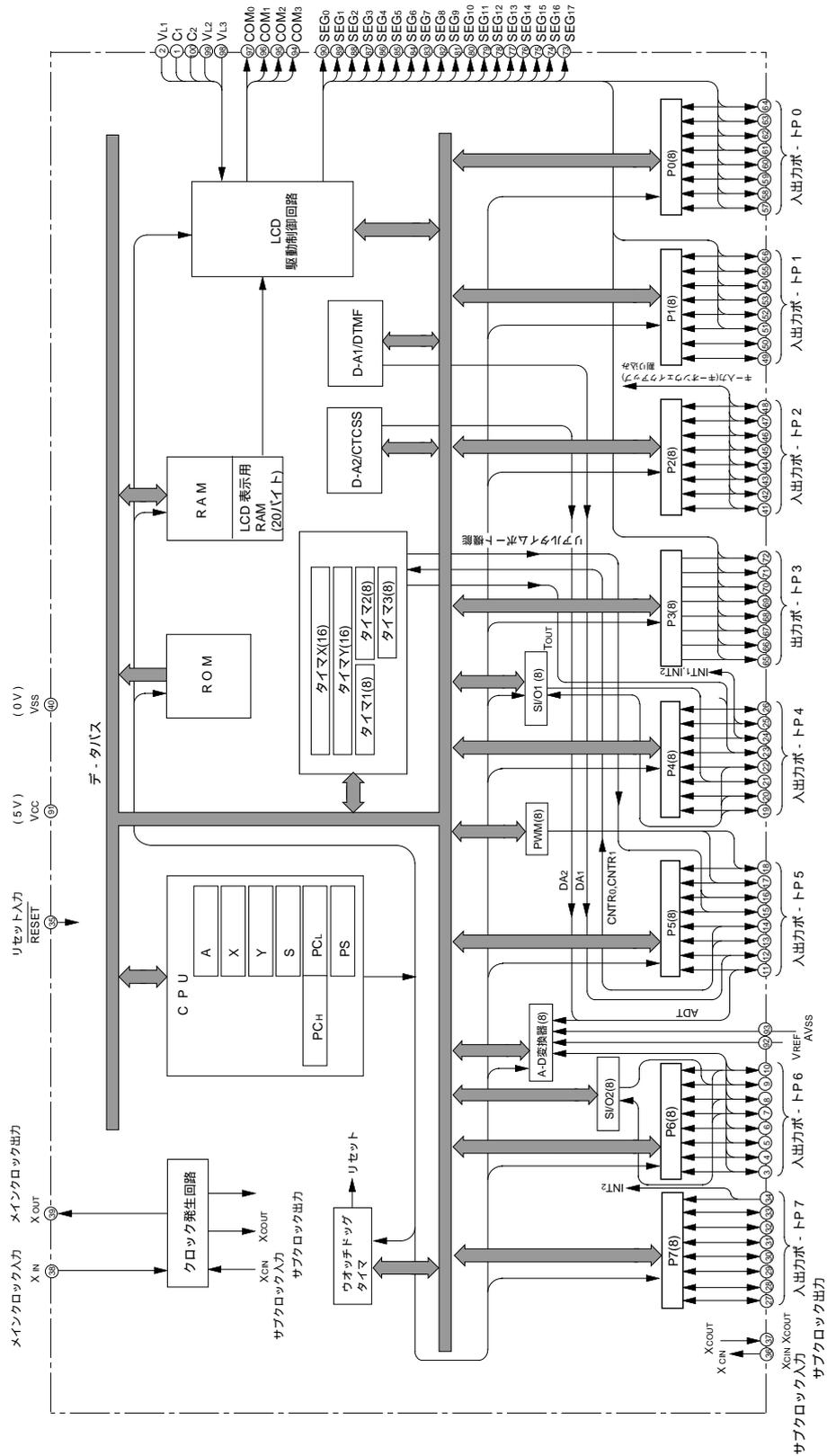


図3. 機能ブロック図

端子の機能説明

表1. 端子の機能説明(1)

端子名	名称	機能	ポート以外の機能
Vcc, Vss	電源入力	Vccに2.5~5.5V(低電圧版は2.2~5.5V) Vssに0Vを印加します。	
VREF	基準電圧入力	A-D変換器の基準電圧入力端子です。	
AVss	アナログ電源入力	A-D変換器の電源入力端子です。この端子はVssに接続してください。	
RESET	リセット入力	アクティブ L のリセット入力端子です。	
XIN	クロック入力	メインクロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXINに接続し、XOUTは開放にします。帰還抵抗内蔵です。	
XOUT	クロック出力		
VL1~VL3	LCD用電源入力	0 VL1 VL2 VL3の電圧を印加します。LCDには、0~VL3の電圧を印加します。(昇圧時は0 VL1 VL2 VL3)	
C1, C2	昇圧用容量付端子	LCD制御昇圧回路用の外付け端子です。	
COM0~COM3	コモン出力	LCDコモン出力端子です。2時分割時はCOM2、COM3は使用しません。3時分割時はCOM3は使用しません。	
SEG0~SEG17	セグメント出力	LCDセグメント出力端子です。	
P00/SEG26 ~ P07/SEG33	入出力ポートP0	8ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御/8ビット単位での入出力切替可能です。	LCDセグメント出力端子
P10/SEG34 ~ P15/SEG39	入出力ポートP1	P0とほぼ同等の機能を持った6ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御/6ビット単位での入出力の切り替え可能です。	
P16, P17		2ビットの入出力ポートです。ビット単位で入出力の切り替え可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御が可能です。	
P20~P27	入出力ポートP2	P16、P17とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御可能です。	キー入力(キーオンウエイクアップ)割り込み入力端子
P30/SEG18 ~ P37/SEG25	出力ポートP3	P0とほぼ同等の機能を持った8ビットの出力ポートです。出力形式はCMOS3ステートです。ポート出力制御が可能です。	LCDセグメント出力端子
P40	入出力ポートP4	P16、P17とほぼ同等の機能を持った1ビットの入出力ポートです。CMOS入力レベルで、出力形式はNチャネルオープンドレインです。	
P41/INT1 P42/INT2		P16、P17とほぼ同等の機能を持った7ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御可能です。	割り込み入力端子
P43/ /TOUT			クロック出力端子 タイマ2出力端子
P44/RxD, P45/TxD, P46/SCLK1, P47/SRDY1			シリアルI/O1の入出力端子

表2. 端子の機能説明(2)

端子名	名称	機能	ポート以外の機能
P50/PWM0, P51/PWM1	入出力ポートP5	P16、P17とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御可能です。	PWM機能端子
P52/RTP0, P53/RTP1			リアルタイムポート機能端子
P54/CNTR0, P55/CNTR1			タイマXY機能端子
P56/DA1			D-A変換器出力端子
P57/ADT/DA2			D-A変換器出力端子
P60/SIN2/AN0, P61/SOUT2/AN1, P62/SCLK21/AN2, P63/SCLK22/AN3	入出力ポートP6	P16、P17とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。プルアップ制御可能です。	A-D変換器入力端子 シリアルI/O2の機能端子
P64/AN4 ~ P67/AN7			A-D変換器入力端子
P70/INT0	入力ポートP7	1ビットのCMOSレベル入力ポートです。	割り込み入力端子
P71 ~ P77	入出力ポートP7	P16、P17とほぼ同等の機能を持った7ビットの入出力ポートです。CMOS入力レベルで、出力形式はNチャネルオープンドレインです。	
XCOUT	サブクロック出力	サブクロック発生回路の入出力端子です。(共振子を接続します。外部で生成したクロックの直接入力はできません。)	
XCIN	サブクロック入力		

形名とメモリサイズ・パッケージ

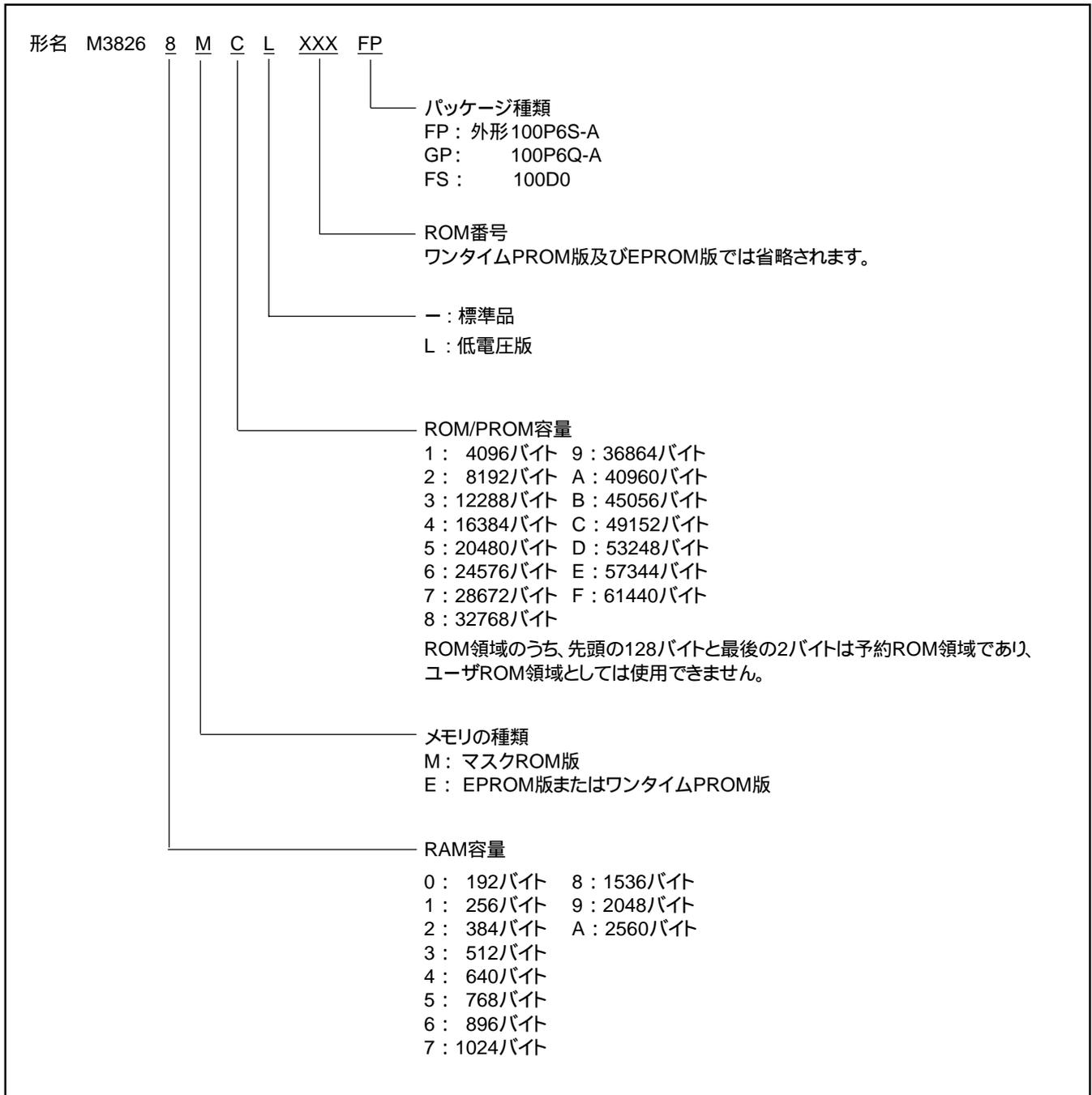


図4. 形名とメモリサイズ・パッケージ

グループ展開(ワンタイムPROM版、EPROM版)

3826グループ(ワンタイムPROM版、EPROM版)は次のような展開を計画しています。

メモリの種類

ワンタイムPROM版、EPROM版のサポート

パッケージ

100P6S-A 0.65mmピッチプラスチックモールドQFP

100P6Q-A 0.5mmピッチプラスチックモールドQFP

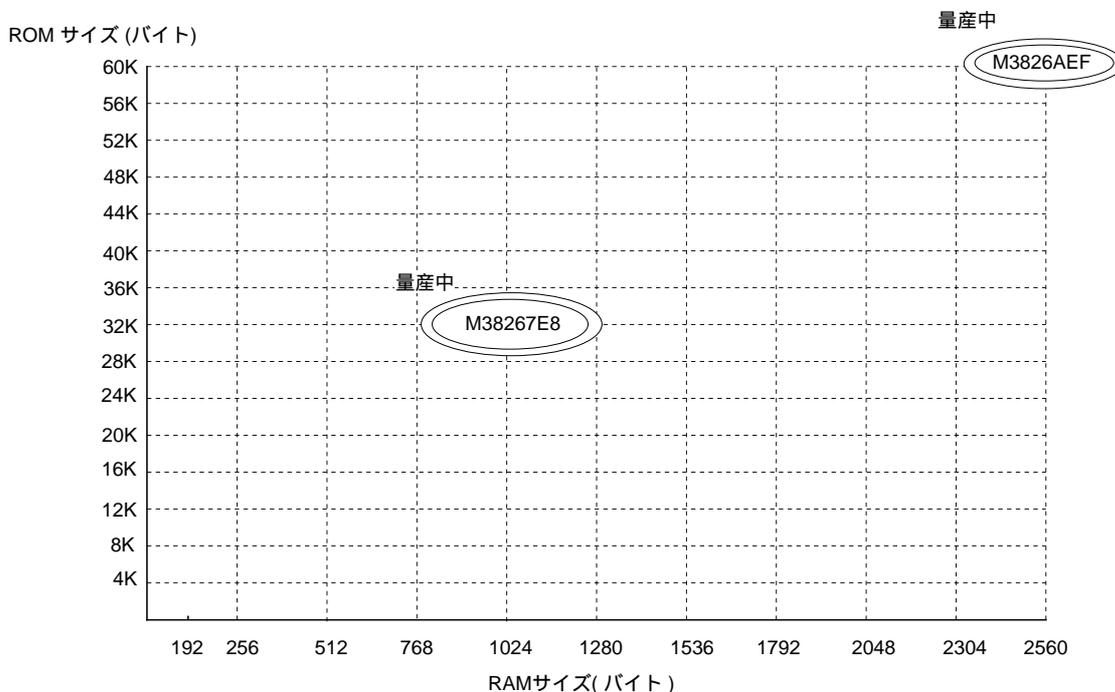
100D0 セラミックLCC(EPROM版)

メモリ容量

ROM/PROM容量 32K ~ 60Kバイト

RAM容量 1024 ~ 2560バイト

3826グループ ROM、RAM展開計画(ワンタイムPROM版、EPROM版)



注 開発中及び計画中の製品については開発スケジュール等を見直す場合があります。

図5. ROM及びRAM展開計画 (ワンタイムPROM版、EPROM版)

現在サポートを計画している製品を表3に示します。

表3. サポート製品一覧 (ワンタイムPROM版、EPROM版)

2001年10月現在

製品形名	(P)ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M38267E8FP	32768	1024	100P6S-A	ワンタイムPROM版 (ブランク品)
M38267E8GP	(32638)		100P6Q-A	ワンタイムPROM版 (ブランク品)
M3826AEFFP	61440	2560	100P6S-A	ワンタイムPROM版 (ブランク品)
M3826AEFGP	(61310)		100P6Q-A	ワンタイムPROM版 (ブランク品)
M3826AEFFS			100D0	EPROM版

グループ展開(低電圧版)

3826グループ(低電圧版)は次のような展開を計画しています。

メモリの種類

マスクROM版のサポート

メモリ容量

ROM/PROM容量 32K ~ 60Kバイト

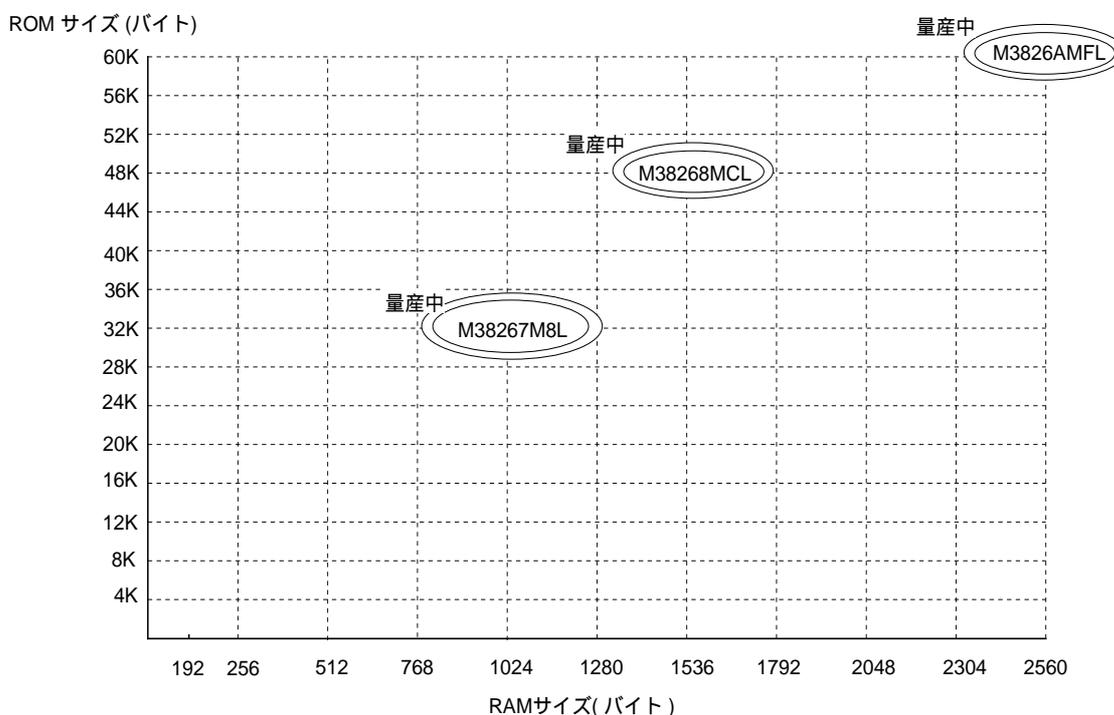
RAM容量 1024 ~ 2560バイト

パッケージ

100P6S-A 0.65mmピッチプラスチックモールドQFP

100P6Q-A 0.5mmピッチプラスチックモールドQFP

3826グループ ROM、RAM展開計画(低電圧版)



注: 開発中及び計画中の製品については開発スケジュール等を見直す場合があります。

図6. ROM及びRAM展開計画 (低電圧版)

現在サポートを計画している製品を表4に示します。

表4. サポート製品一覧 (低電圧版)

2001年10月現在

製品形名	(P)ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M38267M8LXXXFP	32768	1024	100P6S-A	マスクROM版
M38267M8LXXXGP	(32638)		100P6Q-A	マスクROM版
M38268MCLXXXFP	49152	1536	100P6S-A	マスクROM版
M38268MCLXXXGP	(49022)		100P6Q-A	マスクROM版
M3826AMFLXXXFP	61440	2560	100P6S-A	マスクROM版
M3826AMFLXXXGP	(61310)		100P6Q-A	マスクROM版

機能ブロック動作説明

中央演算処理装置(CPU)

3826グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレスモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図7にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00₁₆”となり、“1”の場合“01₁₆”となります。

スタックへの退避及び復帰動作を図8に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表5参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

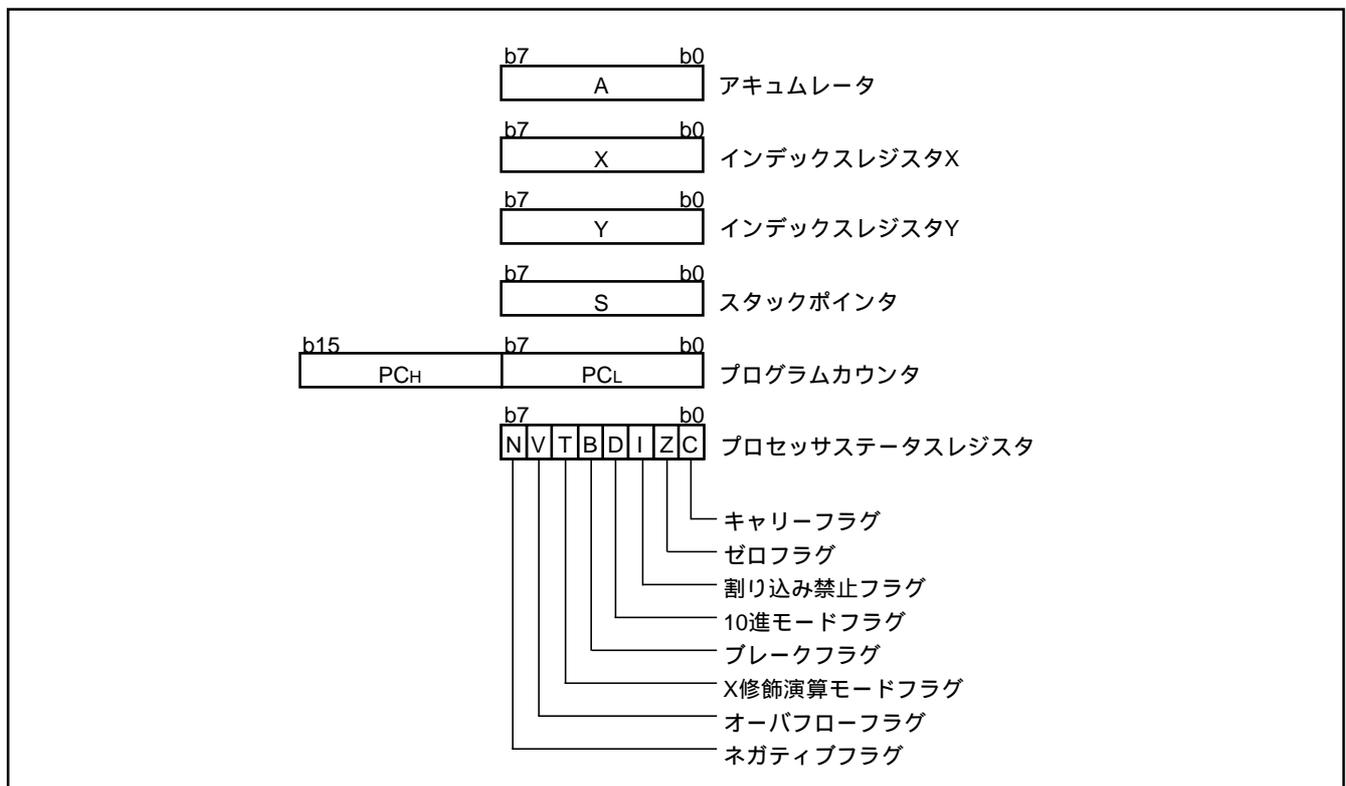


図7. 740ファミリ CPUの構成

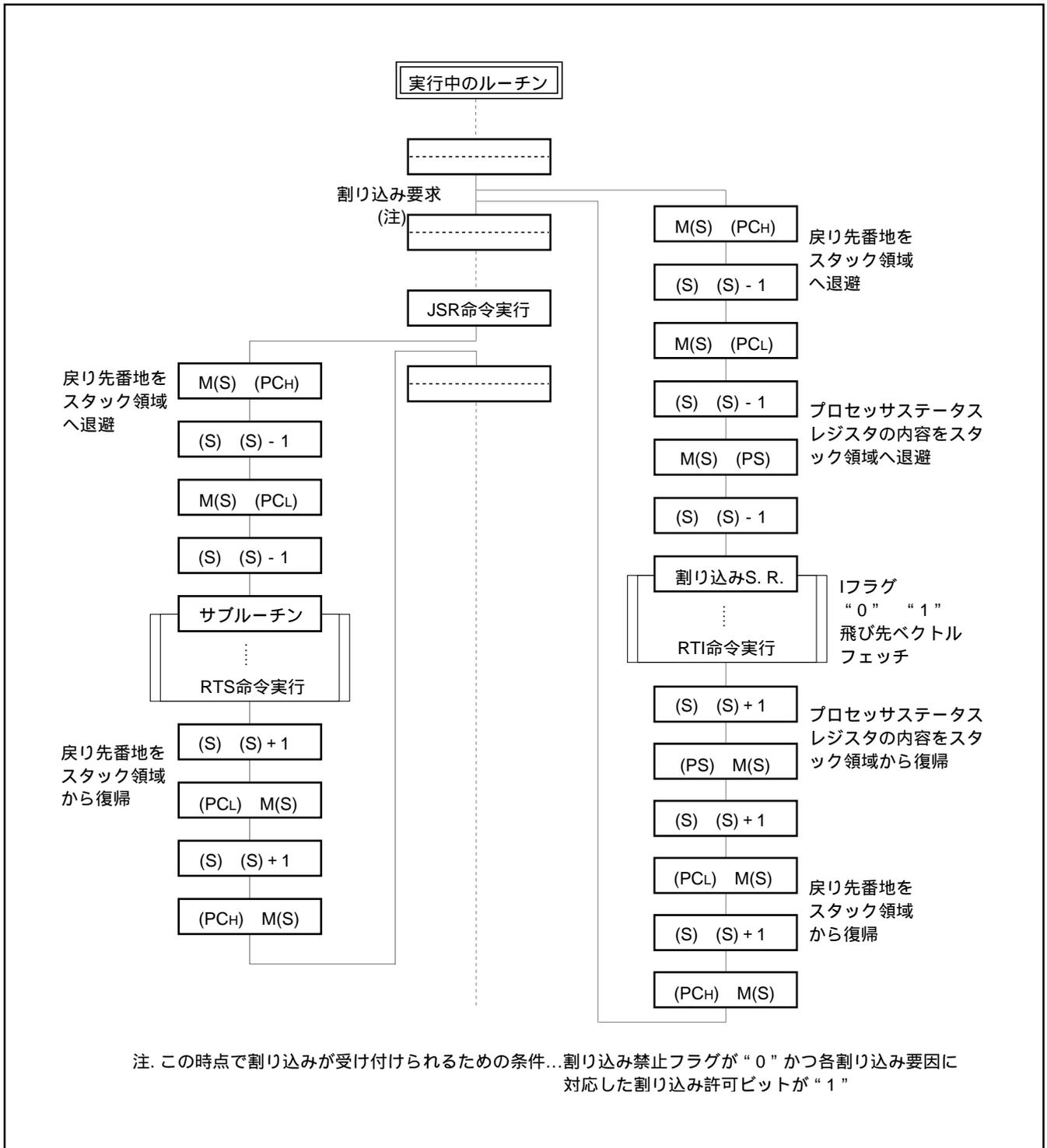


図8. スタックへの退避及び復帰動作

表5. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

・ビット0：キャリーフラグ(C)

演算処理後の算術論理演算ユニットからのキャリー又はボローを保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに回避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表6. プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】 CPUM

CPUモードレジスタには、スタックページの選択ビットや内部システムクロックの制御ビットなどが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

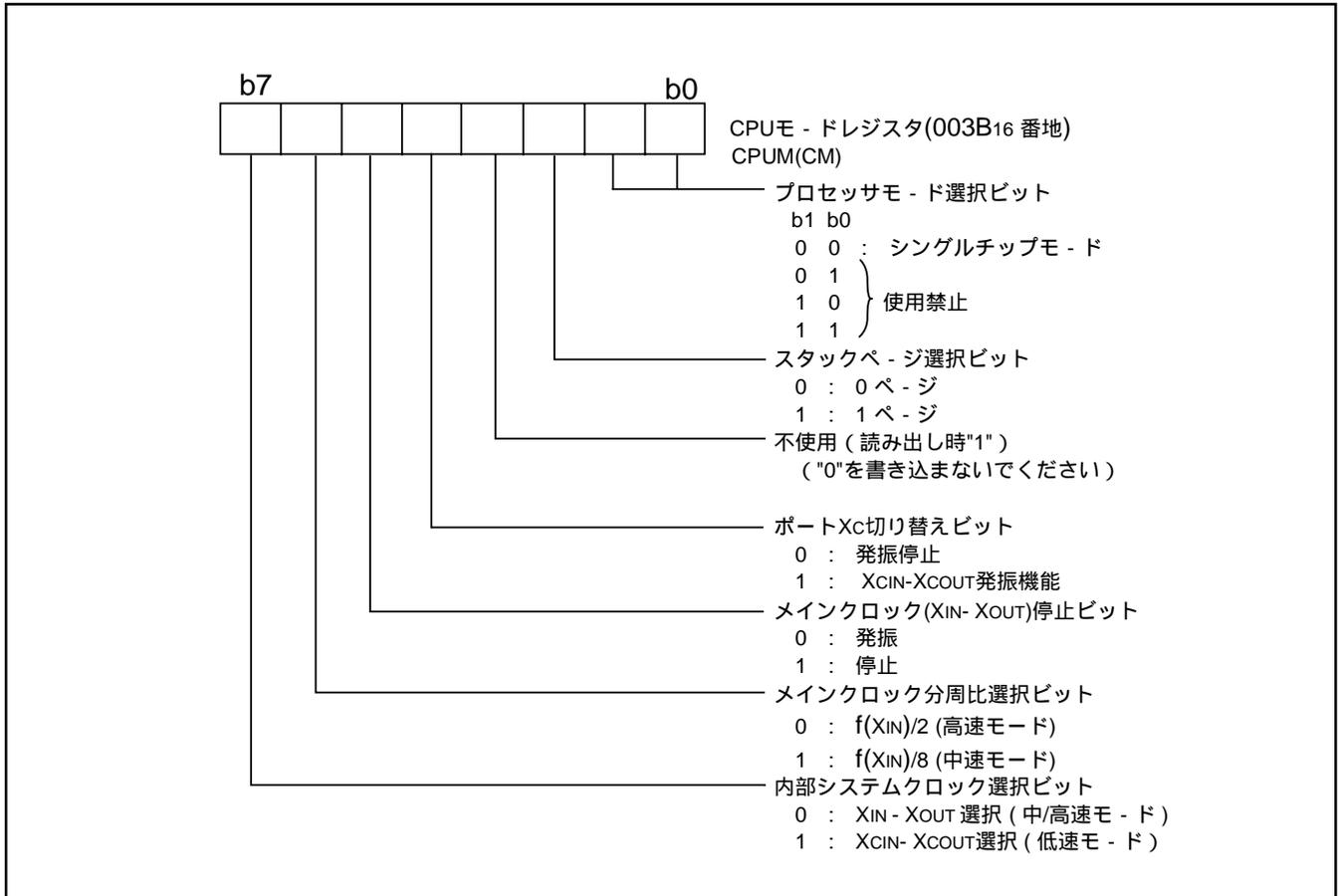


図9 . CPUモードレジスタの構成

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

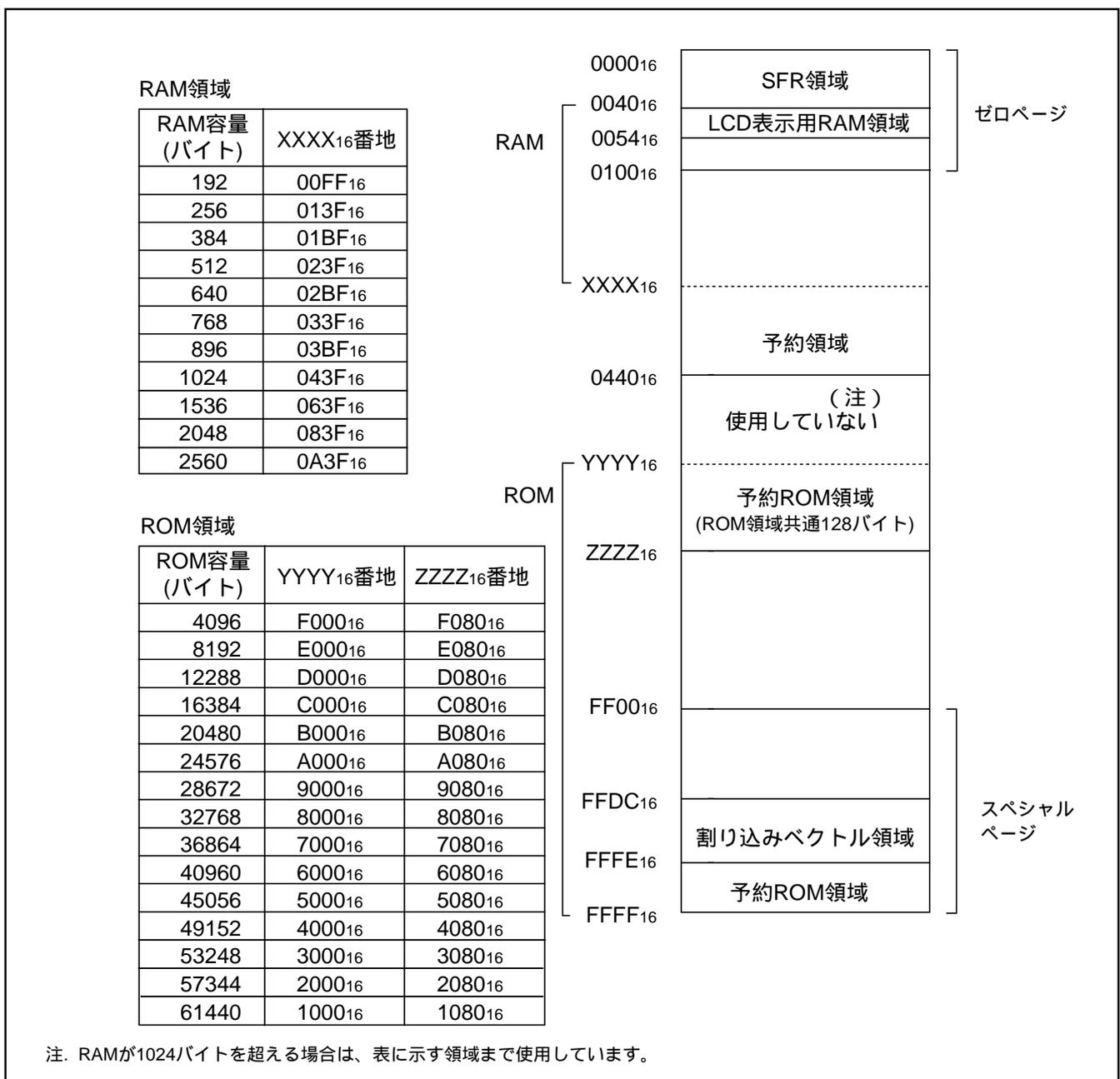


図10 . メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	タイマX(下位)(TXL)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	タイマX(上位)(TXH)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	タイマY(下位)(TYL)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	タイマY(上位)(TYH)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	タイマ1(T1)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	タイマ2(T2)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	タイマ3(T3)
0007 ₁₆	ポートP3出力制御レジスタ(P3C)	0027 ₁₆	タイマXモードレジスタ(TXM)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	タイマYモードレジスタ(TYM)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	タイマ123モ - ドレジスタ(T123M)
000A ₁₆	ポートP5(P5)	002A ₁₆	T _{OUT} / 出力制御レジスタ(CKOUT)
000B ₁₆	ポートP5方向レジスタ(P5D)	002B ₁₆	PWM制御レジスタ(PWMCON)
000C ₁₆	ポートP6(P6)	002C ₁₆	PWMプリスケアラ(PREPWM)
000D ₁₆	ポートP6方向レジスタ(P6D)	002D ₁₆	PWMレジスタ(PWM)
000E ₁₆	ポートP7(P7)	002E ₁₆	CTCSSタイマ下位(CTCSSL)
000F ₁₆	ポートP7方向レジスタ(P7D)	002F ₁₆	CTCSSタイマ上位(CTCSSH)
0010 ₁₆		0030 ₁₆	DTMF高群タイマ(DTMFH)
0011 ₁₆		0031 ₁₆	DTMF低群タイマ(DTMFL)
0012 ₁₆		0032 ₁₆	D-A1変換レジスタ(DA1)
0013 ₁₆		0033 ₁₆	D-A2変換レジスタ(DA2)
0014 ₁₆	予約領域 (注)	0034 ₁₆	A-D制御レジスタ(ADCON)
0015 ₁₆	キー入力制御レジスタ(KIC)	0035 ₁₆	A-D変換レジスタ(AD)
0016 ₁₆	PULLレジスタA(PULLA)	0036 ₁₆	D-A制御レジスタ(DACON)
0017 ₁₆	PULLレジスタB(PULLB)	0037 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	セグメント出力許可レジスタ(SEG)
0019 ₁₆	シリアルI/O1ステータスレジスタ(SIO1STS)	0039 ₁₆	LCDモードレジスタ(LM)
001A ₁₆	シリアルI/O1制御レジスタ(SIO1CON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ボーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	シリアルI/O2制御レジスタ(SIO2CON)	003D ₁₆	割り込み要求レジスタ2(IREQ2)
001E ₁₆	予約領域 (注)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	シリアルI/O2レジスタ(SIO2)	003F ₁₆	割り込み制御レジスタ2(ICON2)

(注) 予約領域のレジスタには書き込みを行わないでください。

図11 . SFR (スペシャルファンクションレジスタ) メモリマップ

入出力ポート

方向レジスタ

入出力ポートP0、P1、P2、P4、P5、P6、P7は方向レジスタを持っており(P00～P07、P10～P15はそれぞれポートP0、P1の方向レジスタのビット0を使用)、入力ポートとして使用するか出力ポートとして使用するか、ビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポート、“0”にクリアするとその端子は入力ポートとなります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

ポートP3出力制御レジスタ

ポートP30～P37はポートP3出力制御レジスタ(0007₁₆番地)のビット0により出力制御が可能です。このビットを“1”にするとポート出力機能を有効にすることができます。

リセット時はポートP3出力制御レジスタのビット0は“0”(ポート出力機能は無効)になっておりプルアップされています。

プルアップ制御

ポートP0～P2、P4～P6はPULLレジスタA(0016₁₆番地)及びPULLレジスタB(0017₁₆番地)を設定することにより、プログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離され、プルアップは行われません。

また、セグメント出力許可レジスタでセグメント出力に設定した端子ではPULLレジスタAの設定は無効となります。

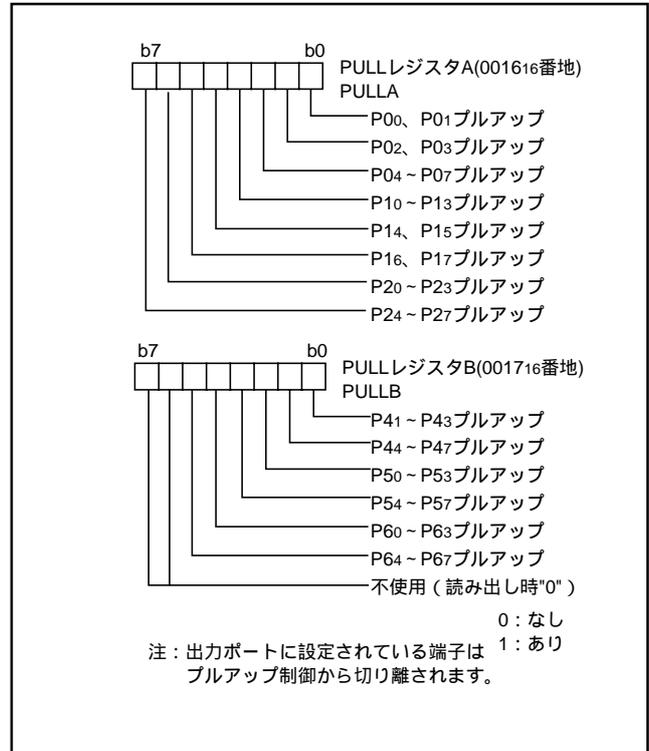


図12. PULLレジスタA、PULLレジスタBの構成

表7. 入出力ポートの機能一覧(1)

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P00/SEG26 ~ P07/SEG33	ポートP0	入出力 バイト単位	CMOS入力レベル CMOS3ステート出力	LCDセグメント出力	PULLレジスタA セグメント出力許可 レジスタ	(1) (2)
P10/SEG34 ~ P15/SEG39	ポートP1	入出力 6ビット単位				PULLレジスタA セグメント出力許可 レジスタ
P16, P17	ポートP2	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	キー入力(キーオンウエイク アップ)割り込み入力	PULLレジスタA 割り込み制御 レジスタ2 キー入力制御レジスタ	(4)
P20 ~ P27						
P30/SEG18 ~ P37/SEG25	ポートP3	出力	CMOS3ステート出力	LCDセグメント出力	セグメント出力許可 レジスタ P3出力制御レジスタ	(3)
P40	ポートP4	入出力 ビット単位	CMOS入力レベル Nチャネルオープン ドレイン出力			(13)
P41/INT1, P42/INT2				外部割り込み入力	割り込みエッジ選択 レジスタ	(4)
P43/ TOUT				タイマ出力 出力	PULLレジスタB タイマ123モード レジスタ TOUT/ 出力制御 レジスタ	(12)
P44/RxD, P45/TxD, P46/SCLK1, P47/SRDY1				シリアルI/O機能 入出力	PULLレジスタB シリアルI/O制御 レジスタ シリアルI/O1 ステータスレジスタ UART制御レジスタ	(5) (6) (7) (8)
P50/PWM0, P51/PWM1	ポートP5	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	PWM出力	PULLレジスタB PWM制御レジスタ	(10)
P52/RTP0, P53/RTP1				リアルタイムポート機能 出力	PULLレジスタB タイマXモード レジスタ	(9)
P54/CNTR0				タイマX機能入出力	PULLレジスタB タイマXモード レジスタ	(11)
P55/CNTR1				タイマY機能入力	PULLレジスタB タイマYモード レジスタ	(14)
P56/DA1				DA1出力 DTMF入力	PULLレジスタB D-A制御レジスタ	(15)
P57/ADT/DA2				DA2出力 CTCSS出力 A-Dトリガ入力	PULLレジスタB D-A制御レジスタ A-D制御レジスタ	(15)

表8 . 入出力ポートの機能一覧(2)

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P60/SIN2/AN0	ポートP6	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	A-D変換入力 シリアルI/O2機能入出力	PULLレジスタB A-D制御レジスタ シリアルI/O2制御 レジスタ	(17)
P61/SOUT2/ AN1						(18)
P62/SCLK21/ AN2						(19)
P63/SCLK22/ AN3						(20)
P64/AN4 ~ P67/AN7				A-D変換入力	A-D制御レジスタ PULLレジスタB	(16)
P70/INT0	ポートP7	入力	CMOS入力レベル	外部割り込み入力	割り込みエッジ選択 レジスタ	(23)
P71 ~ P77		入出力 ビット単位	CMOS入力レベル Nチャネルオープン ドレイン出力			(13)
COM0 ~ COM3	コモン	出力	LCDコモン出力		LCDモードレジスタ	(21)
SEG0 ~ SEG17	セグメント	出力	LCDセグメント出力			(22)

注1. ダブルファンクションポートを機能入出力端子として使用する方法については、関連する項を参照してください。

2. STP命令の実行中は、各端子の入力レベルを0V又はVccにしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流れ、電源電流が増加します。

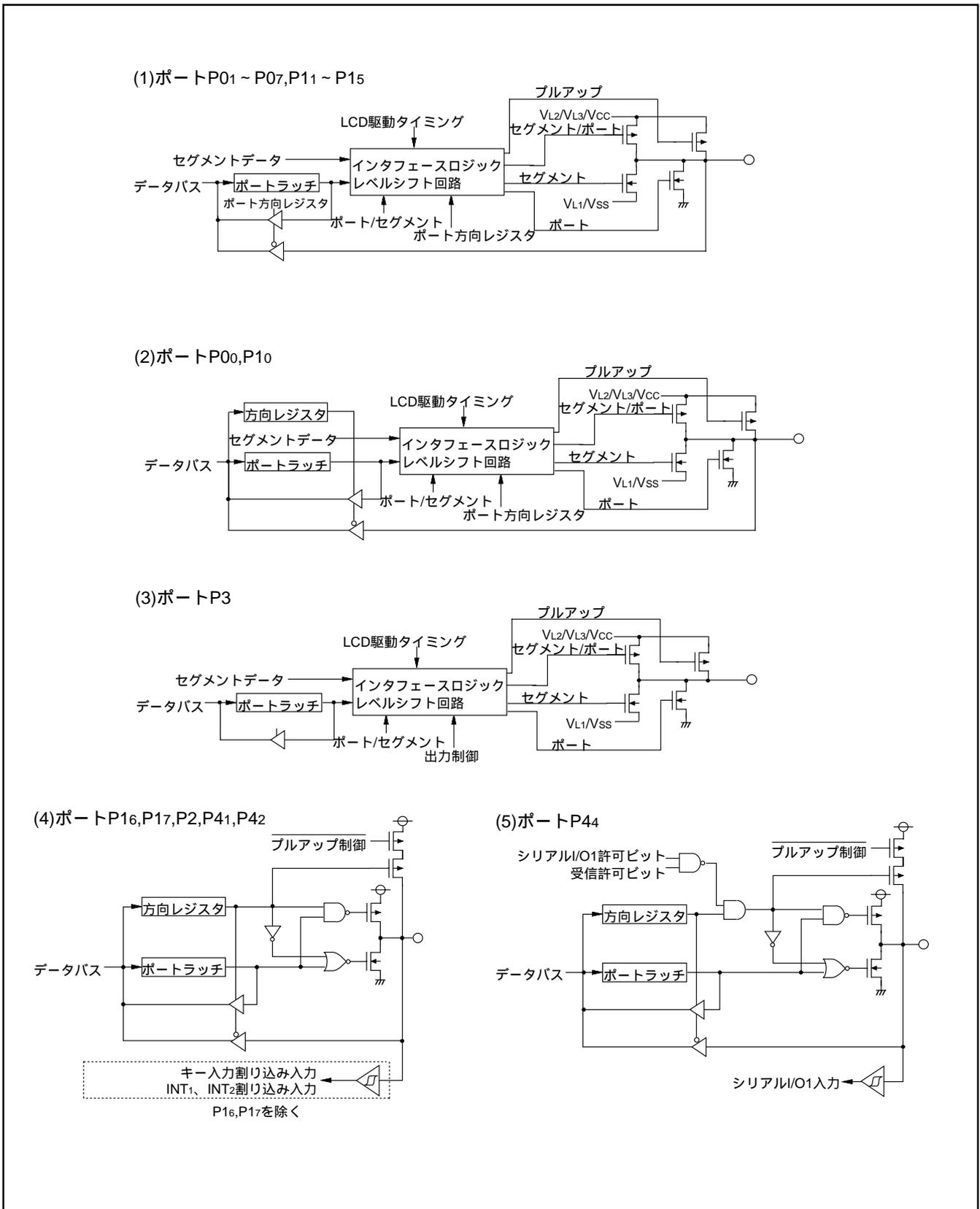


図13 . ポートのブロック図 (1)

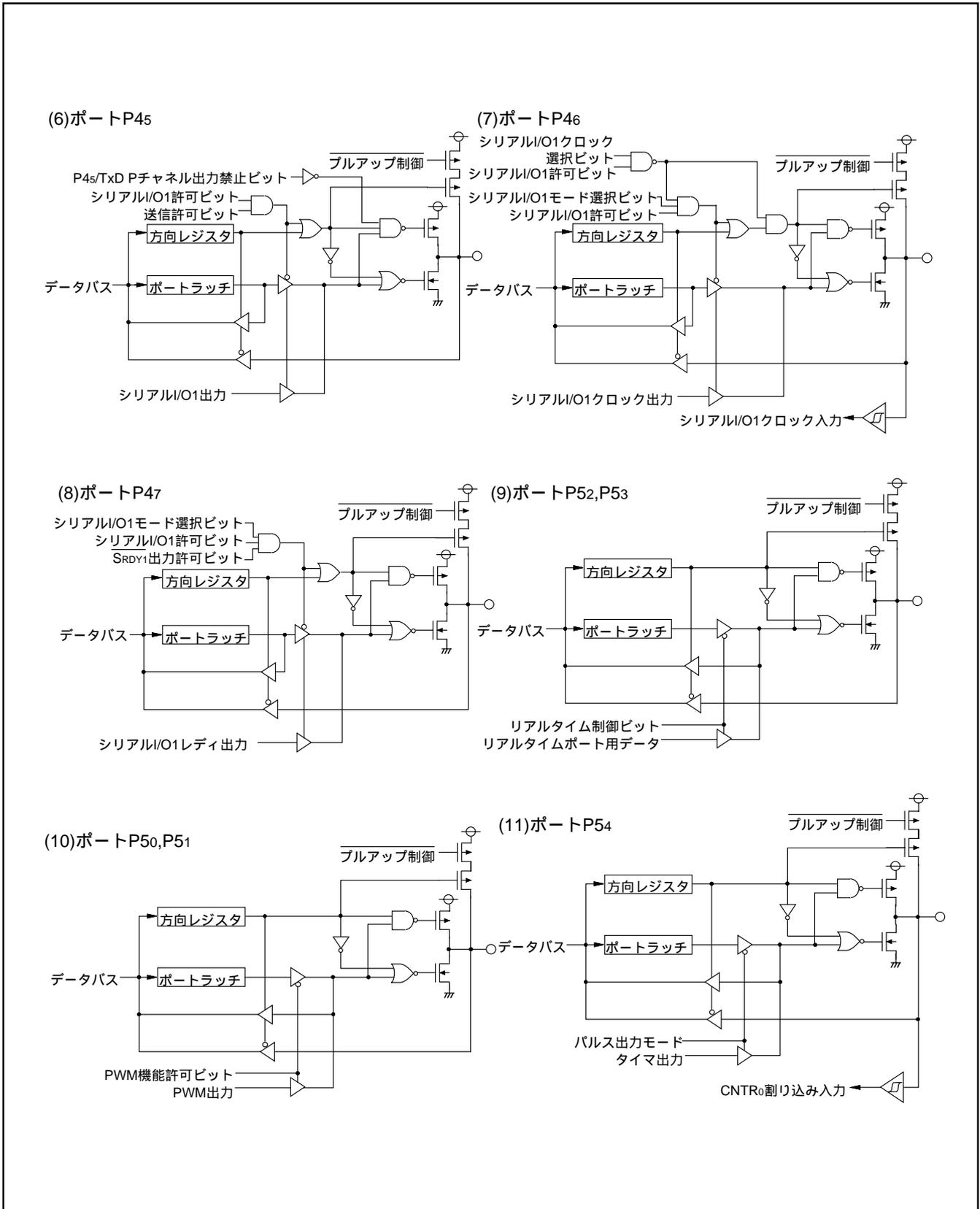


図14 . ポートのブロック図 (2)

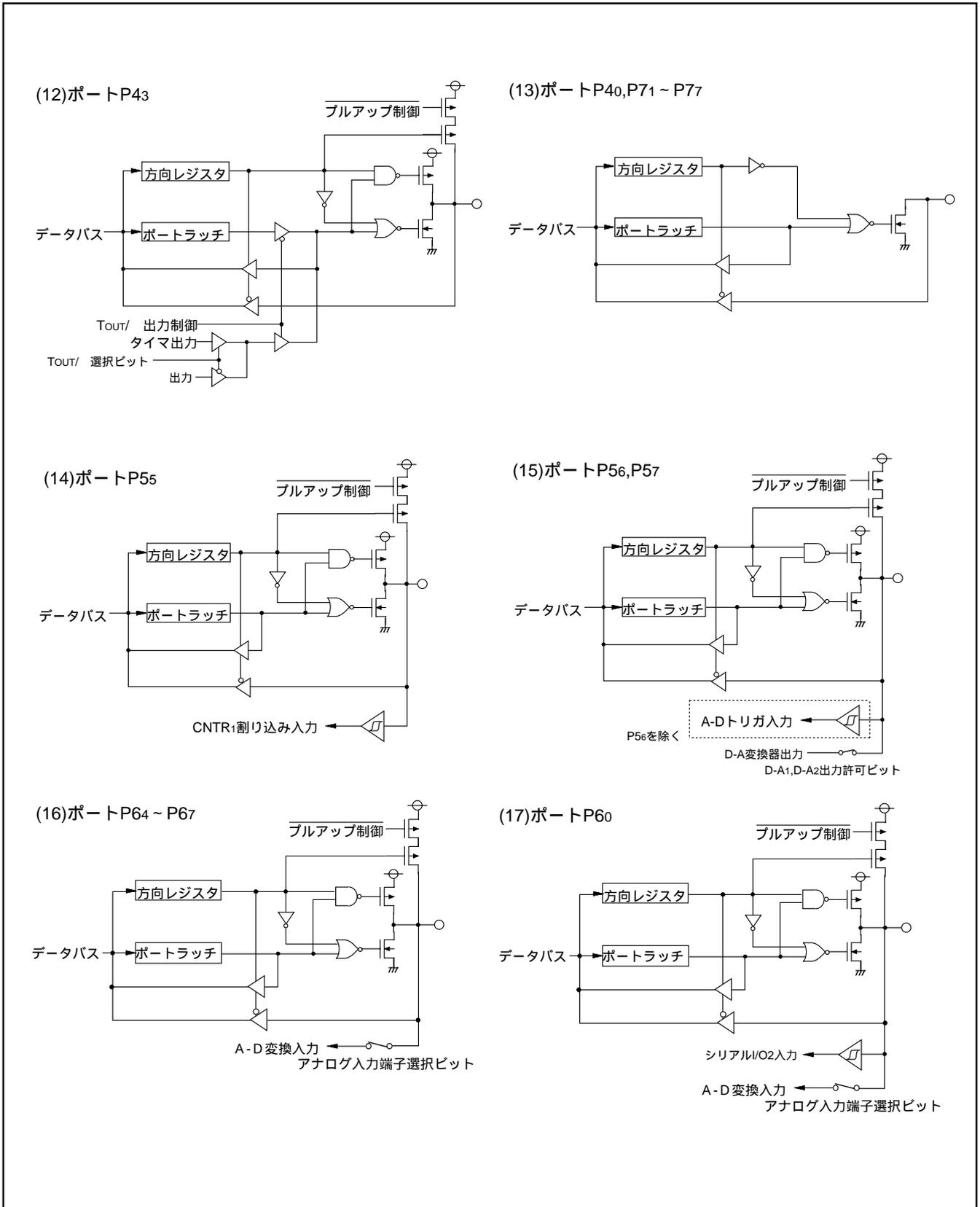


図15 . ポートのブロック図 (3)

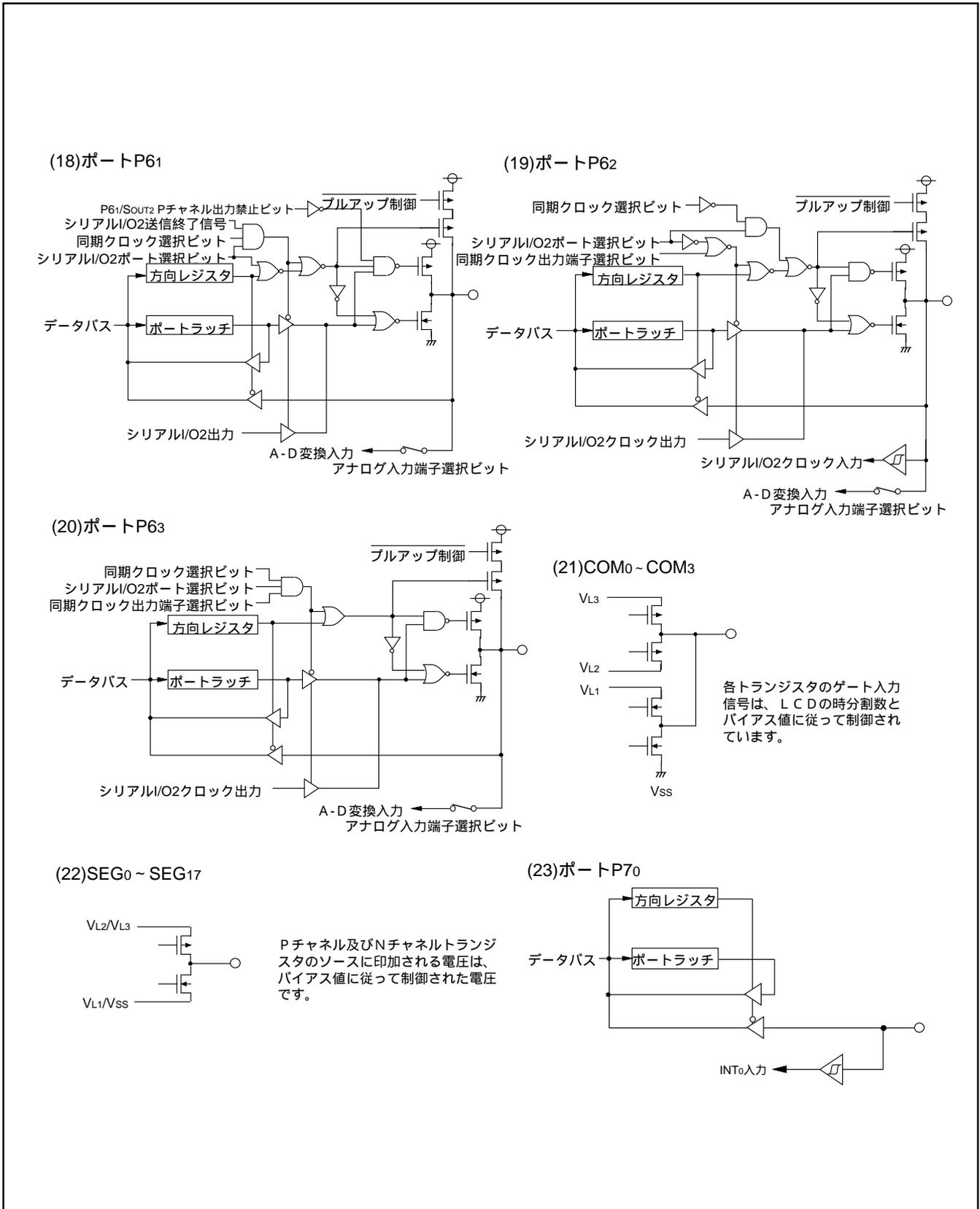


図16 . ポートのブロック図 (4)

割り込み

割り込みはベクトル割り込みで、外部7要因、内部9要因、ソフトウェア1要因の17の要因から発生することが可能です。

・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”で、かつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

表9. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスクابل
INT0	2	FFFB16	FFFA16	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
INT1	3	FFF916	FFF816	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
シリアルI/O1受信	4	FFF716	FFF616	シリアルI/O1データ受信終了時	シリアルI/O1選択時のみ有効
シリアルI/O1送信	5	FFF516	FFF416	シリアルI/O1送信シフト終了時又は送信バッファ空時	シリアルI/O1選択時のみ有効
タイマX	6	FFF316	FFF216	タイマXアンダフロー時	
タイマY	7	FFF116	FFF016	タイマYアンダフロー時	
タイマ2	8	FFEF16	FFEE16	タイマ2アンダフロー時	
タイマ3	9	FFED16	FFEC16	タイマ3アンダフロー時	
CNTR0	10	FFEB16	FFEA16	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
CNTR1	11	FFE916	FFE816	CNTR1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
タイマ1	12	FFE716	FFE616	タイマ1アンダフロー時	
INT2	13	FFE516	FFE416	INT2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み(極性プログラマブル)
シリアルI/O2	14	FFE316	FFE216	シリアルI/O2データ送受信終了時	シリアルI/O2選択時のみ有効
キー入力(キーオンウエイクアップ)	15	FFE116	FFE016	ポートP2(入力時)入力レベルの論理積の立ち下がり時	外部割り込み(立ち下がり有効)
ADT	16	FFDF16	FFDE16	ADT端子入力立ち下がりエッジ時	ADT割り込み選択時有効 外部割り込み(立ち下がり有効)
A-D変換				A-D変換終了時	A-D割り込み選択時有効
BRK命令	17	FFDD16	FFDC16	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

注意事項

次の場合、割り込み要求ビットが^{*}1になる場合があります。

- 外部割り込みのアクティブエッジを設定する際
対象レジスタ: 割り込みエッジ選択レジスタ(3A16番地)
 タイマXモードレジスタ(2716番地)
 タイマYモードレジスタ(2816番地)
- 同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際
対象レジスタ: A-D制御レジスタの割り込み要因選択ビット
 (3416番地のビット6)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

- 該当する割り込み許可ビットを^{*}0(禁止)にする。
- 割り込みエッジ選択ビット(極性切り替えビット)や割り込み要因選択ビットを設定する。
- 一命令以上おいてから、該当する割り込み要求ビットを^{*}0にする。
- 該当する割り込み許可ビットを^{*}1(許可)にする。

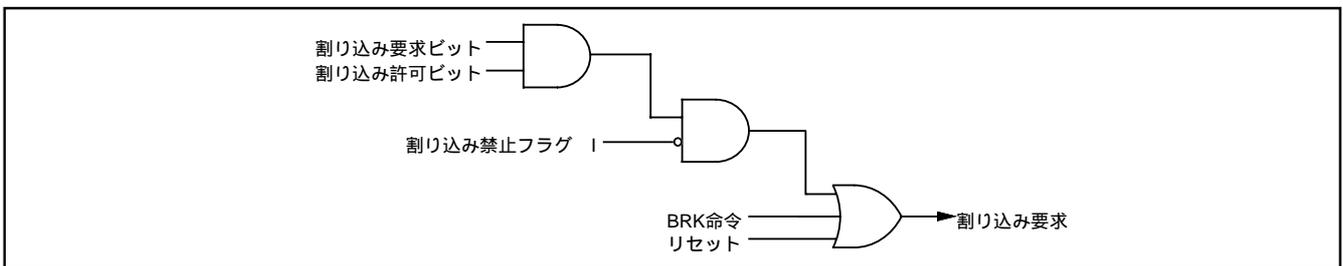


図17. 割り込み制御図

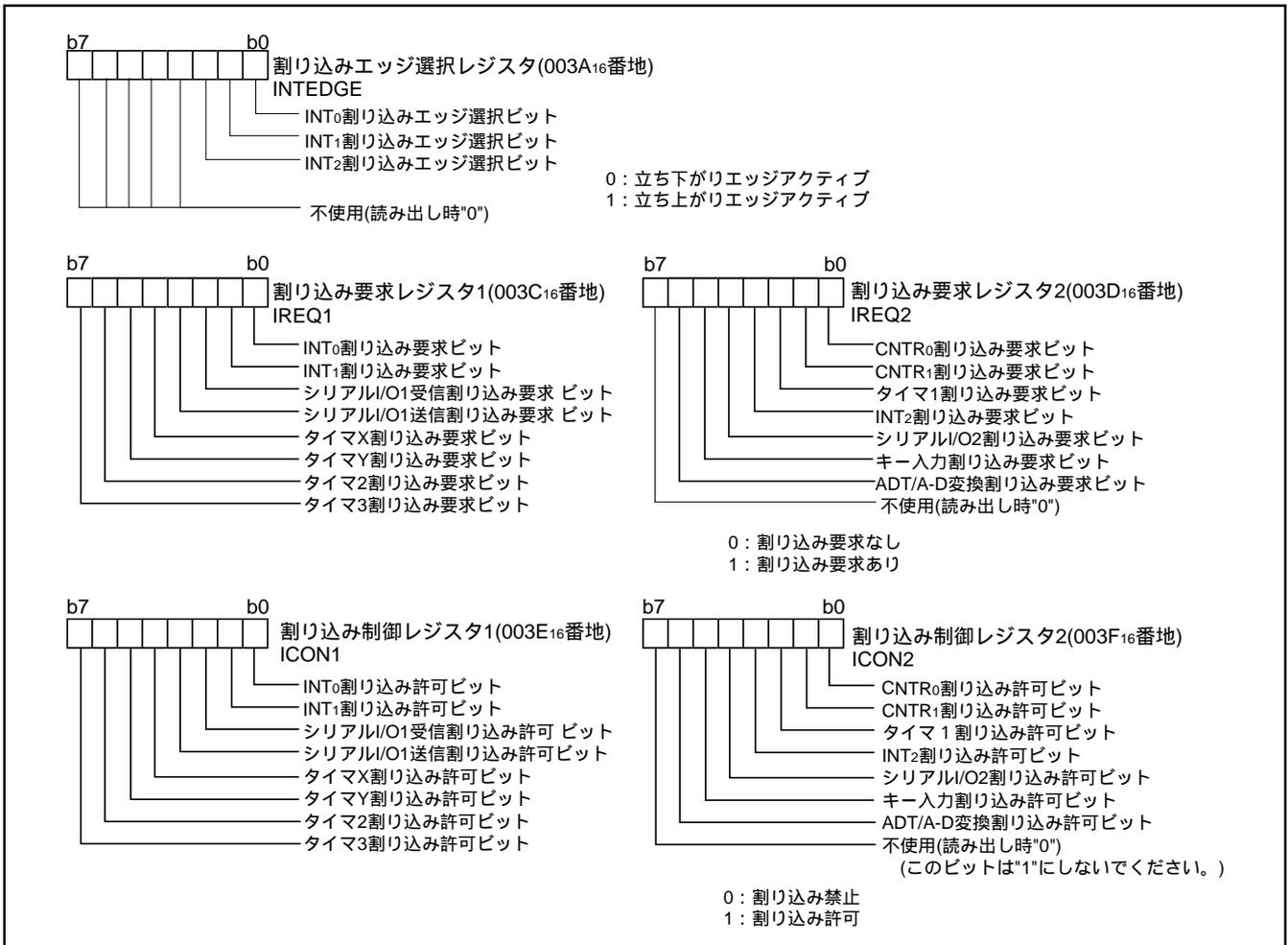


図18. 割り込み関係レジスタの構成

キー入力割り込み(キーオンウエイクアップ)

ポートP2のうち入力に設定されている端子で、キー入力制御レジスタの対応するビットが許可に設定されている端子に“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”

から“0”になると、キー入力割り込み要求が発生します。図19はキー入力割り込みを用いた一例です。ポートP20～P23を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込み要求が発生します。

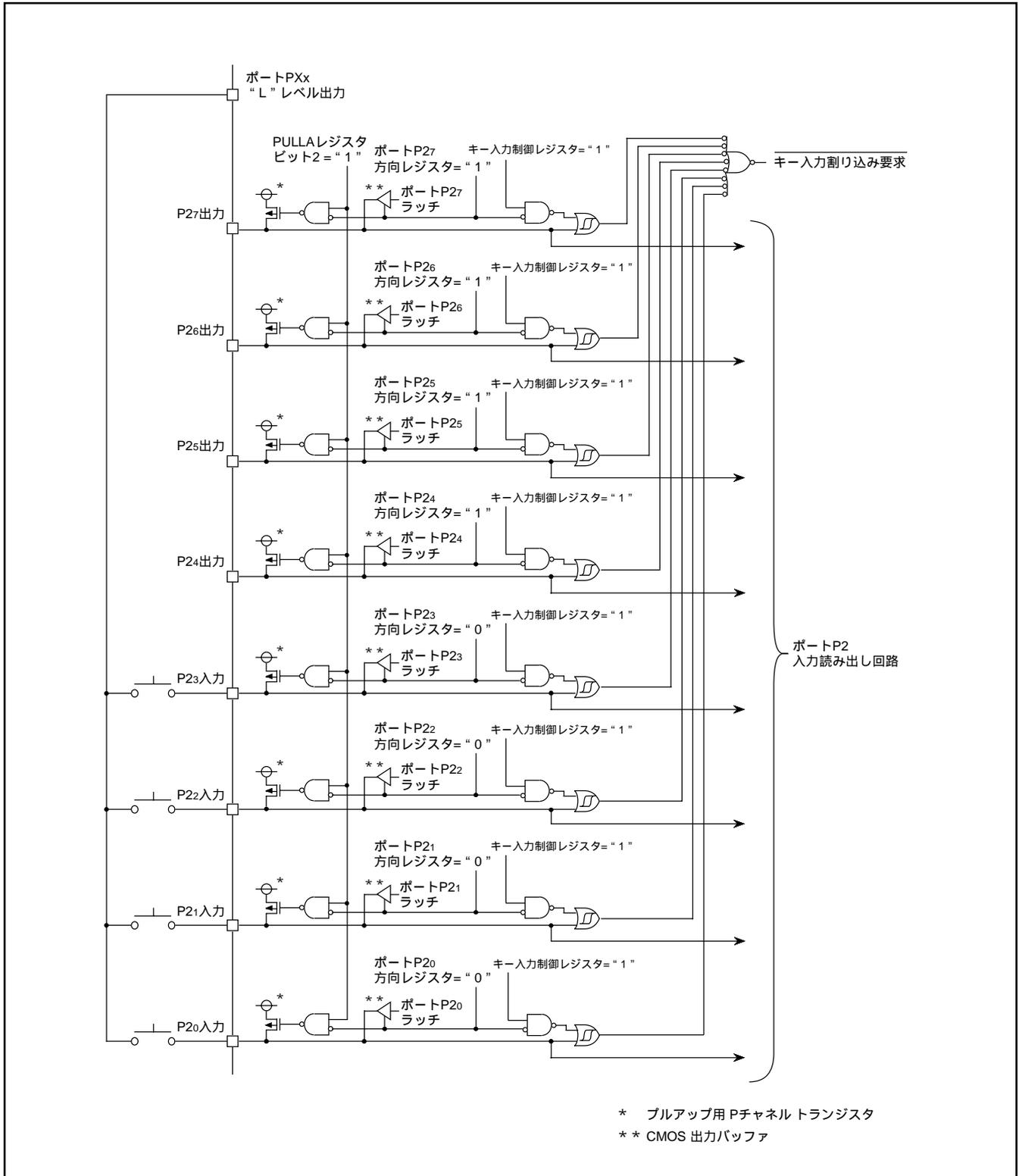


図19. キー入力制御レジスタ、キー入力割り込み使用時の結線例及びポートP2のブロック図

タイマ

タイマはタイマX、タイマYの16ビットタイマ2本と、タイマ1、タイマ2、タイマ3の8ビットタイマ3本があります。

タイマはすべてカウントダウン方式で、タイマの内容が「0」になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローすると各タイマに対応する割り込み要求ビットが「1」にセットされます。

16ビットタイマに読み書きする場合は必ず上位バイト、下位バイトともに読み書きしてください。16ビットタイマの値を読み出す場合は上位バイト、下位バイトの順に読み出し、値を書き込む場合は下位バイト、上位バイトの順に書き込んでください。なお、16ビットタイマは、書き込み操作中に読み出したリ、読み出し操作中に書き込みを行うと正常な動作を行いません。

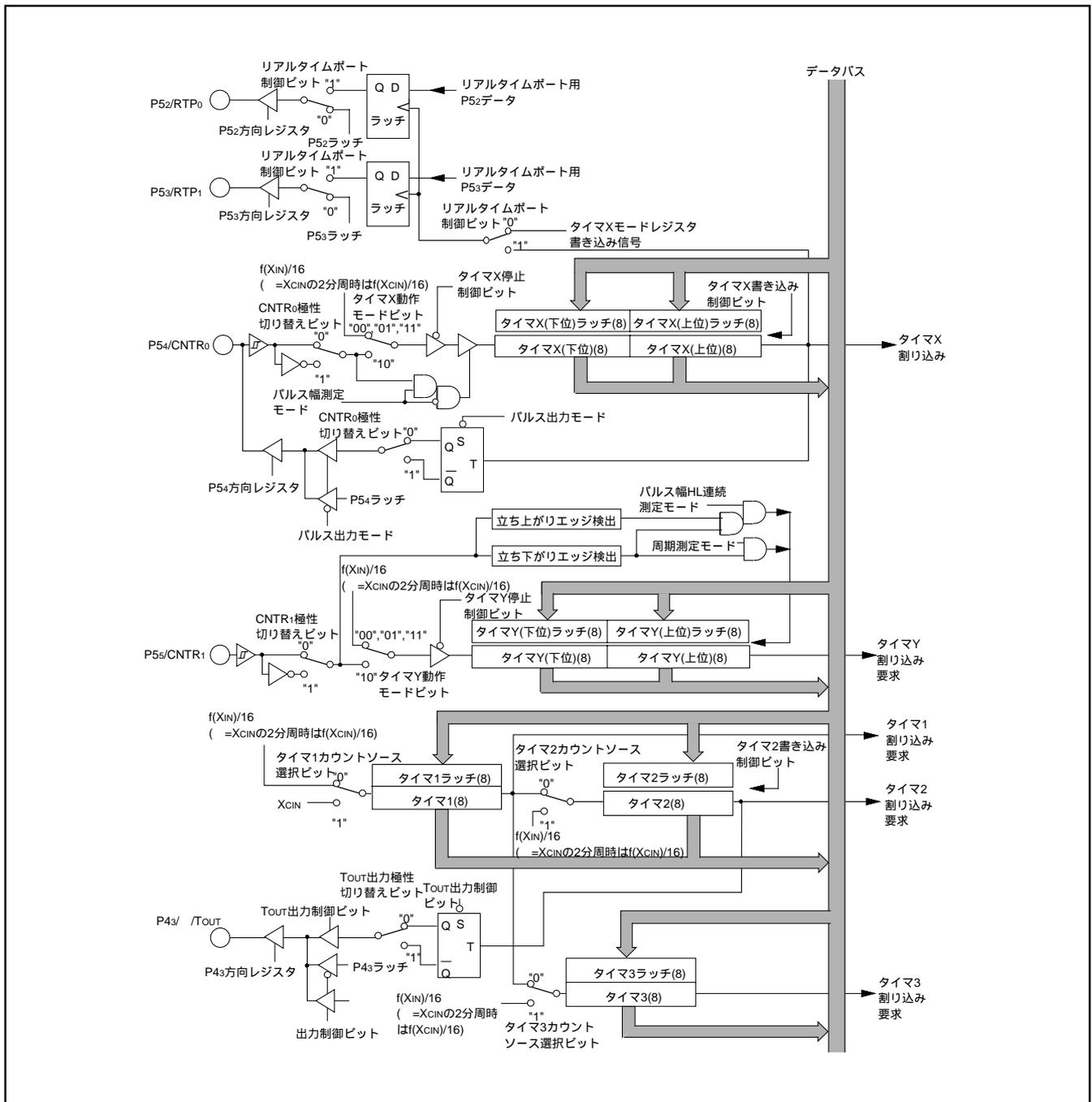


図20 . タイマのブロック図

タイマX

タイマXは16ビットタイマで、タイマXモードレジスタにより4つの動作モードを選択することができます。また、タイマX書き込み制御及びリアルタイムポート制御ができます。

(1) タイマモード

$f(XIN)/16$ (低速モード時は $f(XCIN)/16$)の周波数をカウントします。

(2) パルス出力モード

タイマがアンダフローするたびに極性の反転するパルスをCNTR0端子より出力することを除けば、タイマモードと同じ動作をします。このモードではCNTR0端子と共用のポートを出力に設定してください。

(3) イベントカウンタモード

CNTR0端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではCNTR0端子と共用のポートを入力に設定してください。

(4) パルス幅測定モード

カウントソースは $f(XIN)/16$ (低速モード時は $f(XCIN)/16$)です。CNTR0極性切り替えビットが* 0 の場合は、CNTR0端子の入力が“H”の期間カウントします。“1”の場合はCNTR0端子の入力が* L”の期間カウントします。このモードではCNTR0端子と共用のポートを入力に設定してください。

・タイマX書き込み制御

通常はラッチ及びタイマ同時書き込みになっており、タイマXのアドレスに値を書き込むと、タイマとタイマラッチに同時に値が設定されます。

タイマラッチのみ書き込む場合、タイマXのアドレスに値を書き込むとリロード用ラッチに値が設定され、タイマは次のアンダフローで更新されます。

なお、タイマラッチのみ書き込む場合、タイマのアンダフロー時にタイマラッチに書き込みを行うと、タイマとタイマラッチに同時に値が設定されます。また、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、上位側カウンタに望ましくない値が設定されることがあります。

・CNTR0割り込み極性切り替えについての注意

CNTR0極性切り替えビットの設定により、同時に割り込み極性も影響を受けます。

・リアルタイムポート制御

リアルタイムポート機能有効時はタイマXがアンダフローするたびにリアルタイムポート用データがそれぞれポートP52、P53から出力されます。(ただし、リアルタイムポート用データを設定した後、リアルタイムポート制御ビットを“0”から“1”に変えたときには、タイマXの動作に関わらずデータが出力されます。)リアルタイムポート機能有効時にリアルタイムポート用データを変更すると、次のタイマXのアンダフローで変更された値が出力されます。

この機能を利用するときは対応するポートの方向レジスタを出力に設定してください。

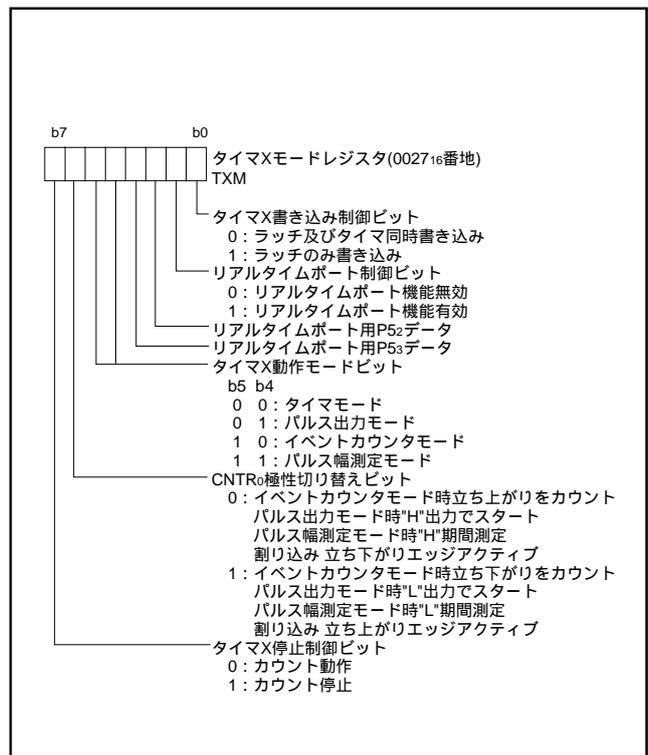


図21 . タイマXモードレジスタの構成

タイマY

タイマYは16ビットタイマで、タイマYモードレジスタにより4つの動作モードを選択することができます。

(1) タイマモード

$f(XIN)/16$ (低速モード時は $f(XCIN)/16$)の周波数をカウントします。

(2) 周期測定モード

CNTR₁端子入力の立ち上がり/立ち下がりで割り込み要求が発生し、タイマラッチの内容を再びタイマにロードしてカウントを続けることを除けば、タイマモードと同じ動作をします。CNTR₁端子入力の立ち上がり/立ち下がり時の再ロード直前のタイマ値は、再ロード後1度読み出されるまで保持されます。なお、CNTR₁端子入力の立ち上がり/立ち下がりタイミングはCNTR₁割り込みで知ることができます。このモードではCNTR₁端子と共用のポートを入力に設定してください。

(3) イベントカウンタモード

CNTR₁端子からの入力をカウントすることを除けば、タイマモードと同じ動作をします。このモードではCNTR₁端子と共用のポートを入力に設定してください。

(4) パルス幅HL連続測定モード

CNTR₁端子入力の立ち上がり、立ち下がりとも割り込み要求が発生することを除けば、周期測定モードと同じ動作をします。このモードではCNTR₁端子と共用のポートを入力に設定してください。

CNTR₁割り込み極性切り替えについての注意

CNTR₁極性切り替えビットの設定により、同時に割り込みのアクティブエッジも影響を受けます。ただし、パルス幅HL連続測定モードの場合はCNTR₁極性切り替えビットの設定によらず、端子の立ち上がり、立ち下がりともにCNTR₁割り込み要求が生じます。

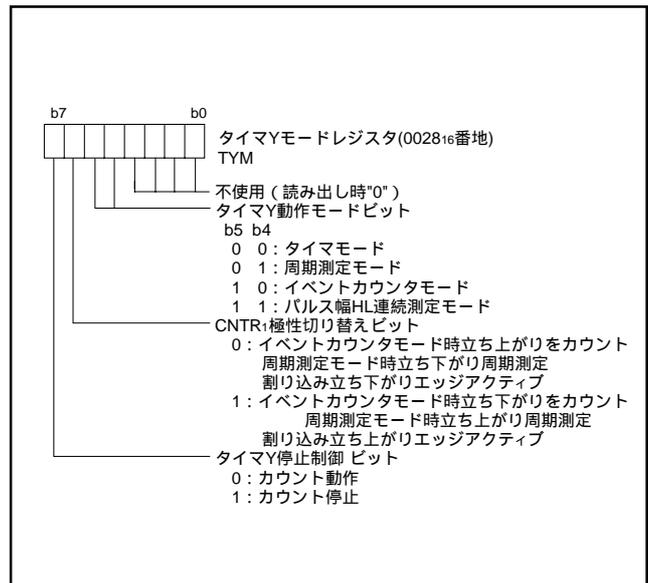


図22. タイマYモードレジスタの構成

タイマ1、タイマ2、タイマ3

タイマ1～3は8ビットのタイマで、タイマ123モードレジスタにより、カウントソースの選択などができます。

なお、カウントソースを切り替えるときにはタイマラッチの値は変化しませんが、タイマの値が不正になることがありますので再設定してください。

・タイマ2書き込み制御

ラッチのみ書き込む場合、タイマのアドレスに値を書き込むとリロード用ラッチのみに値が設定され、タイマは次のアンダフローで更新されます。通常はラッチ及びタイマ同時書き込みになっており、タイマのアドレスに値を書き込むとタイマとタイマラッチの両方に同時に値が設定されます。

・タイマ2出力制御

タイマ χ (TOUT)出力許可にすると、タイマ2がアンダフローするたびに極性の反転する信号がTOUT端子から出力されます。この場合、TOUT端子と共用のポートを出力に設定してください。

タイマ1～タイマ3使用上の注意

タイマ1～タイマ3のカウントソースを切り替えるとき、カウント入りに細いパルスが生じてタイマのカウント値が大きく変わることがあります。また、タイマ2又はタイマ3のカウントソースとしてタイマ1出力を選択している場合、タイマ1に書き込みを行うときに出力に細いパルスが生じて、タイマ2又はタイマ3のカウント値が大きく変わることがあります。

したがって、タイマ1～タイマ3のカウントソースを設定した後、タイマ1から順に値を設定してください。

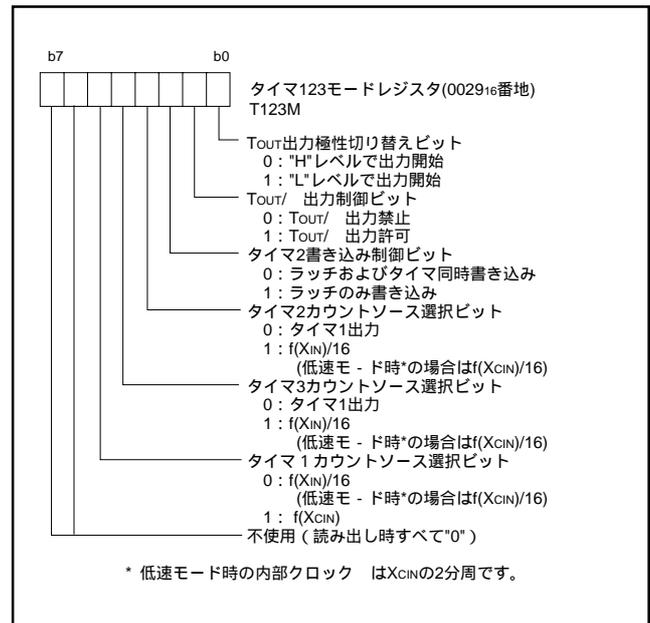


図23 . タイマ123モードレジスタの構成

シリアルI/O

シリアルI/O1

シリアルI/O1はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O1動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのモード選択ビットを'1'にすることによって、クロック同期形シリアルI/O1が選択されます。

クロック同期形シリアルI/O1では、シリアルI/O1の動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われません。

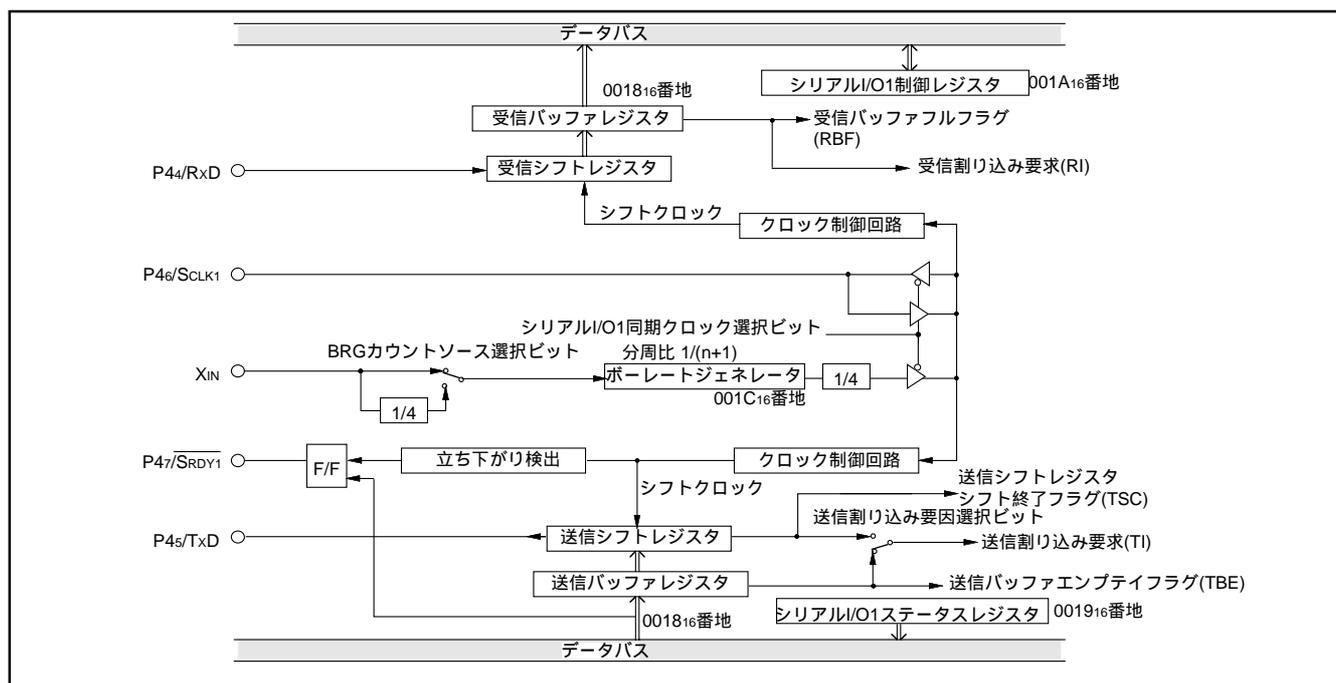


図24 . クロック同期形シリアルI/O1ブロック図

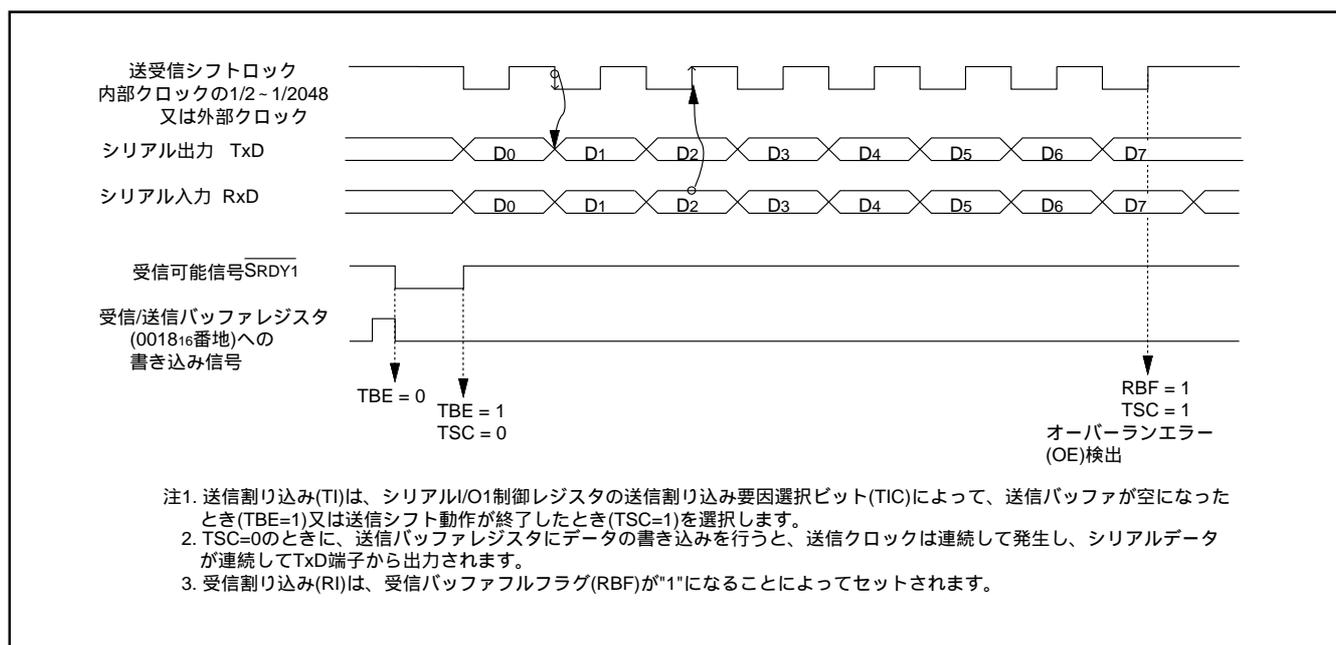


図25 . クロック同期形シリアルI/O1動作図

(2) 非同期形シリアルI/O (UART) モード

シリアルI/O制御レジスタのモード選択ビットを“0”にすることによってUARTが選択されます。

3826グループでは、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

3826グループはシリアルデータの送信、受信を行う送信シフトレ

ジスタ、受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

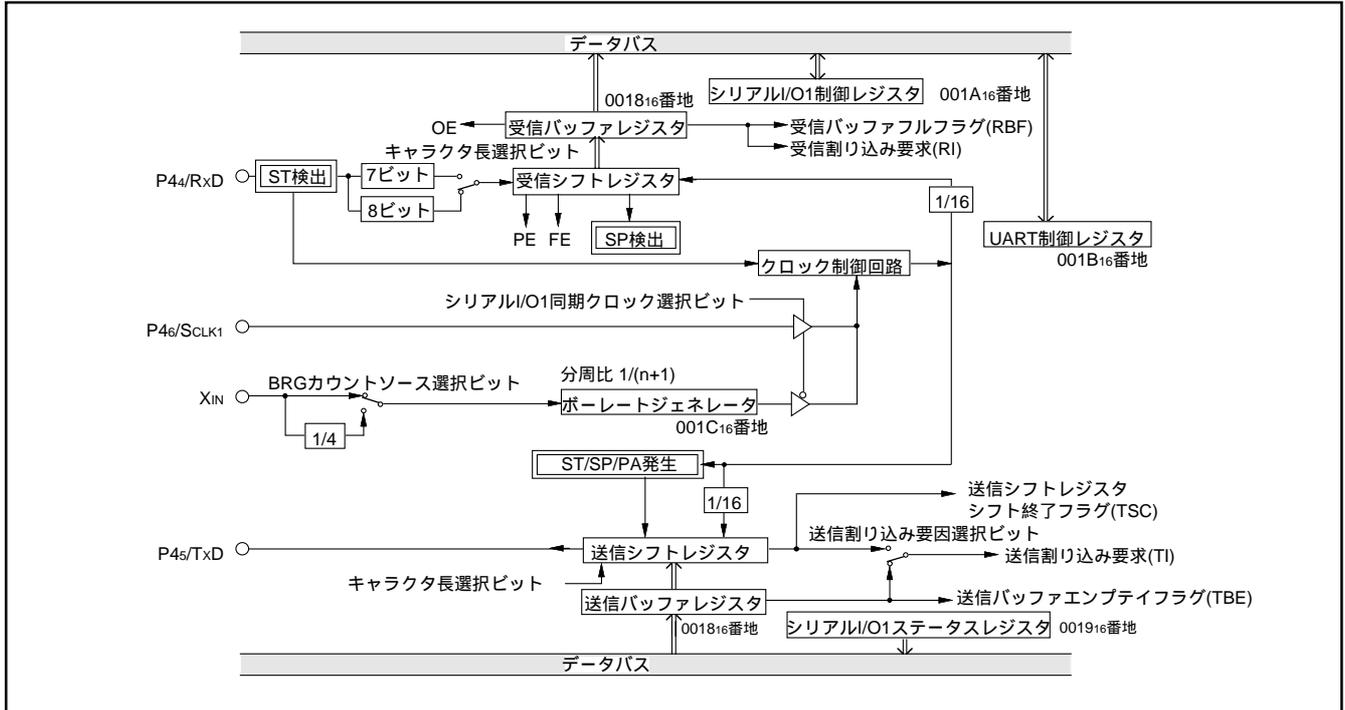
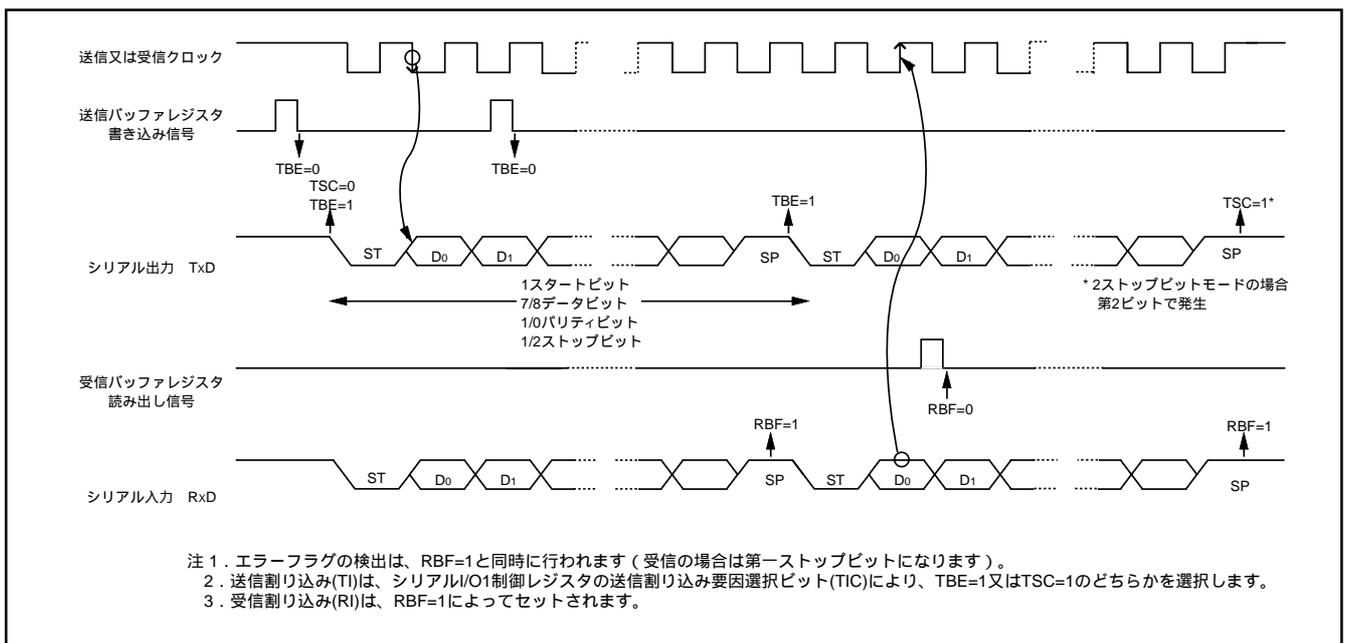


図26 . UART形シリアルI/O1ブロック図



注1. エラーフラグの検出は、RBF=1と同時にされます(受信の場合は第一ストップビットになります)。
 注2. 送信割り込み(TI)は、シリアルI/O制御レジスタの送信割り込み要因選択ビット(TIC)により、TBE=1又はTSC=1のどちらかを選択します。
 注3. 受信割り込み(RI)は、RBF=1によってセットされます。

図27 . UART形シリアルI/O1動作図

【送信バッファレジスタ/受信バッファレジスタ】 TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【シリアルI/O1ステータスレジスタ】 SIO1STS

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みで、すべてのエラーフラグ(OE PE FE SE)がクリアされます。また、シリアルI/O1許可ビット(SIOE)に“0”を書き込むと、エラーフラグを含むすべてのステータスフラグが“0”にクリアされます。

このレジスタのすべてのビットはリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビットを“1”にしたとき、ビット2とビット0は“1”になります。

【シリアルI/O1制御レジスタ】 SIO1CON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】 UARTCON

UART選択時に有効な4ビットの制御ビットと、常に有効な1ビットの制御ビットにより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P45/TxD端子の出力形式などを設定します。

【ボーレートジェネレータ】 BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

注意事項

シリアルI/O1の送信許可ビットを“1”にしたとき、シリアルI/O1送信割り込み要求ビットが“1”になります。送信許可に同期した割り込み発生が不要な場合は、以下の手順で設定してください。

シリアルI/O1送信割り込み許可ビットを“0”(禁止)にする。

送信許可ビットを“1”にする。

—命令以上おいてから、シリアルI/O1送信割り込み要求ビットを“0”にする。

シリアルI/O1送信割り込み許可ビットを“1”(許可)にする。

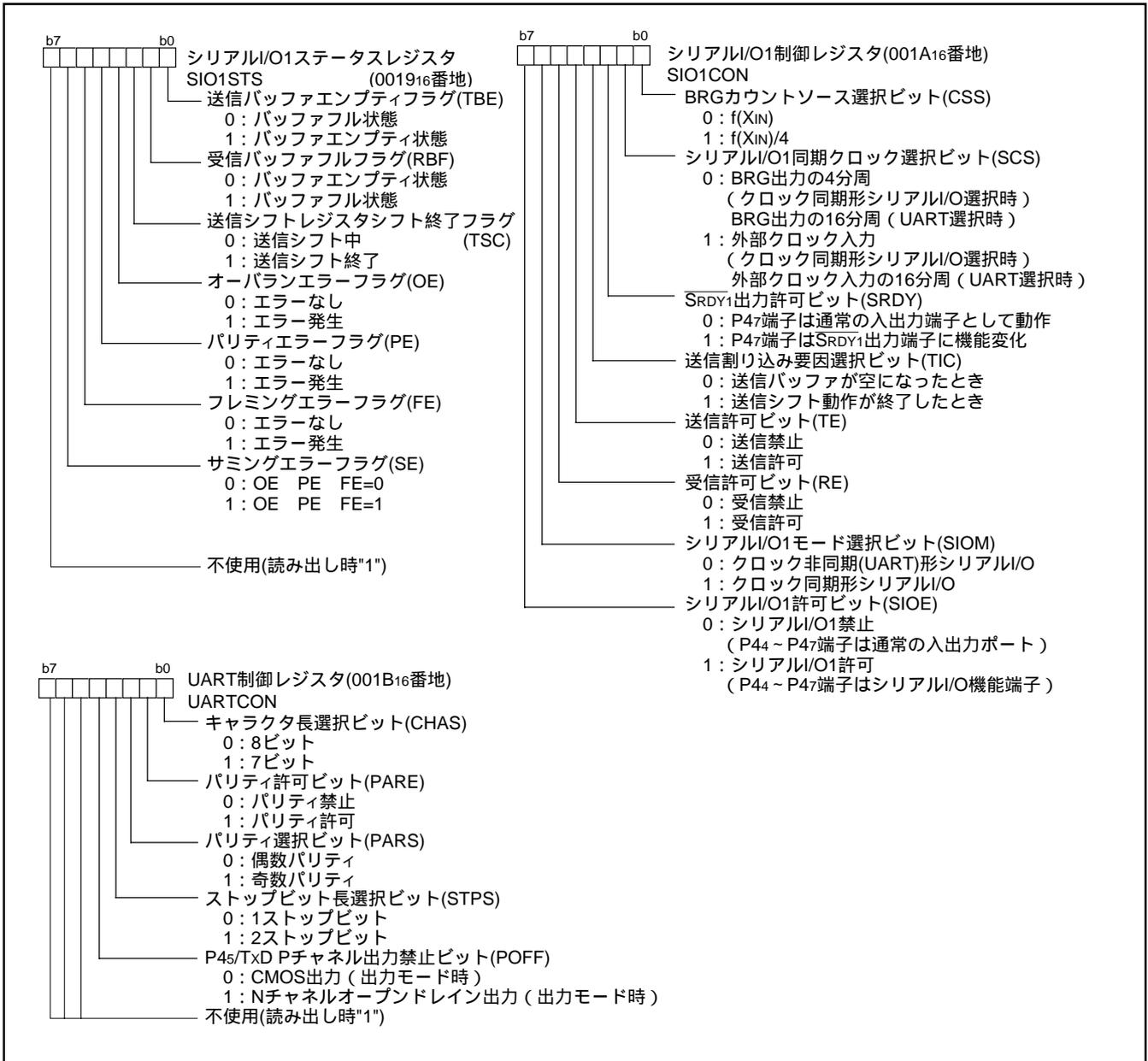


図28 . シリアルI/O関係レジスタの構成

シリアルI/O2

シリアルI/O2はクロック同期形としてのみ動作可能です。

シリアルI/O2においては、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始はシリアルI/O2レジスタへの書き込み信号により行われます。

シリアルI/O2の同期クロックを内部に選択した場合、同期クロックの出力端子としてP62、P63のいずれかを選択可能です。この場合、同期クロックの出力として選択されていない端子はポート機能となります。

【シリアルI/O2制御レジスタ】 SIO2CON

シリアルI/O2制御レジスタは8ビットで、シリアルI/O2の各種制御を行う選択ビットで構成されています。

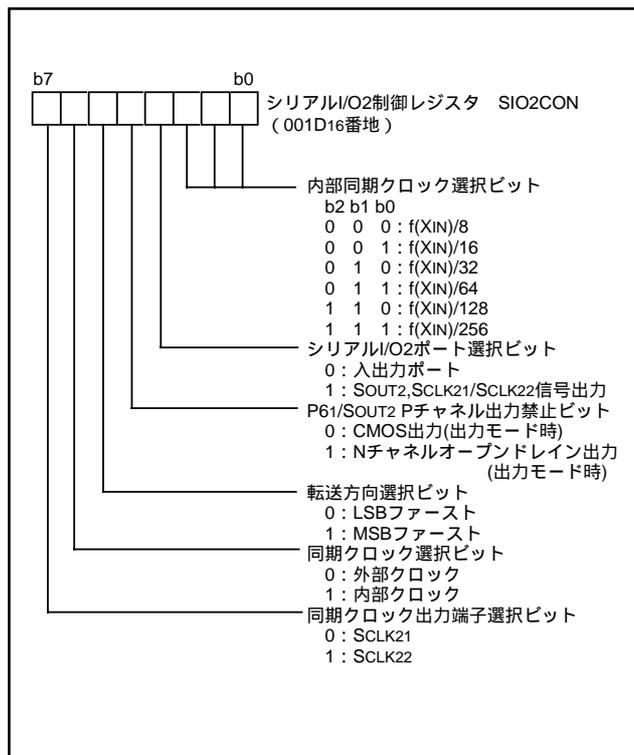


図29 . シリアルI/O2制御レジスタの構成

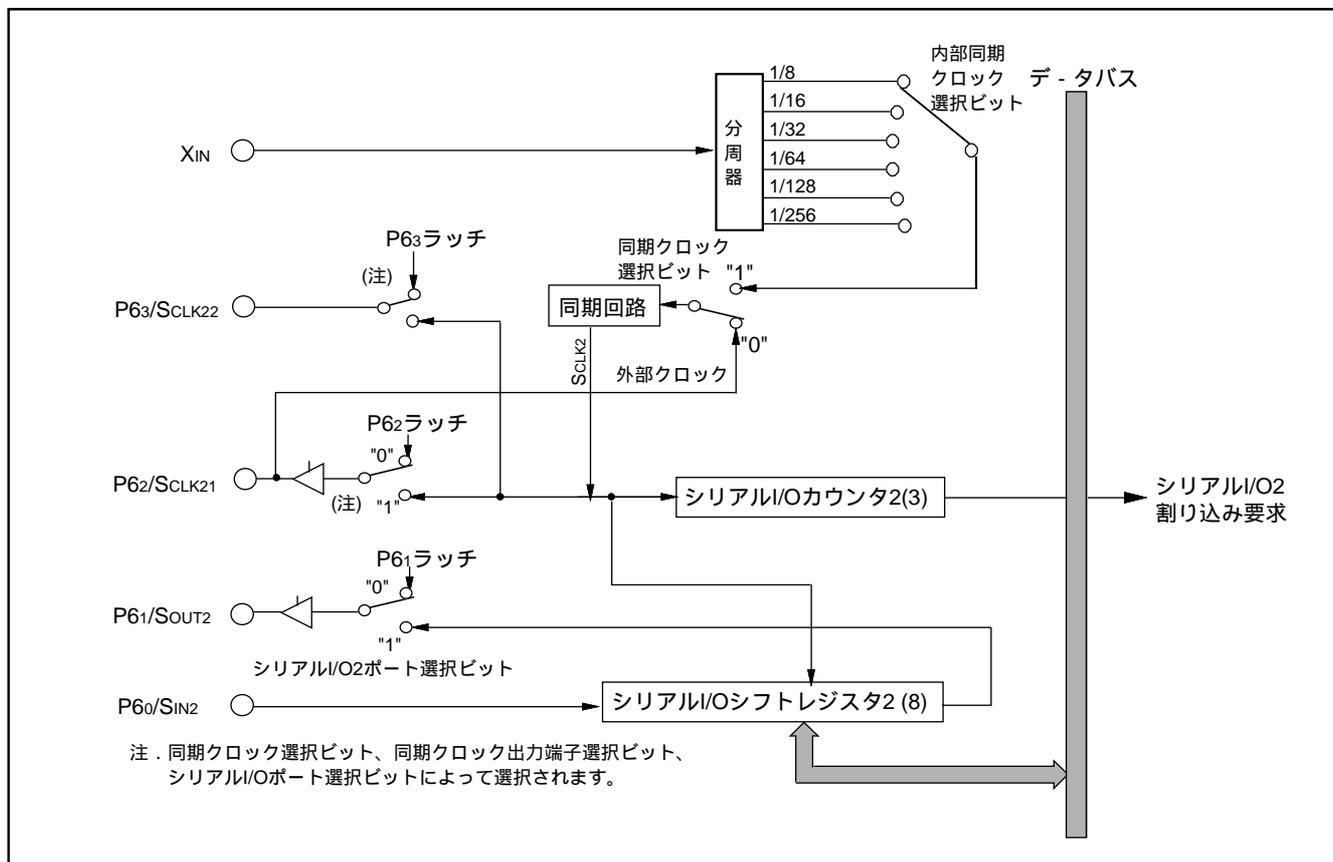


図30 . シリアルI/O2ブロック図

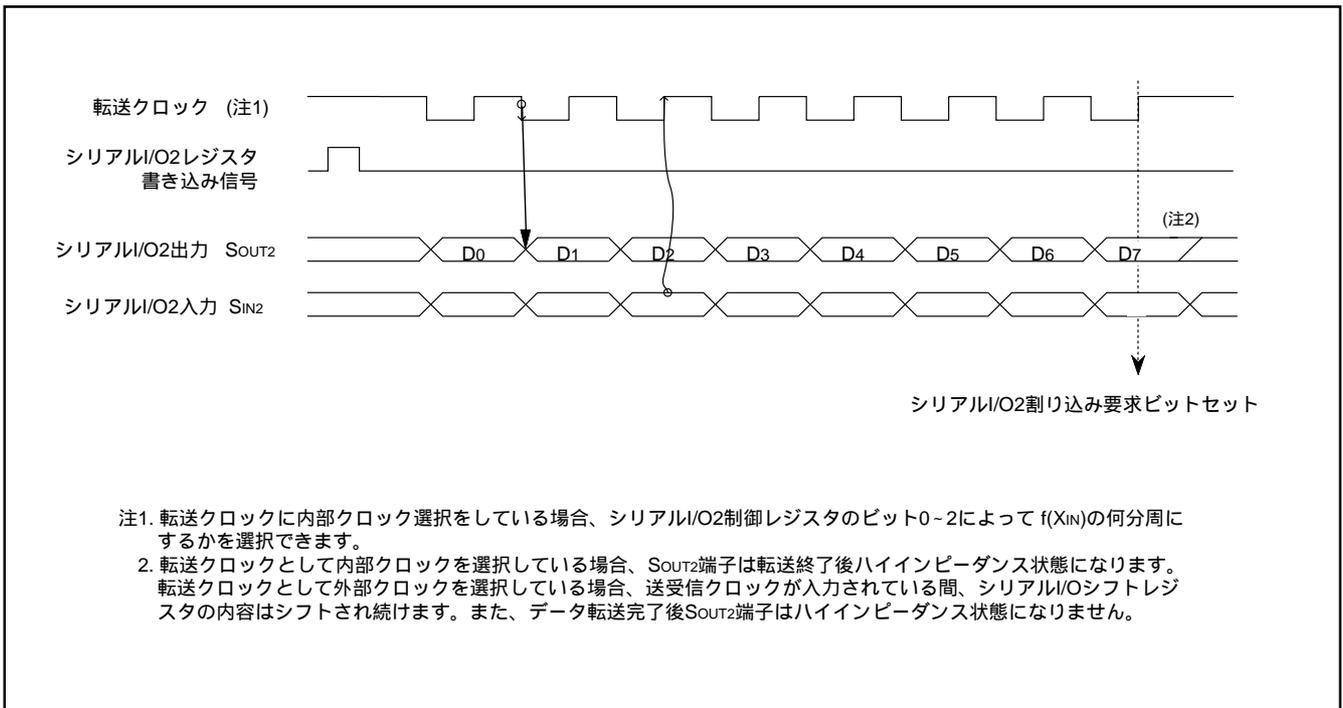


図31 . シリアル/O2タイミング図

PWM出力回路(PWM:Pulse Width Modulation)

PWMは8ビットの分解能を持ち、クロック入力X_{IN}、又はX_{IN}を2分周した信号を基本としています。

・データの設定

PWMの出力端子はポートP5₀、P5₁と共用しています。PWMプリスケラによりPWM周期を設定し、PWMレジスタにより出力パルスの“H”期間を設定します。

PWMカウントソースをf(X_{IN})とし、PWMプリスケラの値をn、PWMレジスタの値をmとすると、以下のようになります。(ただし、n=0~255、m=0~255です。)

$$\begin{aligned} \text{PWM周期} &= \frac{255 \times (n+1)}{f(X_{IN})} \\ &= 31.875 \times (n+1) \mu s \quad (X_{IN} = 8\text{MHzの場合}) \end{aligned}$$

$$\begin{aligned} \text{出力パルスの“H”期間} &= \frac{\text{PWM周期} \times m}{255} \\ &= 0.125 \times (n+1) \times m \mu s \\ &\quad (X_{IN} = 8\text{MHzの場合}) \end{aligned}$$

・PWMの動作

PWM制御レジスタのビット1(PWM₀機能許可ビット)又はビット2(PWM₁機能許可ビット)のうち少なくとも一方を許可にした場合にPWM出力は初期状態より動作を開始し、“H”から始まるパルスを出力します。一方のPWM出力を許可にした後に残る一本のPWM出力を許可にした場合、後から出力を許可したPWM出力は途中から始まります。

PWM出力中にPWMレジスタ、PWMプリスケラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

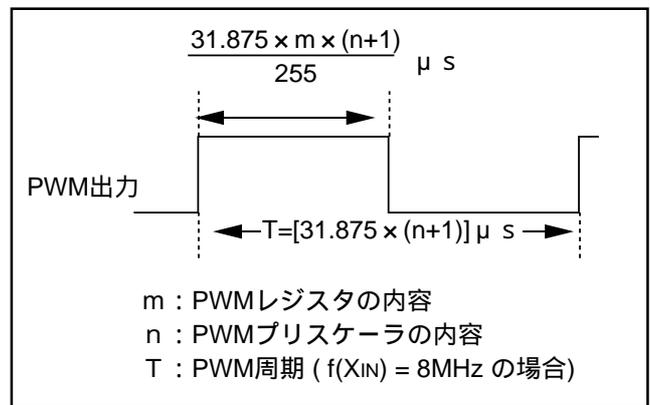


図32 . PWM周期のタイミング図

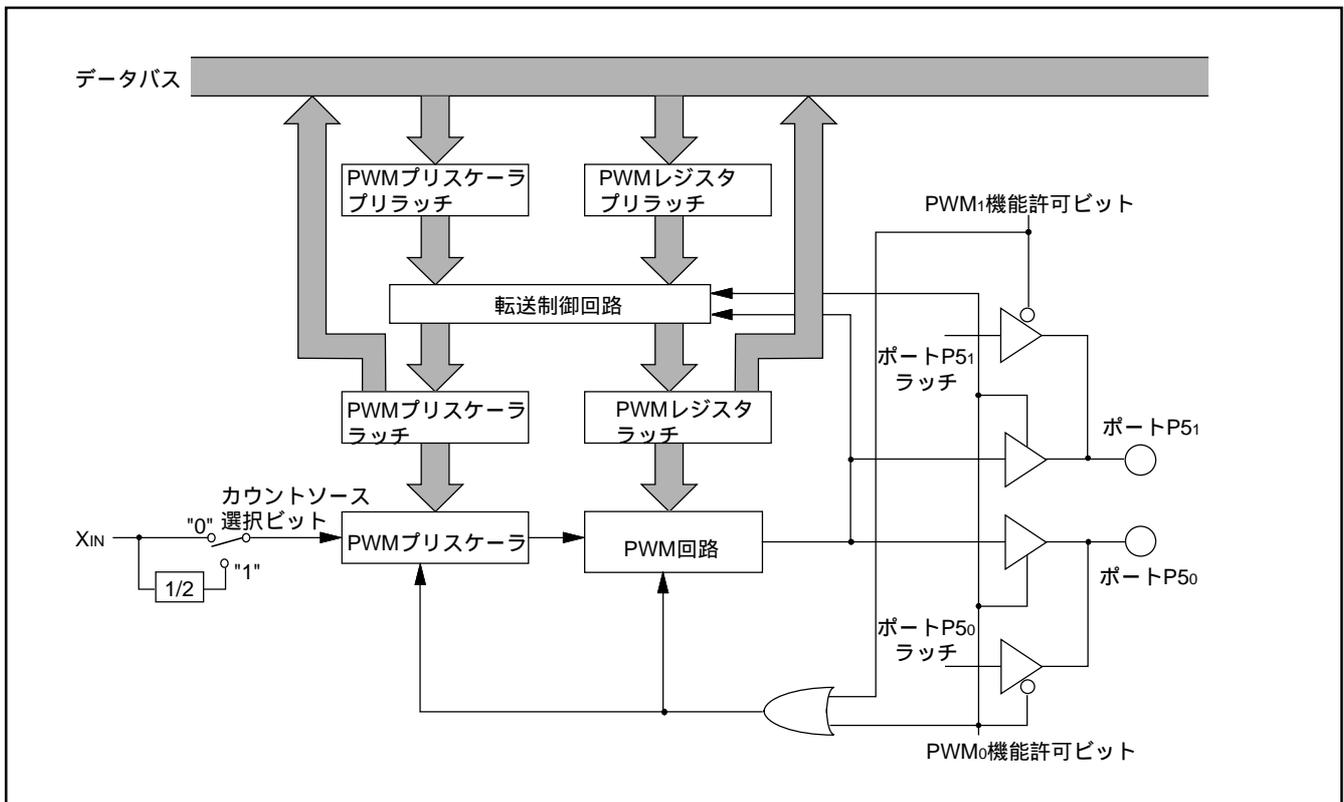


図33 . PWMブロック図

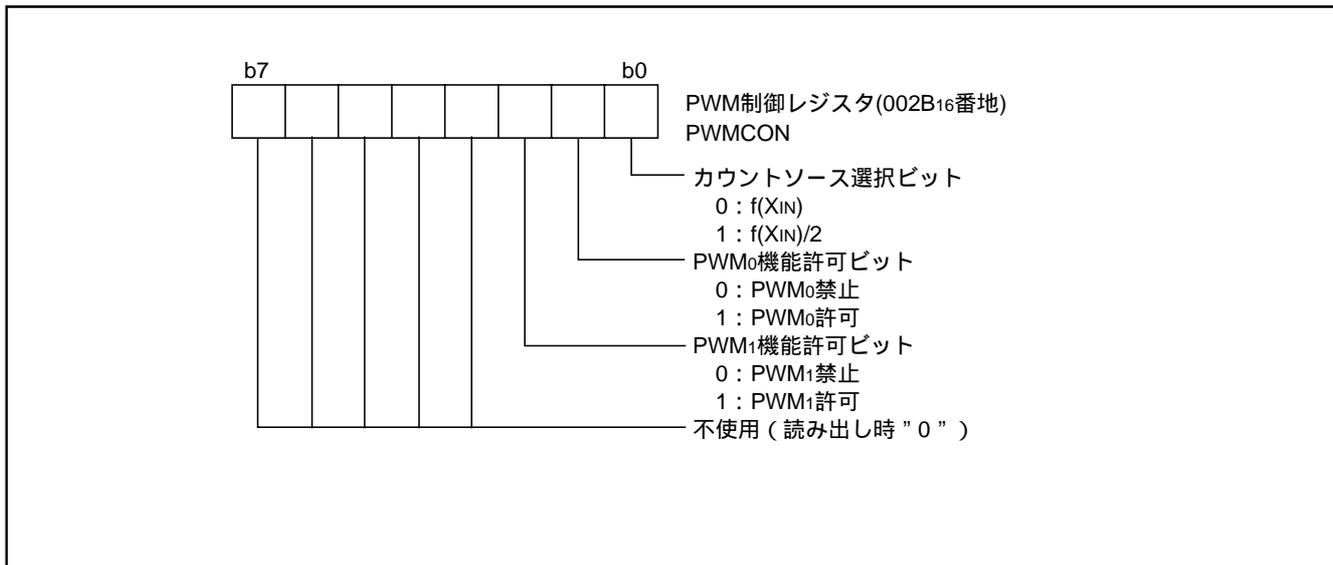


図34 . PWM制御レジスタの構成

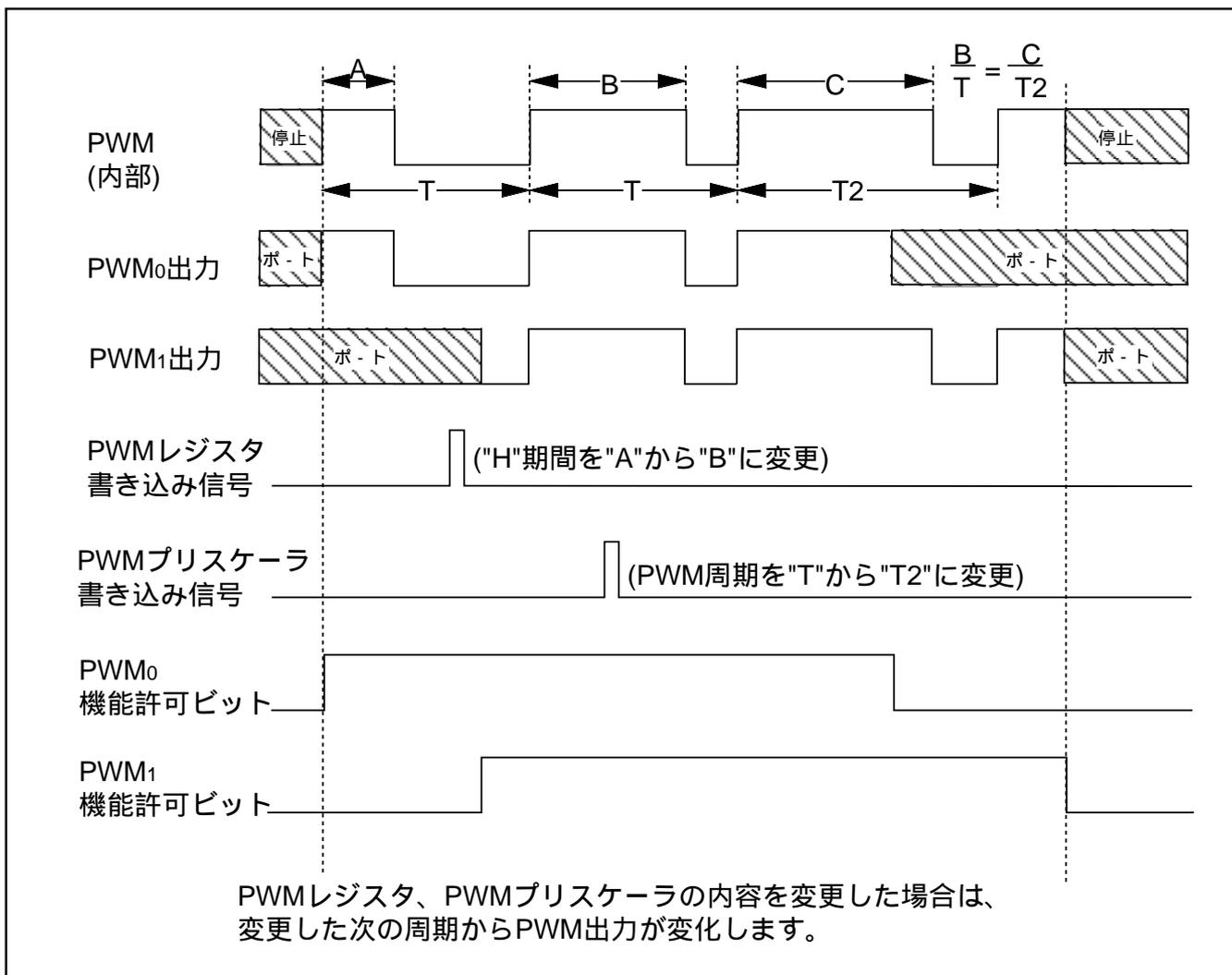


図35 . PWMレジスタ及びPWMプリスケアラ変更時のPWM出力タイミング図

A-D変換器

【A-D変換レジスタ】 AD

A-D変換結果が格納される読み出し専用のレジスタです。A-D変換中に、このレジスタを読み出すと、前回の変換結果が読み出されます。

【A-D制御レジスタ】 ADCON

A-D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。ビット3はAD変換終了ビットで、A-D変換中は“0”、A-D変換が終了すると“1”になります。このビットに“0”を書き込むことによりA-D変換が開始されます。ビット4は抵抗ラダーの貫通電流を遮断するトランジスタを制御します。ビット5はA-D外部トリガ有効ビットで、このビットを“1”に設定すると、ADT入力立ち下がりによってもA-D変換を開始します。A-D外部トリガを使用する場合は、ADT端子と共用のポートを入力に設定してください。

【比較電圧発生器】

AVSSとVREFの間の電圧を抵抗分割し、分圧を出力します。

【チャンネルセクタ】

ポートP67/AN7～P60/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA-D変換レジスタに格納します。また、A-D変換終了時にA-D変換終了ビット及びA-D割り込み要求ビットは“1”にセットされます。

コンパレータは容量結合で構成されていますので、A-D変換中はf(XIN)を500kHz以上にしてください。また、内部クロックにはメインクロックXINを分周したクロックを使用してください。

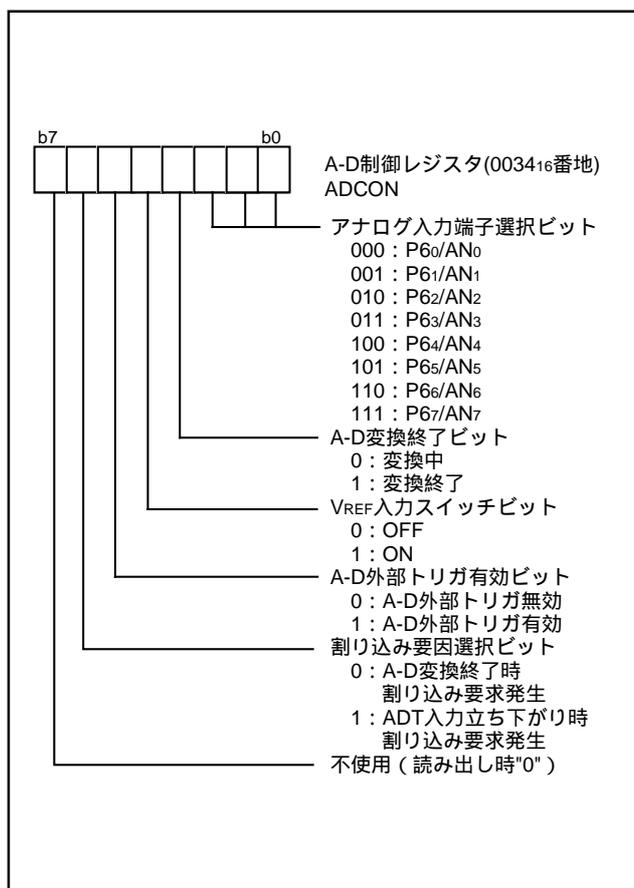


図36. A-D変換レジスタの構成

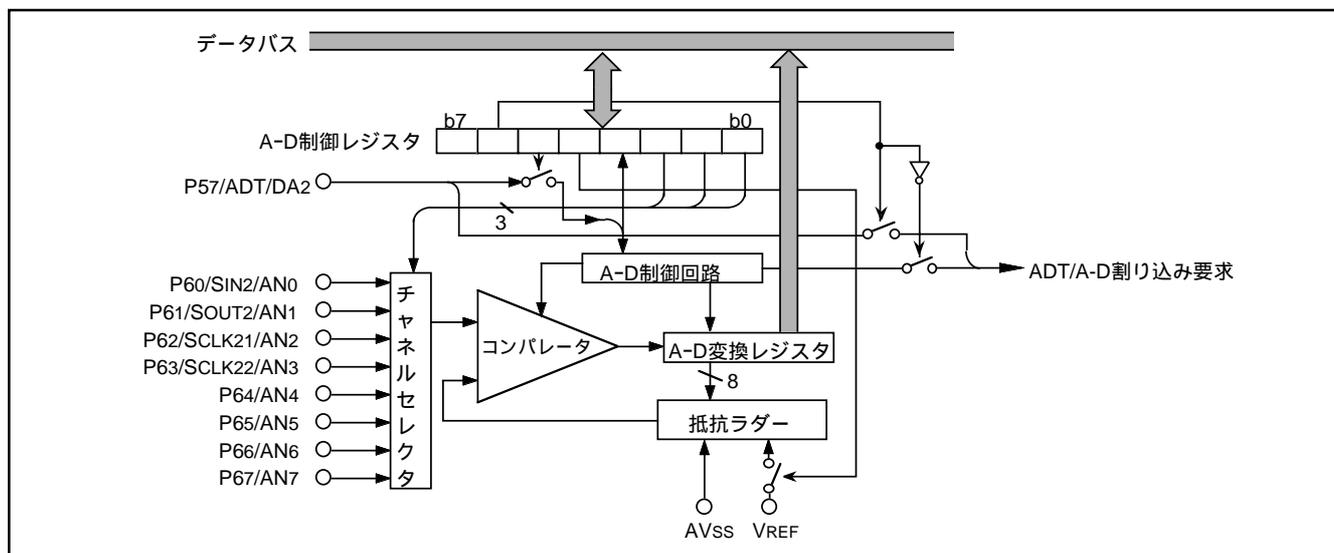


図37. A-D変換器ブロック図

D-A変換器

D-A変換器は分解能8ビットで、2チャンネル(DA1、DA2)内蔵しています。

D-A変換はそれぞれDTMF/DA1選択ビット、及びCTCSS/DA2選択ビットを'0'にした時、対応するD-A変換レジスタに値を設定することによって行われます。それぞれDTMF/DA1出力許可ビットとCTCSS/DA2出力許可ビットを'1'に設定することによって、D-A変換された結果はDA1、DA2端子から出力されます。このとき、ポートP57/DA2、P56/DA1の方向レジスタは'0'(入力状態)に、プルアップ抵抗はOFF状態に設定しておいてください。

出力されるアナログ電圧VはD-A変換レジスタに設定した値n (nは10進数)で決まります。

$$V = V_{REF} \times n / 256 (n=0 \sim 255)$$

ただしVREFは基準電圧

D-A変換レジスタはリセット時'0016'にクリアされます。また、DTMF/DA1出力許可ビットやCTCSS/DA2出力許可ビットも、リセット時'0'にクリアされ、P56/DA1、P57/DA2端子はハイインピーダンス状態になります。なお、D-A出力はバッファを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。

VREF端子へ印加する電圧の注意事項

P56/DA1端子、P57/DA2端子を入出力ポートとして使用する場合は、VREF端子には必ずVccレベルを印加してください。

同様に上記の両端子をD-A変換出力端子として使用する場合は、VREF端子への印加電圧はVccレベルをお勧めします。Vccレベル以下の電圧を印加した場合は、D-A変換器の精度がやや低下する可能性があります。

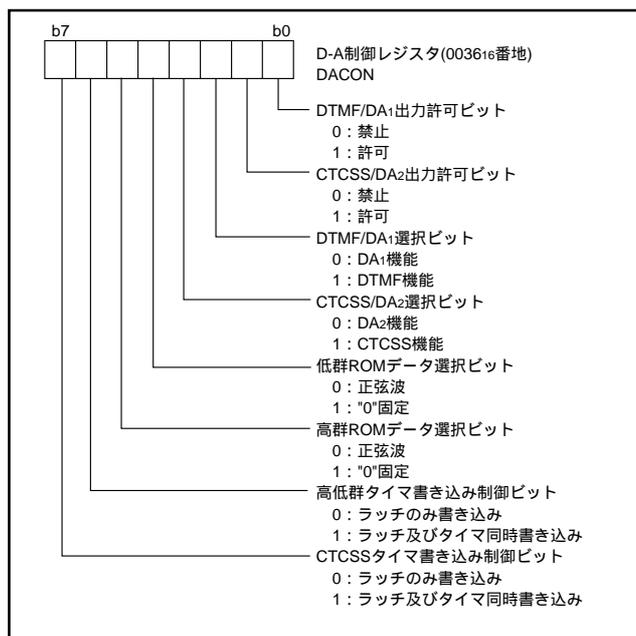


図38 . D-A制御レジスタの構成

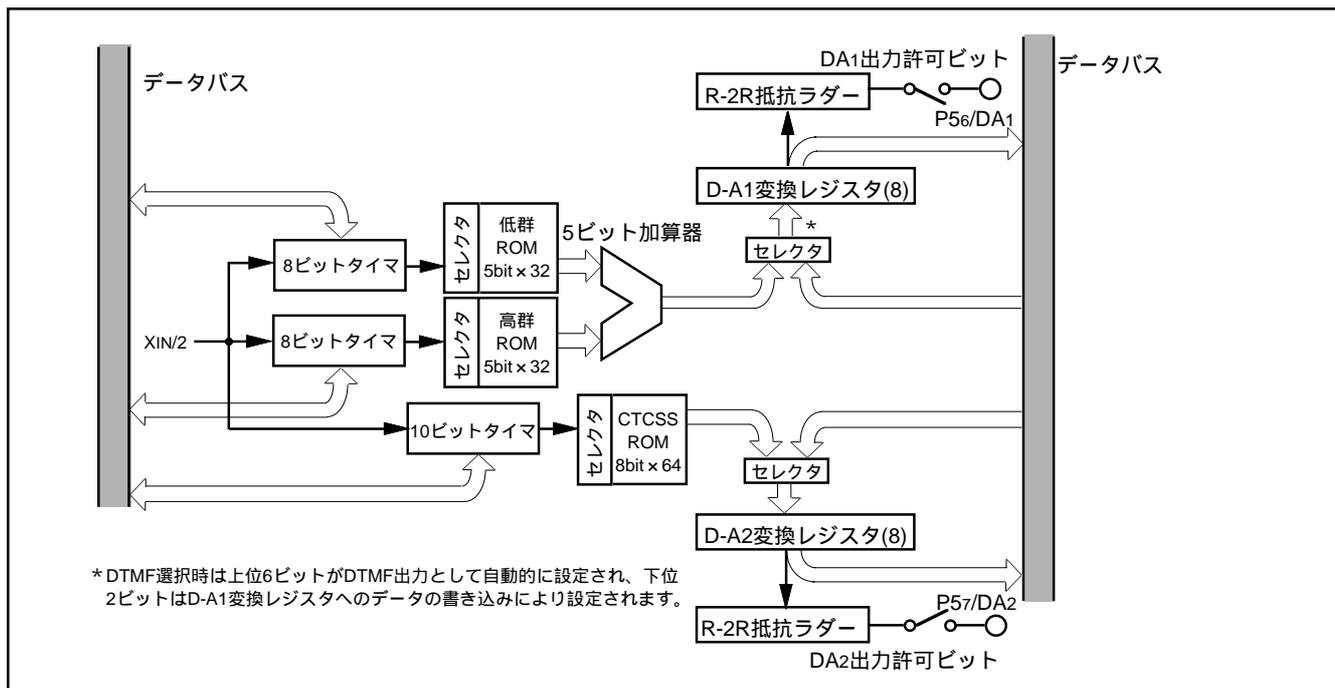


図39 . D-A変換器のブロック図

DTMF機能 (Dual Tone Multi Frequency)

DTMF機能は2種類の異なる周波数の正弦波の波形を自動的に発生し、この2種類の正弦波を加算した結果をアナログ値として出力する機能です。

DTMF出力はDA1機能を利用して出力することが可能です。DTMF/DA1出力許可ビット(0036₁₆番地のビット0)を許可の状態“1”に設定し、DTMF/DA1選択ビット(0036₁₆番地のビット2)を“1”に設定することによりDTMF波形が出力されます。このとき、ポートP56/DA1の方向レジスタは“0”(入力状態)に、プルアップ抵抗をOFF状態に設定しておいてください。

DTMF波形を生成する2種類の周波数を設定するには、それぞれDTMF高群用タイマとDTMF低群用タイマに値を書き込みます。それぞれ上記タイマに書き込んだ値nにより、

$$f = \frac{f(X_{IN})/2}{(n+1) \times 32} \text{ (Hz)}$$

の周波数の正弦波を発生することが可能です。DTMFタイマは高群タイマ、低群タイマとも“06₁₆”以上の値を設定してください。リセット解除後は高群タイマ、低群タイマとも“06₁₆”が自動的に設定されます。

高群、低群出力の一周期分のデジタル値は図40に示します。

DTMF出力は6ビットのD-AデータとしてD-A1変換レジスタの上位6ビットに自動的に入力されます。D-A1変換レジスタの下部2ビットはD-A1変換レジスタに書き込まれた値に固定されます。

また、D-A制御レジスタのビット4を“1”に設定することにより、高群の正弦波出力のみを出力させることが可能です。同様にD-A制御レジスタのビット5を“1”に設定することにより、低群の正弦波出力のみを出力することが可能です。DTMF高群、低群タイマはD-A制御レジスタのビット6を“1”に設定することにより、ラッチ及びタイマ同時書き込みに変更することも可能です。リセット解除後はラッチのみ書き込みの状態になっています。DTMF機能選択時D-A1変換レジスタを読むとDTMF出力のデジタル値が読めます。

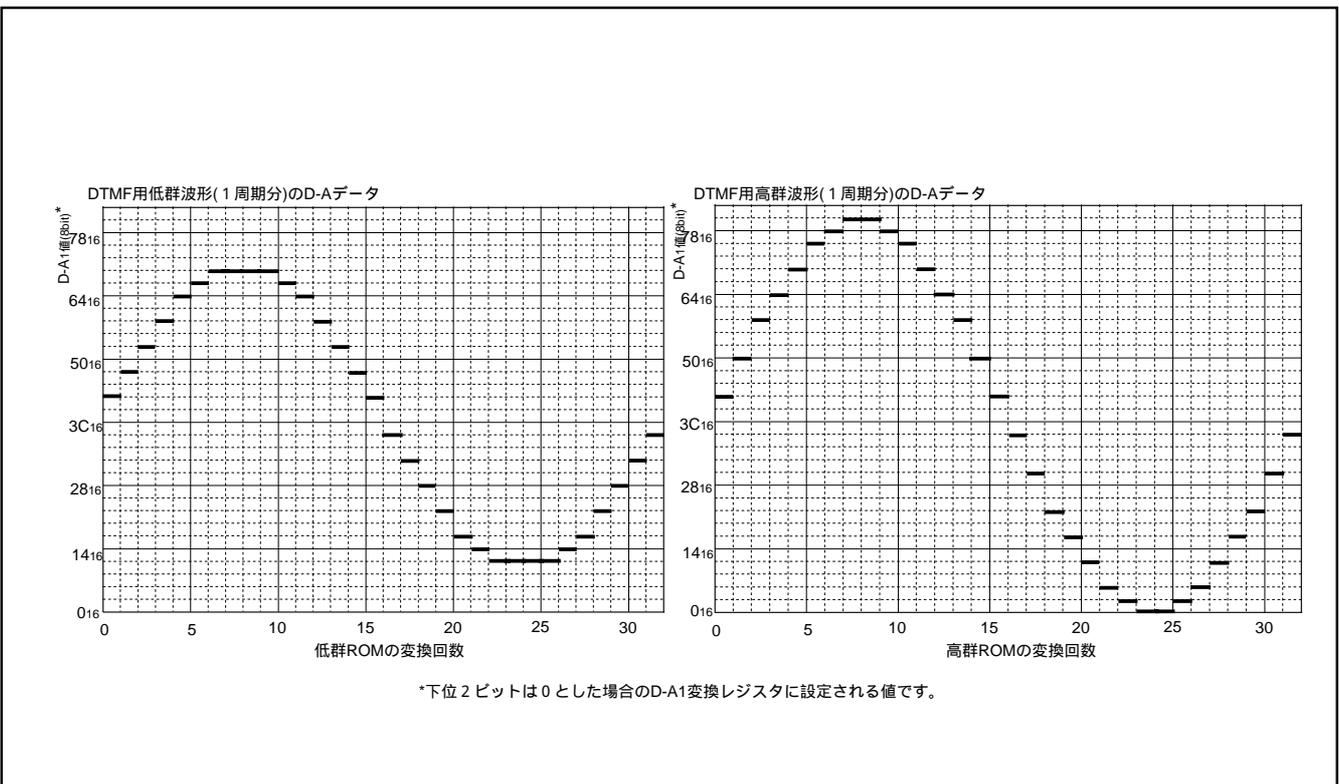


図40. 高群、低群波形データ

低群周波数、高群周波数

低群周波数、高群周波数は以下に示す値です。

表10に $f(X_{IN})=4\text{MHz}$ 時のDTMF高群、低群タイマの設定値と周波数規格に対する偏差を示します。

(1) 低群周波数

- 697Hz
- 770Hz
- 852Hz
- 941Hz

(2) 高群周波数

- 1209Hz
- 1336Hz
- 1477Hz
- 1633Hz

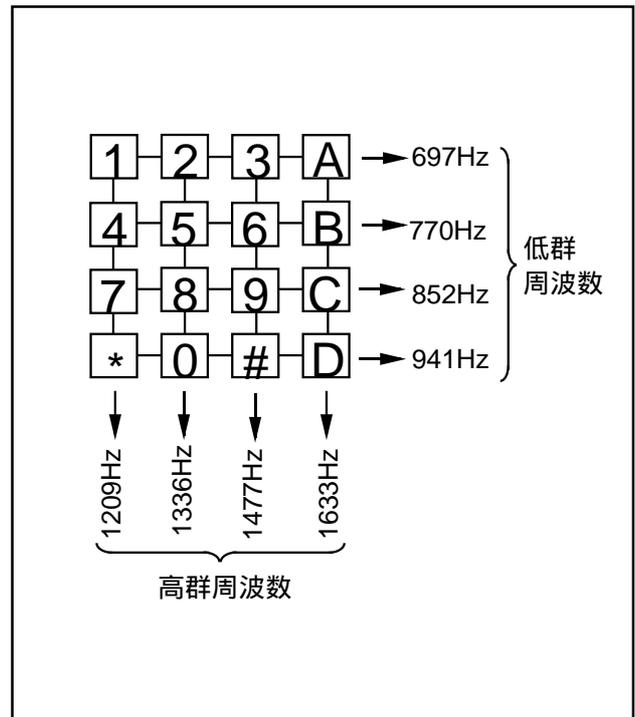


図41. 電話機のキーマトリクスと規格周波数

表10. 周波数精度例 ($f(X_{IN})=4\text{MHz}$ 時)

規格周波数 (Hz)	n (タイマ値)	出力周波数 (Hz)	誤差 (Hz)	偏差 (%)
697	89	694.4	-2.6	-0.367
770	80	771.6	1.6	0.208
852	72	856.2	4.2	0.488
941	65	946.9	5.9	0.630
1209	51	1201.9	-7.1	-0.580
1336	46	1329.7	-6.3	-0.460
1477	41	1488.1	11.1	0.750
1633	37	1644.7	11.7	0.720

CTCSS機能

(Continuous Tone-Controlled Squelch System)

CTCSS機能では単一の周波数の正弦波を自動的に発生させます。DA2機能を利用してCTCSS出力波形を出力することが可能です。CTCSS / DA2出力許可ビット(0036₁₆番地のビット1)を許可の状態“ 1 ”に設定し、CTCSS / DA2選択ビット(0036₁₆番地のビット3)を“ 1 ”に設定することによりCTCSS波形が出力されます。CTCSS出力の周波数を設定するには、CTCSS用タイマに値を書き込みます。CTCSSタイマは10ビットタイマで構成されています。CTCSS用タイマに値を書き込む時はCTCSSタイマ(下位)、CTCSSタイマ(上位)の順に書き込んでください。

CTCSS用タイマの値を読み出す時はCTCSSタイマ(上位)、CTCSSタイマ(下位)の順に読み出してください。CTCSSタイマに書き込んだ値nにより、

$$f = \frac{f(XIN) / 2}{(n + 1) \times 64} \quad (\text{Hz})$$

の周波数の正弦波が生成されます。CTCSSタイマには“ 006₁₆ ”以上の値を設定してください。リセット解除後CTCSSタイマ(上位)には“ 00₁₆ ”、CTCSSタイマ(下位)には“ 06₁₆ ”が自動的に設定されます。CTCSS出力の振幅は、

$$C = \frac{V_{cc}}{2}$$

です。CTCSS機能選択時D-A2変換レジスタを読むと、CTCSS出力のデジタル値が読めます。

表11 . .周波数精度例 (f(XIN)=4MHz時)

規格周波数 (Hz)	n (タイマ値)	出力周波数 (Hz)	誤差 (Hz)	偏差 (%)
67.0	465	67.06	0.06	0.089
77.0	405	76.97	-0.03	-0.038
88.5	352	88.53	0.027	0.030
100.0	312	99.84	-0.16	-0.160
107.2	291	107.02	-0.18	-0.167
114.8	271	114.89	0.09	0.078
123.0	253	123.03	0.03	0.026
131.8	236	131.86	0.06	0.043
141.3	220	141.40	0.10	0.073
151.4	205	151.70	0.30	0.198
162.2	192	161.92	-0.28	-0.174
173.8	179	173.61	-0.19	-0.109
186.2	167	186.01	-0.19	-0.101
203.5	153	202.92	-0.58	-0.284
218.1	142	218.53	0.43	0.198
233.6	133	233.20	-0.39	-0.167
250.3	124	250.00	-0.30	-0.120

LCD駆動制御回路

3826グループはLCD(液晶表示素子)の駆動制御回路を内蔵しています。

LCD駆動制御回路は、

- ・LCD表示用RAM
- ・セグメント出力許可レジスタ
- ・LCDモードレジスタ
- ・昇圧回路
- ・セクタ
- ・タイミングコントローラ
- ・コモンドライバ
- ・セグメントドライバ
- ・バイアス制御回路

によって構成されています。

セグメント出力は最大40本、コモン出力は最大4本使用でき、最大160画素までLCD表示を行うことができます。

LCDモードレジスタ、セグメント出力許可レジスタ、LCD表示用RAMにデータを設定した後、LCDイネーブルビットを点灯に設定すると、LCD駆動制御回路は自動的に表示データを読み出し、バイアス制御、時分割制御などを行い、LCDパネルへの表示を行います。

表12．各時分割時の最大表示素子数

時分割数	最大表示素子数
2	80ドット又は8セグメントLCD10桁
3	120ドット又は8セグメントLCD15桁
4	160ドット又は8セグメントLCD20桁

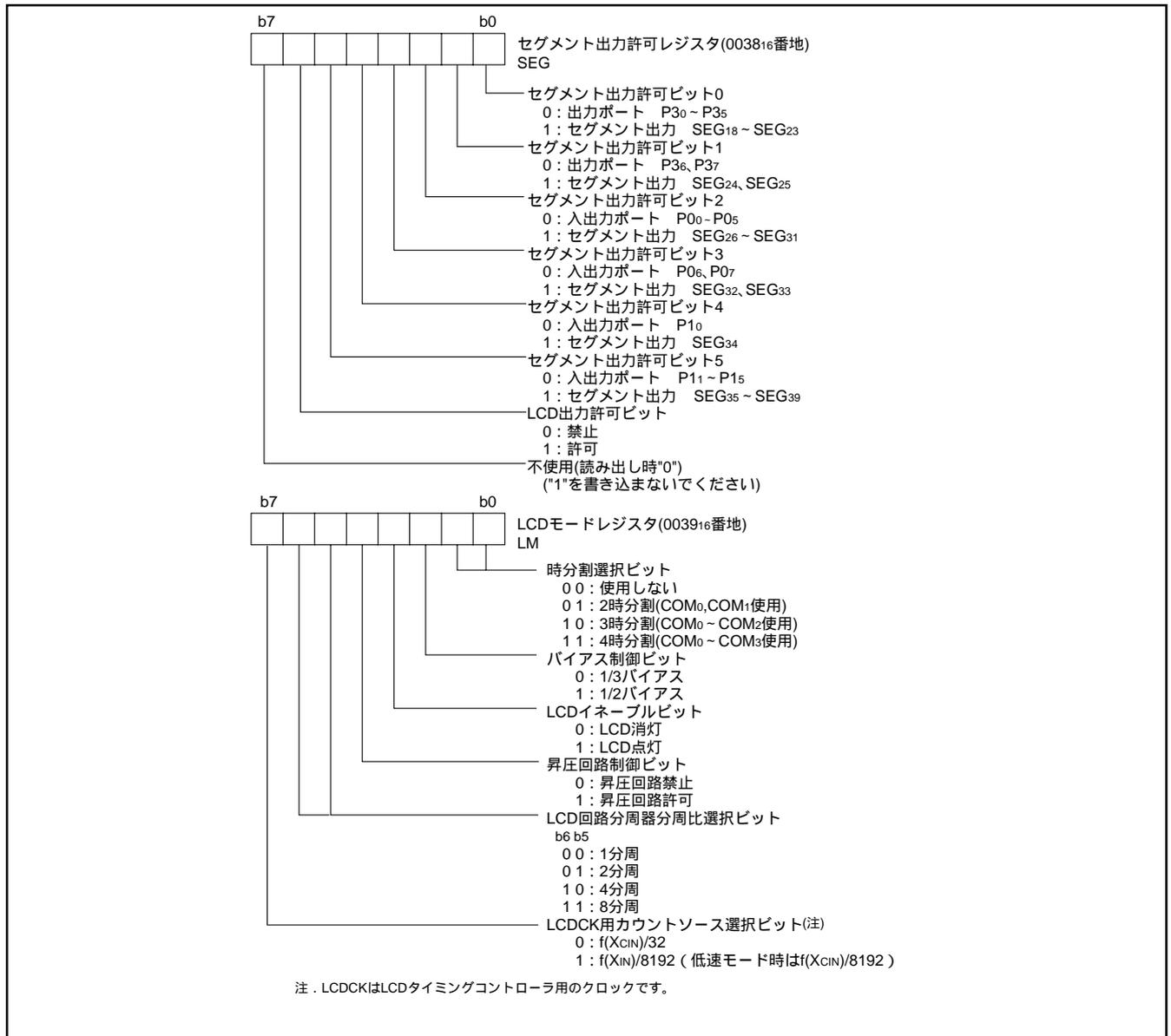


図42．LCD関係レジスタのビット構成

●昇圧回路

昇圧回路は3倍昇圧を行います。昇圧の基準電源はLCD用電源入力端子VL1から入力します。(ただし、1/2バイアス使用時にはVL1、VL2をつなぎ、外部抵抗分割で電圧を印加してください。)

昇圧回路を動作させるにはセグメント出力許可レジスタとLCDモードレジスタによりセグメント/ポートの選択と時分割選択、バイアス制御選択、LCD回路分周器分周比選択、LCDCK用カウンタソース選択を行った後にLCD出力許可ビット(セグメント出力許可レジスタのビット6)を許可に設定し、昇圧回路制御ビット(LCDモードレジスタのビット4)を昇圧回路許可に設定してください。

昇圧回路を動作させた場合、VL1端子に電圧を入力すると、VL2端子にVL1の2倍の電圧が発生し、VL3端子にVL1端子の3倍の電圧が発生します。

昇圧回路の制御は昇圧回路制御ビット(LCDモードレジスタのビット4)で行います。

なお、昇圧回路使用時には、VL1端子に1.3V以上2.3V(低電圧版は2.1V)以下の電圧を印加後、昇圧回路制御ビットを昇圧回路許可に設定してください。

昇圧回路を使用しない場合はLCD出力許可ビットを許可に設定し、LCD用電源入力端子(VL1~VL3)に適当な電圧を印加してください。LCD出力許可ビットが禁止に設定されているときは、VL3端子は内部でVccの電圧が印加されています。

●バイアス制御とLCD用電源入力端子への印加電圧

LCD用電源入力端子(VL1~VL3)には、バイアス値に従って、表13に示す電圧値を印加してください。

また、バイアス値はバイアス制御ビット(LCDモードレジスタのビット2)で選択してください。

表13. バイアス制御とVL1~VL3への印加電圧

バイアス値	電圧値
1/3バイアス	VL3 = VLCD VL2 = 2/3 VLCD VL1 = 1/3 VLCD
1/2バイアス	VL3 = VLCD VL2 = VL1 = 1/2 VLCD

注 VLCDはLCDパネルへの供給電圧の最大値

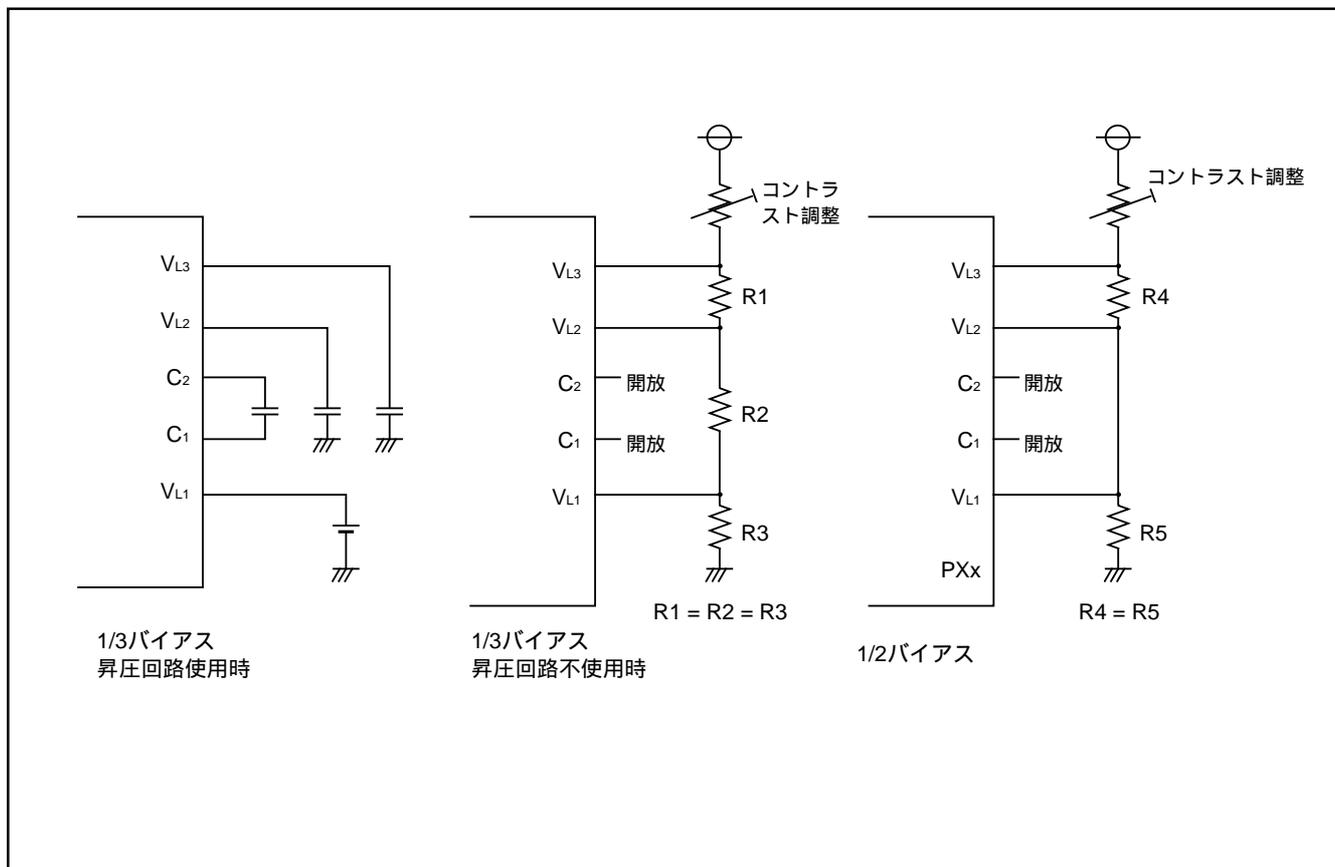


図44. 各バイアス時の回路例

●コモン端子と時分割制御

コモン端子(COM0 ~ COM3)は、時分割数によって使用する端子が決まっています。時分割数は時分割選択ビット(LCDモードレジスタのビット0、ビット1)で選択してください。リセット解除時、コモン端子よりVcc(=VL3)の電圧が出力されます。

表14 . 時分割制御と使用コモン端子

時分割数	時分割選択ビット		使用コモン端子名
	ビット1	ビット0	
2	0	1	COM0、COM1 (注1)
3	1	0	COM0 ~ COM2 (注2)
4	1	1	COM0 ~ COM3

注1. COM2、COM3は開放
2. COM3は開放

●セグメント信号出力端子

セグメント信号出力端子はセグメント専用端子(SEG0 ~ SEG17)とセグメント/出力ポート兼用端子(SEG18 ~ SEG25)とセグメント/出力ポート兼用端子(SEG26 ~ SEG39)があります。セグメント出力は時分割数と対応したLCDRAMのビットデータに従って出力されます。リセット解除後セグメント出力専用端子はVcc(=VL3)の電圧が出力され、セグメント/出力ポート兼用端子はハイインピーダンス状態

でVcc(=VL3)の電圧にプルアップされます。また、セグメント/出力ポート兼用端子(SEG26 ~ SEG39)は入力ポートに設定され、プルアップ抵抗によりVcc(=VL3)が印加されます。

●LCD表示用RAM

0040₁₆番地から0053₁₆番地までの20バイトはLCD表示用RAMです。これらのビットに“1”を書き込むと、LCDパネルの対応するセグメントが点灯します。

●LCD駆動タイミング

LCD駆動タイミングを決定する内部信号LCDCKの周波数及びフレーム周波数は次のようになります。

$$f(\text{LCDCK}) = \frac{(\text{LCDCK用カウントソース周波数})}{(\text{LCD用分周器分周比})}$$

$$\text{フレーム周波数} = f(\text{LCDCK})/\text{時分割数}$$

ビット アドレス	7	6	5	4	3	2	1	0
	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0
0040 ₁₆		SEG1					SEG0	
0041 ₁₆		SEG3					SEG2	
0042 ₁₆		SEG5					SEG4	
0043 ₁₆		SEG7					SEG6	
0044 ₁₆		SEG9					SEG8	
0045 ₁₆		SEG11					SEG10	
0046 ₁₆		SEG13					SEG12	
0047 ₁₆		SEG15					SEG14	
0048 ₁₆		SEG17					SEG16	
0049 ₁₆		SEG19					SEG18	
004A ₁₆		SEG21					SEG20	
004B ₁₆		SEG23					SEG22	
004C ₁₆		SEG25					SEG24	
004D ₁₆		SEG27					SEG26	
004E ₁₆		SEG29					SEG28	
004F ₁₆		SEG31					SEG30	
0050 ₁₆		SEG33					SEG32	
0051 ₁₆		SEG35					SEG34	
0052 ₁₆		SEG37					SEG36	
0053 ₁₆		SEG39					SEG38	

図45 . LCD表示用RAMマップ

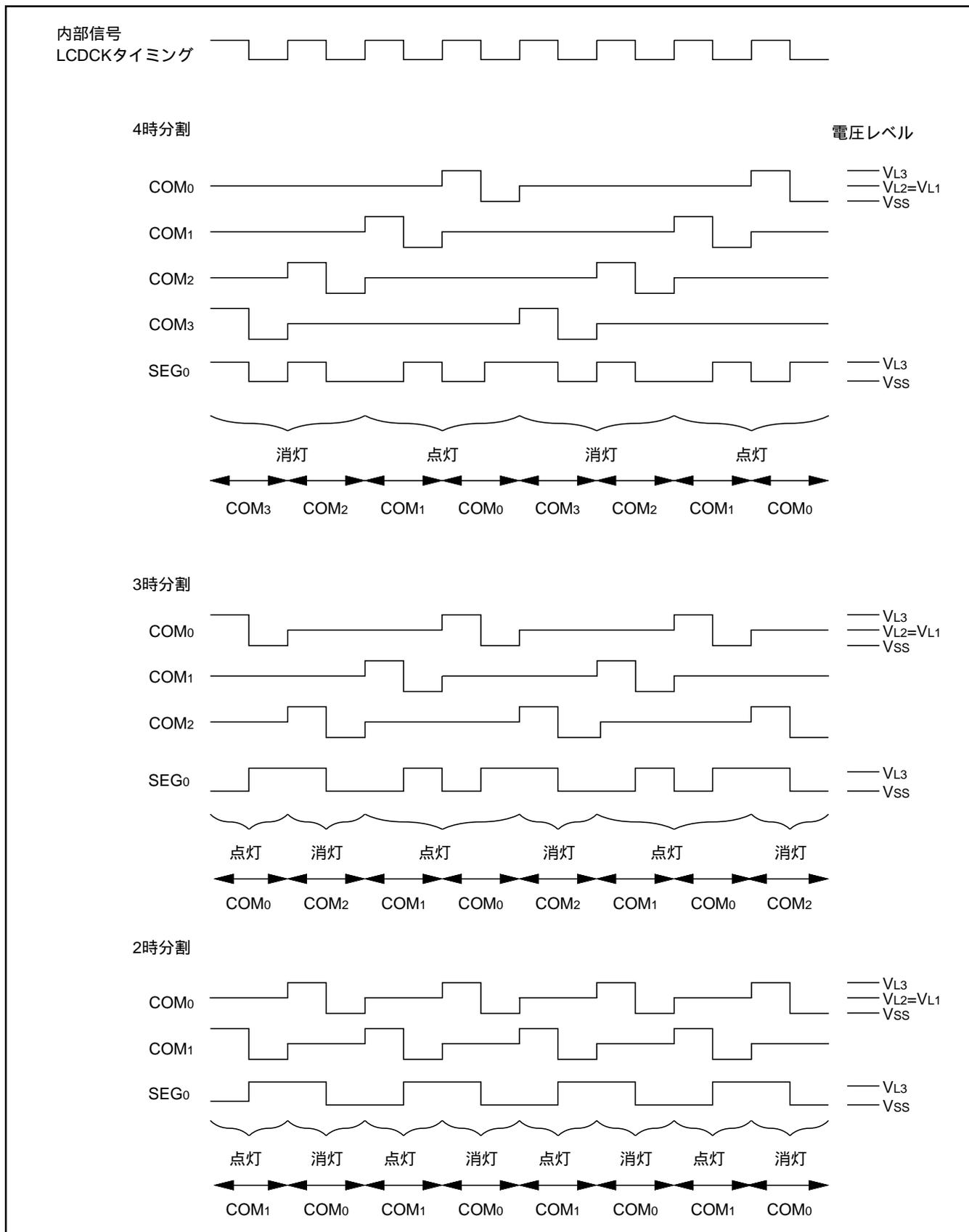


図46 . LCD駆動波形 (1/2バイアスの場合)

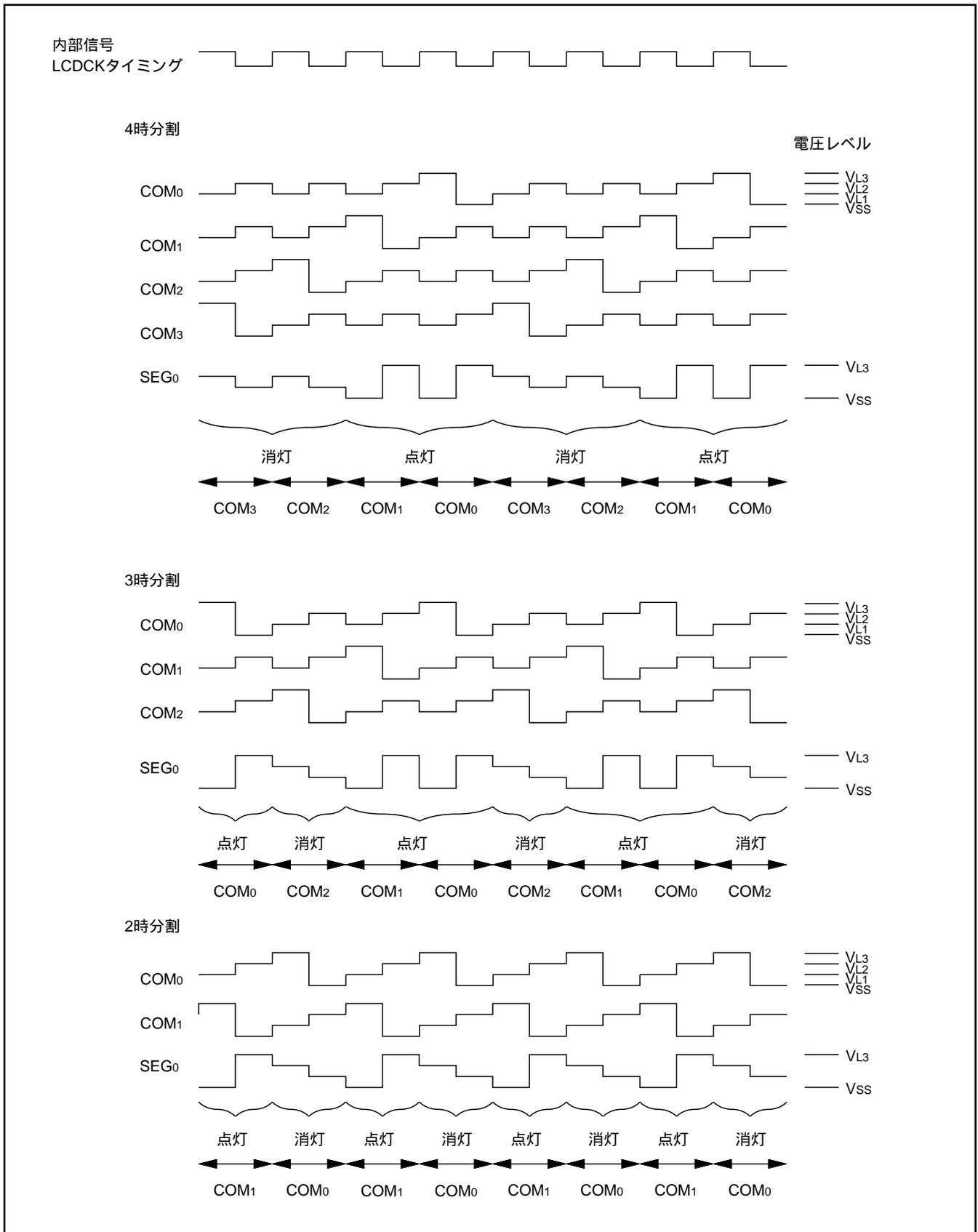


図47 . LCD駆動波形 (1/3バイアスの場合)

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかつた場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは下位8ビットと上位6ビットの計14ビットのカウンタで構成されています。これらのカウンタは、リセット時又はウォッチドッグタイマ制御レジスタ(0037₁₆番地)への書き込みにより'3FFF₁₆'に設定されます。リセット後、ウォッチドッグタイマはカウント停止状態ですが、ウォッチドッグタイマ制御レジスタ(0037₁₆番地)に任意の値を書き込むことにより'3FFF₁₆'からダウンカウントを開始し、アンダフローすると内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0037₁₆番地)に書き込みを行うようにプログラムを組みます。リセット解除後、ウォッチドッグタイマ制御レジスタ(0037₁₆番地)への書き込みがない場合には、ウォッチドッグタイマは機能しません。0037₁₆番地を読み出した場合は、上位6ビットのカウンタ、STP命令禁止ビットの値、及びカウントソース選択ビットの値が読まれます。

ウォッチドッグタイマ制御レジスタ(0037₁₆番地)のビット6を'0'

の状態にしておく、STP命令は有効です。このビットを'1'に書き替えることによりSTP命令は禁止されます。このときSTP命令が実行されると未定義命令として処理され、内部でリセットが発生します。

また、このビットはプログラミングにより'0'に書き替えることはできません。このビットはリセット直後'0'です。

ウォッチドッグタイマのカウントソースはシステムクロックの8分周信号です。検出時間は $X_{CIN} = 32\text{kHz}$ 時は8.19s、 $X_{IN} = 8\text{MHz}$ 時は32.768msになります。

ただし、ウォッチドッグタイマ制御レジスタ(0037₁₆番地)のビット7に'1'を書き込むことで、上位6ビットのタイマのカウントソースを直接システムクロックの8分周信号に接続することもできます。検出時間は $X_{CIN} = 32\text{kHz}$ 時は32ms、 $X_{IN} = 8\text{MHz}$ 時は128 μs になります。なお、中速モード、高速モードによる検出時間の違いはありません。

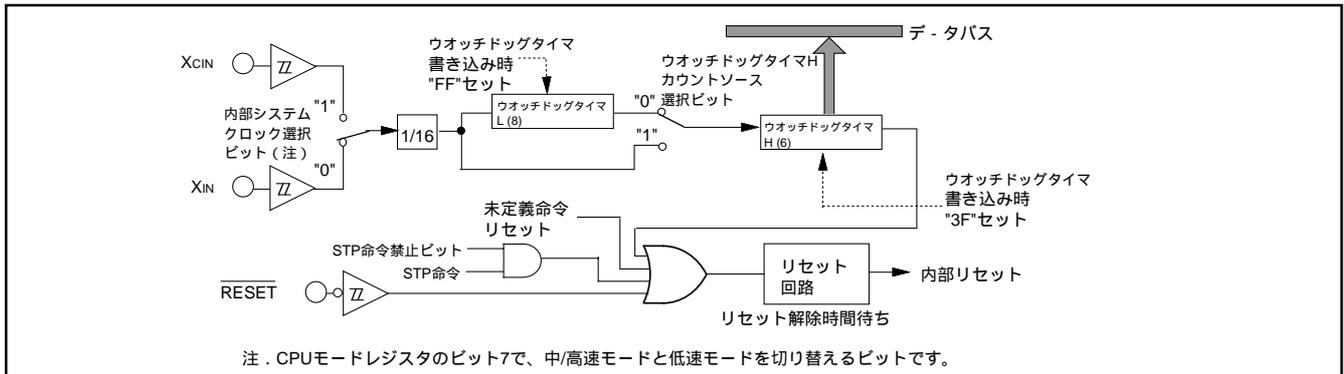


図48．暴走検出機能ブロック図

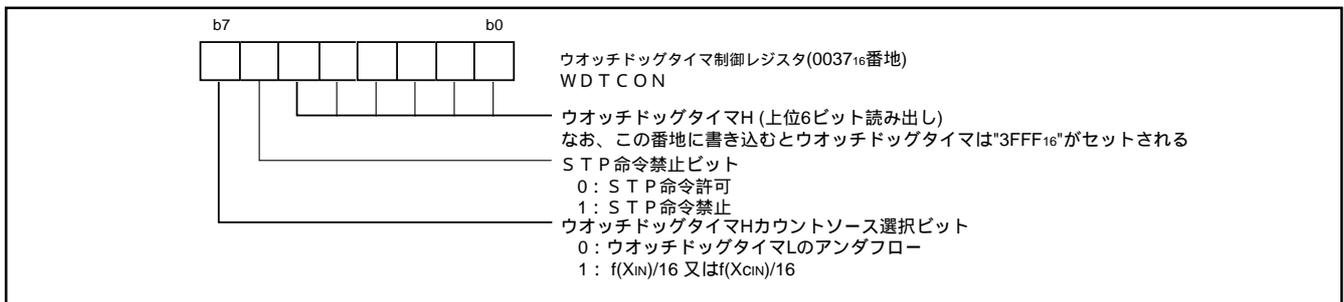


図49．ウォッチドッグタイマ制御レジスタの構成

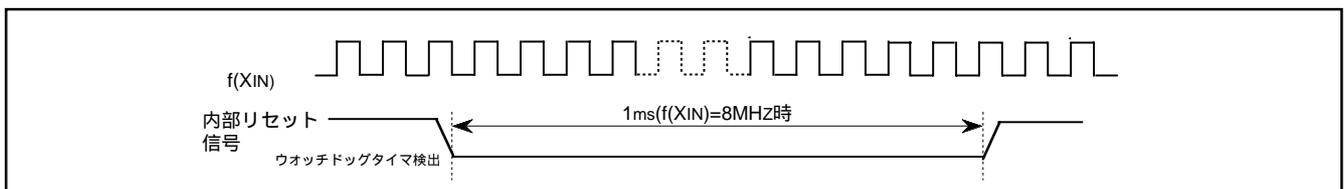


図50．リセット出力のタイミング図

TOUT/ クロック出力機能

タイマ123モードレジスタのビット1のTOUT/ 出力制御ビット、及びTOUT/ 出力制御レジスタの設定により、ポートP43からシステムクロック 又はタイマ2の2分周(TOUT出力)を出力することができます。

出力を行うには、ポートP43方向レジスタを' 1 'に設定する必要があります。

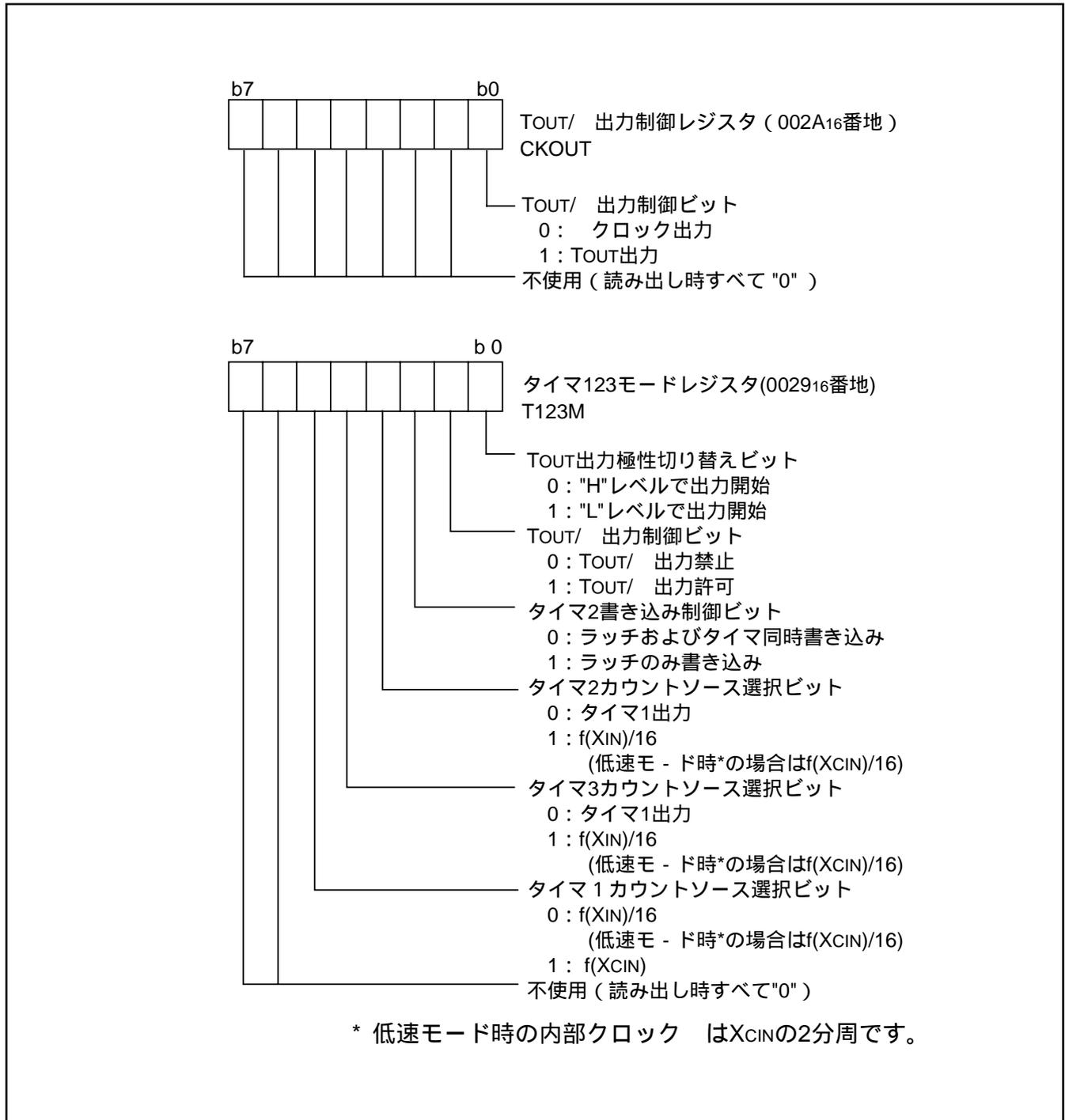


図51 . TOUT/ 出力関連レジスタの構成

リセット回路

3826グループは、電源電圧が $V_{CC}(\min) \sim 5.5V$ の範囲にあり水晶発振子などが安定発振しているとき、 $\overline{\text{RESET}}$ 端子を $2\mu\text{s}$ 以上 L レベルに保った後 H レベルに戻すとリセット解除され、 FFFD_{16} 番地の内容を上位アドレス、 FFFC_{16} 番地の内容を低位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が $V_{CC}(\min)$ を通過する時点で $0.2V_{CC}$ 以下になるようにしてください。

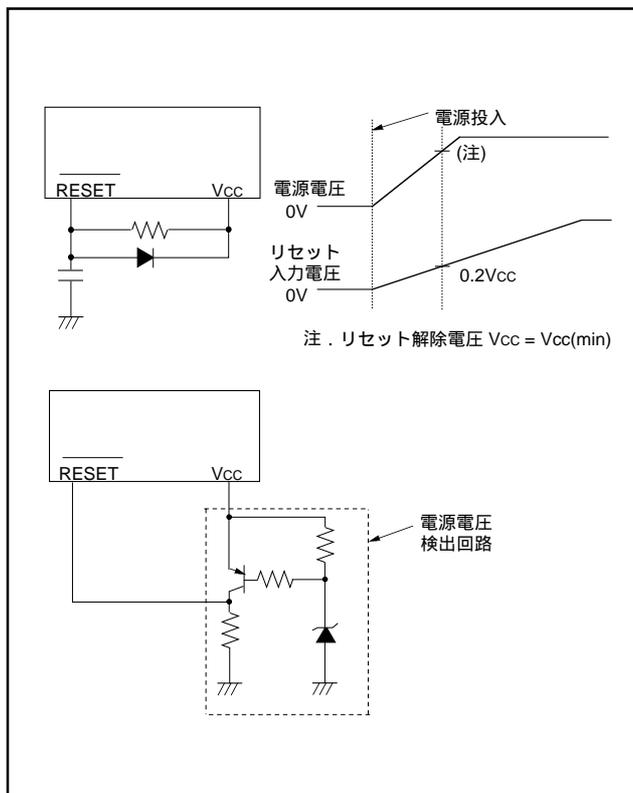


図52 . リセット回路例

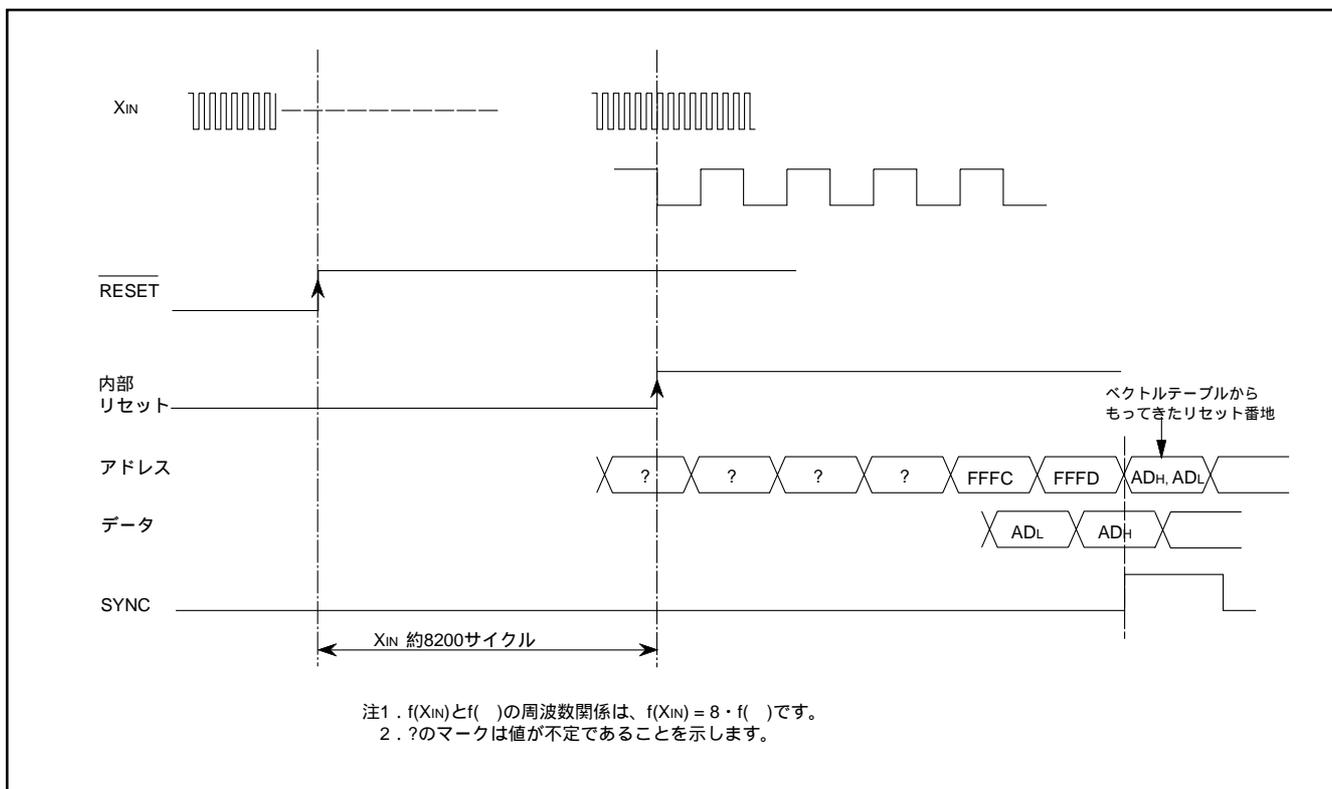


図53 . リセット時のタイミング図

	番地	レジスタの内容		番地	レジスタの内容
(1) ポートP0方向レジスタ	0001 ₁₆	00 ₁₆	(30) DTMF高群タイマ	0030 ₁₆	06 ₁₆
(2) ポートP1方向レジスタ	0003 ₁₆	00 ₁₆	(31) DTMF低群タイマ	0031 ₁₆	06 ₁₆
(3) ポートP2方向レジスタ	0005 ₁₆	00 ₁₆	(32) D-A1変換レジスタ	0032 ₁₆	00 ₁₆
(4) ポートP3出力制御レジスタ	0007 ₁₆	00 ₁₆	(33) D-A2変換レジスタ	0033 ₁₆	00 ₁₆
(5) ポートP4方向レジスタ	0009 ₁₆	00 ₁₆	(34) A-D制御レジスタ	0034 ₁₆	000001010000
(6) ポートP5方向レジスタ	000B ₁₆	00 ₁₆	(35) D-A制御レジスタ	0036 ₁₆	00 ₁₆
(7) ポートP6方向レジスタ	000D ₁₆	00 ₁₆	(36) ウォッチドッグタイマ制御レジスタ	0037 ₁₆	000111111111
(8) ポートP7方向レジスタ	000F ₁₆	00 ₁₆	(37) セグメント出力許可レジスタ	0038 ₁₆	00 ₁₆
(9) キー入力制御レジスタ	0015 ₁₆	00 ₁₆	(38) LCDモードレジスタ	0039 ₁₆	00 ₁₆
(10) PULLレジスタA	0016 ₁₆	3F ₁₆	(39) 割り込みエッジ選択レジスタ	003A ₁₆	00 ₁₆
(11) PULLレジスタB	0017 ₁₆	00 ₁₆	(40) CPUモードレジスタ	003B ₁₆	0100010000
(12) シリアルI/O1ステータスレジスタ	0019 ₁₆	10000000	(41) 割り込み要求レジスタ1	003C ₁₆	00 ₁₆
(13) シリアルI/O1制御レジスタ	001A ₁₆	00 ₁₆	(42) 割り込み要求レジスタ2	003D ₁₆	00 ₁₆
(14) UART制御レジスタ	001B ₁₆	11100000	(43) 割り込み制御レジスタ1	003E ₁₆	00 ₁₆
(15) シリアルI/O2制御レジスタ	001D ₁₆	00 ₁₆	(44) 割り込み制御レジスタ2	003F ₁₆	00 ₁₆
(16) タイマX (下位)	0020 ₁₆	FF ₁₆	(45) プロセッサステータスレジスタ	(PS)	xxxxxx1xxx
(17) タイマX (上位)	0021 ₁₆	FF ₁₆	(46) プログラムカウンタ	(PCH)	FFFD ₁₆ 番地の内容
(18) タイマY (下位)	0022 ₁₆	FF ₁₆		(PCL)	FFFC ₁₆ 番地の内容
(19) タイマY (上位)	0023 ₁₆	FF ₁₆	(47) ウォッチドッグタイマ (上位)		3F ₁₆
(20) タイマ1	0024 ₁₆	FF ₁₆	(48) ウォッチドッグタイマ (下位)		FF ₁₆
(21) タイマ2	0025 ₁₆	01 ₁₆			
(22) タイマ3	0026 ₁₆	FF ₁₆			
(23) タイマXモードレジスタ	0027 ₁₆	00 ₁₆			
(24) タイマYモードレジスタ	0028 ₁₆	00 ₁₆			
(25) タイマ123モードレジスタ	0029 ₁₆	00 ₁₆			
(26) TOUT/ 出力制御レジスタ	002A ₁₆	00 ₁₆			
(27) PWM制御レジスタ	002B ₁₆	00 ₁₆			
(28) CTCSSタイマ (下位)	002E ₁₆	06 ₁₆			
(29) CTCSSタイマ (上位)	002F ₁₆	00 ₁₆			

注. x : 不定です。

上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図54. リセット内部状態

クロック発生回路

3826グループはメインクロックXIN-XOUTとサブクロックXCIN-XCOUTの2つの発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの端子間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子により異なりますので共振子メーカーの推奨値をご使用ください。XIN-XOUT端子間には帰還抵抗が内蔵されていますので、外付けの抵抗を省略することができます。XCIN-XCOUT間には抵抗は内蔵されていないので、外部に帰還抵抗を付けてください。

外部からクロック信号を供給する場合はXIN端子にを入力し、XOUT端子は開放にします。サブクロックXCIN-XCOUTの発振回路は外部で生成したクロックを直接入力できませんので、必ず外付け共振子による発振をさせてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子はハイインピーダンス状態になります。

●周波数制御

(1) 中速モード

XIN端子に加わった周波数を8分周したものが内部クロックとなります。リセット解除後はこのモードになります。

(2) 高速モード

XIN端子に加わった周波数を2分周したものが内部クロックとなります。

(3) 低速モード

XCIN端子に加わった周波数を2分周したものが内部クロックになります。

低速モード時には、CPUモードレジスタのメインクロック停止ビットを'1'にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXINの発振再開時はメインクロック停止ビットを'0'にした後、発振が安定するまでの待ち時間はプログラムで生成してください。

注．中/高速モードと低速モード間の移行を行う場合は、XIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。

●発振制御

(1) ストップモード

STP命令を実行すると内部クロックが'H'の状態では停止し、メインクロック及びサブクロックの発振が停止します。このとき、タイマ1及びタイマ2にはあらかじめ設定されているタイマ1ラッチ及びタイマ2ラッチの値が自動的にロードされます。このためSTP命令実行前にタイマ1、タイマ2のラッチ(タイマ1には下位8ビット、タイマ2には上位8ビットを設定)には発振安定に必要な待ち時間を生成する値を書き込んでおいてください。タイマ1のカウントソースにはXIN又はXCINの16分周、タイマ2にはタイマ1の出力が強制的に接続されます。このときタイマ123モードレジスタはビット4以外すべて'0'にクリアされます。STP命令実行前にタイマ1、タイマ2割り込みの許可ビットを禁止状態('0')に設定してください。

発振はリセット又は外部割り込みが受け付けられると再開しますが、タイマ2がアンダフローしてはじめてCPUに内部クロックが供給されます。これは、セラミック共振などを使用した場合、発振の立ち上がりに時間を要するためです。

(2) ウェイトモード

WIT命令を実行すると、内部クロックのみ'H'の状態では停止します。このときXIN及びXCINはWIT命令実行前と同じ状態になっています。リセット又は割り込みを受け付けると、停止を解除します。発振器は停止していませんので、直ちに命令を実行できます。

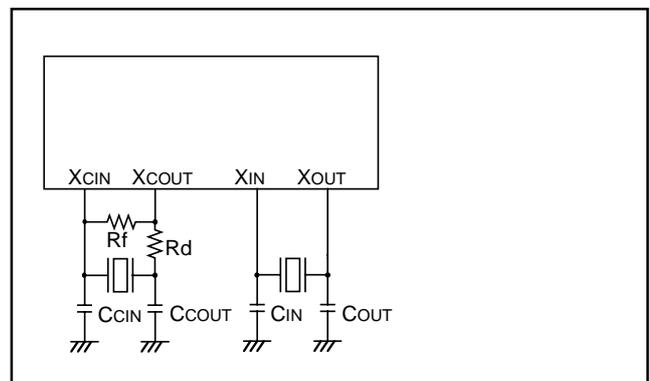


図55．セラミック共振子外付け回路

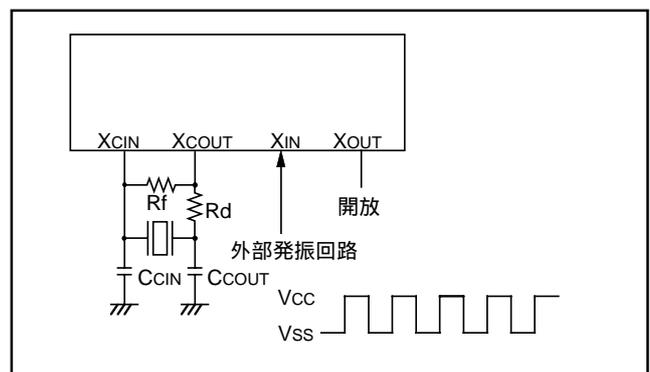


図56．外部クロック入力回路

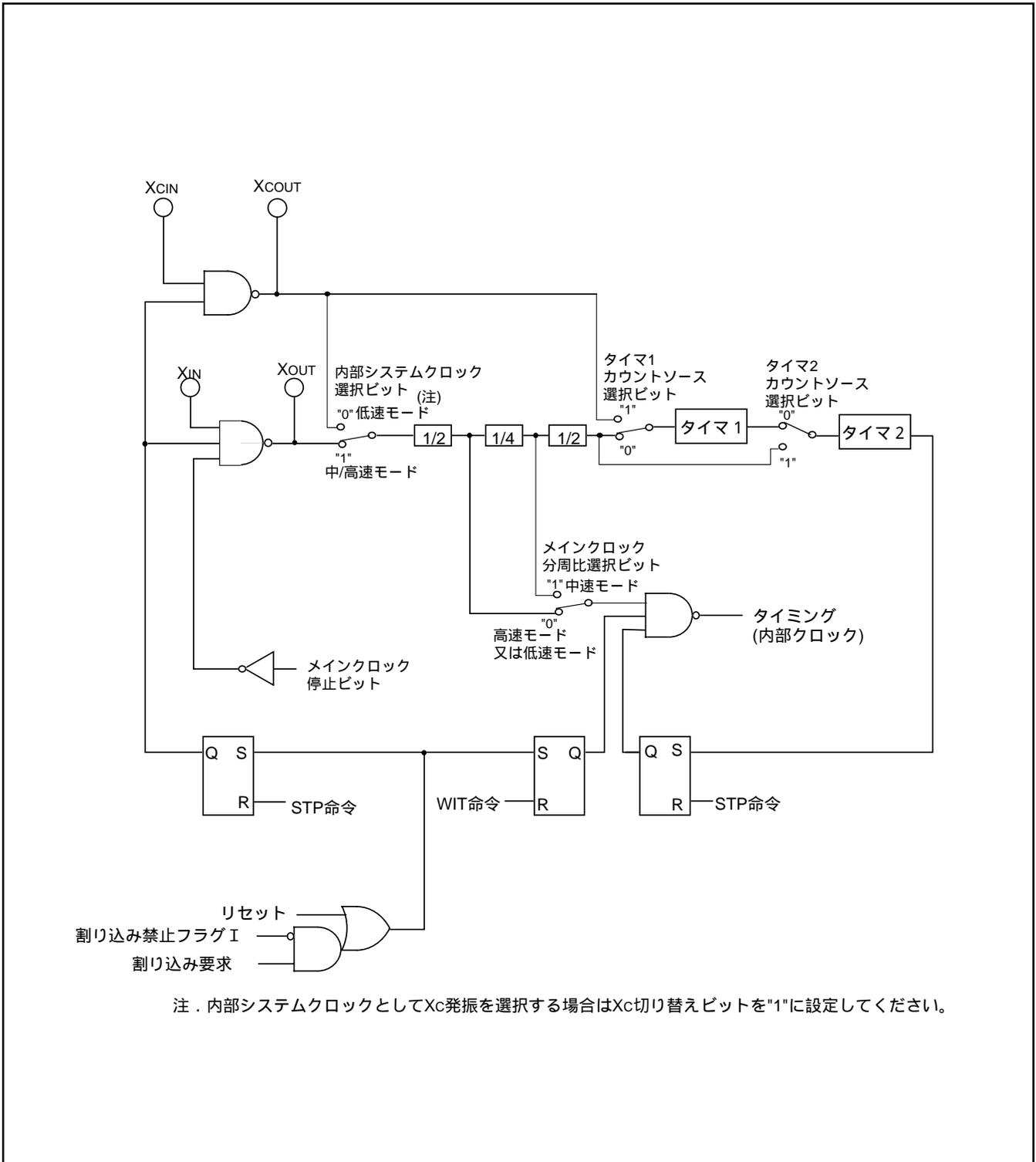


図57 . クロック発生回路ブロック図

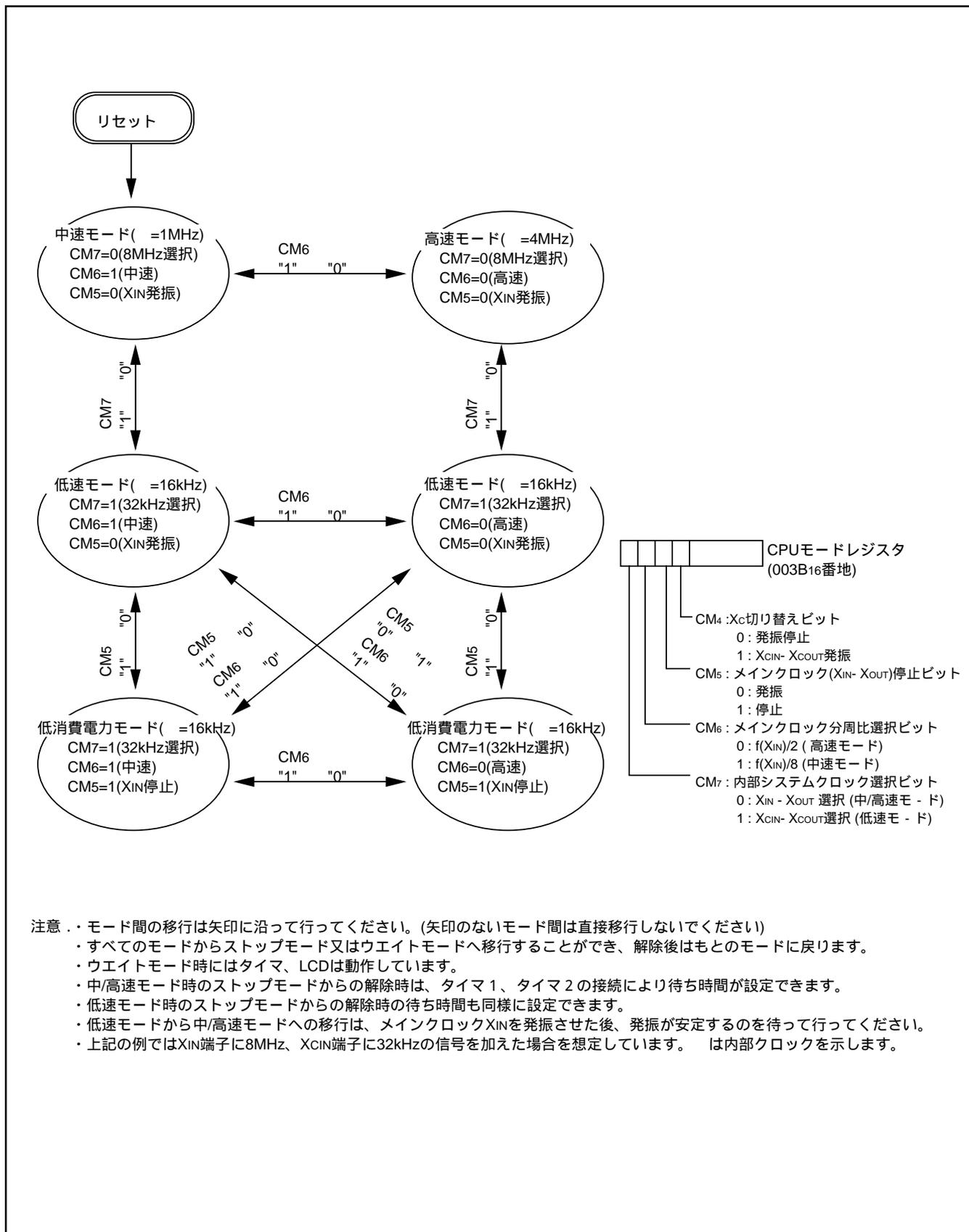


図58 . システムクロックの状態遷移図

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが“1”であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行すると、変更前の内容に対して実行されます。変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを“1”に設定して、ADC命令、又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

タイマラッチに値 n (0~255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

シリアルI/Oに関するもの

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY}}$ 出力許可ビットとともに、送信許可ビットも“1”にセットしてください。

また、シリアルI/O1では、送信終了後、TXD端子が最終ビットをラッチし出力し続けます。シリアルI/O2では、送信終了後、SOUT2端子はハイインピーダンスとなります。

A-D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A-D変換中は $f(\text{XIN})$ を500kHz以上にしてください。

また、A-D変換中はSTP命令、WIT命令を実行しないでください。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載のサイクル数に、内部クロックの周期をかけることによって得られます。内部クロックの周期は、通常XINの周期の2倍です。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- (1) マスク化確認書*
- (2) マーク指定書*
- (3) ROMのデータ EPROM 3セット
又はフロッピーディスク 1枚

*マスク化確認書及びマーク指定書につきましては、三菱マイコン技術情報ホームページ(<http://www.infocom.maec.co.jp/>)を参照してください。

ROM書き込み方法

ワンタイムPROM版(ブランク品)及びEPROM内蔵版は、専用の書き込みアダプタを使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。なお、PROMライターのアドレス設定は、ユーザROM領域に設定してご使用ください。

表15. 専用書き込みアダプタ

パッケージ	書き込みアダプタ形名
100P6S-A	PCA4738F-100A
100P6Q-A	PCA4738G-100A
100D0	PCA4738L-100A

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図59に示すフローで書き込み、テストを行った後、使用されることを推奨いたします。

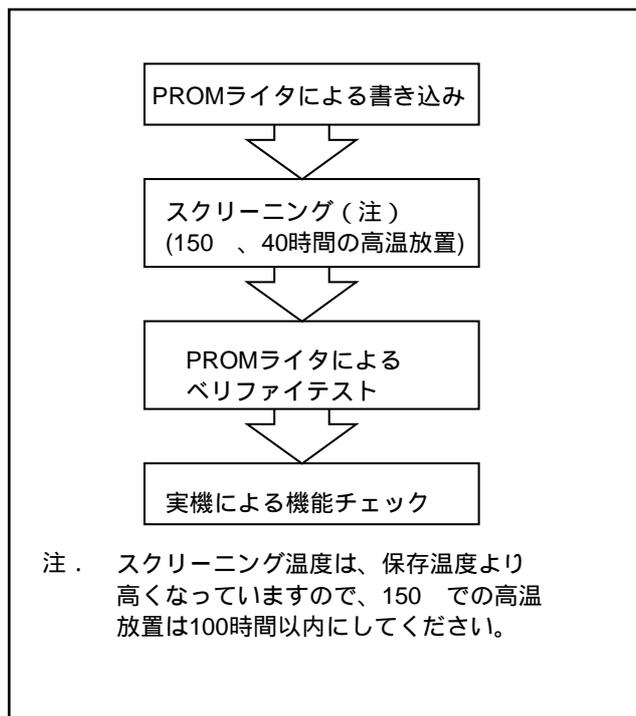


図59. ワンタイムPROM版書き込みとテスト

規格値

絶対最大定格

表16．絶対最大定格

記号	項目	条件	定格値	単位
V _{CC}	電源電圧		- 0.3 ~ 7.0	V
V _I	入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P40 ~ P47, P50 ~ P57, P60 ~ P67	V _{SS} 端子を基準にして測定する。 出力トランジスタは遮断状態	- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 P70 ~ P77		- 0.3 ~ V _{CC} + 0.3	V
V _I	入力電圧 V _{L1}		- 0.3 ~ V _{L2}	V
V _I	入力電圧 V _{L2}		V _{L1} ~ V _{L3}	V
V _I	入力電圧 V _{L3}		V _{L2} ~ 7.0	V
V _I	入力電圧 C1, C2		- 0.3 ~ 7.0	V
V _I	入力電圧 RESET, X _{IN}		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 C1, C2		- 0.3 ~ 7.0	V
V _O	出力電圧 P00 ~ P07, P10 ~ P15, P30 ~ P37	出力ポート時	- 0.3 ~ V _{CC}	V
		セグメント出力時	- 0.3 ~ V _{L3}	V
V _O	出力電圧 P16, P17, P20 ~ P27, P40 ~ P47, P50 ~ P57, P60 ~ P67, P71 ~ P77		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 V _{L3}		- 0.3 ~ 7.0	V
V _O	出力電圧 V _{L2} , SEG0 ~ SEG17		- 0.3 ~ V _{L3}	V
V _O	出力電圧 X _{OUT}		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	T _a = 25	300	mW
T _{opr}	動作周囲温度		- 20 ~ 85	
T _{stg}	保存温度		- 40 ~ 125	

推奨動作条件

表17．推奨動作条件(1) (指定のない場合は、V_{CC} = 2.5 ~ 5.5V、T_a = - 20 ~ 85)

記号	項目	規格値			単位	
		最小	標準	最大		
V _{CC}	電源電圧	高速モード時 f(X _{IN}) = 8MHz	4.0	5.0	5.5	V
		中速モード時 f(X _{IN}) = 8MHz	2.5	5.0	5.5	V
		低速モード時	2.5	5.0	5.5	V
V _{SS}	電源電圧		0		V	
V _{REF}	A-D, D-A変換器基準電圧	2.0		V _{CC}	V	
AV _{SS}	アナログ電源電圧		0		V	
V _{IA}	アナログ入力電圧 AN0 ~ AN7	AV _{SS}		V _{CC}	V	
V _{IH}	“H” 入力電圧 P00 ~ P07, P10 ~ P17, P40, P43, P45, P47, P50 ~ P53, P56, P61, P64 ~ P67, P71 ~ P77	0.7V _{CC}		V _{CC}	V	
V _{IH}	“H” 入力電圧 P20 ~ P27, P41, P42, P44, P46, P54, P55, P57, P60, P62, P63, P70	0.8V _{CC}		V _{CC}	V	
V _{IH}	“H” 入力電圧 RESET	0.8V _{CC}		V _{CC}	V	
V _{IH}	“H” 入力電圧 X _{IN}	0.8V _{CC}		V _{CC}	V	
V _{IL}	“L” 入力電圧 P00 ~ P07, P10 ~ P17, P40, P43, P45, P47, P50 ~ P53, P56, P61, P64 ~ P67, P71 ~ P77	0		0.3 V _{CC}	V	
V _{IL}	“L” 入力電圧 P20 ~ P27, P41, P42, P44, P46, P54, P55, P57, P60, P62, P63, P70	0		0.2 V _{CC}	V	
V _{IL}	“L” 入力電圧 RESET	0		0.2 V _{CC}	V	
V _{IL}	“L” 入力電圧 X _{IN}	0		0.2 V _{CC}	V	

表18. 推奨動作条件(2) (指定のない場合は、 $V_{CC} = 2.5 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
IOH(peak)	“H”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			- 20	mA
IOH(peak)	“H”出力総尖頭電流 (注1) P41 ~ P47, P50 ~ P57, P60 ~ P67			- 20	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			20	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P41 ~ P47, P50 ~ P57, P60 ~ P67			20	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P40, P71 ~ P77			80	mA
IOH(avg)	“H”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			- 10	mA
IOH(avg)	“H”出力総平均電流 (注1) P41 ~ P47, P50 ~ P57, P60 ~ P67			- 10	mA
IOL(avg)	“L”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			10	mA
IOL(avg)	“L”出力総平均電流 (注1) P41 ~ P47, P50 ~ P57, P60 ~ P67			10	mA
IOL(avg)	“L”出力総平均電流 (注1) P40, P71 ~ P77			40	mA
IOH(peak)	“H”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P15, P30 ~ P37			- 1.0	mA
IOH(peak)	“H”出力尖頭電流 (注2) P16, P17, P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67			- 5.0	mA
IOL(peak)	“L”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P15, P30 ~ P37			5.0	mA
IOL(peak)	“L”出力尖頭電流 (注2) P16, P17, P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67			10	mA
IOL(peak)	“L”出力尖頭電流 (注2) P40, P71 ~ P77			20	mA
IOH(avg)	“H”出力平均電流 (注3) P00 ~ P07, P10 ~ P15, P30 ~ P37			- 0.5	mA
IOH(avg)	“H”出力平均電流 (注3) P16, P17, P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67			- 2.5	mA
IOL(avg)	“L”出力平均電流 (注3) P00 ~ P07, P10 ~ P15, P30 ~ P37			2.5	mA
IOL(avg)	“L”出力平均電流 (注3) P16, P17, P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67			5.0	mA
IOL(avg)	“L”出力平均電流 (注3) P40, P71 ~ P77			10	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 出力平均電流は、100msの期間内での平均値です。

表19．推奨動作条件（3）（指定のない場合は、 $V_{CC} = 2.5 \sim 5.5V$ 、 $T_a = -20 \sim 85$ ）

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f(CNTR0) f(CNTR1)	タイマX、タイマY 入力周波数 (デューティ50%時)	(4.0V V_{CC} 5.5V)			4.0	MHz
		(V_{CC} 4.0V)			$(2 \times V_{CC}) - 4$	MHz
f(XIN)	メインクロック 入力発振周波数 (注1)	高速モード (4.0V V_{CC} 5.5V)			8.0	MHz
		高速モード (2.5V V_{CC} 4.0V)			$(4 \times V_{CC}) - 8$	MHz
		中速モード			8.0	MHz
f(XCIN)	サブクロック入力発振周波数 (注1、2)		32.768	50	kHz	

注1．発振周波数はデューティ50%の場合です。

2．低速モードを使用する場合、時計用クロック入力発振周波数は $f(XCIN) < f(XIN)/3$ としてください。

電気的特性

表20. 電気的特性 (1) (指定のない場合は、Vcc = 4.0 ~ 5.5V、Ta = -20 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P15, P30 ~ P37	IOH = -1mA	Vcc - 2.0			V
		IOH = -0.25mA	Vcc - 0.8			V
		Vcc = 2.5V				
VOH	“H”出力電圧 P16, P17, P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67	IOH = -5mA	Vcc - 2.0			V
		IOH = -1.5mA	Vcc - 0.5			V
		IOH = -1.25mA	Vcc - 0.8			V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P15, P30 ~ P37	IOl = 5mA			2.0	V
		IOl = 1.5mA			0.5	V
		IOl = 1.25mA			0.8	V
VOL	“L”出力電圧 P16, P17, P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67	IOl = 10mA			2.0	V
		IOl = 3.0mA			0.5	V
		IOl = 2.5mA			0.8	V
VOL	“L”出力電圧 P40, P71 ~ P77	IOl = 10mA			0.5	V
		IOl = 5mA			0.3	V
		Vcc = 2.5V				
VT+ - VT-	ヒステリシス INT0 ~ INT2, ADT, CNTR0, CNTR1, P20 ~ P27			0.5		V
VT+ - VT-	ヒステリシス SCLK, RxD, SIN2			0.5		V
VT+ - VT-	ヒステリシスRESET			0.5		V
IiH	“H”入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77	Vi = Vcc			5.0	μA
IiH	“H”入力電流RESET	Vi = Vcc			5.0	μA
IiH	“H”入力電流XIN	Vi = Vcc		4.0		μA
IiL	“L”入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67	Vi = Vss ブルアップOFF			- 5.0	μA
		Vcc = 5V, Vi = Vss ブルアップON	- 60.0	- 120.0	- 240.0	μA
		Vcc = 2.5V, Vi = Vss ブルアップON	- 6.0	- 25.0	- 45.0	μA
IiL	“L”入力電流 P40, P70 ~ P77				- 5.0	μA
IiL	“L”入力電流 RESET	Vi = Vss			- 5.0	μA
IiL	“L”入力電流 XIN	Vi = Vss		- 4.0		μA
ILOAD	出力ロード電流 P30 ~ P37	Vcc = 5.0V, Vo = Vcc, ブルアップON 出力トランジスタは遮断状態	- 60.0	- 120.0	- 240.0	μA
		Vcc = 2.5V, Vo = Vcc, ブルアップON 出力トランジスタは遮断状態	- 6.0	- 25.0	- 45.0	μA
Ileak	出力リーク電流 P30 ~ P37	Vo = Vcc, ブルアップOFF 出力トランジスタは遮断状態			5.0	μA
		Vo = Vss, ブルアップOFF 出力トランジスタは遮断状態			- 5.0	μA

表21 . 電气的特性 (2) (指定のない場合は、Vcc=2.5 ~ 5.5V、Ta= - 20 ~ 85)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V	
ICC	電源電流	高速モード時、Vcc = 5V f(XIN) = 8MHz f(XCIN) = 32.768kHz 出力トランジスタは遮断状態、 A-D変換器動作中		8.0	15	mA	
		高速モード時、Vcc = 5V f(XIN) = 8MHz(WIT命令実行時) f(XCIN) = 32.768kHz 出力トランジスタは遮断状態 A-D変換器終了状態		2.5	4.0	mA	
		低速モード時、Vcc = 5V、Ta = 55 f(XIN) = 停止 f(XCIN) = 32.768kHz 出力トランジスタは遮断状態		45	67	μA	
		低速モード時、Vcc = 5V、Ta = 25 f(XIN) = 停止 f(XCIN) = 32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		23	46	μA	
		低速モード時、Vcc = 3V、Ta = 55 f(XIN) = 停止 f(XCIN) = 32.768kHz 出力トランジスタは遮断状態		18	36	μA	
		低速モード時、Vcc = 3V、Ta = 25 f(XIN) = 停止 f(XCIN) = 32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		8.0	16	μA	
		発振はすべて停止 (STP命令実行時) 出力トランジスタは遮断状態 (M3826AEF)	Ta = 25		0.1	1.0	μA
			Ta = 85			10	μA
発振はすべて停止 (STP命令実行時) 出力トランジスタは遮断状態 (M38267E8)	Ta = 25		0.5	10	μA		
	Ta = 55			60	μA		
VLI	電源電圧	昇圧回路使用時	1.3	1.8	2.3	V	
ILI	電源電流 (VL1) (注)	VL1 = 1.8V		4.0		μA	

注 . LCDモードレジスタの昇圧回路制御ビット (003916番地のビット4) が “ 1 ” の場合です。

A-D変換器特性

表22．A-D変換器特性

(指定のない場合は、 $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim 85$ 、 $500kHz$ $f(X_{IN})$ 8MHz、中速/高速モード時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	BITS
-	絶対精度(量子化誤差は除く)	$V_{CC} = V_{REF} = 2.7V \sim 5.5V$			± 2	LSB
tCONV	変換時間	$f(X_{IN}) = 8MHz$			12.5(注)	μs
RLADDER	ラダー抵抗		12	35	100	k
IVREF	基準電圧入力電流	$V_{REF} = 5V$	50	150	200	μA
I _{IA}	アナログ入力電流				5.0	μA

注．中速モード時、内部トリガを使用する場合は14 μs になります。

D-A変換器特性

表23．D-A変換器特性(指定のない場合は、 $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{CC} = V_{REF}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim 85$ 、中速/高速モード時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	BITS
-	絶対精度	$V_{CC} = V_{REF} = 5V$			1.0	%
		$V_{CC} = V_{REF} = 2.7V$			2.0	%
tsu	設定時間			3		μs
Ro	出力抵抗		1	2.5	4	k
IVREF	基準電源入力電流	M3826AEF			3.2	mA
		M38267E8			6.0	mA

注．D-A変換器を1本使用し、使用していないD-A変換器のD-A変換レジスタの値が“0016”の場合です。
A-D変換器ラダー抵抗分は除きます。

タイミング必要条件

表24. タイミング必要条件(1) (指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = -20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	125			ns
tWH(XIN)	メインクロック入力“H”パルス幅	45			ns
tWL(XIN)	メインクロック入力“L”パルス幅	40			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	250			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	105			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	105			ns
tWH(INT)	INT0 ~ INT2入力“H”パルス幅	80			ns
tWL(INT)	INT0 ~ INT2入力“L”パルス幅	80			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	800			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	370			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	370			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	220			ns
th(SCLK1-RxD)	シリアル/O1ホールド入力時間	100			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間 (注)	1000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅 (注)	400			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅 (注)	400			ns
tsu(SIN2-SCLK2)	シリアル/O2入力セットアップ時間	200			ns
th(SCLK2-SIN2)	シリアル/O2ホールド入力時間	200			ns

注. 001A16番地のビット6が“1”の場合です。
001A16番地のビット6が“0”の場合、値は1/4になります。

表25. タイミング必要条件(2) (指定のない場合は、Vcc = 2.5 ~ 4.0V、Vss = 0V、Ta = -20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	125			ns
tWH(XIN)	メインクロック入力“H”パルス幅	45			ns
tWL(XIN)	メインクロック入力“L”パルス幅	40			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	500/(Vcc - 2)			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	250/(Vcc - 2) - 20			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	250/(Vcc - 2) - 20			ns
tWH(INT)	INT0 ~ INT2入力“H”パルス幅	230			ns
tWL(INT)	INT0 ~ INT2入力“L”パルス幅	230			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	400			ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間	200			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅 (注)	950			ns
tsu(SIN2-SCLK2)	シリアル/O2入力セットアップ時間	400			ns
th(SCLK2-SIN2)	シリアル/O2入力ホールド時間	300			ns

注. 001A16番地のビット6が“1”の場合です。
001A16番地のビット6が“0”の場合、値は1/4になります。

スイッチング特性

表26 . スイッチング特性 (1) (指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tWH (SCLK1)	シリアル/O1クロック出力“H”パルス幅	tc(SCLK1)/2 - 30			ns
tWL (SCLK1)	シリアル/O1クロック出力“L”パルス幅	tc(SCLK1)/2 - 30			ns
td (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)			140	ns
tv (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)	- 30			ns
tr (SCLK1)	シリアル/O1クロック出力立ち上がり時間			30	ns
tf (SCLK1)	シリアル/O1クロック出力立ち下がり時間			30	ns
tWH (SCLK2)	シリアル/O2クロック出力“H”パルス幅	tc(SCLK2)/2 - 160			ns
tWL (SCLK2)	シリアル/O2クロック出力“L”パルス幅	tc(SCLK2)/2 - 160			ns
td (SCLK2-SOUT2)	シリアル/O2出力遅延時間			0.2 x tc(SCLK2)	ns
tv (SCLK2-SOUT2)	シリアル/O2出力有効時間	0			ns
tf (SCLK2)	シリアル/O2クロック出力立ち下がり時間			40	ns
tr (CMOS)	CMOS出力立ち上がり時間 (注2)		10	30	ns
tf (CMOS)	CMOS出力立ち下がり時間 (注2)		10	30	ns

注1 . UART制御レジスタのP45/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2 . XOUT、XCOUTを除きます。

表27 . スイッチング特性 (2) (指定のない場合は、Vcc = 2.5 ~ 4.0V、Vss = 0V、Ta = - 20 ~ 85)

記号	項目	規格値			単位
		最小	標準	最大	
tWH (SCLK1)	シリアル/O1クロック出力“H”パルス幅	tc(SCLK1)/2 - 50			ns
tWL (SCLK1)	シリアル/O1クロック出力“L”パルス幅	tc(SCLK1)/2 - 50			ns
td (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)			350	ns
tv (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)	- 30			ns
tr (SCLK1)	シリアル/O1クロック出力立ち上がり時間			50	ns
tf (SCLK1)	シリアル/O1クロック出力立ち下がり時間			50	ns
tWH (SCLK2)	シリアル/O2クロック出力“H”パルス幅	tc(SCLK2)/2 - 240			ns
tWL (SCLK2)	シリアル/O2クロック出力“L”パルス幅	tc(SCLK2)/2 - 240			ns
td (SCLK2-SOUT2)	シリアル/O2出力遅延時間			0.2 x tc(SCLK2)	ns
tv (SCLK2-SOUT2)	シリアル/O2出力有効時間	0			ns
tf (SCLK2)	シリアル/O2クロック出力立ち下がり時間			50	ns
tr (CMOS)	CMOS出力立ち上がり時間 (注2)		20	50	ns
tf (CMOS)	CMOS出力立ち下がり時間 (注2)		20	50	ns

注1 . UART制御レジスタのP45/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2 . XOUT、XCOUTを除きます。

規格値 (低電圧版)

絶対最大定格 (低電圧版)

表28 . 絶対最大定格 (低電圧版)

記号	項目	条件	定格値	単位	
V _{CC}	電源電圧 (注1)		- 0.3 ~ 6.5	V	
V _I	入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P40 ~ P47, P50 ~ P57, P60 ~ P67	V _{SS} 端子を基準にして測定する。 出力トランジスタは遮断状態	- 0.3 ~ V _{CC} + 0.3	V	
V _I	入力電圧 P70 ~ P77		- 0.3 ~ V _{CC} + 0.3	V	
V _I	入力電圧 VL1		- 0.3 ~ VL2	V	
V _I	入力電圧 VL2		VL1 ~ VL3	V	
V _I	入力電圧 VL3 (注2)		VL2 ~ 6.5	V	
V _I	入力電圧 C1, C2 (注1)		- 0.3 ~ 6.5	V	
V _I	入力電圧 RESET, X _{IN}		- 0.3 ~ V _{CC} + 0.3	V	
V _O	出力電圧 C1, C2 (注1)		- 0.3 ~ 6.5	V	
V _O	出力電圧 P00 ~ P07, P10 ~ P15, P30 ~ P37		出力ポート時 セグメント出力時	- 0.3 ~ V _{CC} - 0.3 ~ VL3	V V
V _O	出力電圧 P16, P17, P20 ~ P27, P40 ~ P47, P50 ~ P57, P60 ~ P67, P71 ~ P77			- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧 VL3 (注1)		- 0.3 ~ 6.5	V	
V _O	出力電圧 VL2, SEG0 ~ SEG17		- 0.3 ~ VL3	V	
V _O	出力電圧 X _{OUT}		- 0.3 ~ V _{CC} + 0.3	V	
P _d	消費電力	T _a = 25	300	mW	
T _{opr}	動作周囲温度		- 20 ~ 85		
T _{stg}	保存温度		- 40 ~ 125		

注1 . M38267M8Lの場合、定格値は-0.3V ~ 7.0Vとなります。
2 . M38267M8Lの場合、定格値はVL2 ~ 7.0Vとなります。

推奨動作条件 (低電圧版)

表29 . 推奨動作条件(1) (低電圧版) (指定のない場合は、V_{CC} = 2.2 ~ 5.5V、T_a = - 20 ~ 85)

記号	項目	規格値			単位		
		最小	標準	最大			
V _{CC}	電源電圧	高速モード時	f(X _{IN}) = 8MHz	4.0	5.0	5.5	V
		中速モード時	f(X _{IN}) = 8MHz	2.2	5.0	5.5	V
		低速モード時		2.2	5.0	5.5	V
V _{SS}	電源電圧			0		V	
V _{REF}	A-D, D-A変換器基準電圧			2.0		V _{CC}	V
AV _{SS}	アナログ電源電圧				0		V
V _{IA}	アナログ入力電圧 AN0 ~ AN7			AV _{SS}		V _{CC}	V

SINGLE-CHIP 8-BIT CMOS MICROCOMPUTER

表30．推奨動作条件（低電圧版）（2）（指定のない場合は、 $V_{CC} = 2.5 \sim 5.5V$ 、 $T_a = -20 \sim 85$ ）

記号	項目	規格値			単位
		最小	標準	最大	
V_{IH}	“H”入力電圧 P00～P07, P10～P17, P40, P43, P45, P47, P50～P53, P56, P61, P64～P67, P71～P77	0.7V _{CC}		V _{CC}	V
V_{IH}	“H”入力電圧 P20～P27, P41, P42, P44, P46, P54, P55, P57, P60, P62, P63, P70	0.8V _{CC}		V _{CC}	V
V_{IH}	“H”入力電圧 \overline{RESET}	0.8V _{CC}		V _{CC}	V
V_{IH}	“H”入力電圧 XIN	0.8V _{CC}		V _{CC}	V
V_{IL}	“L”入力電圧 P00～P07, P10～P17, P40, P43, P45, P47, P50～P53, P56, P61, P64～P67, P71～P77	0		0.3 V _{CC}	V
V_{IL}	“L”入力電圧 P20～P27, P41, P42, P44, P46, P54, P55, P57, P60, P62, P63, P70	0		0.2 V _{CC}	V
V_{IL}	“L”入力電圧 \overline{RESET}	0		0.2 V _{CC}	V
V_{IL}	“L”入力電圧 XIN	0		0.2 V _{CC}	V

表31．推奨動作条件（低電圧版）（3）（指定のない場合は、 $V_{CC} = 2.2 \sim 2.5V$ 、 $T_a = -20 \sim 85$ ）

記号	項目	規格値			単位
		最小	標準	最大	
V_{IH}	“H”入力電圧 P00～P07, P10～P17, P40, P43, P45, P47, P50～P53, P56, P61, P64～P67, P71～P77	0.8V _{CC}		V _{CC}	V
V_{IH}	“H”入力電圧 P20～P27, P41, P42, P44, P46, P54, P55, P57, P60, P62, P63, P70	0.95V _{CC}		V _{CC}	V
V_{IH}	“H”入力電圧 \overline{RESET}	0.95V _{CC}		V _{CC}	V
V_{IH}	“H”入力電圧 XIN	0.95V _{CC}		V _{CC}	V
V_{IL}	“L”入力電圧 P00～P07, P10～P17, P40, P43, P45, P47, P50～P53, P56, P61, P64～P67, P71～P77	0		0.2 V _{CC}	V
V_{IL}	“L”入力電圧 P20～P27, P41, P42, P44, P46, P54, P55, P57, P60, P62, P63, P70	0		0.05 V _{CC}	V
V_{IL}	“L”入力電圧 \overline{RESET}	0		0.05 V _{CC}	V
V_{IL}	“L”入力電圧 XIN	0		0.05 V _{CC}	V

表32 . 推奨動作条件 (低電圧版) (4) (指定のない場合は、 $V_{CC} = 2.2 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
IOH(peak)	“H”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			- 20	mA
IOH(peak)	“H”出力総尖頭電流 (注1) P41 ~ P47, P50 ~ P57, P60 ~ P67			- 20	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			20	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P41 ~ P47, P50 ~ P57, P60 ~ P67			20	mA
IOL(peak)	“L”出力総尖頭電流 (注1) P40, P71 ~ P77			80	mA
IOH(avg)	“H”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			- 10	mA
IOH(avg)	“H”出力総平均電流 (注1) P41 ~ P47, P50 ~ P57, P60 ~ P67			- 10	mA
IOL(avg)	“L”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37			10	mA
IOL(avg)	“L”出力総平均電流 (注1) P41 ~ P47, P50 ~ P57, P60 ~ P67			10	mA
IOL(avg)	“L”出力総平均電流 (注1) P40, P71 ~ P77			40	mA
IOH(peak)	“H”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P15, P30 ~ P37			- 1.0	mA
IOH(peak)	“H”出力尖頭電流 (注2) P16, P17, P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67			- 5.0	mA
IOL(peak)	“L”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P15, P30 ~ P37			5.0	mA
IOL(peak)	“L”出力尖頭電流 (注2) P16, P17, P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67			10	mA
IOL(peak)	“L”出力尖頭電流 (注2) P40, P71 ~ P77			20	mA
IOH(avg)	“H”出力平均電流 (注3) P00 ~ P07, P10 ~ P15, P30 ~ P37			- 0.5	mA
IOH(avg)	“H”出力平均電流 (注3) P16, P17, P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67			- 2.5	mA
IOL(avg)	“L”出力平均電流 (注3) P00 ~ P07, P10 ~ P15, P30 ~ P37			2.5	mA
IOL(avg)	“L”出力平均電流 (注3) P16, P17, P20 ~ P27, P41 ~ P47, P50 ~ P57, P60 ~ P67			5.0	mA
IOL(avg)	“L”出力平均電流 (注3) P40, P71 ~ P77			10	mA

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

3. 出力平均電流は、100msの期間内での平均値です。

表33．推奨動作条件(5) (低電圧版) (指定のない場合は、 $V_{CC} = 2.2 \sim 5.5V$ 、 $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f(CNTR0) f(CNTR1)	タイマX、タイマY 入力周波数 (デューティ50%時)	(4.0V V_{CC} 5.5V)			4.0	MHz
		(V_{CC} 4.0V)			$(10 \times V_{CC} - 4)/9$	MHz
f(XIN)	メインクロック 入力発振周波数 (注1)	高速モード (4.0V V_{CC} 5.5V)			8.0	MHz
		高速モード (2.2V V_{CC} 4.0V)			$(20 \times V_{CC} - 8)/9$	MHz
		中速モード			8.0	MHz
f(XCIN)	サブクロック入力発振周波数 (注1、2)		32.768	50	kHz	

注1．発振周波数はデューティ50%の場合です。

2．低速モードを使用する場合、時計用クロック入力発振周波数は $f(XCIN) < f(XIN)/3$ としてください。

電気的特性（低電圧版）

表34．電気的特性（1）（低電圧版）（指定のない場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $T_a = -20 \sim 85$ ）

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00～P07, P10～P15, P30～P37	$I_{OH} = -1mA$	$V_{CC} - 2.0$			V
		$I_{OH} = -0.25mA$	$V_{CC} - 0.8$			V
		$V_{CC} = 2.2V$				
VOH	“H”出力電圧 P16, P17, P20～P27, P41～P47, P50～P57, P60～P67	$I_{OH} = -5mA$	$V_{CC} - 2.0$			V
		$I_{OH} = -1.5mA$	$V_{CC} - 0.5$			V
		$I_{OH} = -1.25mA$ $V_{CC} = 2.2V$	$V_{CC} - 0.8$			V
VOL	“L”出力電圧 P00～P07, P10～P15, P30～P37	$I_{OL} = 5mA$			2.0	V
		$I_{OL} = 1.5mA$			0.5	V
		$I_{OL} = 1.25mA$ $V_{CC} = 2.2V$			0.8	V
VOL	“L”出力電圧 P16, P17, P20～P27, P41～P47, P50～P57, P60～P67	$I_{OL} = 10mA$			2.0	V
		$I_{OL} = 3.0mA$			0.5	V
		$I_{OL} = 2.5mA$ $V_{CC} = 2.2V$			0.8	V
VOL	“L”出力電圧 P40, P71～P77	$I_{OL} = 10mA$			0.5	V
		$I_{OL} = 5mA$ $V_{CC} = 2.2V$			0.3	V
VT+ - VT-	ヒステリシス INT0～INT2, ADT, CNTR0, CNTR1, P20～P27		0.5			V
VT+ - VT-	ヒステリシス SCLK, RxD, SIn2		0.5			V
VT+ - VT-	ヒステリシスRESET		0.5			V
I _{IH}	“H”入力電流 P00～P07, P10～P17, P20～P27, P40～P47, P50～P57, P60～P67, P70～P77	$V_i = V_{CC}$			5.0	μA
I _{IH}	“H”入力電流RESET	$V_i = V_{CC}$			5.0	μA
I _{IH}	“H”入力電流X _{IN}	$V_i = V_{CC}$		4.0		μA
I _{IL}	“L”入力電流 P00～P07, P10～P17, P20～P27 P41～P47, P50～P57, P60～P67	$V_i = V_{SS}$ プルアップOFF			- 5.0	μA
		$V_{CC} = 5V, V_i = V_{SS}$ プルアップON	- 60.0	- 120.0	- 240.0	μA
		$V_{CC} = 2.2V, V_i = V_{SS}$ プルアップON	- 5.0	- 20.0	- 40.0	μA
I _{IL}	“L”入力電流 P40, P70～P77				- 5.0	μA
I _{IL}	“L”入力電流 RESET	$V_i = V_{SS}$			- 5.0	μA
I _{IL}	“L”入力電流 X _{IN}	$V_i = V_{SS}$		- 4.0		μA
I _{LOAD}	出力ロード電流 P30～P37	$V_{CC} = 5.0V, V_o = V_{CC}$, プルアップON 出力トランジスタは遮断状態	- 60.0	- 120.0	- 240.0	μA
		$V_{CC} = 2.2V, V_o = V_{CC}$, プルアップON 出力トランジスタは遮断状態	- 5.0	- 20.0	- 40.0	μA
I _{LEAK}	出力リーク電流 P30～P37	$V_o = V_{CC}$, プルアップOFF 出力トランジスタは遮断状態			5.0	μA
		$V_o = V_{SS}$, プルアップOFF 出力トランジスタは遮断状態			- 5.0	μA

表35. 電気的特性 (低電圧版) (2) (指定のない場合は、Vcc=2.2~5.5V、Ta= -20~85)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V		
ICC	電源電流	高速モード時、Vcc = 5V f(XIN) = 8MHz f(XCIN) = 32.768kHz 出力トランジスタは遮断状態、 A-D変換器動作中		8.0	15	mA		
		高速モード時、Vcc = 5V f(XIN) = 8MHz(WIT命令実行時) f(XCIN) = 32.768kHz 出力トランジスタは遮断状態 A-D変換器終了状態		2.5	4.0	mA		
		低速モード時、Vcc = 5V、Ta = 55 f(XIN) = 停止 f(XCIN) = 32.768kHz 出力トランジスタは遮断状態		45	67	μA		
		低速モード時、Vcc = 5V、Ta = 25 f(XIN) = 停止 f(XCIN) = 32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		23	46	μA		
		低速モード時、Vcc = 3V、Ta = 55 f(XIN) = 停止 f(XCIN) = 32.768kHz 出力トランジスタは遮断状態		18	36	μA		
		低速モード時、Vcc = 3V、Ta = 25 f(XIN) = 停止 f(XCIN) = 32.768kHz(WIT命令実行時) 出力トランジスタは遮断状態		8.0	16	μA		
		発振はすべて停止 (STP命令実行時) 出力トランジスタは遮断状態 (M38268MCL,M3826AMFL)	Ta = 25		0.1	1.0	μA	
			Ta = 85			10	μA	
VLI	電源電圧	昇圧回路使用時	M38268MCL M3826AMFL	1.3	1.8	2.1	V	
			M38267M8L	1.3	1.8	2.3	V	
			発振はすべて停止 (STP命令実行時) 出力トランジスタは遮断状態 (M38267M8L)	Ta = 25		0.5	10	μA
				Ta = 55			60	μA
ILI	電源電流 (VL1) (注)	VL1 = 1.8V		4.0		μA		

注. LCDモードレジスタの昇圧回路制御ビット (003916番地のビット4) が "1" の場合です。

A-D変換器特性（低電圧版）

表36．A-D変換器特性（低電圧版）

（指定のない場合は、 $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim 85$ 、 $500kHz$ $f(XIN)$ 8MHz、中速/高速モード時）

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	BITS
-	絶対精度(量子化誤差は除く)	$V_{CC} = V_{REF} = 2.7 \sim 5.5V$			± 2	LSB
tCONV	変換時間	$f(XIN) = 8MHz$			12.5(注)	μs
RLADDER	ラダー抵抗		12	35	100	k
IVREF	基準電圧入力電流	$V_{REF} = 5V$	50	150	200	μA
I _{IA}	アナログ入力電流				5.0	μA

注．中速モード時、内部トリガを使用する場合は14 μs になります。

D-A変換器特性（低電圧版）

表37．D-A変換器特性（低電圧版）

（指定のない場合は、 $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{CC} = V_{REF}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim 85$ 、中速/高速モード時）

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
-	分解能				8	BITS	
-	絶対精度	$V_{CC} = V_{REF} = 5V$			1.0	%	
		$V_{CC} = V_{REF} = 2.7V$			2.0	%	
tsu	設定時間			3		μs	
RO	出力抵抗		1	2.5	4	k	
IVREF	基準電源入力電流	M38268MCL	(注)			3.2	mA
		M3826AMFL	(注)				
		M38267M8L	(注)			6.0	mA

注．D-A変換器を1本使用し、使用していないD-A変換器のD-A変換レジスタの値が“0016”の場合です。

A-D変換器ラダー抵抗分は除きます。

タイミング必要条件（低電圧版）

表38．タイミング必要条件（低電圧版）（1）（指定のない場合は、V_{CC} = 4.0 ~ 5.5V、V_{SS} = 0V、T_a = - 20 ~ 85 °C）

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	125			ns
tWH(XIN)	メインクロック入力“H”パルス幅	45			ns
tWL(XIN)	メインクロック入力“L”パルス幅	40			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	250			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	105			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	105			ns
tWH(INT)	INT0 ~ INT2入力“H”パルス幅	80			ns
tWL(INT)	INT0 ~ INT2入力“L”パルス幅	80			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	800			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	370			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	370			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	220			ns
th(SCLK1-RxD)	シリアル/O1ホールド入力時間	100			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間 (注)	1000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅 (注)	400			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅 (注)	400			ns
tsu(SIN2-SCLK2)	シリアル/O2入力セットアップ時間	200			ns
th(SCLK2-SIN2)	シリアル/O2ホールド入力時間	200			ns

注．001A16番地のビット6が“1”の場合です。
001A16番地のビット6が“0”の場合、値は1/4になります。

表39．タイミング必要条件（低電圧版）（2）（指定のない場合は、V_{CC} = 2.2 ~ 4.0V、V_{SS} = 0V、T_a = - 20 ~ 85 °C）

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力“L”パルス幅	2			μs
tc(XIN)	メインクロック入力サイクル時間(XIN入力)	125			ns
tWH(XIN)	メインクロック入力“H”パルス幅	45			ns
tWL(XIN)	メインクロック入力“L”パルス幅	40			ns
tc(CNTR)	CNTR0, CNTR1入力サイクル時間	900/(V _{CC} - 0.4)			ns
tWH(CNTR)	CNTR0, CNTR1入力“H”パルス幅	tc(CNTR)/2 - 20			ns
tWL(CNTR)	CNTR0, CNTR1入力“L”パルス幅	tc(CNTR)/2 - 20			ns
tWH(INT)	INT0 ~ INT2入力“H”パルス幅	230			ns
tWL(INT)	INT0 ~ INT2入力“L”パルス幅	230			ns
tc(SCLK1)	シリアル/O1クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK1)	シリアル/O1クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK1)	シリアル/O1クロック入力“L”パルス幅 (注)	950			ns
tsu(RxD-SCLK1)	シリアル/O1入力セットアップ時間	400			ns
th(SCLK1-RxD)	シリアル/O1入力ホールド時間	200			ns
tc(SCLK2)	シリアル/O2クロック入力サイクル時間 (注)	2000			ns
tWH(SCLK2)	シリアル/O2クロック入力“H”パルス幅 (注)	950			ns
tWL(SCLK2)	シリアル/O2クロック入力“L”パルス幅 (注)	950			ns
tsu(SIN2-SCLK2)	シリアル/O2入力セットアップ時間	400			ns
th(SCLK2-SIN2)	シリアル/O2入力ホールド時間	300			ns

注．001A16番地のビット6が“1”の場合です。
001A16番地のビット6が“0”の場合、値は1/4になります。

スイッチング特性（低電圧版）

表40．スイッチング特性（低電圧版）（1）（指定のない場合は、Vcc = 4.0 ~ 5.5V、Vss = 0V、Ta = - 20 ~ 85 ）

記号	項目	規格値			単位
		最小	標準	最大	
tWH (SCLK1)	シリアル/O1クロック出力“H”パルス幅	tc(SCLK1)/2 - 30			ns
tWL (SCLK1)	シリアル/O1クロック出力“L”パルス幅	tc(SCLK1)/2 - 30			ns
td (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)			140	ns
tv (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)	- 30			ns
tr (SCLK1)	シリアル/O1クロック出力立ち上がり時間			30	ns
tf (SCLK1)	シリアル/O1クロック出力立ち下がり時間			30	ns
tWH (SCLK2)	シリアル/O2クロック出力“H”パルス幅	tc(SCLK2)/2 - 160			ns
tWL (SCLK2)	シリアル/O2クロック出力“L”パルス幅	tc(SCLK2)/2 - 160			ns
td (SCLK2-SOUT2)	シリアル/O2出力遅延時間			0.2 × tc(SCLK2)	ns
tv (SCLK2-SOUT2)	シリアル/O2出力有効時間	0			ns
tf (SCLK2)	シリアル/O2クロック出力立ち下がり時間			40	ns
tr (CMOS)	CMOS出力立ち上がり時間 (注2)		10	30	ns
tf (CMOS)	CMOS出力立ち下がり時間 (注2)		10	30	ns

注1．UART制御レジスタのP45/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2．XOUT、XCOUTを除きます。

表41．スイッチング特性（低電圧版）（2）（指定のない場合は、Vcc = 2.2 ~ 4.0V、Vss = 0V、Ta = - 20 ~ 85 ）

記号	項目	規格値			単位
		最小	標準	最大	
tWH (SCLK1)	シリアル/O1クロック出力“H”パルス幅	tc(SCLK1)/2 - 50			ns
tWL (SCLK1)	シリアル/O1クロック出力“L”パルス幅	tc(SCLK1)/2 - 50			ns
td (SCLK1-TxD)	シリアル/O1出力遅延時間 (注1)			350	ns
tv (SCLK1-TxD)	シリアル/O1出力有効時間 (注1)	- 30			ns
tr (SCLK1)	シリアル/O1クロック出力立ち上がり時間			50	ns
tf (SCLK1)	シリアル/O1クロック出力立ち下がり時間			50	ns
tWH (SCLK2)	シリアル/O2クロック出力“H”パルス幅	tc(SCLK2)/2 - 240			ns
tWL (SCLK2)	シリアル/O2クロック出力“L”パルス幅	tc(SCLK2)/2 - 240			ns
td (SCLK2-SOUT2)	シリアル/O2出力遅延時間			0.2 × tc(SCLK2)	ns
tv (SCLK2-SOUT2)	シリアル/O2出力有効時間	0			ns
tf (SCLK2)	シリアル/O2クロック出力立ち下がり時間			50	ns
tr (CMOS)	CMOS出力立ち上がり時間 (注2)		20	50	ns
tf (CMOS)	CMOS出力立ち下がり時間 (注2)		20	50	ns

注1．UART制御レジスタのP45/TxD Pチャネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

2．XOUT、XCOUTを除きます。

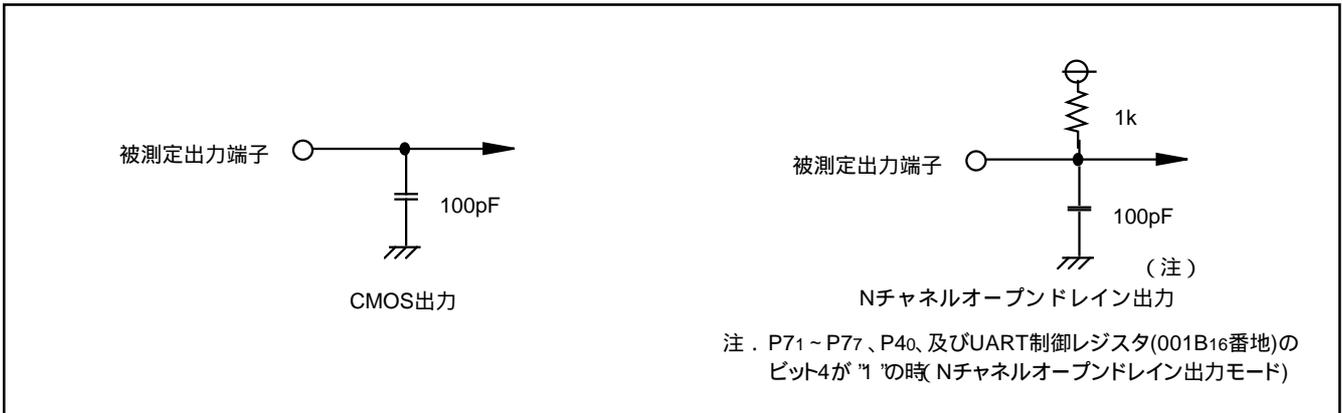


図60 . 出力スイッチング特性の測定回路図

タイミング図

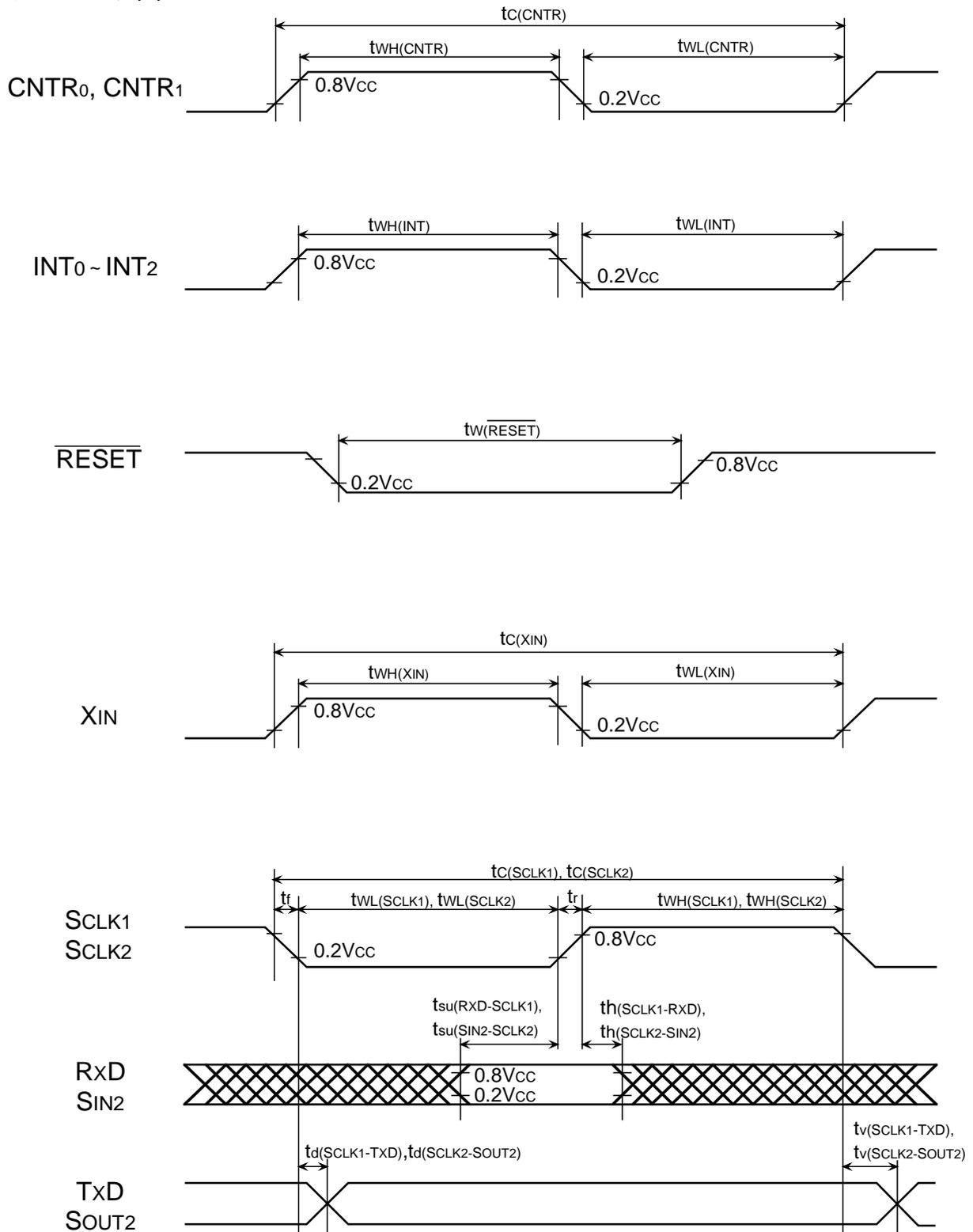


図61 . タイミング図

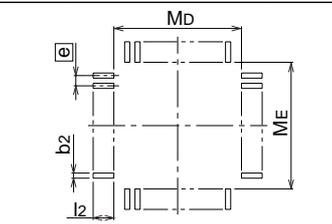
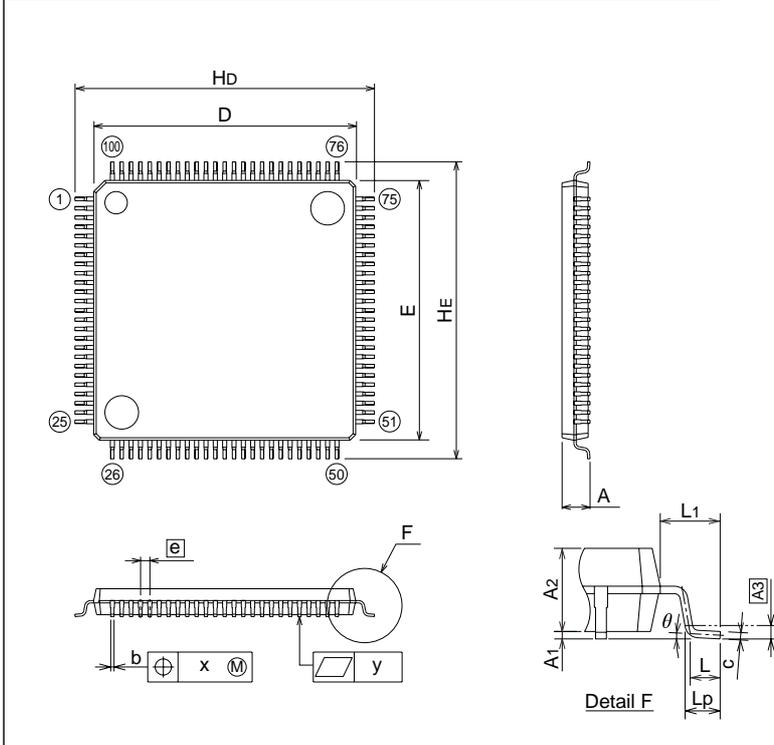
外形寸法図

100P6Q-A

(MMP)

Plastic 100pin 14X14mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP100-P-1414-0.50	-	0.63	Cu Alloy



Recommended Mount Pad

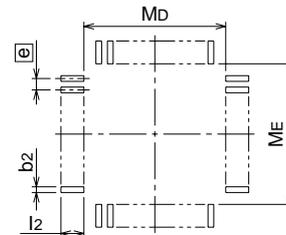
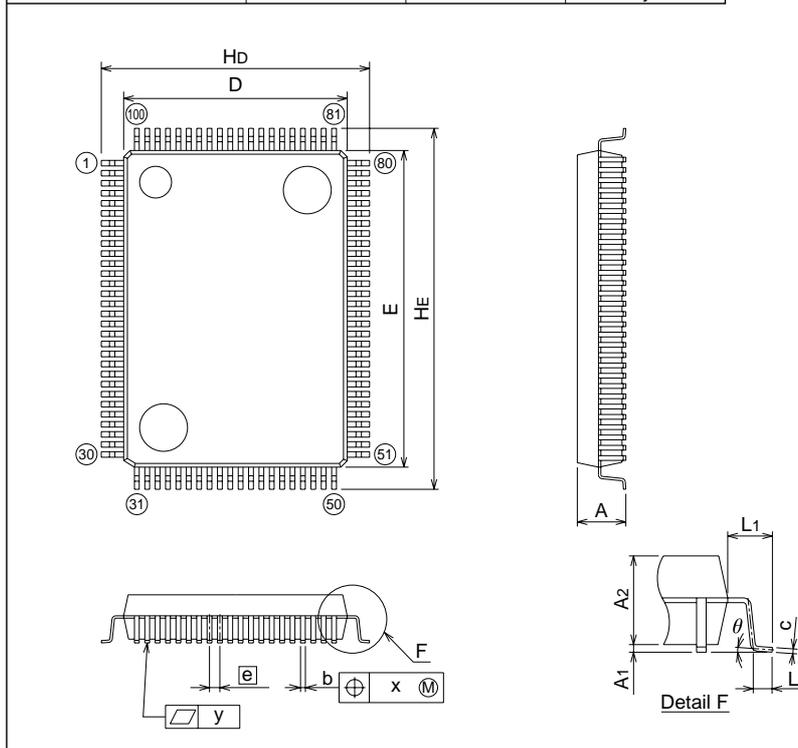
Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.13	0.18	0.28
c	0.105	0.125	0.175
D	13.9	14.0	14.1
E	13.9	14.0	14.1
e	-	0.5	-
HD	15.8	16.0	16.2
HE	15.8	16.0	16.2
L	0.3	0.5	0.7
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.08
y	-	-	0.1
theta	0°	-	10°
b2	-	0.225	-
l2	0.9	-	-
Md	-	14.4	-
ME	-	14.4	-

100P6S-A

(MMP)

Plastic 100pin 14X20mm body QFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP100-P-1420-0.65	-	1.58	Alloy 42



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	3.05
A1	0	0.1	0.2
A2	-	2.8	-
b	0.25	0.3	0.4
c	0.13	0.15	0.2
D	13.8	14.0	14.2
E	19.8	20.0	20.2
e	-	0.65	-
HD	16.5	16.8	17.1
HE	22.5	22.8	23.1
L	0.4	0.6	0.8
L1	-	1.4	-
x	-	-	0.13
y	-	-	0.1
theta	0°	-	10°
b2	-	0.35	-
l2	1.3	-	-
Md	-	14.6	-
ME	-	20.6	-

株式会社ルネサス テクノロジ 東京都千代田区大手町 2-6-2 〒100-0004

安全設計に関するお願い	<p>・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。</p>
本資料ご利用に際しての留意事項	<p>・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。</p> <p>・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。</p> <p>・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (http://www.semicon.melco.co.jp/) などを通じて公開される情報に常にご注意ください。</p> <p>・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。</p> <p>・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。</p> <p>・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、三菱電機または特約店へご照会ください。</p> <p>・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。</p> <p>・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。</p>

改訂履歴

3826 グループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	01/02/16		初版発行
1.1	01/06/07	51	図 54 (31) D-A 制御レジスタ (番地) 0035 ₁₆ 0036 ₁₆ (32) ウォッチドッグタイマ制御レジスタ (番地) 0036 ₁₆ 0037 ₁₆
		57	表 17 VREF 最大値 VCC+0.3 VCC
		65	表 29 VREF 最大値 VCC+0.3 VCC
1.2	01/11/13	7	M3826AEF ; 開発中 量産中
		8	M38268MCL ; 開発中 量産中、M3826AMFL 追加
		14	図 11 ; 予約領域の注釈 追加
		44	図 44 ; VCC の線を削除
		56	URL ; mesc maec
		59	表 19 ; f(CNTR ₀), f(CNTR ₁); (10×VCC-4)/9 (2×VCC)-4 f(XIN); (20×VCC-8)/9 (4×VCC)-8
		60	表 20 ; VOL(上段) IOH IOL
		62	表 22 ; VCC=VREF=5V VCC=VREF=2.7V ~ 5.5V
		63	表 25 ; tc(CNTR); 900/(VCC+0.4) 500/(VCC-2) tWH(CNTR); tc(CNTR)/20 250/(VCC-2)-20 tWL(CNTR); tc(CNTR)/20 250/(VCC-2)-20
		65	表 28 ; Vo VL3 (注2) (注1)
		69	表 34 ; VOL(上段) IOH IOL
		70	表 35 ; (M38268MCL) (M38268MCL, M3826AMFL)
		71	表 36 ; VCC=VREF=5V VCC=VREF=2.7V ~ 5.5V
			表 37 ; (M38268MCL) (M38268MCL, M3826AMFL)
		72	表 39 ; tc(CNTR); 900/(VCC+0.4) 900/(VCC-0.4)