

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

概要

3823 群是采用了 740 族内核的 8 位单片机，具有 LCD 驱动控制电路、A/D 转换器、串行接口、看门狗定时器以及 ROM 校正功能等附加功能。

有多种不同的内部存储器容量和封装种类的产品。有关详细内容请参照型号、存储器容量和封装。

特点

- 基本机器指令 71
- 指令执行时间 0.4 μ s
(在最短指令、 $f(X_{IN}) = 10\text{MHz}$ 、高速模式时)
- 存储器容量 ROM 16K ~ 60K 字节
RAM 640 ~ 2560 字节
- ROM 校正功能 32 字节 $\times$ 2 块
- 看门狗定时器 8 位 $\times$ 1
- 可编程输入/输出端口 端口 P4₀ 以外的 P0 ~ P7
- 中断 17 个源 16 个向量
(包含键输入中断)
- 键输入中断 8 个
- 定时器 8 位 $\times$ 3、16 位 $\times$ 2
- 串行接口 8 位 $\times$ 1
(时钟异步/同步)
- A/D 转换器 10 位 $\times$ 8 个通道或者 8 位 $\times$ 8 个通道
- LCD 驱动控制电路 偏压 1/2、1/3 偏压
分时 2、3、4 分时
公共输出 4 个
段输出 32 个
- 主时钟发生电路 内置 1 个电路
(外接陶瓷谐振器或者晶体谐振器)
- 副时钟发生电路 内置 1 个电路
(外接晶体谐振器或者内部振荡器)
- 电源电压 在 2 分频模式时 ($f(X_{IN}) \leq 10\text{MHz}$) 4.5 ~ 5.5V
在 2 分频模式时 ($f(X_{IN}) \leq 8\text{MHz}$) 4.0 ~ 5.5V
在 4 分频模式时 ($f(X_{IN}) \leq 10\text{MHz}$) 2.5 ~ 5.5V
在 4 分频模式时 ($f(X_{IN}) \leq 8\text{MHz}$) 2.0 ~ 5.5V
在 4 分频模式时 ($f(X_{IN}) \leq 5\text{MHz}$) 1.8 ~ 5.5V
在 8 分频模式时 ($f(X_{IN}) \leq 10\text{MHz}$) 2.5 ~ 5.5V
在 8 分频模式时 ($f(X_{IN}) \leq 8\text{MHz}$) 2.0 ~ 5.5V
在 8 分频模式时 ($f(X_{IN}) \leq 5\text{MHz}$) 1.8 ~ 5.5V
在低速模式时 1.8 ~ 5.5V
- 功耗 在 2 分频模式时 典型值 18mW
($V_{CC} = 5\text{V}$ 、 $f(X_{IN}) = 8\text{MHz}$ 、 $T_a = 25^\circ\text{C}$)

- 在低速模式（使用X_{CIN}）时 典型值 18μW
(V_{CC}=2.5V、f(X_{IN})=停止、f(X_{CIN})=32kHz、Ta=25°C)
- 在低速模式（使用内部振荡器）时 典型值 35°C
(V_{CC}=2.5V、f(X_{IN})=停止、f(X_{CIN})=停止、Ta=25°C)
- 工作环境温度 -20 ~ 85°C

应用

照相机、便携式设备、家电以及民用设备等

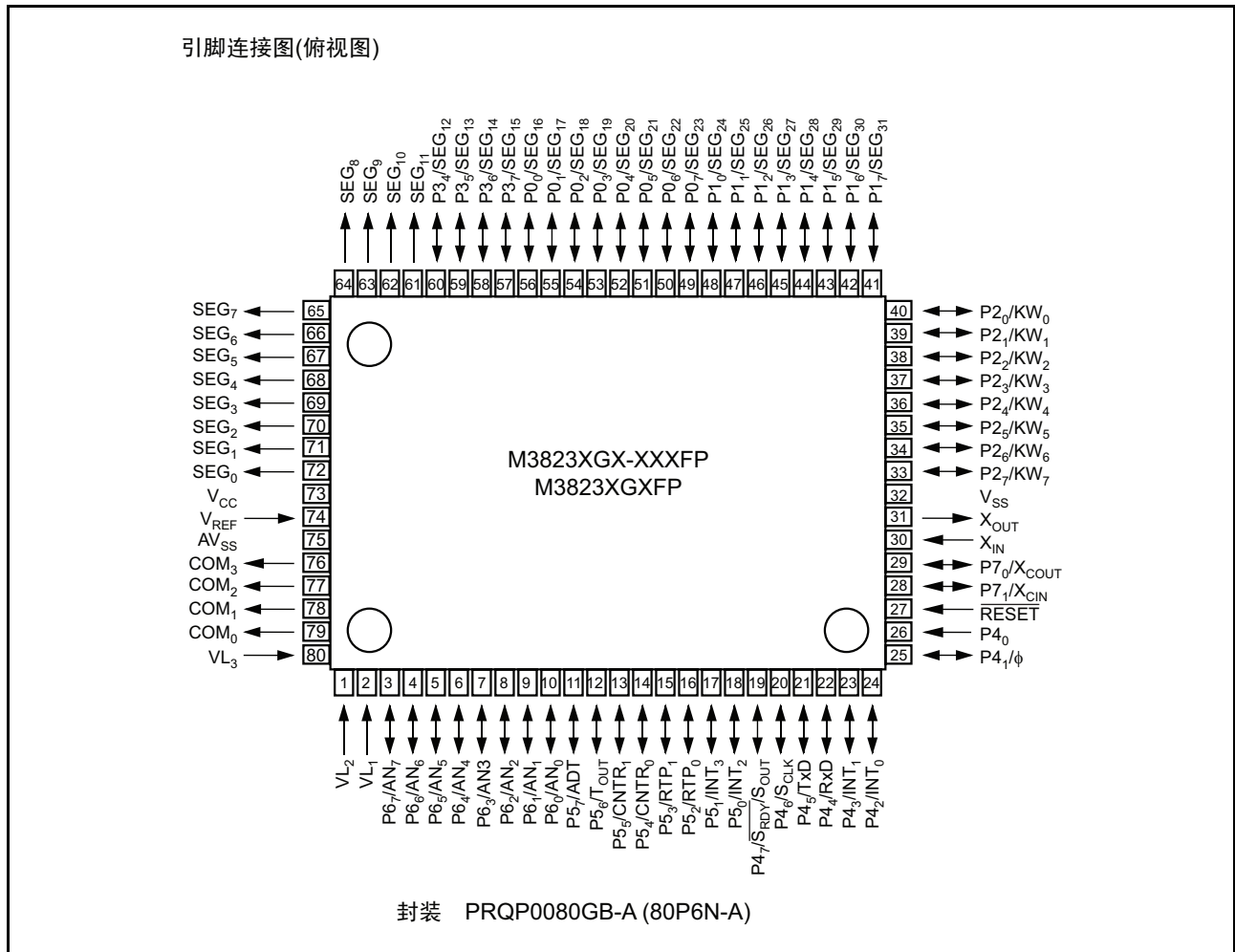


图 1 M3823XGX-XXXXFP 引脚的连接图

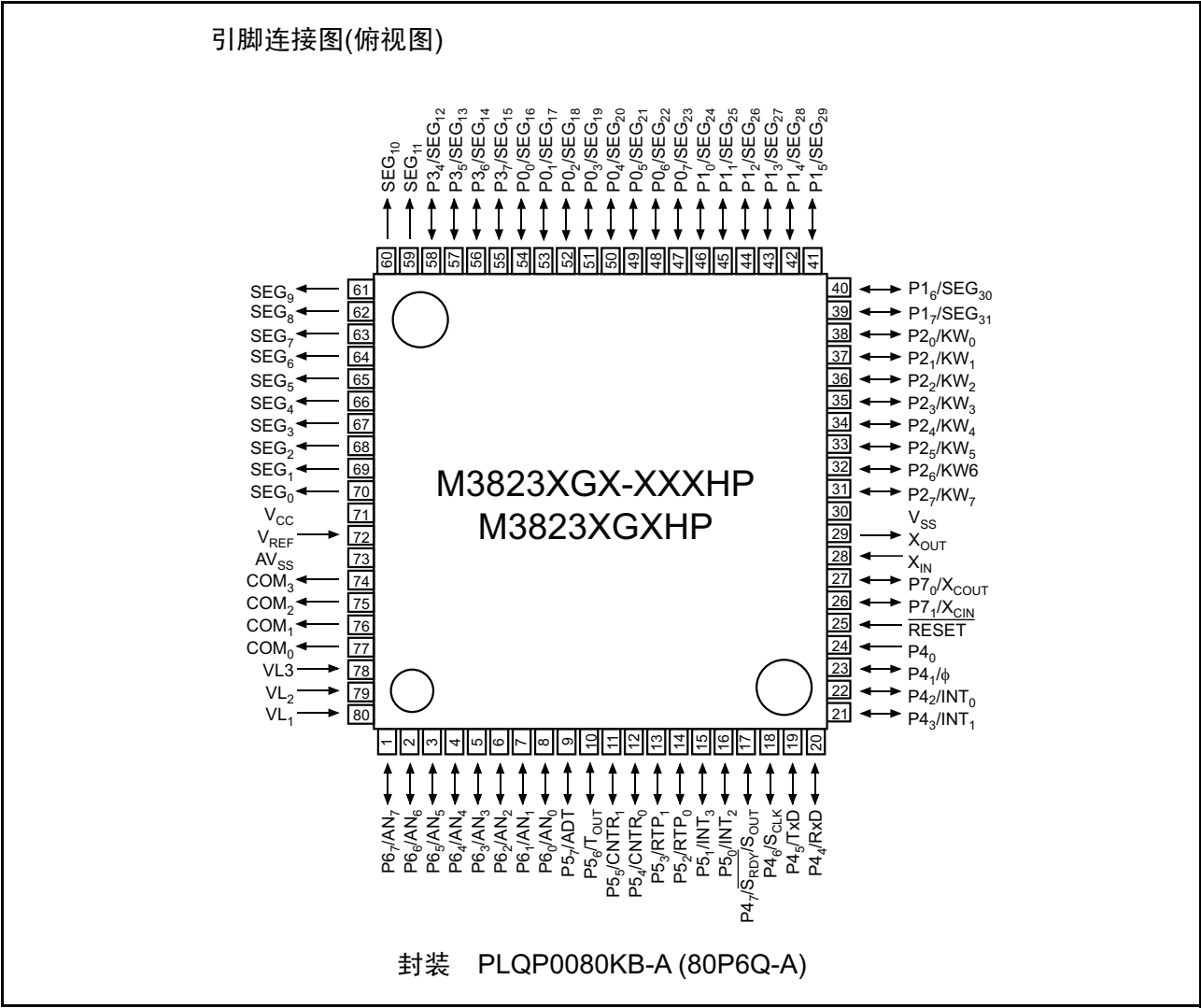


图 2 M3823XGX-XXXHP 引脚的连接图

表 1 性能概要

项 目		性 能
基本指令数		71
指令执行时间		0.4 μ s (在最短指令、 $f(X_{IN}) = 10\text{MHz}$ 、高速模式时)
振荡频率		10MHz (最大)
存储器容量	ROM	16K ~ 60K 字节
	RAM	640 ~ 2560 字节
输入端口	P34 ~ P37、P40	4 位 $\times$ 1、1 位 $\times$ 1 (SEG 共用 4 个)
输入 / 输出端口	P0 ~ P2、P41 ~ P47、P5、P6、P70、P71	8 位 $\times$ 5、7 位 $\times$ 1、2 位 $\times$ 1 (SEG 共用 16 个)
中断		17 个源、16 个向量 (包含键输入中断)
定时器		8 位 $\times$ 3、16 位 $\times$ 2
串行接口		8 位 $\times$ 1 (时钟异步 / 同步)
A/D 转换器		10 位 $\times$ 8 个通道或者 8 位 $\times$ 8 个通道
看门狗定时器		8 位 $\times$ 1
ROM 校正功能		32 字节 $\times$ 2 块
LCD 驱动控制 电路	偏压	1/2、1/3 偏压
	分时	2、3、4 分时
	公共输出	4 个
	段输出	32 个
主时钟发生电路		内置 1 个电路 (外接陶瓷谐振器或者晶体谐振器)
副时钟发生电路		内置 1 个电路 (外接晶体谐振器或者内部振荡器)
电源电压	在 2 分频模式时 ($f(X_{IN}) \leq 10\text{MHz}$)	4.5 ~ 5.5V
	在 2 分频模式时 ($f(X_{IN}) \leq 8\text{MHz}$)	4.0 ~ 5.5V
	在 4 分频模式时 ($f(X_{IN}) \leq 10\text{MHz}$)	2.5 ~ 5.5V
	在 4 分频模式时 ($f(X_{IN}) \leq 8\text{MHz}$)	2.0 ~ 5.5V
	在 4 分频模式时 ($f(X_{IN}) \leq 5\text{MHz}$)	1.8 ~ 5.5V
	在 8 分频模式时 ($f(X_{IN}) \leq 10\text{MHz}$)	2.5 ~ 5.5V
	在 8 分频模式时 ($f(X_{IN}) \leq 8\text{MHz}$)	2.0 ~ 5.5V
	在 8 分频模式时 ($f(X_{IN}) \leq 5\text{MHz}$)	1.8 ~ 5.5V
	在低速模式时	1.8 ~ 5.5V
功耗	在 2 分频模式时	典型值 18mW ($V_{CC}=5\text{V}$ 、 $f(X_{IN}) = 8\text{MHz}$ 、 $T_a=25^\circ\text{C}$)
	在低速模式 (使用 X_{CIN}) 时	典型值 18 μ W ($V_{CC}=2.5\text{V}$ 、 $f(X_{IN}) =$ 停止、 $f(X_{CIN}) = 32\text{kHz}$ 、 $T_a=25^\circ\text{C}$)
	在低速模式 (使用内部振荡器) 时	典型值 35 μ W ($V_{CC}=2.5\text{V}$ 、 $f(X_{IN}) =$ 停止、 $f(X_{CIN}) =$ 停止、 $T_a=25^\circ\text{C}$)
输入 / 输出特性	输入 / 输出耐电压	V_{CC}
	输出电流	10mA
工作环境温度		-20 ~ 85 $^\circ\text{C}$
器件结构		CMOS 硅栅
封装		80 引脚塑封 LQFP/QFP

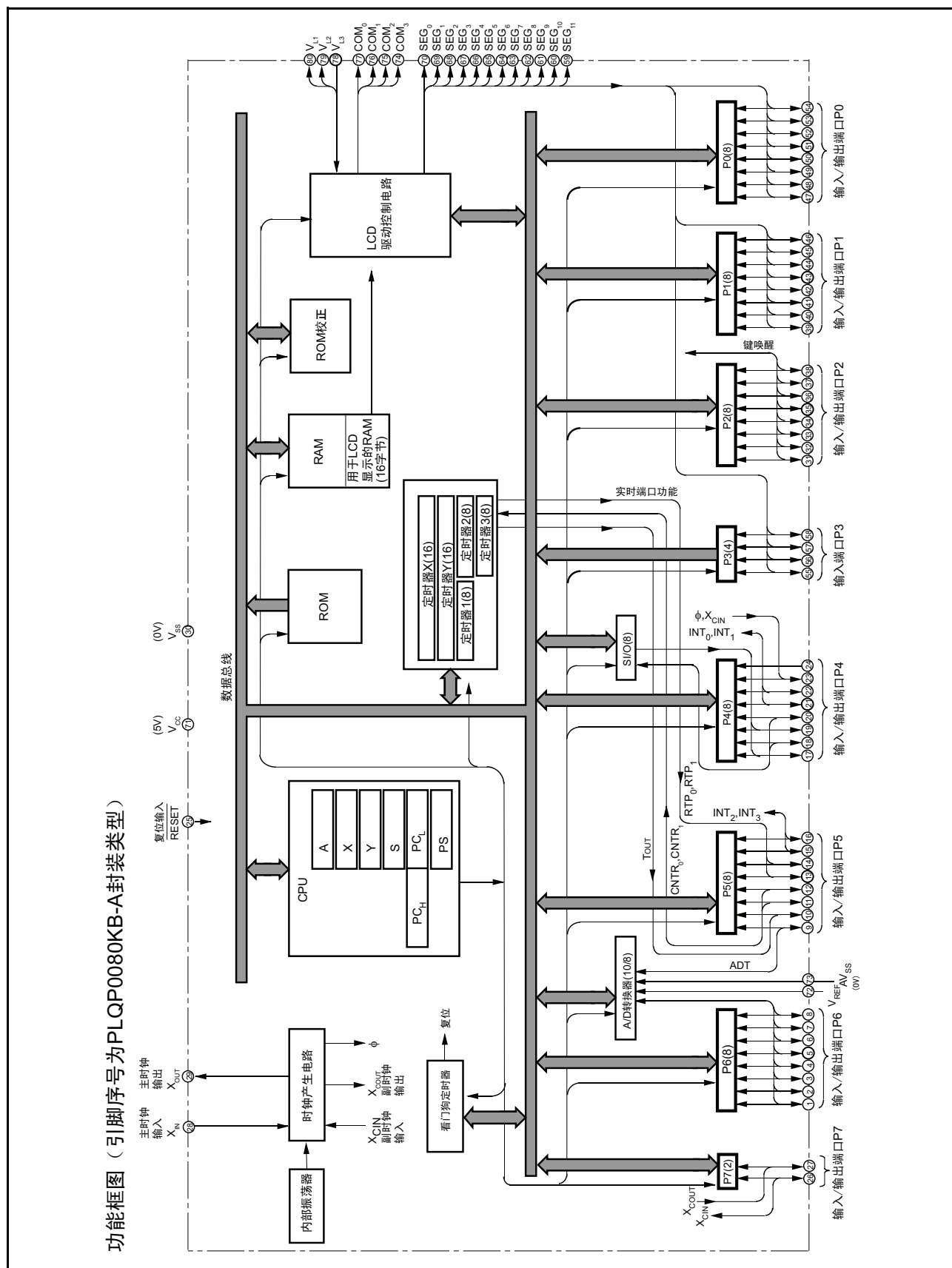


图3 功能框图

表 2 引脚的功能说明

引脚名	名 称	功 能	端口以外的功能
VCC、VSS	电源输入	给 VCC 外加电源电压，给 VSS 外加 0V。（有关 VCC 请参照推荐运行条件。）	
VREF	基准电压输入	是 A/D 转换器的基准电压输入引脚。	
AVSS	模拟电源输入	是 A/D 转换器的电源输入引脚。此引脚必须连接到 VSS。	
RESET	复位输入	是“L”电平有效的复位输入引脚。	
XIN	时钟输入	是主时钟发生电路的输入 / 输出引脚，在 XIN 和 XOUT 之间连接陶瓷谐振器或者晶体谐振器。	
XOUT	时钟输出	在使用外部时钟时，将时钟振荡源连接到 XIN，XOUT 开路。内置反馈电阻。	
VL1 ~ VL3	LCD 的电源输入	外加 $0 \leq V_{L1} \leq V_{L2} \leq V_{L3}$ 的电压，给 LCD 外加 $0 \sim V_{L3}$ 的电压。	
COM0 ~ COM3	公共输出	是 LCD 的公共输出引脚。在 2 分时的情况下不使用 COM2、COM3；在 3 分时的情况下不使用 COM3。	
SEG0 ~ SEG11	段输出	是 LCD 的段输出引脚。	
P00/SEG16 ~ P07/SEG23	输入 / 输出端口 P0	是 8 位的输入 / 输出端口。输入为 CMOS 输入电平，输出为 CMOS 三态输出。可以以位单位指定输入 / 输出，并能以为单位进行上拉控制。	用于 LCD 的段输出引脚
P10/SEG24 ~ P17/SEG31	输入 / 输出端口 P1		
P20/KW0 ~ P27/KW7	输入 / 输出端口 P2	是 8 位的输入 / 输出端口。输入为 CMOS 输入电平，输出为 CMOS 三态输出。可以以位单位指定输入 / 输出，并能以为单位进行上拉控制。	键输入（键唤醒） 中断输入引脚
P34/SEG12 ~ P37/SEG15	输入端口 P3	是 4 位的输入端口。输入为 CMOS 输入电平。可进行下拉控制。	用于 LCD 的段输出引脚
P40	输入端口 P4	是 1 位的输入端口。输入为 CMOS 输入电平。	QzROM 可编程的电源引脚
P41/ ϕ	输入 / 输出端口 P4	是 7 位的输入 / 输出端口。输入为 CMOS 输入电平，输出为 CMOS 三态输出。可以以位单位指定输入 / 输出，并能以为单位进行上拉控制。	ϕ 输出引脚
P42/INT0、 P43/INT1			中断输入引脚
P44/RxD、 P45/TxD、 P46/SCLK、 P47/SRDY/SOUT			串行 I/O 的功能引脚
P50/INT2、 P51/INT3			中断输入引脚
P52/RTP0、 P53/RTP1	输入 / 输出端口 P5	是 8 位的输入 / 输出端口。输入为 CMOS 输入电平，输出为 CMOS 三态输出。可以以位单位指定输入 / 输出，并能以为单位进行上拉控制。	实时端口功能引脚
P54/CNTR0、 P55/CNTR1			定时器 X、定时器 Y 的功能引脚
P56/TOUT			定时器 2 的输出引脚
P57/ADT			A/D 触发的输入引脚
P60/AN0 ~ P67/AN7	输入 / 输出端口 P6	是 8 位的输入 / 输出端口。输入为 CMOS 输入电平，输出为 CMOS 三态输出。可以以位单位指定输入 / 输出，并能以为单位进行上拉控制。	A/D 转换器的输入引脚
P70/XCOUT、 P71/XCIN	输入 / 输出端口 P7	是 2 位的输入 / 输出端口。输入为 CMOS 输入电平，输出为 CMOS 三态输出。可以以位单位指定输入 / 输出，并能以为单位进行上拉控制。	副时钟发生电路的输入 / 输出引脚（连接谐振器，不能直接输入外部生成的时钟）。

型号、存储器容量和封装

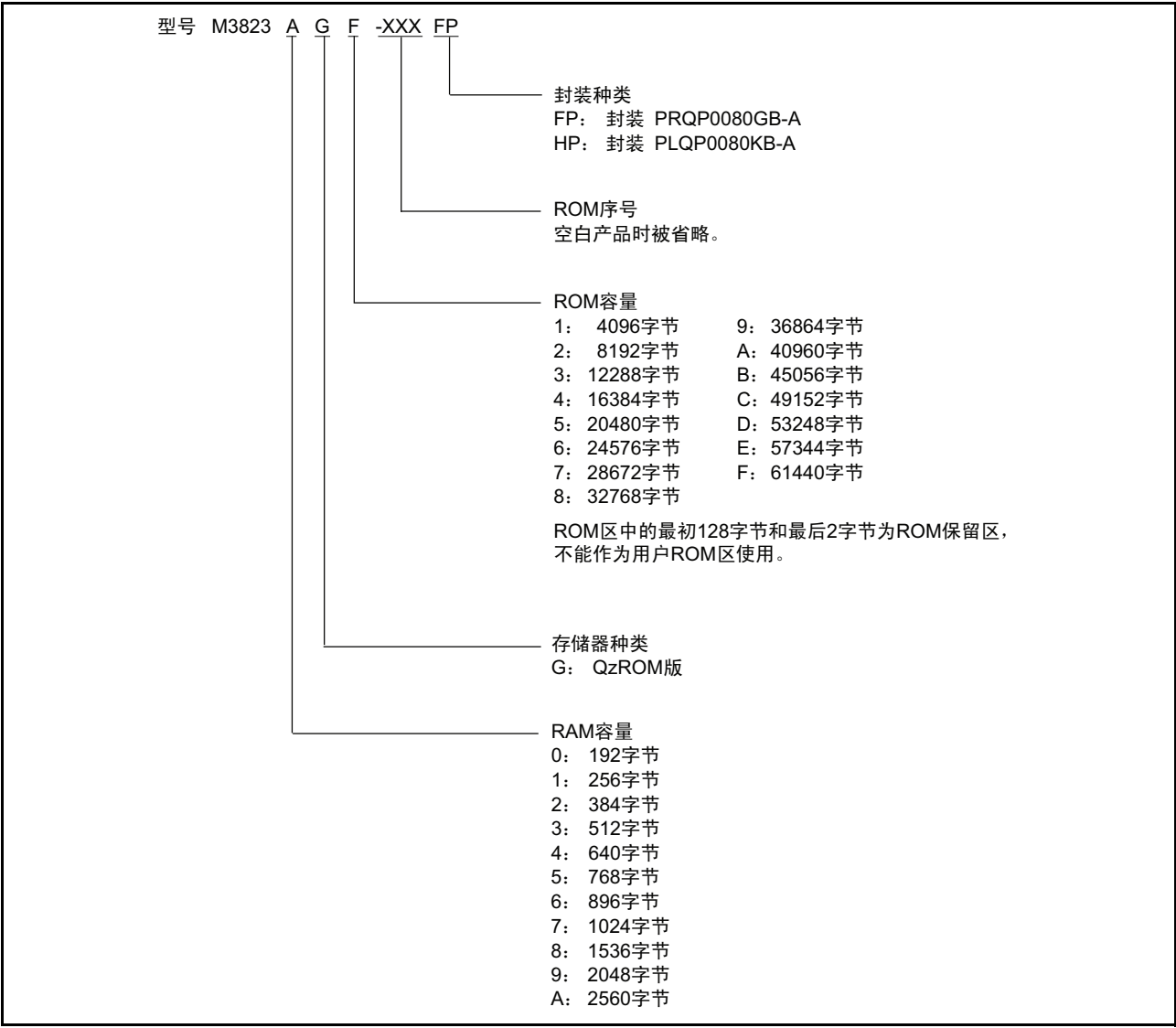


图 4 型号、存储器容量和封装

群的展开

3823 群正在按如下的计划展开。

存储器的种类

支持 QzROM 版。

存储器容量

ROM 容量..... 16K ~ 60K 字节
RAM 容量..... 640 ~ 2560 字节

封装

PRQP0080GB-A0.8mm 节距塑封 QFP
PLQP0080KB-A0.5mm 节距塑封 LQFP

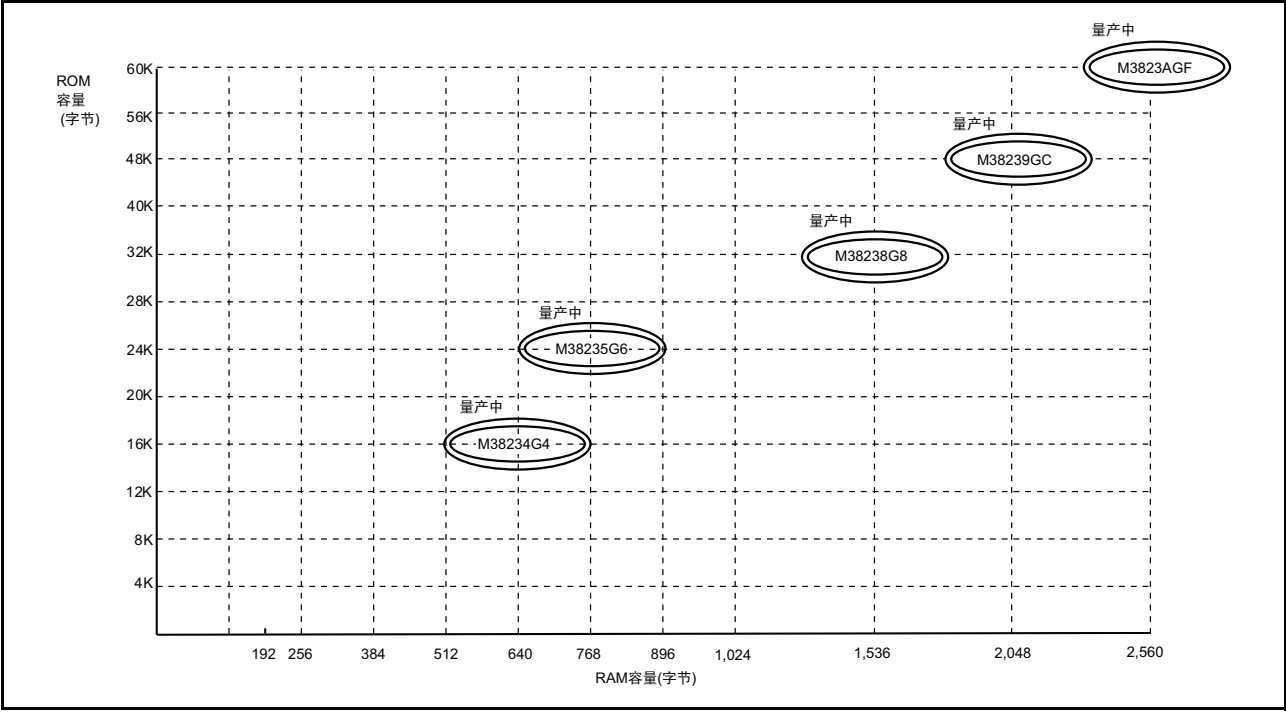


图 5 3823 群 ROM、RAM 的展开计划

产品一览表如表 3 所示。

表 3 产品一览表

产品型号	ROM 容量 (字节) () 内为用户 ROM 容量	RAM 容量 (字节)	封装	备注
M3823AGF-XXXFP	61440 (61310)	2560 (注 1)	PRQP0080GB-A	
M3823AGF-XXXHP			PLQP0080KB-A	
M3823AGFFP			PRQP0080GB-A	空白产品
M3823AGFHP			PLQP0080KB-A	空白产品
M38239GC-XXXFP	49152 (49022)	2048 (注 2)	PRQP0080GB-A	
M38239GC-XXXHP			PLQP0080KB-A	
M38239GCFP			PRQP0080GB-A	空白产品
M38239GCHP			PLQP0080KB-A	空白产品
M38238G8-XXXFP	32768 (32638)	1536 (注 2)	PRQP0080GB-A	
M38238G8-XXXHP			PLQP0080KB-A	
M38238G8FP			PRQP0080GB-A	空白产品
M38238G8HP			PLQP0080KB-A	空白产品
M38235G6-XXXFP	24576 (24446)	768 (注 2)	PRQP0080GB-A	
M38235G6-XXXHP			PLQP0080KB-A	
M38235G6FP			PRQP0080GB-A	空白产品
M38235G6HP			PLQP0080KB-A	空白产品
M38234G4-XXXFP	16384 (16254)	640 (注 2)	PRQP0080GB-A	
M38234G4-XXXHP			PLQP0080KB-A	
M38234G4FP			PRQP0080GB-A	空白产品
M38234G4HP			PLQP0080KB-A	空白产品

- 【注】 1. RAM 容量包含用于 LCD 显示的 RAM 和用于 ROM 校正的 RAM。
2. RAM 容量包含用于 LCD 显示的 RAM。

功能块的运行说明

中央运算处理器（CPU）

3823 群具有和 740 族共同的 CPU。关于各指令的运行，请参照 740 族寻址方式和机器指令一览表、或者 740 族软件手册。

关于依存产品种类的指令如下：

1. 没有 FST、SLW 指令。
2. 能使用 MUL、DIV 指令。
3. 能使用 WIT 指令。
4. 能使用 STP 指令。

中央运算处理器（CPU）有 6 个寄存器。CPU 的寄存器结构如图 6 所示。

【累加器】（A）

累加器是 8 位寄存器。以此寄存器为核心执行运算、传送等数据处理。

【变址寄存器 X】（X）

变址寄存器 X 是 8 位寄存器。在变址寻址方式中，使用此寄存器进行寻址。

【变址寄存器 Y】（Y）

变址寄存器 Y 是 8 位寄存器。在变址寻址方式中，使用此寄存器进行寻址。

【栈指针】（S）

栈指针是 8 位寄存器。在调用子程序或者中断时，此寄存器指向保存寄存器的存储位置（堆栈）的起始地址。

用此寄存器指定堆栈的低 8 位地址。高 8 位地址由栈页选择位的内容决定，此位是“0”时，高 8 位为“00₁₆”，此位是“1”时，高 8 位为“01₁₆”。

堆栈的保存和返回运行如图 7 所示。对这里所示以外的必要的寄存器必须用程序保存（参照表 4）。

【程序计数器】（PC）

程序计数器是由 PC_H 和 PC_L 构成的 16 位计数器。PC_H 和 PC_L 都是 8 位结构。程序计数器指定下一个要执行的程序存储地址。

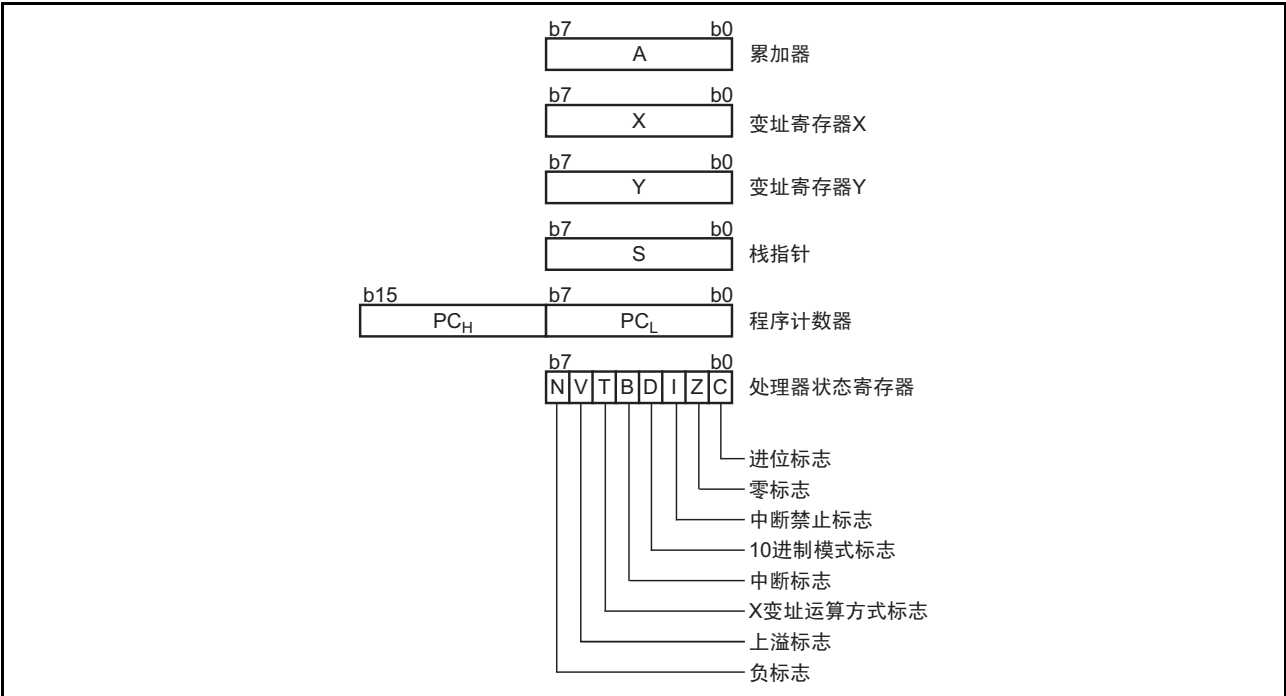


图 6 740 族 CPU 的结构

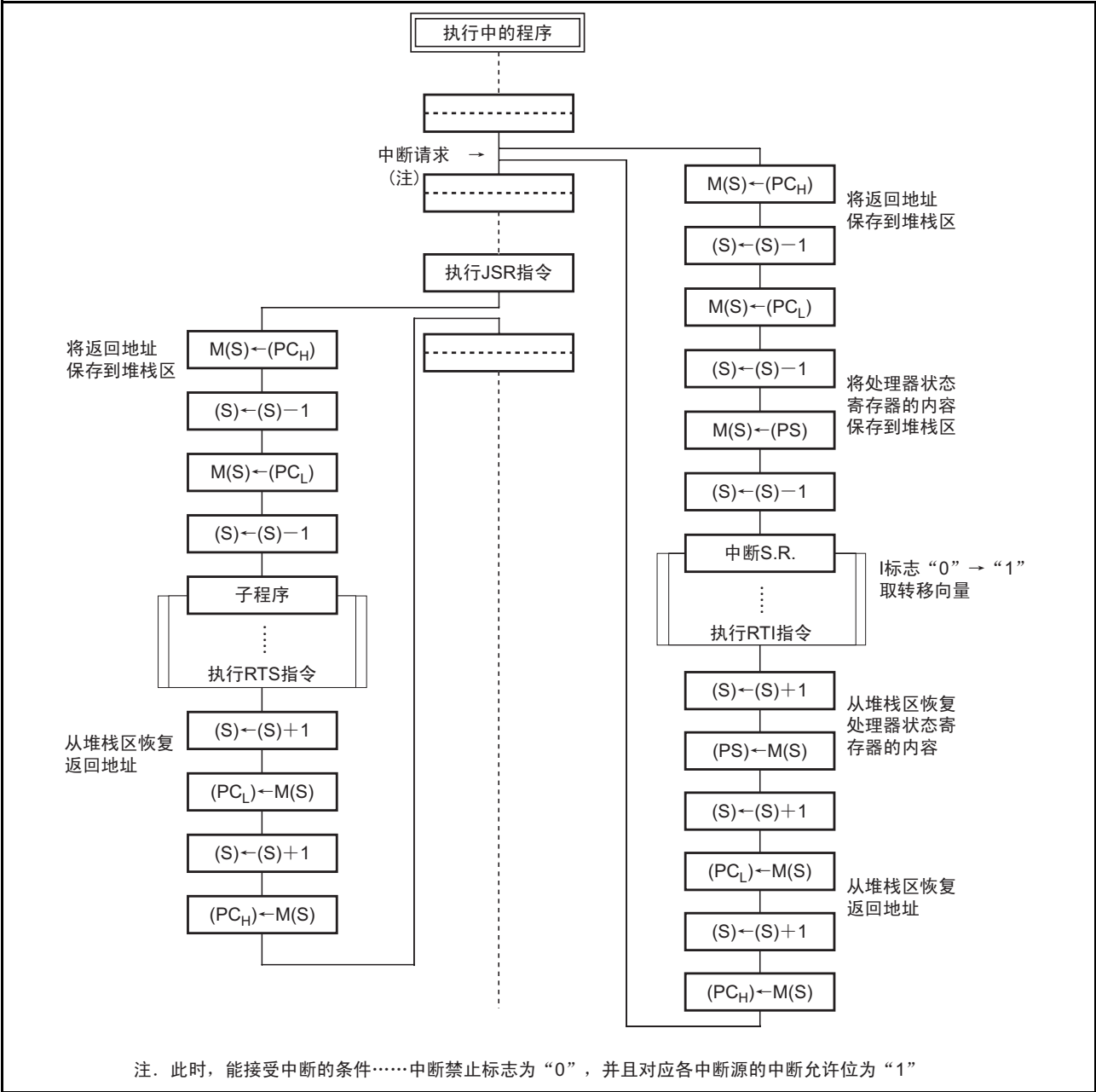


图 7 堆栈的保存和返回的操作

表 4 累加器和处理器状态寄存器的保存指令和返回指令

	保存到堆栈的指令	从堆栈返回的指令
累加器	PHA	PLA
处理器状态寄存器	PHP	PLP

【处理器状态寄存器】（PS）

处理器状态寄存器是 8 位寄存器，由保持刚进行运算后的状态的 5 个标志和决定 MCU 运行的 3 个标志构成。

C、Z、V 以及 N 标志能用于转移指令的检测，在 10 进制模式时，Z、V 以及 N 标志无效。

• bit0: 进位标志（C）

保持来自运算处理后的算术逻辑运算器的进位或者借位。移位指令或者循环指令也会改变此标志。

• bit 1: 零标志（Z）

在运算处理或者数据传送的结果为“0”时，此标志被置位；结果不为“0”时，此标志被清除。

• bit 2: 中断禁止标志（I）

用于禁止除了 BRK 指令以外的所有中断的标志。此标志为“1”时，为中断禁止状态。

• bit 3: 10 进制运算标志（D）

决定用 2 进制还是用 10 进制进行加减运算的标志。此标志为“1”时，把 1 字作为 2 位的 10 进制数进行运算。自动进行 10 进制调整，但是，只有 ADC 指令和 SBC 指令能进行 10 进制运算。

• bit 4: 中断标志（B）

用于识别是否用 BRK 指令中断的标志。用 BRK 指令中断时，标志内容自动置“1”，除此以外的中断将此位置“0”，然后保存到堆栈。

• bit 5: X 变址运算方式标志（T）

此标志为“0”时，在累加器和存储器之间进行运算；此标志为“1”时，能不通过累加器，直接在存储器与存储器之间进行运算。

• bit 6: 上溢标志（V）

在把 1 字作为带符号的 2 进制数进行加减运算时，使用此标志。在加减运算结果超过 +127 或者小于 -128 时，此标志被置位。另外，在执行 BIT 指令的情况下，执行 BIT 指令的存储器的 bit6 就存入此标志。

• bit 7: 负标志（N）

在运算处理或者数据传送的结果为负时，此标志被置位。另外，在执行了 BIT 指令的情况下，执行 BIT 指令的存储器的 bit7 就存入此标志。

表 5 置位或者清除处理器状态寄存器各标志的指令

	C 标志	Z 标志	I 标志	D 标志	B 标志	T 标志	V 标志	N 标志
置位指令	SEC	—	SEI	SED	—	SET	—	—
清除指令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPU 模式寄存器】 CPUM

在 CPU 模式寄存器中分配了栈页选择位和内部系统时钟控制位等，此寄存器分配在地址 003B₁₆。

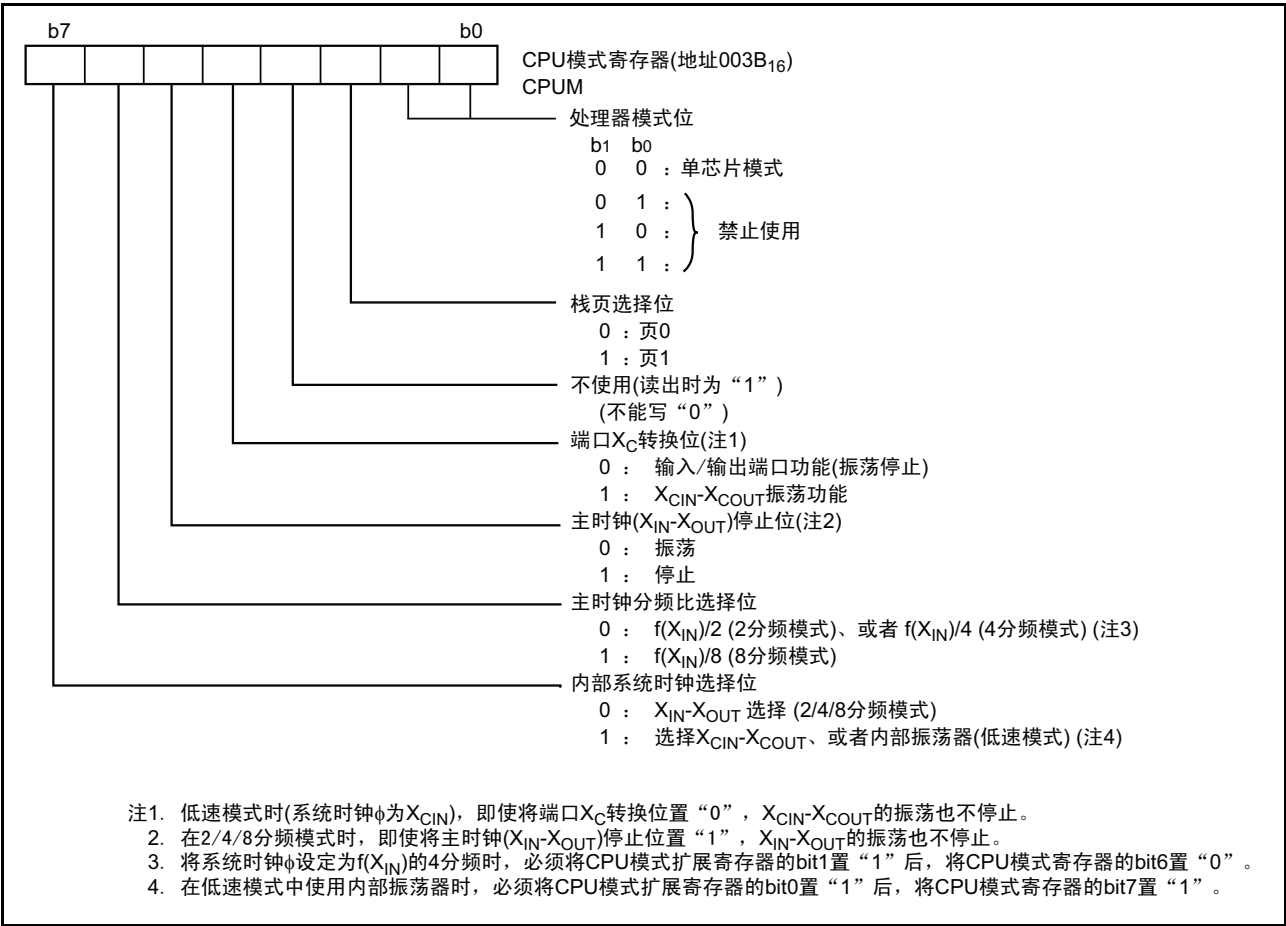


图 8 CPU 模式寄存器的结构

【CPU 模式扩展寄存器】EXPCM

能通过设定 CPU 模式扩展寄存器，将系统时钟 ϕ 选择为 $f(X_{IN})$ 的 4 分频，并且将低速模式时的系统时钟 ϕ 选择为内部振荡器。

将系统时钟 ϕ 选择为 $f(X_{IN})$ 的 4 分频时，必须在将 CPU 模式扩展寄存器的 bit1 置“1”后，将 CPU 模式寄存器的 bit6 置“0”。

在低速模式中使用内部振荡器时，必须在将 CPU 模式扩展寄存器的 bit0 置“1”后，将 CPU 模式寄存器的 bit7 置“1”。

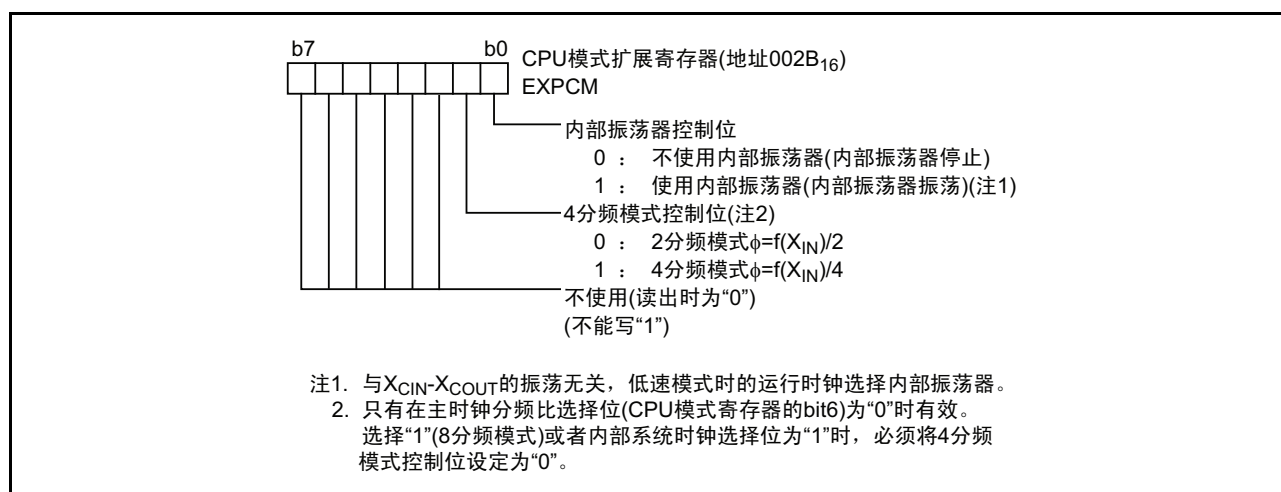


图9 CPU 模式扩展寄存器的结构

存储器

● SFR 区

此区域在零页内，配置了输入 / 输出端口、定时器等控制寄存器。

● RAM

它用于数据保存、子程序调用以及中断时的堆栈等。

● ROM

最初 128 字节和最后 2 字节是用于检查产品的保留区，除此以外是用户区。

● 中断向量区

它是复位和中断的向量地址保存区。

● 零页

它是能通过使用零页寻址方式以 2 字存取的区域。

● 专用页

它是能通过使用专用页寻址方式以 2 字存取的区域。

● ROM 代码保护地址

如果选择了“串行编程器的保护位写”或者在已编程产品出货（本公司）时选择了“有保护”，“00₁₆”就被写入 ROM 代码保护地址（用户 ROM 区外）。如果将“00₁₆”写到 ROM 代码保护地址，保护功能就有效，此后串行编程器不能对其读写。

在由串行编程器对 QzROM 空白产品进行 ROM 写操作时，通过选择“保护位写”来保护 ROM 代码。

对于 QzROM 已编程出货产品，在本公司进行编程时将“00₁₆”（有保护）或者“FF₁₆”（无保护）写入 ROM 代码保护地址。订货时可用 ROM 选项（在掩模转换实用程序中记为“掩模选项”）选择是写“00₁₆”还是写“FF₁₆”。

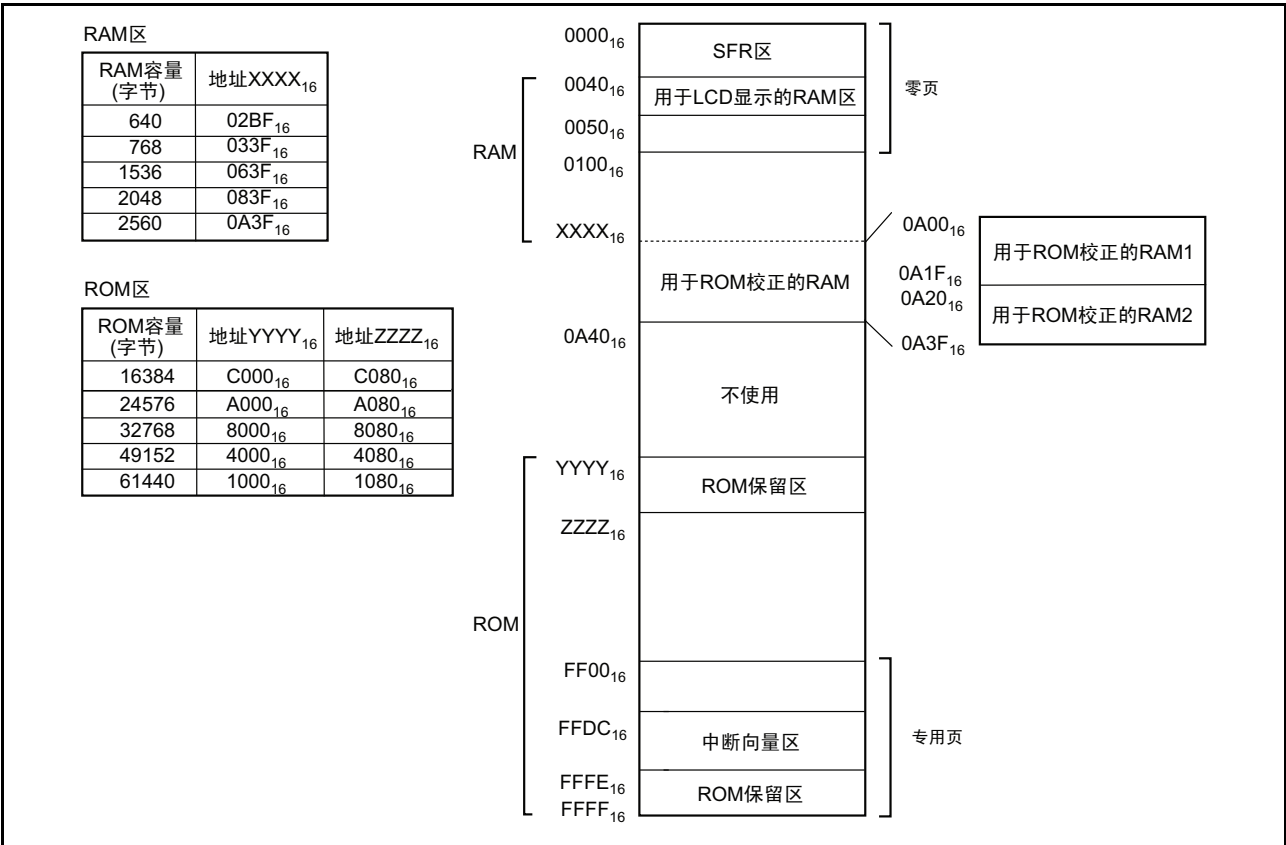


图 10 存储器配置图

0000 ₁₆	端口P0寄存器(P0)	0020 ₁₆	定时器X低位寄存器(TXL)
0001 ₁₆	端口P0方向寄存器(P0D)	0021 ₁₆	定时器X高位寄存器(TXH)
0002 ₁₆	端口P1寄存器(P1)	0022 ₁₆	定时器Y低位寄存器(TYL)
0003 ₁₆	端口P1方向寄存器(P1D)	0023 ₁₆	定时器Y高位寄存器(TYH)
0004 ₁₆	端口P2寄存器(P2)	0024 ₁₆	定时器1寄存器(T1)
0005 ₁₆	端口P2方向寄存器(P2D)	0025 ₁₆	定时器2寄存器(T2)
0006 ₁₆	端口P3寄存器(P3)	0026 ₁₆	定时器3寄存器(T3)
0007 ₁₆		0027 ₁₆	定时器X模式寄存器(TXM)
0008 ₁₆	端口P4寄存器(P4)	0028 ₁₆	定时器Y模式寄存器(TYM)
0009 ₁₆	端口P4方向寄存器(P4D)	0029 ₁₆	定时器123模式寄存器(T123M)
000A ₁₆	端口P5寄存器(P5)	002A ₁₆	φ输出控制寄存器(CKOUT)
000B ₁₆	端口P5方向寄存器(P5D)	002B ₁₆	CPU模式扩展寄存器(EXPCM)
000C ₁₆	端口P6寄存器(P6)	002C ₁₆	临时数据寄存器0(TD0)
000D ₁₆	端口P6方向寄存器(P6D)	002D ₁₆	临时数据寄存器1(TD1)
000E ₁₆	端口P7寄存器(P7)	002E ₁₆	临时数据寄存器2(TD2)
000F ₁₆	端口P7方向寄存器(P7D)	002F ₁₆	RRF寄存器(RRFR)
0010 ₁₆	ROM校正地址1高位寄存器(RCA1H)	0030 ₁₆	外围功能扩展寄存器(EXP)
0011 ₁₆	ROM校正地址1低位寄存器(RCA1L)	0031 ₁₆	
0012 ₁₆	ROM校正地址2高位寄存器(RCA2H)	0032 ₁₆	
0013 ₁₆	ROM校正地址2低位寄存器(RCA2L)	0033 ₁₆	
0014 ₁₆	ROM校正允许寄存器(RCR)	0034 ₁₆	AD控制寄存器(ADCON)
0015 ₁₆		0035 ₁₆	AD转换高位寄存器(ADH)
0016 ₁₆	PULL寄存器A(PULLA)	0036 ₁₆	AD转换低位寄存器(ADL)
0017 ₁₆	PULL寄存器B(PULLB)	0037 ₁₆	看门狗定时器控制寄存器(WDT)
0018 ₁₆	发送/接收缓冲寄存器(TB/RB)	0038 ₁₆	段输出允许寄存器(SEG)
0019 ₁₆	串行I/O状态寄存器(SIOSTS)	0039 ₁₆	LCD模式寄存器(LM)
001A ₁₆	串行I/O控制寄存器(SIOCON)	003A ₁₆	中断边沿选择寄存器(INTEDGE)
001B ₁₆	UART控制寄存器(UARTCON)	003B ₁₆	CPU模式寄存器(CPUM)
001C ₁₆	波特率发生器(BRG)	003C ₁₆	中断请求寄存器1(IREQ1)
001D ₁₆		003D ₁₆	中断请求寄存器2(IREQ2)
001E ₁₆		003E ₁₆	中断控制寄存器1(ICON1)
001F ₁₆		003F ₁₆	中断控制寄存器2(ICON2)

注. 不能进行SFR空白区的存储器存取。

图 11 SFR（专用功能寄存器）存储器映像

输入 / 输出端口

●方向寄存器（端口 P2、P4₁ ~ P4₇、P5 ~ P7）

输入 / 输出端口 P2、P4₁ ~ P4₇、P5 ~ P7 有方向寄存器，可按位单位设定是用作输入端口还是用作输出端口。如果将方向寄存器置“1”，该引脚就为输出端口；如果清“0”，就为输入端口。

如果从被设定为输出端口的引脚读取，就读取端口锁存器的内容而不是引脚的值。设定为输入端口的引脚处于浮动状态，能读取引脚的值。在对输入端口的引脚写数据时，数据虽然被写到端口锁存器，但是引脚仍然处于浮动状态。

●方向寄存器（端口 P0、P1）

端口 P0、P1 有方向寄存器，可按端口单位设定是用作输入端口还是用作输出端口。如果将方向寄存器的 bit0 置“1”，该引脚就为输出端口；如果清“0”，就为输入端口。

端口 P0 ~ P1 方向寄存器的 bit1 ~ bit7 尚未使用。

●端口 P3、P4₀

是输入专用端口。

●上拉 / 下拉控制

通过设定 PULL 寄存器 A（地址 0016₁₆）和 PULL 寄存器 B（地址 0017₁₆），可对 P4₀ 以外的端口用程序进行上拉 / 下拉（段输出兼用的引脚为下拉，其它引脚为上拉）的控制。但是，被设定为输出端口的引脚从此控制分离，不能进行上拉 / 下拉。

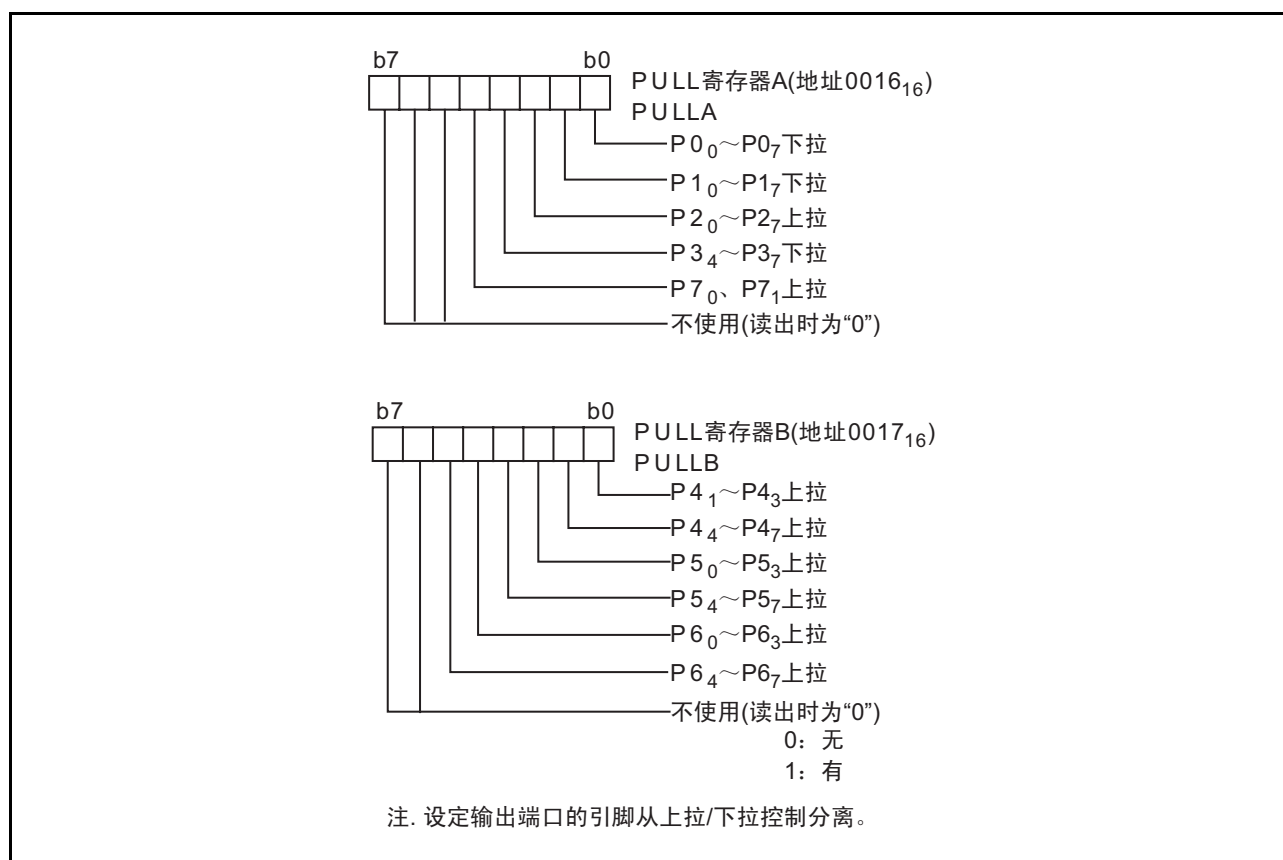


图 12 PULL 寄存器 A、PULL 寄存器 B 的结构

表 6 输入 / 输出端口的功能一览表 (1)

引脚名	名称	输入 / 输出	输入 / 输出格式	端口以外的功能	关联的 SFR	图号
P00/SEG ₁₆ ~ P07/SEG ₂₃	端口 P0	输入 / 输出 端口单位	CMOS 输入电平 CMOS 三态输出	LCD 段输出	PULL 寄存器 A 段输出允许寄存器	(1)
P10/SEG ₂₄ ~ P17/SEG ₃₁	端口 P1					
P20/KW ₀ ~ P27/KW ₇	端口 P2	输入 / 输出 位单位	CMOS 输入电平 CMOS 三态输出	键输入 (键唤醒) 的 中断输入	PULL 寄存器 A 中断控制寄存器 2	(2)
P34/SEG ₁₂ ~ P37/SEG ₁₅	端口 P3	输入	CMOS 输入电平	LCD 段输出	PULL 寄存器 A 段输出允许寄存器	(3)
P40	端口 P4	输入	CMOS 输入电平	QzROM 可编程的电源 引脚		(4)
P41/ ϕ		输入 / 输出 位单位	CMOS 输入电平 CMOS 三态输出	ϕ 时钟输出 XCIN 频率信号输出	PULL 寄存器 B ϕ 输出控制寄存器 外围功能扩展寄存器	(5)
P42/INT ₀ 、 P43/INT ₁				外部中断输入	PULL 寄存器 B 中断边沿选择寄存器	(2)
P44/RxD				串行 I/O 功能输入 / 输出	PULL 寄存器 B 串行 I/O 控制寄存器 串行 I/O 状态寄存器 UART 控制寄存器 外围功能扩展寄存器	(6)
P45/TxD						(7)
P46/SCLK						(8)
P47/ $\overline{\text{SRDY}}$ /SOUT						(9)

- 【注】 1. 有关将双功能端口用作功能输入 / 输出引脚的方法，请参照关联的项目。
2. 如果各引脚的输入电平不稳定，输入段栅极的穿透电流就会流通，尤其是在期待低消耗电流的状态下（在执行 STP、WIT 指令中），有可能增大电源电流，所以必须通过电阻将不使用的输入引脚固定为“H”电平或者“L”电平。

表 7 输入 / 输出端口的功能一览表 (2)

引脚名	名称	输入 / 输出	输入 / 输出格式	端口以外的功能	关联的 SFR	图号
P50/INT ₂ 、 P51/INT ₃	端口 P5	输入 / 输出 位单位	CMOS 输入电平 CMOS 三态输出	外部中断输入	PULL 寄存器 B 中断边沿选择寄存器	(2)
P52/RTP ₀ 、 P53/RTP ₁				实时端口功能输出	PULL 寄存器 B 定时器 X 模式寄存器	(10)
P54/CNTR ₀				定时器 X 功能输入 / 输出	PULL 寄存器 B 定时器 X 模式寄存器	(11)
P55/CNTR ₁				定时器 Y 功能输入	PULL 寄存器 B 定时器 Y 模式寄存器	(12)
P56/TO _{UT}				定时器 2 输出	PULL 寄存器 B 定时器 123 模式寄存器	(13)
P57/ADT				A/D 触发输入	PULL 寄存器 B AD 控制寄存器	(12)
P60/AN ₀ ~ P67/AN ₇	端口 P6	输入 / 输出 位单位	CMOS 输入电平 CMOS 三态输出	A/D 转换输入		(14)
P70/XC _{OUT}	端口 P7	输入 / 输出 位单位	CMOS 输入电平 CMOS 三态输出	副时钟发生电路输入 / 输出	PULL 寄存器 A CPU 模式寄存器	(15)
P71/XC _{IN}						(16)
COM ₀ ~ COM ₃	公共	输出	LCD 的公共输出		LCD 模式寄存器	(17)
SEG ₀ ~ SEG ₁₁	段	输出	LCD 的段输出			(18)

- 【注】 1. 有关将双功能端口用作功能输入 / 输出引脚的方法，请参照关联的项目。
2. 如果各引脚的输入电平不稳定，输入段栅极的穿透电流就会流通，尤其是在期待低消耗电流的状态下（在执行 STP、WIT 指令中），有可能增大电源电流，所以必须通过电阻将不使用的输入引脚固定为“H”电平或者“L”电平。

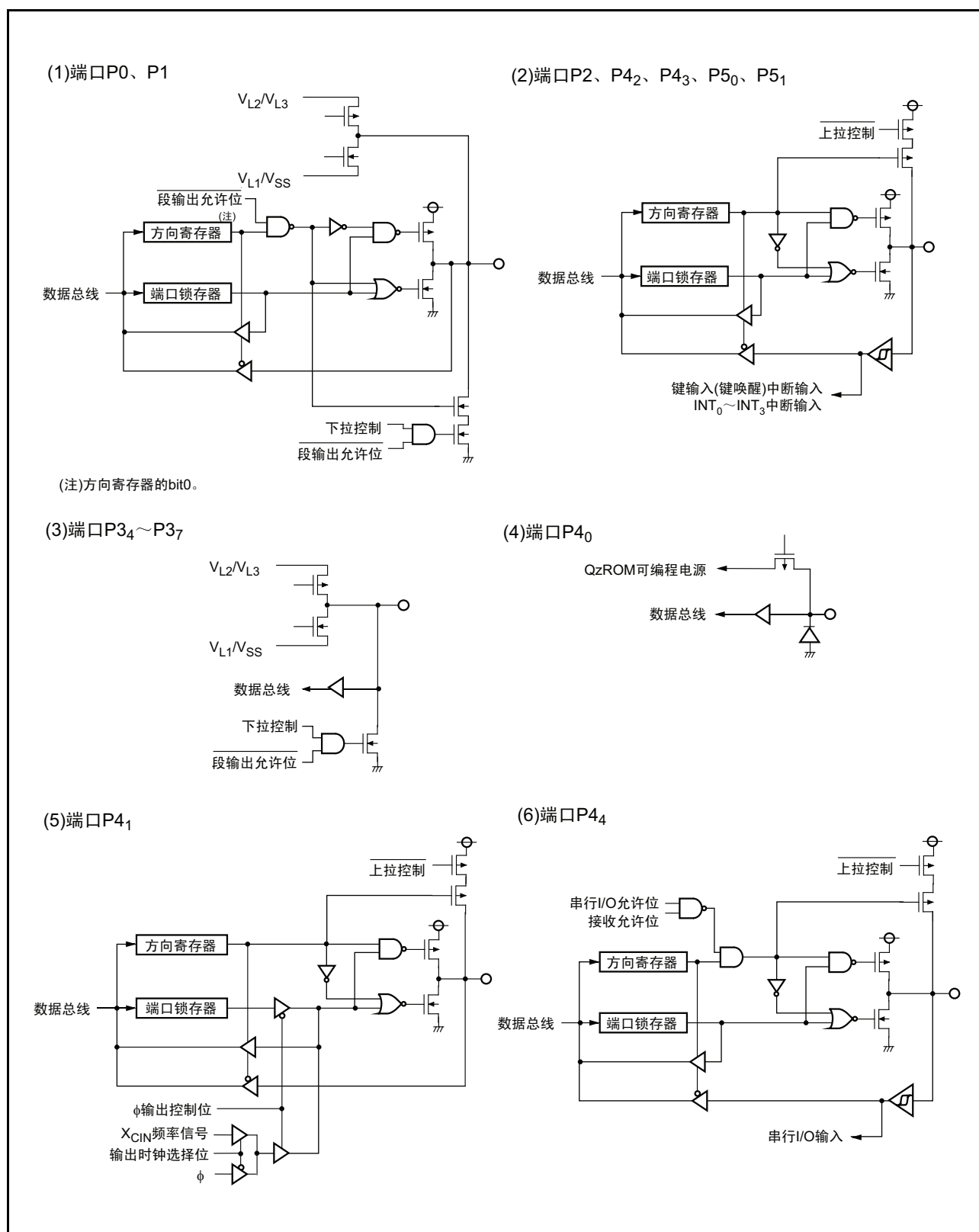


图 13 端口的框图 (1)

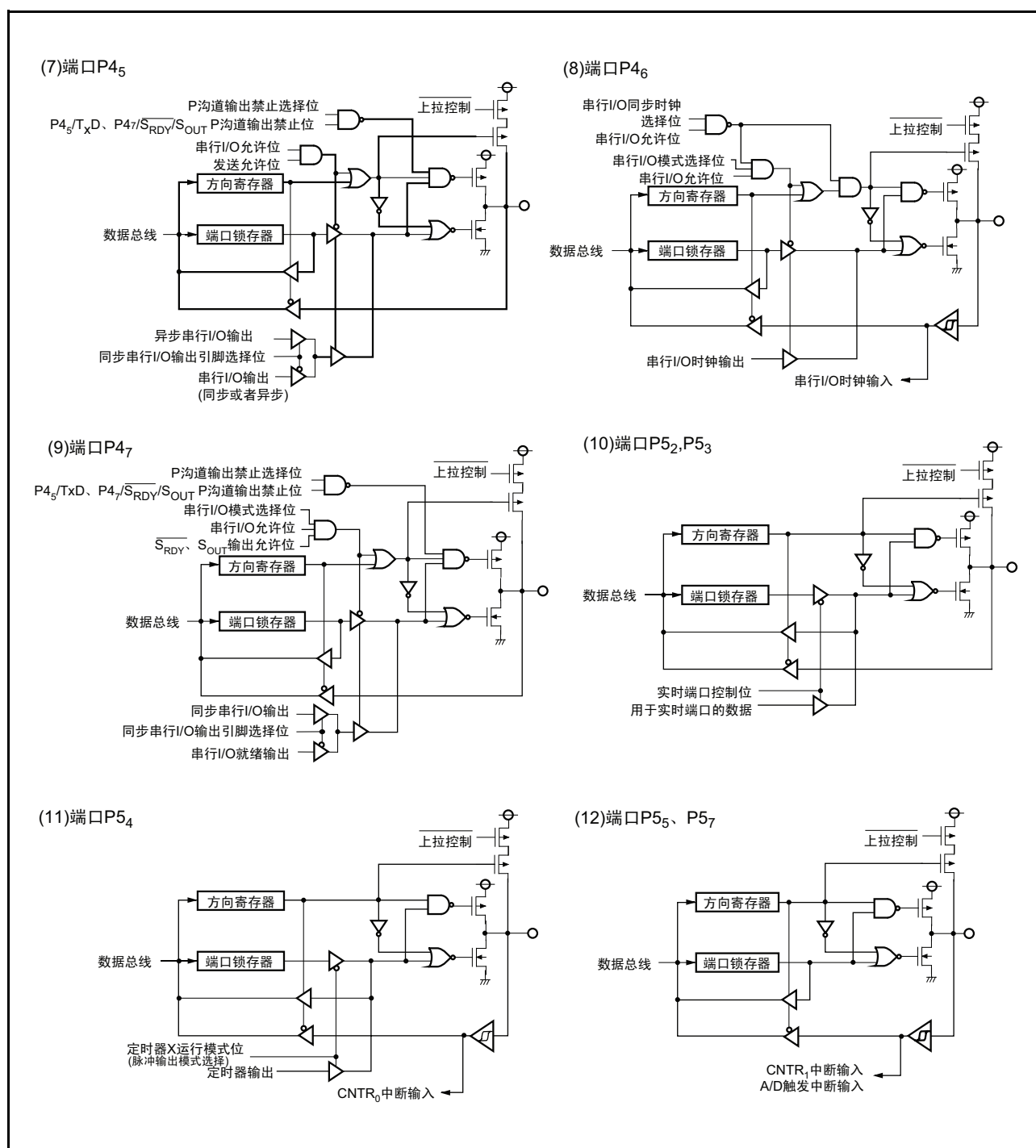


图 14 端口的框图 (2)

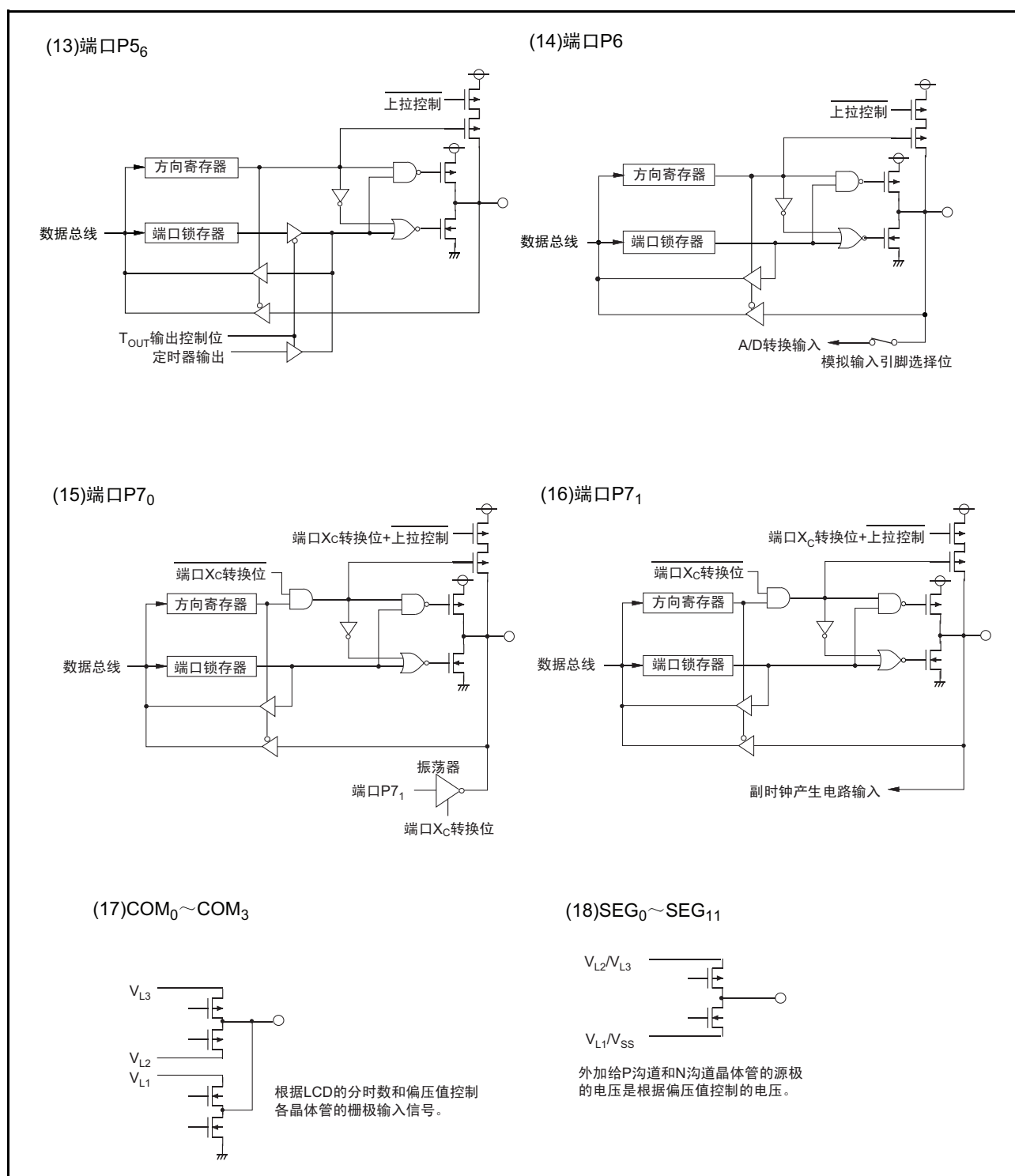


图 15 端口的框图 (3)

●未使用引脚的处理方法

- 一般的引脚处理方法

输入/输出端口： 必须选择输入端口或者输出端口并遵循各自的处理方法。

输出端口： 必须置为开路。

输入端口： 在输入电平不稳定的情况下，因为穿透电流流入输入电路，尤其是在期待低消耗电流的状态下（在执行 STP、WIT 指令中），有可能增大电源电流，所以必须上拉或者下拉（可使用内部电阻）。必须下拉 P40 引脚。在将具有输入/输出端口和输出功能的引脚作为输入端口处理未使用引脚时，设想到由于误动作等而作为输出端口运行的情况，推荐通过能确保 $I_{OH(ave)}$ 或者 $I_{OL(ave)}$ 的电阻处理引脚。

表 8 未使用引脚的处理方法 (1)

引脚名	处理方法 1（推荐）	处理方法 2	处理方法 3
P00/SEG16 ~ P07/SEG23	输入 / 输出端口	在选择 SEG 输出时，必须置为开路。	—
P10/SEG24 ~ P17/SEG31			—
P20/KW0 ~ P27/KW7		在选择 KW 功能时，必须进行输入端口的处理。	—
P34/SEG12 ~ P37/SEG15	输入端口	在选择 SEG 输出时，必须置为开路。	—
P40	输入端口（下拉）	—	—
P41/φ	输入 / 输出端口	在选择 φ 输出时，必须置为开路。	—
P42/INT0		在选择 INT0 功能时，必须进行输入端口的处理。	—
P43/INT1		在选择 INT1 功能时，必须进行输入端口的处理。	—
P44/RxD		在选择 RxD 功能时，必须进行输入端口的处理。	—
P45/TxD		在选择 TxD 功能时，必须进行输出端口的处理。	—
P46/SCLK		在选择外部时钟输入时，必须进行输入端口的处理。	在选择内部时钟输出时，必须进行输出端口的处理
P47/ $\overline{SRDY}$ /SOUT		在选择 $\overline{SRDY}$ 功能时，必须进行输出端口的处理。	在选择 SOUT 功能时，必须进行输出端口的处理。
P50/INT2		在选择 INT2 功能时，必须进行输入端口的处理。	—
P51/INT3		在选择 INT3 功能时，必须进行输入端口的处理。	—

表 8 未使用引脚的处理方法 (2)

引脚名	处理方法 1 (推荐)	处理方法 2	处理方法 3
P52/RTP0	输入 / 输出端口	在选择 RTP0 功能时, 必须进行输出端口的处理。	—
P53/RTP1		在选择 RTP1 功能时, 必须进行输出端口的处理。	—
P54/CNTR0		在选择 CNTR0 输入功能时, 必须进行输入端口的处理。	在选择 CNTR0 输出功能时, 必须进行输出端口的处理。
P55/CNTR1		在选择 CNTR1 功能时, 必须进行输入端口的处理。	—
P56/TOUT		在选择 TOUT 功能时, 必须进行输出端口的处理。	—
P57/ADT		在选择 ADT 功能时, 必须进行输入端口的处理。	—
P60/AN0 ~ P67/AN7		在选择 AN 功能时, 可开路 (不能保证 A/D 转换结果)。	—
P70/XCOUT P71/XCIN		不能通过程序选择 XCIN-XCOUT 的振荡功能。	—
VL3	连接 VSS	—	—
VL2	连接 VSS	—	—
VL1	连接 VSS	—	—
COM0 ~ COM3	开路	—	—
SEG0 ~ SEG11	开路	—	—
AVSS	连接 VSS	—	—
VREF	连接 VCC 或者 VSS	—	—
XOUT	在从外部给 XIN 提供时钟信号的情况下, 必须置为开路。	—	—

【注】 VL3、VL2 和 VL1 是在 LCD 模式寄存器 bit3=0 的情况下。

中断

3823 群的中断是固定优先权方式的向量中断，能从 8 个外部中断源、8 个内部中断源和 1 个软件中断源的共 17 个中断源中的 16 个中断源产生中断。中断源、向量地址（注 1）及中断优先级如表 9 所示。

BRK 指令中断除外的各中断都有中断请求位和中断允许位，通过这些位和中断禁止标志（I 标志）可以控制中断请求的接受。中断控制图如图 16 所示。

齐备以下所有条件时，接受中断请求。

- 中断禁止标志 “0”
- 中断请求位 “1”
- 中断允许位 “1”

中断的优先级通过软件被固定，但是通过使用上述位及标志，可以通过程序进行优先处理。

表 9 中断向量的地址和优先级

中断源	优先级	向量地址（注 1）		发生中断请求的条件	备注
		高位	低位		
复位（注 2）	1	FFFD ₁₆	FFFC ₁₆	在复位时	非屏蔽
INT ₀	2	FFFB ₁₆	FFFA ₁₆	在检测到 INT ₀ 输入的上升沿或者下降沿时	外部中断（极性可编程）
INT ₁	3	FFF9 ₁₆	FFF8 ₁₆	在检测到 INT ₁ 输入的上升沿或者下降沿时	外部中断（极性可编程）
串行 I/O 接收	4	FFF7 ₁₆	FFF6 ₁₆	在结束串行 I/O 的数据接收时	只在选择串行 I/O 时有效
串行 I/O 发送	5	FFF5 ₁₆	FFF4 ₁₆	在结束串行 I/O 的发送移位时或者发送缓冲器空时	只在选择串行 I/O 时有效
定时器 X	6	FFF3 ₁₆	FFF2 ₁₆	在定时器 X 下溢时	
定时器 Y	7	FFF1 ₁₆	FFF0 ₁₆	在定时器 Y 下溢时	
定时器 2	8	FFEF ₁₆	FFEE ₁₆	在定时器 2 下溢时	
定时器 3	9	FFED ₁₆	FFEC ₁₆	在定时器 3 下溢时	
CNTR ₀	10	FFEB ₁₆	FFEA ₁₆	在检测到 CNTR ₀ 输入的上升沿或者下降沿时	外部中断（极性可编程）
CNTR ₁	11	FFE9 ₁₆	FFE8 ₁₆	在检测到 CNTR ₁ 输入的上升沿或者下降沿时	外部中断（极性可编程）
定时器 1	12	FFE7 ₁₆	FFE6 ₁₆	在定时器 1 下溢时	
INT ₂	13	FFE5 ₁₆	FFE4 ₁₆	在检测到 INT ₂ 输入的上升沿或者下降沿时	外部中断（极性可编程）
INT ₃	14	FFE3 ₁₆	FFE2 ₁₆	在检测到 INT ₃ 输入的上升沿或者下降沿时	外部中断（极性可编程）
键输入（键唤醒）	15	FFE1 ₁₆	FFE0 ₁₆	在端口 P2（输入）输入电平的逻辑与下降沿时	外部中断（下降沿有效）
ADT	16	FFDF ₁₆	FFDE ₁₆	在 ADT 输入的下降沿时	在选择 ADT 中断时有效 外部中断（下降沿有效）
A/D 转换				在结束 A/D 转换时	在选择 A/D 中断时有效
BRK 指令	17	FFDD ₁₆	FFDC ₁₆	在执行 BRK 指令时	非屏蔽软件中断

【注】 1. 向量地址是指中断转移地址的保存地址。

2. 复位作为优先级最高的中断进行处理。

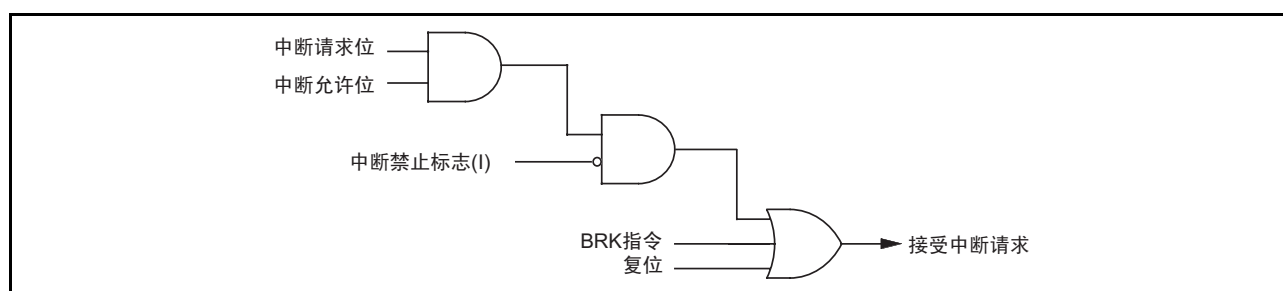


图 16 中断控制图

● 中断禁止标志

处理器状态寄存器的 bit2 是中断禁止标志。中断禁止标志是控制接受除 BRK 指令之外的所有中断请求的标志。

如果此标志置“1”，就禁止接受中断请求，置“0”，就允许接受中断请求。置“1”的指令为 SEI 指令，置“0”的指令为 CLI 指令。

如果接受中断请求，中断禁止标志保持“0”，保存处理器状态寄存器。

之后，此标志自动置“1”，禁止多重中断。使用多重中断时，必须在中断程序中使用 CLI 指令，将此标志置“0”。

处理器状态寄存器通过 RTI 指令返回。

● 中断请求位

产生中断请求时，对应的中断请求位变为“1”，并且直到中断请求被接受为止保持“1”。如果中断请求被接受，就自动置“0”。

通过程序可以将中断请求位置“0”，但是不能置“1”。

● 中断允许位

中断允许位是控制接受对应中断请求的位。

此位为“0”时，禁止接受中断请求。此时，即使产生中断请求，如果只是中断请求位变为“1”，也不能接受中断请求。此位为“1”时，允许接受中断请求。通过程序可以将中断允许位置“0”或置“1”。

必须将不使用的中断的中断允许位置“0”。

● 选择中断源

可以通过 AD 控制寄存器的中断源选择位（地址 0034₁₆ 的 bit6）选择以下中断源。

- ADT 或者 A/D 转换（参照表 9）

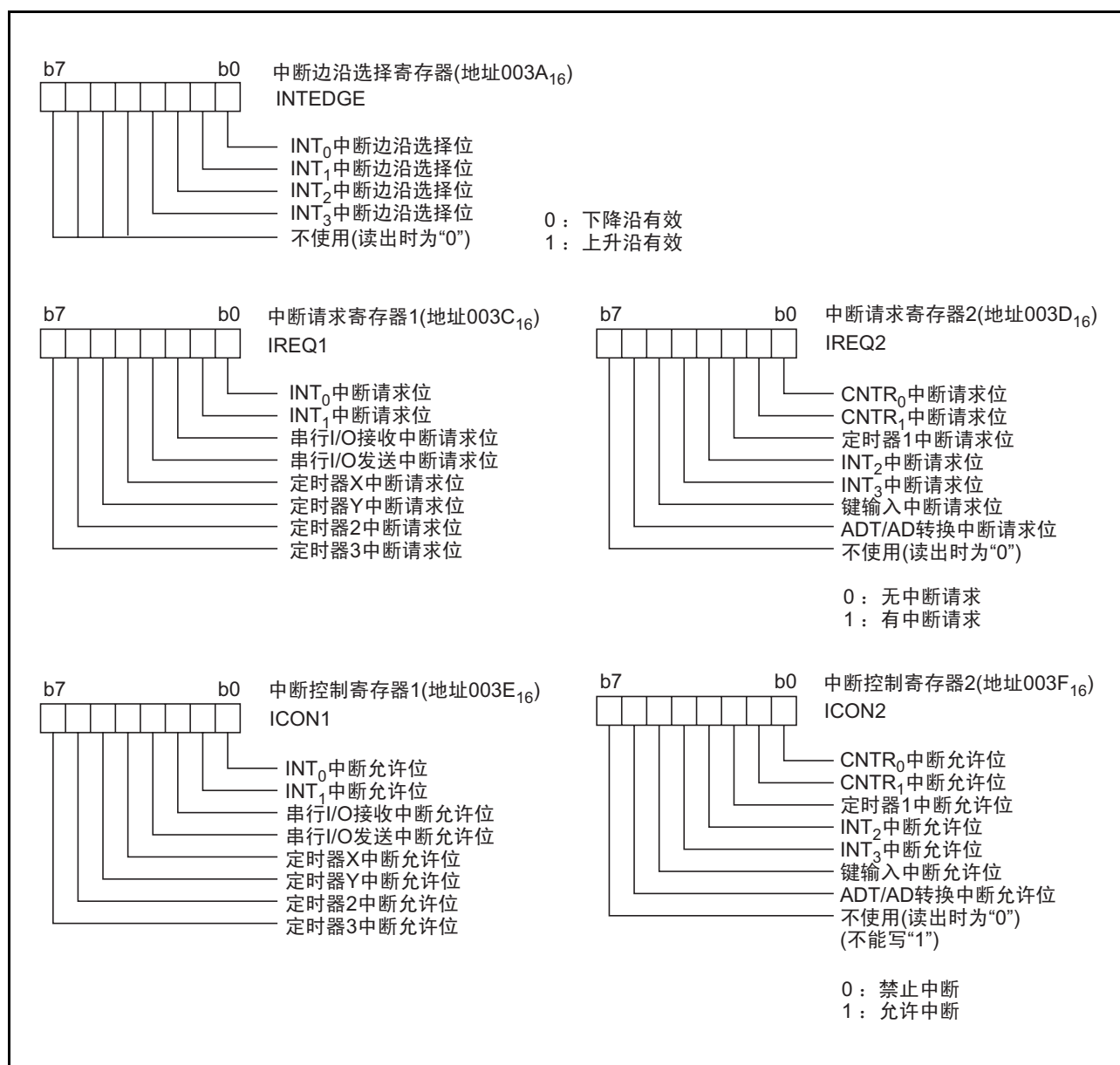


图 17 中断相关寄存器的结构

● 中断请求的产生 / 接受 / 处理

中断分为以下 3 个阶段。

(i) 中断请求的产生

由各种中断源（外部中断信号输入、定时器的下溢等）产生中断请求，中断请求位为“1”。

(ii) 中断请求的接受

按照每个指令周期的中断接受时序，中断控制电路判定接受条件（中断请求位、中断允许位、中断禁止标志）和中断优先级后，接受中断请求。如果在相同时序有多个中断请求时，就接受其中优先级最高的中断请求。保持没有被接受的中断的中断请求位，在下一个中断请求时序时再次被判定是否被接受。

(iii) 接受中断的处理

执行被接受中断的处理。

到执行中断程序为止的时间如图 18、中断响应顺序如图 19、产生中断请求、中断请求位和中断请求接受的时序如图 20 所示。

● 执行中断处理

执行中断处理时，自动执行以下运行。

(1) 如果现在执行中的指令结束，就接受中断请求。

(2) 此时的程序计数器和处理器状态寄存器的内容按照①→②→③的顺序保存到堆栈区。

①程序计数器高位（PCH）

②程序计数器低位（PCL）

③处理器状态寄存器（PS）

(3) 在保存的同时，将对应的中断转移地址（中断程序的起始地址）从中断向量传送到程序计数器。

(4) 对应中断的中断请求位变为“0”。另外，中断禁止标志变为“1”，并禁止多重中断。

(5) 执行中断程序

(6) 如果执行 RTI 指令，保存在堆栈区的寄存器内容按照③→②→①的顺序返回，并继续中断处理前的程序。

因此，为了执行中断程序，必须设定栈指针以及和各中断对应的到向量内的转移地址。

■ 注意事项

以下情况时，中断请求位可能会置“1”。

- 在设定外部中断的有效边沿时

对象寄存器： 中断边沿选择寄存器（地址003A₁₆）

定时器X模式寄存器（地址0027₁₆）

定时器Y模式寄存器（地址0028₁₆）

如果不需要产生和这些设定同步的中断时，按照以下的顺序进行设定。

- (1) 将该当的中断允许位置“0”（禁止）。
- (2) 设定中断边沿选择位（极性转换位）或中断源位。
- (3) 在至少执行一条指令后，将该当中断请求位置“0”。
- (4) 将该当中断允许位置“1”（允许）。

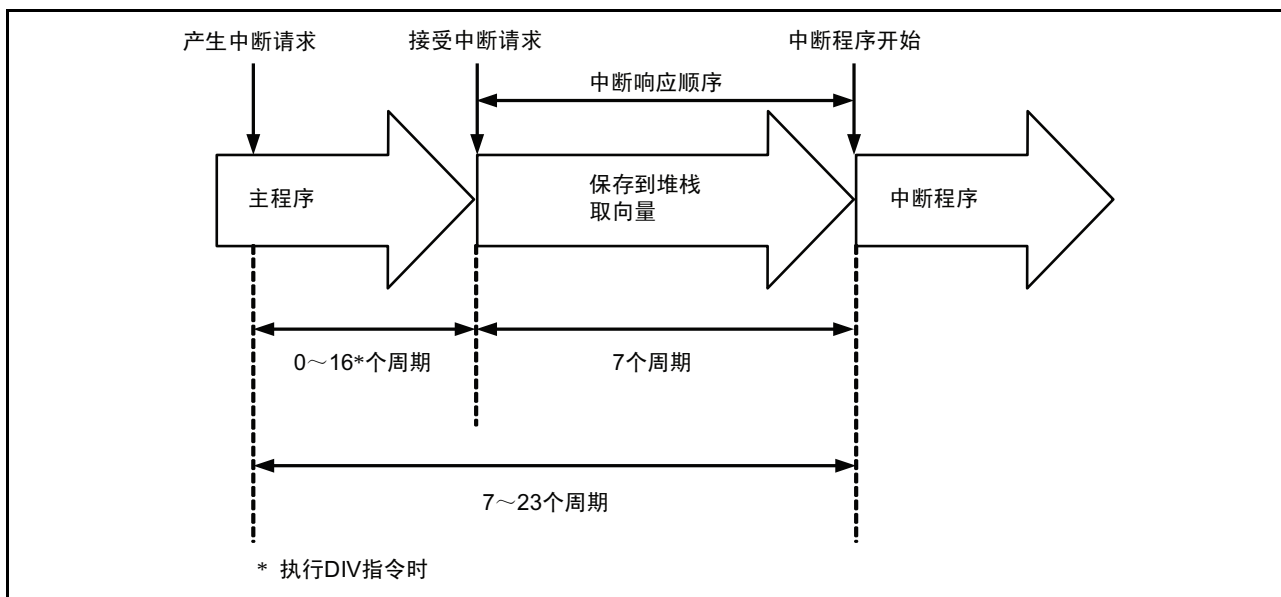


图 18 到执行中断程序前的时间

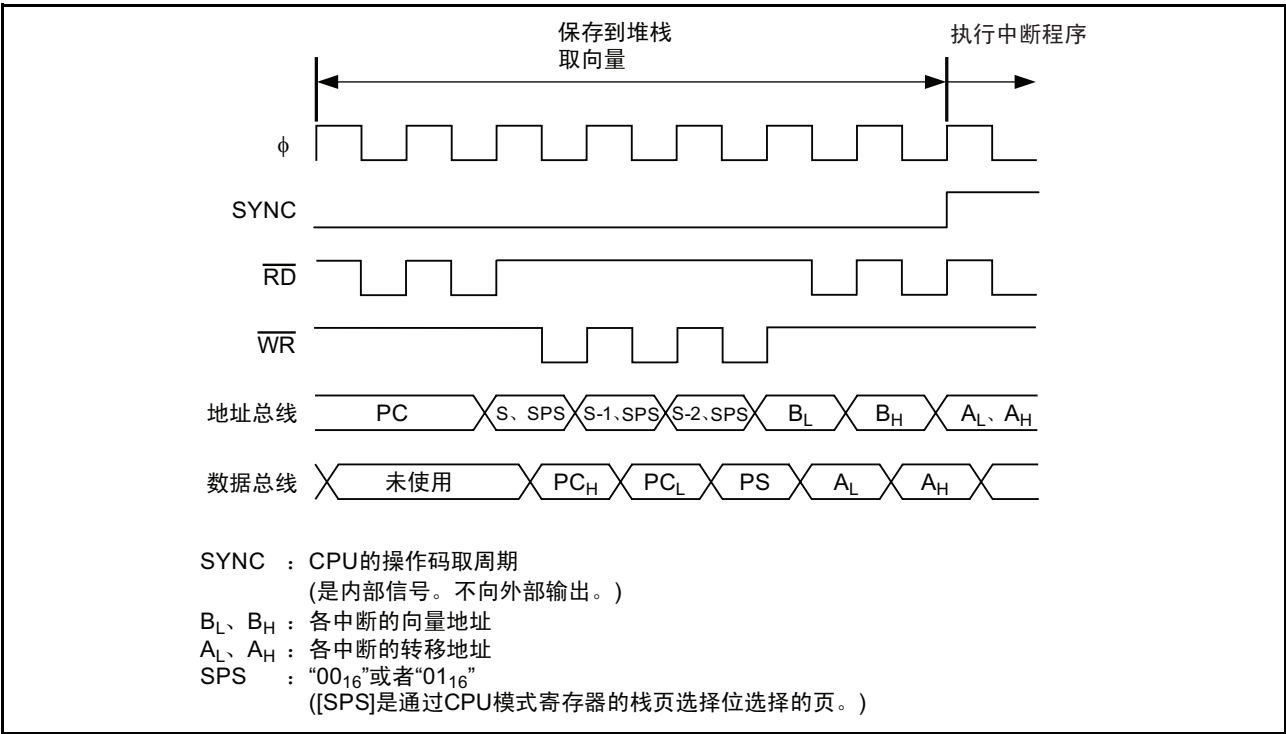


图 19 中断响应顺序

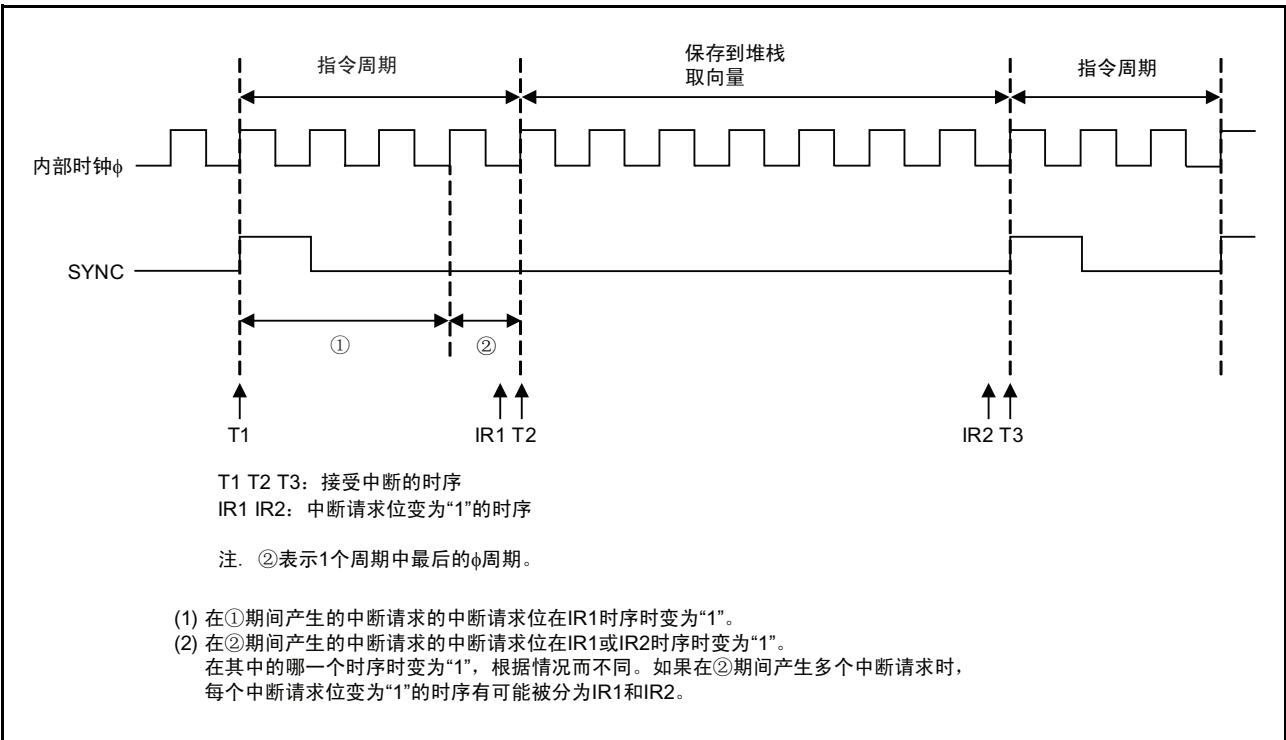


图 20 产生中断请求、中断请求位和中断请求接受的时序

键输入中断（键唤醒）

如果检测到端口 P2 中任何一个或几个被设定成输入引脚的下降沿，也就是说，如果输入电平的逻辑与从“1”变为“0”，就产生键输入中断请求。图 21 是使用键输入中断的一个例子。如果构成输入端口 P20 ~ P23 的“L”电平有效的键矩阵，通过按键产生中断请求。

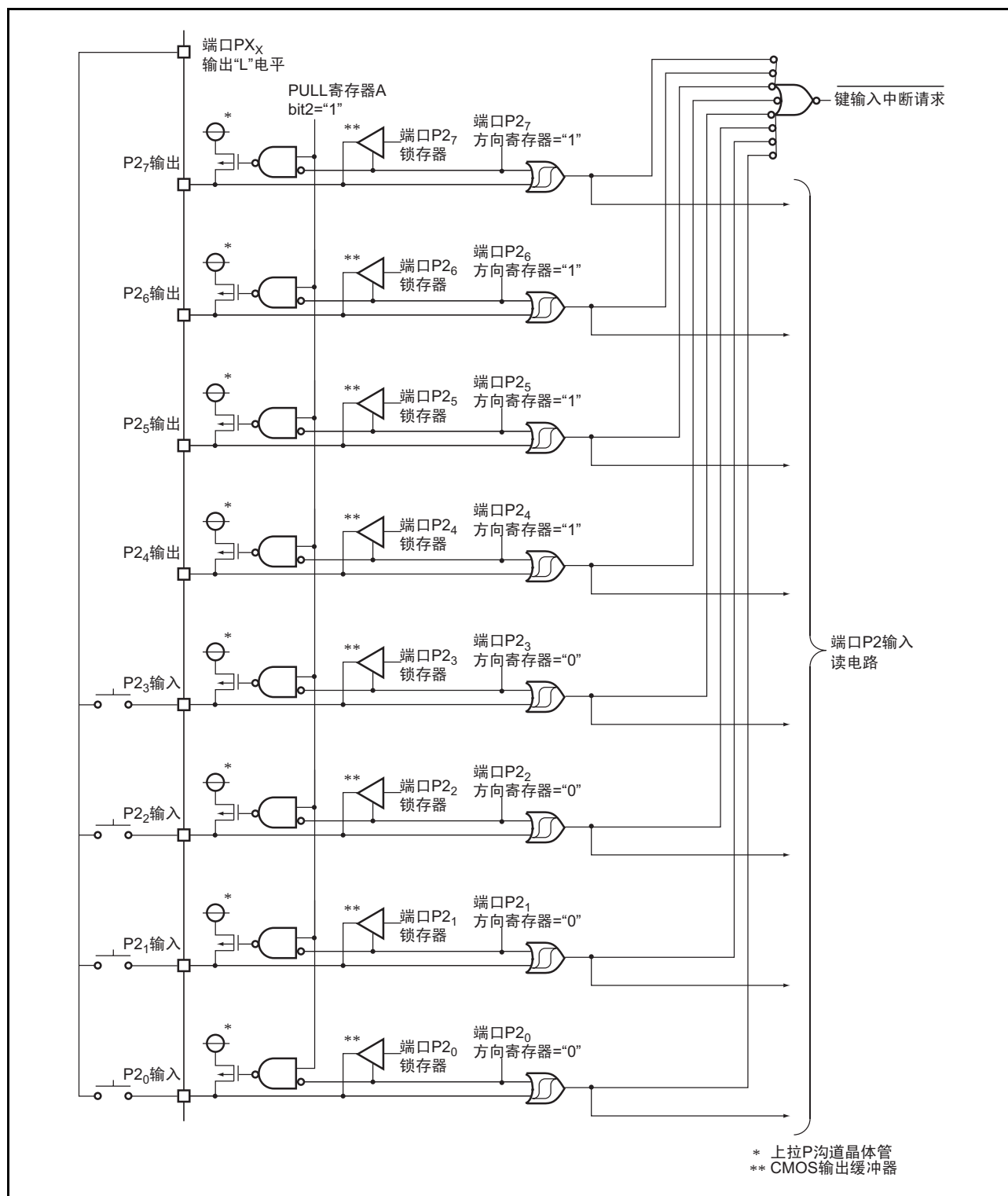


图 21 使用键输入中断时的接线例和端口 P2 的框图

● 定时器 X

定时器 X 是 16 位定时器，能通过定时器 X 模式寄存器选择 4 种运行模式。另外，能进行定时器 X 写控制和实时端口控制。

(1) 定时器模式

对 $f(X_{IN})/16$ （在低速模式中为 $f(SUB)/16$ ）的频率进行计数。

$f(SUB)$ 是在低速模式时的源振荡频率，表示 X_{CIN} 或者内部振荡器的振荡频率。在低速模式中的内部时钟 ϕ 为 $f(SUB)$ 的 2 分频。

(2) 脉冲输出模式

除了每次定时器下溢时从 $CNTR_0$ 引脚输出极性相反的脉冲以外，和定时器模式的运行相同。必须在此模式中将和 $CNTR_0$ 引脚共用的端口设定为输出。

(3) 事件计数器模式

除了对 $CNTR_0$ 引脚的输入进行计数以外，和定时器模式的运行相同。必须在此模式中将和 $CNTR_0$ 引脚共用的端口设定为输入。

(4) 脉宽测定模式

计数源为 $f(X_{IN})/16$ （在低速模式中为 $f(SUB)/16$ ）。如果 $CNTR_0$ 极性转换位为“0”，就在 $CNTR_0$ 引脚的输入为“H”电平期间进行计数；如果 $CNTR_0$ 极性转换位为“1”，就在 $CNTR_0$ 引脚的输入为“L”电平期间进行计数。必须在此模式中将和 $CNTR_0$ 引脚共用的端口设定为输入。

• 定时器 X 的写控制

通常，同时写锁存器和定时器。如果将值写到定时器 X 的地址，值就同时被设定到定时器和定时器锁存器。

在只写定时器锁存器的情况下，如果将值写到定时器 X 的地址，值就被设定到重加载锁存器，在下次下溢发生时更新定时器。

另外，在只写定时器锁存器的情况下，如果在定时器下溢时对定时器锁存器进行写操作，值就同时被设定到定时器和定时器锁存器。另外，在高位重加载锁存器的写时序和下溢的时序几乎是同时的情况下，有时会给高位计数器设定不想要的值。

• 实时端口控制

在实时端口功能有效的情况下，每次定时器 X 下溢时，实时端口的数据就从各自的端口 P52、P53 输出（但是，在设定实时端口的数据以后，如果实时端口控制位从“0”变为“1”，就与定时器 X 运行无关输出数据）。在实时端口功能有效时，如果更改实时端口的数据，就在下一次定时器 X 下溢时输出被更改的值。

在利用此功能时，必须将对应的端口方向寄存器设定为输出。

■有关 CNTR₀ 中断极性转换的注意事项

CNTR₀ 极性转换位的设定也会影响中断极性。

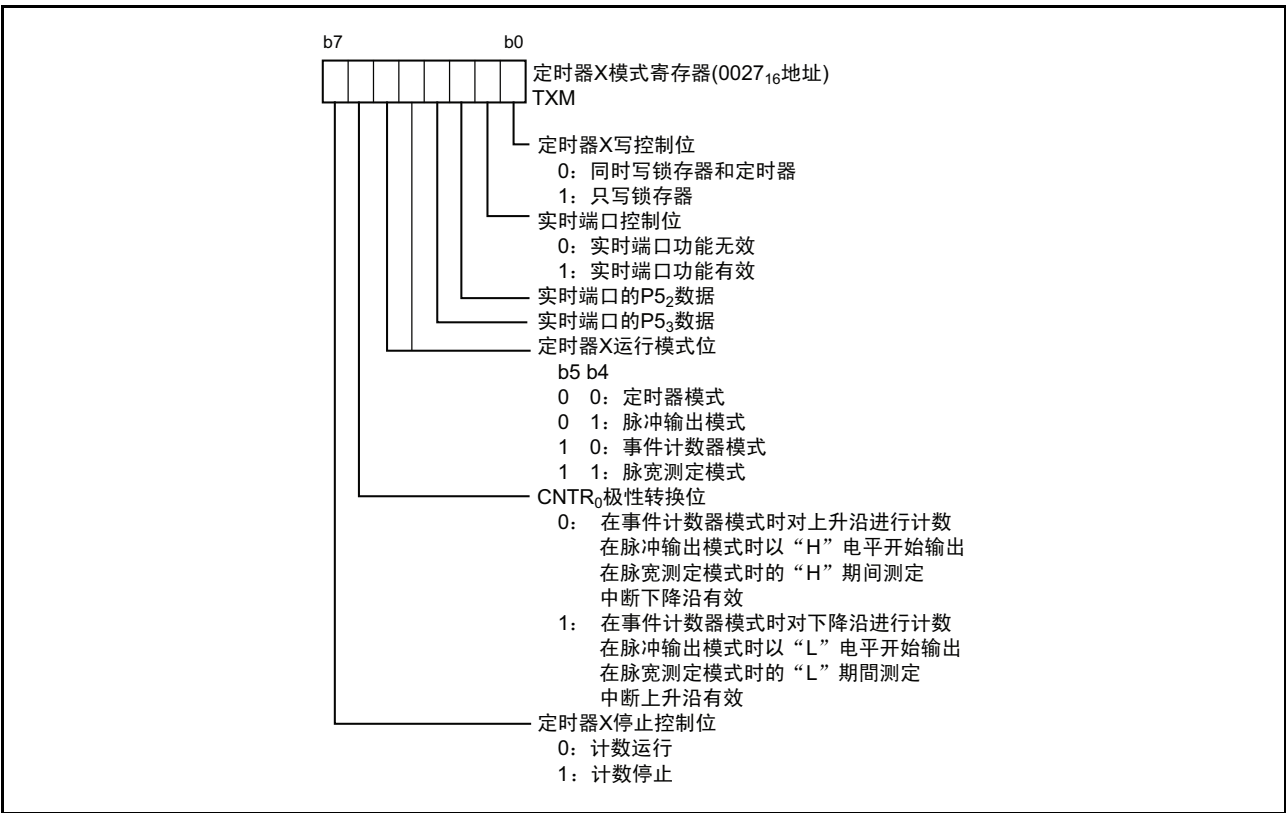


图 23 定时器 X 模式寄存器的结构

● 定时器 Y

定时器Y是16位定时器，能通过定时器Y模式寄存器选择4种运行模式。

(1) 定时器模式

对 $f(X_{IN})/16$ （在低速模式中为 $f(SUB)/16$ ）的频率进行计数。

(2) 周期测定模式

除了在 CNTR₁ 引脚输入的上升沿 / 下降沿发生中断请求，再次将定时器锁存器的内容加载到定时器继续计数以外，和定时器模式的运行相同。在 CNTR₁ 引脚输入上升 / 下降时的重加载前的定时器值被保持到重加载后读出一次为止。另外，能通过 CNTR₁ 中断得知 CNTR₁ 引脚输入的上升沿 / 下降沿的时序。必须在此模式中将 CNTR₁ 引脚和共用的端口设定为输入。

(3) 事件计数器模式

除了对 CNTR₁ 引脚的输入进行计数以外，和定时器模式的运行相同。必须在此模式中将和 CNTR₁ 引脚共用的端口设定为输入。

(4) 脉宽 HL 连续测定模式

除了在 CNTR₁ 引脚输入的上升沿和下降沿都发生中断请求以外，和周期测定模式的运行相同。必须在此模式中将和 CNTR₁ 引脚共用的端口设定为输入。

■ 有关 CNTR₁ 中断极性转换的注意事项

CNTR₁ 极性转换位的设定也会影响中断有效边沿。但是，在脉宽 HL 连续测定模式的情况下，与 CNTR₁ 极性转换位的设定无关，在引脚的上升沿和下降沿都发生 CNTR₁ 中断请求。

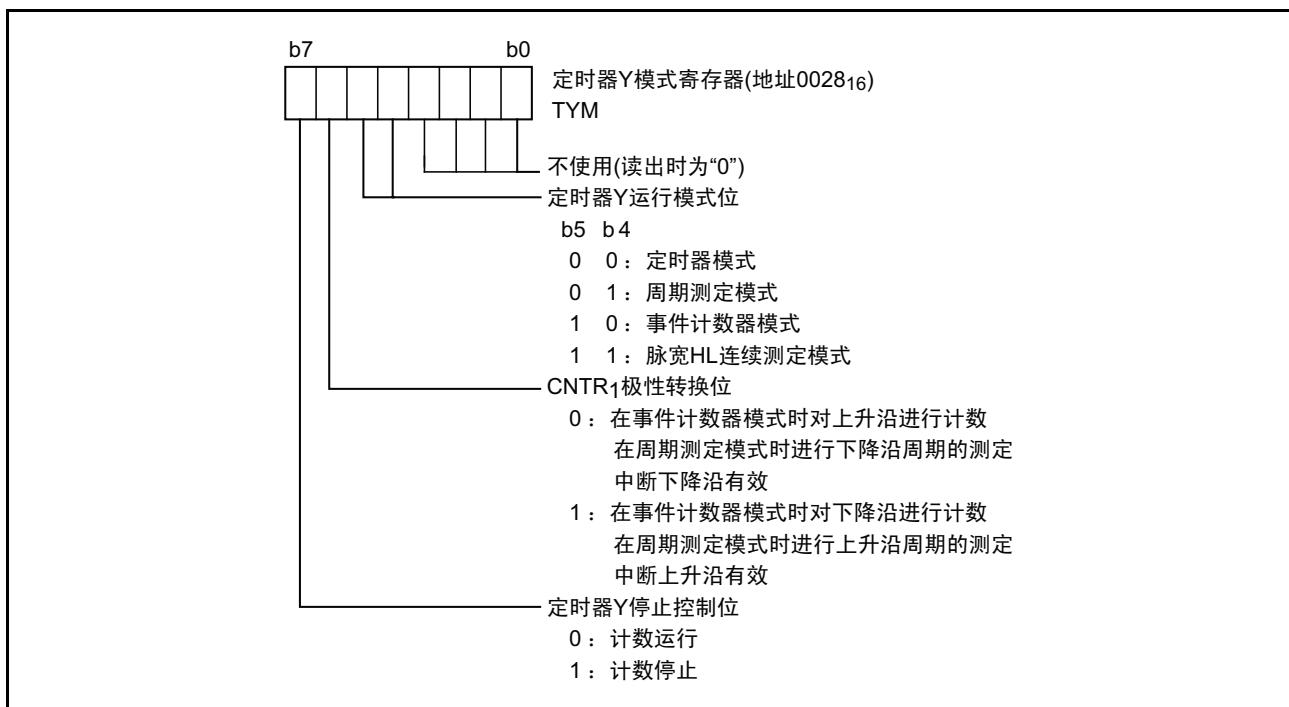


图 24 定时器 Y 模式寄存器的结构

● 定时器 1、定时器 2 和定时器 3

定时器 1～3 是 8 位的定时器，能通过定时器 123 模式寄存器选择计数源等。

另外，在转换计数源时，虽然定时器锁存器的值不变，但是因为定时器的值有可能不正确，所以必须重新设定。

• 定时器 2 的写控制

在只写锁存器的情况下，如果将值写到定时器的地址，值就只被设定到重加载锁存器，在下次下溢发生时更新定时器。通常，同时写锁存器和定时器，如果将值写到定时器的地址，值就被同时设定到定时器和定时器锁存器。

• 定时器 2 的输出控制

如果允许定时器 2（TOUT）输出，就在每次定时器 2 下溢时从 TOUT 引脚输出极性相反的信号。此时，必须将和 TOUT 引脚共用的端口设定为输出。

■ 定时器 1～定时器 3 的使用注意事项

在转换定时器 1～定时器 3 的计数源时，计数输入有可能产生微小脉冲，使定时器的计数值发生较大的变化。另外，在选择定时器 1 的输出作为定时器 2 或者定时器 3 的计数源的情况下，有可能在写定时器 1 时产生微小脉冲的输出，使定时器 2 或者定时器 3 的计数值发生较大的变化。

因此，必须在设定定时器 1～定时器 3 的计数源后，从定时器 1 开始按顺序设定值。

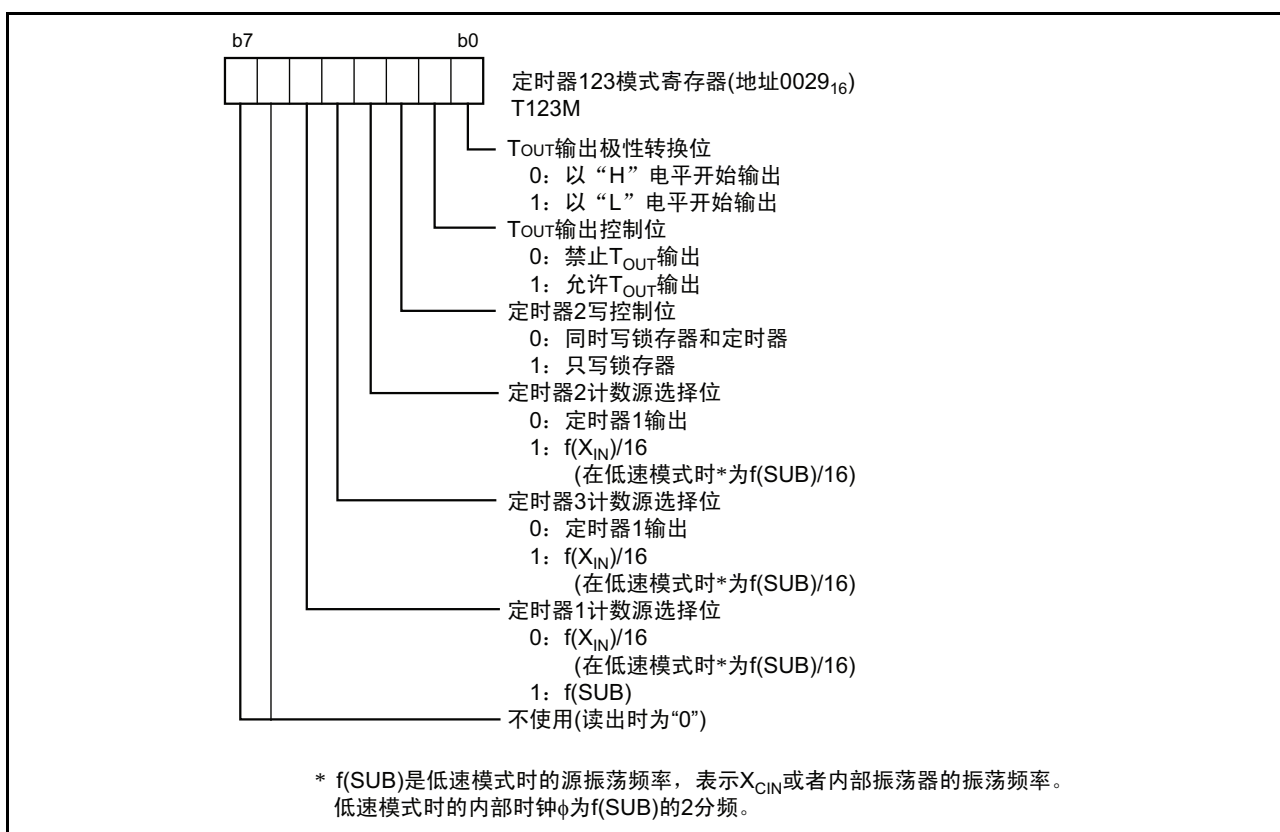


图 25 定时器 123 模式寄存器的结构

串行接口

● 串行 I/O

串行 I/O 无论在时钟同步模式还是在异步模式（UART）都能运行。同时，备有串行 I/O 运行时的波特率发生专用定时器（波特率发生器）。

(1) 时钟同步串行 I/O 模式

通过将串行 I/O 控制寄存器的模式选择位置“1”，选择时钟同步串行 I/O。

在时钟同步串行 I/O 中，对于串行 I/O 运行时钟，发送侧单片机和接收侧单片机使用同一时钟。作为运行时钟，在使用内部时钟的情况下，通过给发送 / 接收缓冲寄存器的写信号开始发送和接收。

通过将外围功能扩展寄存器的 bit0 置“1”，能将传送方向置为 MSB 先传送。另外，如果将外围功能扩展寄存器的 bit1 置“1”，同步串行 I/O 输出就转换到 P47/ $\overline{\text{SRDY}}$ /SOUT 引脚。

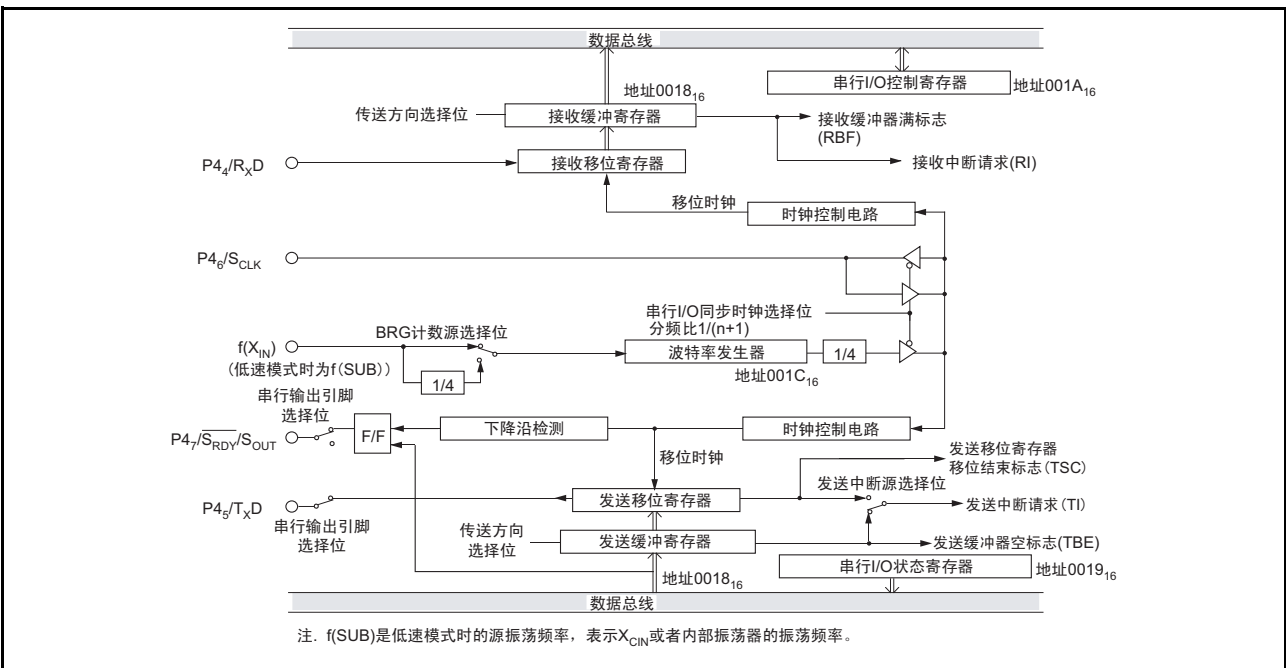


图 26 时钟同步串行 I/O 的框图

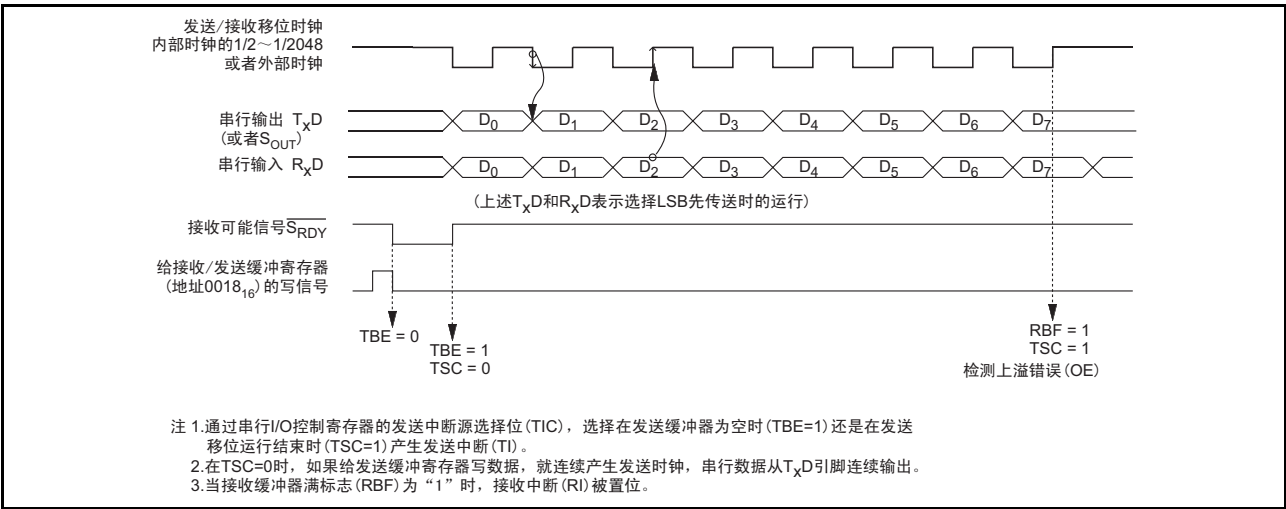


图 27 时钟同步串行 I/O 的运行图

(2) 异步串行 I/O (UART) 模式

通过将串行 I/O 控制寄存器的模式选择位置“0”，选择 UART。

3823 群能选择 8 种串行数据传送格式。在发送侧和接收侧必须统一该传送格式。

3823 群对于进行串行数据发送和接收的发送移位寄存器和接收移位寄存器，持有各自的缓冲寄存器（存储器内的地址相同）。由于不能直接读写移位寄存器，因此对各自的缓冲寄存器写发送数据或者读接收数据。另外，能通过这些缓冲寄存器，预写下一个要发送的数据，或者连续接收 2 字节的接收数据。

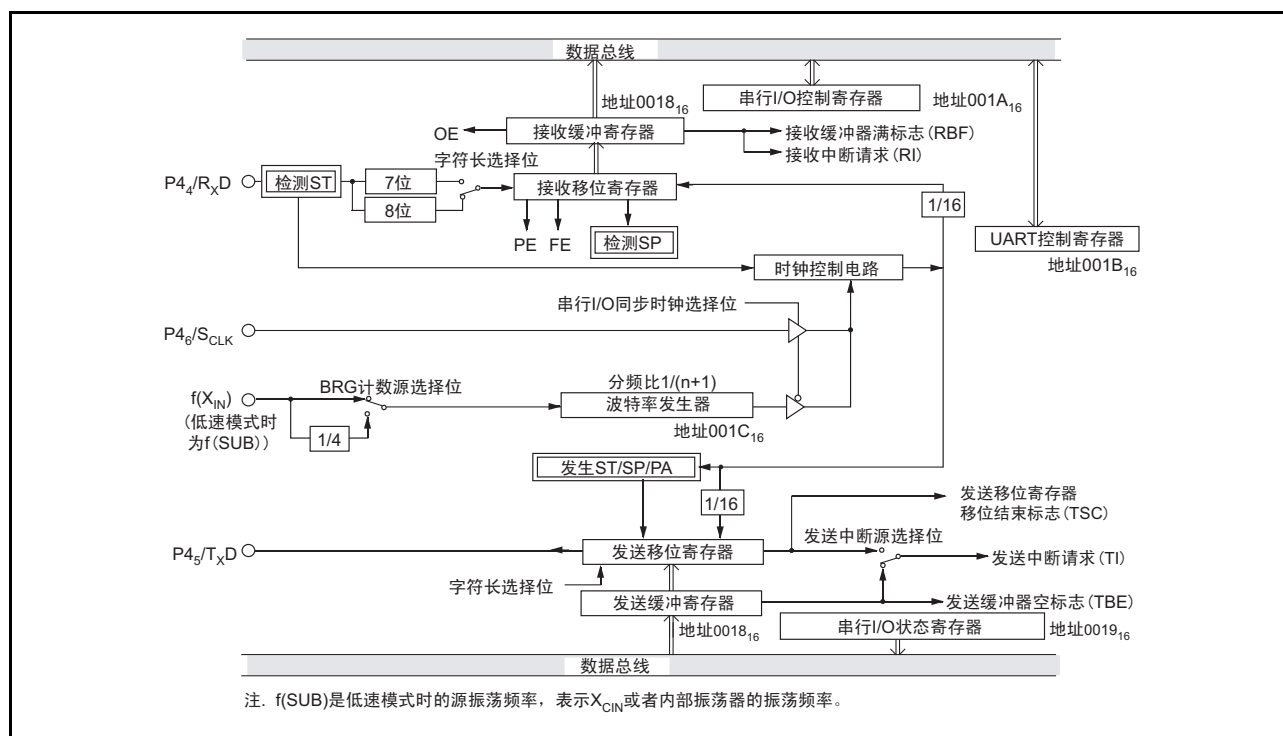


图 28 UART 串行 I/O 的框图

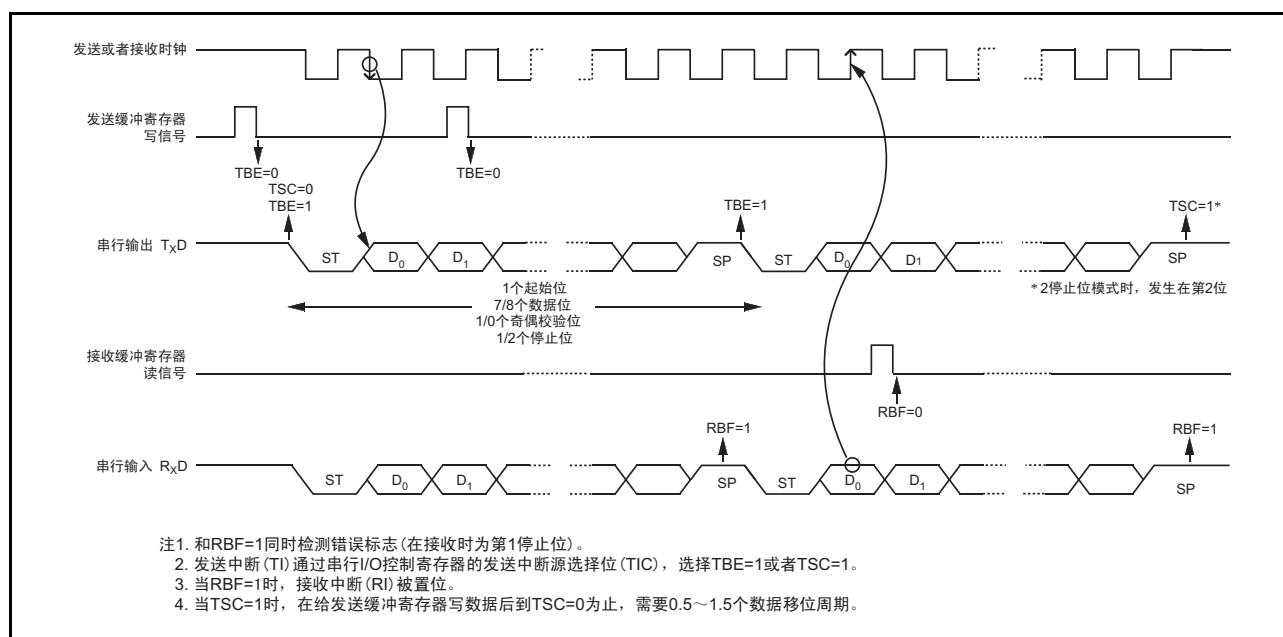


图 29 UART 串行 I/O 的运行图

(3) 同步 / 异步的交替发送模式

通过将外围功能扩展寄存器的同步串行 I/O 输出引脚选择位和串行 I/O 控制寄存器的发送允许位设定为“1”，选择为同步 / 异步的交替发送模式。

必须在串行 I/O 的模式选择位为“0”时，将同步串行 I/O 的输出引脚选择位设定为“1”。

在本模式中不能连续发送。必须首先确认发送移位寄存器是“1”，然后在更改串行 I/O 模式选择位以后，进行发送缓冲寄存器的写操作。不能使用时钟同步串行 I/O 选择时的 $\overline{\text{SRDY}}$ 输出功能。另外，在将内部时钟用于传送时钟的情况下（在串行 I/O 同步时钟的选择位为“0”时），必须将 P46 引脚置为“H”电平输出。

有关其它运行，和时钟同步串行 I/O 模式、异步串行 I/O 模式（UART）相同。

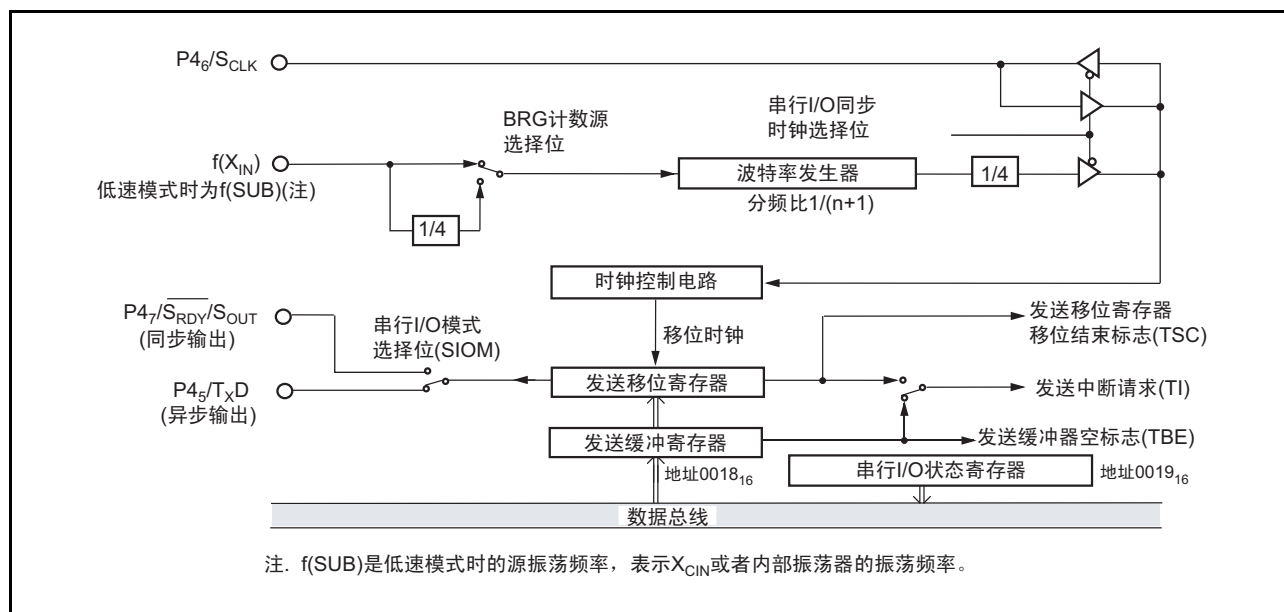


图 30 同步 / 异步交替发送的框图

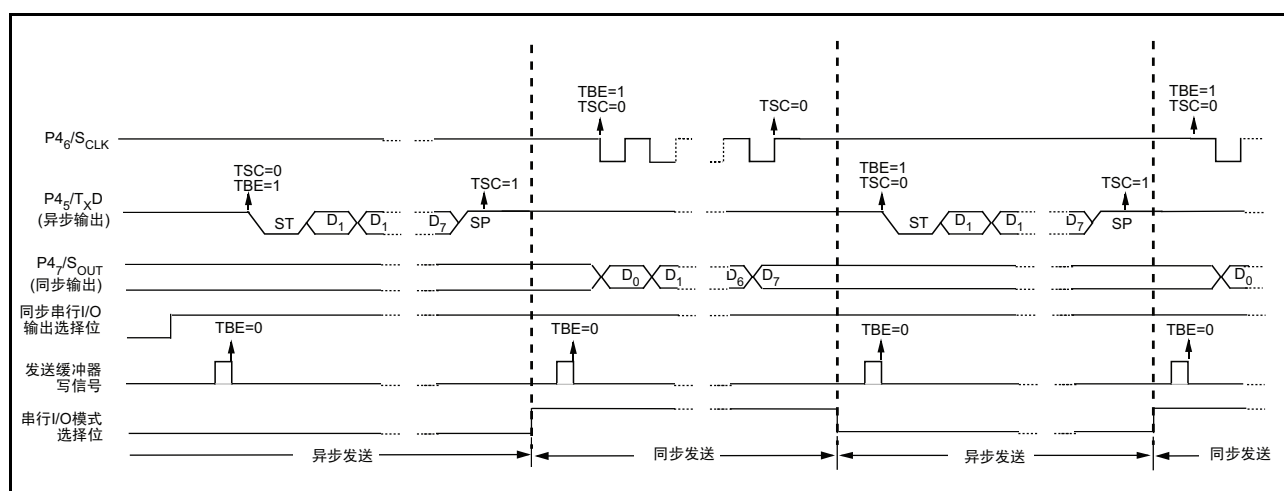


图 31 同步 / 异步交替发送的运行图

【发送缓冲寄存器 / 接收缓冲寄存器】TB/RB

发送缓冲寄存器和接收缓冲寄存器被分配了相同的地址，发送缓冲寄存器为只写寄存器，接收缓冲寄存器为只读寄存器。另外，在字符位长为 7 位时，保存在接收缓冲寄存器的接收数据的 MSB 为“0”。

【串行 I/O 状态寄存器】SIOSTS

它是由表示串行 I/O 运行状态的标志和各种错误标志构成的 7 位只读寄存器。bit4 ~ bit6 的 3 位只在 UART 模式时有效。

如果读取接收缓冲寄存器，接收缓冲器满标志就清“0”。

在数据从接收移位寄存器传送到接收缓冲寄存器或者接收缓冲器满标志置位的同时，进行错误检测。通过写串行 I/O 状态寄存器，清除所有错误标志（OE、PE、FE、SE）。另外，如果给串行 I/O 允许位（SIOE）写“0”，包括错误标志的所有状态标志就被清“0”。

虽然此寄存器的所有位在复位时被初始化为“0”，但是，在将串行 I/O 控制寄存器的发送允许位置“1”时，bit2 和 bit0 变为“1”。

【串行 I/O 控制寄存器】SIOCON

串行 I/O 控制寄存器由进行串行 I/O 各种控制的 8 位选择位构成。

【UART 控制寄存器】UARTCON

它是由在选择 UART 时有效的 4 位控制位和总是有效的 1 位控制位构成的 5 位寄存器。根据此寄存器的内容，设定发送和接收串行数据时的数据格式、P45/TxD 引脚的输出形式等。

【波特率发生器】BRG

它决定串行传送的位速率。

它是持有重加载寄存器的 8 位计数器，通过设定值 n ，以 $1/(n+1)$ 的分频比分频计数源。



图 32 串行 I/O 相关寄存器的结构

■ 注意事项

在将串行 I/O 发送允许位置 “1” 时, 串行 I/O 发送中断请求位变为 “1”。当不需要发生与发送允许同步的中断时, 必须按以下步骤设定:

- (1) 将串行 I/O 发送中断允许位置 “0” (禁止)。
- (2) 将发送允许位置 “1”。
- (3) 在执行至少一条的指令后, 将串行 I/O 发送中断请求位置 “0”。
- (4) 将串行 I/O 发送中断允许位置 “1” (允许)。

A/D 转换器

【AD 转换寄存器】ADH 和 ADL

AD 转换寄存器是保存 A/D 转换结果的只读寄存器。如果在 A/D 转换中读此寄存器，就读取上次的转换结果。转换结果的高 8 位保存到 AD 转换高位寄存器（地址 0035₁₆）、低 2 位保存到 AD 转换低位寄存器（地址 0036₁₆）的 bit7 和 bit6。

AD 转换低位寄存器的 bit0 是转换模式选择位。如果将此位设定为“0”，就为 8 位 A/D 模式；如果置“1”，就为 10 位 A/D 模式。

【AD 控制寄存器】ADCON

AD 控制寄存器是控制 A/D 转换器的寄存器。bit2 ~ bit0 是模拟输入引脚的选择位。bit3 是 AD 转换结束位，在 A/D 转换中为“0”，当 A/D 转换结束时为“1”。如果给此位写“0”，就开始 A/D 转换。bit4 是 V_{REF} 输入开关位，控制梯形电阻和基准电压输入引脚（V_{REF}）的连接。当将此位设定为“1”时，梯形电阻总是被连接到 V_{REF}；当将此位设定为“0”时，除在 A/D 转换中以外，梯形电阻就从 V_{REF} 中分离。bit5 是 AD 外部触发有效位，当将此位设定为“1”时，即使在 ADT 输入的下降沿也开始 A/D 转换。在使用 A/D 外部触发时，必须将 P57/ADT 引脚置为输入模式（端口 P5 方向寄存器的 bit7 清“0”）。

【比较电压发生器】

用电阻对 AV_{SS} 和 V_{REF} 之间的电压进行分压，并输出分压。

【通道选择器】

从端口 P60/AN₀ ~ P67/AN₇ 中选择 1 个通道，输入到比较器。

【比较器和控制电路】

将模拟输入电压和比较电压进行比较，结果保存到 AD 转换寄存器。另外，在结束 A/D 转换时，AD 转换结束位和 AD 中断请求位置“1”。

比较器的输入由电容耦合构成。如果转换速度不充分，就可能由于电荷的消失降低转换精度，所以在中、高速模式进行 A/D 转换时，必须将 f(X_{IN}) 设定为大于等于 500kHz。另外，不能在 A/D 转换中执行 STP 指令和 WIT 指令。

在低速模式（在选择内部振荡器时）中，使用内部振荡器进行 A/D 转换，所以对 f(X_{IN}) 没有下限频率的限制。

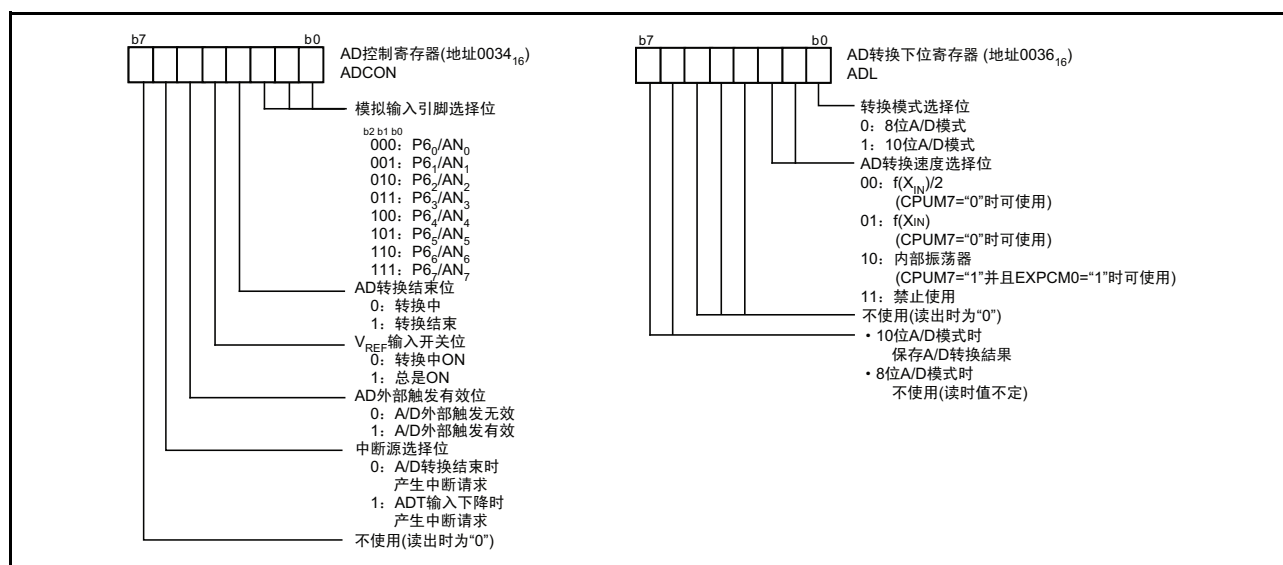


图 33 A/D 转换相关寄存器的结构

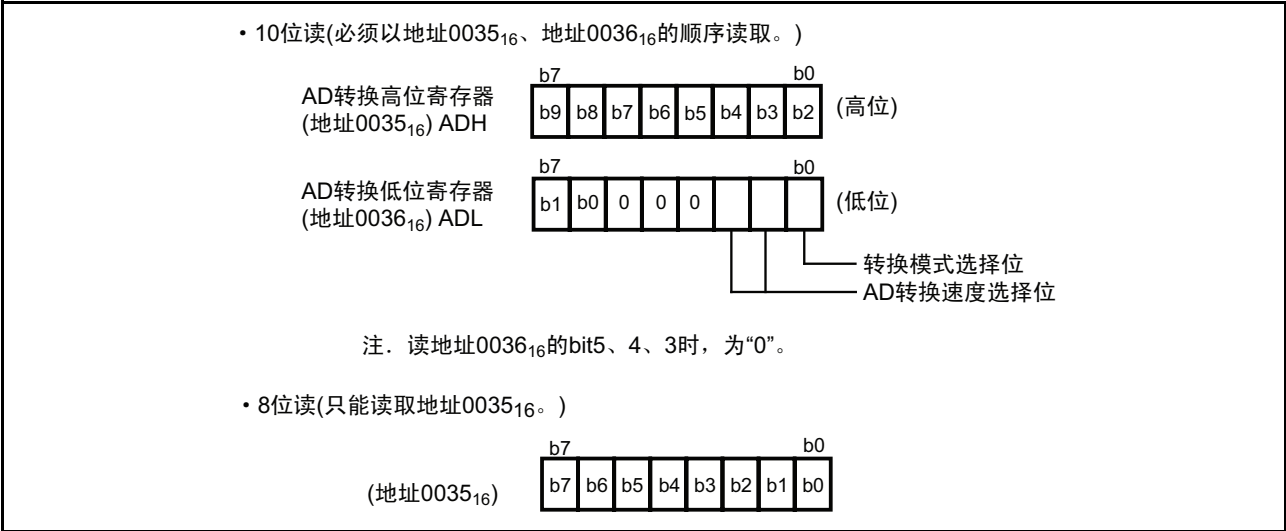


图 34 AD 转换寄存器的读操作

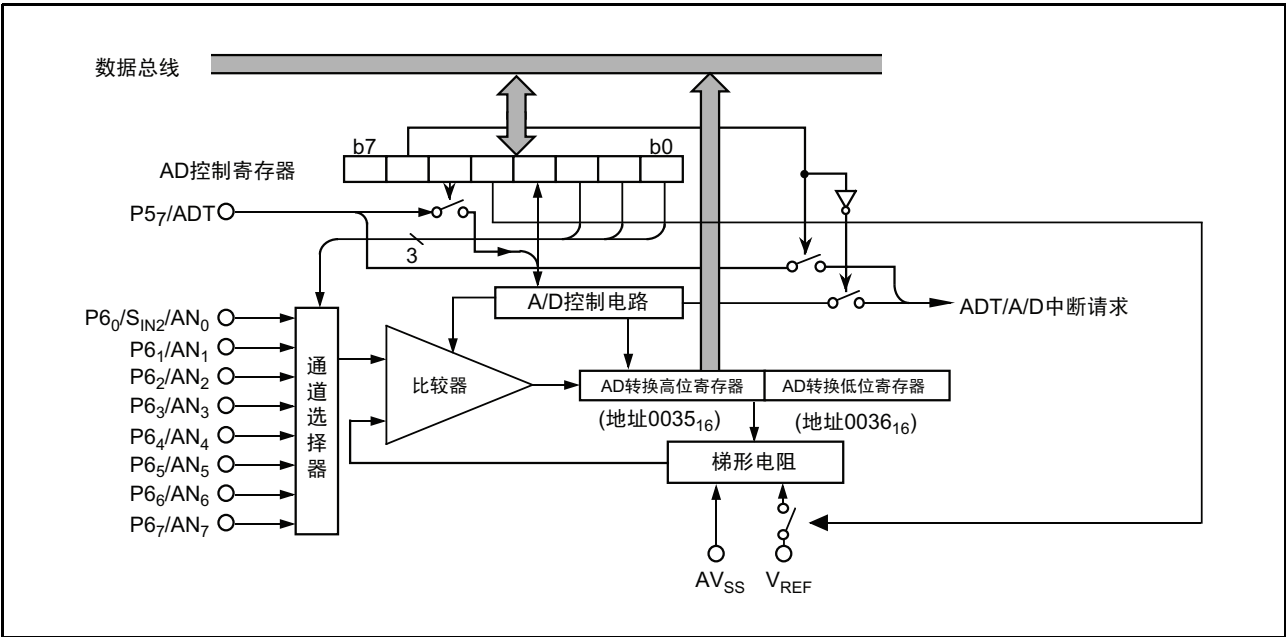


图 35 A/D 转换器的框图

LCD 驱动控制电路

3823 群内置 LCD（液晶显示器件）的驱动控制电路。

LCD 驱动控制电路由以下构成：

- 用于 LCD 显示的 RAM
- 段输出允许寄存器
- LCD 模式寄存器
- 选择器
- 时序控制器
- 公共驱动器
- 段驱动器
- 偏压控制电路

能使用最多 32 个段输出、4 个公共输出以及进行最多 128 像素的 LCD 显示。

如果在将数据设定到 LCD 模式寄存器、段输出允许寄存器和 LCD 显示 RAM 之后，将 LCD 允许位设定为点灯，LCD 驱动控制电路就自动读显示数据，进行偏压控制、分时控制等 LCD 显示。

表 10 在各分时情况下的最大显示像素

分位数	最大显示像素
2	64 点或者 8 段 LCD8 位
3	96 点或者 8 段 LCD12 位
4	128 点或者 8 段 LCD16 位

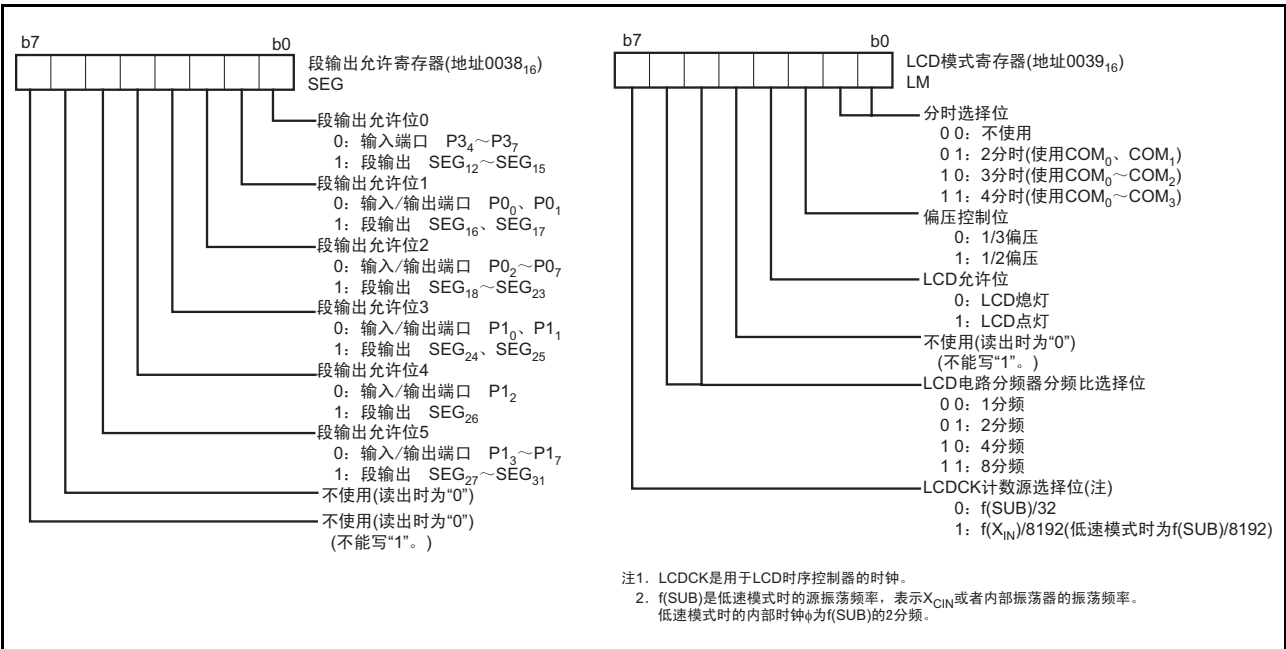


图 36 LCD 相关寄存器的结构

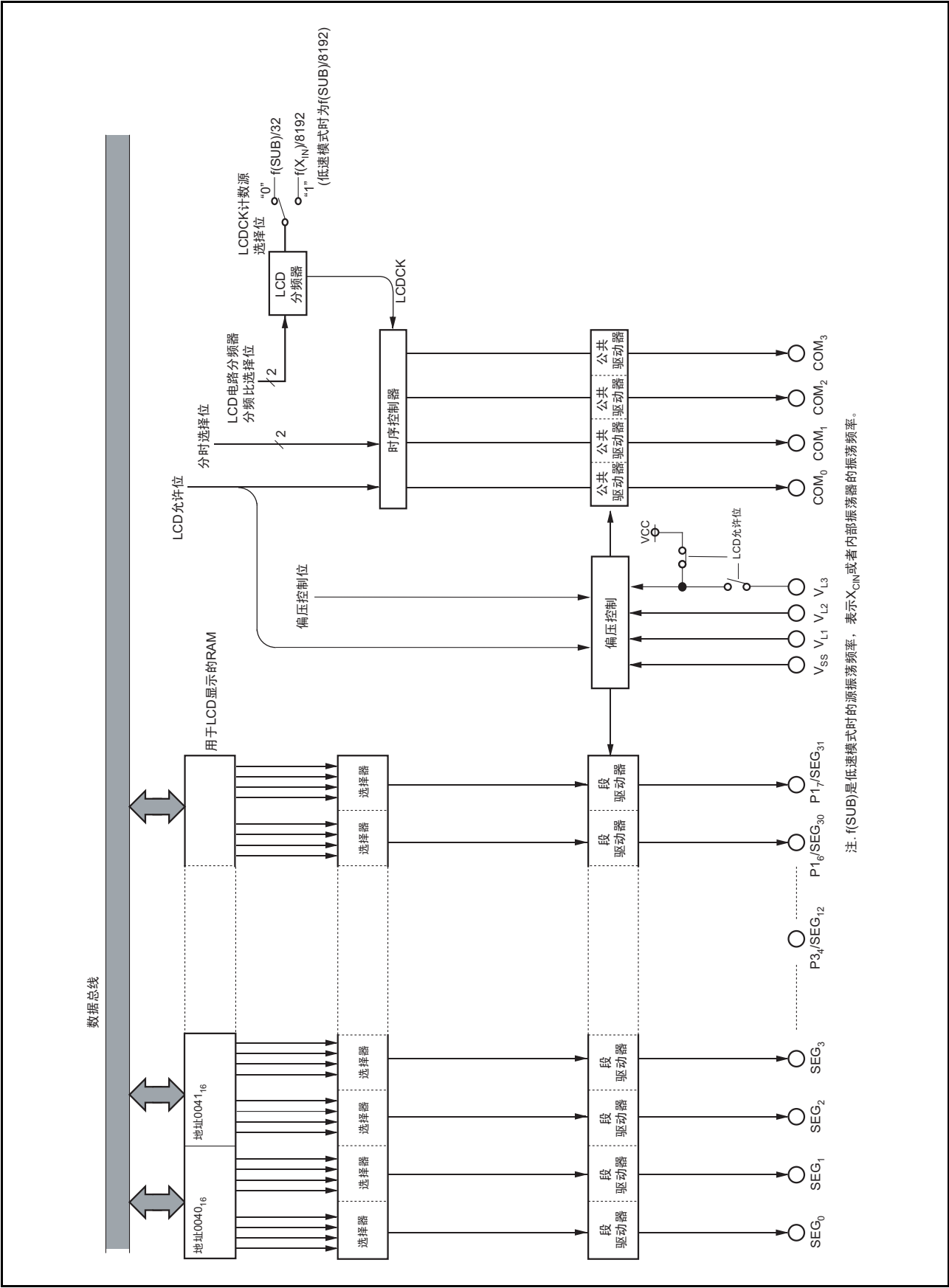


图 37 LCD 控制器 / 驱动器的框图

● 给偏压控制和 LCD 的电源输入引脚外加电压

必须按照偏压值给 LCD 的电源输入引脚 ($V_{L1} \sim V_{L3}$) 外加电压值, 通过偏压控制位 (LCD 模式寄存器的 bit2) 选择偏压值。

● 公共引脚和分时控制

公共引脚 ($COM_1 \sim COM_3$) 由分时数决定要使用的引脚。必须通过分时选择位 (LCD 模式寄存器的 bit0 和 bit1) 选择分时数。

表 11 给偏压控制和 $V_{L1} \sim V_{L3}$ 外加电压

偏压值	电压值
1/3 偏压	$V_{L3}=V_{LCD}$ $V_{L2}=2/3V_{LCD}$ $V_{L1}=1/3V_{LCD}$
1/2 偏压	$V_{L3}=V_{LCD}$ $V_{L2}=V_{L1}=1/2V_{LCD}$

【注】 V_{LCD} 是对 LCD 显示屏供给电压的最大值。

表 12 分时控制和使用的公共引脚

分时数	分时选择位		使用的公共引脚名
	bit1	bit0	
2	0	1	COM_0 、 COM_1 (注 1)
3	1	0	$COM_0 \sim COM_2$ (注 2)
4	1	1	$COM_0 \sim COM_3$

【注】 1. COM_2 和 COM_3 开路
 2. COM_3 开路

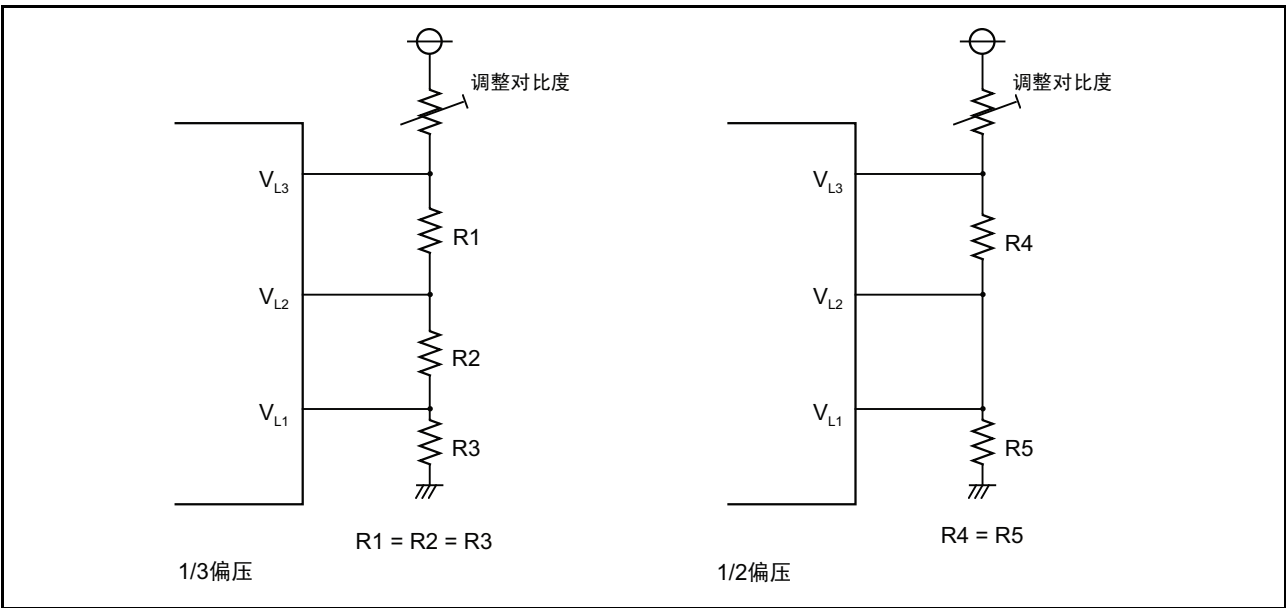


图 38 各偏压时的电路例子

●用于 LCD 显示的 RAM

从地址 0040₁₆ 到地址 004F₁₆ 的 16 字节是用于 LCD 显示的 RAM。当给这些位写“1”时，LCD 显示屏的对应段就点灯。

● LCD 驱动时序

决定 LCD 驱动时序的内部信号 LCDCK 的频率和帧频如下：

$$f(\text{LCDCK}) = \frac{(\text{LCDCK 计数源频率})}{(\text{LCD 分频器分频比})}$$

$$\text{帧频} = f(\text{LCDCK}) / \text{分位数}$$

位 地址	7	6	5	4	3	2	1	0
0040 ₁₆	SEG ₁				SEG ₀			
0041 ₁₆	SEG ₃				SEG ₂			
0042 ₁₆	SEG ₅				SEG ₄			
0043 ₁₆	SEG ₇				SEG ₆			
0044 ₁₆	SEG ₉				SEG ₈			
0045 ₁₆	SEG ₁₁				SEG ₁₀			
0046 ₁₆	SEG ₁₃				SEG ₁₂			
0047 ₁₆	SEG ₁₅				SEG ₁₄			
0048 ₁₆	SEG ₁₇				SEG ₁₆			
0049 ₁₆	SEG ₁₉				SEG ₁₈			
004A ₁₆	SEG ₂₁				SEG ₂₀			
004B ₁₆	SEG ₂₃				SEG ₂₂			
004C ₁₆	SEG ₂₅				SEG ₂₄			
004D ₁₆	SEG ₂₇				SEG ₂₆			
004E ₁₆	SEG ₂₉				SEG ₂₈			
004F ₁₆	SEG ₃₁				SEG ₃₀			
	COM ₃	COM ₂	COM ₁	COM ₀	COM ₃	COM ₂	COM ₁	COM ₀

图 39 用于 LCD 显示的 RAM 映像

●有关 STP 指令的执行

如果执行 STP 指令，LCD 允许位（LCD 模式寄存器（地址 39₁₆）的 bit3）就变为“0”，LCD 显示屏熄灭。在从停止模式返回后，要使 LCD 显示屏点灯时，必须将 LCD 允许位（LCD 模式寄存器（地址 39₁₆）的 bit3）设定为“1”。

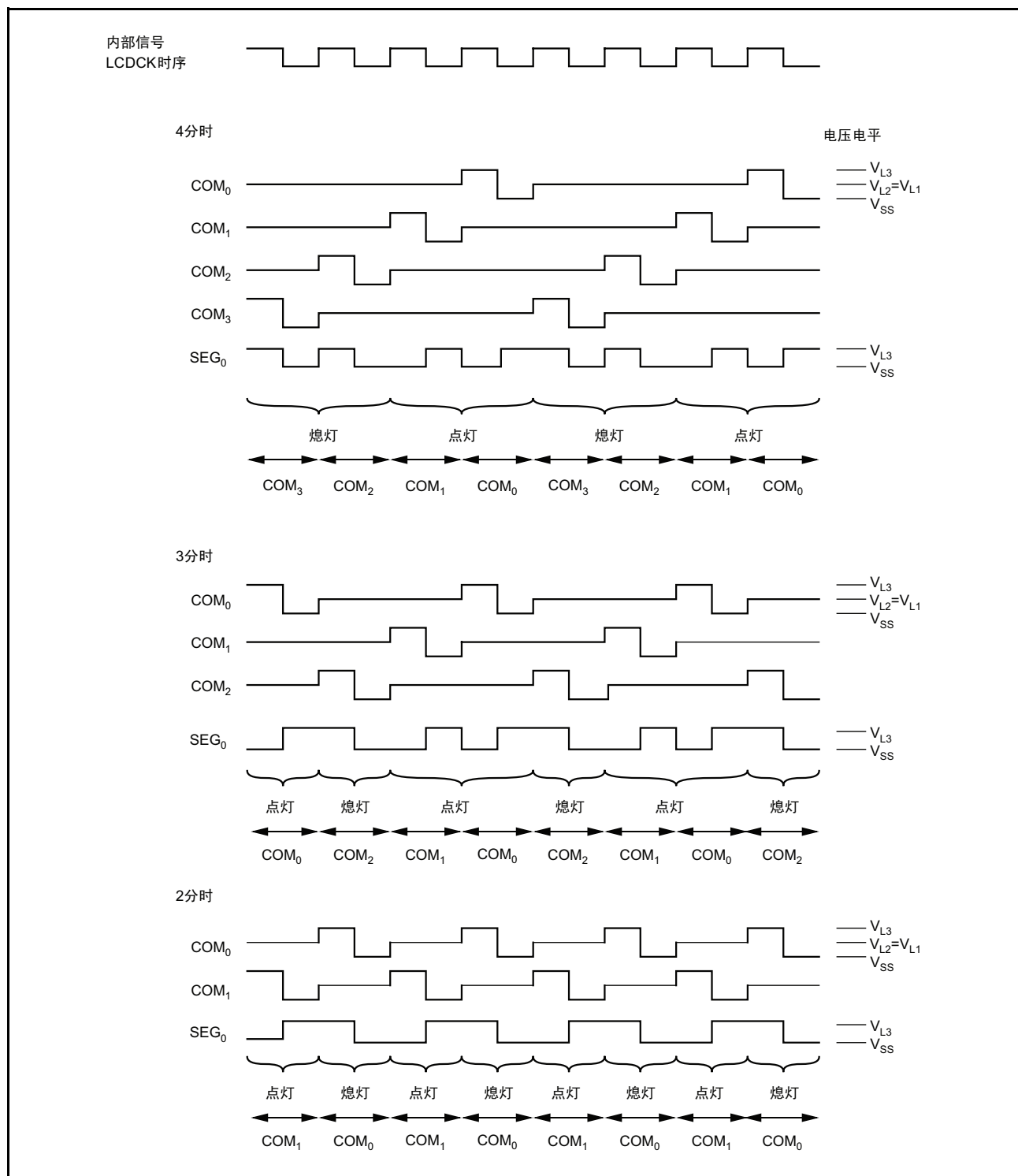


图 40 LCD 驱动波形 (1/2 偏压)

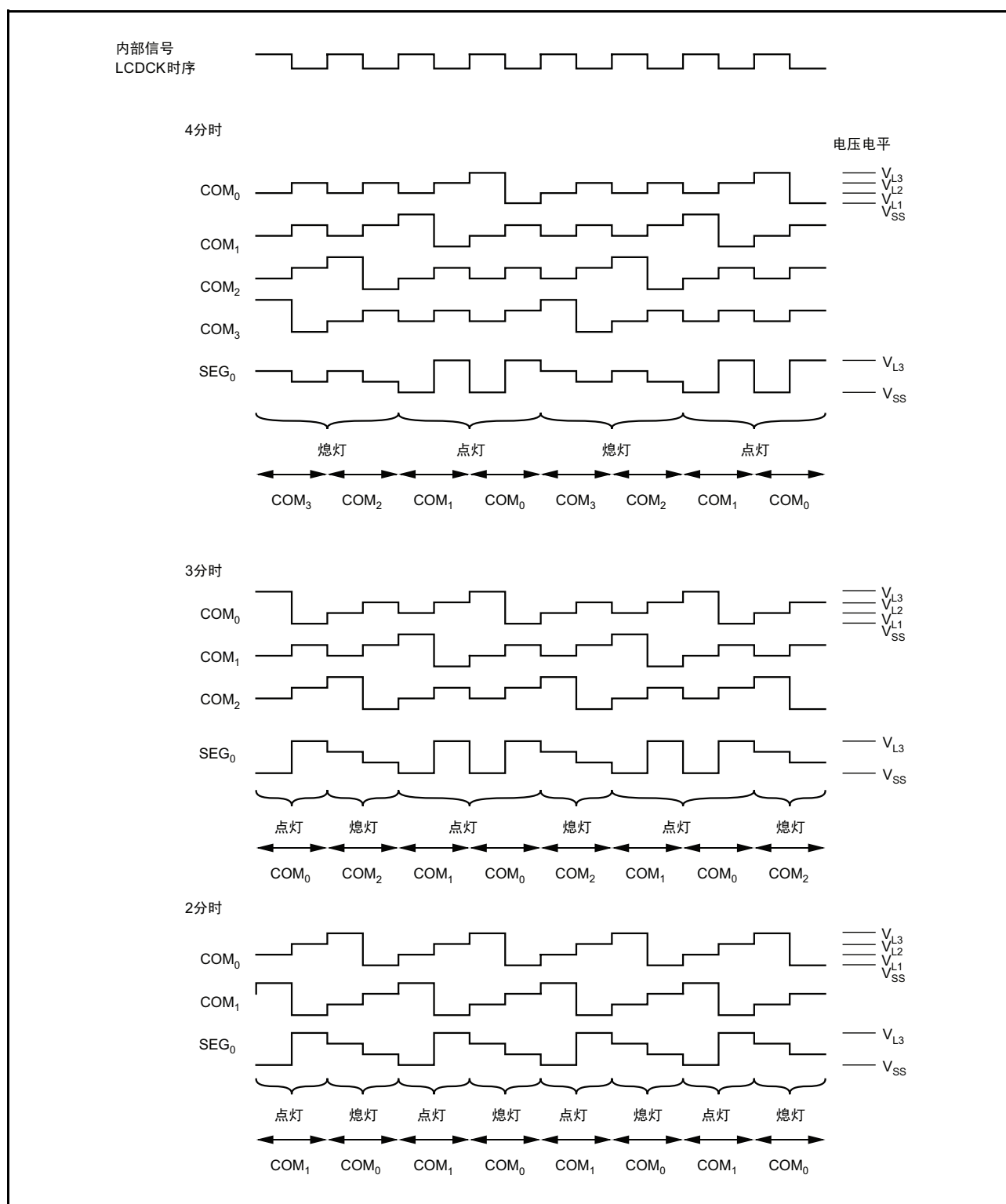


图 41 LCD 驱动波形（1/3 偏压）

ROM 校正功能

能校正 ROM 内的一部分程序。

将要校正部分的起始地址（起始指令操作码的地址）设定到 ROM 校正地址的高位寄存器和低位寄存器，并将校正程序保存到用于 ROM 校正的 RAM。

在执行程序时，如果程序计数器的值和设定在 ROM 校正地址寄存器的值一致，就转移到用于 ROM 校正的 RAM 的起始地址，执行校正程序。要从校正程序返回主程序时，必须使用 JMP 指令（3 字节指令）。

能校正的部分最多为 2 个位置，有 2 块用于 ROM 校正的 RAM：

块 1：地址 $0A00_{16}$

块 2：地址 $0A20_{16}$

通过 ROM 校正允许寄存器控制 ROM 校正功能。

不使用 ROM 校正功能时，用于 ROM 校正的 RAM 可以作为通常的 RAM 使用。作为通常的 RAM 使用时，必须将 ROM 校正允许寄存器的 bit1、0 置“0”（禁止使用）。

- 【注】
1. 在使用 ROM 校正功能时，必须在设定 ROM 校正地址寄存器后，将 ROM 校正允许寄存器置为允许状态。
 2. 不能给 ROM 校正地址寄存器设定 ROM 区以外的地址。另外，不要给 ROM 校正地址 1 寄存器和 ROM 校正地址 2 寄存器设定相同的地址。
 3. 预先需要将校正程序从外部 EPROM 等传送到用于 ROM 校正的 RAM 的处理编进程序。

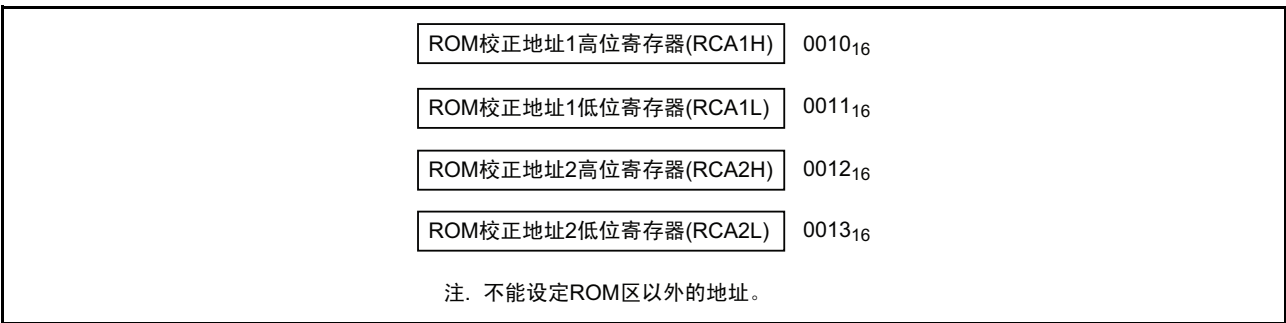


图 42 ROM 校正地址寄存器

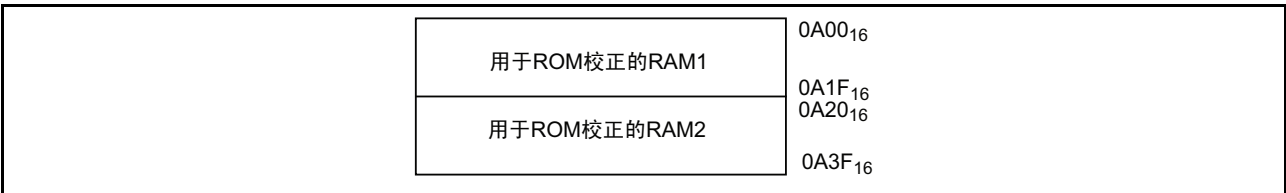


图 43 用于 ROM 校正的 RAM 区

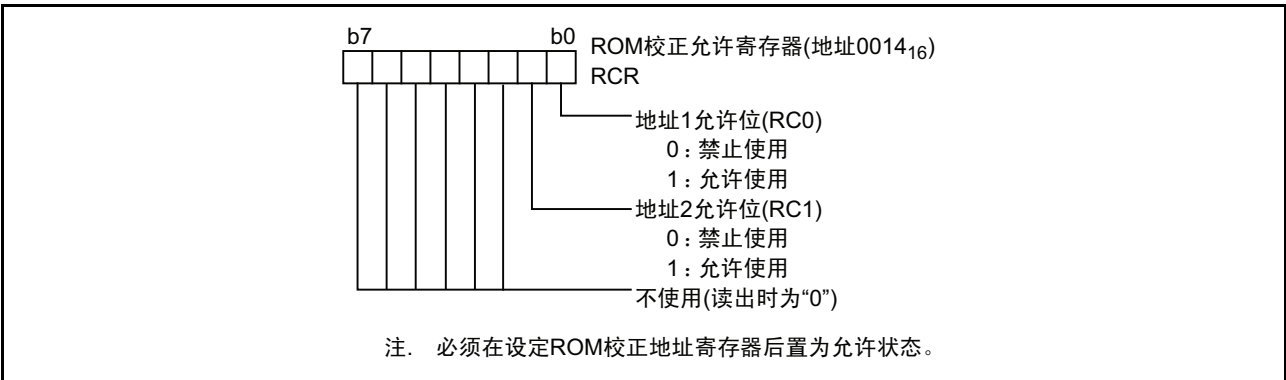


图 44 ROM 校正允许寄存器的结构

φ 时钟的输出功能

能通过 φ 输出控制寄存器的设定，从端口 P4₁ 输出内部系统时钟 φ 或者 X_{CIN} 频率信号。

在输出 φ 时钟时，必须将端口 P4 方向寄存器的 bit1 置 “1”。

在输出 X_{CIN} 频率信号时，必须将外围功能扩展寄存器的 bit4 置 “1”。

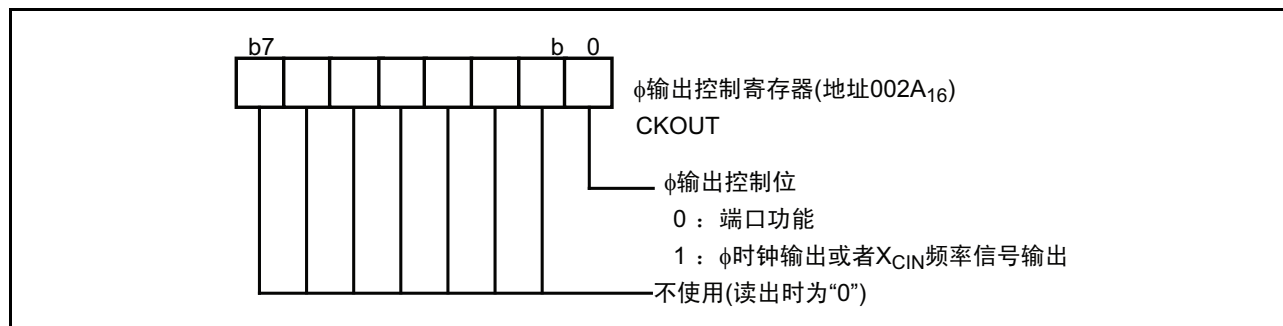


图 45 时钟输出控制寄存器的结构

● 临时数据寄存器

002C₁₆ ~ 002E₁₆ 是没有控制功能的 8 位寄存器，能用于暂时保存数据。此寄存器在复位后被初始化。

● RRF 寄存器

002F₁₆ 是没有控制功能的 8 位寄存器，写到此寄存器的值进行高 4 位和低 4 位的交换。此寄存器在复位后被初始化。

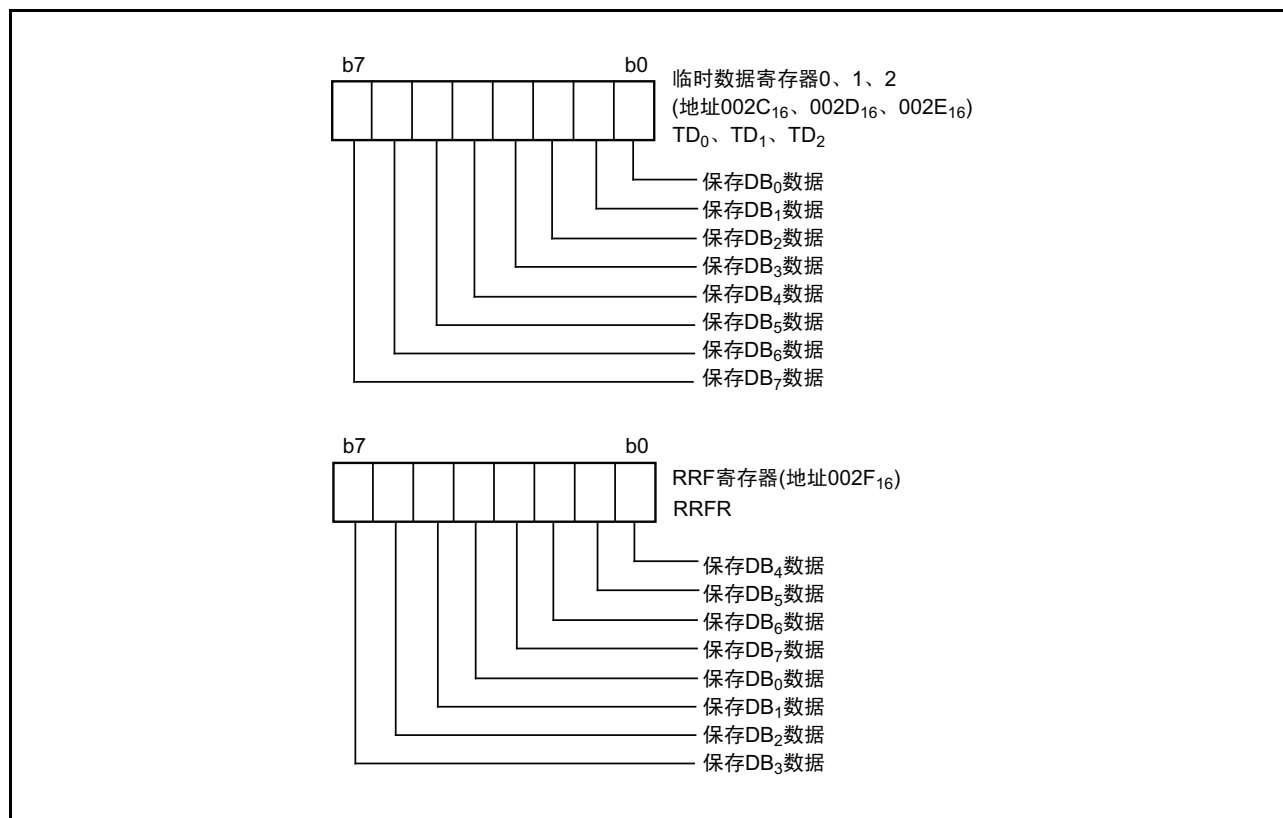


图 46 临时数据寄存器和 RRF 寄存器的结构

看门狗定时器

在因失控等而程序不能正常循环的情况下，看门狗定时器提供返回到复位状态的手段。

看门狗定时器由 8 位的计数器构成。

●看门狗定时器的初始值

在复位时或者通过写看门狗定时器控制寄存器，看门狗定时器被置为“FF₁₆”。写操作的指令只要是 STA、LDM 和 CLB 等产生写信号的指令，都能使用。写数据的 bit7 和 bit6 以外的位没有意义，无条件地设定上述值。bit6 和 bit7 在复位后，可以进行 1 次写操作。因为在写操作后被锁住，所以不能改写。这些位在复位后变为“0”。

●看门狗定时器的运行

在复位时，看门狗定时器停止运行，通过写看门狗定时器控制寄存器开始递减计数。如果看门狗定时器下溢，就产生内部复位，在等待复位解除时间后解除复位，从复位向量地址开始执行程序。通常，需要编入在看门狗定时器发生下溢前对看门狗定时器控制寄存器进行写操作的程序。如果一次也没有写看门狗定时器控制寄存器，看门狗定时器就不起作用。

如果读看门狗定时器控制寄存器，就读取高 6 位的计数器、STP 指令禁止位（bit6）的值和计数源选择位（bit7）的值。

●看门狗定时器控制寄存器的 bit6

- 如果在此位为“0”时执行 STP 指令，就转移到停止模式。在解除停止模式的同时看门狗定时器重新开始计数（注）。
另外，执行 WIT 指令时，看门狗定时器不停止。
- 如果在此位为“1”时执行 STP 指令，就在内部发生复位。如果此位一旦被改写为“1”，就不能通过程序改写为“0”。复位后的值为“0”。

在写看门狗定时器控制寄存器后到看门狗定时器寄存器发生下溢前的时间如下所示（当看门狗定时器控制寄存器的 bit7 为“0”时）：

- 在 2/4/8 分频模式时（ $f(X_{IN})=8\text{MHz}$ ）..... 32.768ms
- 在低速模式时（ $f(X_{CIN})=32\text{kHz}$ ）..... 8.19s

【注】 因为在停止解除的等待时间（用定时器 1 和定时器 2 设定的时间）和在等待模式期间，看门狗定时器也进行计数，所以必须注意：看门狗定时器不能在此期间发生下溢。

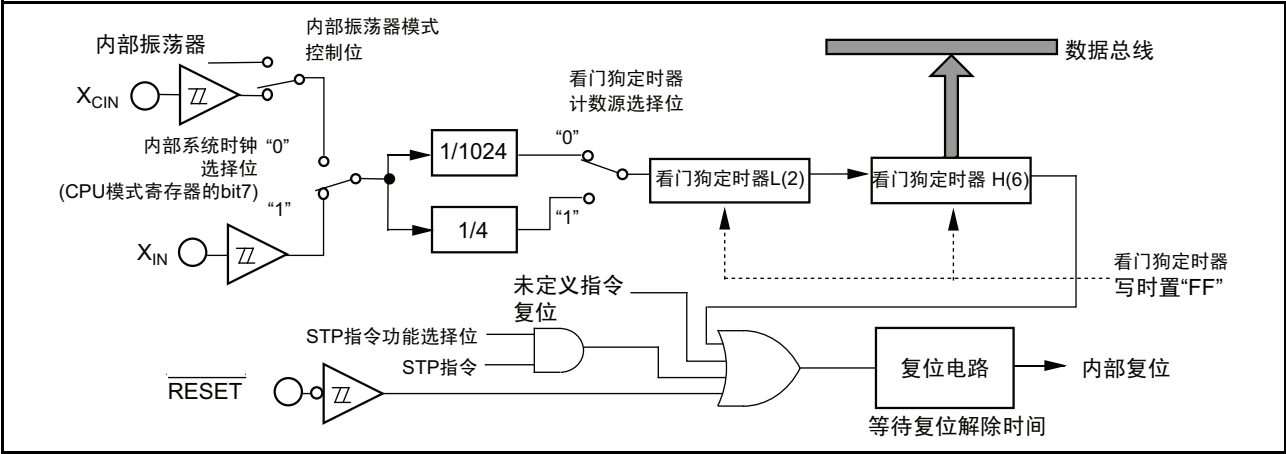


图 47 失控检测功能的框图

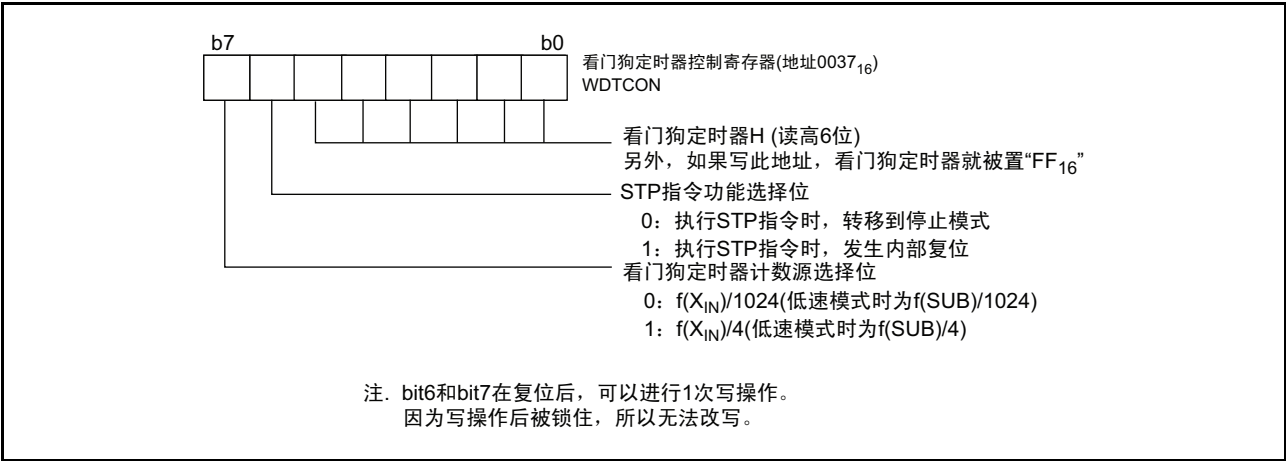


图 48 看门狗定时器控制寄存器的结构

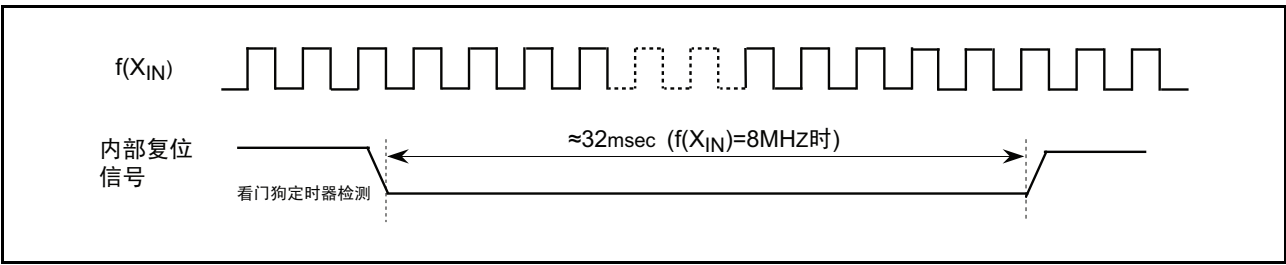


图 49 复位输出的时序图

外围功能扩展寄存器

能通过将外围功能扩展寄存器的 bit0 置“1”，转换串行 I/O 的传送方向。此功能只在串行 I/O 控制寄存器的 bit6 为“1”时（在选择时钟同步串行 I/O 时）有效。

能通过将外围功能扩展寄存器的 bit1 置“1”，选择 P4₇ 为时钟同步串行 I/O 的输出引脚。在将 P4₇ 设定为 SOUT 引脚时，必须将端口 P4 方向寄存器的 bit7 置“1”。此功能只在串行 I/O 控制寄存器的 bit6 为“1”时（在选择时钟同步串行 I/O 时）有效。

能通过外围功能扩展寄存器的 bit2 和 bit3，禁止 TXD 和 SOUT 的 P 沟道输出。必须在选择禁止 P 沟道输出的引脚后，将 UART 控制寄存器的 bit4 置“1”。

能通过将外围功能扩展寄存器的 bit4 置“1”，从端口 P4₁ 输出 XCIN 频率信号。要输出 XCIN 频率信号时，必须将 ϕ 输出控制寄存器的 bit0 和端口 P4 方向寄存器的 bit1 置“1”。

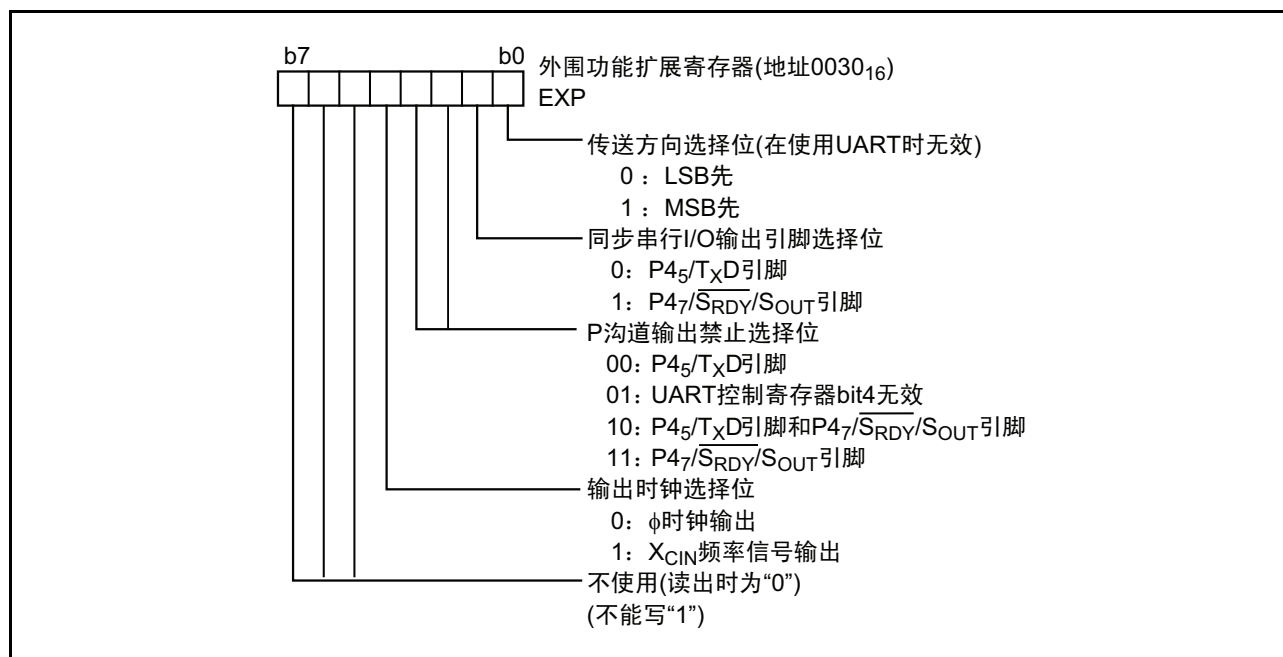


图 50 外围功能扩展寄存器的结构

复位电路

在 3823 群中，当电源电压在 $V_{CC(min.)} \sim 5.5V$ 的范围内并且晶体谐振器等稳定振荡时，如果 $\overline{RESET}$ 引脚保持在不低于 $2\mu s$ 的“L”电平后恢复到“H”电平，就解除复位，从地址 $FFFD_{16}$ 的内容为高位地址、地址 $FFFC_{16}$ 的内容为低位地址的地址开始执行程序。

在电源电压通过 $V_{CC(min.)}$ 时，复位输入电压必须满足 V_{IL} 的规格。

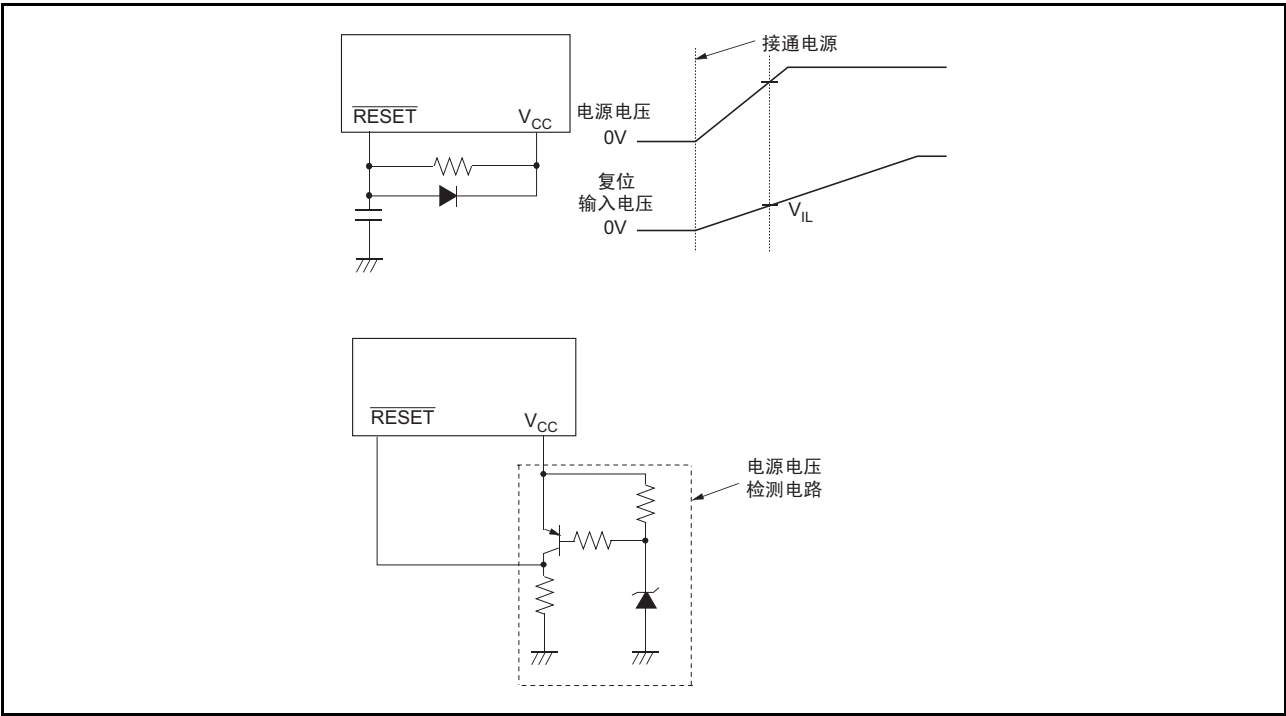


图 51 复位电路的例子

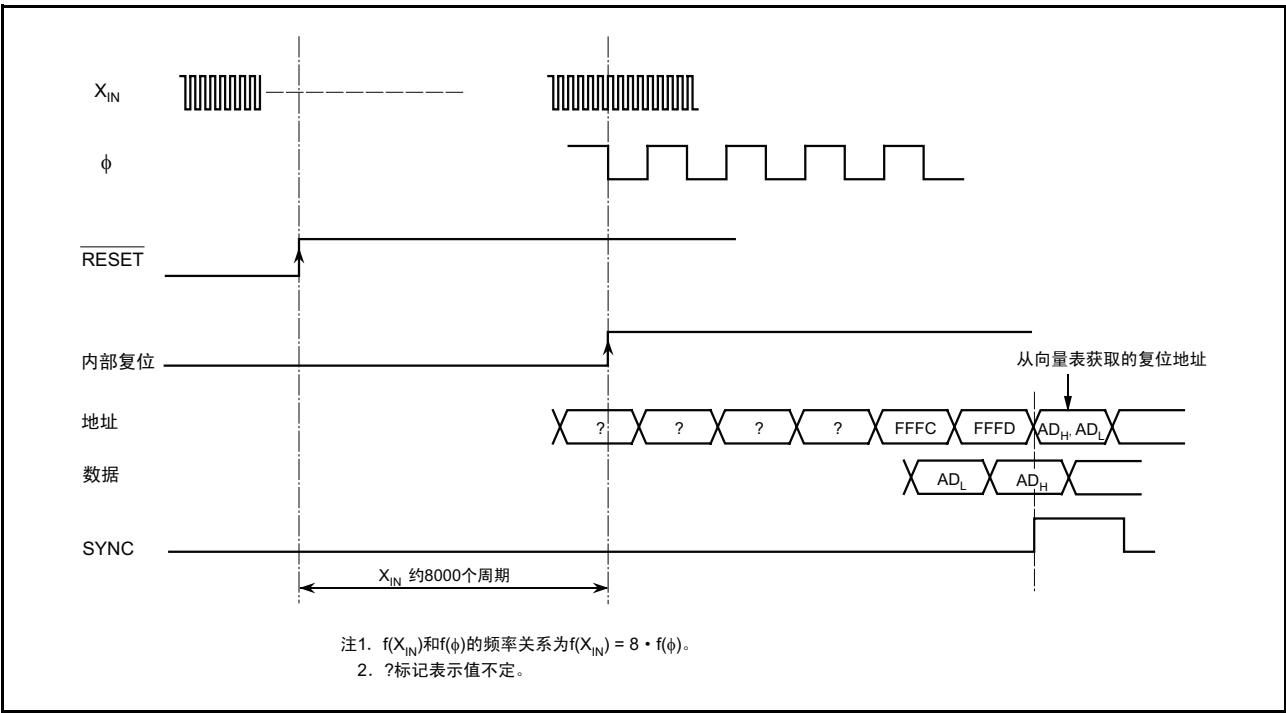


图 52 复位时的时序图

	地址	寄存器的内容
(1) 端口P0方向寄存器	0001 ₁₆	00 ₁₆
(2) 端口P1方向寄存器	0003 ₁₆	00 ₁₆
(3) 端口P2方向寄存器	0005 ₁₆	00 ₁₆
(4) 端口P4方向寄存器	0009 ₁₆	00 ₁₆
(5) 端口P5方向寄存器	000B ₁₆	00 ₁₆
(6) 端口P6方向寄存器	000D ₁₆	00 ₁₆
(7) 端口P7方向寄存器	000F ₁₆	00 ₁₆
(8) ROM校正允许寄存器(RCR)	0014 ₁₆	00 ₁₆
(9) PULL寄存器A	0016 ₁₆	0 0 0 0 1 0 1 1
(10) PULL寄存器B	0017 ₁₆	00 ₁₆
(11) 串行I/O状态寄存器	0019 ₁₆	1 0 0 0 0 0 0 0
(12) 串行I/O控制寄存器	001A ₁₆	00 ₁₆
(13) UART控制寄存器	001B ₁₆	1 1 1 0 0 0 0 0
(14) 定时器X高位寄存器	0020 ₁₆	FF ₁₆
(15) 定时器X低位寄存器	0021 ₁₆	FF ₁₆
(16) 定时器Y高位寄存器	0022 ₁₆	FF ₁₆
(17) 定时器Y低位寄存器	0023 ₁₆	FF ₁₆
(18) 定时器1寄存器	0024 ₁₆	FF ₁₆
(19) 定时器2寄存器	0025 ₁₆	01 ₁₆
(20) 定时器3寄存器	0026 ₁₆	FF ₁₆
(21) 定时器X模式寄存器	0027 ₁₆	00 ₁₆
(22) 定时器Y模式寄存器	0028 ₁₆	00 ₁₆
(23) 定时器123模式寄存器	0029 ₁₆	00 ₁₆
(24) φ输出控制寄存器	002A ₁₆	00 ₁₆
(25) CPU模式扩展寄存器	002B ₁₆	00 ₁₆
(26) 临时数据寄存器0	002C ₁₆	00 ₁₆
(27) 临时数据寄存器1	002D ₁₆	00 ₁₆
(28) 临时数据寄存器2	002E ₁₆	00 ₁₆
(29) RRF寄存器	002F ₁₆	00 ₁₆
(30) 外围功能扩展寄存器	0030 ₁₆	00 ₁₆
(31) AD控制寄存器	0034 ₁₆	0 0 0 0 1 0 0 0
(32) AD转换低位寄存器	0036 ₁₆	x x 0 0 0 0 0 0
(33) 看门狗定时器控制寄存器	0037 ₁₆	0 0 1 1 1 1 1 1
(34) 段输出允许寄存器	0038 ₁₆	00 ₁₆
(35) LCD模式寄存器	0039 ₁₆	00 ₁₆
(36) 中断边沿选择寄存器	003A ₁₆	00 ₁₆
(37) CPU模式寄存器	003B ₁₆	0 1 0 0 1 0 0 0
(38) 中断请求寄存器1	003C ₁₆	00 ₁₆
(39) 中断请求寄存器2	003D ₁₆	00 ₁₆
(40) 中断控制寄存器1	003E ₁₆	00 ₁₆
(41) 中断控制寄存器2	003F ₁₆	00 ₁₆
(42) 处理器状态寄存器	(PS)	x x x x x 1 x x
(43) 程序计数器	(PC _H)	地址FFFD ₁₆ 的内容
	(PC _L)	地址FFFC ₁₆ 的内容

注. x : 不定。

在复位时, 上述以外的寄存器和RAM的内容不定, 所以必须置初值。

图 53 复位时的内部状态

时钟发生电路

3823 群内置主时钟 X_{IN} - X_{OUT} 和副时钟 X_{CIN} - X_{COUT} 的 2 个振荡电路。能通过在 X_{IN} 和 X_{OUT} 的引脚之间或者 X_{CIN} 和 X_{COUT} 的引脚之间连接谐振器，形成振荡电路。电容等常数因谐振器而不同，请使用谐振器厂家的推荐值。

振荡开始电压和振荡开始时间因谐振器、电路常数和温度等不同。尤其是高频率的谐振器在低电压时可能很难开始振荡。

在 X_{IN} - X_{OUT} 的引脚之间内置了反馈电阻（根据条件，有时需要外接反馈电阻）。因为在 X_{CIN} - X_{COUT} 之间没有内置电阻，所以必须外接反馈电阻。

在从外部供给时钟信号的情况下，将时钟信号输入到 X_{IN} 引脚，将 X_{OUT} 引脚置为开路。因为副时钟 X_{CIN} - X_{COUT} 的振荡电路不能直接输入外部生成的时钟，所以必须通过外接谐振器使之振荡。

在刚接通电源后，只有 X_{IN} 的振荡电路开始振荡， X_{CIN} 和 X_{COUT} 引脚为输入 / 输出端口。

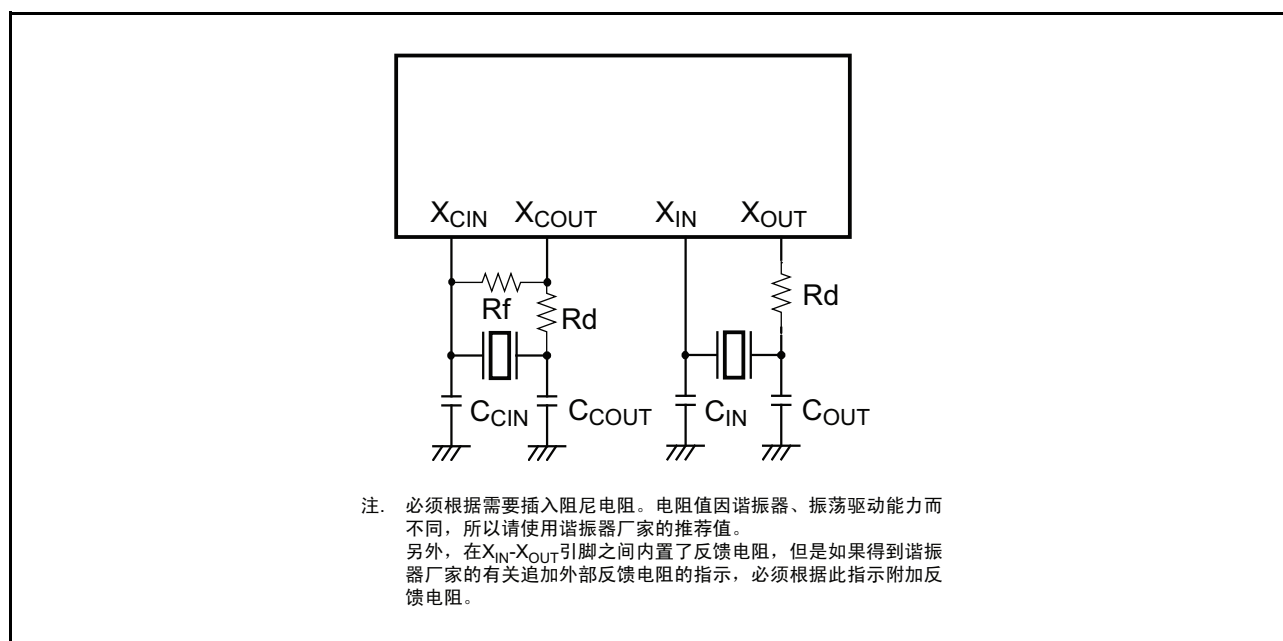


图 54 外接谐振器的电路

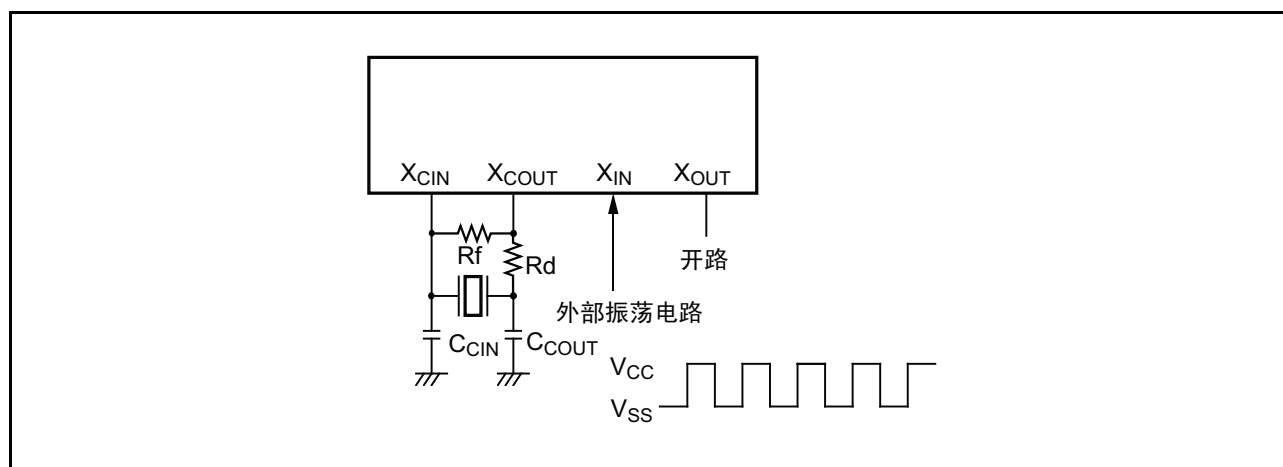


图 55 外部时钟的输入电路

● 频率的控制

(1) 8 分频模式

加到 X_{IN} 引脚的频率的 8 分频为内部时钟 ϕ ，解除复位后为此模式。

(2) 4 分频模式

加到 X_{IN} 引脚的频率的 4 分频为内部时钟 ϕ 。

(3) 2 分频模式

加到 X_{IN} 引脚的频率的 2 分频为内部时钟 ϕ 。

(4) 低速模式

加到 X_{CIN} 引脚的频率或者内部振荡器的振荡频率的 2 分频为内部时钟 ϕ 。

在低速模式中，能通过将 CPU 模式寄存器的主时钟停止位设定为“1”，停止主时钟 X_{IN} ，实现低功耗运行。此时，在重新开始主时钟 X_{IN} 振荡时，必须在将主时钟停止位设定为“0”后，通过程序生成振荡稳定前的等待时间。

在低速模式时，系统时钟 ϕ 可以转换为内部振荡器和 X_{CIN} 。必须在内部振荡器控制位（CPU 模式扩展寄存器的 bit0）进行设定。从“1”转换“0”时，必须在 X_{CIN} 振荡稳定的状态下进行。

- 【注】**
1. 在进行 2/4/8 分频模式和低速模式之间的转移时，需要 X_{IN} 和 X_{CIN} 的振荡都处于稳定状态。尤其是因为 X_{CIN} 的振荡启动需要时间，所以在刚通电后或者从停止模式返回时必须注意。另外，在转移时必须为 $f(X_{IN}) > 3 \cdot f(X_{CIN})$ 。
 - 2 在 2/4/8 分频模式时，即使将主时钟（ X_{IN} - X_{OUT} ）停止位置“1”， X_{IN} - X_{OUT} 的振荡也不停止。
 - 3 在低速模式时，即使将端口 X_C 转换位置“0”， X_{CIN} - X_{COUT} 的振荡也不停止。

● 振荡的控制

(1) 停止模式

如果执行 STP 指令，内部时钟 ϕ 就在“H”电平的状态下停止，并停止主时钟和副时钟的振荡。此时，定时器 1 被置“FF₁₆”，定时器 2 被置“01₁₆”，将 X_{IN} 或者 X_{CIN} 的 16 分频强制连接到定时器 1 的计数源，并将定时器 1 的输出强制连接到定时器 2。此时，定时器 123 模式寄存器的 bit4 以外的位全部被清“0”。必须在执行 STP 指令前，将定时器 1 和定时器 2 的中断允许位设定为禁止状态（“0”）。

如果复位或者接受外部中断请求就重新开始振荡，但是在定时器 2 发生下溢后才给 CPU 提供内部时钟 ϕ 。这是因为在使用外接谐振器时，需要振荡的启动时间。

如果执行 STP 指令，LCD 允许位（LCD 模式寄存器（地址 39₁₆）的 bit3）就变为“0”，LCD 显示屏熄灭。如果要在从停止模式返回后使 LCD 显示屏点灯，必须将 LCD 允许位（LCD 模式寄存器（地址 39₁₆）的 bit3）设定为“1”。

(2) 等待模式

如果执行 **WIT** 指令，只有系统时钟 ϕ 在“H”电平的状态下停止。此时，主时钟、内部振荡器以及副时钟处于和执行 **WIT** 指令前相同的状态，不停止振荡。由于在刚接受中断后就开始提供系统时钟 ϕ ，所以能立即执行指令。

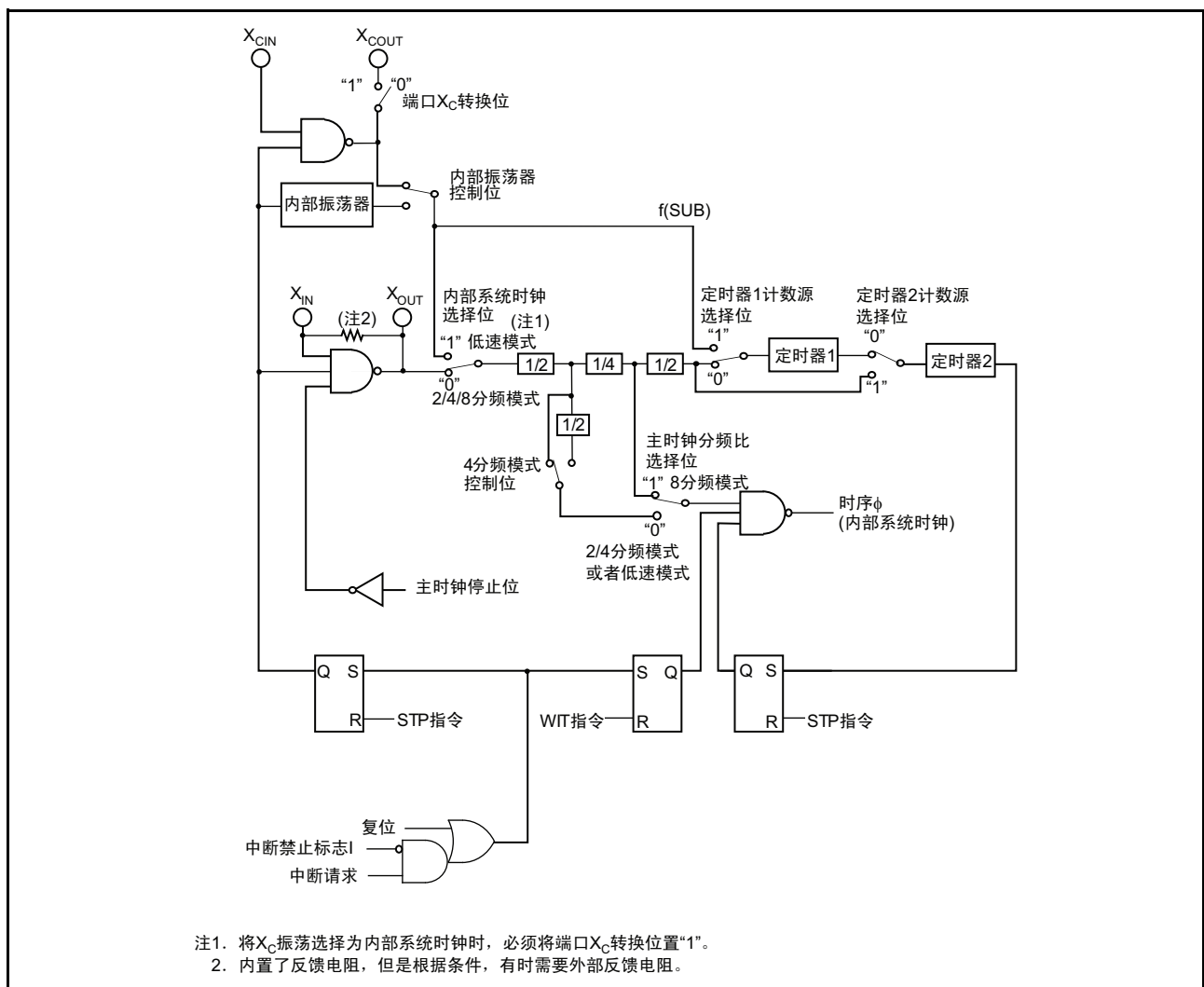


图 56 时钟发生电路的框图

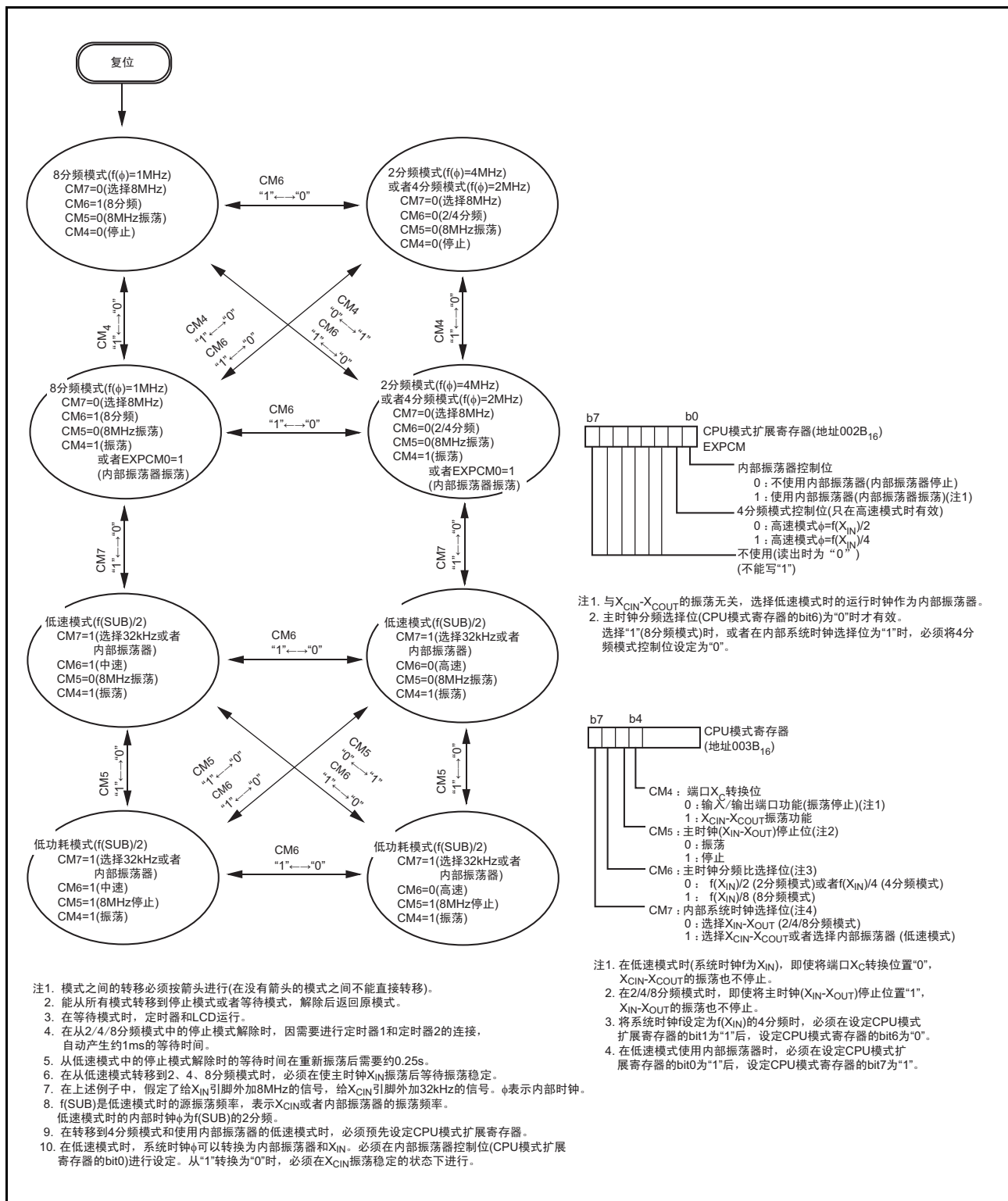


图 57 系统时钟的状态转移图

QzROM 编程模式

在 QzROM 编程模式中，使用与本单片机对应的串行编程器，在单片机安装在电路板的状态下可以对用户 ROM 区进行编程。

引脚的功能说明（QzROM 编程模式）如表 13 所示，引脚连接图如图 58、图 59 所示。

与串行编程器连接的例子请参照电路板上引脚的处理的例（图 60、图 61）。有关串行编程器请向各厂家询问，有关串行编程器的操作方法请参照串行编程器的用户手册。

表 13 引脚的功能说明（QzROM 编程模式）

引脚名	名 称	输入 / 输出	功 能
VCC、VSS	电源输入	输入	必须给 VCC 外加 1.8 ~ 5.5V、给 VSS 外加 0V。
RESET	复位输入	输入	是复位输入引脚。如果保持至少 XIN 的 16 个周期的“L”电平，就进入复位状态。
XIN	时钟输入	输入	必须进行和单芯片模式相同的引脚处理。
XOUT	时钟输出	输出	
VREF	基准电压输入	输入	必须输入 A/D 转换器的基准电压。
AVSS	模拟电源输入	输入	必须连接到 VSS。
P0 ₀ ~ P0 ₇ P1 ₀ ~ P1 ₇ P2 ₀ ~ P2 ₇ P3 ₄ ~ P3 ₇ P4 ₁ ~ P4 ₄ P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₇	输入 / 输出端口	输入 / 输出	必须输入“H”电平或者“L”电平，或者置为开路。
P4 ₀	V _{PP} 输入	输入	是 QzROM 的电源输入引脚。
P4 ₄	ESDA 输入 / 输出	输入 / 输出	是串行数据的输入 / 输出引脚。
P4 ₂	ESCLK 输入	输入	是串行时钟的输入引脚。
P4 ₃	ESPGMB 输入	输入	是读 / 编程脉冲信号的输入引脚。

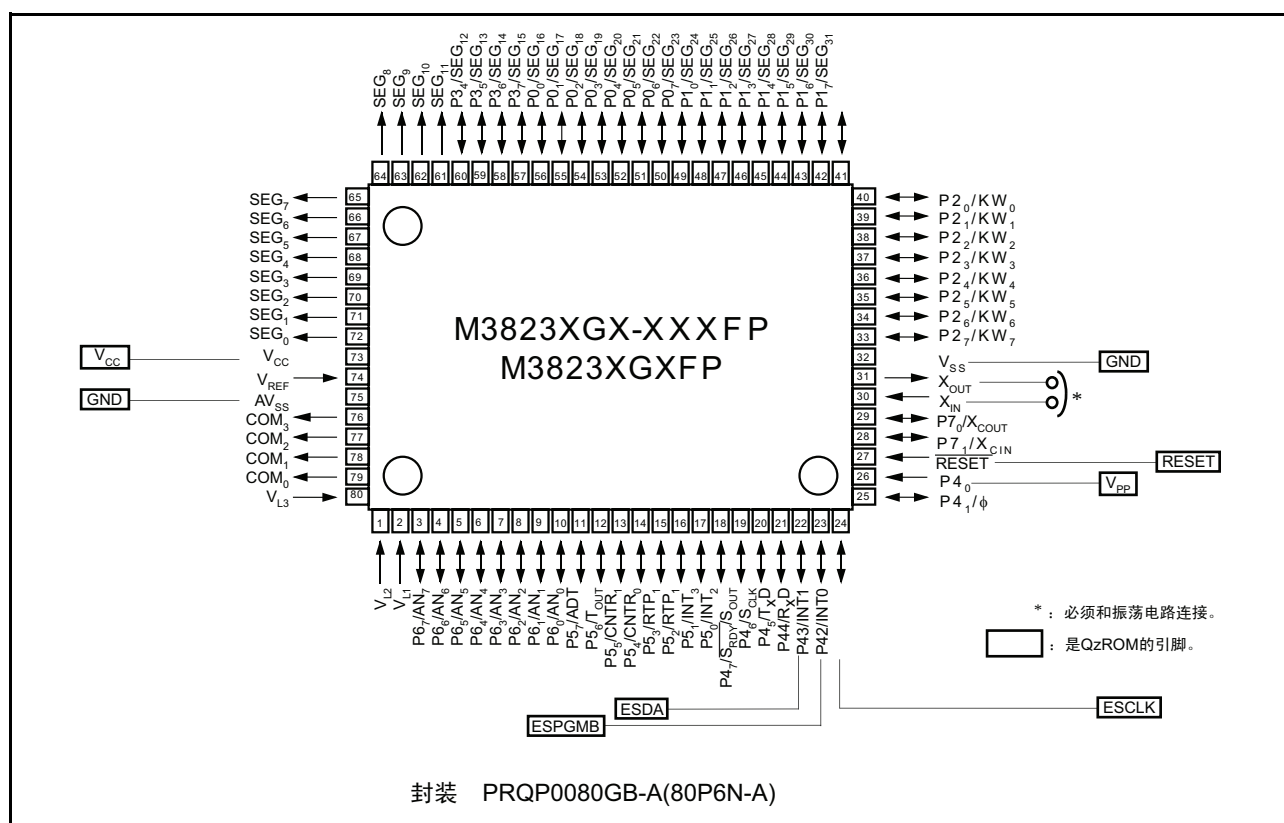


图 58 引脚连接图 (M3823XGX-XXXXP)

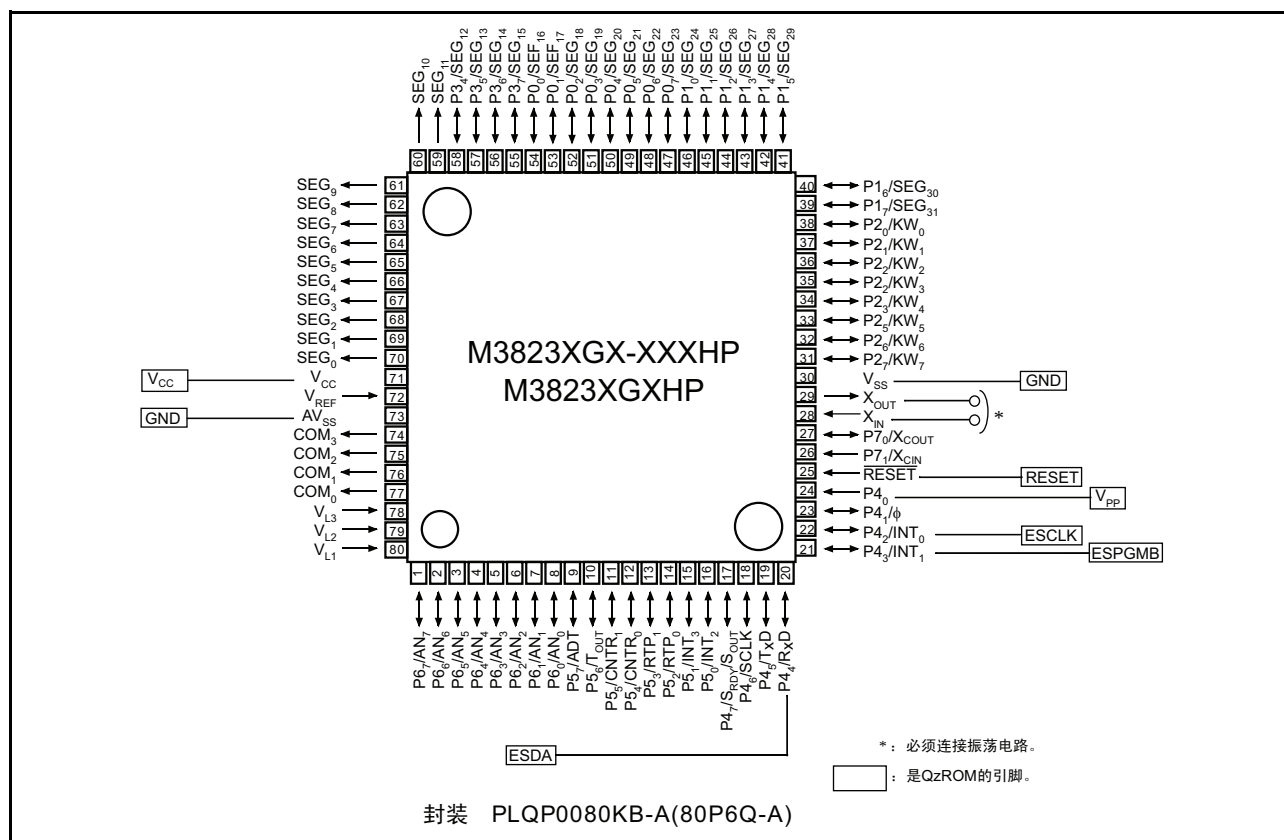


图 59 引脚连接图 (M3823XGX-XXXHP)

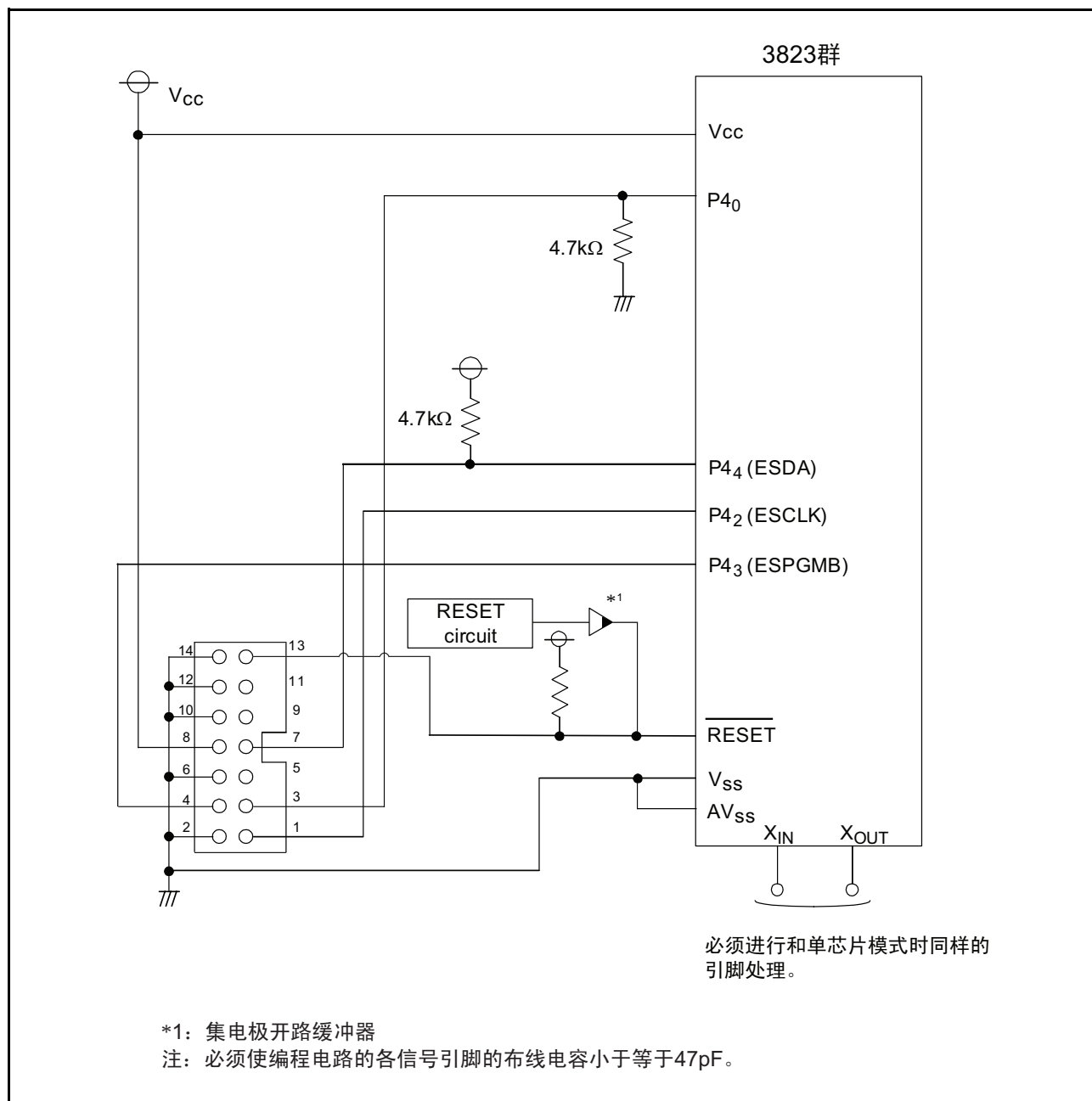


图 60 使用 E8 编程器时电路板上引脚的处理例

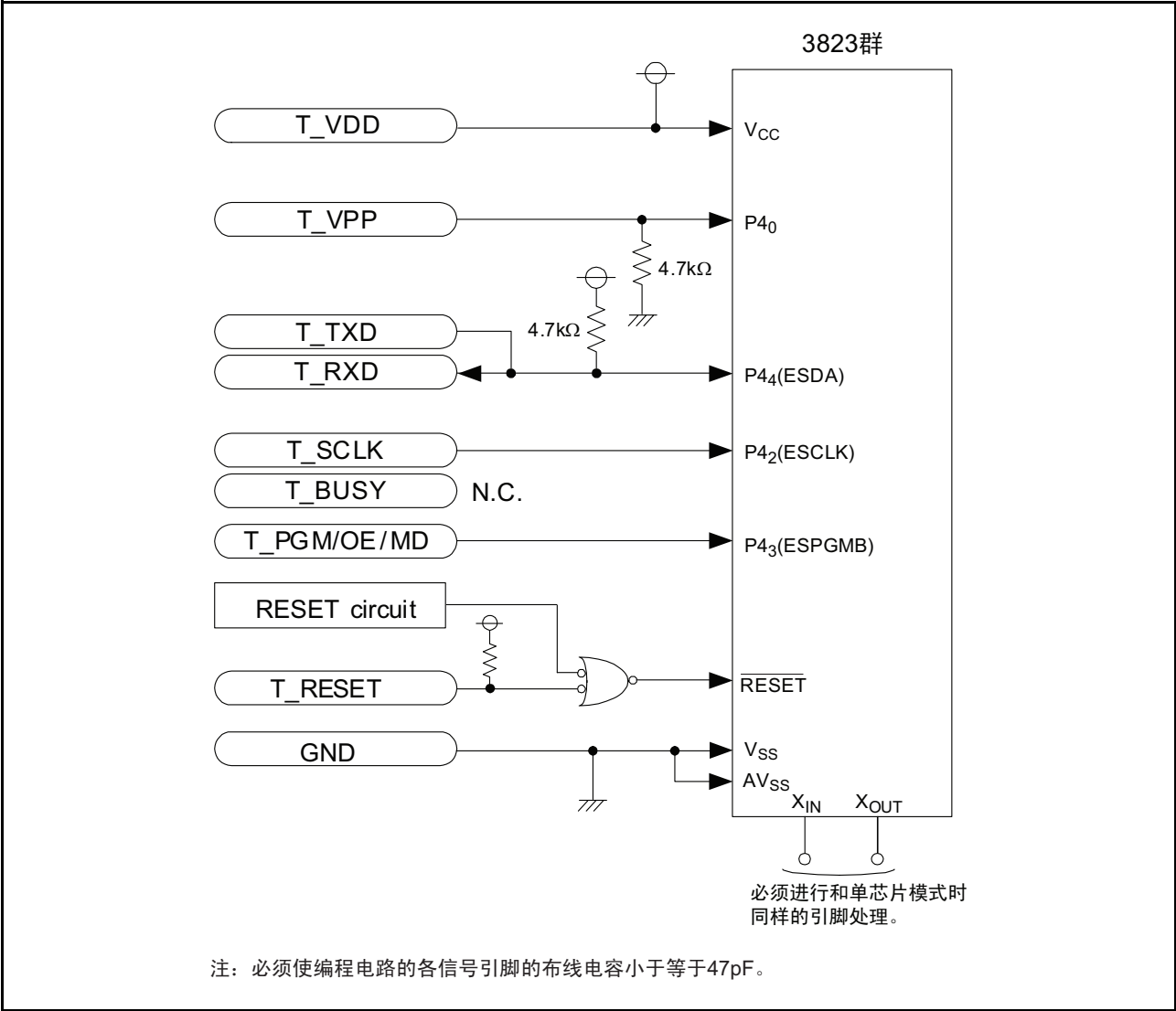


图 61 使用彗星电子系统生产的编程器时电路板上引脚的处理例

编程时的注意事项

有关处理器状态寄存器的注意事项

处理器状态寄存器（PS）除了中断禁止标志 I 为“1”以外，刚复位后的值不定。因此，必须对影响程序执行的标志初始化。

尤其对影响运算本身的 T 标志和 D 标志，必须初始化。必须在程序的起始部进行初始化。

有关中断的注意事项

在刚通过程序改变中断请求位的内容后，如果执行 BBC、BBS 指令，就执行改变前的内容。为了执行改变后的内容，必须在至少执行一条指令后进行。

有关 10 进制运算的注意事项

- 进行 10 进制运算时，必须在将 10 进制模式标志 D 设定为“1”后，执行 ADC 指令或者 SBC 指令，此时，必须在 ADC 指令或者 SBC 指令后至少执行一条指令之后，执行 SEC 指令、CLC 指令或者 CLD 指令。
- 在 10 进制模式，N（负）、V（上溢）以及 Z（零）标志无效。

有关定时器的注意事项

对定时器锁存器写值 n（0 ~ 255）时的分频比为 $1/(n+1)$ 。

有关乘除运算指令的注意事项

- MUL、DIV 指令不受 T 标志和 D 标志的影响。
- 在执行乘除运算指令时，不改变处理器状态寄存器的内容。

有关端口的注意事项

无法读取端口方向寄存器的值。也就是说，不能使用 LDA 指令、T 标志为“1”时的存储器运算指令、以及将方向寄存器的值作为变址值的寻址方式、BBC 和 BBS 等位测试指令。另外，也不能使用 CLB、SEB 等位操作指令和 ROR 等运算的方向寄存器的读 - 修改 - 写指令。必须使用 LDM、STA 等指令设定方向寄存器。

有关串行接口的注意事项

对于时钟同步串行 I/O，当接收侧用外部时钟输出 $\overline{\text{SRDY}}$ 时，必须将接收允许位、 $\overline{\text{SRDY}}$ 输出允许位以及发送允许位都设定成“1”。

另外，在串行 I/O 中，当发送结束后，TxD 引脚锁存最后位，并继续输出。

有关 A/D 转换的注意事项

中、高速模式进行 A/D 转换时，必须将 $f(\text{XIN})$ 设定为大于等于 500kHz。另外，不能在 A/D 转换中执行 STP 指令和 WIT 指令。

在低速模式（在选择内部振荡器时）中，使用内部振荡器进行 A/D 转换，所以对 $f(\text{XIN})$ 没有下限频率的限制。

有关 LCD 驱动控制电路的注意事项

如果执行 STP 指令，LCD 允许位（LCD 模式寄存器（地址 39₁₆）的 bit3）就变为“0”，LCD 显示屏熄灭。如果要在从停止模式返回后使 LCD 显示屏点灯，必须将 LCD 允许位（LCD 模式寄存器（地址 39₁₆）的 bit3）设定为“1”。

有关指令执行时间的注意事项

指令执行时间能通过机器指令一览表所记载的周期数乘以内部时钟 ϕ 的周期得到。通常，内部时钟 ϕ 的周期为 X_{IN} 周期的 2 倍。

有关噪声的注意事项

请按如下的处理，进行防止噪声的系统设计和充分的评价。

(1) 缩短布线的长度

① 复位引脚的布线

必须缩短连接复位引脚的布线。尤其是连接在复位引脚和 V_{SS} 引脚之间的电容必须用尽量短（20mm 以内）的布线连接。

● 理由

因为时序必要条件规定了输入到复位引脚的脉宽，所以，如果小于规定宽度的脉冲噪声输入到复位引脚，就在单片机内部完全进入初始化状态前解除复位，导致程序失控。

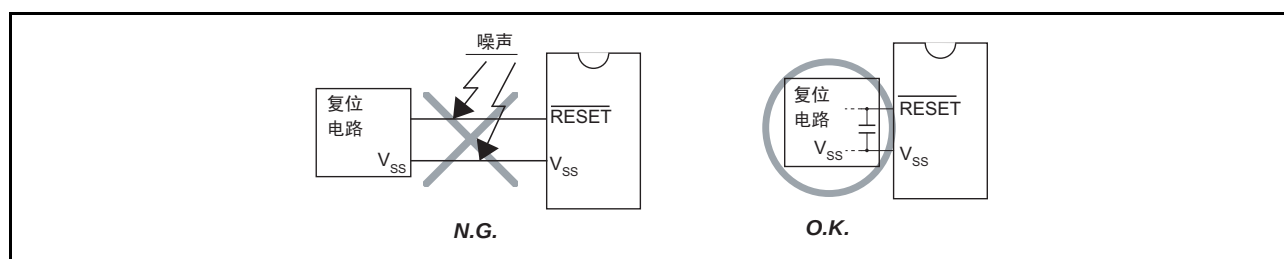


图 62 复位输入引脚的布线

② 时钟输入/输出引脚的布线

- 必须缩短连接时钟输入/输出引脚的布线。
- 必须用最短（20mm 以内）的布线将连接谐振器的电容接地端引线和单片机 V_{SS} 引脚连接。
- 必须将用于振荡的 V_{SS} 布线作为振荡电路专用布线，与其它 V_{SS} 布线分离。

● 理由

如果有噪声侵入时钟输入/输出引脚，时钟的波形就会发生紊乱，导致误动作和失控。另外，如果因噪声引起单片机 V_{SS} 电平和谐振器 V_{SS} 电平之间的电位差，正确的时钟就不能输入到单片机。

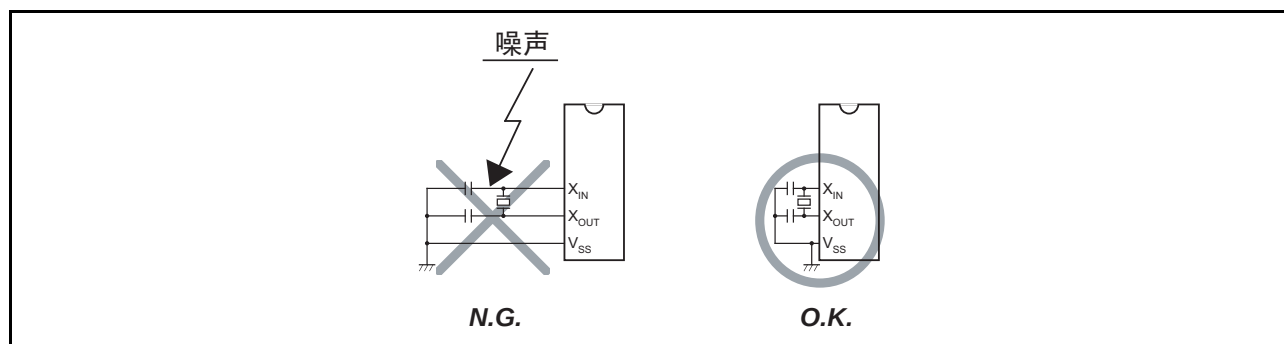


图 63 时钟输入/输出引脚的布线

(2) 在 V_{SS} — V_{CC} 的布线之间插入旁路电容

为了系统稳定工作和防止闩锁，必须用以下的方法在 V_{SS} — V_{CC} 的布线之间插入 $0.1\mu\text{F}$ 左右的旁路电容。

- V_{SS} 引脚—旁路电容间的布线长度和 V_{CC} 引脚—旁路电容间的布线长度相等
- 尽量缩短 V_{SS} 引脚—旁路电容之间的布线长度和 V_{CC} 引脚—旁路电容之间的布线长度
- V_{SS} 布线和 V_{CC} 布线使用比其它的信号线粗的布线
- 电源布线经由旁路电容连接到 V_{SS} 引脚和 V_{CC} 引脚

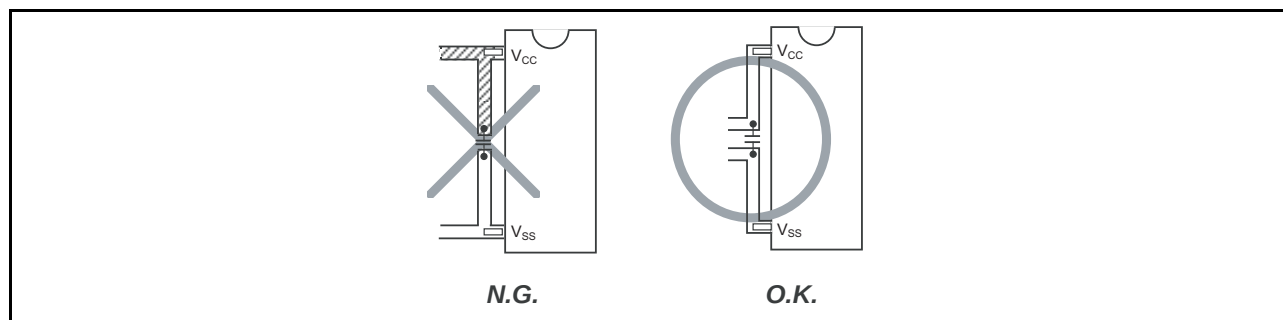


图 64 V_{SS} — V_{CC} 布线间的旁路电容

(3) 对谐振器的考虑

为了在用户系统及其使用条件下，能获得稳定的运行时钟，请在征求谐振器厂家意见的基础上选定谐振器和振荡电路常数。在大电压范围和大温度范围的条件下使用时需特别注意。

另外，必须考虑不能让其它信号影响产生单片机运行基本时钟的谐振器。

① 大电流信号线的回避

请尽量使超过单片机处理的电流值范围的大电流信号线远离单片机（特别是谐振器）。

● 理由

在使用单片机的系统中存在控制马达、LED 和热敏头等的信号线。这些信号线有大电流流动时，由于互感而产生噪声。

② 高速电平变化信号线的回避

请尽量使高速电平变化的信号线远离谐振器和谐振器的布线。

另外，高速电平变化的信号线不能和时钟相关的信号线及其它易受噪声影响的信号线交叉。

● 理由

高速电平变化的 $CNTR$ 引脚等的信号根据上升或者下降时的电平变化，容易影响其它信号线。尤其是在和时钟相关的信号线交叉时，时钟的波形会发生紊乱，导致误动作和失控。

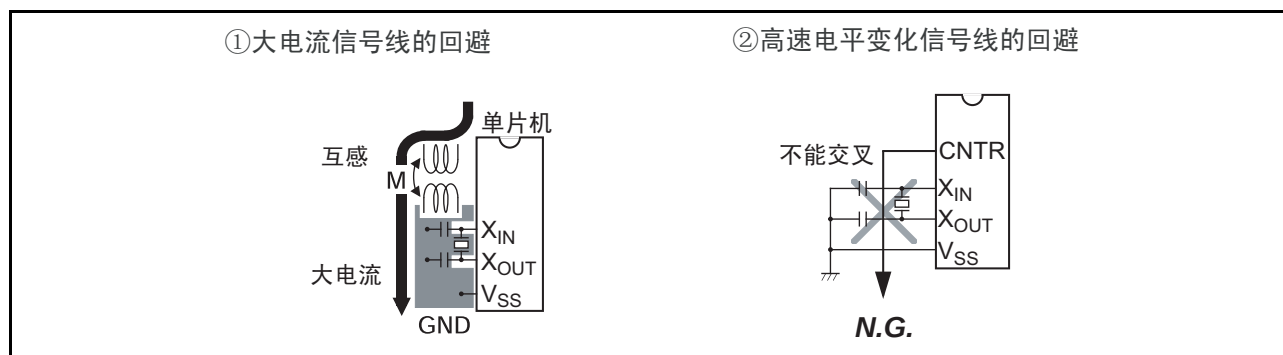


图 65 大电流信号线的布线和高速电平变化信号线的布线

(4) 模拟输入

模拟输入引脚连接电压比较器的电容。因此，在模拟输入引脚连接高阻抗的模拟信号源时，根据 A/D 转换时的充放电电流有可能得不到充分精度的情况。为了获得更稳定的 A/D 转换结果，必须减小模拟信号源的阻抗或者在模拟输入引脚连接平滑电容。

(5) 存储器容量的不同

同一群内有不同存储器容量的产品，其电特性、A/D 转换精度以及抗噪声误动作性能等有可能不同。在替换使用这些产品时，必须在确认产品规格后对每个产品进行系统评价。

(6) P40/(V_{PP}) 引脚的布线

在将 P40/(V_{PP}) 引脚用作输入端口时，请尽量在 P40/(V_{PP}) 引脚附近串联插入约 5kΩ 的电阻。

在未使用 P40/(V_{PP}) 引脚时，请尽量从提供给单片机 V_{SS} 引脚的 GND 以最短距离连接到最近的 GND 布线。另外，通过串联插入约 5kΩ 的电阻并连接到 GND，有可能改善抗噪声能力。此时也尽量从提供给单片机的 V_{SS} 引脚的 GND 以最短距离连接到 GND 布线。

● 理由

P40/(V_{PP}) 引脚是内部 QzROM 的电源输入引脚。在将程序写到 QzROM 时，为了产生写电流，降低了 P40/(V_{PP}) 引脚的阻抗，所以噪声容易侵入。如果噪声从 P40/(V_{PP}) 引脚侵入，QzROM 的指令码和数据的读操作就不能正常进行而导致失控。

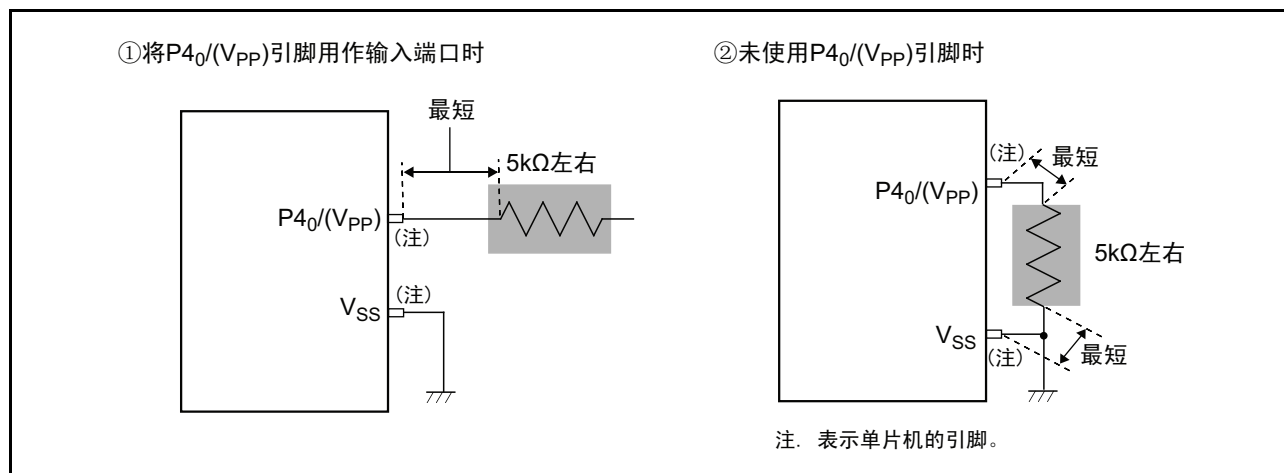


图 66 P40/(V_{PP}) 引脚的布线

使用时的注意事项

有关电源电压的注意事项

在单片机的电源电压低于推荐运行条件值时，单片机可能无法正常运行，处于不稳定的运行状态。对于在电源电压下降和切断电源时电源电压缓慢下降的系统，系统设计时必须考虑即使在电源电压低于推荐运行条件时的不稳定运行状态下也能保证系统正常的单片机复位等对策。

有关 LCD 驱动电源的注意事项

根据 LCD 电源的分压电阻值和 LCD 显示屏的特性，电源容量有可能不足，此时可将 $0.1 \sim 0.33\mu\text{F}$ 左右的旁路电容连接到 $V_{L1} \sim V_{L3}$ 引脚。LCD 驱动电源的强化对策例子如图 60 所示。

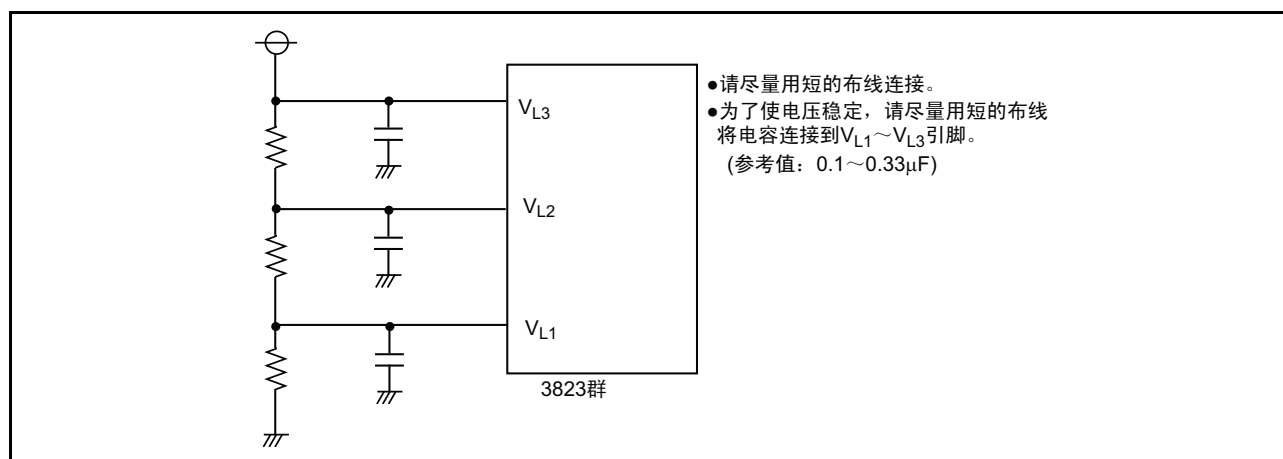


图 67 LCD 驱动电源的强化对策例子

有关空白出货产品的注意事项

虽然在组装工程前对空白出货产品进行了充分的 QzROM 写测试，但是在组装工程后对用户 ROM 区没有进行写测试，因此有可能发生 0.1% 左右的写失败。另外，写的环境也会造成写失败，所以在使用时必须充分注意电缆的接触和插座上的异物等。

有关过压的注意事项

必须注意：不能给其他引脚外加超过 V_{CC} 引脚电压的电压。

特别是关于电源上升及下降时的 $P4_0$ 引脚（QzROM 的 V_{PP} 电源输入引脚），不要出现如图 68 所示的粗线区间状态。

如果出现此状态，QzROM 的内容有可能改写。

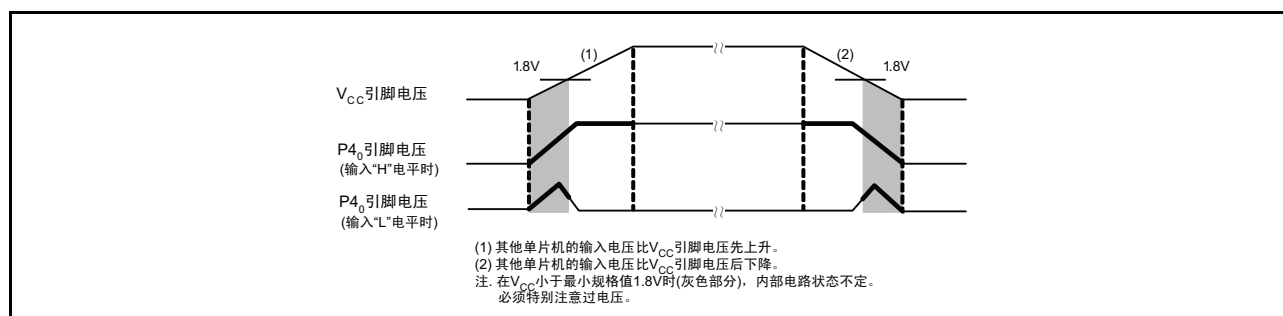


图 68 时序图（相当于粗线的区间）

有关 QzROM 的注意事项

订购 QzROM 编程后的产品时的注意事项

在订购 QzROM 编程后的出货产品时，必须提交用掩模文件转换实用程序（MM）建立的掩模文件（扩展名 .msk）。

另外，在执行掩模文件转换实用程序（MM）建立掩模文件时，必须设定 ROM 选项（在掩模转换实用程序中记为“掩模选项”）的数据。

有关 ROM 代码保护的注意事项（QzROM 编程后的出货产品）

QzROM 编程后的出货产品的 ROM 代码保护，由订货时提出的在建立掩模文件时的 ROM 选项数据决定。

建立掩模文件时的 ROM 选项数据为“有保护”时，设定“00₁₆”；为“无保护”时，设定“FF₁₆”。因此，QzROM 编程后的出货产品的 ROM 代码保护地址（用户 ROM 区除外）的内容为“00₁₆”或者“FF₁₆”。

另外，必须注意：在没有设定 ROM 选项数据或者设定了“00₁₆”和“FF₁₆”以外的数据时，不能接受该掩模文件。

订购 QzROM 编程后的产品时的提交资料

必须在订购 QzROM 编程后的出货产品时提交以下的资料：

- QzROM 编程确认书*
- 标志指定书*
- ROM 的数据 • • • 掩模文件

* 有关 QzROM 编程确认书和标记指定书，请参照瑞萨科技主页（<http://www.renesas.com/>）。另外，QzROM 单片机不对应特殊字体标记（贵公司商标等）。

电特性

表 14 绝对最大额定值

符号	项 目	条件	额定值	单位
V _{CC}	电源电压	以 V _{SS} 引脚为基准进行测定。 在测定输入电压时，输出晶体管处于截止状态。	-0.3 ~ 6.5	V
V _I	输入电压 P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇ 、P2 ₀ ~ P2 ₇ 、P3 ₄ ~ P3 ₇ 、P4 ₀ ~ P4 ₇ 、P5 ₀ ~ P5 ₇ 、P6 ₀ ~ P6 ₇ 、P7 ₀ 、P7 ₁		-0.3 ~ V _{CC} +0.3	V
V _I	输入电压 V _{L1}		-0.3 ~ V _{L2}	V
V _I	输入电压 V _{L2}		V _{L1} ~ V _{L3}	V
V _I	输入电压 V _{L3}		V _{L2} ~ 6.5	V
V _I	输入电压 $\overline{\text{RESET}}$ 、X _{IN}		-0.3 ~ V _{CC} + 0.3	V
V _O	输出电压 P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇	在输出端口时	-0.3 ~ V _{CC} + 0.3	V
		在段输出时	-0.3 ~ V _{L3}	V
V _O	输出电压 P3 ₄ ~ P3 ₇	在端输出时	-0.3 ~ V _{L3}	V
V _O	输出电压 P2 ₀ ~ P2 ₇ 、P4 ₁ ~ P4 ₇ 、P5 ₀ ~ P5 ₇ 、P6 ₀ ~ P6 ₇ 、P7 ₀ 、P7 ₁		-0.3 ~ V _{CC} + 0.3	V
V _O	输出电压 SEG ₀ ~ SEG ₁₁		-0.3 ~ V _{L3}	V
V _O	输出电压 X _{OUT}		-0.3 ~ V _{CC} + 0.3	V
P _d	功耗	Ta=25°C	300	mW
T _{opr}	工作环境温度		-20 ~ 85	°C
T _{stg}	保存温度		-40 ~ 150	°C

表 15 推荐运行条件 (1)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	条件		规格值			单位	
				最小	典型	最大		
V _{CC}	电源电压 （注）	在 2 分频模式时	f(X _{IN}) = 10MHz	4.5	5.0	5.5	V	
			f(X _{IN}) = 8MHz	4.0	5.0	5.5	V	
			f(X _{IN}) = 5MHz	2.0	5.0	5.5	V	
			f(X _{IN}) = 2.5MHz	1.8	5.0	5.5	V	
		在 4 分频模式时	f(X _{IN}) = 10MHz	2.5	5.0	5.5	V	
			f(X _{IN}) = 8MHz	2.0	5.0	5.5	V	
			f(X _{IN}) = 5MHz	1.8	5.0	5.5	V	
		在 8 分频模式时	f(X _{IN}) = 10MHz	2.5	5.0	5.5	V	
			f(X _{IN}) = 8MHz	2.0	5.0	5.5	V	
			f(X _{IN}) = 5MHz	1.8	5.0	5.5	V	
		在低速模式时 （包括 OCO）			1.8	5.0	5.5	V
		V _{SS}	电源电压				0	
V _{L3}	LCD 电源电压			2.5		5.5	V	
V _{REF}	A/D 转换器的基准电压			1.8		V _{CC}	V	
AV _{SS}	模拟电源电压				0		V	
V _{IA}	模拟输入电压	AN ₀ ~ AN ₇		AV _{SS}		V _{REF}	V	
V _{IH}	“H” 电平输入电压	P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇ 、P3 ₄ ~ P3 ₇ 、 P4 ₀ 、P4 ₁ 、P4 ₅ 、P4 ₇ 、P5 ₂ 、P5 ₃ 、P5 ₆ 、 P6 ₀ ~ P6 ₇ 、P7 ₀ 、P7 ₁ （CM4 = 0）		0.7V _{CC}		V _{CC}	V	
V _{IH}	“H” 电平输入电压	P2 ₀ ~ P2 ₇ 、P4 ₂ ~ P4 ₄ 、P4 ₆ 、P5 ₀ 、P5 ₁ 、 P5 ₄ 、P5 ₅ 、P5 ₇		0.8V _{CC}		V _{CC}	V	
V _{IH}	“H” 电平输入电压	$\overline{\text{RESET}}$		0.8V _{CC}		V _{CC}	V	
V _{IH}	“H” 电平输入电压	X _{IN}		0.8V _{CC}		V _{CC}	V	
V _{IL}	“L” 电平输入电压	P0 ₀ ~ P0 ₇ 、P1 ₀ ~ P1 ₇ 、P3 ₄ ~ P3 ₇ 、 P4 ₀ 、P4 ₁ 、P4 ₅ 、P4 ₇ 、P5 ₂ 、P5 ₃ 、P5 ₆ 、 P6 ₀ ~ P6 ₇ 、P7 ₀ 、P7 ₁ （CM4 = 0）		0		0.3V _{CC}	V	
V _{IL}	“L” 电平输入电压	P2 ₀ ~ P2 ₇ 、P4 ₂ ~ P4 ₄ 、P4 ₆ 、P5 ₀ 、P5 ₁ 、 P5 ₄ 、P5 ₅ 、P5 ₇		0		0.2V _{CC}	V	
V _{IL}	“L” 电平输入电压	$\overline{\text{RESET}}$		0		0.2V _{CC}	V	
V _{IL}	“L” 电平输入电压	X _{IN}		0		0.2V _{CC}	V	

【注】 在使用 A/D 转换器时, 请参照 A/D 转换器的特性。

表 16 推荐运行条件 (2)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	规格值			单位
		最小	典型	最大	
$\Sigma I_{OH(peak)}$	“H”电平输出总峰值电流 (注1) $P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$ 、 $P2_0 \sim P2_7$			-40	mA
$\Sigma I_{OH(peak)}$	“H”电平输出总峰值电流 (注1) $P4_1 \sim P4_7$ 、 $P5_0 \sim P5_7$ 、 $P6_0 \sim P6_7$ 、 $P7_0$ 、 $P7_1$			-40	mA
$\Sigma I_{OL(peak)}$	“L”电平输出总峰值电流 (注1) $P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$ 、 $P2_0 \sim P2_7$			40	mA
$\Sigma I_{OL(peak)}$	“L”电平输出总峰值电流 (注1) $P4_1 \sim P4_7$ 、 $P5_0 \sim P5_7$ 、 $P6_0 \sim P6_7$ 、 $P7_0$ 、 $P7_1$			40	mA
$\Sigma I_{OH(avg)}$	“H”电平输出总平均电流 (注1) $P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$ 、 $P2_0 \sim P2_7$			-20	mA
$\Sigma I_{OH(avg)}$	“H”电平输出总平均电流 (注1) $P4_1 \sim P4_7$ 、 $P5_0 \sim P5_7$ 、 $P6_0 \sim P6_7$ 、 $P7_0$ 、 $P7_1$			-20	mA
$\Sigma I_{OL(avg)}$	“L”电平输出总平均电流 (注1) $P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$ 、 $P2_0 \sim P2_7$			20	mA
$\Sigma I_{OL(avg)}$	“L”电平输出总平均电流 (注1) $P4_1 \sim P4_7$ 、 $P5_0 \sim P5_7$ 、 $P6_0 \sim P6_7$ 、 $P7_0$ 、 $P7_1$			20	mA
$I_{OH(peak)}$	“H”电平输出峰值电流 (注2) $P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$			-2	mA
$I_{OH(peak)}$	“H”电平输出峰值电流 (注2) $P2_0 \sim P2_7$ 、 $P4_1 \sim P4_7$ 、 $P5_0 \sim P5_7$ 、 $P6_0 \sim P6_7$ 、 $P7_0$ 、 $P7_1$			-5	mA
$I_{OL(peak)}$	“L”电平输出峰值电流 (注2) $P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$			5	mA
$I_{OL(peak)}$	“L”电平输出峰值电流 (注2) $P2_0 \sim P2_7$ 、 $P4_1 \sim P4_7$ 、 $P5_0 \sim P5_7$ 、 $P6_0 \sim P6_7$ 、 $P7_0$ 、 $P7_1$			10	mA
$I_{OH(avg)}$	“H”电平输出平均电流 (注3) $P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$			-1.0	mA
$I_{OH(avg)}$	“H”电平输出平均电流 (注3) $P2_0 \sim P2_7$ 、 $P4_1 \sim P4_7$ 、 $P5_0 \sim P5_7$ 、 $P6_0 \sim P6_7$ 、 $P7_0$ 、 $P7_1$			-2.5	mA
$I_{OL(avg)}$	“L”电平输出平均电流 (注3) $P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$			2.5	mA
$I_{OL(avg)}$	“L”电平输出平均电流 (注3) $P2_0 \sim P2_7$ 、 $P4_1 \sim P4_7$ 、 $P5_0 \sim P5_7$ 、 $P6_0 \sim P6_7$ 、 $P7_0$ 、 $P7_1$			5.0	mA

- 【注】 1. 输出总电流是流到相应端口的全部电流的总和。总平均电流是 100ms 期间的平均值，总峰值电流是峰值的总和。
2. 输出峰值电流规定每 1 个端口流通的电流峰值。
3. 输出平均电流是 100ms 期间的平均值。

表 17 推荐运行条件 (3)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	条件	规格值			单位
			最小	典型	最大	
f(CNTR ₀) f(CNTR ₁)	定时器 X 和定时器 Y 的输入频率 (当占空比为 50% 时)	$(4.5V \leq V_{CC} \leq 5.5V)$			5.0	MHz
		$(4.0V \leq V_{CC} \leq 4.5V)$			$2 \times V_{CC} - 4$	MHz
		$(2.0V \leq V_{CC} \leq 4.0V)$			$0.75 \times V_{CC} + 1$	MHz
		$(V_{CC} \leq 2.0V)$			$6.25 \times V_{CC} - 10$	MHz
f(X _{IN})	主时钟输入振荡频率 (当占空比为 50% 时) (注 1)	2 分频模式 $(4.5V \leq V_{CC} \leq 5.5V)$			10.0	MHz
		2 分频模式 $(4.0V \leq V_{CC} \leq 4.5V)$			$4 \times V_{CC} - 8$	MHz
		2 分频模式 $(2.0V \leq V_{CC} \leq 4.0V)$			$1.5 \times V_{CC} + 2$	MHz
		2 分频模式 $(1.8V \leq V_{CC} \leq 2.0V)$			$12.5 \times V_{CC} - 20$	MHz
		4 分频模式 $(2.5V \leq V_{CC} \leq 5.5V)$			10.0	MHz
		4 分频模式 $(2.0V \leq V_{CC} \leq 2.5V)$			$4 \times V_{CC}$	MHz
		4 分频模式 $(1.8V \leq V_{CC} \leq 2.0V)$			$15 \times V_{CC} - 22$	MHz
		8 分频模式 $(2.5V \leq V_{CC} \leq 5.5V)$			10.0	MHz
		8 分频模式 $(2.0V \leq V_{CC} \leq 2.5V)$			$4 \times V_{CC}$	MHz
		8 分频模式 $(1.8V \leq V_{CC} \leq 2.0V)$			$15 \times V_{CC} - 22$	MHz
f(X _{CIN})	副时钟输入振荡频率 (当占空比为 50% 时) (注 2)			32.768	80	kHz

- 【注】 1. 在使用 A/D 转换器时, 请参照 A/D 转换器的特性。
2. 在使用低速模式时, 必须将钟表时钟的输入振荡频率设定为 $f(X_{CIN}) < f(X_{IN})/3$ 。

表 18 电特性 (1)

(在没有指定时: $V_{CC}=4.0 \sim 5.5V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
VOH	“H” 电平输出电压 P00 ~ P07、P10 ~ P17	$I_{OH}=-2.5mA$	$V_{CC}-2.0$			V
		$I_{OH}=-0.6mA$ $V_{CC}=2.5V$	$V_{CC}-1.0$			
VOH	“H” 电平输出电压 P20 ~ P27、P41 ~ P47、 P50 ~ P57、P60 ~ P67、P70、P71 (注)	$I_{OH}=-5mA$	$V_{CC}-2.0$			V
		$I_{OH}=-1.25mA$	$V_{CC}-0.5$			
		$I_{OH}=-1.25mA$ $V_{CC}=2.5V$	$V_{CC}-1.0$			
VOL	“L” 电平输出电压 P00 ~ P07、P10 ~ P17	$I_{OL}=5mA$			2.0	V
		$I_{OL}=1.25mA$			0.5	
		$I_{OL}=1.25mA$ $V_{CC}=2.5V$			1.0	
VOL	“L” 电平输出电压 P20 ~ P27、P41 ~ P47、 P50 ~ P57、P60 ~ P67、P70、P71 (注)	$I_{OL}=10mA$			2.0	V
		$I_{OL}=2.5mA$			0.5	
		$I_{OL}=2.5mA$ $V_{CC}=2.5V$			1.0	
$V_{T+} - V_{T-}$	滞后 INT0 ~ INT3、ADT、CNTR0、 CNTR1、P20 ~ P27			0.5		V
$V_{T+} - V_{T-}$	滞后 SCLK、RXD			0.5		V
$V_{T+} - V_{T-}$	滞后 RESET	RESET: $V_{CC}=2.0V \sim 5.5V$		0.5		V

【注】 当 CPU 模式寄存器的端口 Xc 转换位 (地址 003B16 的 bit4) 为 “1” 时, P70 的驱动能力和上述不同。

表 18 电特性 (2)

(在没有指定时: $V_{CC}=4.0 \sim 5.5V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
I_{IH}	“H”电平输入电流 $P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$ 、 $P3_4 \sim P3_7$	$V_I=V_{CC}$ 下拉 OFF			5.0	μA
		$V_{CC}=5V$ 、 $V_I=V_{CC}$ 下拉 ON	30	70	140	μA
		$V_{CC}=3V$ 、 $V_I=V_{CC}$ 下拉 ON	6.0	25	45	μA
I_{IH}	“H”电平输入电流 $P2_0 \sim P2_7$ 、 $P4_0 \sim P4_7$ 、 $P5_0 \sim P5_7$ 、 $P6_0 \sim P6_7$ 、 $P7_0$ 、 $P7_1$ (注)	$V_I=V_{CC}$			5.0	μA
I_{IH}	“H”电平输入电流 $\overline{RESET}$	$V_I=V_{CC}$			5.0	μA
I_{IH}	“H”电平输入电流 X_{IN}	$V_I=V_{CC}$		4.0		μA
I_{IL}	“L”电平输入电流 $P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$ 、 $P3_4 \sim P3_7$ 、 $P4_0$	$V_I=V_{SS}$			-5.0	μA
I_{IL}	“L”电平输入电流 $P2_0 \sim P2_7$ 、 $P4_1 \sim P4_7$ 、 $P5_0 \sim P5_7$ 、 $P6_0 \sim P6_7$ 、 $P7_0$ 、 $P7_1$	$V_I=V_{SS}$ 上拉 OFF			-5.0	μA
		$V_{CC}=5V$ 、 $V_I=V_{SS}$ 上拉 ON	-30	-70	-140	μA
		$V_{CC}=3V$ 、 $V_I=V_{SS}$ 上拉 ON	-6.0	-25	-45	μA
I_{IL}	“L”电平输入电流 $\overline{RESET}$	$V_I=V_{SS}$			-5.0	μA
I_{IL}	“L”电平输入电流 X_{IN}	$V_I=V_{SS}$		-4.0		μA
V_{RAM}	RAM 保持电压	在时钟停止时	1.8		5.5	V

【注】 当 CPU 模式寄存器的端口 X_C 转换位 (地址 003B₁₆ 的 bit4) 为 “1” 时, $P7_0$ 的驱动能力和上述不同。

表 19 电特性 (3)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	测定条件			规格值			单位
					最小	典型	最大	
I _{CC}	电源电流	在 2 分频模式时	V _{CC} =5.0V	f(X _{IN})=10MHz		4.3	8.6	mA
				f(X _{IN})=8MHz		3.7	7.4	mA
				f(X _{IN})=4MHz		2.5	5.0	mA
			V _{CC} =2.5V	f(X _{IN})=4MHz		0.8	1.6	mA
				f(X _{IN})=2MHz		0.4	0.8	mA
		在 4 分频模式时	V _{CC} =5.0V	f(X _{IN})=10MHz		2.9	5.8	mA
				f(X _{IN})=8MHz		2.5	5.0	mA
				f(X _{IN})=4MHz		1.7	3.4	mA
			V _{CC} =2.5V	f(X _{IN})=10MHz		1.0	2.0	mA
				f(X _{IN})=8MHz		0.8	1.6	mA
				f(X _{IN})=4MHz		0.5	1.0	mA
				f(X _{IN})=2MHz		0.3	0.6	mA
		在 8 分频模式时	V _{CC} =5.0V	f(X _{IN})=10MHz		2.2	4.4	mA
				f(X _{IN})=8MHz		1.9	3.8	mA
				f(X _{IN})=4MHz		1.4	2.8	mA
				f(X _{IN})=2MHz		1.0	2.0	mA
			V _{CC} =2.5V	f(X _{IN})=10MHz		0.7	1.4	mA
				f(X _{IN})=8MHz		0.6	1.2	mA
				f(X _{IN})=4MHz		0.4	0.8	mA
				f(X _{IN})=2MHz		0.2	0.4	mA
		在 2/4/8 分频模式执行 WIT 指令时	V _{CC} =5.0V	f(X _{IN})=10MHz		1.35	2.7	mA
				f(X _{IN})=8MHz		1.2	2.4	mA
				f(X _{IN})=4MHz		0.9	1.8	mA
				f(X _{IN})=2MHz		0.8	1.6	mA
			V _{CC} =2.5V	f(X _{IN})=10MHz		0.35	0.7	mA
				f(X _{IN})=8MHz		0.3	0.6	mA
				f(X _{IN})=4MHz		0.2	0.4	mA
				f(X _{IN})=2MHz		0.15	0.3	mA

表 19 电特性 (4)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	测定条件			规格值			单位	
					最小	典型	最大		
Icc	电源电流	在低速模式时 (f(XIN) 停止)	VCC=5.0V	f(XCIN)=32kHz		13	26	μA	
				内部振荡器		80	240	μA	
			VCC=2.5V	f(XCIN)=32kHz		7	14	μA	
				内部振荡器		14	42	μA	
		在低速模式 (f(XIN) 停止) 执行 WIT 指令时	VCC=5.0V	f(XCIN)=32kHz		5.5	11	μA	
				内部振荡器		20	60	μA	
			VCC=2.5V	f(XCIN)=32kHz		3.5	7	μA	
				内部振荡器		3.5	10	μA	
		A/D 转换器运行时的电流增加		VCC=5V、全部模式		500		μA	
				VCC=2.5V、全部模式		50		μA	
		振荡全部停止 Ta=25°C，输出晶体管处于截止状态（在执行 STP 指令时）					0.1	1.0	μA
		振荡全部停止 Ta=85°C，输出晶体管处于截止状态（在执行 STP 指令时）						10	μA
Roco	内部振荡器的频率	VCC=2.5V、Ta=25°C				80		kHz	

表 20 A/D 转换器特性 (1) (在选择 8 位 A/D 时)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
—	分辨率				8	BITS
ABS	绝对精度 (量化误差外)	ADL2= “0”、ADL1= “0”、CPUM7= “0” $2.2V \leq V_{CC}=V_{REF} \leq 5.5V$ $f(X_{IN})=2 \times V_{CC}MHz \leq 10MHz$			± 2	LSB
		ADL2= “0”、ADL1= “0”、CPUM7= “0” $2.0V \leq V_{CC}=V_{REF} < 2.2V$ $f(X_{IN})=4.4MHz$			± 3	LSB
		ADL2= “0”、ADL1= “1”、CPUM7= “0” $V_{CC}=V_{REF}=4.0 \sim 5.5V$ $f(X_{IN})=2 \times V_{CC}MHz \leq 10MHz$			± 3	LSB
		ADL2= “1”、ADL1= “0”、CPUM7= “1” 并且 EXPCM0= “1” $V_{CC}=V_{REF}=1.8 \sim 2.2V$			± 4	LSB
tCONV	转换时间	$f(X_{IN})=8MHz$ (ADL2= “0”、ADL1= “0”、CPUM7= “0”)			$TC(X_{IN}) \times 100$	μs
RLADDER	梯形电阻		12	35	100	$k\Omega$
IvREF	基准电源输入电流	$V_{REF}=5V$	50	150	200	μA
IiA	模拟输入电流				5.0	μA

表 21 A/D 转换器特性 (2) (在选择 10 位 A/D 时)

(在没有指定时: $V_{CC}=1.8 \sim 5.5V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
—	分辨率				10	BITS
ABS	绝对精度 (量化误差外)	ADL2= “0”、ADL1= “0”、CPUM7= “0” $2.2V \leq V_{CC}=V_{REF} \leq 5.5V$ $f(X_{IN})=2 \times V_{CC}MHz \leq 10MHz$			± 4	LSB
		ADL2= “0”、ADL1= “1”、CPUM7= “0” $V_{CC}=V_{REF}=4.0 \sim 5.5V$ $f(X_{IN})=2 \times V_{CC}MHz \leq 10MHz$			± 4	LSB
		ADL2= “1”、ADL1= “0”、CPUM7= “1” 并且 EXPCM0= “1” $V_{CC}=V_{REF}=1.8 \sim 2.2V$			± 4	LSB
tCONV	转换时间	$f(X_{IN})=8MHz$ (ADL2= “0”、ADL1= “0”、CPUM7= “0”)			$TC(X_{IN}) \times 122$	μs
RLADDER	梯形电阻		12	35	100	$k\Omega$
IvREF	基准电源输入电流	$V_{REF}=5V$	50	150	200	μA
IiA	模拟输入电流				5.0	μA

表 22 时序的必要条件 (1)

(在没有指定时: $V_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目		规格值			单位
			最小	典型	最大	
$t_w(\overline{RESET})$	复位输入的“L”电平脉宽		2			μs
$t_c(X_{IN})$	主时钟输入的周期时间 (X_{IN} 输入)	$4.0V \leq V_{CC} < 4.5V$	$1000/(4 \times V_{CC} - 8)$			ns
		$4.5V \leq V_{CC} \leq 5.5V$	100			ns
$t_{WH}(X_{IN})$	主时钟输入的“H”电平脉宽	$4.0V \leq V_{CC} < 4.5V$	45			ns
		$4.5V \leq V_{CC} \leq 5.5V$	40			ns
$t_{WL}(X_{IN})$	主时钟输入的“L”电平脉宽	$4.0V \leq V_{CC} < 4.5V$	45			ns
		$4.5V \leq V_{CC} \leq 5.5V$	40			ns
$t_c(CNTR)$	$CNTR_0$ 、 $CNTR_1$ 输入的周期时间	$4.0V \leq V_{CC} < 4.5V$	$1000/(2 \times V_{CC} - 4)$			ns
		$4.5V \leq V_{CC} \leq 5.5V$	200			ns
$t_{WH}(CNTR)$	$CNTR_0$ 、 $CNTR_1$ 输入的“H”电平脉宽	$4.0V \leq V_{CC} < 4.5V$	105			ns
		$4.5V \leq V_{CC} \leq 5.5V$	85			ns
$t_{WL}(CNTR)$	$CNTR_0$ 、 $CNTR_1$ 输入的“L”电平脉宽	$4.0V \leq V_{CC} < 4.5V$	105			ns
		$4.5V \leq V_{CC} \leq 5.5V$	85			ns
$t_{WH}(INT)$	$INT_0 \sim INT_3$ 输入的“H”电平脉宽		80			ns
$t_{WL}(INT)$	$INT_0 \sim INT_3$ 输入的“L”电平脉宽		80			ns
$t_c(S_{CLK})$	串行 I/O 时钟输入的周期时间 (注)		800			ns
$t_{WH}(S_{CLK})$	串行 I/O 时钟输入的“H”电平脉宽 (注)		370			ns
$t_{WL}(S_{CLK})$	串行 I/O 时钟输入的“L”电平脉宽 (注)		370			ns
$t_{su}(RxD-S_{CLK})$	串行 I/O 输入的准备时间		220			ns
$t_h(S_{CLK}-RxD)$	串行 I/O 输入的保持时间		100			ns

【注】 是地址 001A₁₆ 的 bit6 为“1”(时钟同步)的情况。在地址 001A₁₆ 的 bit6 为“0”(时钟异步)时,规格值为 1/4。

表 23 时序的必要条件 (2)

(在没有指定时: $V_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目		规格值			单位
			最小	典型	最大	
$t_{w}(\overline{RESET})$	复位输入的“L”电平脉宽		2			μs
$t_c(X_{IN})$	主时钟输入的周期时间 (X_{IN} 输入)	$2.0V \leq V_{CC} \leq 4.0V$	125			ns
		$V_{CC} < 2.0V$	$1000/(10 \times V_{CC} - 12)$			ns
$t_{WH}(X_{IN})$	主时钟输入的“H”电平脉宽	$2.0V \leq V_{CC} \leq 4.0V$	50			ns
		$V_{CC} < 2.0V$	70			ns
$t_{WL}(X_{IN})$	主时钟输入的“L”电平脉宽	$2.0V \leq V_{CC} \leq 4.0V$	50			ns
		$V_{CC} < 2.0V$	70			ns
$t_c(CNTR)$	$CNTR_0$ 、 $CNTR_1$ 输入的周期时间	$2.0V \leq V_{CC} \leq 4.0V$	$1000/V_{CC}$			ns
		$V_{CC} < 2.0V$	$1000/(5 \times V_{CC} - 8)$			ns
$t_{WH}(CNTR)$	$CNTR_0$ 、 $CNTR_1$ 输入的“H”电平脉宽		$t_c(CNTR)/2-20$			ns
$t_{WL}(CNTR)$	$CNTR_0$ 、 $CNTR_1$ 输入的“L”电平脉宽		$t_c(CNTR)/2-20$			ns
$t_{WH}(INT)$	$INT_0 \sim INT_3$ 输入的“H”电平脉宽		230			ns
$t_{WL}(INT)$	$INT_0 \sim INT_3$ 输入的“L”电平脉宽		230			ns
$t_c(SCLK)$	串行 I/O 时钟输入的周期时间 (注)		2000			ns
$t_{WH}(SCLK)$	串行 I/O 时钟输入的“H”电平脉宽 (注)		950			ns
$t_{WL}(SCLK)$	串行 I/O 时钟输入的“L”电平脉宽 (注)		950			ns
$t_{su}(RxD-SCLK)$	串行 I/O 输入的准备时间		400			ns
$t_h(SCLK-RxD)$	串行 I/O 输入的保持时间		200			ns

【注】 是地址 001A₁₆ 的 bit6 为“1”(时钟同步)的情况。
在地址 001A₁₆ 的 bit6 为“0”(时钟异步)时,规格值为 1/4。

表 24 开关特性 (1)

(在没有指定时: $V_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	规格值			单位
		最小	典型	最大	
$t_{WH}(SCLK)$	串行 I/O 时钟输出的“H”电平脉宽	$t_c(SCLK)/2-30$			ns
$t_{WL}(SCLK)$	串行 I/O 时钟输出的“L”电平脉宽	$t_c(SCLK)/2-30$			ns
$t_d(SCLK-TxD)$	串行 I/O 输出的延迟时间 (注)			140	ns
$t_v(SCLK-TxD)$	串行 I/O 输出的有效时间 (注)	-30			ns
$t_r(SCLK)$	串行 I/O 时钟输出的上升时间			30	ns
$t_f(SCLK)$	串行 I/O 时钟输出的下降时间			30	ns

【注】 UART 控制寄存器的 P45/TxD 的 P 沟道输出禁止位 (地址 001B₁₆ 的 bit4) 为“0”的情况。

表 25 开关特性 (2)

(在没有指定时: $V_{CC}=1.8 \sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	规格值			单位
		最小	典型	最大	
$t_{WH}(SCLK)$	串行 I/O 时钟输出的“H”电平脉宽	$t_c(SCLK)/2-100$			ns
$t_{WL}(SCLK)$	串行 I/O 时钟输出的“L”电平脉宽	$t_c(SCLK)/2-100$			ns
$t_d(SCLK-TxD)$	串行 I/O 输出的延迟时间 (注)			350	ns
$t_v(SCLK-TxD)$	串行 I/O 输出的有效时间 (注)	-30			ns
$t_r(SCLK)$	串行 I/O 时钟输出的上升时间			100	ns
$t_f(SCLK)$	串行 I/O 时钟输出的下降时间			100	ns

【注】 UART 控制寄存器的 P4₅/TxD 的 P 沟道输出禁止位 (地址 001B₁₆ 的 bit4) 为“0”的情况。

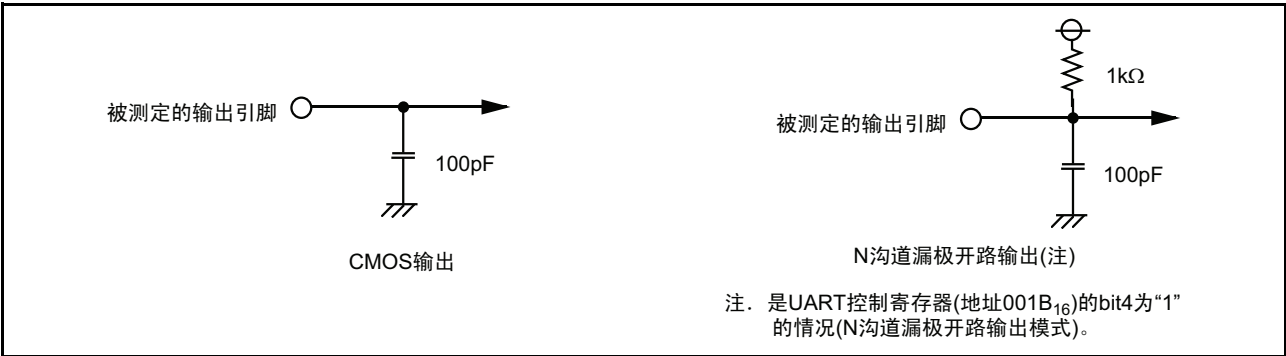


图 69 输出开关特性的测定电路图

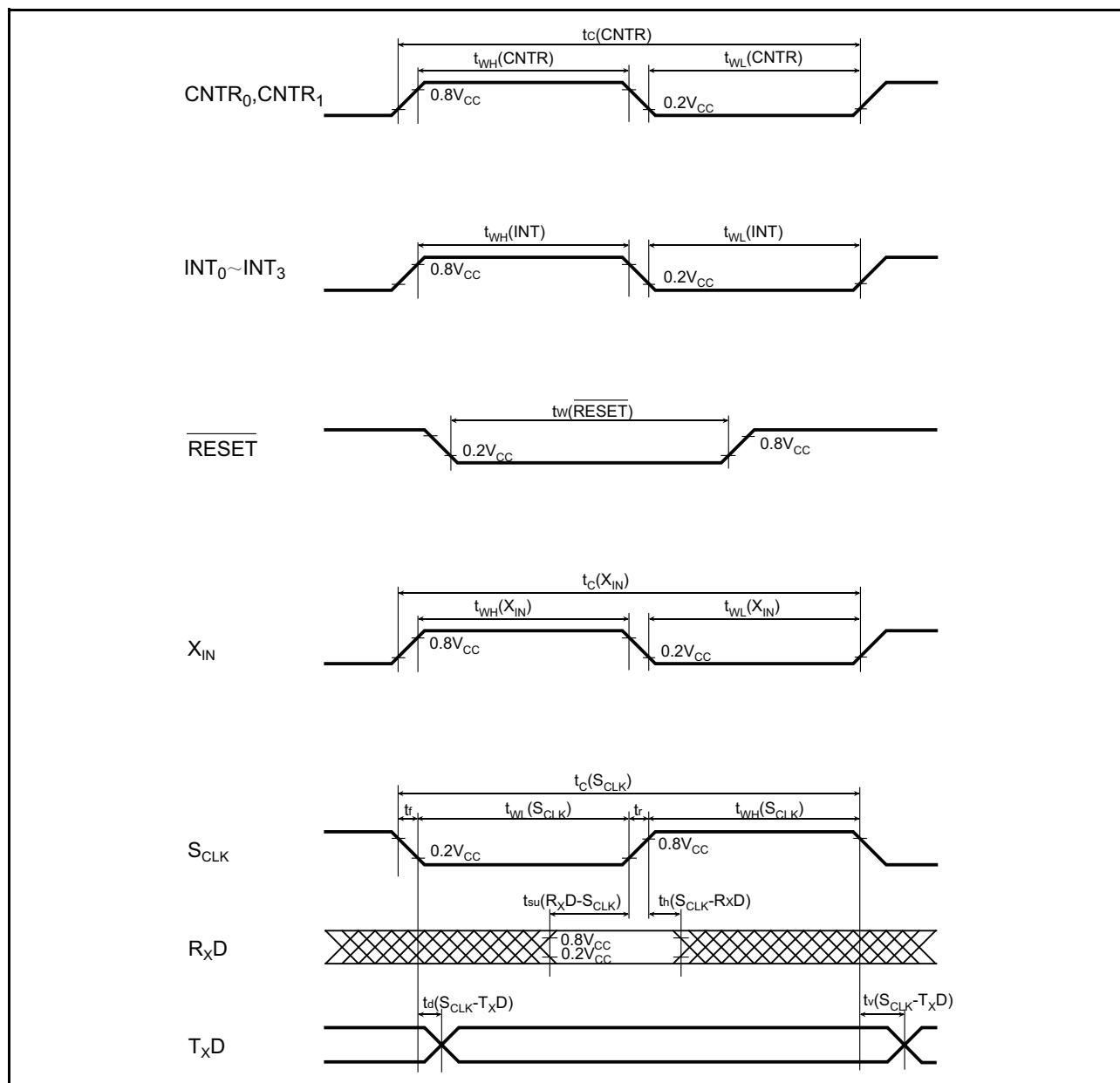
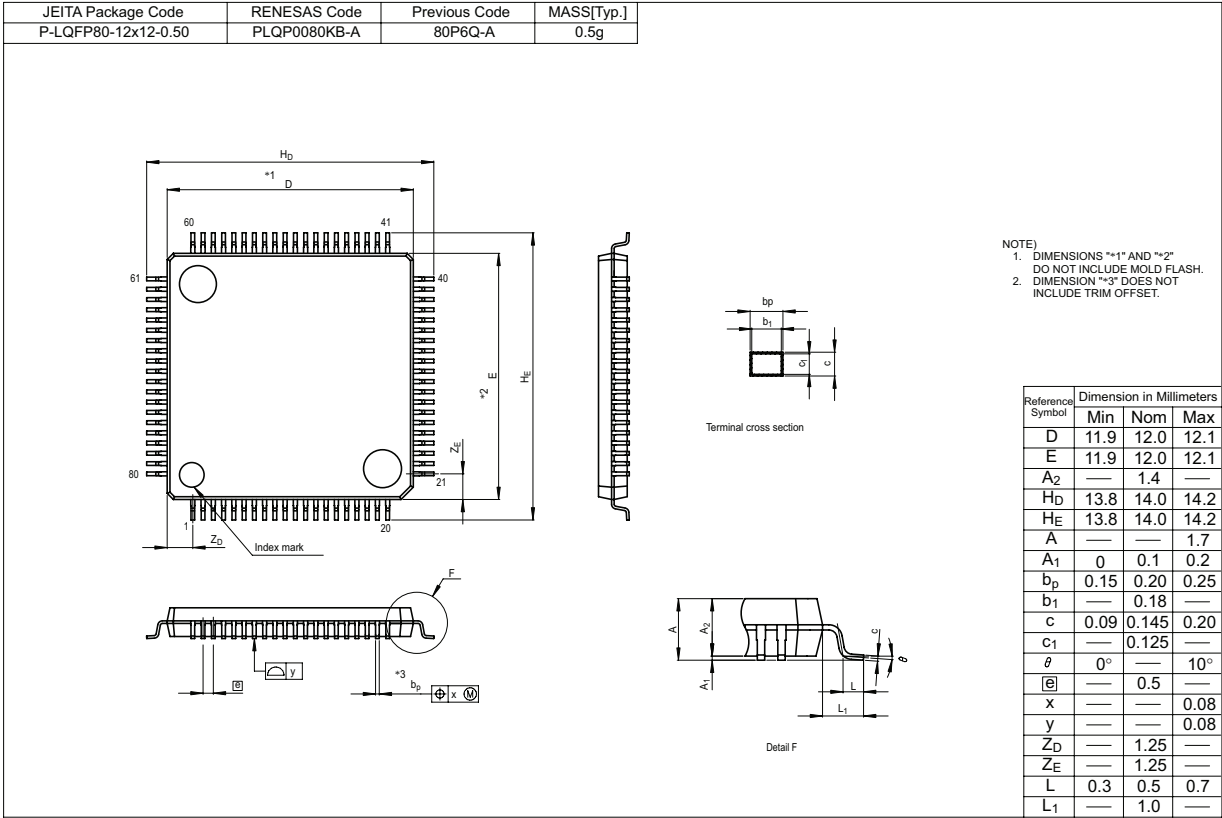
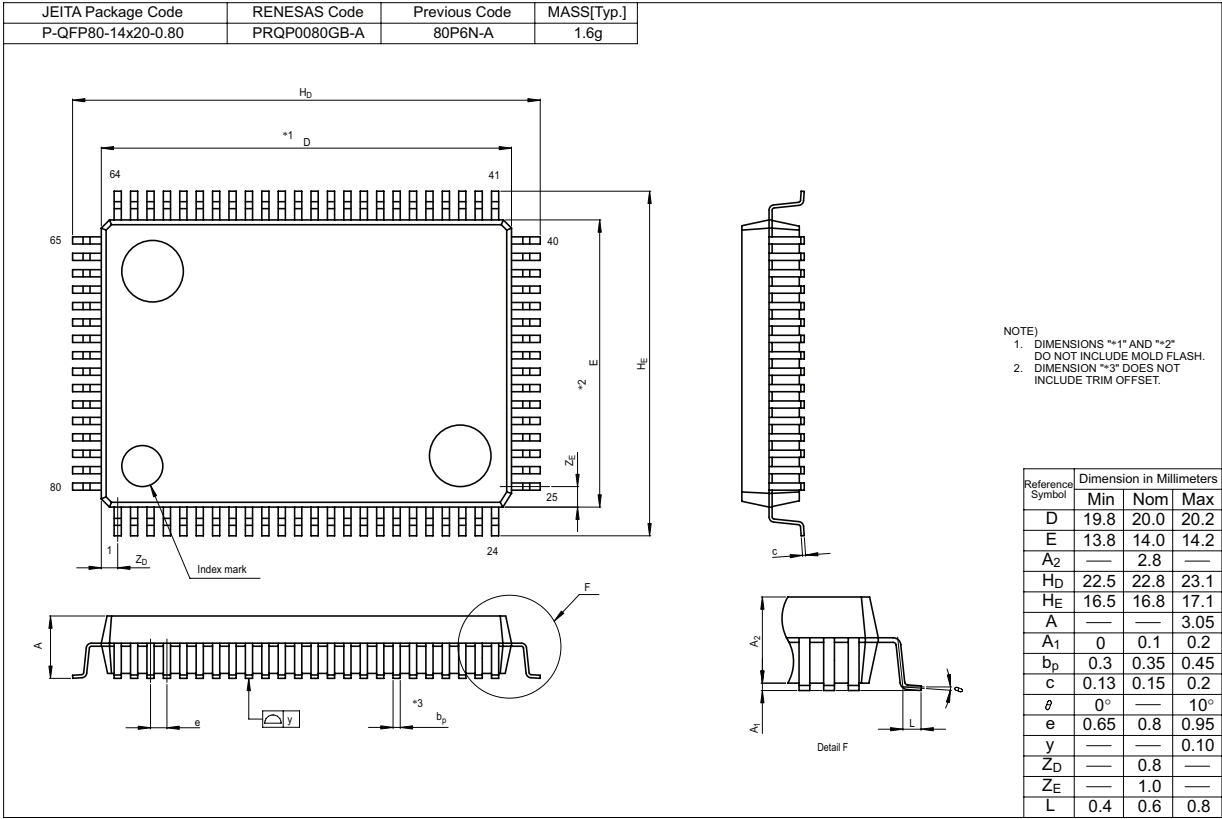


图 70 时序图

封装尺寸图

关于封装尺寸图的最新版和安装信息，请参照刊登在瑞萨主页的“封装”。



修订记录	3823 群 数据表
------	------------

Rev.	发行日	修订内容	
		页	修订处
1.00	2006.03.13	—	初版发行
1.01	2008.02.29	2	将图 1 中的 “P4 ₀ (V _{PP})” 改为 “P4 ₀ ”。
		3	将图 2 中的 “P4 ₀ (V _{PP})” 改为 “P4 ₀ ”。
		6	将表 2 中的 “P4 ₀ (V _{PP})” 改为 “P4 ₀ ”；追加 “P2 ₀ /KW ₀ ~ P2 ₇ /KW ₇ ”。
		14	在图 8 中追加注 1、注 2。
		17	将图 11 中的 “看门狗定时器寄存器” 改为 “看门狗定时器控制寄存器”，并追加注。
		19	将表 6 中的 “P2 ₀ ~ P2 ₇ ” 改为 “P2 ₀ /KW ₀ ~ P2 ₇ /KW ₇ ”。
		20	将表 7 中的 “A/D 控制寄存器” 改为 “AD 控制寄存器”。
		24	将表 8 (1) 中的 “P4 ₀ (V _{PP})” 改为 “P4 ₀ ”。
		25	在表 8 (2) 中追加 “A _{VSS} ” 内容；删除注中的 “A _{VSS} 必须连接到 V _{SS} ”。
		26 ~ 31	修改 “中断” 的说明内容；追加图 18 ~ 图 20。
		51	修改 “ROM 校正功能” 的部分说明内容。
		53	在 “看门狗定时器的初始值” 中追加部分说明内容；删除 “看门狗定时器的运行” 中的部分说明内容；追加 “看门狗定时器控制寄存器的 bit6” 内容。
		54	将图 47 中的 “内部系统时钟时钟选择位 (bit7)” 改为 “内部系统时钟选择位 (CPU 模式寄存器的 bit7)”、“STP 指令禁止位” 改为 “STP 指令功能选择位”；修改图 48 中的部分内容并追加注。
		57	将图 53 中的 “端口 P0 输出控制寄存器” 改为 “端口 P0 方向寄存器”、“0000 ₁₆ ” 改为 “0001 ₁₆ ”。
		59	在 “频率的控制” 中的 “(4) 低速模式” 中追加部分说明内容。
		61	替换图 57。
		62 ~ 65	追加 “QzROM 编程模式” 内容。
		66	在 “有关处理器状态寄存器的注意事项” 中追加部分说明内容。
		69	替换图 66。
		70	在 “有关过电压的注意事项” 中追加部分说明内容，并追加图 68。
		73	将表 15 中的 “V _{REF} ” 的最小规格值 “2.0” 改为 “1.8”。
		77	在表 18 (2) 中追加 “V _{RAM} ” 内容。
		79	在表 19 (4) “R _{OCO} ” 的测定条件中追加 “Ta = 25°C”。
		80	将表 21 (1) 和表 21 (2) 中 “ABS” 的测定条件为 “ADL2 = “1”” 中的 “CPUM7 = “0”” 改为 “CPUM7 = “1””。
		85	替换 “外形尺寸图”；追加 “关于封装尺寸图的最新版和安装信息，请参照刊登在瑞萨主页的 “封装””。

Notes:

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guaranties regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
 - (1) artificial life support devices or systems
 - (2) surgical implantations
 - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
 - (4) any other purposes that pose a direct threat to human lifeRenesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

株式会社 瑞萨科技

下面所记中文只作为参考译文，英文具有正式效力。

请遵循安全第一进行电路设计：

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并非意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页 (<http://www.renesas.com>) 等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而致使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统(如各种安全装置或者运输交通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等)而设计和制造的,特别是对于品质和可靠性要求极高的机器和系统等（将本公司指定用于汽车方面的产品用于汽车时除外）。如果要用于上述的目的，请务必事先向本公司的营业窗口咨询。另外，对于用于上述目的而造成的损失等，本公司概不负责。
8. 除上述第7项内容外，不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失，本公司概不负责。
 - 1) 生命维持装置。
 - 2) 生命维持装置。
 - 3) 用于治疗（切除患部、给药等）的装置。
 - 4) 其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时，对于最大额定值、工作电源电压的范围、散热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时，对于由此而造成的故障和出现的事故，本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性，但一般来说，半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司的产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失，希望客户能自行负责进行冗余设计、采取延烧对策及进行防止错误运行等的安全设计（包括硬件和软件两方面的设计）以及老化处理等，这是作为机器和系统的出厂保证。特别是单片机的软件，由于单独进行验证很困难，所以要求在顾客制造的最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下，有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时，请顾客自行负责将本公司产品设置为不容易剥落的安全设计。如果从顾客的设备上剥落而造成事故时，本公司将不承担任何责任。
12. 在未得到本公司的事先书面认可时，不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容，或者有其他关心的问题，请向本公司的营业窗口咨询。



RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

Renesas Technology America, Inc.

450 Holger Way, San Jose, CA 95134-1368, U.S.A
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology (Shanghai) Co., Ltd.

Unit 204, 205, AZIACenter, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7858/7898

Renesas Technology Hong Kong Ltd.

7th Floor, North Tower, World Finance Centre, Harbour City, Canton Road, Tsimshatsui, Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2377-3473

Renesas Technology Taiwan Co., Ltd.

10th Floor, No.99, Fushing North Road, Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 3518-3399

Renesas Technology Singapore Pte. Ltd.

1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

Renesas Technology Korea Co., Ltd.

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

Renesas Technology Malaysia Sdn. Bhd

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: <603> 7955-9390, Fax: <603> 7955-9510