

プログラマブル・ディレイ (PDLY)

- 概要
 - 4つの動作モードから1つを選択します
 - 立ち上がりエッジ検出
 - 立ち下がりエッジ検出
 - 両エッジ検出
 - 両エッジディレイ
- 対応デバイス
 - 全ての GreenPAK デバイス

遅延時間と出力パルス幅は電源電圧とディレイ・セル数(1~4)によって変化します。

The screenshot shows the 'Properties' window for the 'P DLY/FILTER' block. The 'Type' is set to 'P DLY', the 'Mode' is 'Rising edge detector', and the 'Delay' is '1 Cell'. Below this is an 'Information' section with a table showing delay and pulse width for different VDD values.

VDD (V)	Delay (ns)	Pulse width (ns)
1.8	48.2	256.7
3.3	20	120.8
5.0	14	110

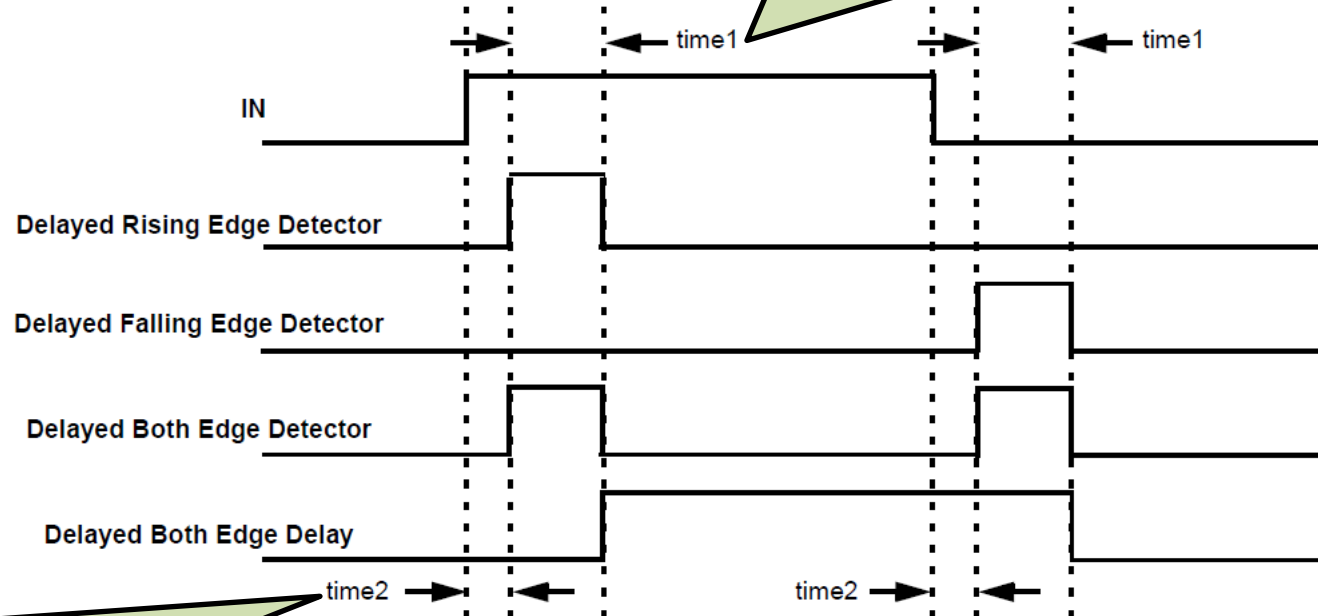
At the bottom of the window are icons for help, undo, redo, and an 'Apply' button. To the right of the window is a block diagram showing a signal path from 'IN' to 'OUT' through a 'P DLY' block.

プログラマブル・ディレイの例

プログラマブル・ディレイ (PDLY)

- エッジ検出は、該当エッジの検出後、一定幅のパルスを出力します
- 両エッジ・ディレイはディレイ(DLY)と似た動作をします
 - ディレイ(DLY) 参照

パルス幅は電源電圧とディレイ・セル数(1～4)によって変化します



遅延時間はチップ毎に異なり、電源電圧にも依存します。

デバイスによっては追加の遅延を付加できるものもあります。

time1 can be set by register
time2 is a fixed value

プログラマブル・ディレイ、各動作モードの違い

