

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

アプリケーション・ノート

V853™

32ビット・シングルチップ・マイクロコンピュータ

ハードウェア編

μPD703003A

μPD703003A(A)

μPD703004A

μPD703025A

μPD703025A(A)

μPD70F3003A

μPD70F3003A(A)

μPD70F3025A

〔メモ〕

目次要約

第1章	V853の概要	...	15
第2章	バス・インタフェース接続回路例	...	31
第3章	アプリケーション例	...	55
付録A	Q&A	...	102
付録B	総合索引	...	104

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

V853, V850シリーズ, EEPROMは日本電気株式会社の商標です。

Windowsは米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

本製品のうち、外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD70F3003A, 70F3003A(A), 70F3025A

ユーザ判定品 : μ PD703003A, 703003A(A), 703004A, 703025A, 703025A(A)

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

本版で改訂された主な箇所

箇所	内容
全般	<ul style="list-style-type: none"> ・対象製品から次の製品を削除 μ PD703003, 70F3003 ・対象製品に次の製品を追加 μ PD703003A(A), 703004A, 703025A(A), 70F3003A(A) ・ROMレス・モードの記述削除
p.15	1.2 特徴 記述変更
p.17	1.3 端子接続図 記述追加
p.19	1.5.1 プログラム・レジスタ・セット 記述変更および追加
p.20	1.5.3 動作モード 記述変更
p.21	1.5.4 メモリ・マップ 記述追加
p.21	1.5.4 (1) μ PD703003A, 70F3003A, 703004Aの場合 注追加
p.22	1.5.4 (2) μ PD703025A, 70F3025Aの場合 注追加
p.26	1.6.2 周辺I/Oレジスタ 記述変更

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このアプリケーション・ノートは、V853の機能を理解し、それらを使用した応用システムを設計するユーザを対象とします。
対象製品は次のようになります。

- ・標準品： μ PD703003A, 703004A, 703025A, 70F3003A, 70F3025A
- ・特別品： μ PD703003A(A), 703025A(A), 70F3003A(A)

目的 このアプリケーション・ノートではV853を用いたシステムの例として「V853トレーニング・ボード (TB-V853)」を取り上げ、その構成をユーザに理解していただくことを目的としています。

構成 このアプリケーション・ノートは大きく分けて次の内容で構成しています。

V853の概要

バス・インタフェース接続回路例

- ・PROM接続回路
- ・SRAM接続回路
- ・DRAM接続回路

アプリケーション例

Q&A

読み方 このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

注意1. このマニュアル中の使用例は、一般電子機器用の『標準』品質水準品用に作成してあります。
『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部品および回路について、その品質水準についてご検討のうえご使用ください。

2. 特別品のマニュアルとして使用する場合には、次のように読み替えてください。

μ PD703003A	μ PD703003A(A)
μ PD703025A	μ PD703025A(A)
μ PD70F3003A	μ PD70F3003A(A)

V853の電気的特性を知りたいとき

別冊のデータ・シートを参照してください。

V853のハードウェア機能を知りたいとき

別冊のユーザーズ・マニュアル ハードウェア編を参照してください。

V853の命令機能を知りたいとき

別冊のV850シリーズ™ ユーザーズ・マニュアル アーキテクチャ編を参照してください。

- 凡 例**
- データ表記の重み : 左が上位桁, 右が下位桁
- アクティブ・ロウの表記 : xxx (端子, 信号名称に上線) または
/ xxx (信号名称の前に“ / ”記号)
- メモリ・マップのアドレス : 上部 - 上位, 下部 - 下位
- 注 : 本文中につけた注の説明
- 注意 : 気をつけて読んでいただきたい内容
- 備考 : 本文の補足説明
- 数の表記 : 2進数...xxxxまたはxxxxB
10進数...xxxx
16進数...xxxxH
- 2のべき数を示す接頭語 (アドレス空間, メモリ容量) :
- K (キロ) : $2^{10} = 1024$
- M (メガ) : $2^{20} = 1024^2$
- G (ギガ) : $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスに関する資料

資料名	資料番号
V850シリーズ ユーザーズ・マニュアル アーキテクチャ編	U10243J
μ PD703003A, 703003A(A), 703004A, 703025A, 703025A(A) データ・シート	U13188J
μ PD70F3003A, 70F3003A(A), 70F3025A データ・シート	U13189J
V853 ユーザーズ・マニュアル ハードウェア編	U10913J
V853 アプリケーション・ノート ハードウェア編	このマニュアル
V853 アプリケーション・ノート ソフトウェア編	U12784J

開発ツールに関する資料 (ユーザーズ・マニュアル)

製品名	資料番号	
IE-703002-MC (インサーキット・エミュレータ)	U11595J	
IE-703003-MC-EM1 (インサーキット・エミュレータ・オプション・ボード)	U11596J	
CA850 (Ver.2.30以上) (Cコンパイラ・パッケージ)	操作編	U14568J
	C言語編	U14566J
	プロジェクト・マネージャ編	U14569J
	アセンブリ言語編	U14567J
CA850 (Ver.2.40以上) (Cコンパイラ・パッケージ)	操作編	U15024J
	C言語編	U15025J
	プロジェクト・マネージャ編	U15026J
	アセンブリ言語編	U15027J
ID850 (Ver.2.40以上) (統合ディバッガ)	操作編 Windows™ベース	U15181J
SM850 (Ver.2.40以上) (システム・シミュレータ)	操作編 Windowsベース	U15182J
SM850 (Ver.2.00以上) (システム・シミュレータ)	外部部品ユーザ・オープン・インタ フェース仕様編	U14873J
RX850 (Ver.3.13以上) (リアルタイムOS)	基礎編	U13430J
	インストレーション編	U13410J
	テクニカル編	U13431J
RX850 Pro (Ver.3.13) (リアルタイムOS)	基礎編	U13773J
	インストレーション編	U13774J
	テクニカル編	U13772J
RD850 (Ver.3.01) (タスク・ディバッガ)		U13737J
RD850 Pro (Ver.3.01) (タスク・ディバッガ)		U13916J
AZ850 (Ver.3.0) (システム・パフォーマンス・アナライザ)		U14410J
PG-FP3 (フラッシュ・メモリ・プログラマ)		U13502J

目 次

第1章 V853の概要 ... 15

- 1.1 概 説 ... 15
- 1.2 特 徴 ... 15
- 1.3 端子接続図 (Top View) ... 17
- 1.4 内部ブロック図 ... 18
- 1.5 CPU機能 ... 19
 - 1.5.1 プログラム・レジスタ・セット ... 19
 - 1.5.2 システム・レジスタ・セット ... 20
 - 1.5.3 動作モード ... 20
 - 1.5.4 メモリ・マップ ... 21
- 1.6 周辺機能 ... 24
 - 1.6.1 内部ユニット ... 24
 - 1.6.2 周辺I/Oレジスタ ... 26

第2章 バス・インタフェース接続回路例 ... 31

- 2.1 アドレス・バス/データ・バスの分離 ... 32
- 2.2 PROM接続回路 ... 33
 - 2.2.1 PROM接続回路1 ... 33
 - 2.2.2 PROM接続回路2 ... 35
- 2.3 SRAM接続回路 ... 37
- 2.4 DRAM接続回路 ... 42
 - 2.4.1 DRAM接続回路1 ($\overline{\text{HLDRQ}}$ 端子を使用したリフレッシュ) ... 42
 - 2.4.2 DRAM接続回路2 ($\overline{\text{WAIT}}$ 端子を使用したリフレッシュ・アービタ) ... 45
- 2.5 バス・サイジング回路を使用した8ビットPROMの接続 ... 49
- 2.6 ポート機能を使用したバンク切り替えによる1 Mバイト超のメモリ接続 ... 52

第3章 アプリケーション例 ... 55

- 3.1 TB-V853の機能 ... 55
 - 3.1.1 概 要 ... 55
 - 3.1.2 構 成 ... 55
 - 3.1.3 ボード構成図 ... 57
 - 3.1.4 メモリ・マップ ... 58
 - 3.1.5 接続メモリ ... 59
 - 3.1.6 ポート機能の接続 ... 59

3.1.7	UARTの接続	...	60
3.1.8	CSIの接続 (シリアルEEPROMの接続)	...	61
3.1.9	PWMの接続	...	62
3.1.10	ADCの接続	...	63
3.1.11	DACの接続	...	65
3.2	内部レジスタの設定	...	66
3.2.1	BCUの設定	...	66
3.2.2	ポート機能 (端子機能の設定)	...	69
3.2.3	割り込み制御ユニットの設定	...	72
3.2.4	クロック発生機能の設定	...	73
3.3	プログラム例	...	74
3.3.1	外部メモリ・アクセス	...	74
3.3.2	スイッチ入力とLED出力 (ポート機能)	...	74
3.3.3	100 msインターバル・タイマ割り込み (RPU, INTC)	...	75
3.3.4	DCモータの速度制御 (PWM)	...	75
3.3.5	正弦波入力のサンプリングとアナログ出力 (ADC, DAC)	...	76
3.4	TB-V853の仕様	...	78
3.4.1	仕様一覧	...	78
3.4.2	回路図	...	79
3.4.3	FPGAリスト	...	93
付録A	Q & A	...	102
付録B	総合索引	...	104
B.1	50音で始まる語句の索引	...	104
B.2	アルファベットで始まる語句の索引	...	106

図の目次 (1/2)

図番号	タイトル, ページ
2 - 1	アドレス・バス / データ・バスの分離回路例 ... 32
2 - 2	PROM接続回路例1 ... 34
2 - 3	PROMリード動作 ... 34
2 - 4	PROM接続回路例2 ... 36
2 - 5	PROMリード動作 ... 36
2 - 6	SRAM接続回路例 ... 38
2 - 7	SRAMリード動作 ... 39
2 - 8	SRAMライト動作 (16ビット・ライト) ... 39
2 - 9	偶数アドレス・バイト・ライト ... 40
2 - 10	奇数アドレス・バイト・ライト ... 41
2 - 11	DRAM接続回路例1 (HLDRQ端子を使用したリフレッシュ) ... 43
2 - 12	タイミング生成部の詳細 ... 44
2 - 13	リード・タイミング ... 44
2 - 14	リフレッシュ・タイミング ... 45
2 - 15	DRAM接続回路例2 (WAIT端子を使用したリフレッシュ・アービタ) ... 46
2 - 16	アービタ部の詳細 ... 47
2 - 17	タイミング生成部の詳細 ... 47
2 - 18	アービタ部の動作 (リフレッシュ要求とV853の要求が同時に発生した場合) ... 48
2 - 19	バス・サイジング回路を使用した8ビットPROMの接続 ... 50
2 - 20	バイト・アクセス ... 51
2 - 21	ワード・アクセス / ハーフワード・アクセス ... 51
2 - 22	ポート機能を使用したバンク切り替えによる1 Mバイト超のメモリ接続 ... 53
2 - 23	リード動作 ... 54
2 - 24	ライト動作 ... 54
3 - 1	TB-V853のボード構成図 ... 57
3 - 2	TB-V853のメモリ・マップ ... 58
3 - 3	ポート接続回路例 ... 60
3 - 4	UARTの接続回路例 ... 61
3 - 5	CSIの接続回路例 ... 61
3 - 6	PWMの接続回路例 ... 62
3 - 7	正弦波発振器の接続 (ANI0) ... 63
3 - 8	可変抵抗による0-5 Vの接続 (ANI1) ... 64
3 - 9	光センサの接続 (ANI2) ... 64
3 - 10	DACの接続回路例 ... 65
3 - 11	外部領域のメモリ・マップ ... 66

図の目次 (2/2)

図番号	タイトル, ページ
3 - 12	メモリ拡張モード・レジスタ (MM) の設定 ... 67
3 - 13	データ・ウェイト・コントロール・レジスタ (DWC) の設定 ... 67
3 - 14	バス・サイクル・コントロール・レジスタ (BCC) の設定 ... 67
3 - 15	データ・ウェイト・コントロール・レジスタ (DWC) の設定 (ウェイト挿入時) ... 68
3 - 16	バス・サイクル・コントロール・レジスタ (BCC) の設定 (アイドル・ステート挿入時) ... 68
3 - 17	ポート0モード・コントロール・レジスタ (PMC0) の設定 ... 69
3 - 18	ポート1モード・コントロール・レジスタ (PMC1) の設定 ... 69
3 - 19	ポート2モード・コントロール・レジスタ (PMC2) の設定 ... 69
3 - 20	ポート3モード・コントロール・レジスタ (PMC3) の設定 ... 70
3 - 21	ポート11モード・コントロール・レジスタ (PMC11) の設定 ... 70
3 - 22	ポート・コントロール・モード・レジスタ (PCM) の設定 ... 70
3 - 23	ポート0モード・レジスタ (PM0) の設定 ... 70
3 - 24	ポート1モード・レジスタ (PM1) の設定 ... 71
3 - 25	ポート2モード・レジスタ (PM2) の設定 ... 71
3 - 26	ポート3モード・レジスタ (PM3) の設定 ... 71
3 - 27	ポート4モード・レジスタ-ポート6モード・レジスタ (PM4-PM6) の設定 ... 71
3 - 28	ポート9モード・レジスタ (PM9) の設定 ... 72
3 - 29	ポート11モード・レジスタ (PM11) の設定 ... 72
3 - 30	外部割り込みモード・レジスタ0 (INTM0) の設定 ... 72
3 - 31	外部割り込みモード・レジスタ1 (INTM1) の設定 ... 72
3 - 32	外部割り込みモード・レジスタ2,3 (INTM2,INTM3) の設定 ... 73
3 - 33	外部割り込みモード・レジスタ4 (INTM4) の設定 ... 73
3 - 34	クロック・コントロール・レジスタ (CKC) の設定 ... 73
3 - 35	CPUとEEPROM周辺回路 ... 81
3 - 36	電源とスイッチ ... 83
3 - 37	デバイス制御回路 ... 85
3 - 38	メモリ周辺回路 ... 87
3 - 39	LED制御回路 ... 89
3 - 40	入出力回路 ... 91

表の目次

表番号	タイトル, ページ
1 - 1	プログラム・レジスタ一覧 ... 19
1 - 2	システム・レジスタ一覧 ... 20
1 - 3	割り込み / 例外テーブル ... 23
3 - 1	使用入出力ポート一覧 ... 59
3 - 2	RS-232-Cインタフェース・コネクタ (CN2) ... 60
3 - 3	TB-V853の仕様一覧 ... 78

リストの目次

リスト番号	タイトル, ページ
3 - 1	メモリ・インタフェース制御 ... 94
3 - 2	7セグメントLED制御 ... 97

第1章 V853の概要

1.1 概 説

V853は、リアルタイム制御向け高性能32ビット・シングルチップ・マイクロコンピュータV850シリーズのCPUコアを使用し、ROM/RAM、および、リアルタイム・パルス・ユニット、シリアル・インタフェース、A/Dコンバータ、D/Aコンバータ、PWMなどの周辺機能を内蔵した内部データ・バス32ビット、外部データ・バス16ビットのシングルチップ・マイクロコンピュータです。

V853では、周辺I/O領域に配列される内部I/Oや外部に接続されるI/Oデバイス等のI/Oは、すべてメモリ上にマッピングされます。

1.2 特 徴

命令数 74

最小命令実行時間 30 ns (内部システム・クロック：33 MHz時)

汎用レジスタ 32ビット×32本

命令セット 符号付き乗算 (16ビット×16ビット 32ビット) : 1-2クロック
飽和演算命令 (オーバフロー/アンダフロー検出機能付き)
32ビット・シフト命令 : 1クロック
ビット操作命令
ロング/ショート形式を持つロード/ストア命令

メモリ空間 16 Mバイト・リニア・アドレス空間 (外部拡張1 Mバイトまで可能)
メモリ・ブロック分割機能 : 2 Mバイト/ブロック
プログラマブル・ウエイト機能
アイドル・ステート挿入機能

外部バス・インタフェース

16ビット・データ・バス (アドレス/データ・マルチプレクス)
バス・ホールド機能
外部ウエイト機能

★ 内蔵メモリ

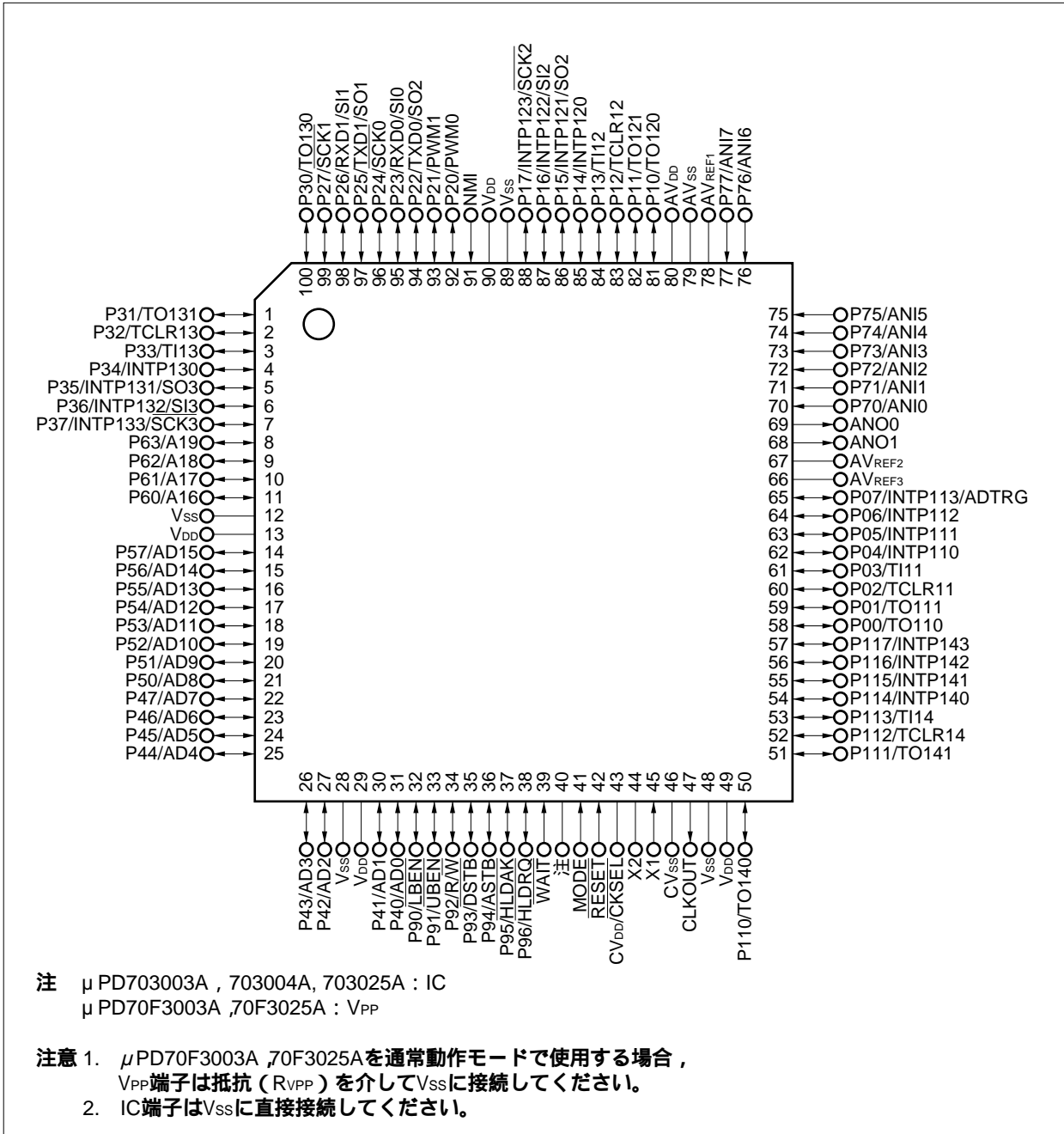
品 名	内蔵ROM	内蔵RAM
μ PD703003A	マスクROM : 128 Kバイト	4 Kバイト
μ PD70F3003A	フラッシュ・メモリ : 128 Kバイト	4 Kバイト
μ PD703004A	マスクROM : 96 Kバイト	4 Kバイト
μ PD703025A	マスクROM : 256 Kバイト	8 Kバイト
μ PD70F3025A	フラッシュ・メモリ : 256 Kバイト	8 Kバイト

★	割り込み / 例外	外部割り込み	17本 (NMI含む)
		内部割り込み	32要因
		例外	1要因
		8レベルの優先順位指定可能	
	I/Oライン	入力ポート	: 8
		入出力ポート	: 67
	リアルタイム・パルス・ユニット		
		16ビット・タイマ/イベント・カウンタ : 4 ch	
		16ビット・タイマ : 4本	
		16ビット・キャプチャ/コンペア・レジスタ : 16本	
		16ビット・インターバル・タイマ : 1 ch	
	シリアル・インタフェース		
		アシンクロナス・シリアル・インタフェース (UART)	
		クロック同期式シリアル・インタフェース (CSI)	
		UART/CSI : 2 ch	
		CSI : 2 ch	
		専用ポー・レート・ジェネレータ : 3 ch	
	PWM (Pulse Width Modulation)		
		8/9/10/12ビット分解能PWM : 2 ch	
	A/Dコンバータ	10ビット分解能A/Dコンバータ : 8 ch	
	D/Aコンバータ	8ビット分解能D/Aコンバータ : 2 ch	
	クロック・ジェネレータ		
		PLLクロック・シンセサイザによる逡倍機能	
	パワー・セーブ機能		
		HALT/IDLE/ソフトウェアSTOPモード	
		クロック出力停止機能	
★	パッケージ	100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)	
	CMOS構造		

1.3 端子接続図 (Top View)

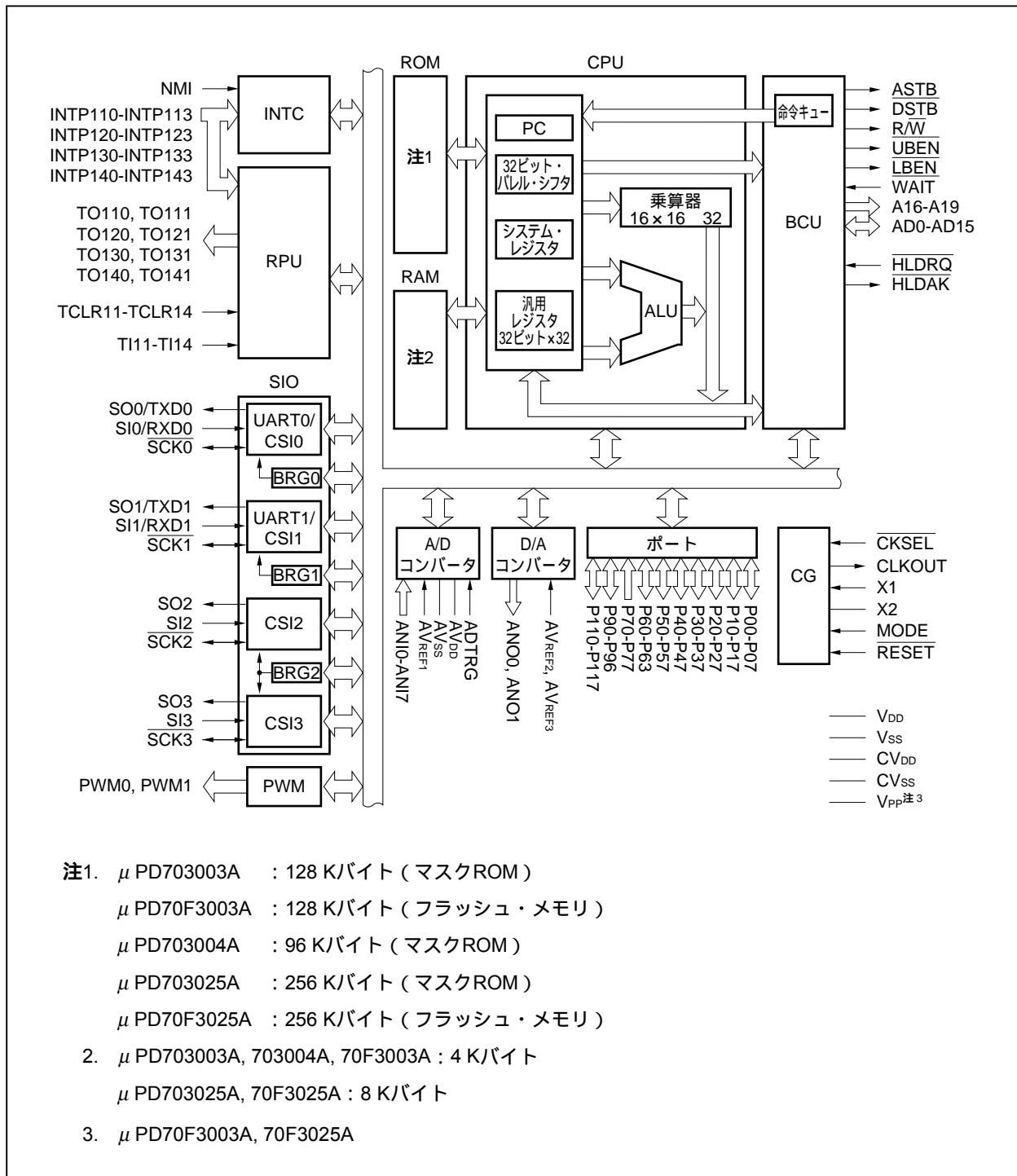
★ ・100ピン・プラスチックLQFP (ファインピッチ) (14×14)

- μ PD703003AGC-33-xxx-8EU μ PD703003AGC(A)-33-xxx-8EU
- μ PD703004AGC-33-xxx-8EU μ PD703025AGC(A)-33-xxx-8EU
- μ PD703025AGC-33-xxx-8EU μ PD70F3003AGC(A)-33-8EU
- μ PD70F3003AGC-33-8EU
- μ PD70F3025AGC-33-8EU



- ★ 注 μ PD703003A , 703004A, 703025A : IC
- ★ μ PD70F3003A ,70F3025A : V_{PP}
- ★ 注意 1. μPD70F3003A ,70F3025Aを通常動作モードで使用する場合、
V_{PP}端子は抵抗 (R_{VPP}) を介してV_{SS}に接続してください。
- 2. IC端子はV_{SS}に直接接続してください。

★ 1.4 内部ブロック図



1.5 CPU機能

V853のCPUは、32ビットRISCアーキテクチャをベースとし、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

CPUのレジスタには、プログラム・レジスタ・セットとシステム・レジスタ・セットがあり、すべて32ビットで構成されています。

★ 1.5.1 プログラム・レジスタ・セット

プログラム・レジスタには汎用レジスタ (r0-r31) とプログラム・カウンタ (PC) があります。

表1-1 プログラム・レジスタ一覧

名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエイト作成用のワーキング・レジスタとして使用
r2	アドレス/データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス/データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。また、r1, r3-r5, r31はアセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻してください。r2はリアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

1.5.2 システム・レジスタ・セット

システム・レジスタはCPUの状態制御、割り込み情報保持などを行います。

表1-2 システム・レジスタ一覧

番号	システム・レジスタ名称	用途	動作
0	EIPC	割り込み時状態退避レジスタ	例外または割り込みが発生した場合に、PCとPSWを退避するレジスタです。このレジスタは1組しかいないため、多重割り込みを許可する場合は、プログラムでこのレジスタを退避する必要があります。
1	EIPSW		
2	FEPC	NMI時状態退避レジスタ	NMIが発生した場合に、PCとPSWを退避するレジスタです。
3	FEPSW		
4	ECR	割り込み要因レジスタ	例外、マスカブル割り込み、NMIが発生した場合に、その要因を保持するレジスタです。このレジスタは、上位16ビットを“FECC”と呼び、NMIの例外コードがセットされます。下位16ビットは“EICC”と呼び、例外/割り込みの例外コードがセットされます。
5	PSW	プログラム・ステータス・ワード	プログラム・ステータス・ワードは、プログラムの状態（命令実行結果）やCPUの状態を示すフラグの集合です。
6-31	予約		

★ 1.5.3 動作モード

V853には通常動作モードとフラッシュ・メモリ・プログラミング・モードがあります。

(1) 通常動作モード（シングルチップ・モード）

システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレス（00000000H）に分岐し、命令処理を開始します。命令によりメモリ拡張モード・レジスタ（MM）を設定することにより、外部メモリ領域に外部デバイスを接続できる外部拡張モードになります。

★ (2) フラッシュ・メモリ・プログラミング・モード（ μ PD70F3003A, 70F3025Aのみ）

専用フラッシュ・ライターでフラッシュ・メモリの書き込みを行うモードです。

フラッシュ・メモリ・プログラミング・モードに遷移するにはMODE, V_{PP} , \overline{WAIT} 端子を次のように設定後、リセットを解除します。

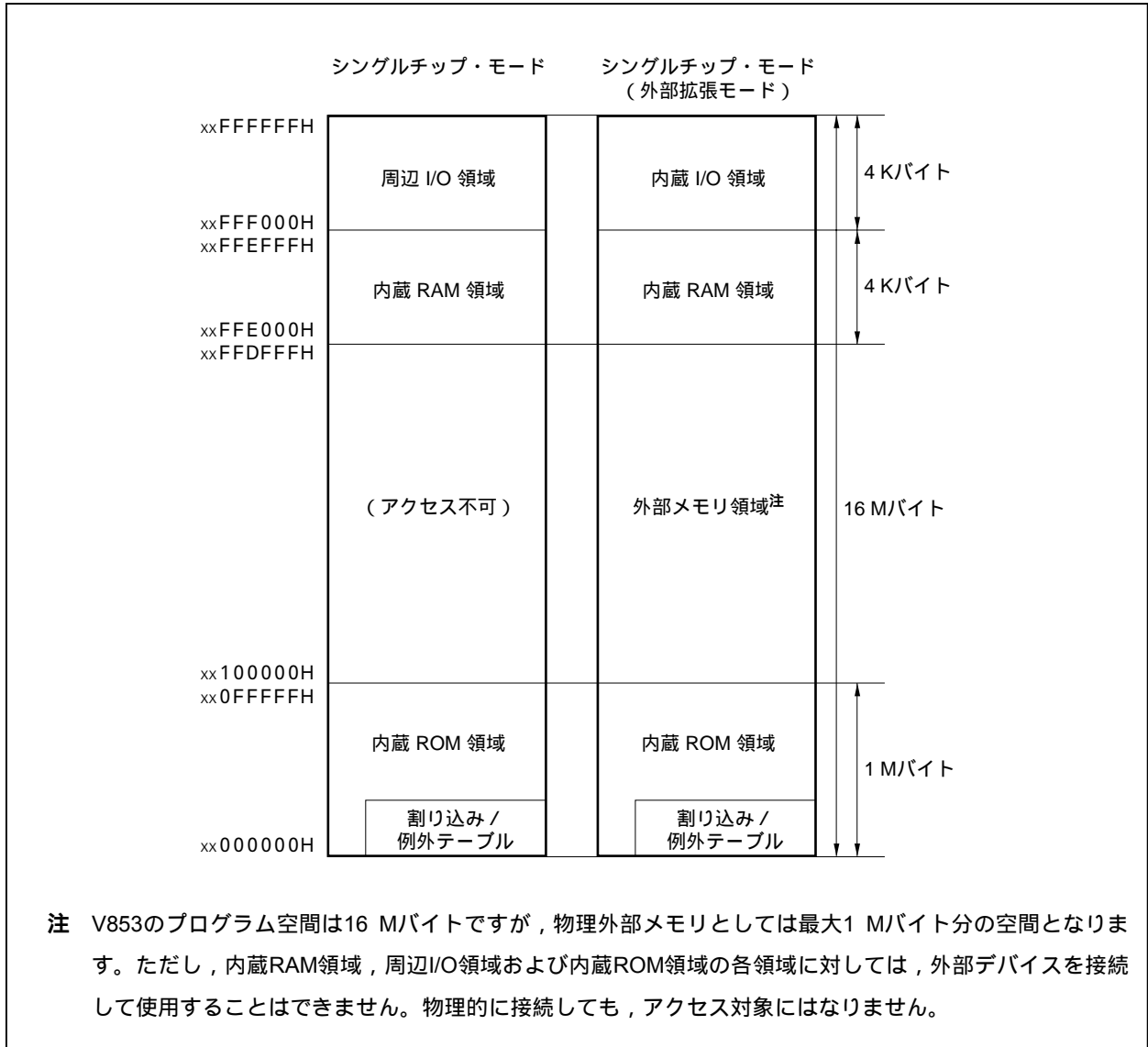
- ・MODE : V_{DD}
- ・ V_{PP} : 10.3 V
- ・ \overline{WAIT} : V_{DD}

1.5.4 メモリ・マップ

★ V853では、次のように各領域を予約しています。外部拡張モードの指定はメモリ拡張モード・レジスタ(MM)で行います。

MMレジスタについては、V853 **ユーザーズ・マニュアル** **ハードウェア編**を参照してください。

(1) μ PD703003A, 70F3003A, 703004Aの場合



(2) μ PD703025A, 70F3025Aの場合

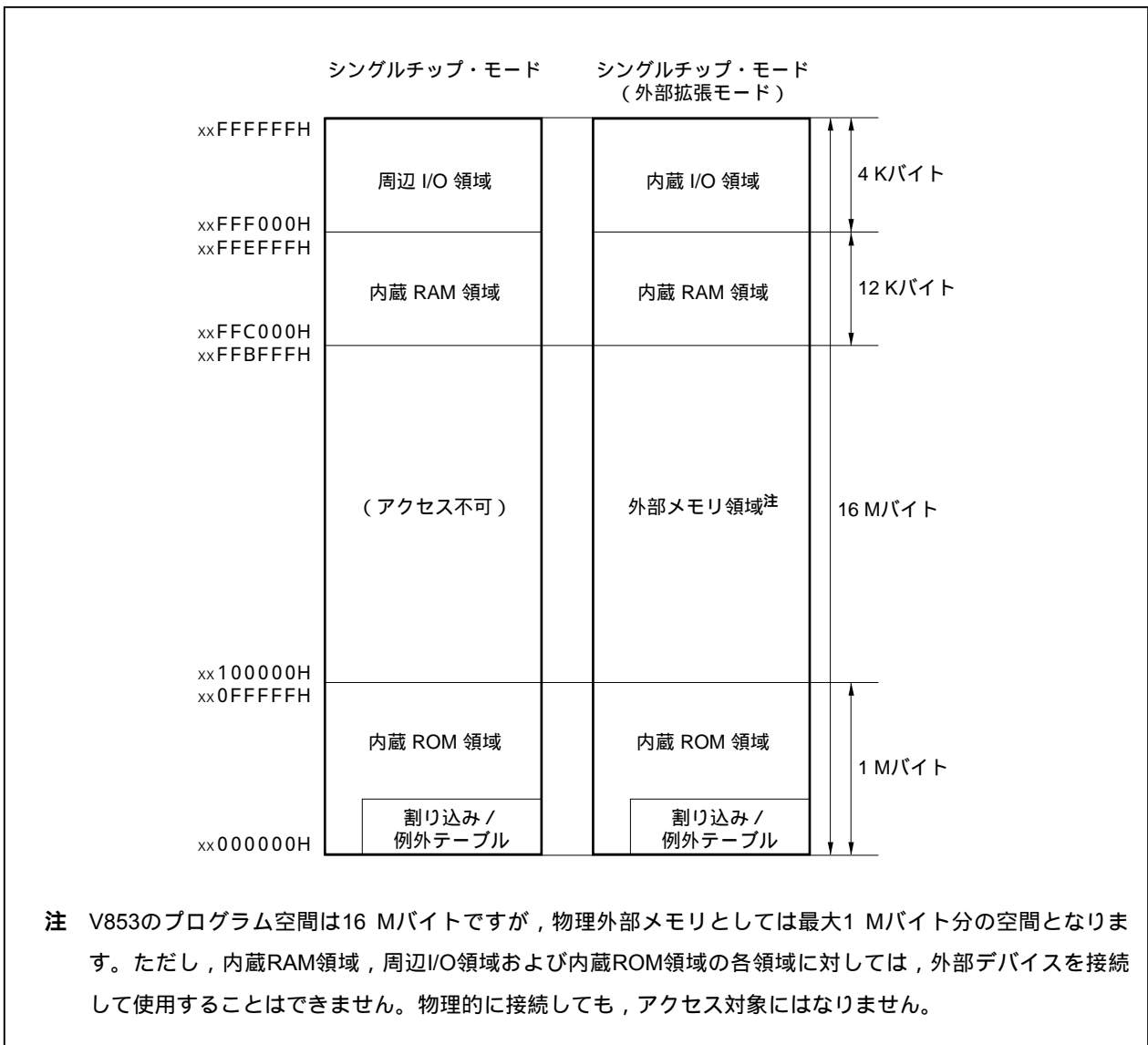


表1 - 3 割り込み / 例外テーブル

割り込み / 例外テーブルの先頭アドレス	割り込み / 例外要因
00000000H	RESET
00000010H	NMI
00000040H	TRAP0n (n = 0-FH)
00000050H	TRAP1n (n = 0-FH)
00000060H	ILGOP
00000080H	INTOV11
00000090H	INTOV12
000000A0H	INTOV13
000000B0H	INTOV14
000000C0H	INTP110/INTCC110
000000D0H	INTP111/INTCC111
000000E0H	INTP112/INTCC112
000000F0H	INTP113/INTCC113
00000100H	INTP120/INTCC120
00000110H	INTP121/INTCC121
00000120H	INTP122/INTCC122
00000130H	INTP123/INTCC123
00000140H	INTP130/INTCC130
00000150H	INTP131/INTCC131
00000160H	INTP132/INTCC132
00000170H	INTP133/INTCC133
00000180H	INTP140/INTCC140
00000190H	INTP141/INTCC141
000001A0H	INTP142/INTCC142
000001B0H	INTP143/INTCC143
000001C0H	INTCM4
000001D0H	INTCSI0
000001E0H	INTCSI1
000001F0H	INTCSI2
00000200H	INTCSI3
00000210H	INTSER0
00000220H	INTSR0
00000230H	INTST0
00000240H	INTSER1
00000250H	INTSR1
00000260H	INTST1
00000270H	INTAD

1.6 周辺機能

1.6.1 内部ユニット

(1) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行します。

乗算器（16ビット×16ビット 32ビット），バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し，複雑な命令処理の高速化を図っています。

(2) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは内部の命令キューに取り込まれます。

(3) ROM

★ 00000000H番地からマッピングされています。MODE端子の状態にかかわらず常にアクセス許可に固定されています。

このROMは，命令フェッチ時にCPUから1クロックでアクセスされます。

(4) RAM

FFFFC000H番地または，FFFFE000H番地からマッピングされています。このRAMは，データ・アクセス時にCPUから1クロックでアクセスできます。

(5) 割り込みコントローラ (INTC)

内蔵周辺ハードウェアおよび外部からのハードウェア割り込み要求（NMI，INTP110-INTP113，INTP120-INTP123，INTP130-INTP133，INTP140-INTP143）を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，割り込み要因の多重処理ができます。

(6) クロック・ジェネレータ (CG)

内蔵PLLにより，X1，X2端子に接続された発振子の5倍，1倍，1/2倍の周波数をCPUの動作クロックとして供給します。また，発振子を接続する代わりに外部クロックを入力することもできます。

(7) リアルタイム・パルス・ユニット (RPU)

16ビットのタイマ/イベント・カウンタを4チャンネルと，16ビットのインターバル・タイマを1チャンネル内蔵し，パルス間隔や周波数の計測，プログラマブルなパルスの出力が可能になっています。

(8) シリアル・インタフェース (SIO)

シリアル・インタフェースとして、アシンクロナス・シリアル・インタフェース (UART) とクロック同期式シリアル・インタフェース (CSI) をあわせて4チャンネル備えています。このうち2チャンネルはUARTとCSIの切り替えが可能で、2チャンネルはCSI固定です。

UART0, UART1は、TXD0, TXD1, RXD0, RXD1端子によりデータ転送を行います。

CSI0-CSI3は、SO0-SO3, SI0-SI3, SCK0-SCK3端子によりデータ転送を行います。

シリアル・クロック・ソースはポー・レート・ジェネレータ出力と内部システム・クロックから選択できます。

また固定のCSIのうち1チャンネルは、シリアル・クロック出力、シリアル出力がN-chオープン・ドレイン出力になっています。

(9) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	ポート機能	制御機能
ポート0	8ビット入出力	汎用ポート	タイマ入出力, 外部割り込み
ポート1			タイマ入出力, 外部割り込み, シリアル・インタフェース
ポート2			PWM出力, シリアル・インタフェース
ポート3			タイマ入出力, 外部割り込み
ポート4			外部アドレス/データ・バス
ポート5			外部アドレス/データ・バス
ポート6	4ビット入出力		外部アドレス・バス
ポート7	8ビット入力		A/Dアナログ入力
ポート9	7ビット入出力		外部バス・インタフェース制御信号入出力
ポート11	8ビット入出力		タイマ入出力, 外部割り込み

(10) PWM (Pulse Width Modulation)

8/9/10/12ビット分解能を選択可能なPWM信号出力を2チャンネル持っています。PWM出力は、外部にロウ・パス・フィルタを接続すると、D/Aコンバータ出力として使用できます。モータなどのアクチュエータ制御に最適です。

(11) A/Dコンバータ (ADC)

8本のアナログ入力端子を持つ高速、高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

(12) D/Aコンバータ (DAC)

8ビット分解能のD/Aコンバータを2チャンネル内蔵しています。R-2R変換方式を採用しています。

1.6.2 周辺I/Oレジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1ビット	8ビット	16ビット	
FFFFFF00H	ポート0	P0	R/W				不定
FFFFFF02H	ポート1	P1					
FFFFFF04H	ポート2	P2					
FFFFFF06H	ポート3	P3					
FFFFFF08H	ポート4	P4					
FFFFFF0AH	ポート5	P5					
FFFFFF0CH	ポート6	P6					
FFFFFF0EH	ポート7	P7	R				
FFFFFF12H	ポート9	P9	R/W				
FFFFFF16H	ポート11	P11					
FFFFFF20H	ポート0モード・レジスタ	PM0					FFH
FFFFFF22H	ポート1モード・レジスタ	PM1					
FFFFFF24H	ポート2モード・レジスタ	PM2					
FFFFFF26H	ポート3モード・レジスタ	PM3					
FFFFFF28H	ポート4モード・レジスタ	PM4					
FFFFFF2AH	ポート5モード・レジスタ	PM5					
FFFFFF2CH	ポート6モード・レジスタ	PM6					xFH
FFFFFF32H	ポート9モード・レジスタ	PM9					x1111111B
FFFFFF36H	ポート11モード・レジスタ	PM11					FFH
FFFFFF40H	ポート0モード・コントロール・レジスタ	PMC0				00H	
FFFFFF42H	ポート1モード・コントロール・レジスタ	PMC1					
FFFFFF44H	ポート2モード・コントロール・レジスタ	PMC2					
FFFFFF46H	ポート3モード・コントロール・レジスタ	PMC3					
★ FFFFFFF04CH	メモリ拡張モード・レジスタ	MM					
FFFFFF056H	ポート11モード・コントロール・レジスタ	PMC11					
FFFFFF05CH	ポート・コントロール・モード・レジスタ	PCM					
FFFFFF05EH	ブルアップ抵抗オプション・レジスタ	PUO					
FFFFFF060H	データ・ウエイト・コントロール・レジスタ	DWC				FFFFH	
FFFFFF062H	バス・サイクル・コントロール・レジスタ	BCC				AAAAH	
★ FFFFFFF070H	パワー・セーブ・コントロール・レジスタ	PSC				C0H	
★ FFFFFFF072H	クロック・コントロール・レジスタ	CKC				00H/03H	
FFFFFF078H	システム・ステータス・レジスタ	SYS				0000000xB	
FFFFFF084H	ポーレート・ジェネレータ・コンペア・レジスタ0	BRGC0				不定	
FFFFFF086H	ポーレート・ジェネレータ・プリスケラ・モード・レジスタ0	BPRM0				00H	
FFFFFF088H	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSIM0					

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1ビット	8ビット	16ビット	
FFFFFF08AH	シリアルI/Oシフト・レジスタ0	SIO0	R/W				不定
FFFFFF094H	ポー・レート・ジェネレータ・コンペア・レジスタ1	BRGC1					
FFFFFF096H	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ1	BPRM1					00H
FFFFFF098H	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSIM1					
FFFFFF09AH	シリアルI/Oシフト・レジスタ1	SIO1					不定
FFFFFF0A4H	ポー・レート・ジェネレータ・コンペア・レジスタ2	BRGC2					
FFFFFF0A6H	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ2	BPRM2					00H
FFFFFF0A8H	クロック同期式シリアル・インタフェース・モード・レジスタ2	CSIM2					
FFFFFF0AAH	シリアルI/Oシフト・レジスタ2	SIO2					不定
FFFFFF0B8H	クロック同期式シリアル・インタフェース・モード・レジスタ3	CSIM3					00H
FFFFFF0BAH	シリアルI/Oシフト・レジスタ3	SIO3					不定
FFFFFF0C0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	ASIM00					00H
FFFFFF0C2H	アシンクロナス・シリアル・インタフェース・モード・レジスタ01	ASIM01					
FFFFFF0C4H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0		R			
FFFFFF0C8H	受信バッファ0 (9ビット)	RXB0					不定
FFFFFF0CAH	受信バッファ0L (下位8ビット)	RXB0L					
FFFFFF0CCH	送信シフト・レジスタ0 (9ビット)	TXS0	W				
FFFFFF0CEH	送信シフト・レジスタ0L (下位8ビット)	TXS0L					
FFFFFF0D0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ10	ASIM10	R/W				00H
FFFFFF0D2H	アシンクロナス・シリアル・インタフェース・モード・レジスタ11	ASIM11					
FFFFFF0D4H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1	R				
FFFFFF0D8H	受信バッファ1 (9ビット)	RXB1					不定
FFFFFF0DAH	受信バッファ1L (下位8ビット)	RXB1L					
FFFFFF0DCH	送信シフト・レジスタ1 (9ビット)	TXS1	W				
FFFFFF0DEH	送信シフト・レジスタ1L (下位8ビット)	TXS1L					
FFFFFF100H	割り込み制御レジスタ	OVIC11	R/W				47H
FFFFFF102H	割り込み制御レジスタ	OVIC12					
FFFFFF104H	割り込み制御レジスタ	OVIC13					
FFFFFF106H	割り込み制御レジスタ	OVIC14					
FFFFFF108H	割り込み制御レジスタ	P11IC0					
FFFFFF10AH	割り込み制御レジスタ	P11IC1					
FFFFFF10CH	割り込み制御レジスタ	P11IC2					
FFFFFF10EH	割り込み制御レジスタ	P11IC3					
FFFFFF110H	割り込み制御レジスタ	P12IC0					
FFFFFF112H	割り込み制御レジスタ	P12IC1					
FFFFFF114H	割り込み制御レジスタ	P12IC2					
FFFFFF116H	割り込み制御レジスタ	P12IC3					
FFFFFF118H	割り込み制御レジスタ	P13IC0					

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時	
				1ビット	8ビット	16ビット		
FFFFFF11AH	割り込み制御レジスタ	P13IC1	R/W				47H	
FFFFFF11CH	割り込み制御レジスタ	P13IC2						
FFFFFF11EH	割り込み制御レジスタ	P13IC3						
FFFFFF120H	割り込み制御レジスタ	P14IC0						
FFFFFF122H	割り込み制御レジスタ	P14IC1						
FFFFFF124H	割り込み制御レジスタ	P14IC2						
FFFFFF126H	割り込み制御レジスタ	P14IC3						
FFFFFF128H	割り込み制御レジスタ	CMIC4						
FFFFFF12AH	割り込み制御レジスタ	CSIC0						
FFFFFF12CH	割り込み制御レジスタ	CSIC1						
FFFFFF12EH	割り込み制御レジスタ	CSIC2						
FFFFFF130H	割り込み制御レジスタ	CSIC3						
FFFFFF132H	割り込み制御レジスタ	SEIC0						
FFFFFF134H	割り込み制御レジスタ	SRIC0						
FFFFFF136H	割り込み制御レジスタ	STIC0						
FFFFFF138H	割り込み制御レジスタ	SEIC1						
FFFFFF13AH	割り込み制御レジスタ	SRIC1						
FFFFFF13CH	割り込み制御レジスタ	STIC1						
FFFFFF13EH	割り込み制御レジスタ	ADIC						
FFFFFF166H	インサースビス・プライオリティ・レジスタ	ISPR		R				
FFFFFF170H	コマンド・レジスタ	PRCMD	W				xxH	
FFFFFF180H	外部割り込みモード・レジスタ0	INTM0	R/W				00H	
FFFFFF182H	外部割り込みモード・レジスタ1	INTM1						
FFFFFF184H	外部割り込みモード・レジスタ2	INTM2						
FFFFFF186H	外部割り込みモード・レジスタ3	INTM3						
FFFFFF188H	外部割り込みモード・レジスタ4	INTM4						
FFFFFF230H	タイマ・オーバフロー・ステータス・レジスタ	TOVS						
FFFFFF240H	タイマ・ユニット・モード・レジスタ11	TUM11						0000H
FFFFFF242H	タイマ・コントロール・レジスタ11	TMC11						00H
FFFFFF244H	タイマ出力コントロール・レジスタ11	TOC11						
FFFFFF250H	タイマ11	TM11		R				
FFFFFF252H	キャプチャ/コンペア・レジスタ110	CC110	R/W				不定	
FFFFFF254H	キャプチャ/コンペア・レジスタ111	CC111						
FFFFFF256H	キャプチャ/コンペア・レジスタ112	CC112						
FFFFFF258H	キャプチャ/コンペア・レジスタ113	CC113						
FFFFFF260H	タイマ・ユニット・モード・レジスタ12	TUM12						0000H
FFFFFF262H	タイマ・コントロール・レジスタ12	TMC12						00H
FFFFFF264H	タイマ出力コントロール・レジスタ12	TOC12						

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時		
				1ビット	8ビット	16ビット			
FFFFFF270H	タイマ12	TM12	R				0000H		
FFFFFF272H	キャプチャ/コンペア・レジスタ120	CC120	R/W				不定		
FFFFFF274H	キャプチャ/コンペア・レジスタ121	CC121							
FFFFFF276H	キャプチャ/コンペア・レジスタ122	CC122							
FFFFFF278H	キャプチャ/コンペア・レジスタ123	CC123							
FFFFFF280H	タイマ・ユニット・モード・レジスタ13	TUM13						0000H	
FFFFFF282H	タイマ・コントロール・レジスタ13	TMC13						00H	
FFFFFF284H	タイマ出力コントロール・レジスタ13	TOC13							
FFFFFF290H	タイマ13	TM13	R				0000H		
FFFFFF292H	キャプチャ/コンペア・レジスタ130	CC130	R/W				不定		
FFFFFF294H	キャプチャ/コンペア・レジスタ131	CC131							
FFFFFF296H	キャプチャ/コンペア・レジスタ132	CC132							
FFFFFF298H	キャプチャ/コンペア・レジスタ133	CC133							
FFFFFF2A0H	タイマ・ユニット・モード・レジスタ14	TUM14						0000H	
FFFFFF2A2H	タイマ・コントロール・レジスタ14	TMC14						00H	
FFFFFF2A4H	タイマ出力コントロール・レジスタ14	TOC14							
FFFFFF2B0H	タイマ14	TM14	R				0000H		
FFFFFF2B2H	キャプチャ/コンペア・レジスタ140	CC140	R/W				不定		
FFFFFF2B4H	キャプチャ/コンペア・レジスタ141	CC141							
FFFFFF2B6H	キャプチャ/コンペア・レジスタ142	CC142							
FFFFFF2B8H	キャプチャ/コンペア・レジスタ143	CC143							
FFFFFF342H	タイマ・コントロール・レジスタ4	TMC4						00H	
FFFFFF350H	タイマ4	TM4		R					0000H
FFFFFF352H	コンペア・レジスタ4	CM4		R/W					不定
FFFFFF360H	PWMコントロール・レジスタ	PWMC					00H		
FFFFFF362H	PWMプリスケラ・レジスタ	PWPR							
FFFFFF364H	PWMバッファ・レジスタ0 (12ビット)	PWM0					不定		
FFFFFF366H	PWMバッファ・レジスタ0L (下位8ビット)	PWM0L							
FFFFFF368H	PWMバッファ・レジスタ1 (12ビット)	PWM1							
FFFFFF36AH	PWMバッファ・レジスタ1L (下位8ビット)	PWM1L							
FFFFFF380H	A/Dコンバータ・モード・レジスタ0	ADM0	R				00H		
FFFFFF382H	A/Dコンバータ・モード・レジスタ1	ADM1					07H		
FFFFFF390H	A/D変換結果レジスタ0	ADCR0					不定		
FFFFFF392H	A/D変換結果レジスタ0H	ADCR0H							
FFFFFF394H	A/D変換結果レジスタ1	ADCR1							
FFFFFF396H	A/D変換結果レジスタ1H	ADCR1H							
FFFFFF398H	A/D変換結果レジスタ2	ADCR2							
FFFFFF39AH	A/D変換結果レジスタ2H	ADCR2H							

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1ビット	8ビット	16ビット	
FFFFFF39CH	A/D変換結果レジスタ3	ADCR3	R				不定
FFFFFF39EH	A/D変換結果レジスタ3H	ADCR3H					
FFFFFF3A0H	A/D変換結果レジスタ4	ADCR4					
FFFFFF3A2H	A/D変換結果レジスタ4H	ADCR4H					
FFFFFF3A4H	A/D変換結果レジスタ5	ADCR5					
FFFFFF3A6H	A/D変換結果レジスタ5H	ADCR5H					
FFFFFF3A8H	A/D変換結果レジスタ6	ADCR6					
FFFFFF3AAH	A/D変換結果レジスタ6H	ADCR6H					
FFFFFF3ACH	A/D変換結果レジスタ7	ADCR7					
FFFFFF3AEH	A/D変換結果レジスタ7H	ADCR7H					
FFFFFF3C0H	D/Aコンバータ変換値設定レジスタ0	DACS0	R/W				00H
FFFFFF3C2H	D/Aコンバータ変換値設定レジスタ1	DACS1					
FFFFFF3D0H	D/Aコンバータ・モード・レジスタ	DAM					03H

第2章 バス・インタフェース接続回路例

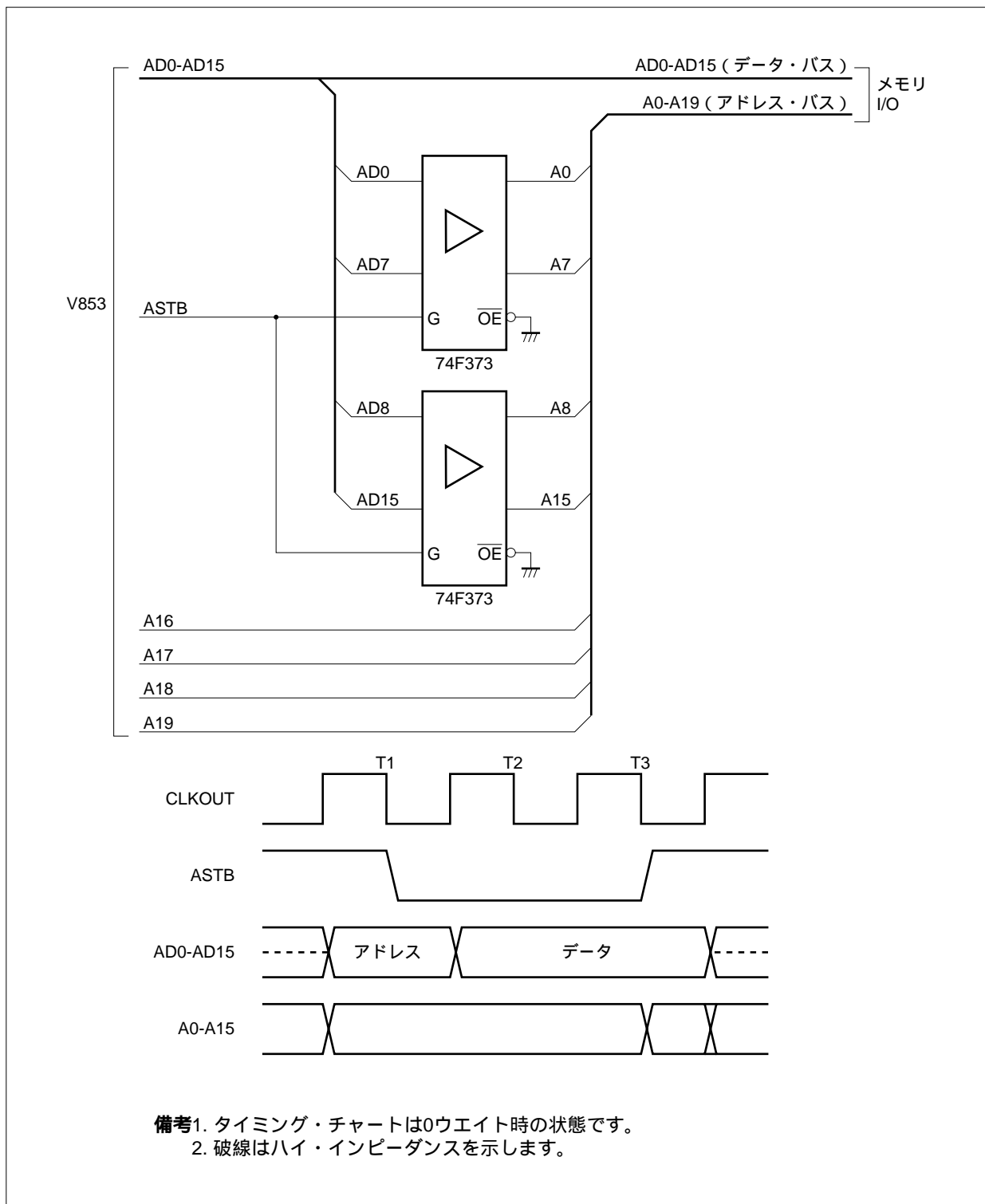
V853のバス・インタフェース関連の端子を使用して外部デバイスを接続するときの回路例を示します。

- 備考1.** この章のタイミング生成部やデコーダ部の構成図は、論理的説明に重点を置いて、一般的にはゲート・アレイやPLDを使用する部分でも、アンド/オア/フリップフロップ等の部分だけを使用しています。したがって、タイミング生成部やデコーダ部では特に部品の型名は明記していません。実際の回路では遅延時間を考慮して部品の選定を行ってください。
- 2.** この章で使用するA0-A15はAD0-AD15を分離したアドレス信号です（**2.1 アドレス・バス/データ・バスの分離**参照）。

2.1 アドレス・バス/データ・バスの分離

V853のアドレス・バス下位16ビットはデータ・バスとマルチプレクスされています。メモリやI/O等のデバイスは通常アドレス端子とデータ端子が別々に配列されているので、アドレスとデータの分離が必要になります。アドレスはトランス・ペアレント・ラッチのデバイスを使用して、ASTB信号で作成するのが一般的な方法です。また、データ・バスはAD0-AD15をそのまま使用します。

図2-1 アドレス・バス/データ・バスの分離回路例



2.2 PROM接続回路

2.2.1 PROM接続回路1

PROM 27C1024 (64 K×16ビット) を1つ使用して128 Kバイトの外部ROM空間をV853に接続する例を示します。

<回路構成>

- ・V853の内部システム・クロック：33 MHz
- ・接続デバイス：27C1024-85×1つ
- ・占有空間：外部メモリ空間の00000H-1FFFFH (0番地からの128 Kバイト空間)

<DWC, BCCの設定>

- ・ウェイト設定：2ウェイト

ウェイト・コントロール・ユニットで設定できるので、 $\overline{\text{WAIT}}$ 端子によるハードウェア・ウェイト制御は行わないものとします。

- ・アイドル・ステート：挿入する

V853のアドレス出力とROMの出力フローティング遅延による衝突を防ぐために、アイドル・ステートを挿入します。

<回路方式>

- (1) ROMの $\overline{\text{CS}}$ 信号はアドレス上位3ビットをデコードして作成
- (2) ROMの $\overline{\text{OE}}$ 信号はR/W信号と $\overline{\text{DSTB}}$ 信号で作成 ($\overline{\text{UBEN}}$, $\overline{\text{LBEN}}$ 信号は使用しない)
- (3) $\overline{\text{WAIT}}$ 端子の制御は行わない (ハイ・レベルに固定)

図2 - 2 PROM接続回路例1

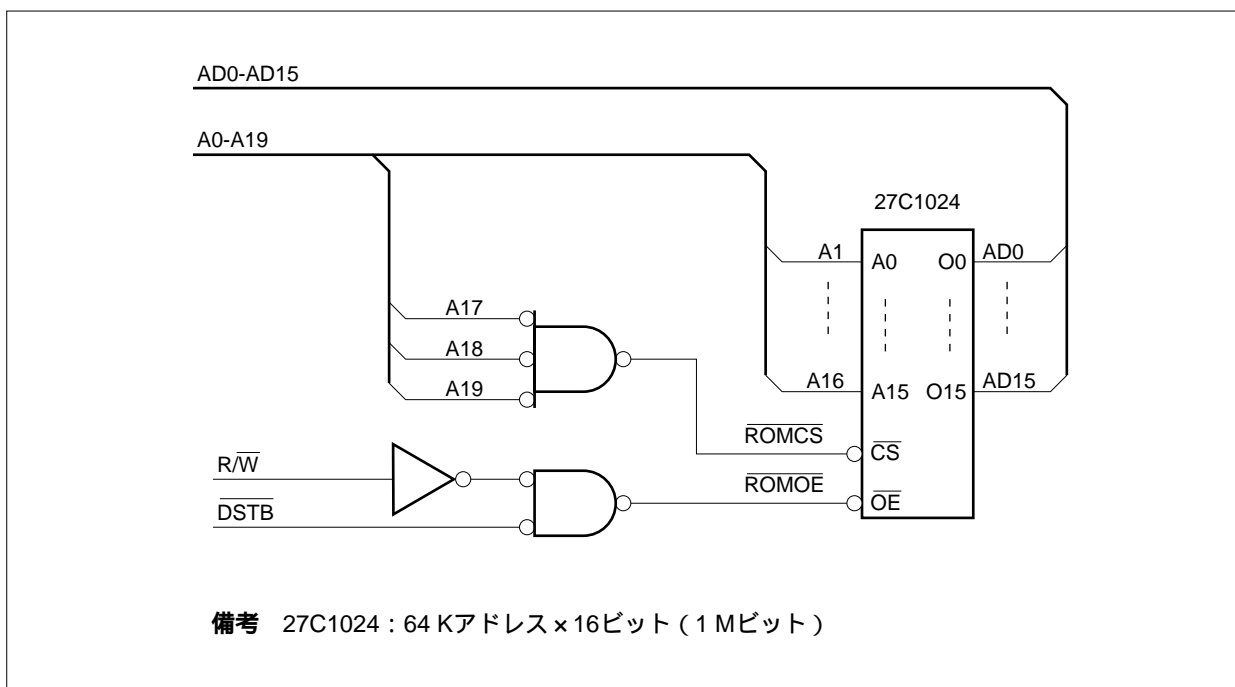
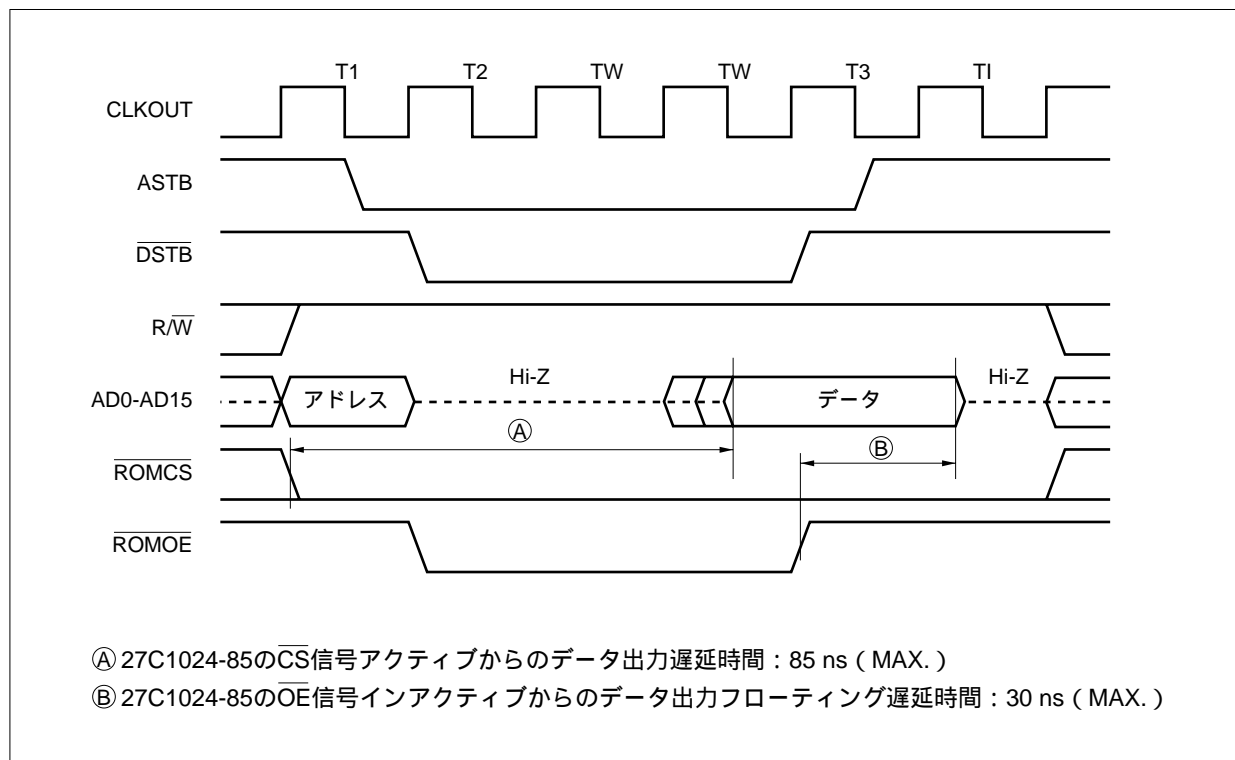


図2 - 3 PROMリード動作



2.2.2 PROM接続回路2

この項では、ROMの出力フローティング遅延によるバスの衝突を防ぐために、データ・バス・バッファを使用する例を示します。

アイドル・ステートを挿入しなくてすむためV853による次のバス・アクセスを1クロック速く開始できます。回路構成はデータ・バス・バッファを除いて2.2.1 **PROM接続回路1**と同様になります。

<回路構成>

- ・ V853の内部システム・クロック：33 MHz
- ・ 接続デバイス：27C1024-85 × 1つ
- ・ 占有空間：外部メモリ空間の00000H-1FFFFH (0番地からの128 Kバイト空間)

<DWC, BCCの設定>

- ・ ウェイト設定：2ウェイト
- ・ アイドル・ステート：挿入しない

<回路方式>

- (1) ROMの \overline{CS} 信号はアドレス上位3ビットをデコードして作成
- (2) ROMの \overline{OE} 信号は $R\overline{W}$ 信号と \overline{DSTB} 信号で作成 (\overline{UBEN} , \overline{LBEN} 信号は使用しない)
- (3) \overline{WAIT} 端子の制御は行わない (ハイ・レベルに固定)

図2-4 PROM接続回路例2

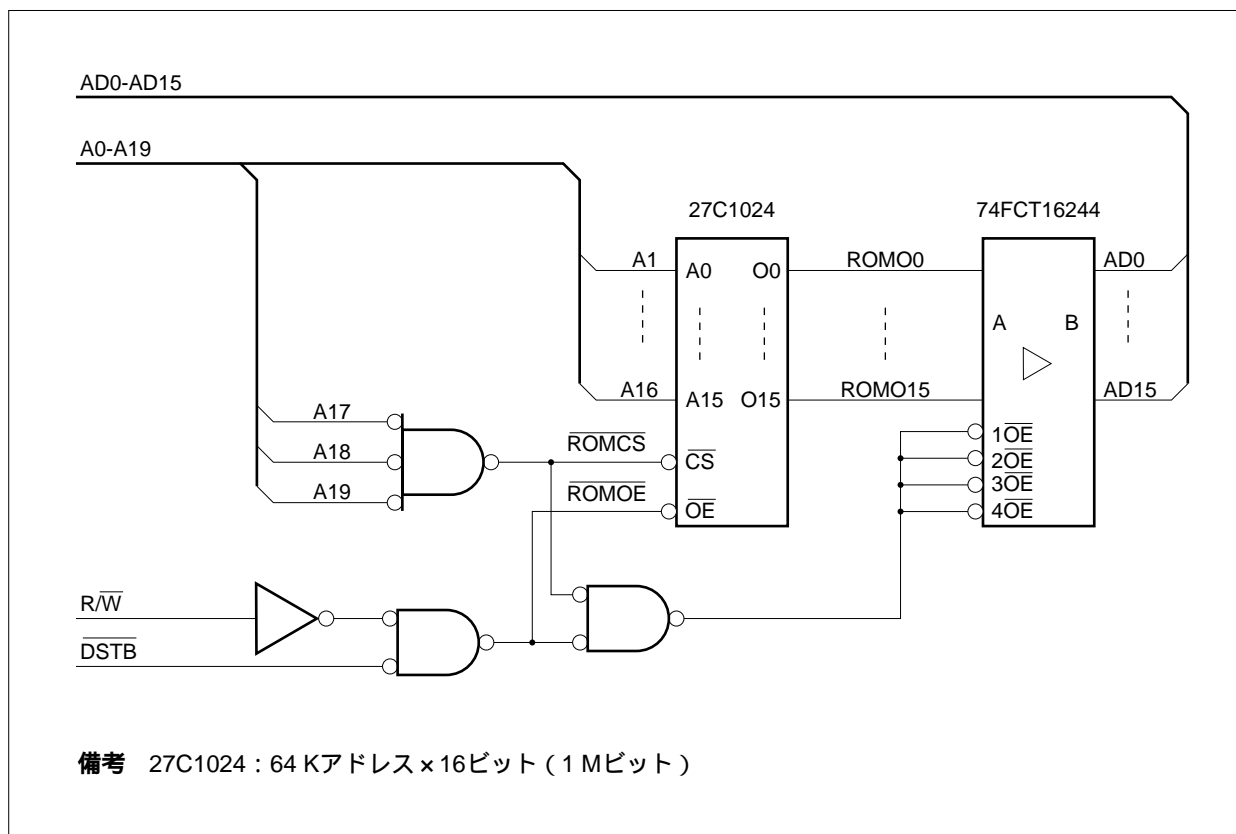
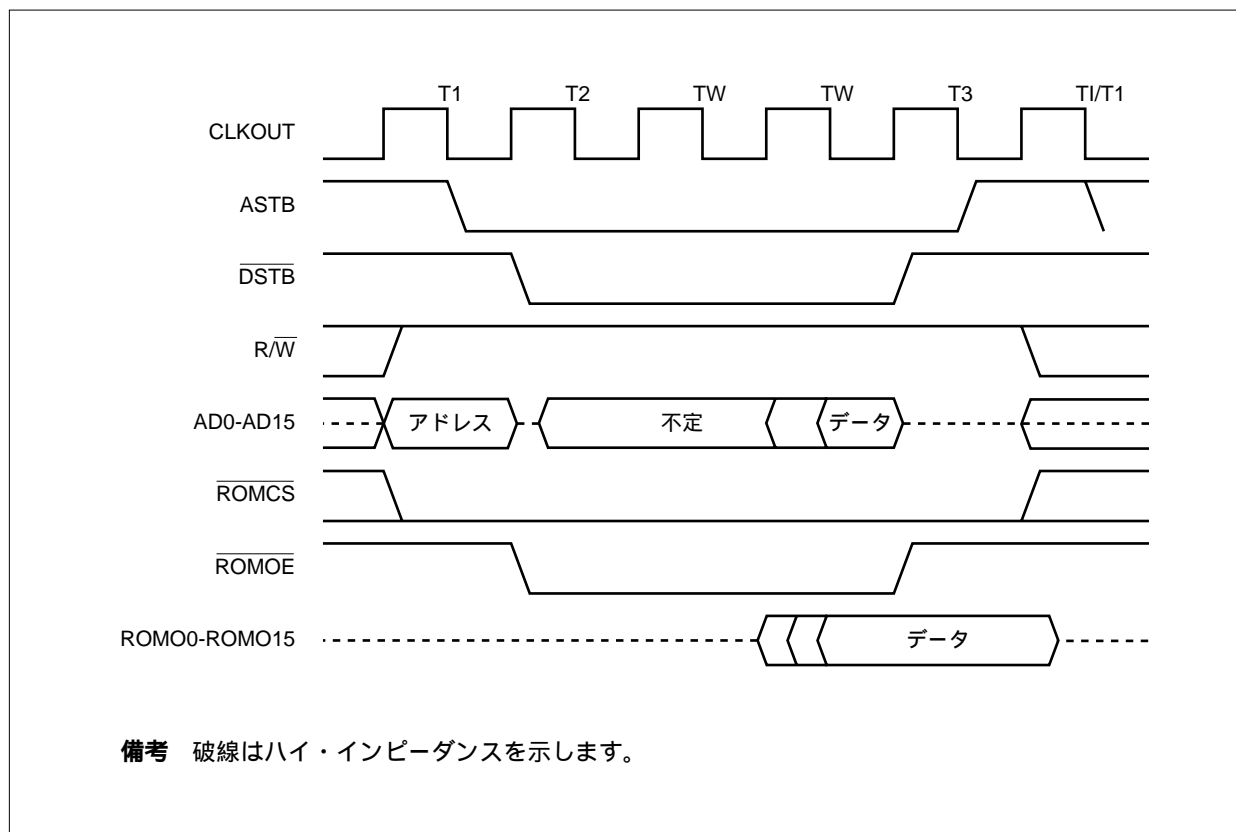


図2-5 PROMリード動作



2.3 SRAM接続回路

高速SRAM μ PD431008-20 (128 K \times 8ビット) を2つ使用し、256 Kバイトの外部RAM空間をV853に接続する例を示します。

< 回路構成 >

- ・V853の内部システム・クロック：33 MHz
- ・接続デバイス： μ PD431008-20 \times 2つ
- ・占有空間：外部メモリ空間の40000H-7FFFFH (40000H番地からの256 Kバイト空間)

< DWC, BCCの設定 >

- ・ウエイト設定：0ウエイト
- ・アイドル・ステート：挿入しない

< 回路方式 >

- (1) SRAMの \overline{CS} 信号はアドレス上位2ビットをデコードして作成
- (2) SRAMの \overline{OE} 信号は R/\overline{W} 信号と \overline{DSTB} 信号で作成
- (3) SRAMの \overline{WE} 信号は R/\overline{W} 信号と \overline{DSTB} , \overline{UBEN} , \overline{LBEN} 信号で作成 (V853のバイト・ライト動作時のアクセスされていない側への誤書き込みを防ぐために, \overline{UBEN} , \overline{LBEN} 信号を使用)
- (4) \overline{WAIT} 端子の制御は行わない (ハイ・レベルに固定)

図2 - 6 SRAM接続回路例

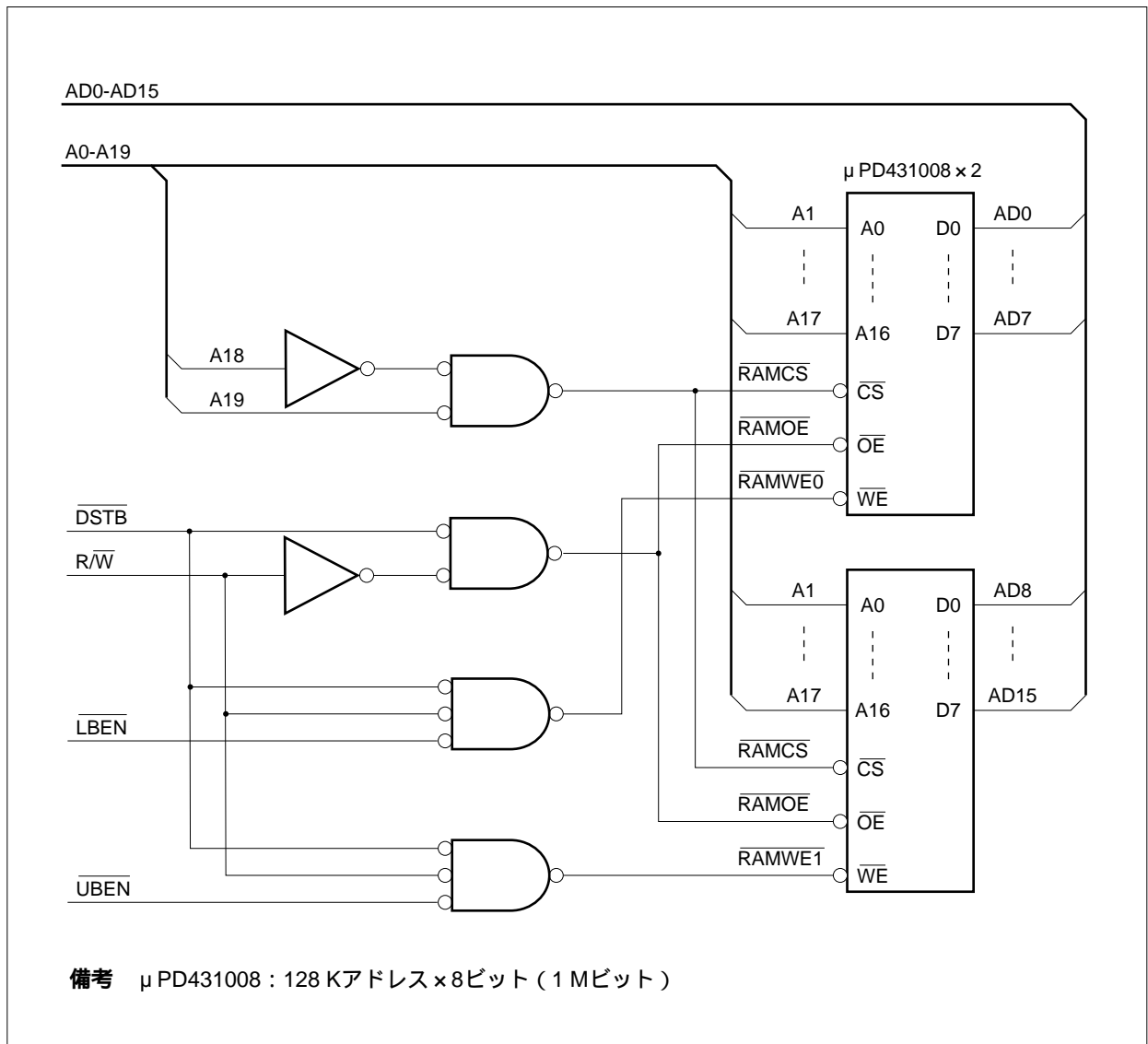


図2 - 7 SRAMリード動作

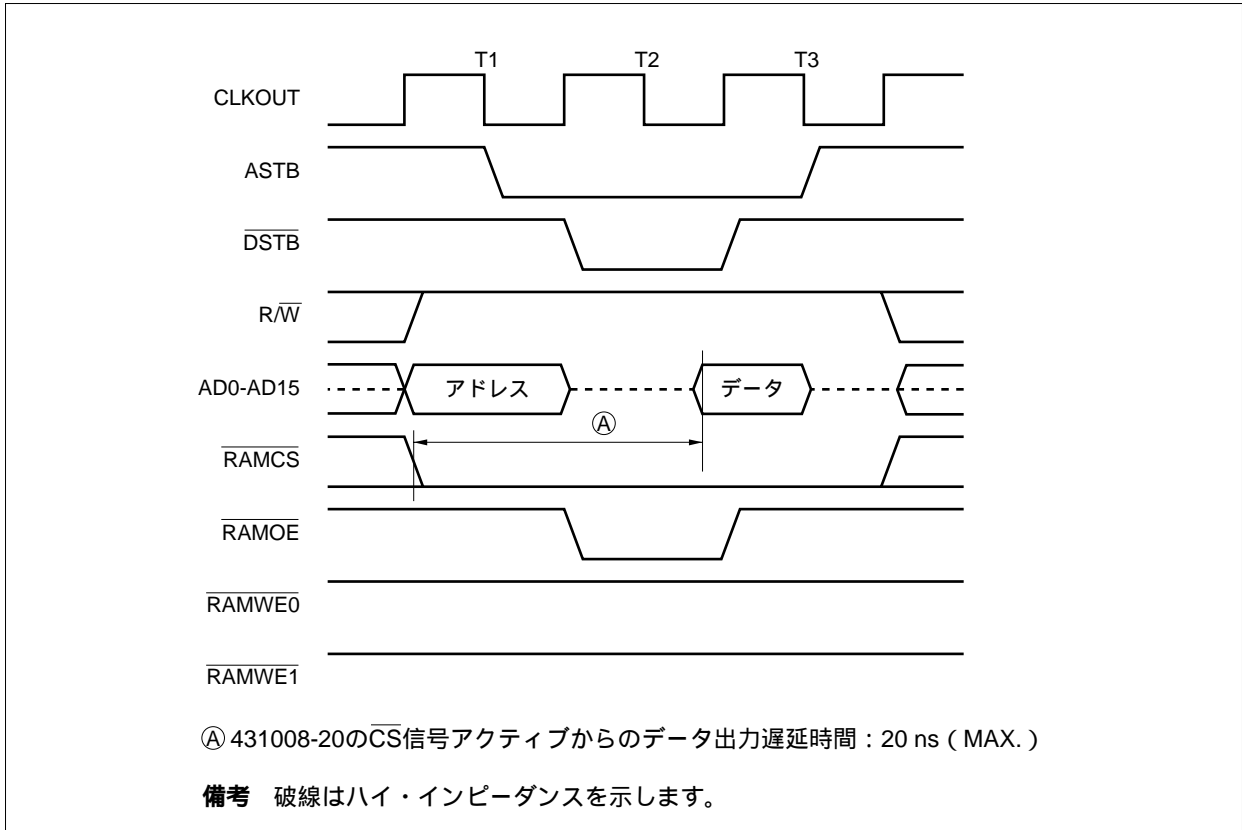


図2 - 8 SRAMライト動作 (16ビット・ライト)

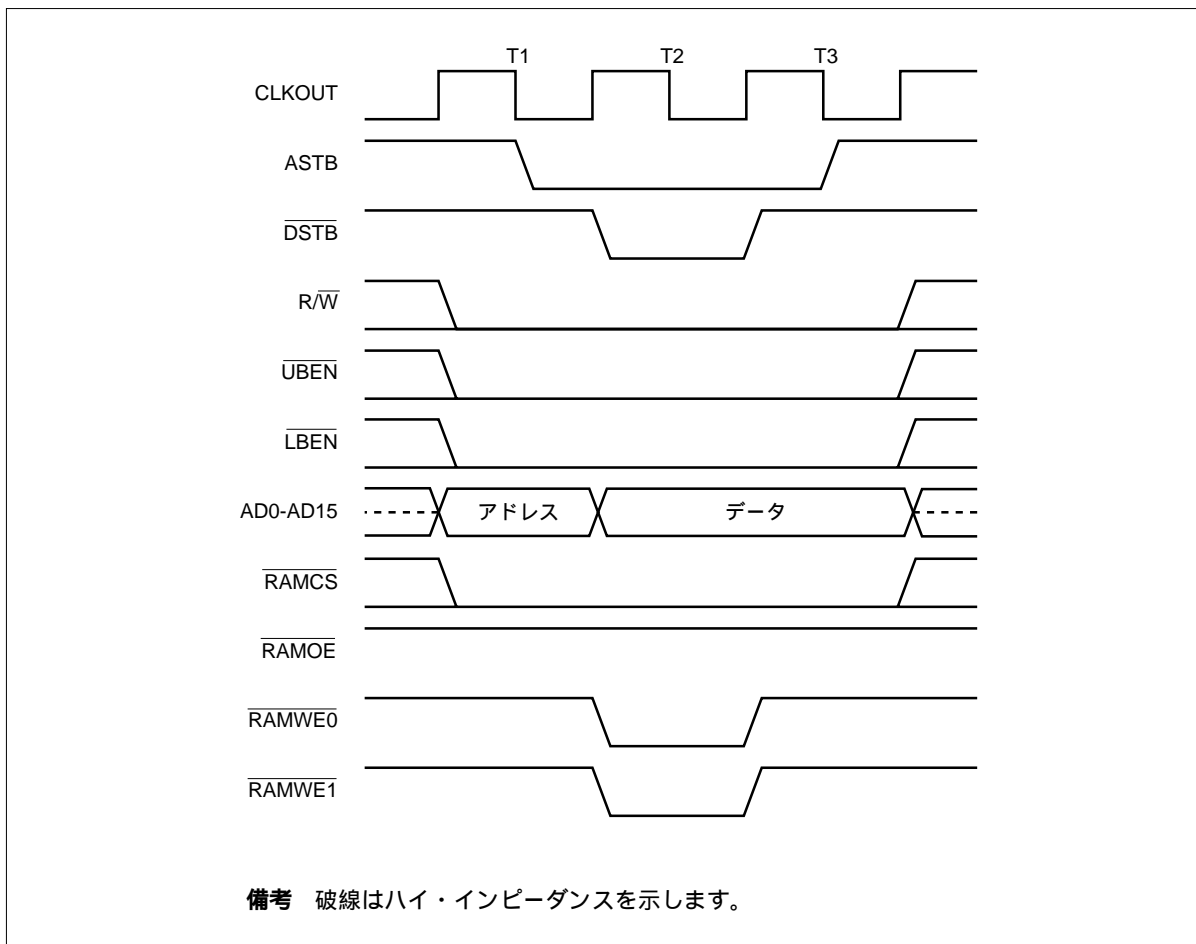
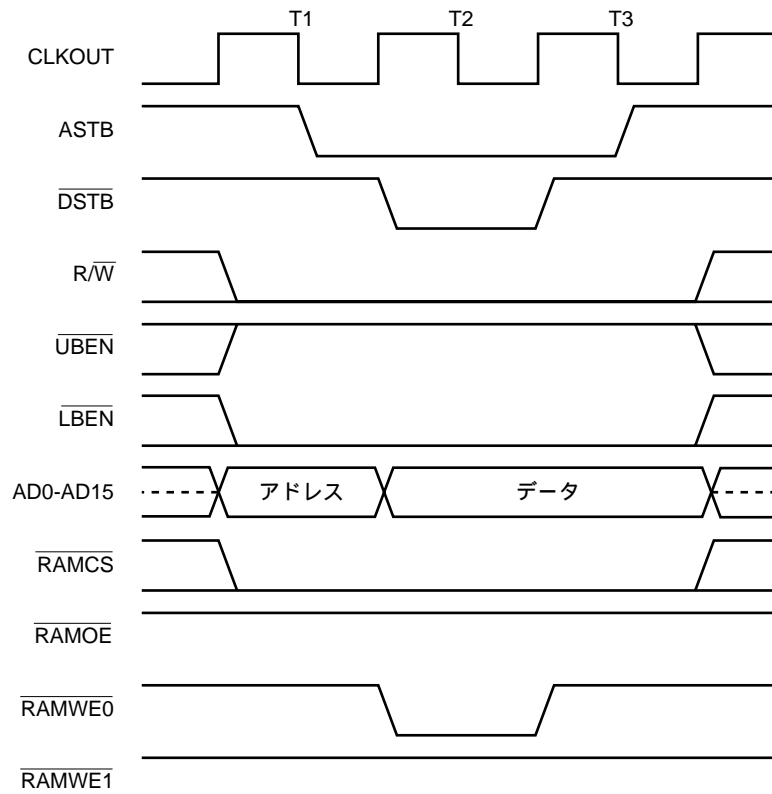
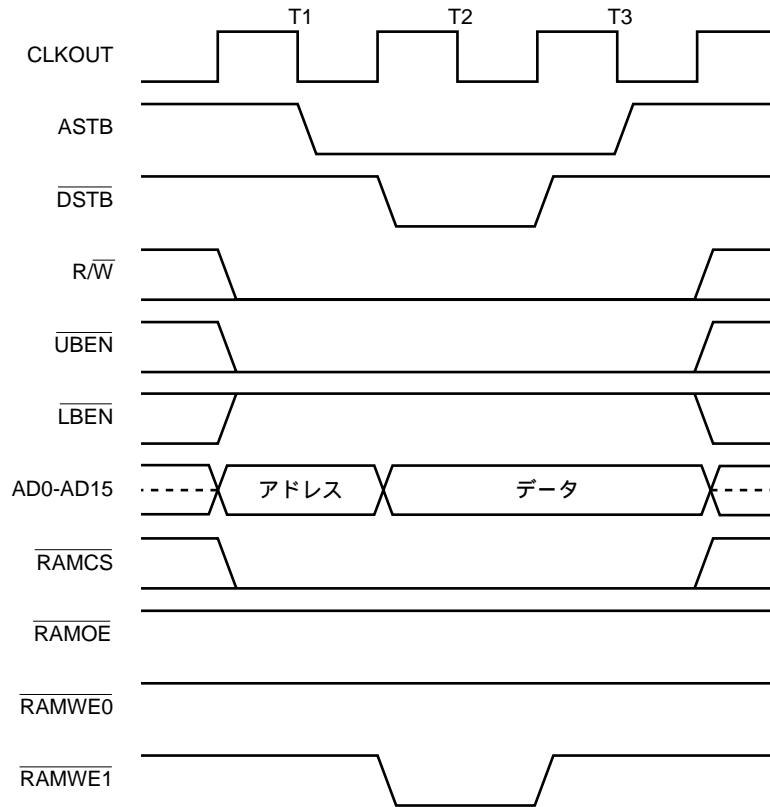


図2-9 偶数アドレス・バイト・ライト



備考 破線はハイ・インピーダンスを示します。

図2 - 10 奇数アドレス・バイト・ライト



備考 破線はハイ・インピーダンスを示します。

2.4 DRAM接続回路

DRAM μ PD424260-70 (256K × 16ビット) を1つ使用して512 Kバイトの外部RAM空間をV853に接続する例を示します。

DRAM接続回路1 (2.4.1参照) とDRAM接続回路2 (2.4.2参照) ではリフレッシュ回路が異なります。DRAMのリフレッシュ方式はいずれの場合もCBR方式で同等となりますが、DRAM接続回路1ではリフレッシュ期間、V853のバスはホールド状態となります。DRAM接続回路2では外部バス・アービタによりバスの調停を行います。

2.4.1 DRAM接続回路1 (HLDRQ端子を使用したリフレッシュ)

< 回路構成 >

- ・ V853の内部システム・クロック：33 MHz
- ・ 接続デバイス： μ PD424260-70 × 1つ
- ・ 占有空間：外部メモリ空間の80000H-FFFFFFH
- ・ サポートするサイクル：リード・サイクル/アーリ・ライト・サイクル, CBRリフレッシュ・サイクル

< DWC, BCCの設定 >

- ・ WCUのウェイト設定：2ウェイト
- ・ アイドル・ステート：挿入しない

< 回路方式 >

- (1) T2クロックの立ち上がりエッジでV853のアドレス上位1ビットをモニタし、アドレスが一致したらリード・サイクル/ライト・サイクルのタイミングをCLKOUT信号で作成する
- (2) 外部カウンタで15 μ sに1回のリフレッシュ要求を作成し、次の手順でリフレッシュを行う
 - 外部カウンタでリフレッシュ要求を発生
 - V853の $\overline{\text{HLDRQ}}$ 端子をアクティブにする
 - V853の $\overline{\text{HLDAK}}$ 端子がアクティブになってホールド状態になる
 - CBRリフレッシュ・サイクルを1回行う (タイミングはCLKOUT信号で作成)
 - V853の $\overline{\text{HLDRQ}}$ 端子をインアクティブにする
 - V853の $\overline{\text{HLDAK}}$ 端子がインアクティブになりホールド状態が解除される
- (3) $\overline{\text{WAIT}}$ 端子の制御は行わない (ハイ・レベルに固定)

図2 - 11 DRAM接続回路例1 (HLDRQ端子を使用したリフレッシュ)

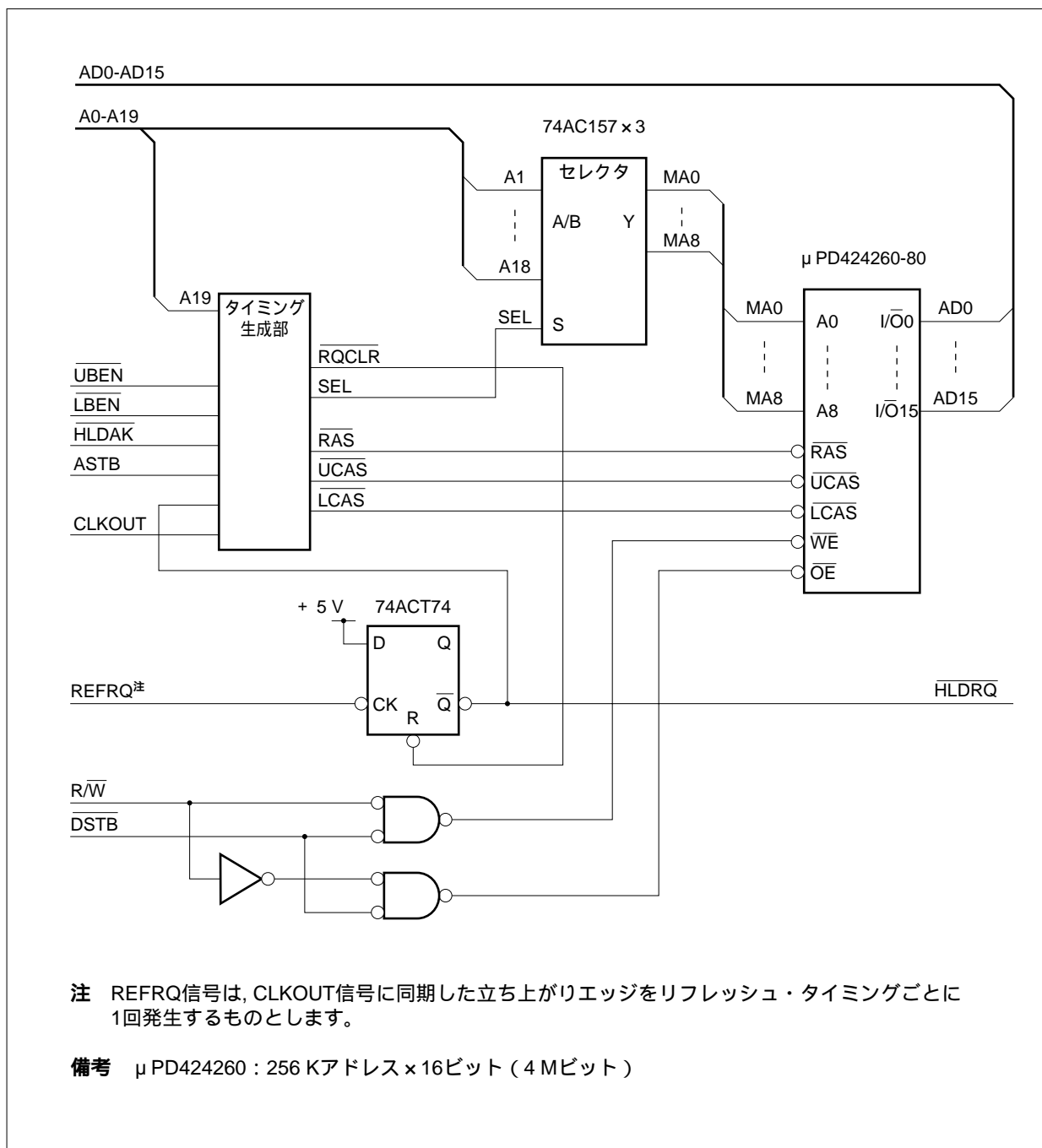


図2 - 12 タイミング生成部の詳細

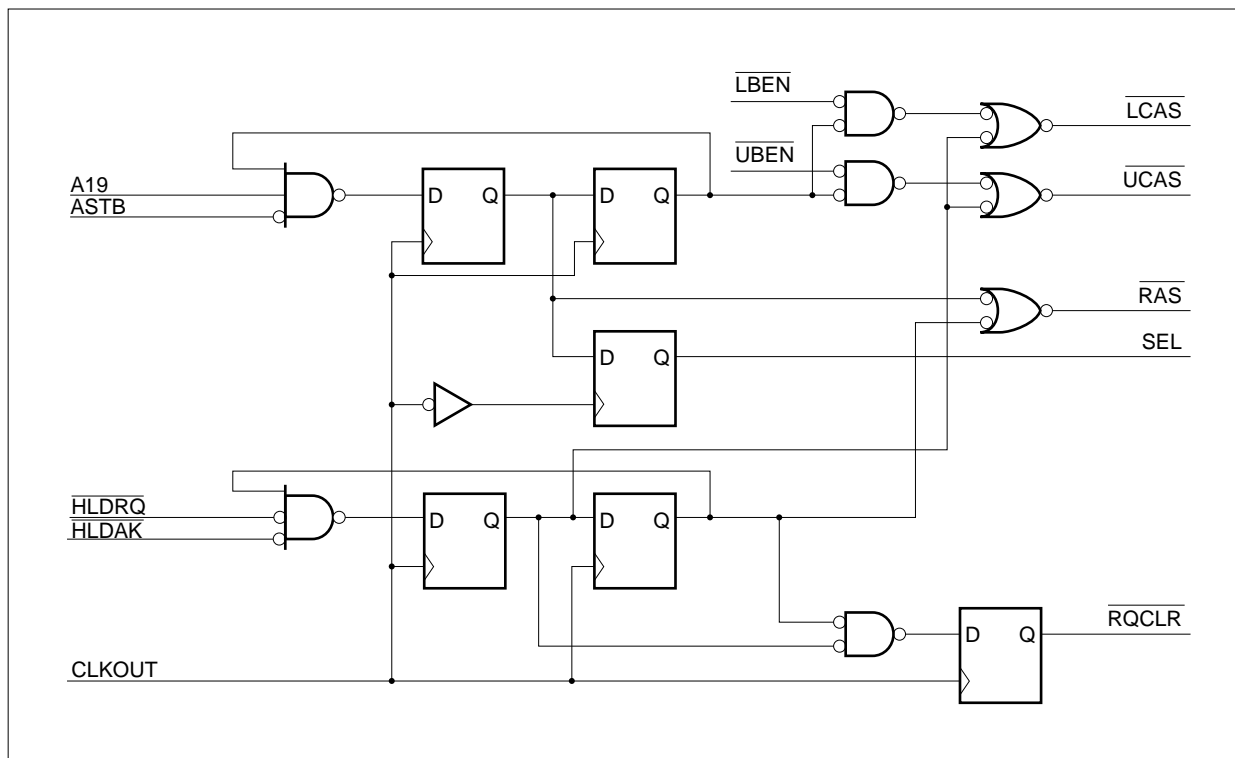


図2 - 13 リード・タイミング

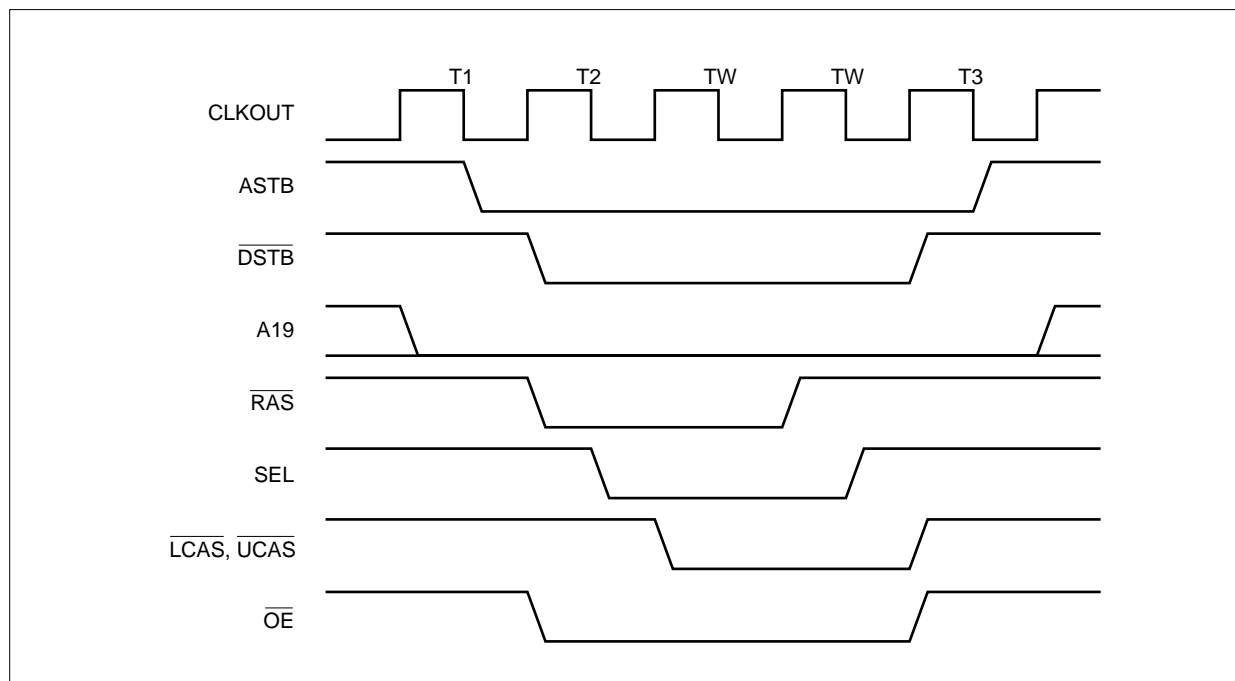
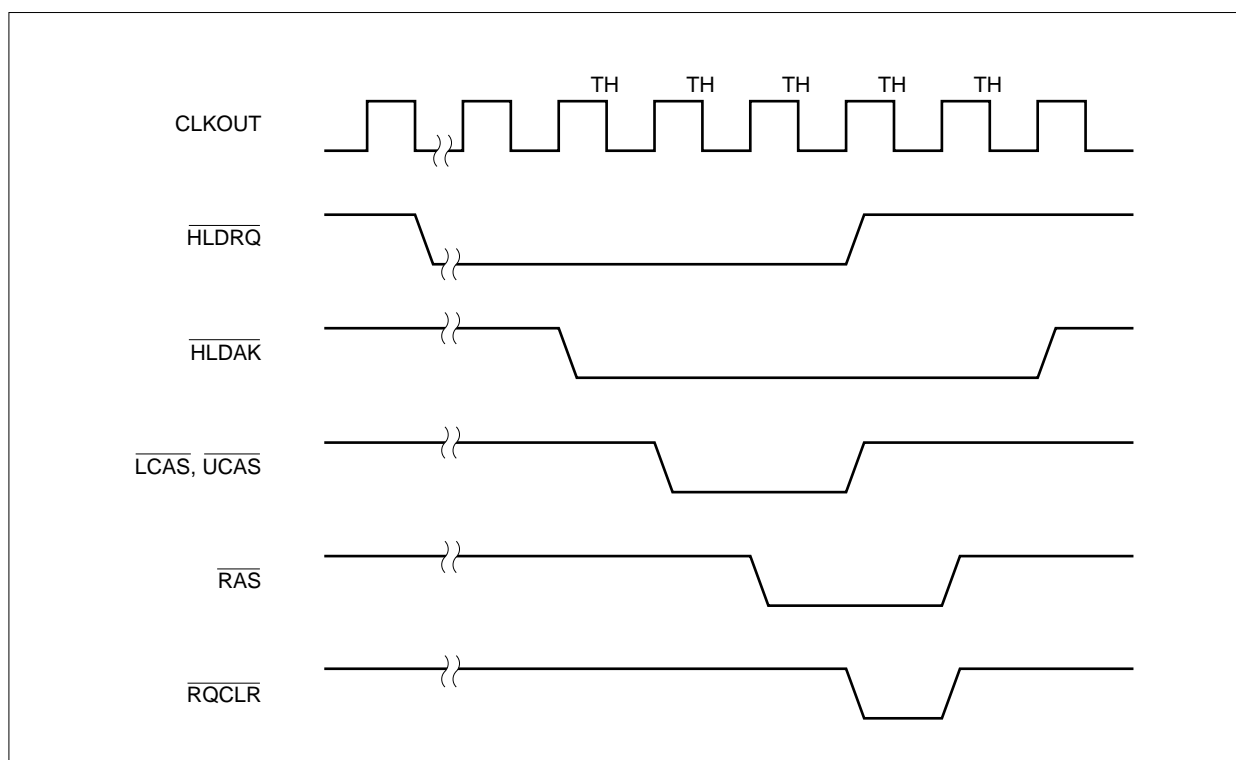


図2 - 14 リフレッシュ・タイミング



2.4.2 DRAM接続回路2 (WAIT端子を使用したリフレッシュ・アービタ)

<回路構成>

「DRAM接続回路1」と同等になります。

<補足>

- ・WCUのウェイト設定：0ウェイト (WAIT端子で制御)
- ・アイドル・ステート：挿入しない

<回路方式>

- (1) DRAMに対するリード/ライト・シーケンス, リフレッシュ・シーケンスは, 「DRAM接続回路1」と同様にCLKOUT信号で作成する
- (2) リフレッシュ要求は「DRAM接続回路1」と同様に外部カウンタで作成する
- (3) V853のアクセス要求とリフレッシュ要求の調停を行うアービタ回路を作成する
- (4) V853のアクセスとリフレッシュ要求が同時に発生した場合, リフレッシュ・サイクルを優先する
- (5) リフレッシュ動作中にV853からのアクセスがあった場合, ハードウェアによるウェイトを挿入し, リフレッシュ動作が終了してからリード・サイクルまたはライト・サイクルを駆動する

図2 - 15 DRAM接続回路例2 (WAIT端子を使用したリフレッシュ・アービタ)

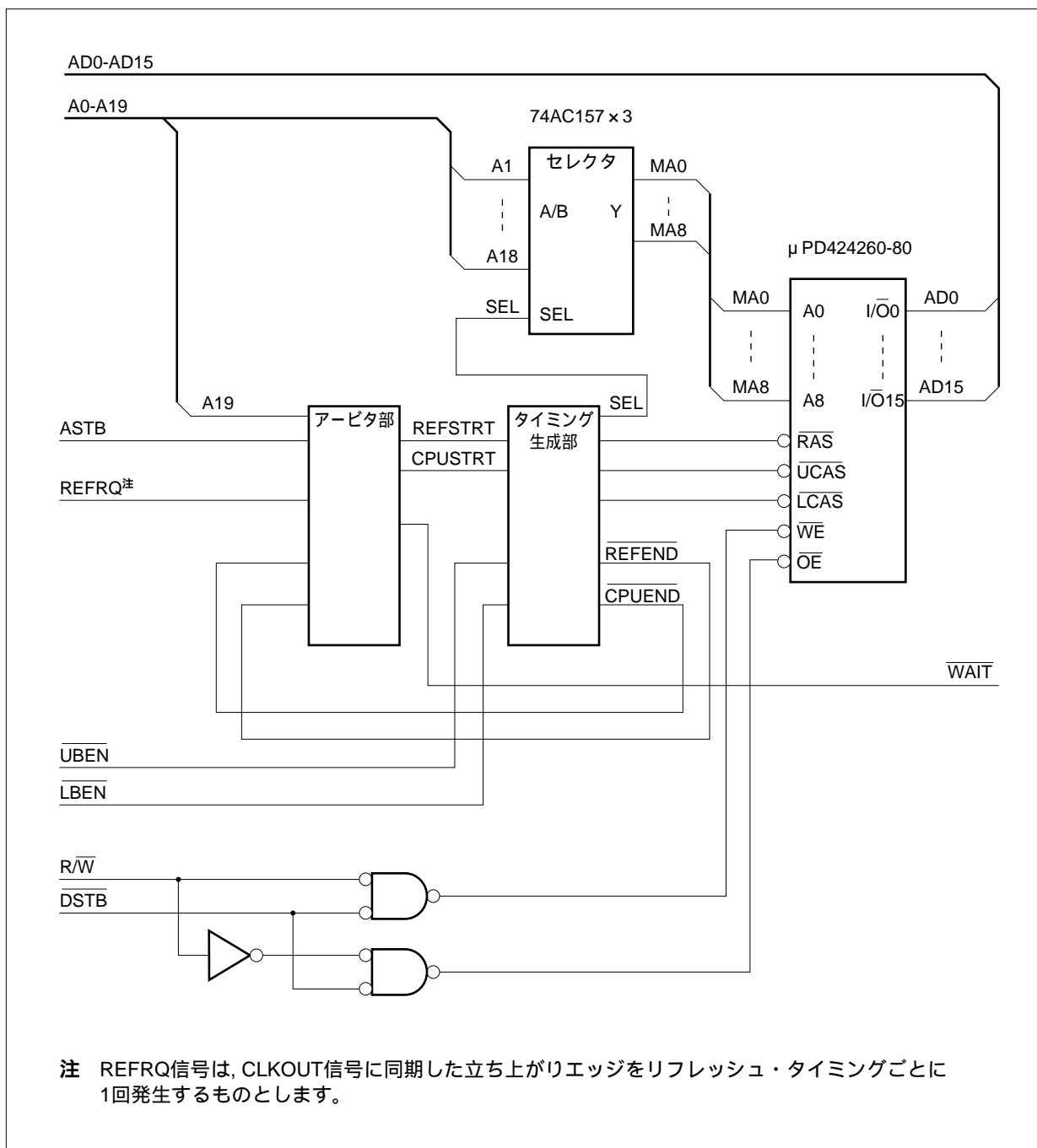


図2 - 16 アービタ部の詳細

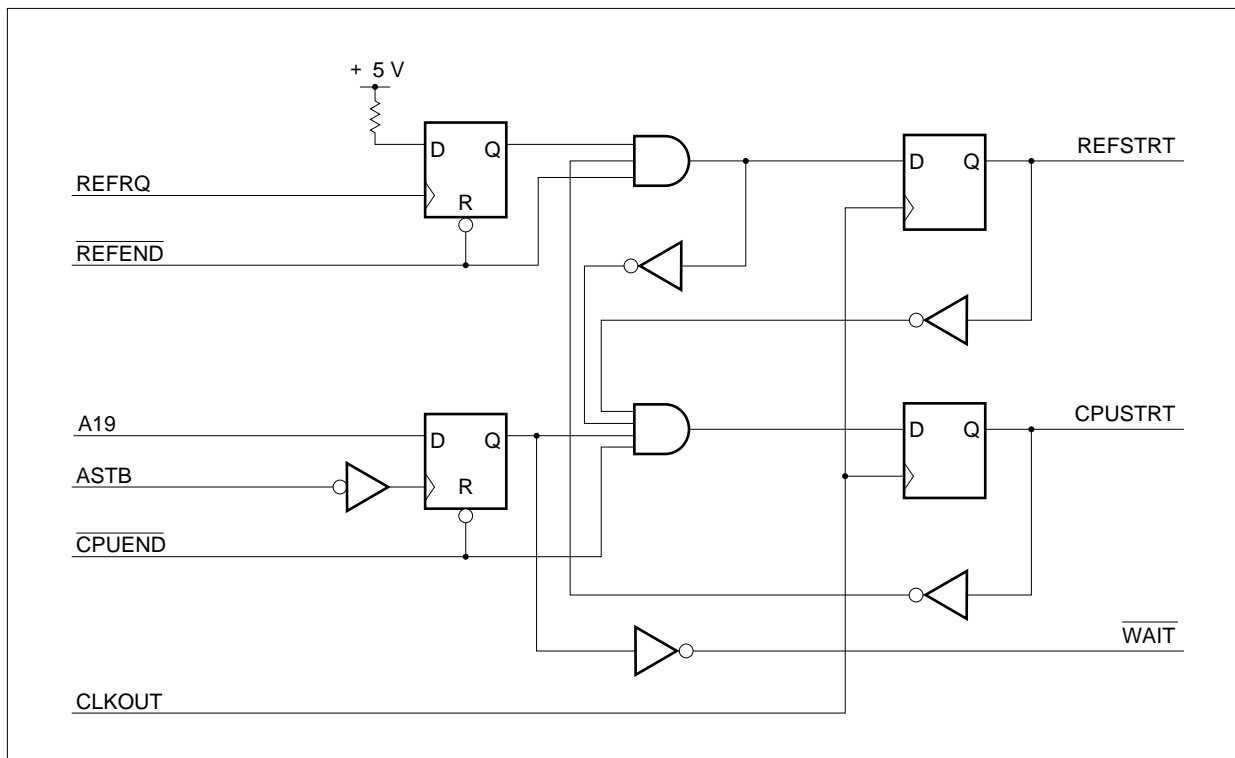


図2 - 17 タイミング生成部の詳細

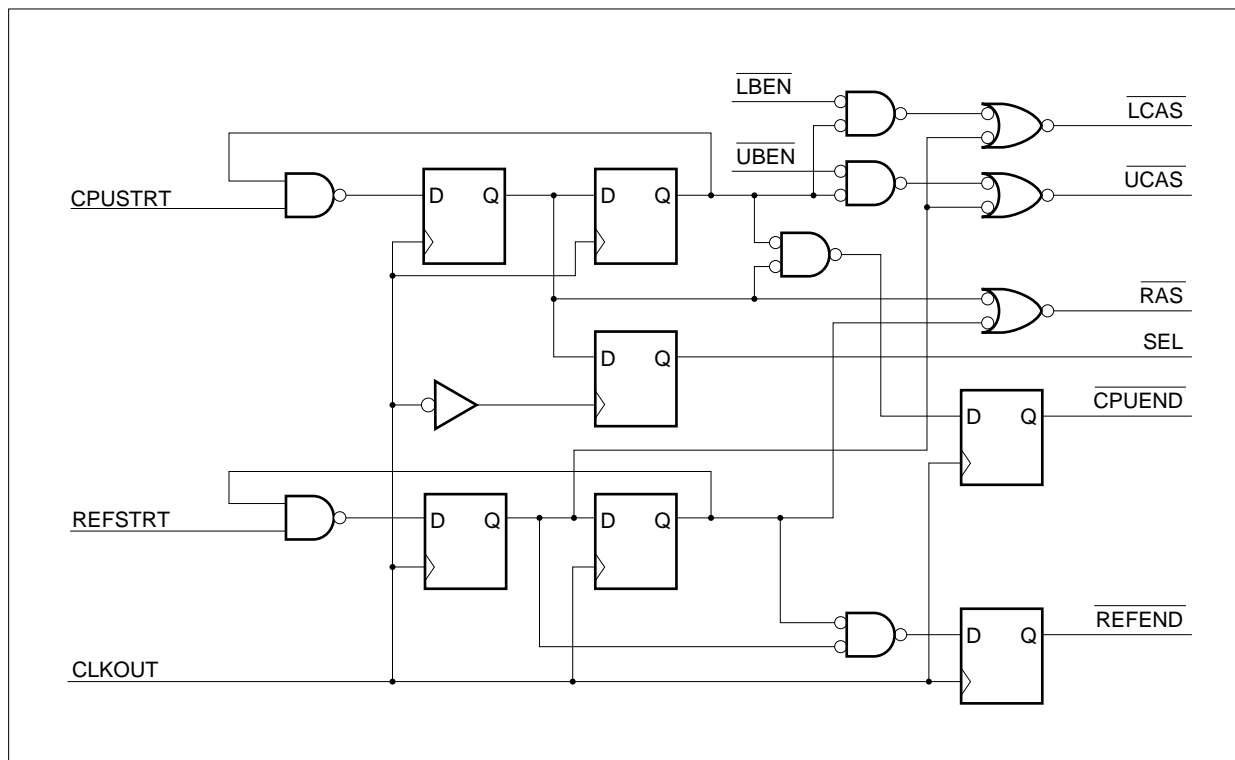
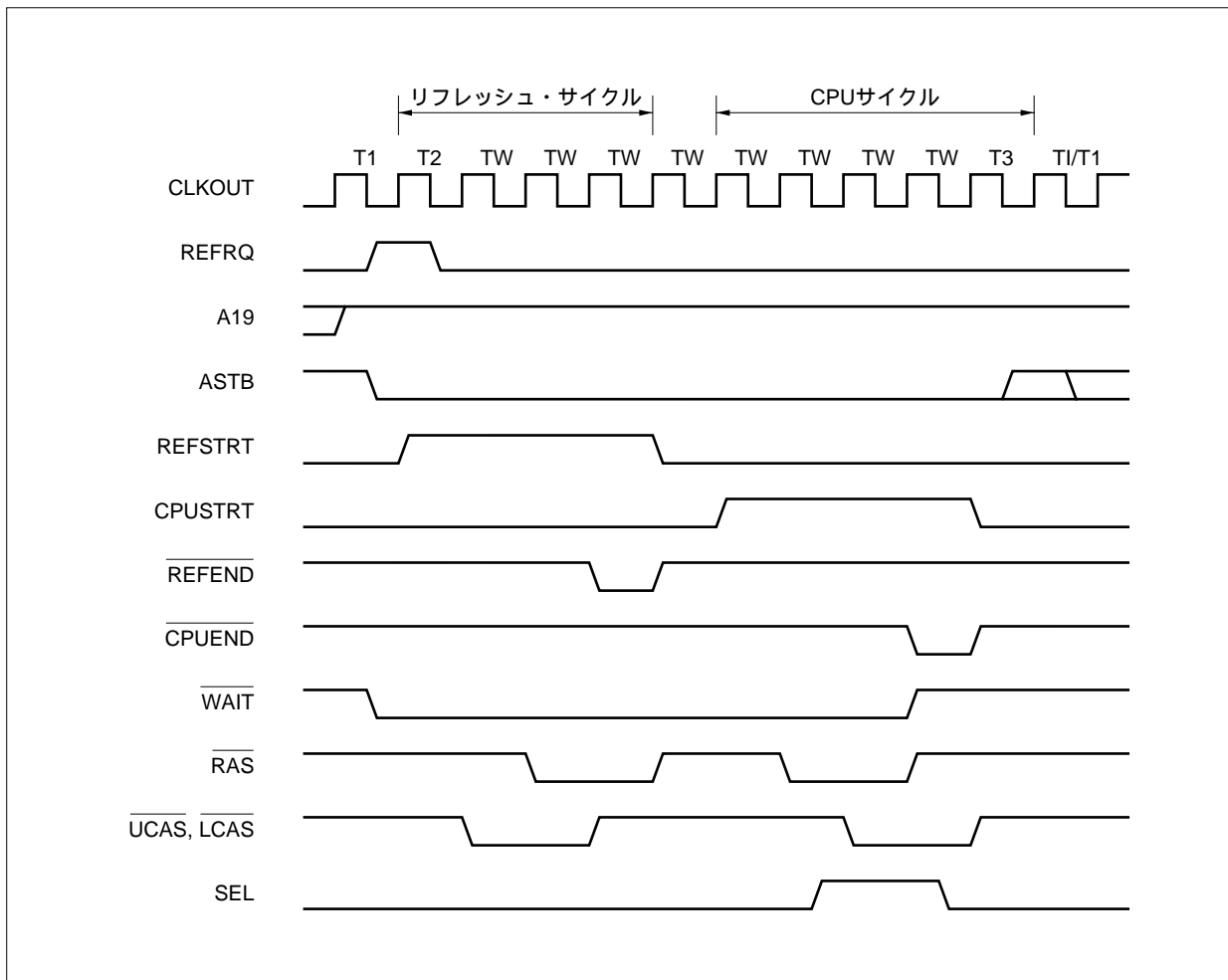


図2 - 18 アービタ部の動作（リフレッシュ要求とV853の要求が同時に発生した場合）



2.5 バス・サイジング回路を使用した8ビットPROMの接続

外部ROM空間をV853に接続する例を示します。

この回路例では16ビット・アクセス，8ビット・アクセスの両方に対応します。16ビット・リード動作では，ハードウェアでPROMに対して2回のリード・アクセスを行い，16ビット・データをそろえてV853に転送します。ウエイト制御はハードウェアで行います。

<回路構成>

- ・V853の内部システム・クロック：33 MHz
- ・接続デバイス：27C256-80 × 1つ
- ・占有空間：外部メモリ空間の00000H-07FFFH

<WCU, BCCの設定>

- ・ウエイト設定：0ウエイト ($\overline{\text{WAIT}}$ 端子で制御。8ビット・リード時は2ウエイトを，16ビット・リード時は5ウエイトを，ハードウェアにより挿入)
- ・アイドル・ステート：挿入しない

<回路方式>

- (1) ROMの $\overline{\text{CS}}$ 信号はアドレス上位5ビットをデコードして作成
- (2) $\overline{\text{UBE}}$ ， $\overline{\text{LBE}}$ 信号をデコードしてV853のアクセス・タイプを判別する
- (3) 8ビットのバッファを1つ使用して16ビット・リード時に下位バイトをラッチする
- (4) ROMの $\overline{\text{OE}}$ 信号，A0信号およびラッチ信号とV853への $\overline{\text{WAIT}}$ 信号はCLKOUT信号で作成する

図2 - 19 バス・サイジング回路を使用した8ビットPROMの接続

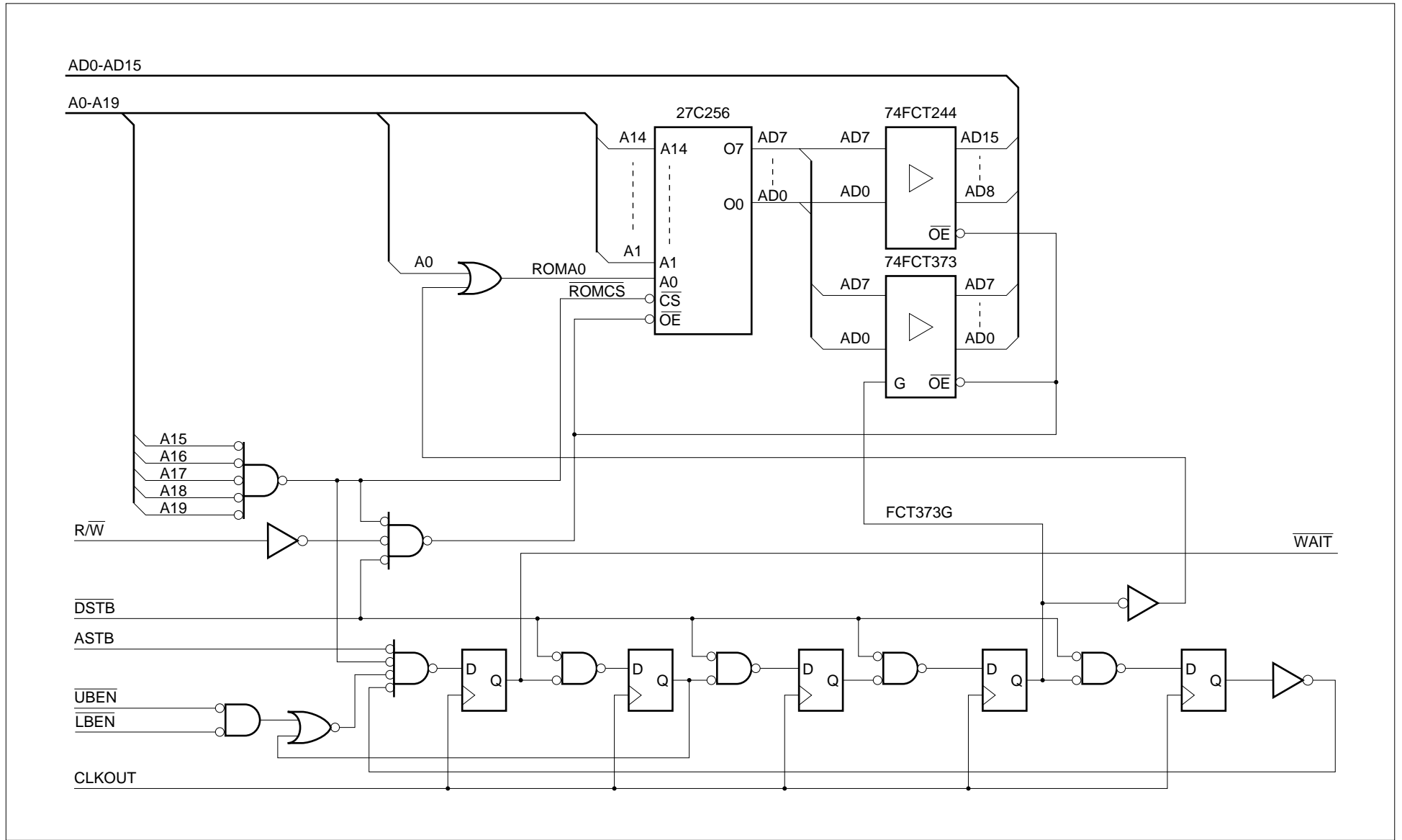


図2-20 バイト・アクセス

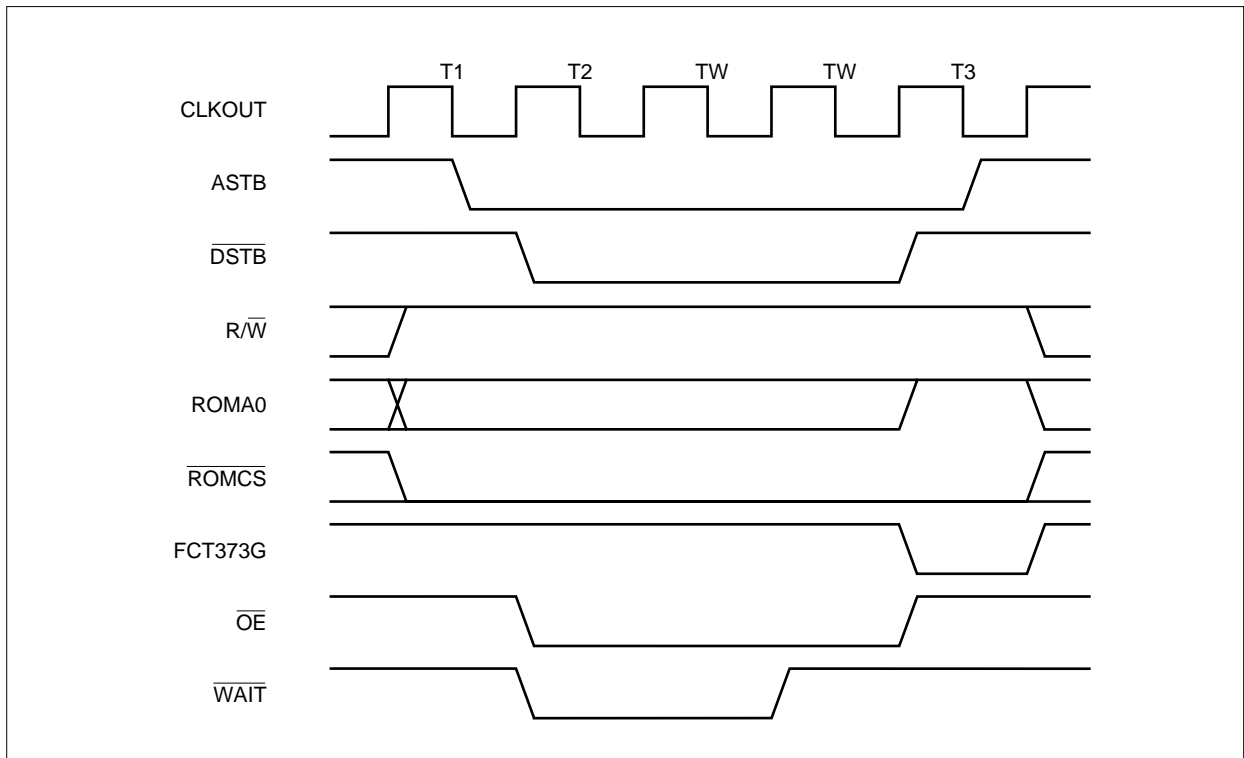
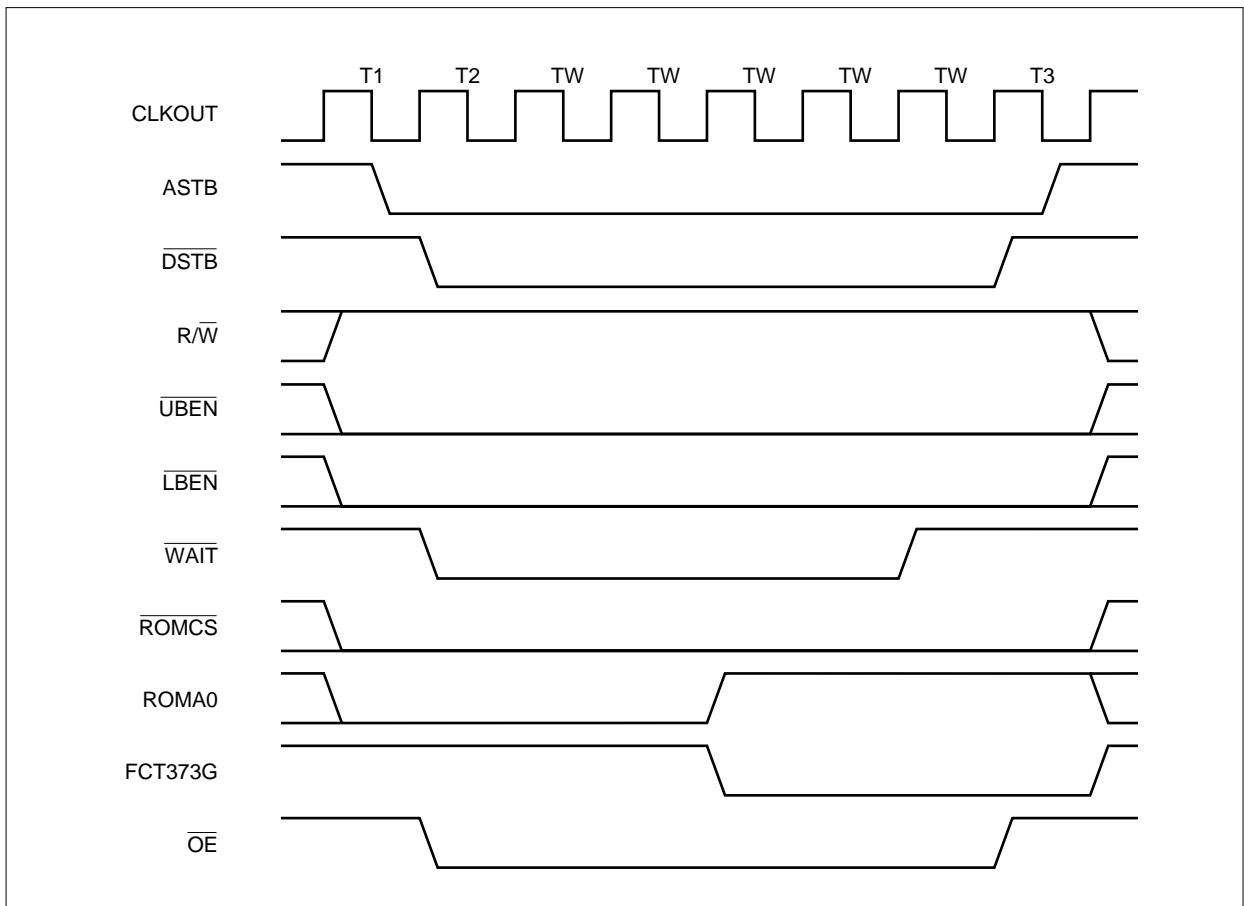


図2-21 ワード・アクセス/ハーフワード・アクセス



2.6 ポート機能を使用したバンク切り替えによる1 Mバイト超のメモリ接続

高速SRAM μ PD431016-20 (64 K \times 16ビット) を4つ使用し、512 KバイトのメモリをV853の外部メモリ空間128 Kバイト分に配列して接続する例を示します。512 KバイトのSRAMは128 Kバイトずつの4つのバンクで構成され、バンクの切り替えはポート機能で行います。

< 回路構成 >

- ・V853の内部システム・クロック：33 MHz
- ・接続デバイス： μ PD431016-20 \times 4つ
- ・占有空間：外部メモリ空間の00000H-1FFFFH
- ・メモリ・バンク：128 Kバイト \times 4バンク

< DWC, BCCの設定 >

- ・ウェイト設定：0ウェイト
- ・アイドル・ステート：挿入しない

< 回路方式 >

- (1) アクセスするメモリ・バンクはP00, P01信号で指定
- (2) μ PD431016の \overline{CS} 信号はA17-A19とP00, P01信号をデコードして作成
- (3) μ PD431016の \overline{OE} , \overline{WE} 信号は R/\overline{W} , \overline{DSTB} 信号で作成
- (4) μ PD431016の \overline{LB} , \overline{UB} 端子に \overline{LBEN} , \overline{UBEN} 信号を直接入力
- (5) \overline{WAIT} 端子の制御は行わない(ハイ・レベルに固定)

図2 - 22 ポート機能を使用したバンク切り替えによる1 Mバイト超のメモリ接続

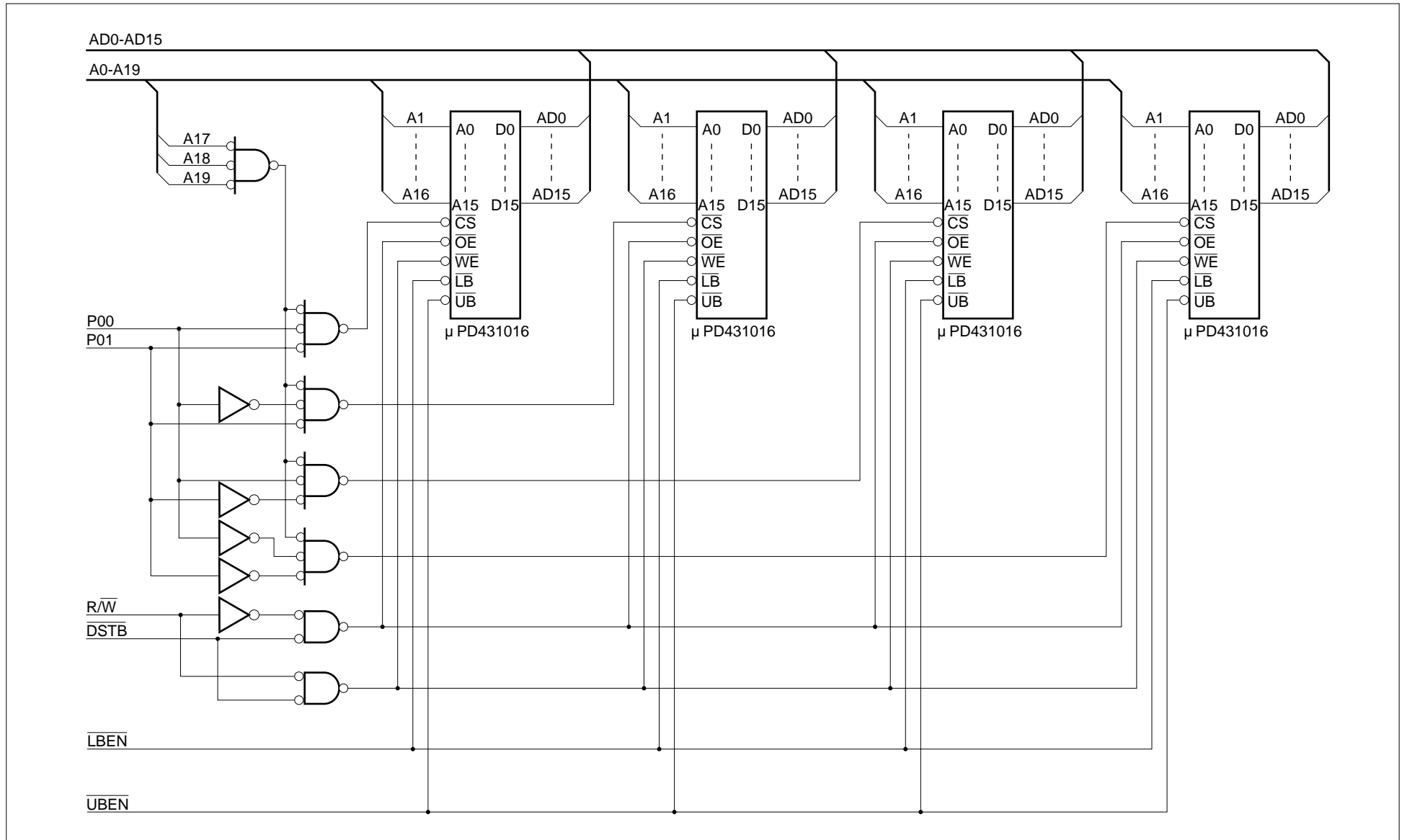


図2-23 リード動作

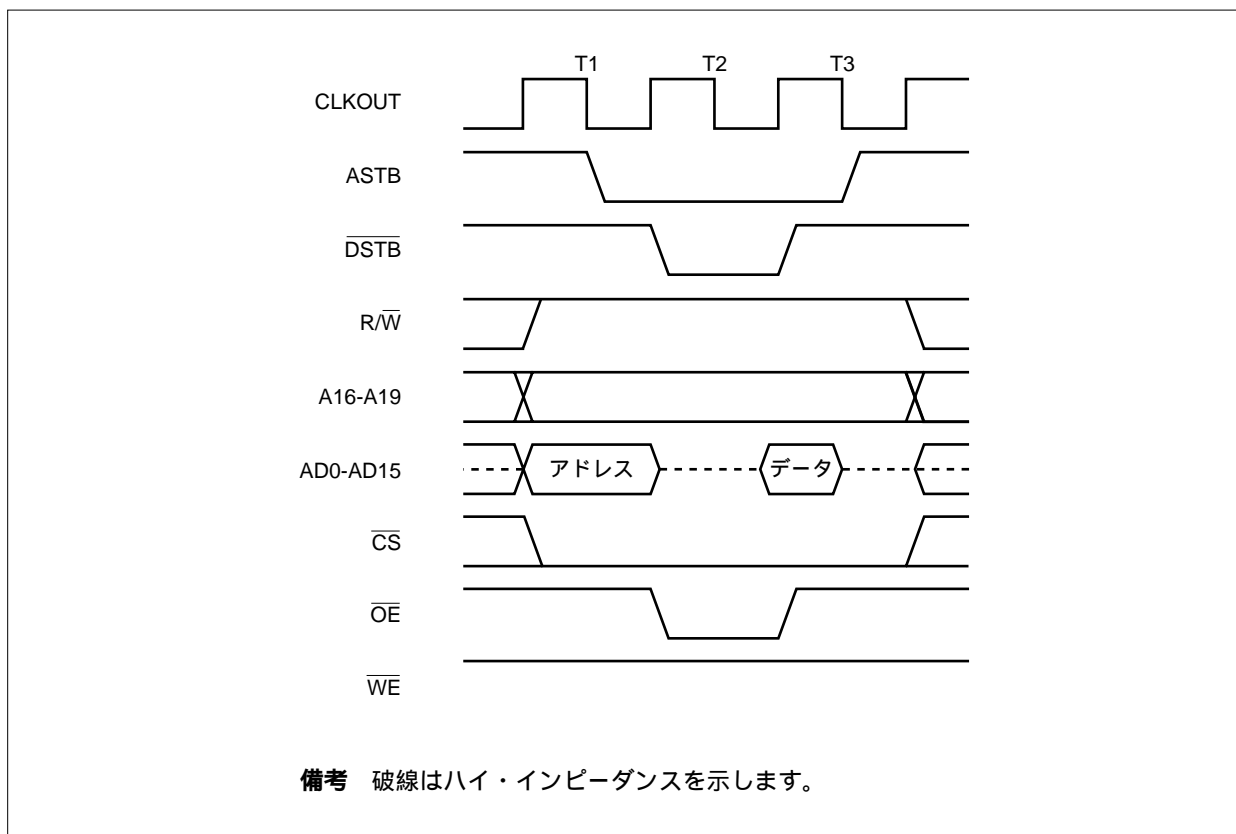
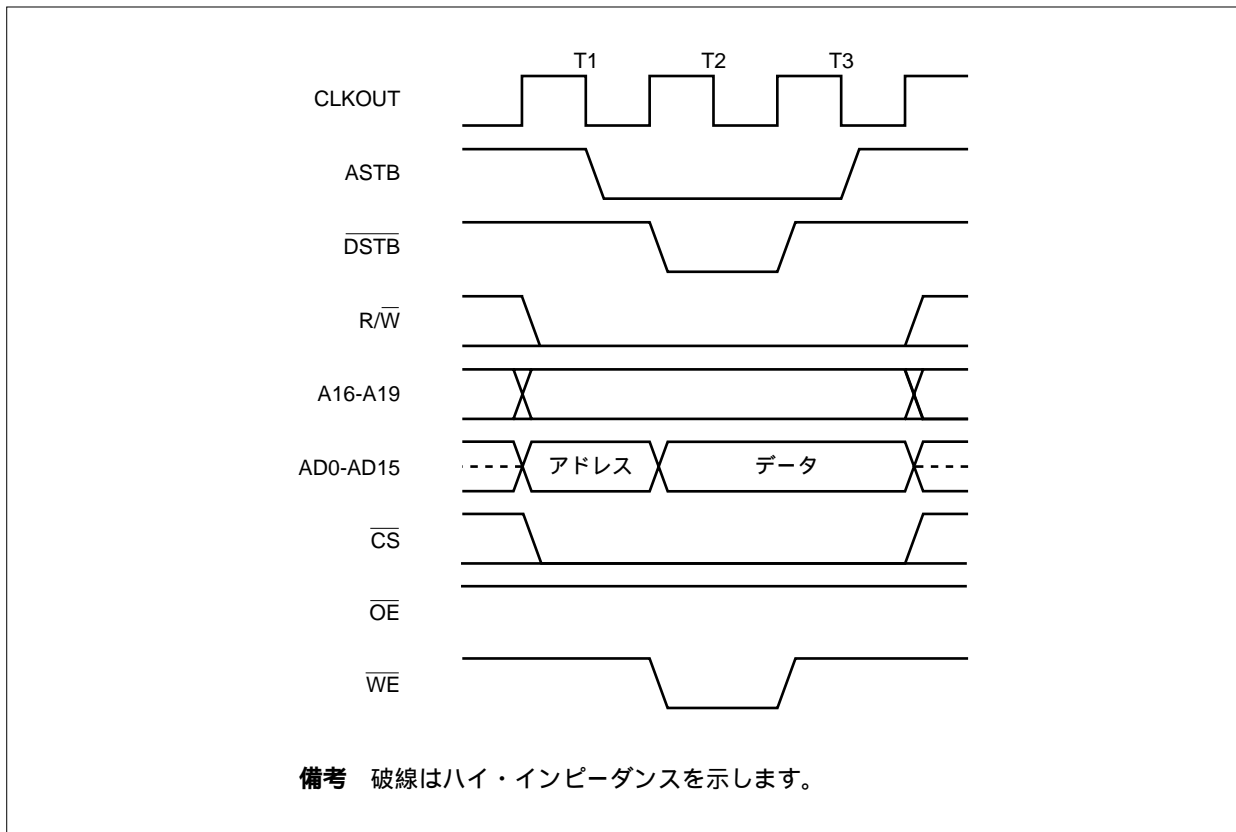


図2-24 ライト動作



第3章 アプリケーション例

3.1 TB-V853の機能

3.1.1 概要

TB-V853は、V853の評価、学習を目的として開発されたトレーニング・ボードです。

TB-V853の特徴は次のとおりです。

- (1) 動作速度は33 MHzをサポート
- (2) シリアル・インタフェース
 - RS-232-C × 1チャンネル
 - V853内蔵UART1に接続
- (3) シリアルEEPROMTM搭載
 - V853内蔵CSI0に接続
- (4) アナログ入力
 - 正弦波発振器の出力を接続
 - 0-5 Vの可変出力を接続
 - 光センサの出力を接続
- (5) アナログ出力
 - ステレオ・ヘッドホンの接続により音声出力が可能
- (6) 汎用スイッチ入力8点，LED出力8点
 - V853内蔵ポートを使用
- (7) 7セグメントLED × 5桁
 - ソフトウェア制御とハードウェア制御をスイッチで選択して表示。ハードウェア制御時は正弦波発振器出力の周波数を表示。
- (8) パルス・ジェネレータ出力付きDCモータ搭載
 - V853内蔵PWMを使用
 - パルス・ジェネレータ出力はINTP140端子に接続

3.1.2 構成

V853を内部システム・クロック33 MHz（外部クロック6.6 MHz）で使用します。また、内部システム・クロック25 MHzで動作させる場合のために5 MHzの発振器を実装しており、スイッチの切り替えによりどちらを使用するかを決定します。

PWM : DCモータ速度制御

INTC : 外部割り込み要因

INTスイッチ

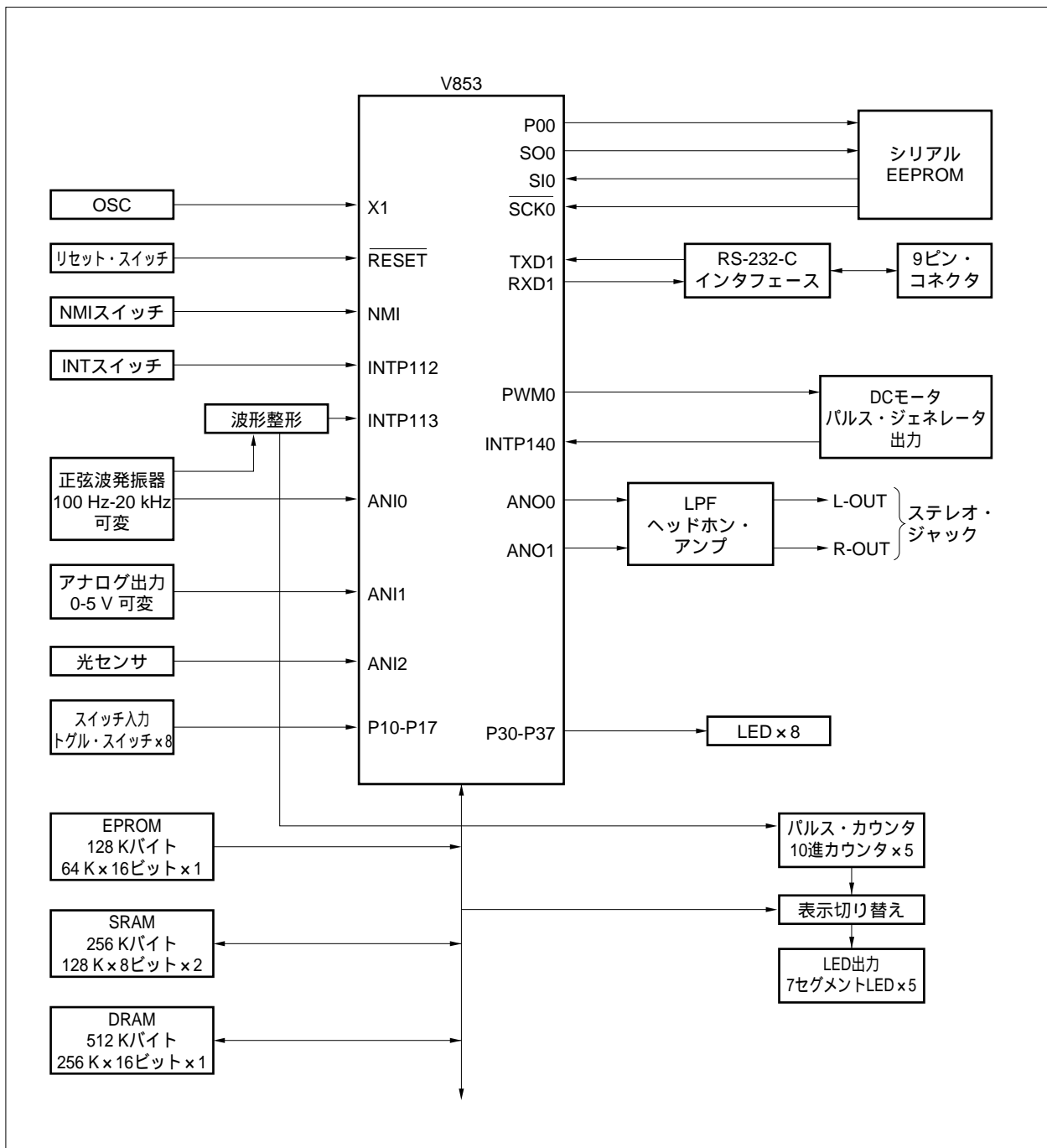
パルス・ジェネレータ出力

正弦波割り込み

SIO	: UART1	RS-232-Cインタフェース
	CSIO	シリアルEEPROMインタフェース
ADC	: ANI0	正弦波発振器出力100 Hz-20 kHz (周波数はスイッチとボリュームで設定)
	ANI1	0-5 V電圧 (電圧値はボリュームで設定)
	ANI2	光センサ出力
DAC	: ANO0	L側音声出力
	ANO1	R側音声出力
ポート	: ポート0	P00 出力ポート・モード (シリアルEEPROM CS端子)
		P06, P07 コントロール・モード
		P01-P05 未使用
	ポート1	P10-P17 入力ポート (トグル・スイッチ×8)
	ポート2	P20, P22-P26 コントロール・モード
		P21, P27 未使用
	ポート3	P30-P37 出力ポート (LED×8)
	ポート4	P40-P47 コントロール・モード (AD0-AD7)
	ポート5	P50-P57 コントロール・モード (AD8-AD15)
	ポート6	P60-P63 コントロール・モード (A16-A19)
	ポート7	P70-P72 コントロール・モード
		P73-P77 未使用
	ポート9	P90-P96 コントロール・モード
	ポート11	P114 コントロール・モード
		P110-P113, P115-P117 未使用

3.1.3 ボード構成図

図3 - 1 TB-V853のボード構成図



3.1.4 メモリ・マップ

TB-V853のメモリ・マップを示します。

図3 - 2 TB-V853のメモリ・マップ

xxFFFFFFH	周辺I/O領域
xxFFF000H xxFFEFFFFH	内蔵RAM領域
xxFFE000H xxFFDFFFFH	未使用
xx700000H xx6FFFFFFH	外部DRAM領域 512 Kバイト 2ウエイト
xx680000H xx67FFFFFFH	未使用
xx46000AH xx460009H	7セグメントLED 5桁目
xx460008H xx460007H	7セグメントLED 4桁目
xx460006H xx460005H	7セグメントLED 3桁目
xx460004H xx460003H	7セグメントLED 2桁目
xx460002H xx460001H	7セグメントLED 1桁目
xx460000H xx45FFFFFFH	未使用
xx260000H xx25FFFFFFH	外部ROM領域 128 Kバイト 3ウエイト
xx240000H xx23FFFFFFH	未使用
xx140000H xx13FFFFFFH	外部SRAM領域 256 Kバイト 2ウエイト
xx100000H xx0FFFFFFH	内蔵ROM領域
xx000000H	

TB-V853に実装されている外部メモリの物理的サイズは1 Mバイト以内ですが、上図のようなメモリ・マップにすることにより、プログラマブル・ウエイト機能、プログラマブル・アイドル・ステート挿入機能を有効に活用できます。

3.1.5 接続メモリ

TB-V853には128 KバイトのEPROM，256 KバイトのSRAM，512 KバイトのDRAMが接続されます。

EPROM :xx240000H番地からの128 Kバイト分がROM空間となります。1 Mビット(64 K×16ビット)EPROM用ソケットを1個実装します。この空間へのアクセスでは，ハードウェアにより3ウエイトが挿入されます。

SRAM :xx100000H番地からの256 Kバイト分がSRAM空間となります。1 MビットSRAM(128 K×8ビット)が2個実装されます。この空間へのアクセスでは，ハードウェアにより2ウエイトが挿入されます。

DRAM :xx680000H番地からの512 Kバイト分がDRAM空間となります。4 MビットDRAM(256 K×16ビット)が1個実装されます。この空間へのアクセスでは，ハードウェアにより2ウエイトが挿入されます。リフレッシュ・サイクルはこのユニット上のハードウェアがV853にホールド・リクエストを出力し，CASビフォーRASリフレッシュ・サイクルを駆動します。

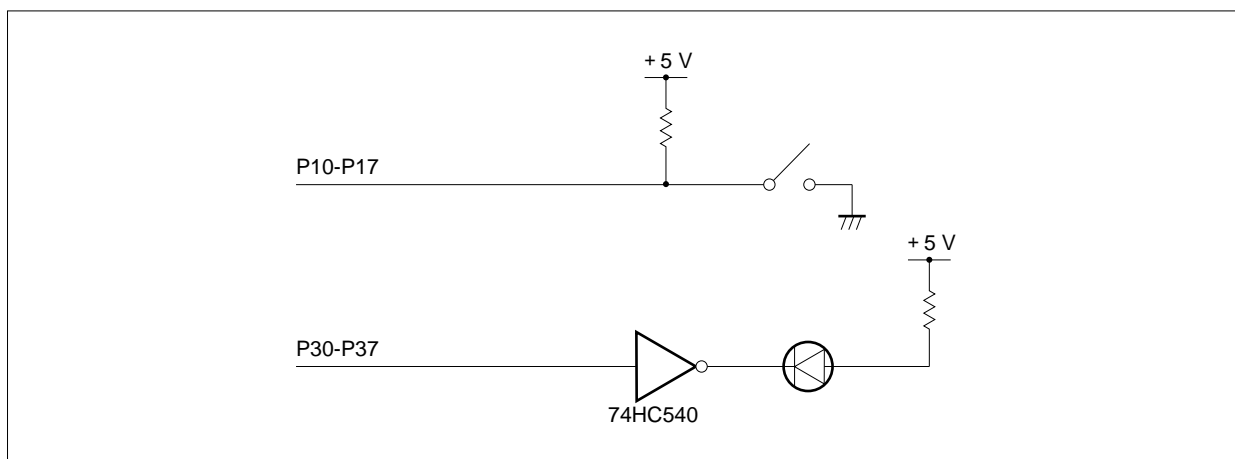
3.1.6 ポート機能の接続

入力ポートとしてP10-P17，出力ポートとしてP30-P37を使用しています。入力ポートはトグル・スイッチ，出力ポートはLEDにそれぞれ接続されています。

表3-1 使用入出力ポート一覧

ポート名称	入出力	使用内容
P10	入力	汎用トグル・スイッチ0
P11	入力	汎用トグル・スイッチ1
P12	入力	汎用トグル・スイッチ2
P13	入力	汎用トグル・スイッチ3
P14	入力	汎用トグル・スイッチ4
P15	入力	汎用トグル・スイッチ5
P16	入力	汎用トグル・スイッチ6
P17	入力	汎用トグル・スイッチ7
P30	出力	汎用LED0(“1”で点灯)
P31	出力	汎用LED1(“1”で点灯)
P32	出力	汎用LED2(“1”で点灯)
P33	出力	汎用LED3(“1”で点灯)
P34	出力	汎用LED4(“1”で点灯)
P35	出力	汎用LED5(“1”で点灯)
P36	出力	汎用LED6(“1”で点灯)
P37	出力	汎用LED7(“1”で点灯)
P00	出力	シリアルEEPROMのCS端子“1”でアクティブ

図3 - 3 ポート接続回路例



3.1.7 UARTの接続

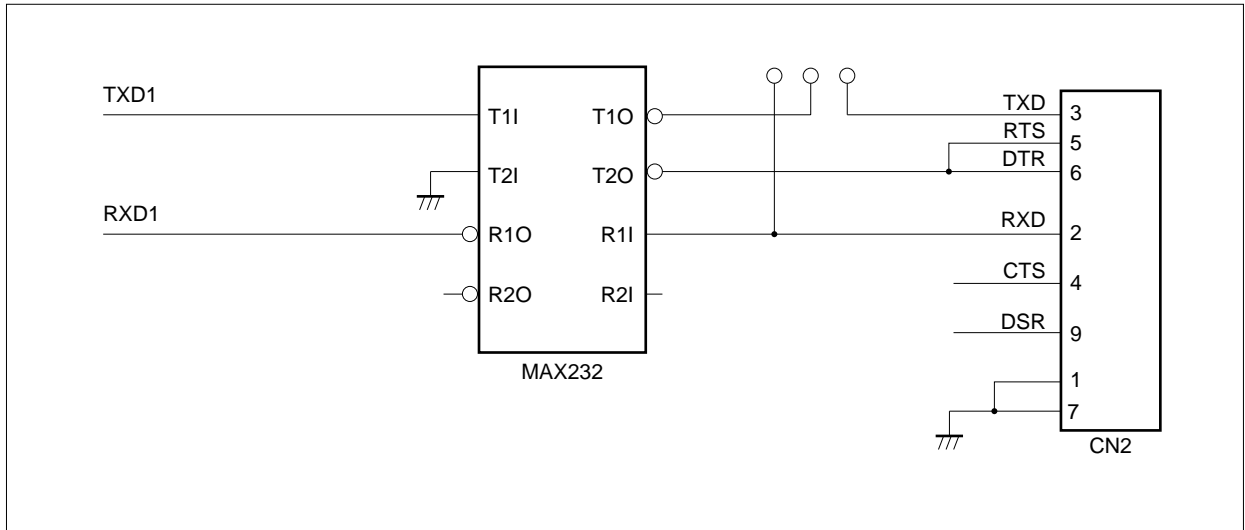
UART1を調歩同期式のRS-232-Cインタフェースとして使用します。信号はTXD , RXDの2線式です。TXD信号とRXD信号は、ジャンパ・スイッチで折り返せます。

表3 - 2 RS-232-Cインタフェース・コネクタ (CN2)

番号	信号名	信号の意味
1	SG	信号グランド
2	RXD	受信データ
3	TXD	送信データ
4	CTS	送信可
5	RTS	送信要求
6	DTR	ターミナル・レディ
7	SG	信号グランド
8	NC	未接続
9	DSR	データ・セット・レディ

備考 RTS, DTR端子はアクティブ・レベルに固定されています。
CTS, DSR端子は接続されていません。

図3 - 4 UARTの接続回路例

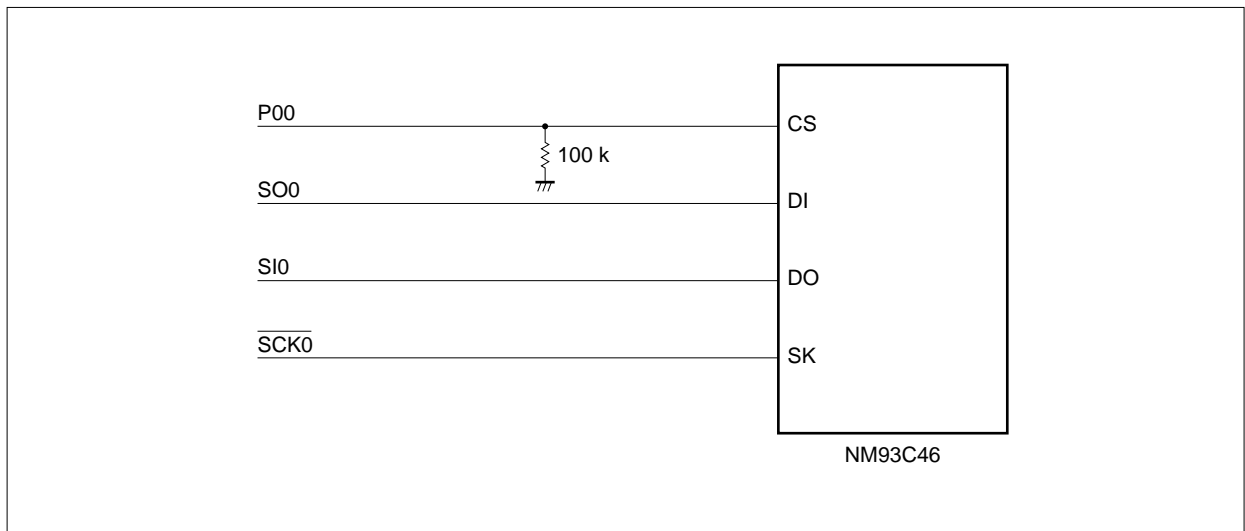


3.1.8 CSIの接続（シリアルEEPROMの接続）

CSI機能を使用してシリアル・タイプのEEPROM NM93C46を制御しています。

SO0, SI0, $\overline{\text{SCK0}}$ 端子をそれぞれNM93C46のDI, DO, SK端子に接続しています。NM93C46のCS端子はP00端子に接続しているので、NM93C46をリード/ライト・アクセスするときにはP00端子をアクティブ・レベル（“1”でアクティブ）にします。

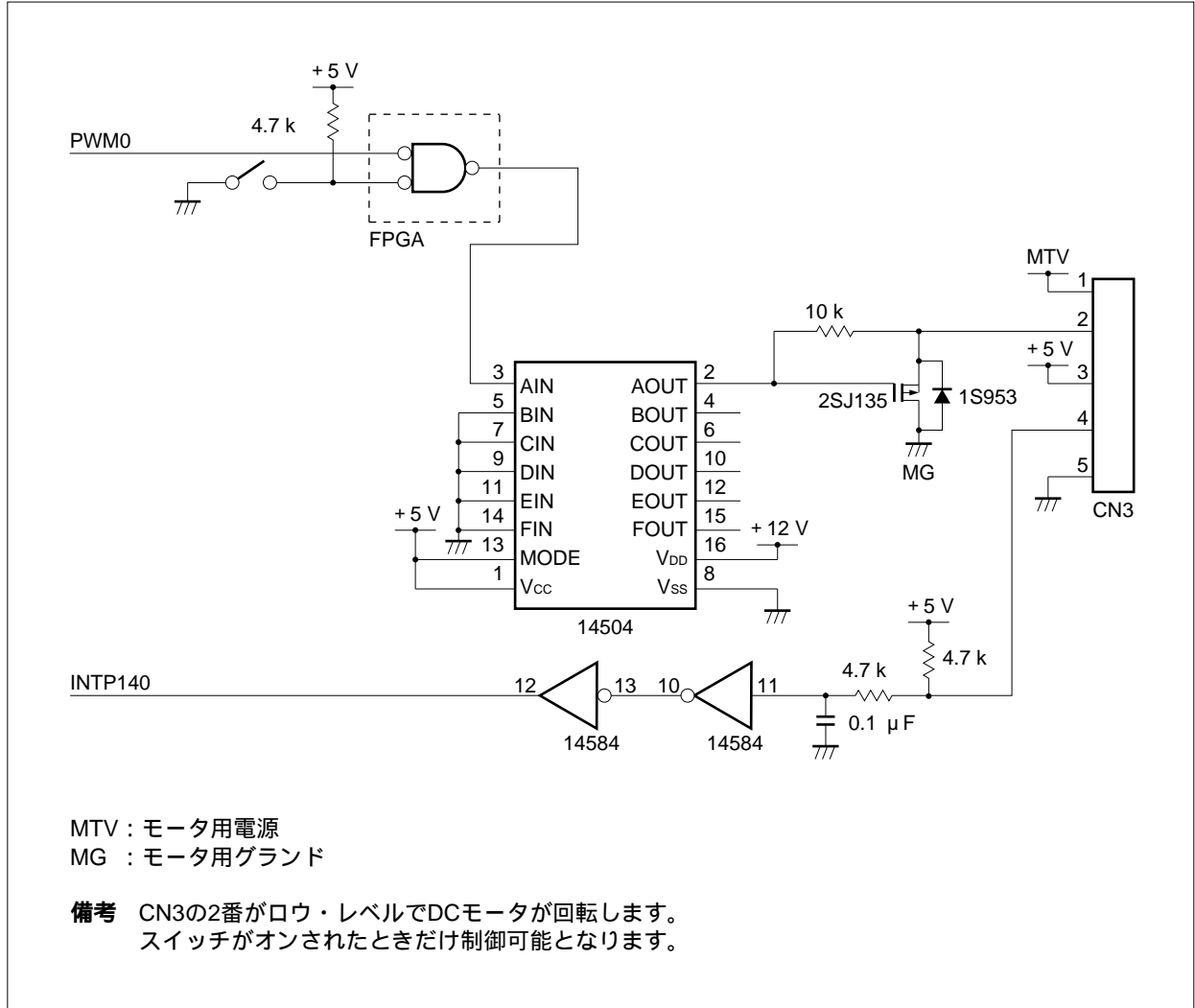
図3 - 5 CSIの接続回路例



3.1.9 PWMの接続

PWM0をモータ制御に使用します。PWM0の出力パルス幅を変化させて、DCモータの回転速度を制御します。DCモータからのパルス・ジェネレータ出力は、INTP140端子に入力されます。

図3 - 6 PWMの接続回路例



3.1.10 ADCの接続

正弦波発振器の出力，可変抵抗，光センサの3通りのアナログ入力が，それぞれANI0，ANI1，ANI2端子に接続されています。

図3 - 7 正弦波発振器の接続 (ANI0)

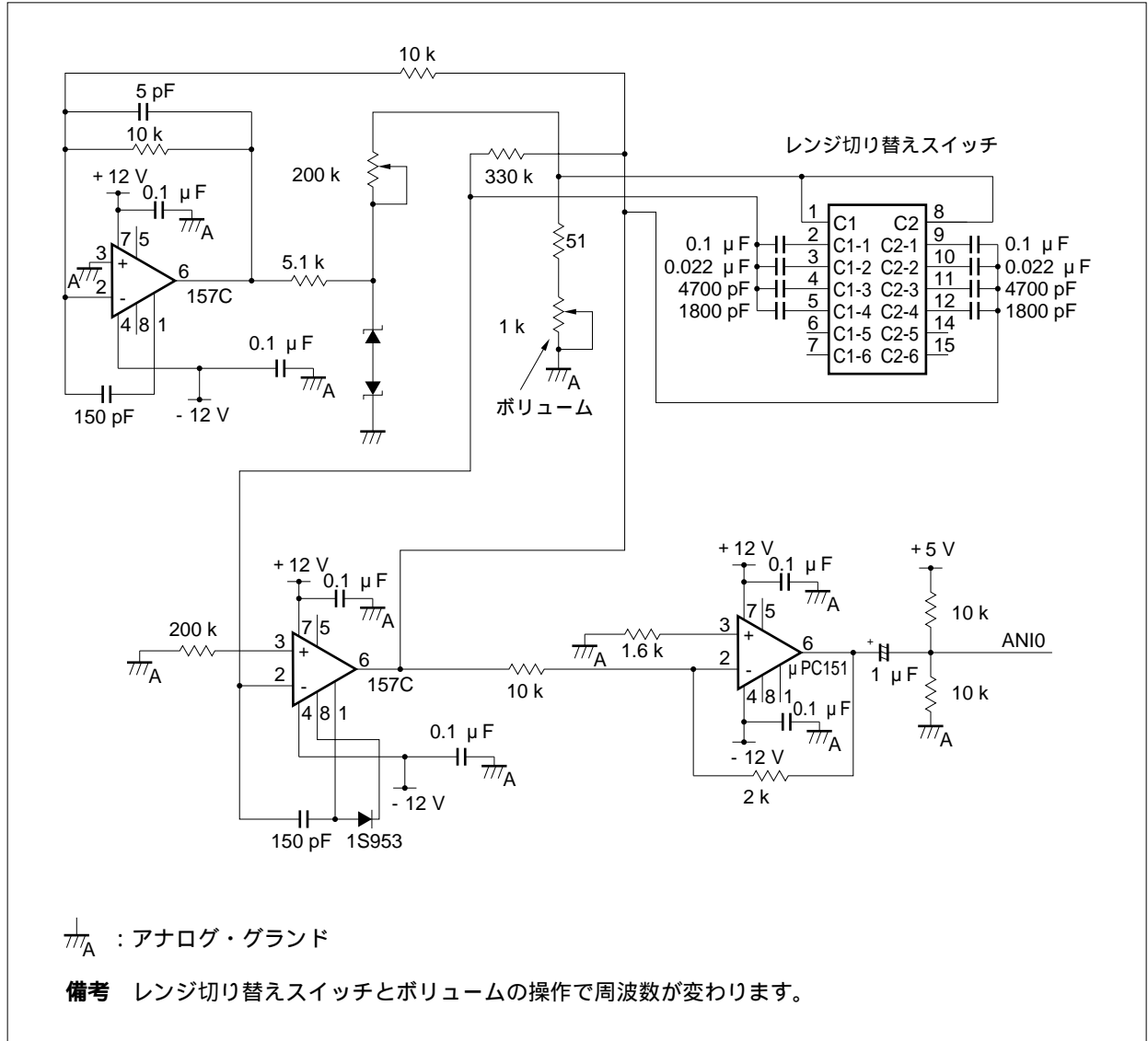


図3-8 可変抵抗による0-5 Vの接続 (ANI1)

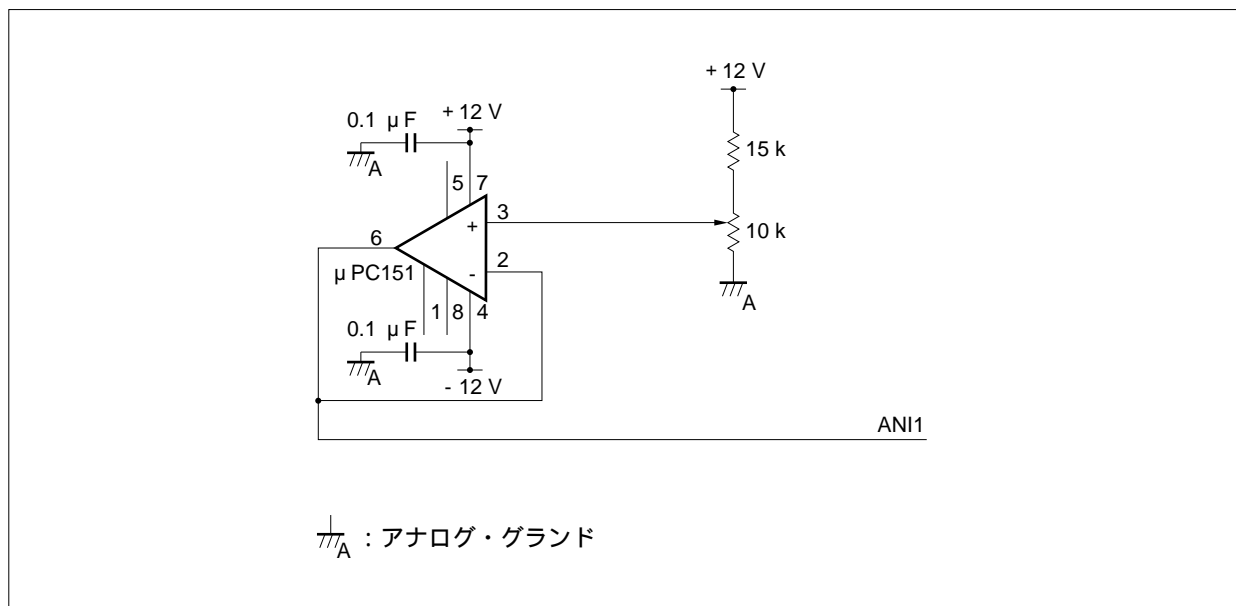
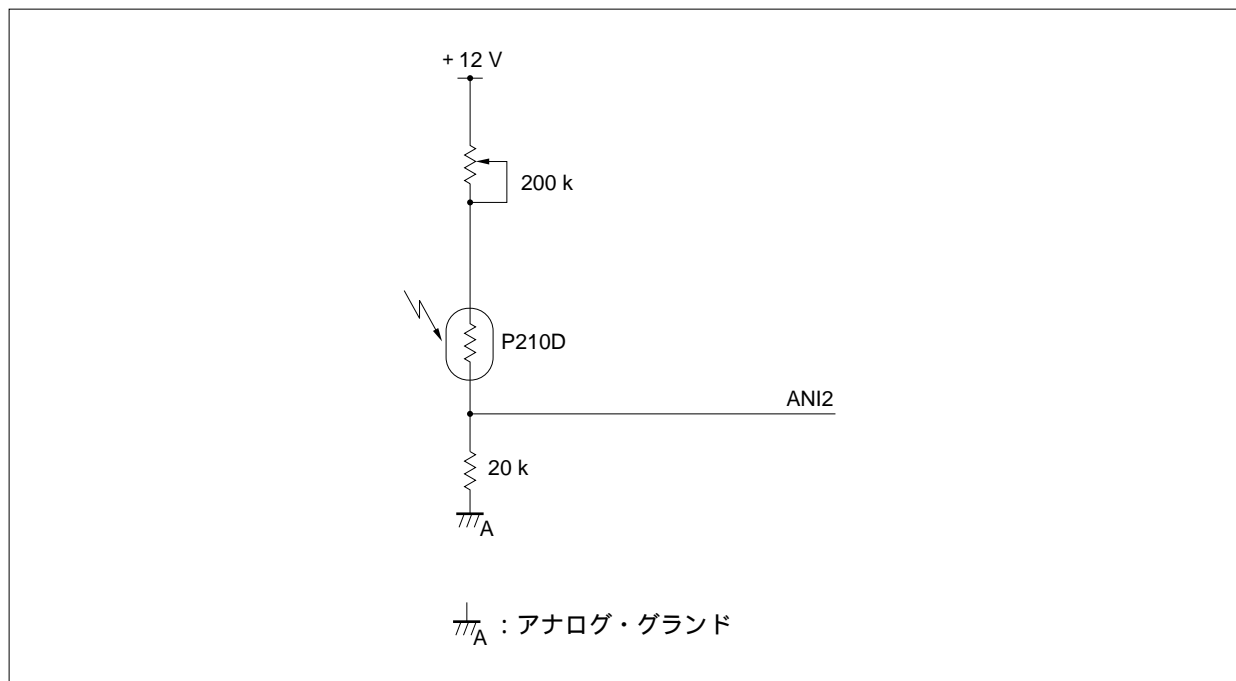


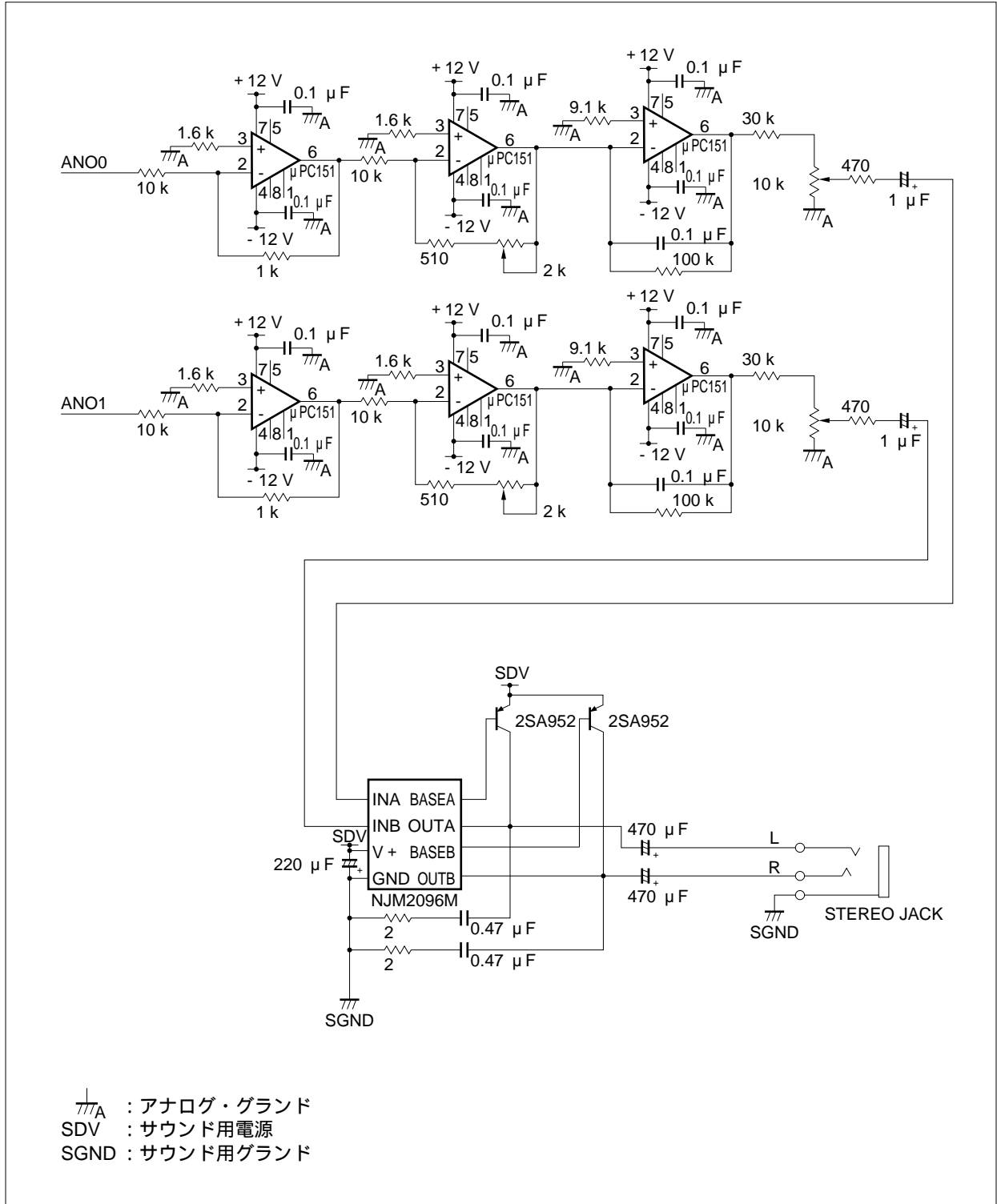
図3-9 光センサの接続 (ANI2)



3.1.11 DACの接続

ANO0端子にステレオ・ヘッドホンのLチャンネル，ANO1端子にRチャンネルがアンプを経由して接続されています。

図3 - 10 DACの接続回路例



3.2 内部レジスタの設定

この節では、TB-V853のハードウェア構成によって設定が決定される内部レジスタの説明をします。

その他のレジスタは、アプリケーション・プログラムの内容で設定値が決定されます。

詳細はV853 **アプリケーション・ノート ソフトウェア編**を参照してください。

3.2.1 BCUの設定

TB-V853でのメモリ拡張モード・レジスタ (MM) , データ・ウエイト・コントロール・レジスタ (DWC) とバス・サイクル・コントロール・レジスタ (BCC) の設定は、外部領域のメモリ・マップとの関係で図3 - 12 ~ 図3 - 14のようになります。

図3 - 11 外部領域のメモリ・マップ

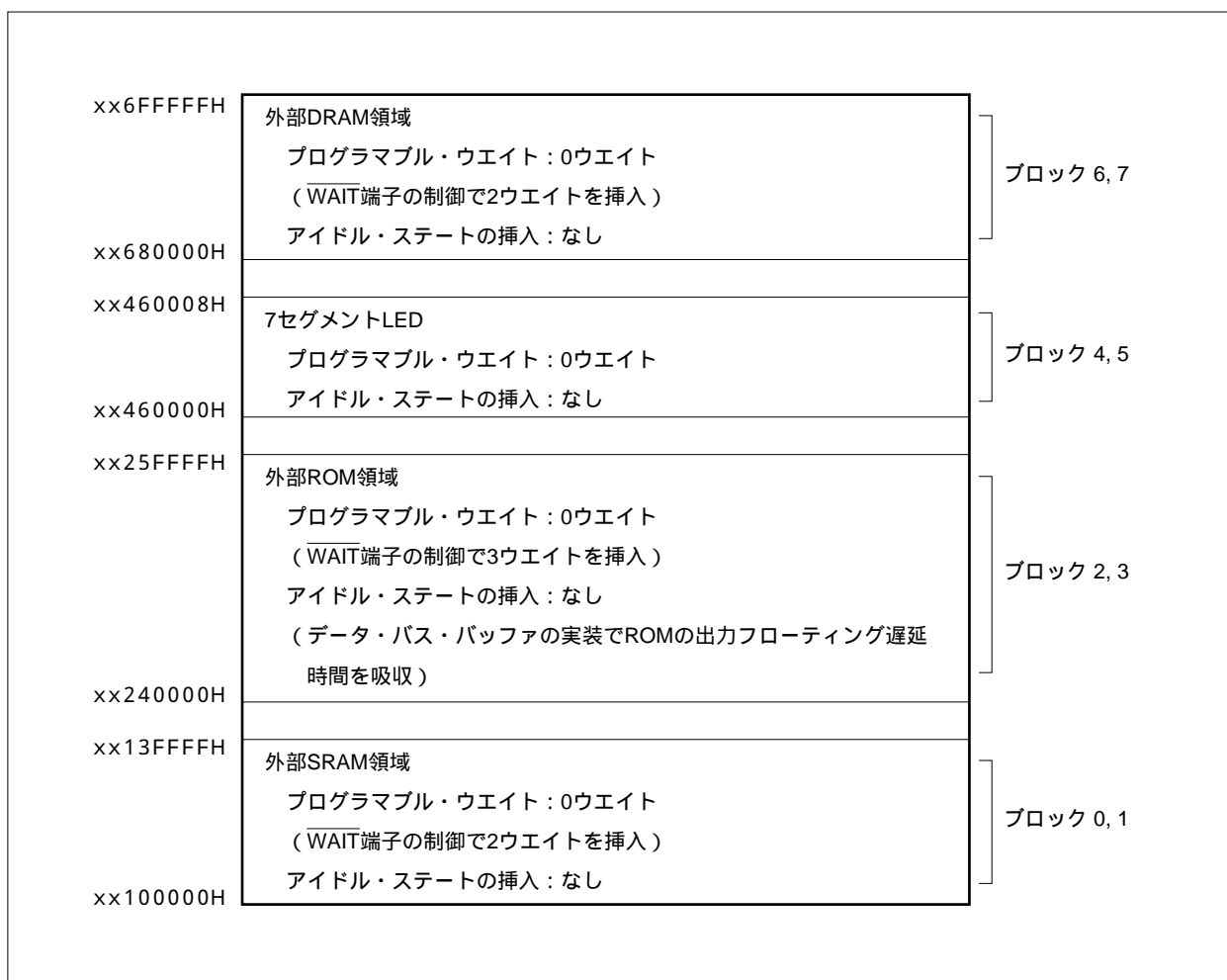


図3 - 12 メモリ拡張モード・レジスタ (MM) の設定

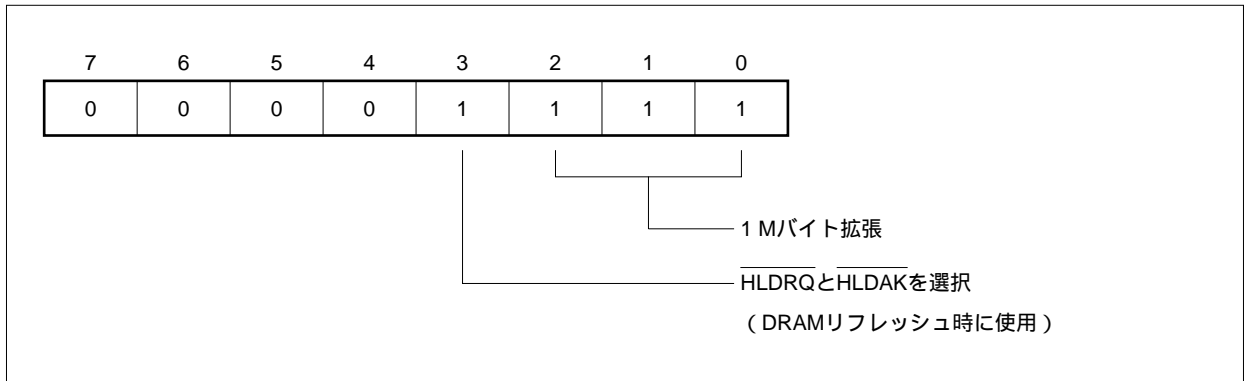


図3 - 13 データ・ウェイト・コントロール・レジスタ (DWC) の設定

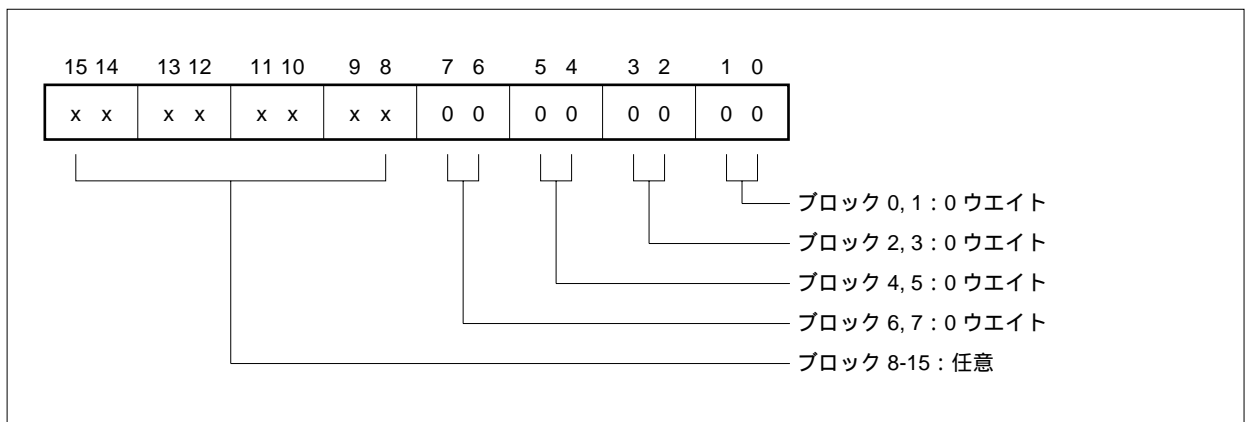
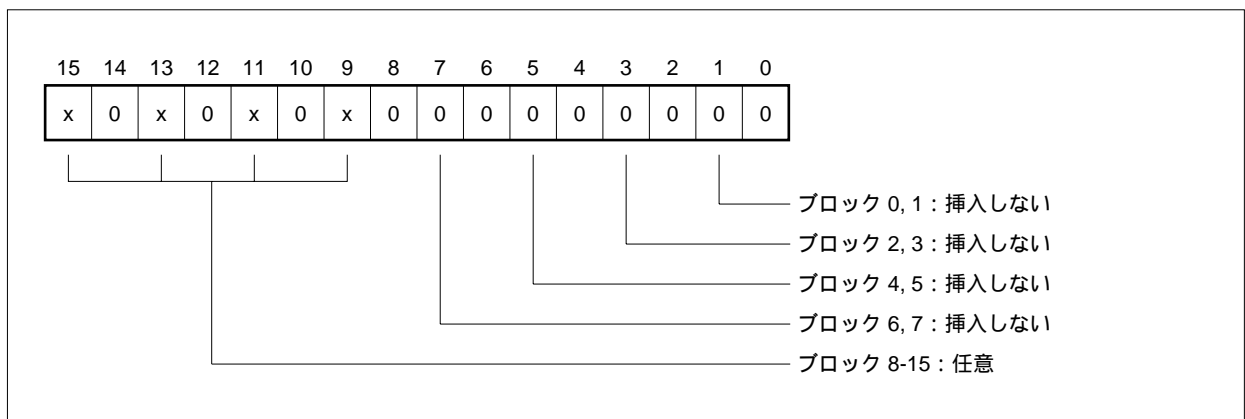


図3 - 14 バス・サイクル・コントロール・レジスタ (BCC) の設定



TB-V853では、ハードウェアでWAIT端子の制御とROMの出力フローティング遅延時間の対処を行っています。同等のメモリ・マップでプログラマブル・ウェイト制御と外部ROM領域のアイドル・ステートを入れる場合は図3 - 15、図3 - 16のような設定になります。

図3 - 15 データ・ウェイト・コントロール・レジスタ (DWC) の設定 (ウェイト挿入時)

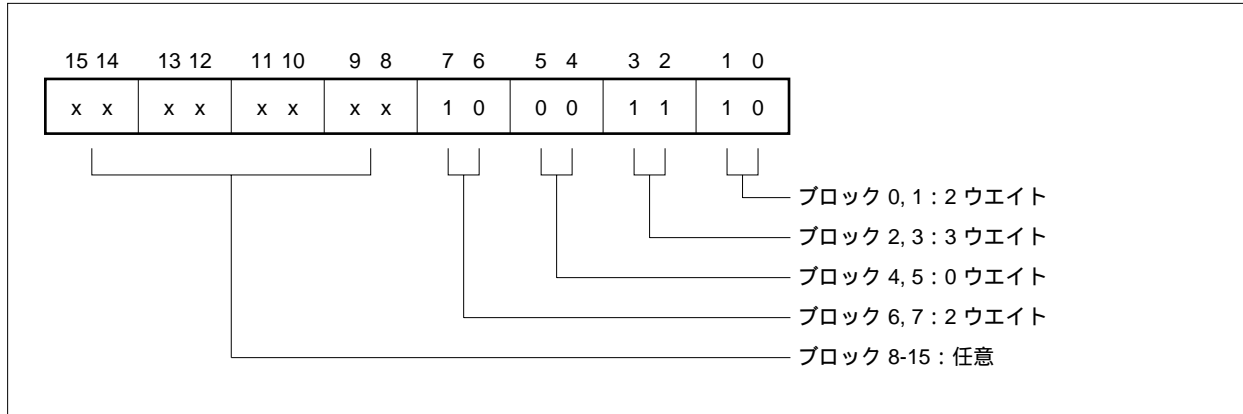
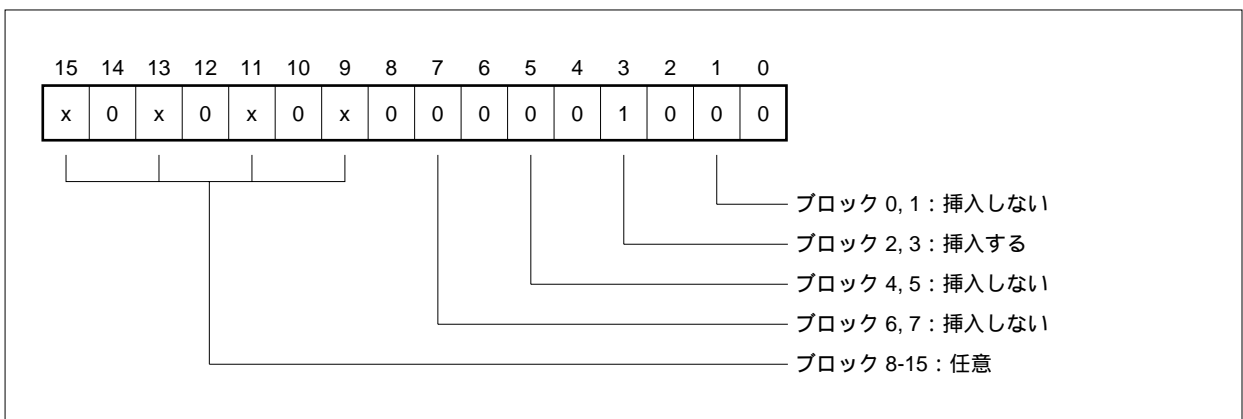


図3 - 16 パス・サイクル・コントロール・レジスタ (BCC) の設定 (アイドル・ステート挿入時)



3.2.2 ポート機能（端子機能の設定）

TB-V853でのポート・モード・コントロール・レジスタ（PMC0-PMC3, PMC11），ポート・コントロール・モード・レジスタ（PCM），ポート・モード・レジスタ（PM0-PM11）の設定は，図3 - 17～図3 - 29のようになります。接続されていない端子はポート・モードに設定されています。

図3 - 17 ポート0モード・コントロール・レジスタ（PMC0）の設定

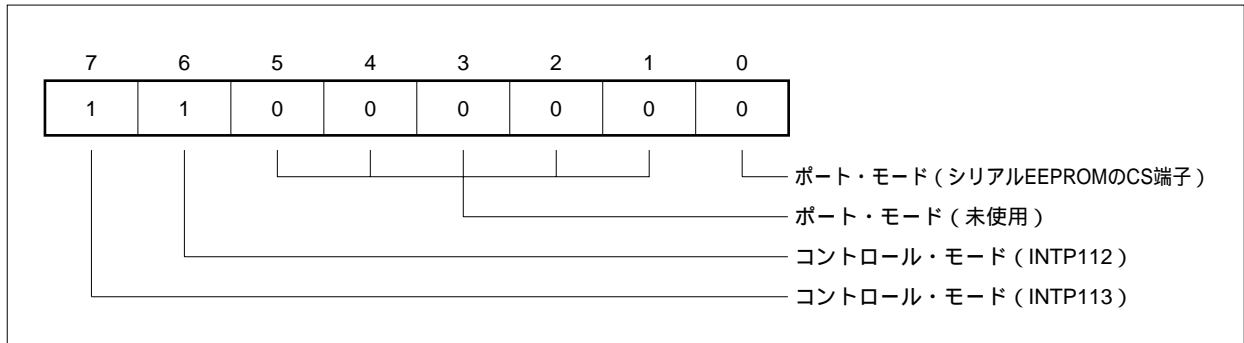


図3 - 18 ポート1モード・コントロール・レジスタ（PMC1）の設定

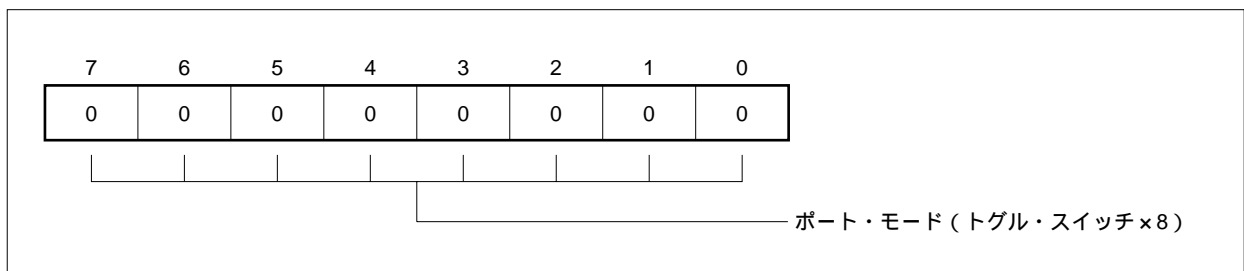


図3 - 19 ポート2モード・コントロール・レジスタ（PMC2）の設定

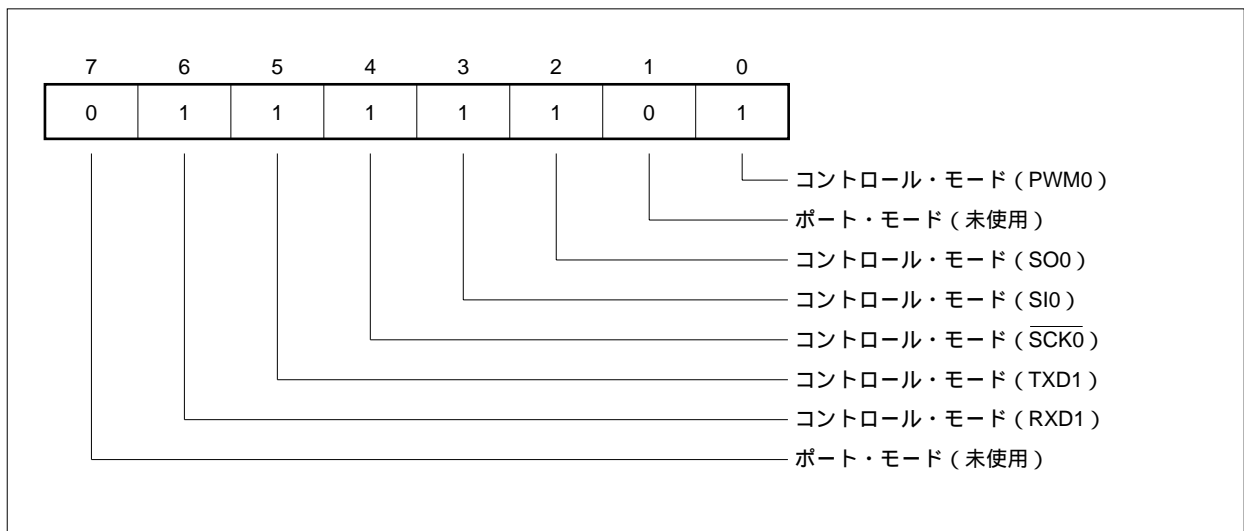


図3 - 20 ポート3モード・コントロール・レジスタ (PMC3) の設定

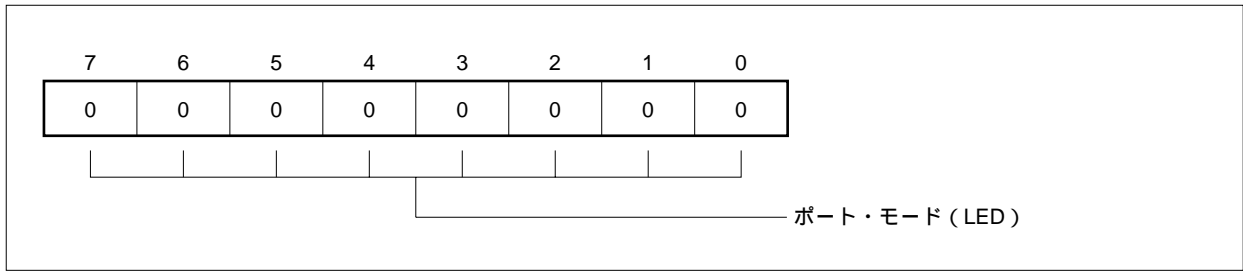


図3 - 21 ポート11モード・コントロール・レジスタ (PMC11) の設定

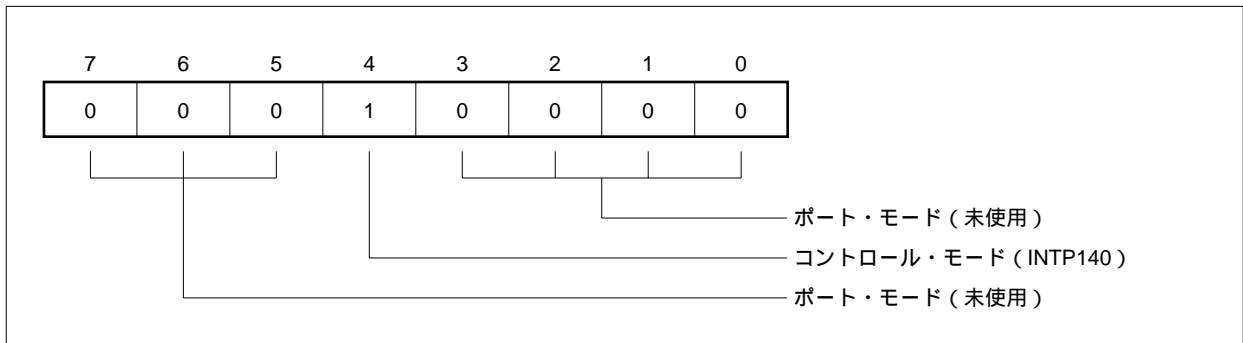


図3 - 22 ポート・コントロール・モード・レジスタ (PCM) の設定

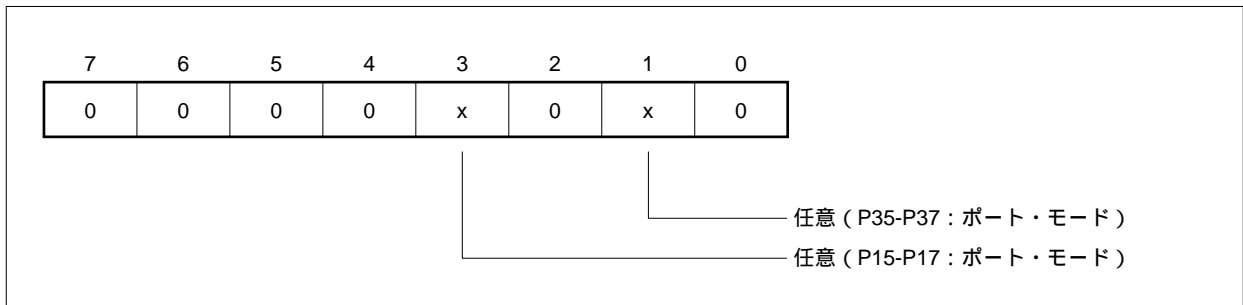


図3 - 23 ポート0モード・レジスタ (PM0) の設定

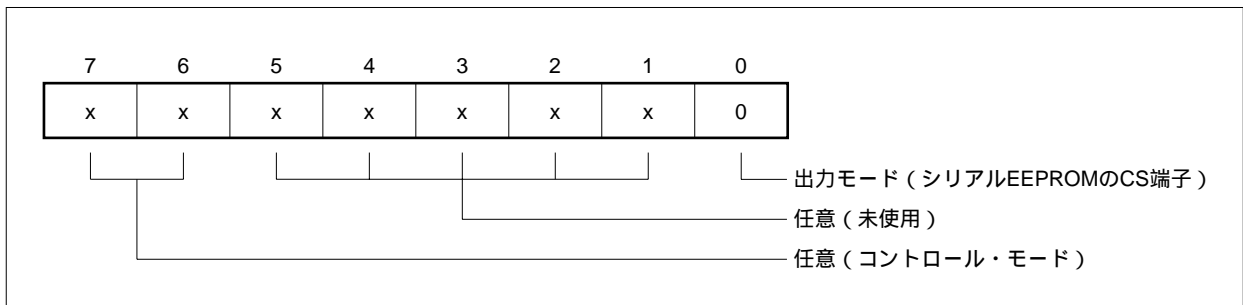


図3 - 24 ポート1モード・レジスタ (PM1) の設定

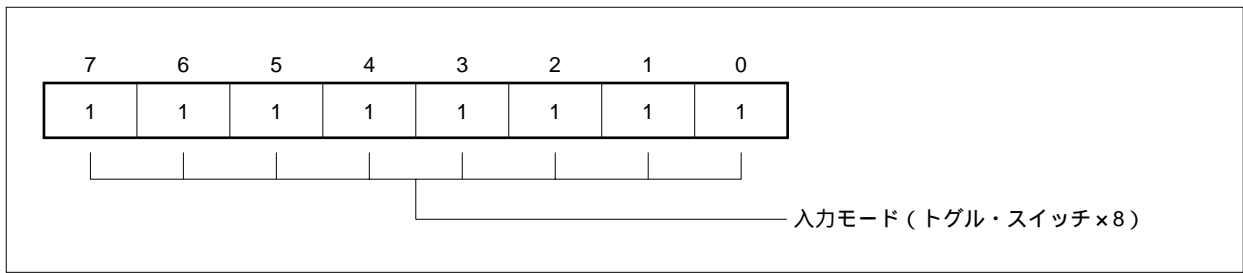


図3 - 25 ポート2モード・レジスタ (PM2) の設定

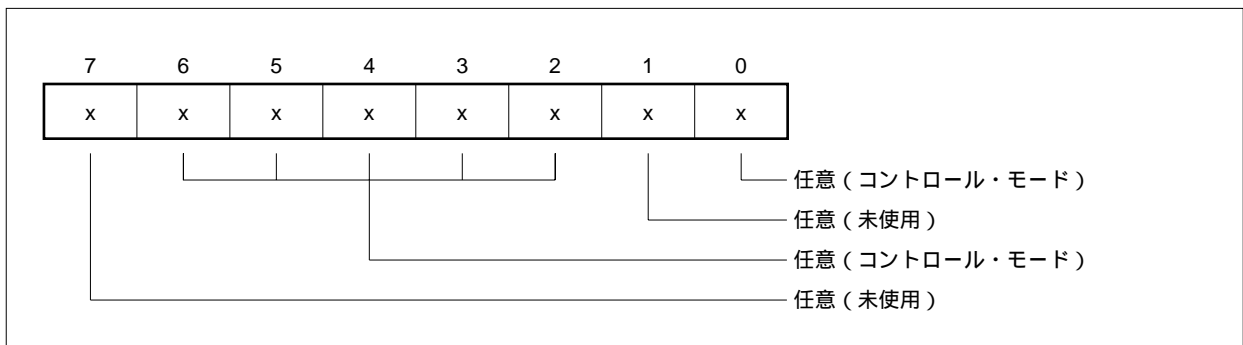


図3 - 26 ポート3モード・レジスタ (PM3) の設定

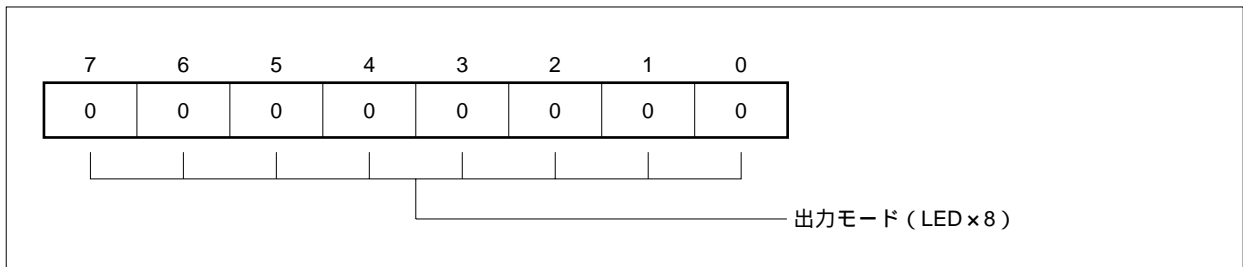


図3 - 27 ポート4モード・レジスタ-ポート6モード・レジスタ (PM4-PM6) の設定

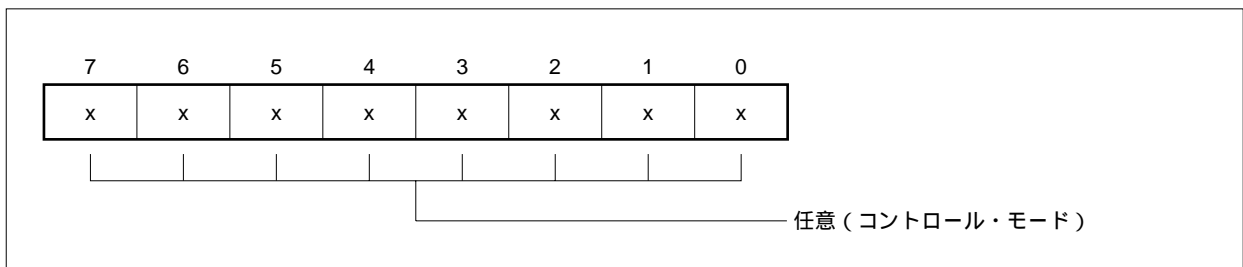


図3 - 28 ポート9モード・レジスタ (PM9)の設定

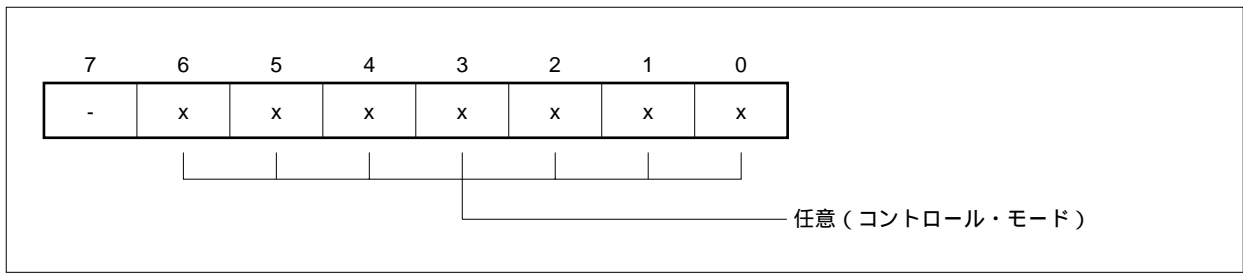
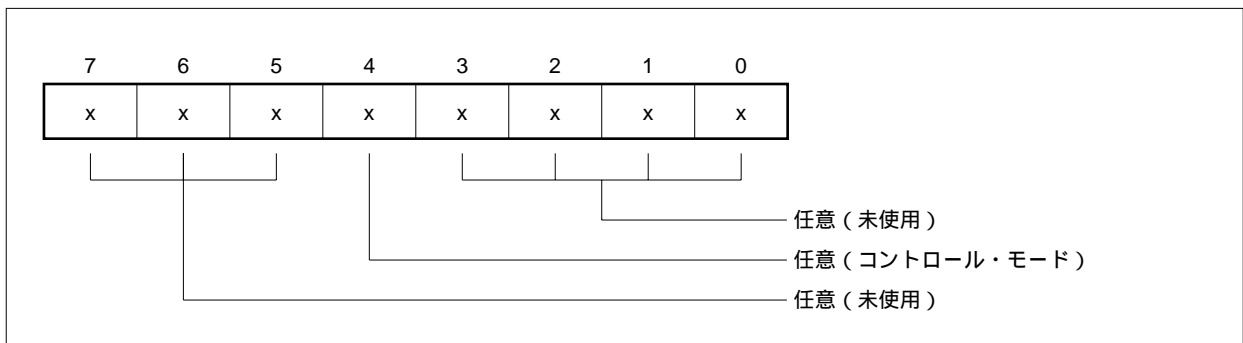


図3 - 29 ポート11モード・レジスタ (PM11) の設定



3.2.3 割り込み制御ユニットの設定

各割り込みの入力エッジは外部割り込みモード・レジスタ (INTM0-INTM4) で指定します。
INTM0-INTM4の設定は、図3 - 30 ~ 図3 - 33のようになります。

図3 - 30 外部割り込みモード・レジスタ0 (INTM0) の設定

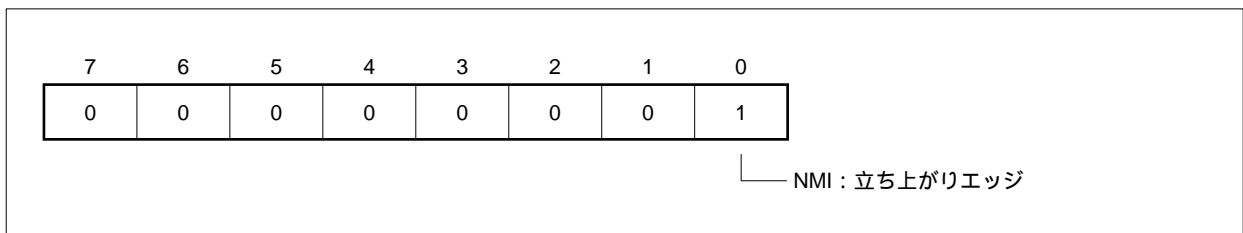


図3 - 31 外部割り込みモード・レジスタ1 (INTM1) の設定

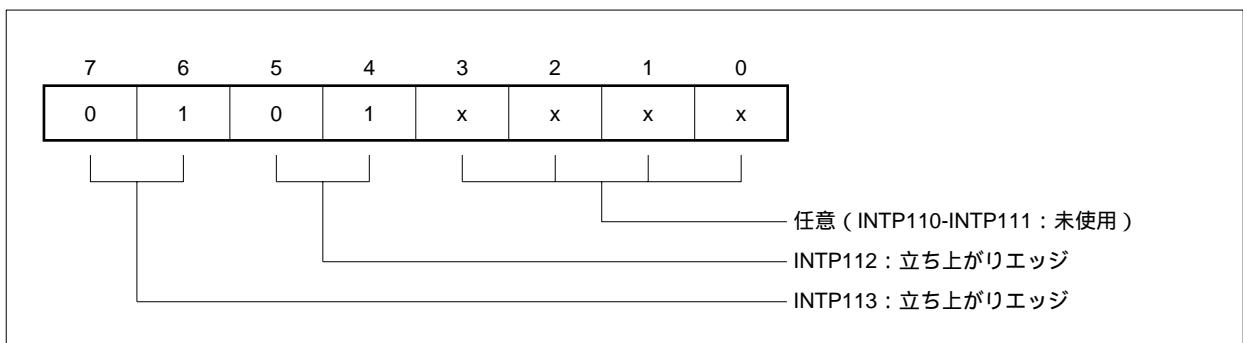


図3 - 32 外部割り込みモード・レジスタ2, 3 (INTM2, INTM3) の設定

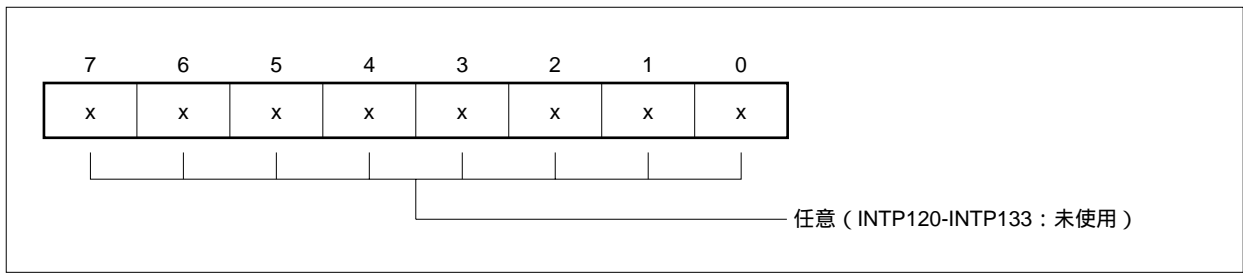
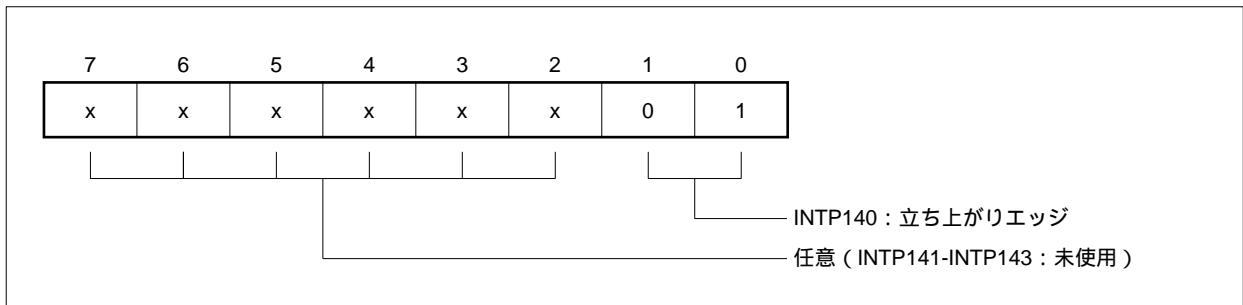


図3 - 33 外部割り込みモード・レジスタ4 (INTM4) の設定

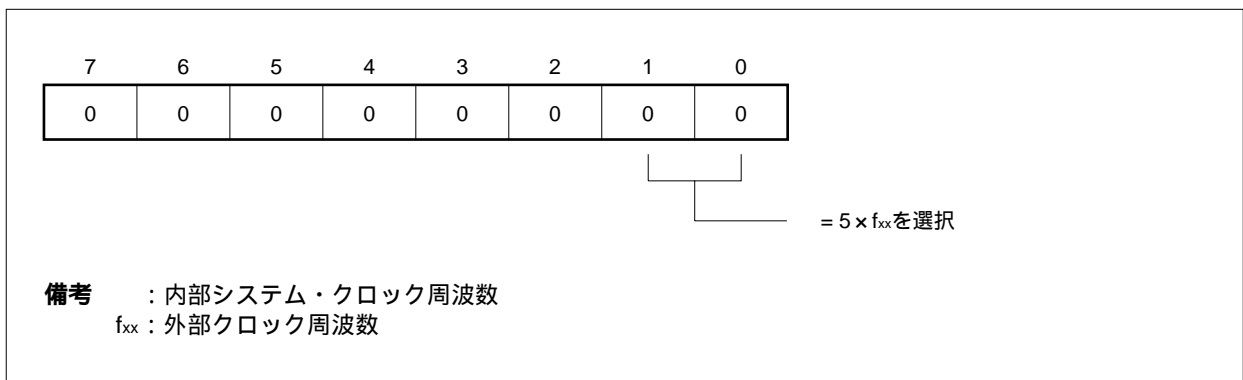


3.2.4 クロック発生機能の設定

TB-V853では、X1端子に6.6 MHzの外部クロックを接続し、PLLシンセサイザにより、内部システム・クロック33 MHz (5 MHz接続時は25 MHz) で動作させています。

クロック・コントロール・レジスタ (CKC) の設定は次のようになります。

図3 - 34 クロック・コントロール・レジスタ (CKC) の設定



3.3 プログラム例

3.3.1から3.3.5にTB-V853の動作プログラム例を示します。

3.3.1 外部メモリ・アクセス

```

;   メモリ拡張モード・レジスタ (MM) , データ・ウエイト・コントロール・レジスタ (DWC) , パス・
;   サイクル・コントロール・レジスタ (BCC) を初期化し , 外部DRAM領域 (xx680000H-xx68FFFFH)
;   64 Kバイト分をクリアします。
;   <使用レジスタ>
;   r10 : 設定データ
;   r11 : DRAMアドレス
;   r12 : 終了アドレス

.text
_test331:
_reg_init:
    mov     0x0f    ,   r10        ; MMレジスタの設定値
    st.b   r10     ,   MM[r0]     ; MMレジスタの設定
    mov     0x0    ,   r10        ; DWCレジスタの設定値
    st.h   r10     ,   DWC[r0]    ; DWCレジスタの設定
    mov     0x0    ,   r10        ; BCCレジスタの設定値
    st.h   r10     ,   BCC[r0]    ; BCCレジスタの設定

_mem_clear:
    movea  0x00680000 , r0 , r11 ; ライト・アドレスの設定
    movea  0x00690000 , r0 , r12 ; 終了アドレスの設定

_loop1:
    st.w   r0      ,   0x0[r11]   ; 0をワードでライト
    add    0x4     ,   r11        ; アドレスの更新
    cmp    r11     ,   r12        ; 終了アドレス?
    bne    _loop1

_forever:
    br     _forever              ; 永くループ

```

3.3.2 スイッチ入力とLED出力 (ポート機能)

```

;   ポート1 (スイッチ) の状態を読み込み , 読み込んだデータをポート3 (LED) に書き込みます。
;   ただし , ポート機能関連のモード設定レジスタ (PM1 , PM3 , PMC1 , PMC3) は初期化済みです。
;   <使用レジスタ>
;   r10 : 入出力データ

.text
_test332:
_sw_led:

```

```
ld.b    P1[r0]    , r10          ; ポート1を入力
st.b    r10      , P3[r0]      ; ポート3に出力
br      _sw_led   ; 繰り返し
```

3.3.3 100 msインターバル・タイマ割り込み (RPU, INTC)

; タイマ4を初期化し, 100 msごとに割り込みを発生させ, バイナリ・カウントを行い, カウント値をLED
; に出力します。
; ただし, ポート機能関連のモード設定レジスタは初期化済みで, INTCM4のハンドラ・アドレス
; (000001C0H)には割り込み処理ルーチンへの分岐命令 (Jr_tm4_int) が設定されています。
; <使用レジスタ>
; r12: タイマ・コントロール・レジスタ4 (TMC4) 初期化設定値
; r13: コンペア・レジスタ4 (CM4) 初期化設定値
; r14: 割り込み制御レジスタ (CMIC4) 初期化設定値
; r15: タイマ4 (TM4) 割り込みカウンタ

```
_test333:
.text
_timer:
    mov    0x04    , r12          ; 分解能 ( $\phi/2$ ) / 32
                                   ; = 2.56  $\mu$ s
    st.b   r12    , TMC4[r0]     ; TM4停止
    movea  0x9896 , r0    , r13 ; 100 ms
                                   ; = 2.56  $\mu$ s  $\times$  39062
                                   ; (9896H)
    st.h   r13    , CM4[r0]     ; CM4設定
    set1   7      , TMC4[r0]     ; TM4動作開始
    mov    0x07    , r14          ; マスク解除, 優先順位7
    st.b   r14    , CMIC4[r0]    ; CMIC4設定
    mov    r0     , r15          ; カウンタ初期化
    ldsr   r0     , 5            ; PSW初期化
                                   ; NP, EP, IDオフ (割り込み許可)

_loop2:
    st.b   r15    , P3[r0]      ; LEDセット
    br     _loop2
## 割り込み処理ルーチン ##
.globl _tm4_int
_tm4_int:
    add    1      , r15          ; カウンタ・インクリメント
    reti
```

3.3.4 DCモータの速度制御 (PWM)

; ポート1 (スイッチ) の状態を読み込み, スイッチの状態によりDCモータの回転速度を0 % ~ 100 %ま

```

; で256ステップで制御します。
; スイッチの状態は00で停止(0%)、FFで最高速度(100%)の指示を意味します(P10がLSBに対応)。
; ポート機能関連のモード設定レジスタは初期化済みです。
; <使用レジスタ>
; r10: PWMコントロール・レジスタ(PWMC)設定値
; r11: PWMプリスケアラ・レジスタ(PWPR)設定値
; r12: PWMバッファ・レジスタ0L(PWM0L)設定値

```

```

.text
_test334:
_motor:
    mov    0x04, r10 ; PWM0動作停止,
                    ; アクティブ・ハイ, 8ビット
    st.b  r10, PWMC[r0] ; PWMC設定
    mov    0x04, r11 ; PWM0  $\phi$ /16
    st.b  r11, PWPR[r0] ; PWPR設定
    mov    0x0, r12 ; 比較値 = 0
    st.b  r12, PWM0L[r0] ; PWM0L設定
    set1  0x3, PWMC[r0] ; PWM0動作許可

_loop3:
    ld.b  P1[r0], r12 ; ポート1リード
    st.b  r12, PWM0L[r0] ; PWM0L設定
    br    _loop3 ; 繰り返し

```

3.3.5 正弦波入力のサンプリングとアナログ出力(ADC, DAC)

```

; A/Dコンバータに入力される正弦波信号(100 Hz-20 kHz)をD/Aコンバータに接続されているスピーカ
; に出力します。
; サンプリング周期は32 kHz(31.25  $\mu$ s)で行います。
; INTADのハンドラ・アドレス(00000270H)には割り込み処理ルーチンへの分岐命令(Jr_ad_int)が設
; 定されています。
; INTCM4のハンドラ・アドレス(000001C0H)には割り込み処理ルーチンへの分岐命令(Jr_tm4_int)が
; 設定されています。
; <使用レジスタ>
; r10: A/Dコンバータ・モード・レジスタ0(ADM0)の設定値
; r11: A/Dコンバータ・モード・レジスタ1(ADM1)の設定値
; r12: 割り込み制御レジスタ(ADIC)の設定値
; r13: タイマ・コントロール・レジスタ4(TMC4)初期化設定値
; r14: コンペア・レジスタ4(CM4)初期化設定値
; r15: 割り込み制御レジスタ(CMIC4)初期化設定値
; r16: 入出力データ

```

```

.text

```

```

_test335:
_ad_da:
    mov    0x10      , r10      ; ANI0, セレクト・モード
    st.b   r10      , ADM0[r0] ; ADM0の設定
    mov    0x07      , r11      ; A/Dトリガ・モード
    st.b   r11      , ADM1[r0] ; ADM1の設定
    mov    0x07      , r12      ; 割り込み許可, レベル7
    st.b   r12      , ADIC[r0]  ; ADICの設定
    mov    0x00      , r13      ; 分解能 ( $\phi/2$ ) /1
                                ; = 80 ns
    st.b   r13      , TMC4[r0]  ; TM4停止
    movea  0x186    , r0 , r14  ; 周期31.25  $\mu$ s
                                ; = 約80 ns  $\times$  390
                                ; ( 186H )
    st.h   r14      , CM4[r0]  ; CM4設定
    mov    0x07      , r15      ; マスク解除, 優先順位7
    st.b   r15      , CMIC4[r0] ; CMIC4設定
    set1   0x7      , TMC4[r0]  ; TM4動作開始
    ldsr   r0       , 5         ; PSW初期化
                                ; NP, EP, EDオフ (割り込み許可)

_loop4:
    br     _loop4

### 割り込みルーチン
.globl _ad_int
_ad_int:
    ld.b   ADCR0H[r0] , r16      ; アナログ変換値入力
    st.b   r16      , DACS0[r0] ; DACに出力
    st.b   r16      , DACS1[r0] ; DACに出力
    reti

## 割り込み処理ルーチン ##
.globl _tm4_int
_tm4_int:
    set1   0x7      , ADM0[r0]  ; A/D変換開始
    reti

```

3.4 TB-V853の仕様

3.4.1 仕様一覧

TB-V853の仕様一覧を示します。

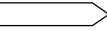

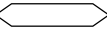
表3 - 3 TB-V853の仕様一覧

項 目	仕様概要
V853	内部システム・クロック = 33 MHzまたは25 MHz 水晶発振器をX1端子に接続 (X2端子はオープン) 内部システム・クロック (ϕ) = $5 \times f_{xx}$ (外部クロック) 動作モードはジャンパ切り替え
EPROM	容量 128 Kバイト 使用ROM μ PD27C1024相当品 \times 1個 ウエイト数 3ウエイト動作
SRAM	容量 256 Kバイト 使用SRAM μ PD431000AGW-70L \times 2個 ウエイト数 2ウエイト動作
DRAM	容量 512 Kバイト 使用DRAM μ PD424260LE-70 \times 1個 ウエイト数 2ウエイト動作
シリアルEEPROM	MN93C06 \times 1個 CSI0を使用
スイッチ	トグル・スイッチ 8個 押しボタン・スイッチ 3個 NMIスイッチ INTスイッチ リセット・スイッチ
LED	7セグメントLED 5個 発光ダイオード 9個 汎用 (赤色) \times 8 電源用 (緑色) \times 1 7セグメントLEDの表示はソフトウェアによる表示とパルス・カウンタ表示をスイッチで切り替え可
正弦波発振器	VCOによる発振器 周波数 100 Hz-20 kHz可変 (ロータリ・スイッチ, ボリューム) 振幅 5 V P-P固定 ANI0に入力
波形整形	正弦波発振器の出力を方形波に整形してINTCに入力
アナログ出力	ボリュームによる電圧レベルをANI1に入力 電圧レベル 0-5 Vまで
光センサ	ANI2に入力
ヘッドホン	V853内蔵D/Aコンバータ出力を使用 ANO0 左チャンネル ANO1 右チャンネル
RS-232-Cインタフェース	V853内蔵UART1を使用
パルス・カウンタ	正弦波発振器の周波数をカウント 10進カウンタを5段接続 カウンタ出力は7セグメントLEDに表示可

3.4.2 回路図

TB-V853の回路図を図3 - 35から図3 - 40に示します。

注意 回路図上の端子の入出力方向は次のとおりです。

-  (右向きの場合) : 入力
-  (左向きの場合) : 出力
-  (両方の場合) : 入出力

(1) CPUとEEPROM周辺回路 (図3 - 35参照)

主にV853CPU, 発振器, 74FCT16373, トグル・スイッチ×8, EEPROMで構成されています。

74FCT16373 : 16ビット・トランス・ペアレント・ラッチ

アドレス・分離に使用しています。

(2) 電源とスイッチ (図3 - 36参照)

主に電源供給コネクタ, リセット・スイッチ, NMIスイッチで構成されています。

TL7705A : 電源監視

リセット発生機能に使用しています。

(3) デバイス制御回路 (図3 - 37参照)

主にEMP7128-84, MAX232で構成されています。

EMP7128-84 : FPGA (Field Programmable Gate Array)

V853 CPUのバス・インタフェース関連の各信号を入力し, メモリ, I/Oの各デバイスのセレクト信号, 制御信号の作成と, V853 CPUへの $\overline{\text{WAIT}}$ 信号の出力を行っています。

(4) メモリ周辺回路 (図3 - 38参照)

主にEPROM, SRAM, DRAM, 74FCT16244, 74AC157で構成されています。

74FCT16244 : 16ビット・バッファ

EPROMの出力フローティング遅延によるデータ・バスの衝突回避に使用しています。

74AC157 : セレクタ

DRAMのアドレス作成に使用しています。

(5) LED制御回路 (図3 - 39参照)

主に7セグメントLED×5とEMP7160-84, 74FCT16244×3で構成されています。

EMP7160-84 : FPGA

7セグメントLEDの制御を行っています。

スイッチがハードウェア制御側になっているときは正弦波発振器の出力をカウントし, 1秒ごとに7セグメントLEDにカウント値を出力します。

(6) 入出力回路 (図3 - 40参照)

主にアナログ関連のアンブ部品と光センサ, 音声出力用ピン・ジャック・コネクタ, DCモータ用コネクタで構成されています。

MJN2096 : ヘッドホン・アンブ

〔メモ〕

図3-36 電源とスイッチ

(図3-36 電源とスイッチ)

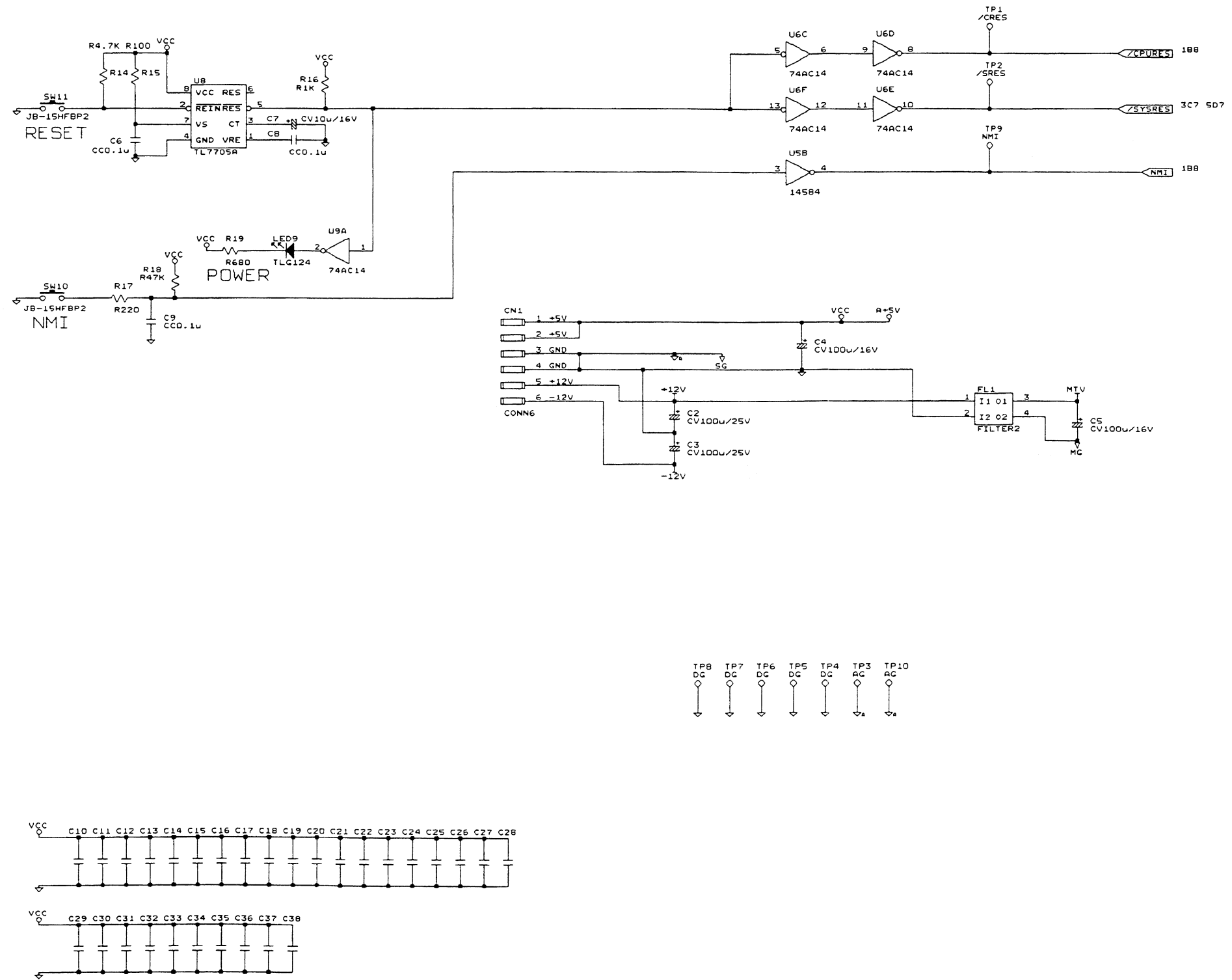


図3-37 デバイス制御回路

(図3-37 デバイス制御回路)

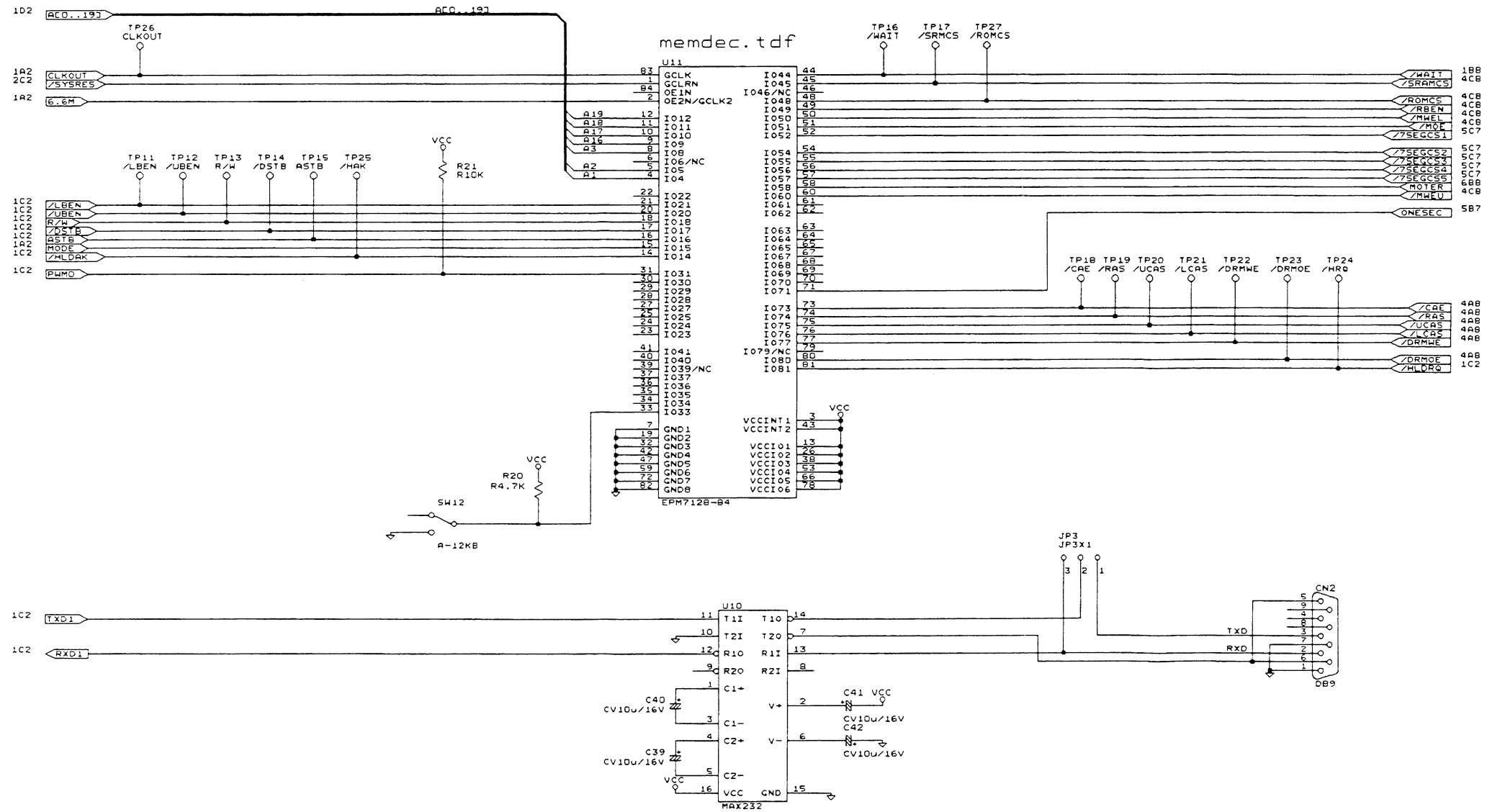


図3-38 メモリ周辺回路

(図3-38 メモリ周辺回路)

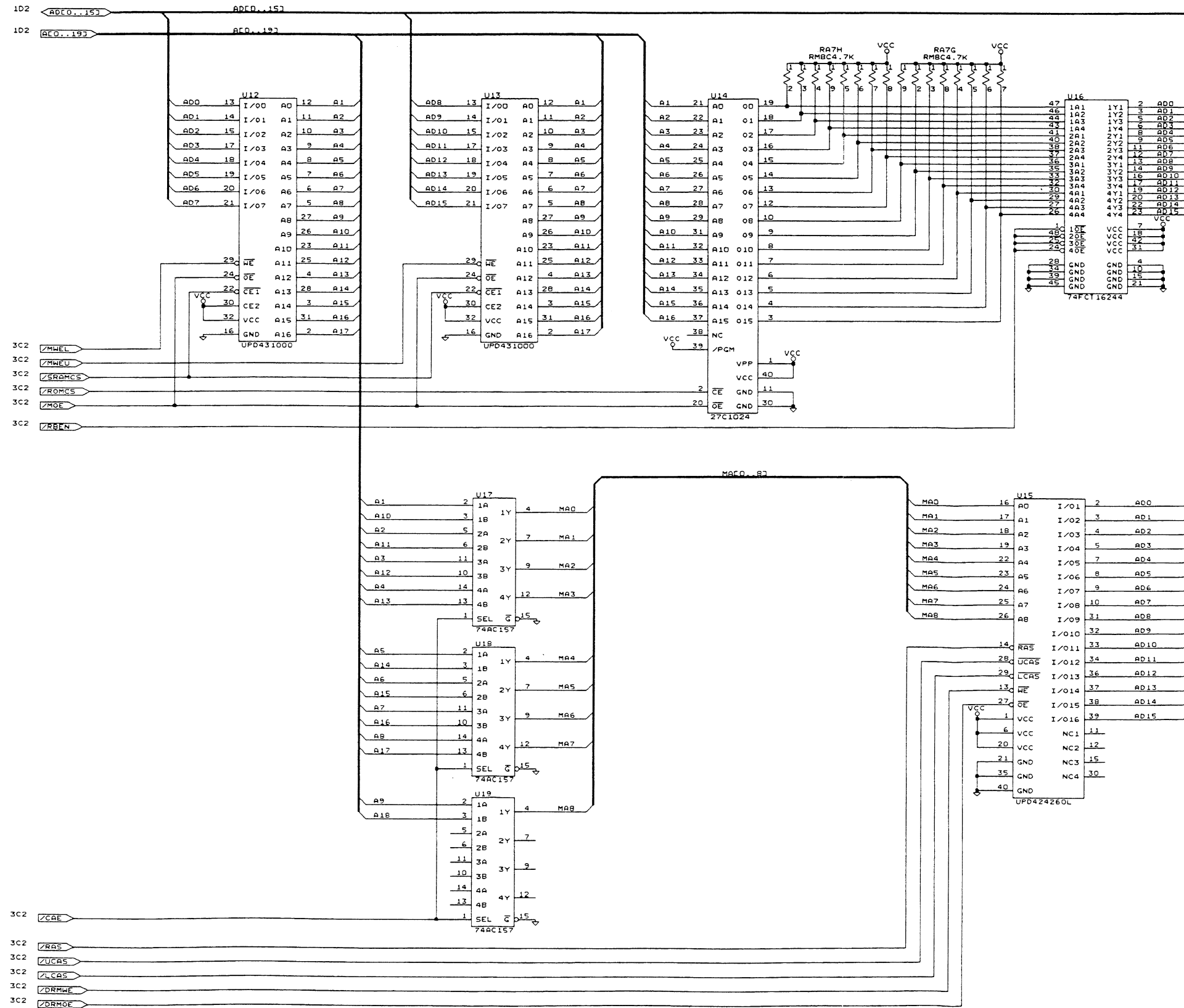
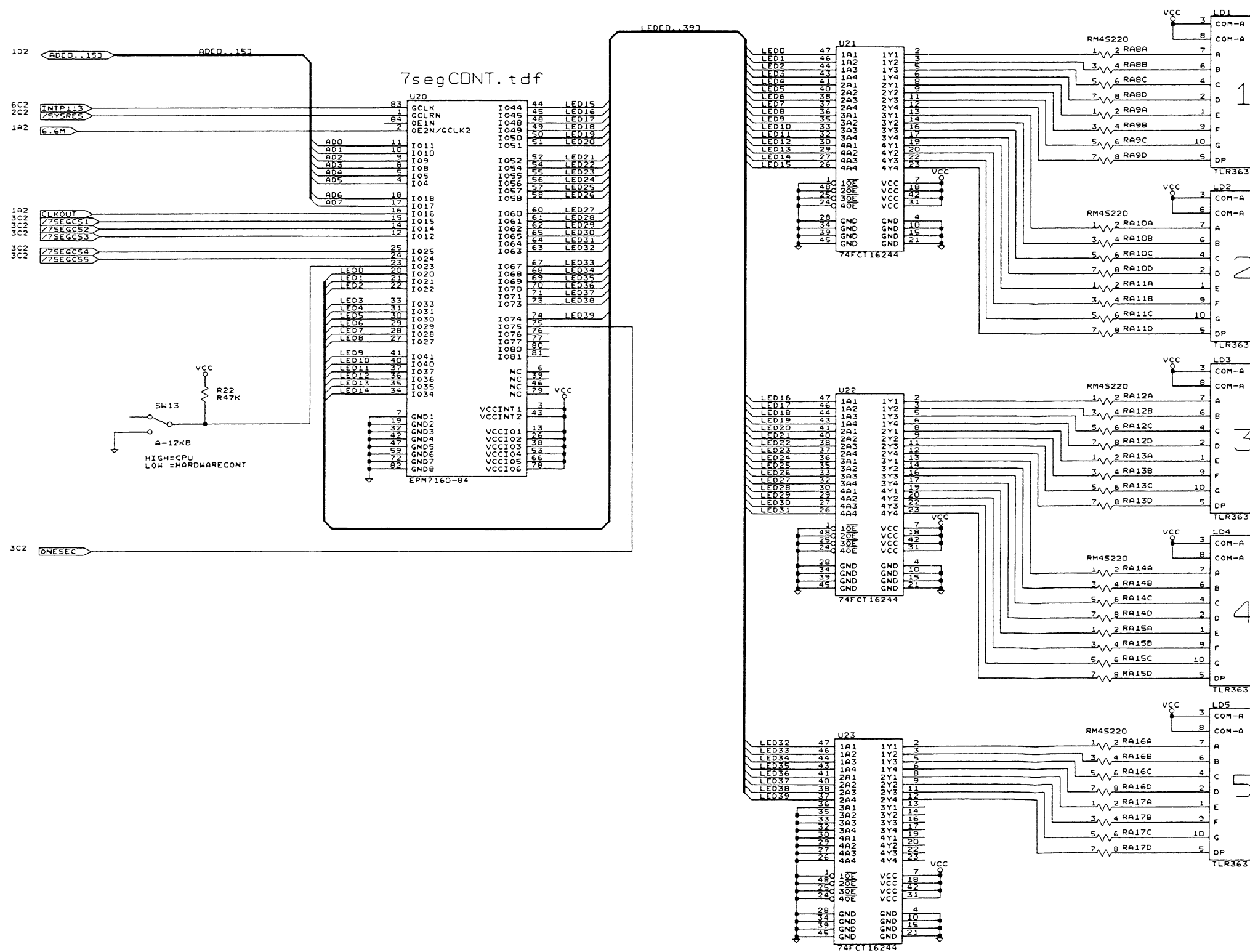


図3-39 LED制御回路

(図3-39 LED制御回路)



3.4.3 FPGAリスト

TB-V853では2つのFPGAが使用されています。

次に各FPGAの機能とリストを示します。

(1) メモリ・インタフェース制御 (リスト3 - 1参照)

使用デバイス : EMP7128-84

回路図上の部品番号 : U11

回路図 : 図3 - 37 , 図3 - 39

機能 : メモリ , I/Oのリード/ライト制御とV853へ送出する $\overline{\text{WAIT}}$, $\overline{\text{HLDRQ}}$ 信号の作成

(2) 7セグメントLED制御 (リスト3 - 2参照)

使用デバイス : EMP7164-84

回路図上の部品番号 : U20

回路図 : 図3 - 39 , 図3 - 40

機能 : 正弦波のカウントと7セグメントLEDの制御

リスト3 - 1 メモリ・インタフェース制御 (1/3)

```

SUBDESIGN memdec (
    sysclk           : INPUT; 83pin
    sysres           : INPUT; 1pin
    rclk             : INPUT; 2pin
    a[19..16]       : INPUT; 12,11,10,9pin
    a3               : INPUT; 8pin
    a2               : INPUT; 5pin
    a1               : INPUT; 4pin
    lben             : INPUT; 21pin
    uben             : INPUT; 20pin
    rw               : INPUT; 18pin
    dstb             : INPUT; 17pin
    astb             : INPUT; 16pin
    mode             : INPUT; 15pin
    hak              : INPUT; 14pin
    pwm0             : INPUT; 31pin
    motsw            : INPUT; 33pin

    wait            : OUTPUT; 44pin
    sramcs           : OUTPUT; 45pin
    romcs            : OUTPUT; 48pin
    rben             : OUTPUT; 49pin
    mwel             : OUTPUT; 50pin
    mweu             : OUTPUT; 60pin
    moe              : OUTPUT; 51pin
    7segcs[5..1]    : OUTPUT; 57,56,55,54,52pin
    motor            : OUTPUT; 58pin
    dramcae          : OUTPUT; 73pin
    ras              : OUTPUT; 74pin
    ucas              : OUTPUT; 75pin
    lcas              : OUTPUT; 76pin
    dramwe           : OUTPUT; 77pin
    dramoe           : OUTPUT; 80pin
    hrq              : OUTPUT; 81pin
    oneseq           : OUTPUT; 71pin

)

VARIABLE
    dramcs           : NODE;
    lcas              : DFF;
    ucas              : DFF;
    dramcae          : DFF;
    rcas              : DFF;
    rras              : DFF;
    ccas              : DFF;
    ecas              : DFF;
    rt[5..0]         : DFF;
    wt[3..0]         : DFF;
    rdy              : NODE;

```

リスト3 - 1 メモリ・インタフェース制御 (2/3)

```

    rqclr          : NODE;
    hrqres         : NODE;
    sec[23..0]     : DFF;
BEGIN

!sramcs          = !a19 & !a18;

!romcs           = !a19 & a18 & !a17;

!7segcs1        = !a19 & a18 & a17 & !a3 & !a2 & !a1 & !dstb & !rw & !lben;
!7segcs2        = !a19 & a18 & a17 & !a3 & !a2 & a1 & !dstb & !rw & !lben;
!7segcs3        = !a19 & a18 & a17 & !a3 & a2 & !a1 & !dstb & !rw & !lben;
!7segcs4        = !a19 & a18 & a17 & !a3 & a2 & a1 & !dstb & !rw & !lben;
!7segcs5        = !a19 & a18 & a17 & a3 & !a2 & !a1 & !dstb & !rw & !lben;

!dramcs         = a19;

!mwel           = !rw & !dstb & !lben;

!mweu          = !rw & !dstb & !uben;

!moe           = rw & !dstb;

!rben          = !romcs & !dstb;

!ras           = !dramcs & !dstb & hak
               # !ccas;

lcas.clk       = sysclk;
lcas.prn       = sysres;
!lcas         = !dramcae & !dstb & !lben & hak
               # !rcas;

ucas.clk       = sysclk;
ucas.prn       = sysres;
!ucas         = !dramcae & !dstb & !uben & hak
               # !rcas;

dramcae.clk    = sysclk;
dramcae.prn    = sysres;
!dramcae       = !ras & !dstb;

rcas.clk       = sysclk;
rcas.prn       = sysres;
!rcas         = !hrq & !hak & ccas;

rras.clk       = sysclk;

```

リスト3 - 1 メモリ・インタフェース制御 (3/3)

```
rras.prn      = sysres;
!rras        = !rcas;

ccas.clk     = sysclk;
ccas.prn     = sysres;
!ccas       = !rras;

ecas.clk     = sysclk;
ecas.prn     = sysres;
!ecas       = !ccas;

!rqclr      = rcas & rras & ccas & !ecas;

rt[].clk     = rclk;
rt[]        = rt[]+1;

!hrqres     = !rqclr # !sysres;

!hrq        = DFF(vcc,rt5,hrqres,vcc);

wt[].clk    = sysclk;
!wt0        = !astb;
!wt1        = !astb & !wt0;
!wt2        = !astb & !wt1;
!wt3        = !astb & !wt2;

!rdy        = a19 &                !astb & wt2
             # !a19 & !a18 &        !astb & wt2
             # !a19 & a18 & a17 & !astb & wt1
             # !a19 & a18 & !a17 & !astb & wt3;

!wait       = !astb & !rdy;

!motor      = !motsw & !pwm0;

!dramwe     = !dramcs & !dstb & !rw;

!dramoe     = !dramcs & !dstb & rw;

sec[].clk   = rclk;
sec[]       = (sec[]+1) & !(sec[]==5000000);
onsec       = (sec[]==5000000);
END;
```

リスト3 - 2 7セグメントLED制御 (1/5)

```

SUBDESIGN 7SEGCONT (
    intclk      : INPUT;  83pin
    sysres      : INPUT;   1pin
    66clk       : INPUT;   2pin
    sysclk      : INPUT;  17pin
    d[7..0]     : INPUT;  17,18,4,5,8,9,10,11pin
    7segcs[5..1] : INPUT;  24,25,12,14,15pin
    selsw       : INPUT;  23pin
    onesecond   : INPUT;  75pin

    led[39..0]  : OUTPUT; 74,73,71,70,69,68,67,63,64,65,62,61,60,58,57,56
                    55,54,52,51,50,49,48,45,44,34,35,36,37,40,41,27
                    28,29,30,31,33,22,21,20pin

)

```

VARIABLE

```

    cp1d[39..0] : NODE;
    ct1d[39..0] : NODE;
    secres      : DFF;
    lca[3..0]   : DFF;
    lcb[3..0]   : DFF;
    lcc[3..0]   : DFF;
    lcd[3..0]   : DFF;
    lce[3..0]   : DFF;
    lcad[3..0]  : DFF;
    lcbd[3..0]  : DFF;
    lccd[3..0]  : DFF;
    lcdd[3..0]  : DFF;
    lced[3..0]  : DFF;
    coa         : NODE;
    cob         : NODE;
    coc         : NODE;
    cod         : NODE;
    ltca[3..0]  : NODE;
    ltcb[3..0]  : NODE;
    ltcc[3..0]  : NODE;
    ltcd[3..0]  : NODE;
    ltce[3..0]  : NODE;

```

BEGIN

```

cp1d0 = DFF(d0,7segcs1,sysres,vcc);
cp1d1 = DFF(d1,7segcs1,sysres,vcc);
cp1d2 = DFF(d2,7segcs1,sysres,vcc);
cp1d3 = DFF(d3,7segcs1,sysres,vcc);
cp1d4 = DFF(d4,7segcs1,sysres,vcc);
cp1d5 = DFF(d5,7segcs1,sysres,vcc);
cp1d6 = DFF(d6,7segcs1,sysres,vcc);

```

リスト3 - 2 7セグメントLED制御 (2/5)

```
cp1d7          = DFF (d7, 7segcs1, sysres, vcc) ;

cp1d8          = DFF (d0, 7segcs2, sysres, vcc) ;
cp1d9          = DFF (d1, 7segcs2, sysres, vcc) ;
cp1d10         = DFF (d2, 7segcs2, sysres, vcc) ;
cp1d11         = DFF (d3, 7segcs2, sysres, vcc) ;
cp1d12         = DFF (d4, 7segcs2, sysres, vcc) ;
cp1d13         = DFF (d5, 7segcs2, sysres, vcc) ;
cp1d14         = DFF (d6, 7segcs2, sysres, vcc) ;
cp1d15         = DFF (d7, 7segcs2, sysres, vcc) ;

cp1d16         = DFF (d0, 7segcs3, sysres, vcc) ;
cp1d17         = DFF (d1, 7segcs3, sysres, vcc) ;
cp1d18         = DFF (d2, 7segcs3, sysres, vcc) ;
cp1d19         = DFF (d3, 7segcs3, sysres, vcc) ;
cp1d20         = DFF (d4, 7segcs3, sysres, vcc) ;
cp1d21         = DFF (d5, 7segcs3, sysres, vcc) ;
cp1d22         = DFF (d6, 7segcs3, sysres, vcc) ;
cp1d23         = DFF (d7, 7segcs3, sysres, vcc) ;

cp1d24         = DFF (d0, 7segcs4, sysres, vcc) ;
cp1d25         = DFF (d1, 7segcs4, sysres, vcc) ;
cp1d26         = DFF (d2, 7segcs4, sysres, vcc) ;
cp1d27         = DFF (d3, 7segcs4, sysres, vcc) ;
cp1d28         = DFF (d4, 7segcs4, sysres, vcc) ;
cp1d29         = DFF (d5, 7segcs4, sysres, vcc) ;
cp1d30         = DFF (d6, 7segcs4, sysres, vcc) ;
cp1d31         = DFF (d7, 7segcs4, sysres, vcc) ;

cp1d32         = DFF (d0, 7segcs5, sysres, vcc) ;
cp1d33         = DFF (d1, 7segcs5, sysres, vcc) ;
cp1d34         = DFF (d2, 7segcs5, sysres, vcc) ;
cp1d35         = DFF (d3, 7segcs5, sysres, vcc) ;
cp1d36         = DFF (d4, 7segcs5, sysres, vcc) ;
cp1d37         = DFF (d5, 7segcs5, sysres, vcc) ;
cp1d38         = DFF (d6, 7segcs5, sysres, vcc) ;
cp1d39         = DFF (d7, 7segcs5, sysres, vcc) ;

secres.clk= 66clk;
secres      = onesecl;

lca[] .clk  = intclk;
lca[] .clrn = !secres;
lca[]      = (lca[]+1) & !(lca[]==9);
!coa      = (lca[]==9);
lca[] .clk = !66clk;
lca[]     = lca[];

lcb[] .clk  = coa;
lcb[] .clrn = !secres;
```

リスト3 - 2 7セグメントLED制御 (3/5)

```

lcb[]          = (lcb[]+1) & !(lcb[]==9);
!cob          = (lcb[]==9);
lcbd[] .clk    = !66clk;
lcbd[]        = lcb[];

lcc[] .clk     = cob;
lcc[] .clrn    = !secres;
lcc[]         = (lcc[]+1) & !(lcc[]==9);
!coc         = (lcc[]==9);
lccd[] .clk    = !66clk;
lccd[]        = lcc[];

lcd[] .clk     = coc;
lcd[] .clrn    = !secres;
lcd[]         = (lcd[]+1) & !(lcd[]==9);
!cod         = (lcd[]==9);
lcdd[] .clk    = !66clk;
lcdd[]        = lcd[];

lce[] .clk     = cod;
lce[] .clrn    = !secres;
lce[]         = (lce[]+1) & !(lce[]==9);
lced[] .clk    = !66clk;
lced[]        = lce[];

ltca3         = DFF(lcad3, onesecond, sysres, vcc);
ltca2         = DFF(lcad2, onesecond, sysres, vcc);
ltca1         = DFF(lcad1, onesecond, sysres, vcc);
ltca0         = DFF(lcad0, onesecond, sysres, vcc);

ltcb3         = DFF(lcbd3, onesecond, sysres, vcc);
ltcb2         = DFF(lcbd2, onesecond, sysres, vcc);
ltcb1         = DFF(lcbd1, onesecond, sysres, vcc);
ltcb0         = DFF(lcbd0, onesecond, sysres, vcc);

ltcc3         = DFF(lccd3, onesecond, sysres, vcc);
ltcc2         = DFF(lccd2, onesecond, sysres, vcc);
ltcc1         = DFF(lccd1, onesecond, sysres, vcc);
ltcc0         = DFF(lccd0, onesecond, sysres, vcc);

ltcd3         = DFF(lcdd3, onesecond, sysres, vcc);
ltcd2         = DFF(lcdd2, onesecond, sysres, vcc);
ltcd1         = DFF(lcdd1, onesecond, sysres, vcc);
ltcd0         = DFF(lcdd0, onesecond, sysres, vcc);

ltce3         = DFF(lced3, onesecond, sysres, vcc);
ltce2         = DFF(lced2, onesecond, sysres, vcc);
ltce1         = DFF(lced1, onesecond, sysres, vcc);
ltce0         = DFF(lced0, onesecond, sysres, vcc);

```

リスト3 - 2 7セグメントLED制御 (4/5)

```
TABLE
ltca[3..0] => ctld0, ctld1, ctld2, ctld3, ctld4, ctld5, ctld6;
H"0" => 1, 1, 1, 1, 1, 1, 0;
H"1" => 0, 1, 1, 0, 0, 0, 0;
H"2" => 1, 1, 0, 1, 1, 0, 1;
H"3" => 1, 1, 1, 1, 0, 0, 1;
H"4" => 0, 1, 1, 0, 0, 1, 1;
H"5" => 1, 0, 1, 1, 0, 1, 1;
H"6" => 1, 0, 1, 1, 1, 1, 1;
H"7" => 1, 1, 1, 0, 0, 0, 0;
H"8" => 1, 1, 1, 1, 1, 1, 1;
H"9" => 1, 1, 1, 1, 0, 1, 1;
END TABLE;
```

```
TABLE
ltcb[3..0] => ctld8, ctld9, ctld10, ctld11, ctld12, ctld13, ctld14;
H"0" => 1, 1, 1, 1, 1, 1, 0;
H"1" => 0, 1, 1, 0, 0, 0, 0;
H"2" => 1, 1, 0, 1, 1, 0, 1;
H"3" => 1, 1, 1, 1, 0, 0, 1;
H"4" => 0, 1, 1, 0, 0, 1, 1;
H"5" => 1, 0, 1, 1, 0, 1, 1;
H"6" => 1, 0, 1, 1, 1, 1, 1;
H"7" => 1, 1, 1, 0, 0, 0, 0;
H"8" => 1, 1, 1, 1, 1, 1, 1;
H"9" => 1, 1, 1, 1, 0, 1, 1;
END TABLE;
```

```
TABLE
ltcc[3..0] => ctld16,ctld17,ctld18, ctld19, ctld20, ctld21, ctld22;
H"0" => 1, 1, 1, 1, 1, 1, 0;
H"1" => 0, 1, 1, 0, 0, 0, 0;
H"2" => 1, 1, 0, 1, 1, 0, 1;
H"3" => 1, 1, 1, 1, 0, 0, 1;
H"4" => 0, 1, 1, 0, 0, 1, 1;
H"5" => 1, 0, 1, 1, 0, 1, 1;
H"6" => 1, 0, 1, 1, 1, 1, 1;
H"7" => 1, 1, 1, 0, 0, 0, 0;
H"8" => 1, 1, 1, 1, 1, 1, 1;
H"9" => 1, 1, 1, 1, 0, 1, 1;
END TABLE;
```


リスト3 - 2 7セグメントLED制御 (5/5)

```

TABLE
ltcd[3..0] => ctld24,ctld25,ctld26, ctld27, ctld28, ctld29, ctld30;
H"0"      => 1, 1, 1, 1, 1, 1, 0;
H"1"      => 0, 1, 1, 0, 0, 0, 0;
H"2"      => 1, 1, 0, 1, 1, 0, 1;
H"3"      => 1, 1, 1, 1, 0, 0, 1;
H"4"      => 0, 1, 1, 0, 0, 1, 1;
H"5"      => 1, 0, 1, 1, 0, 1, 1;
H"6"      => 1, 0, 1, 1, 1, 1, 1;
H"7"      => 1, 1, 1, 0, 0, 0, 0;
H"8"      => 1, 1, 1, 1, 1, 1, 1;
H"9"      => 1, 1, 1, 1, 0, 1, 1;
END TABLE;

```

```

TABLE
ltce[3..0] => ctld32,ctld33,ctld34, ctld35, ctld36, ctld37, ctld38;
H"0"      => 1, 1, 1, 1, 1, 1, 0;
H"1"      => 0, 1, 1, 0, 0, 0, 0;
H"2"      => 1, 1, 0, 1, 1, 0, 1;
H"3"      => 1, 1, 1, 1, 0, 0, 1;
H"4"      => 0, 1, 1, 0, 0, 1, 1;
H"5"      => 1, 0, 1, 1, 0, 1, 1;
H"6"      => 1, 0, 1, 1, 1, 1, 1;
H"7"      => 1, 1, 1, 0, 0, 0, 0;
H"8"      => 1, 1, 1, 1, 1, 1, 1;
H"9"      => 1, 1, 1, 1, 0, 1, 1;
END TABLE;

```

```

ctld7      = GND;

ctld15     = GND;

ctld23     = GND;

ctld31     = GND;

ctld39     = GND;

!led[39..0] = cpld[39..0] & selsw
            # ctld[39..0] & !selsw;

END;

```

付録A Q&A

- Q1 外部メモリの接続は最大1 Mバイトなのに、2ブロックごとのウエイト設定、アイドル設定は意味があるか？
- A1 V853に配列される端子は最大1 Mバイト分ですが、内部には16 Mバイトの空間があります。したがって、接続される外部メモリが1 Mバイト以下であっても、CPUのアクセスするアドレスによってプログラマブル・ウエイトや、アイドルの挿入サイクル数を切り替えることは有効です。外部メモリ空間が64 Kバイト/256 Kバイトの場合も同等となります。TB-V853のメモリ・マップを参照してください(図3 - 2参照)。
- Q2 V853が外部メモリ・アクセスをワードで行ったとき、1回目のアクセスと2回目のアクセスの間でホールド・リクエストは受け付けるか？
- A2 ワード・アクセスを外部空間に対して開始した場合、32ビットのアクセスが完了するまではバスを開放しません。
- Q3 ビット操作命令を外部メモリに対して行ったとき、リードとライトの間で発生したホールド・リクエストは受け付けるか？
- A3 Q2と同様に、ライト動作が完了するまではホールド・リクエストを受け付けません。
- Q4 命令データの配列は、ハーフワード境界であればどこに配置してもよいか？
- A4 周辺I/O領域を除いて、ハーフワード境界であればどこに配置しても正常に動作します。ただし、ワード境界に配列されていない場合、分岐後の最初の命令フェッチでは、2回のバス・サイクルが必要になります(内蔵ROM空間に対する命令フェッチの場合は、最初だけ2クロックで以降1クロック)。したがって、ループ動作の先頭命令は、ワード境界に配置することを推奨します。
- Q5 RPUのTO1n0出力を使用するときに、CC1n0レジスタの設定値を少しずつCC1n1レジスタの設定値に近づけていくような制御をした場合、両者が一致したときのTO1n0出力はどうなるか？
- A5 CC1n0レジスタとCC1n1レジスタではCC1n1レジスタが優先されるので、リセットされ続けます。
- Q6 RPUのコンペア・レジスタに“0000”を設定していたとき、オーバフロー・ストップが指示(TUM1nのビット13 = 1)されていてもオーバフローで割り込み要求は発生するか？
- A6 カウント値が“0000”になった時点でINTCC1nXの割り込みが発生します。

Q7 RPUのコンペア・レジスタに“0000”を設定していた場合、途中でカウント・ストップ（CE1nビットを0または外部クリア）して、カウンタ値が“0000”になったときも割り込み要求は発生するか？

A7 カウンタを停止した場合、INTCC1nXは発生しません。

Q8 ノイズ等の原因で小さなパルスがUARTのRXD端子に入って受信データ（エラーも含めて）と判断されるのは、どの程度のパルスが入ったときか？

A8 スタート・ビットが0.5ビット分入力されると、データの開始と判断されます（正確には×16クロックで8クロック分のロウ・レベルが検出された時点）。したがって0.5ビット未満のパルス幅は無視されます。

Q9 CSIにおいて外部クロックを使用しているとき、受信途中でもシフト・レジスタをリードしたらシリアル・クロック・カウンタのカウント数はクリアされるか？

A9 送信/受信とも、動作途中でシフト・レジスタをアクセスしたときの動作は不定です。したがって、ノイズ等の原因でクロックとのずれが発見された場合は、モード・レジスタの初期設定を再度行ってください。

Q10 割り込み禁止状態（DI）でアイドル・ステートに入った場合、マスカブル割り込み要求を復帰のトリガに使用できるか？

A10 割り込み禁止状態でも、割り込み制御ユニットでマスクされていないマスカブル割り込み要求は、IDLEモードからの復帰のトリガになります。ただし、その場合はハンドラへの分岐を行わず、nextPCから命令の実行を開始します。

なお、PSWのNPビットが1になっている場合のNMI割り込み要求も、同様にIDLE/ソフトウェアSTOPモードからの復帰のトリガとなります。

付録B 総合索引

B.1 50音で始まる語句の索引

【あ行】

アセンブラ予約レジスタ...19
アドレス・バス/データ・バスの分離...32
アプリケーション例...55
インターバル・タイマ割り込み...75
エレメント・ポインタ...19

【か行】

外部メモリ・アクセス...74
外部割り込みモード・レジスタ0...72
外部割り込みモード・レジスタ1...72
外部割り込みモード・レジスタ2...73
外部割り込みモード・レジスタ3...73
外部割り込みモード・レジスタ4...73
回路図...79
グローバル・ポインタ...19
クロック・コントロール・レジスタ...73
クロック・ジェネレータ...24

【さ行】

システム・レジスタ・セット...20
周辺I/Oレジスタ...26
周辺機能...24
シリアルEEPROMの接続...61
シリアル・インタフェース...25
シングルチップ・モード...20
スイッチ入力とLED出力...74
スタック・ポインタ...19
正弦波入力のサンプリングとアナログ出力...76
ゼロ・レジスタ...19

【た行】

端子接続図...17
通常動作モード...20
データ・ウェイト・コントロール・レジスタ...67, 68
テキスト・ポインタ...19

動作モード...20

【な行】

内部ブロック図...18
内部レジスタの設定...66

【は行】

バス・インタフェース接続回路例...31
バス・コントロール・ユニット...24
バス・サイクル・コントロール・レジスタ...67, 68
バス・サイジング回路...49
バンク切り替え...52
汎用レジスタ...19
フラッシュ・メモリ・プログラミング・モード...20
プログラム・カウンタ...19
プログラム・ステータス・ワード...20
プログラム例...74
プログラム・レジスタ・セット...19
ポート...25
ポート機能の接続...59
ポート・コントロール・モード・レジスタ...70
ポート0モード・コントロール・レジスタ...69
ポート0モード・レジスタ...70
ポート1モード・コントロール・レジスタ...69
ポート1モード・レジスタ...71
ポート2モード・コントロール・レジスタ...69
ポート2モード・レジスタ...71
ポート3モード・コントロール・レジスタ...70
ポート3モード・レジスタ...71
ポート4モード・レジスタ...71
ポート5モード・レジスタ...71
ポート6モード・レジスタ...71
ポート9モード・レジスタ...72
ポート11モード・コントロール・レジスタ...70
ポート11モード・レジスタ...72

【ま行】

メモリ拡張モード・レジスタ...67

メモリ・マップ...21

【ら行】

リアルタイム・パルス・ユニット...24

リンク・ポインタ...19

【わ行】

割り込みコントローラ...24

割り込み時状態退避レジスタ...20

割り込み要因レジスタ...20

割り込み / 例外テーブル...23

B.2 アルファベットで始まる語句の索引

【A】

A/Dコンバータ...25
 ADC...25
 ADCの接続...63

【B】

BCC...67, 68
 BCU...24

【C】

CG...24
 CKC...73
 CPU...24
 CPU機能...19
 CSI...25
 CSIの接続...61

【D】

D/Aコンバータ...25
 DAC...25
 DACの接続...65
 DCモータの速度制御...75
 DRAM接続回路...42
 DWC...67, 68

【E】

ECR...20
 EIPC...20
 EIPSW...20

【F】

FEPC...20
 FEPSW...20
 FPGAリスト...93

【I】

INTC...24
 INTM0...72
 INTM1...72
 INTM2...73
 INTM3...73

INTM4...73

【M】

MM...67

【N】

NMI時状態退避レジスタ...20

【P】

PC...19
 PCM...70
 PM0...70
 PM1...71
 PM2...71
 PM3...71
 PM4...71
 PM5...71
 PM6...71
 PM9...72
 PM11...72
 PMC0...69
 PMC1...69
 PMC2...69
 PMC3...70
 PMC11...70
 PROM接続回路...33
 PSW...20
 PWM...25
 PWMの接続...62

【Q】

Q&A...102

【R】

r0-r31...19
 RAM...24
 ROM...24
 RPU...24

【S】

SIO...25

SRAM接続回路...37

【T】

TB-V853...55

TB-V853の仕様...78

TB-V853のボード構成図...57

TB-V853のメモリ・マップ...58

【U】

UART...25

UARTの接続...60

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : info@lsi.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107,
6108

大阪 (06)6945-3178, 3200,
3208, 3212

広島 (082)242-5504

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,
6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156

水戸 (029)226-1702

前橋 (027)243-6060

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] V853 アプリケーション・ノート ハードウェア編

(U12619JJ3V0AN00 (第3版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価(各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他()					
()					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他)

理由 []

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他)

理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは

NEC販売員, 特約店販売員, その他()

ご協力ありがとうございました。

下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡しください。

日本電気(株) NEC エレクトロニクス
半導体テクニカルホットライン

FAX: (044) 435-9608

2000.6