

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

アプリケーション・ノート

保守/廃止

V53A™

16ビット・マイクロプロセッサ

ハードウェア設計編

μPD70236A

資料番号 U13552JJ1V0AN00 (第1版)
(旧資料番号 IEA-752)
発行年月 June 1998 N CP(K)

© NEC Corporation 1994

概 説	1
メモリ・インタフェース例	2
外部I/Oインタフェース例	3
コプロセッサ・インタフェース例	4
レベル変換回路例	5
付 録	付

CMOSデバイスの一般的注意事項

① 静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

② 未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

- 本資料の内容は、後日変更する場合があります。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このマニュアルは、 μ PD70236A(別名称V53A)の機能を理解し、それを用いたアプリケーション・システムの設計をするユーザを対象とします。

目的 このマニュアルでは、実際に μ PD70236Aを用いたシステム例を取り上げ、ユーザに理解していただくことを目的としています。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

- 概 説
- メモリ・インタフェース例
- 外部I/Oインタフェース例
- コプロセッサ・インタフェース例
- レベル変換回路例

読み方 このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般的知識を必要とします。

なお、このマニュアルでは、 μ PD70236Aという製品名を「V53A」の名称で、V53Aを用いたシステム例を「V53Aボード」の名称で統一して説明してあります。

○V53Aの機能をすでに理解しているユーザ

→目次に従ってお読みください。

○一通り、V53Aの機能および応用例を理解しようとするとき

→まず、ユーザズ・マニュアルをお読みください。

次にこのアプリケーション・ノートをお読みください。

- 凡 例**
- データ表記の重み : 左が上位桁, 右が下位桁
- アクティブ・ロウの表記 : 第1章-第5章… $\overline{\text{XXXX}}$ (端子, 信号名称の上に上線)
付録B…! XXXX (端子, 信号名称の前に“!”記号)
- メモリ・マップのアドレス: 上部-上位, 下部-下位
- 注 : 本文中につけた注の説明
- 注意 : 気をつけて読んでいただきたい内容
- 備考 : 本文の補足説明

- 数の表記 : 2進数…××××または××××B
10進数…×××××
16進数…××××H
- まぎらわしい文字 : 0 (ゼロ) ↔ O (オー)
1 (イチ) ↔ I (アイ) ↔ l (エル)
- レジスタのビットの表記 : —…任意 (設定値は意味を持ちません)
×…任意 (設定値は意味を持ちますが、本ボードの説明には関係ありません)

関連資料 ○V53Aに関する資料

製品名	資料名	資料番号
μPD70236A (V53A)	データ・シート	U10120J
	ユーザズ・マニュアル	U10108J
	アプリケーション・ノート ハードウェア設計編	このマニュアル
	アプリケーション・ノート アドレス拡張ソフトウェア編	U10188J

○その他のデバイスに関する資料

製品名	資料名	資料番号
μPD431008 (SRAM)	データ・シート	M13082J
μPD42S18160 (DRAM)	データ・シート	M11083J
μPD71051 (シリアル・コントロール・ユニット)	データ・シート	IC-6494
	ユーザーズ・マニュアル	IEP-713
μPD72069 (フロッピー・ディスク・コントローラ)	データ・シート	IC-7547
	ユーザーズ・マニュアル	IEM-5083
μPD72291 (浮動小数点演算用コプロセッサ)	データ・シート	U12886J
	ユーザーズ・マニュアル	IEM-5092
	アプリケーション・ノート インタフェース・ライブラリ編	IEA-714
μPD4991A (カレンダー時計)	データ・シート	IC-7892
	ユーザーズ・マニュアル	S12923J
μPD71055 (パラレル・インタフェース・ユニット)	データ・シート	U11964J
	ユーザーズ・マニュアル	IEP-696

目 次

第1章 概 説	… 1
1.1 仕 様	… 3
1.2 構 成	… 5
1.3 メモリ・マップ	… 6
1.4 I/Oマップ	… 8
1.5 ウェイト・コントロール・ユニット (WCU) 応用例	… 9
1.5.1 WMB0レジスタ (プログラマブル・ウェイト・メモリ領域設定レジスタ0) の設定	… 11
1.5.2 WACレジスタ (プログラマブル・ウェイト・メモリ・アドレス・コントロール・レジスタ) の設定	… 11
1.5.3 WMB1レジスタ (プログラマブル・ウェイト・メモリ領域設定レジスタ1) の設定	… 12
1.5.4 WCY0レジスタ (プログラマブル・ウェイト・サイクル数設定レジスタ0) の設定	… 12
1.5.5 WCY1レジスタ (プログラマブル・ウェイト・サイクル数設定レジスタ1) の設定	… 13
1.5.6 WCY2レジスタ (プログラマブル・ウェイト・サイクル数設定レジスタ2) の設定	… 14
1.5.7 WCY3レジスタ (プログラマブル・ウェイト・サイクル数設定レジスタ3) の設定	… 15
1.5.8 WCY4レジスタ (プログラマブル・ウェイト・サイクル数設定レジスタ4) の設定	… 15
1.6 リフレッシュ・コントロール・ユニット (REFU) 応用例	… 16
第2章 メモリ・インタフェース例	… 19
2.1 PROMとの接続例	… 20
2.2 SRAMとの接続例	… 25
2.3 DRAMとの接続例	… 30
2.3.1 $\overline{\text{RAS}}/\overline{\text{CAS}}$ /アドレス切り替え回路	… 33
2.4 疑似SRAMとの接続例	… 43
2.5 ページ機能付きPROMとの接続例	… 49
2.6 フラッシュ・メモリとの接続例	… 56
2.6.1 フラッシュ・メモリのリード/ライト・アクセス	… 58
第3章 外部I/Oインタフェース例	… 63
3.1 シリアル・コントロール・ユニット (SCU) との接続例	… 64
3.2 パラレル・インタフェース・ユニット (PIU) との接続例	… 69
3.3 LCDコントローラ (LCDC) との接続例	… 71
3.4 フロッピィ・ディスク・コントローラ (FDC) との接続例	… 73
3.5 カレンダー時計 (RTC) との接続例	… 75

第4章 コプロセッサ・インタフェース例 … 77

 4.1 浮動小数点演算用コプロセッサ (FPP) との接続例 … 77

 4.2 注意事項 … 78

第5章 レベル変換回路例 … 79

付録A PLDデータ … 81

付録B 回路図 … 91

図の目次 (1/2)

図番号	タイトル, ページ
1-1	V53A内部ブロック図 … 2
1-2	システム・ブロック図 … 5
1-3	メモリ・マップ … 6
1-4	I/Oマップ … 8
1-5	16 Mバイト・メモリ空間3分割 … 9
1-6	1 Mバイト・メモリ空間3分割 … 9
1-7	16 M/1 Mバイト・メモリ空間のウェイト数 … 10
1-8	WMB0設定例 … 11
1-9	WAC設定例 … 11
1-10	16 Mバイト・メモリ空間内での1 Mバイト・メモリ領域指定 … 11
1-11	WMB1設定例 … 12
1-12	WCY0設定例 … 12
1-13	WCY1設定例 … 13
1-14	WCY2設定例 … 14
1-15	WCY3設定例 … 15
1-16	WCY4設定例 … 15
1-17	RFC設定例 … 16
2-1	PROM接続の基本構成 … 21
2-2	PROMリード・アクセス・タイミング … 23
2-3	SRAM接続の基本構成 … 25
2-4	SRAMリード・アクセス・タイミング … 27
2-5	SRAMライト・アクセス・タイミング … 28
2-6	DRAM接続の基本構成 … 31
2-7	PLD5回路 … 33
2-8	DRAMリード・アクセス・タイミング … 39
2-9	DRAMライト・アクセス・タイミング … 40
2-10	DRAMリフレッシュ・タイミング … 41
2-11	疑似SRAM接続の基本構成 … 43
2-12	疑似SRAMリード・アクセス・タイミング … 45
2-13	疑似SRAMライト・アクセス・タイミング … 46
2-14	疑似SRAMリフレッシュ・タイミング … 47
2-15	ページ機能付きPROM接続の基本構成 … 49
2-16	ページ機能付きPROMのページ外からのリード・アクセス・タイミング … 52

図の目次 (2/2)

図番号	タイトル, ページ
2-17	ページ機能付きPROMのページ内の連続リード・アクセス・タイミング … 53
2-18	ページ機能付きPROMのページ内からページ外へのリード・アクセス・タイミング … 54
2-19	フラッシュ・メモリ接続の基本構成 … 56
2-20	フラッシュ・メモリのリード・アクセス・タイミング … 60
2-21	フラッシュ・メモリのライト・アクセス・タイミング … 61
3-1	SCU接続の基本構成 … 64
3-2	キーボード・インタフェース接続の基本構成 … 66
3-3	PIU接続の基本構成 … 69
3-4	LCDC接続の基本構成 … 71
3-5	FDC接続の基本構成 … 73
3-6	RTC接続の基本構成 … 75
4-1	FPP接続の基本構成 … 77
B-1	回路ブロックの接続 … 93
B-2	VS3A周辺 … 95
B-3	メモリ・セレクト信号生成回路 … 97
B-4	SRAM接続 … 99
B-5	PROM接続 … 101
B-6	ページ機能付きPROM接続 … 103
B-7	DRAM接続 … 105
B-8	PSRAM接続 … 107
B-9	フラッシュ・メモリ接続 … 109
B-10	I/Oセレクト信号生成回路 … 111
B-11	レベル変換回路 … 113
B-12	LCDC接続 … 115
B-13	SCU接続 … 117
B-14	PIU接続 … 119
B-15	FDC接続 … 121
B-16	RTC接続 … 123
B-17	電源ブロック … 125

表の目次

表番号	タイトル, ページ
1-1	JP2, JP3の設定 … 7
2-1	PROMの接続可否 … 24
2-2	SRAMの接続可否 … 29
2-3	DRAMの接続可否 … 42
2-4	疑似SRAMの接続可否 … 48
2-5	ページ機能付きPROMの接続可否 (ページ外) … 55
2-6	フラッシュ・メモリの接続可否 … 62
3-1	μPD71051レジスタのアクセス … 66
3-2	モード・ワード設定例 … 67
3-3	コマンド・ワード設定例 … 67
3-4	送受信クロックとポー・レートの関係 … 68

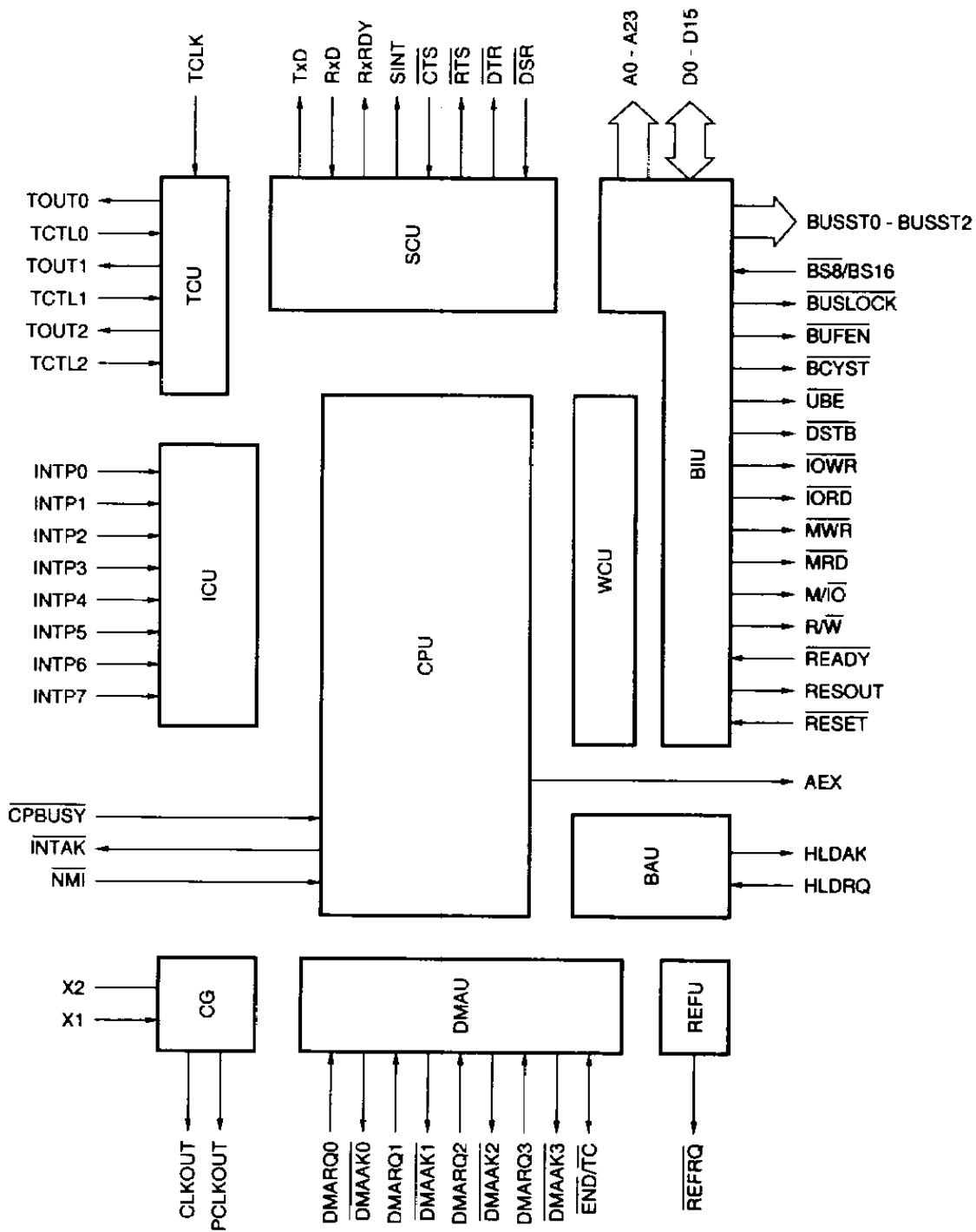
第1章 概 説

V53AはV33ATM(μ PD70136A)相当のCPUを中心に、周辺LSI機能を内蔵した16ビット・マイクロプロセッサです。V53Aの主な特徴は次のとおりです。

- 最大動作周波数：20 MHz
- データの高速度処理が可能（同一周波数で、V50TM (μ PD70216) の2.2倍の処理速度)
- 16 Mバイトのメモリ空間、64 KバイトのI/O空間
- ダイナミック・バス・サイジング機能
- 未定義命令トラップ機能
- 浮動小数点演算用コプロセッサ接続機能 (μ PD72291接続可能、最大16 MHz動作)
- スタンバイ機能
- 標準周辺デバイス内蔵 (図 1-1 参照)
 - クロック・ジェネレータ (CG)
 - バス・インタフェース・ユニット (BIU)
 - バス・アービトレーション・ユニット (BAU)
 - ウエイト・コントロール・ユニット (WCU)
 - リフレッシュ・コントロール・ユニット (REFU)
 - タイマ/カウンタ・ユニット (TCU)
 - シリアル・コントロール・ユニット (SCU)
 - 割り込みコントロール・ユニット (ICU)
 - DMAコントロール・ユニット (DMAU)

このアプリケーション・ノートでは、V53Aを用いたシステム (V53Aボード) を例に挙げ、V53Aとメモリおよび周辺デバイスのインタフェースについて説明します。

図1-1 V53A内部ブロック図



- | | |
|-------------------------|---------------------------|
| CPU : 中央演算処理ユニット | REFU : リフレッシュ・コントロール・ユニット |
| CG : クロック・ジェネレータ | TCU : タイマ/カウンタ・ユニット |
| BIU : バス・インタフェース・ユニット | SCU : シリアル・コントロール・ユニット |
| BAU : バス・アービトラージョン・ユニット | ICU : 割り込みコントロール・ユニット |
| WCU : ウェイト・コントロール・ユニット | DMAU : DMAコントロール・ユニット |

1.1 仕 様

V53Aボードは次の仕様に基づいて設計しています。

(1) 主要デバイス

○CPU : μ PD70236A (1つ)

【メモリ】

○PROM : μ PD27C1001A (2つ)

○SRAM : μ PD431008 (4つ)

○DRAM : μ PD42S18160 (1つ)

○疑似SRAM : μ PD428128 (2つ)

○ページ機能付きPROM : μ PD27C4040 (1つ)

○フラッシュ・メモリ : μ PD28F4000 (1つ)

【周辺デバイス】

○シリアル・コントロール・ユニット : μ PD71051 (1つ)

○LCDコントローラ : μ PD72030 (1つ)

○フロッピィ・ディスク・コントローラ : μ PD72069 (1つ)

○浮動小数点演算用コプロセッサ : μ PD72291 (1つ)

○カレンダー時計 : μ PD4991A (1つ)

○パラレル・インタフェース・ユニット : μ PD71055 (1つ)

(2) 外部インタフェース

○RS-232-Cインタフェース (2チャンネル)

○LCDモジュール

○PC-9800シリーズ用キーボード・インタフェース (1チャンネル)

○バー・コード・リーダー・インタフェース (RS-232-Cインタフェース兼用)

○FDDインタフェース

○プリンタ・インタフェース

(3) 電源電圧

CPU, 周辺デバイス : $V_{DD} = +5V$

備考 CPUとメモリを3Vで、外部I/Oを5Vで動作させる場合の例を第5章 レベル変換回路例に示します。

(4) 回路仕様

- V53Aの最大動作周波数：20 MHz (μ PD72291を使用しないとき) 注1
- 各デバイスに対するウェイト数注2

デ バ イ ス	ウ エ イ ト 数
PROM	2 ウェイト
SRAM	ノー・ウェイト
DRAM	1 ウェイト
疑似SRAM	3 ウェイト
ページ機能付きPROM	2 ウェイト (ページ外アクセス) 1 ウェイト (ページ内アクセス)
フラッシュ・メモリ	3 ウェイト
シリアル・コントロール・ユニット	2 ウェイト
LCDコントローラ	
フロッピー・ディスク・コントローラ	
カレンダー時計	
パラレル・インタフェース・ユニット	

注1. μ PD72291を使用する場合は、最大16 MHzです。

V53Aボードでは、 μ PD72291を使用するかどうかをスイッチで切り替えることができます (第4章 コプロセッサ・インタフェース例参照)。

2. ウェイト・サイクルの挿入には、次の2通りの方法があります。

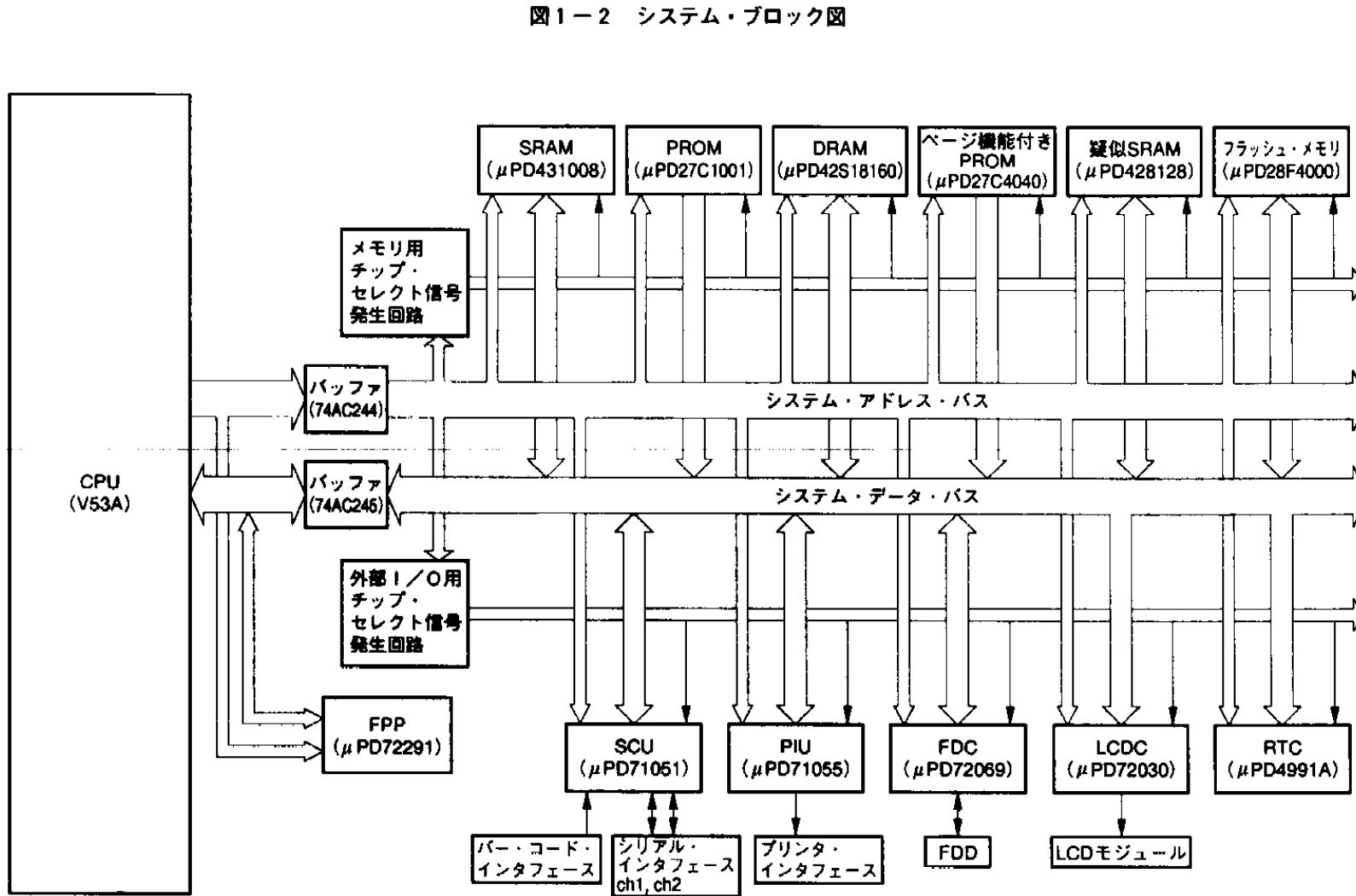
V53Aボードでは、ページ機能付きPROMは(1)の方法で、それ以外の各デバイスは(2)の方法で制御しています。

(1) ハードウェア的な方法… $\overline{\text{READY}}$ 端子を使用

(2) ソフトウェア的な方法…ウェイト・コントロール・ユニット (WCU) を使用

1.2 構成

図1-2にV53Aボードのシステム・ブロック図を示します。

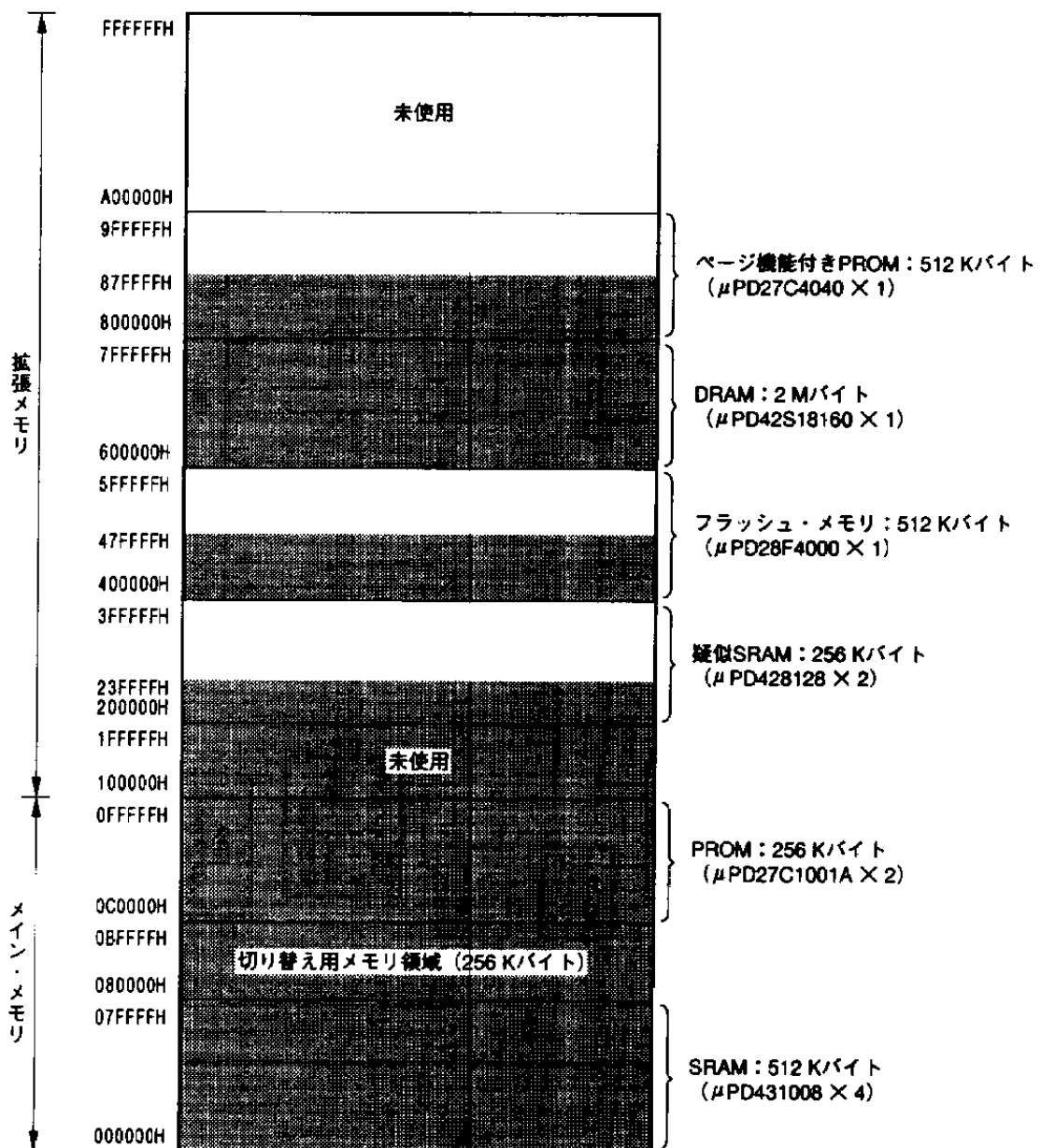


1.3 メモリ・マップ

図1-3にV53Aボードのメモリ・マップを示します。

メイン・メモリ内の80000H-BFFFFHに切り替え用メモリ領域があります。ボード上にあるジャンパ (JP2, JP3) を切り替えることにより、拡張メモリ領域に割り当てられている各種メモリがアクセスできます (表1-1参照)。

図1-3 メモリ・マップ



備考  のアドレスは実装領域 (他はイメージ領域)

表 1-1 JP2, JP3の設定

JP2	JP3	アクセス・メモリ	アドレス
1	1	フラッシュ・メモリ	400000H-43FFFFH
1	0	疑似SRAM	200000H-23FFFFH
0	1	DRAM	680000H-6BFFFFH
0	0	ページ機能付きPROM	800000H-83FFFFH

備考 1: 接続, 0: オープン

1.4 I/Oマップ

V53Aは64 KバイトまでのI/Oを、メモリとは独立した領域でアクセスすることができます。

図1-4にV53AボードのI/Oマップを示します。

図1-4 I/Oマップ

	上位バイト	下位バイト	
FFFFH	予 約	SCTL	FFFEH
FFFDH	OPSEL	OPHA	FFFCH
FFFBH	DULA	IULA	FFFAH
FFF9H	TULA	SULA	FFF8H
FFF7H	予 約	WCY4	FFF6H
FFF5H	WCY3	WCY2	FFF4H
FFF3H	WMB1	RFC	FFF2H
FFF1H	SBCR	TCKS	FFF0H
FFEFH	予 約	予 約	FFEEH
FFECH	WAC	WCY0	FFECH
FFE8H	WCY1	WMB0	FFE6H
FFE9H	BRC	予 約	FFE8H
FFE7H	予 約		FFE2H
FFE1H	BADR	BSEL	FFE0H
FFDFH	予 約		FF82H
FF81H	予 約	XAM	FF80H
FF7FH	PGR64 - PGR1		FF7EH
FF01H	未 使 用		FF00H
FEFFH	内蔵DMAU		FE60H
FE5FH	内蔵DMAU		FE50H
		内蔵ICU	FE42H
		内蔵TCU	FE40H
		内蔵SCU	FE36H
		FDC	FE30H
		外部SCU	FE26H
		PIU	FE20H
		LCDC	FDFAH
		RTC	FDF8H
FDBFH	未 使 用		FDF2H
			FDF0H
			FDEEH
			FDE8H
			FDE2H
			FDE0H
			FDDEH
			FDC0H
			0000H

1.5 ウェイト・コントロール・ユニット (WCU) 応用例

V53Aボード上のメモリとI/Oのアクセスには、挿入されるウェイト数が決まっています。

V53Aの周辺機能であるWCU (ウェイト・コントロール・ユニット) の設定により、各メモリとI/Oに対してそれぞれ独立にウェイト数を指定します。

図1-5に16Mバイト・メモリ空間を3分割している図を、図1-6に1Mバイト・メモリ空間を3分割している図を、図1-7に16M/1Mバイト・メモリ空間のウェイト数を示します。

WCUについての詳細な説明は、**V53A ユーザーズ・マニュアル**を参照してください。

図1-5 16Mバイト・メモリ空間3分割

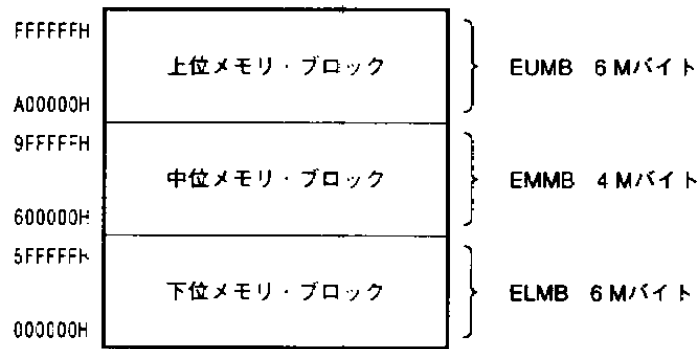


図1-6 1Mバイト・メモリ空間3分割

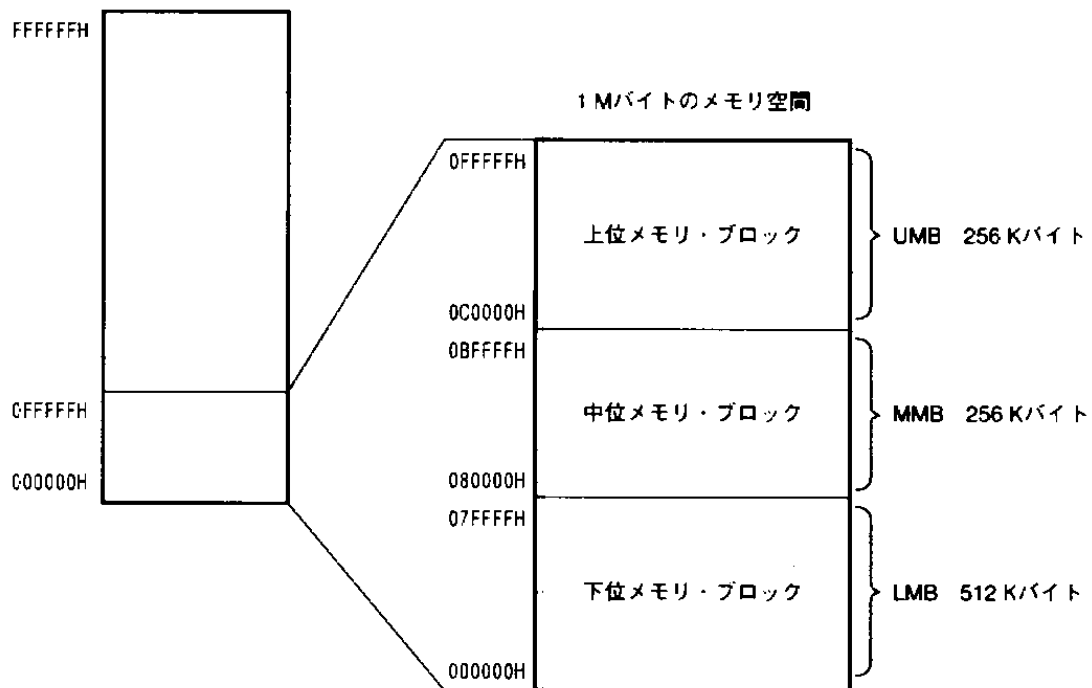
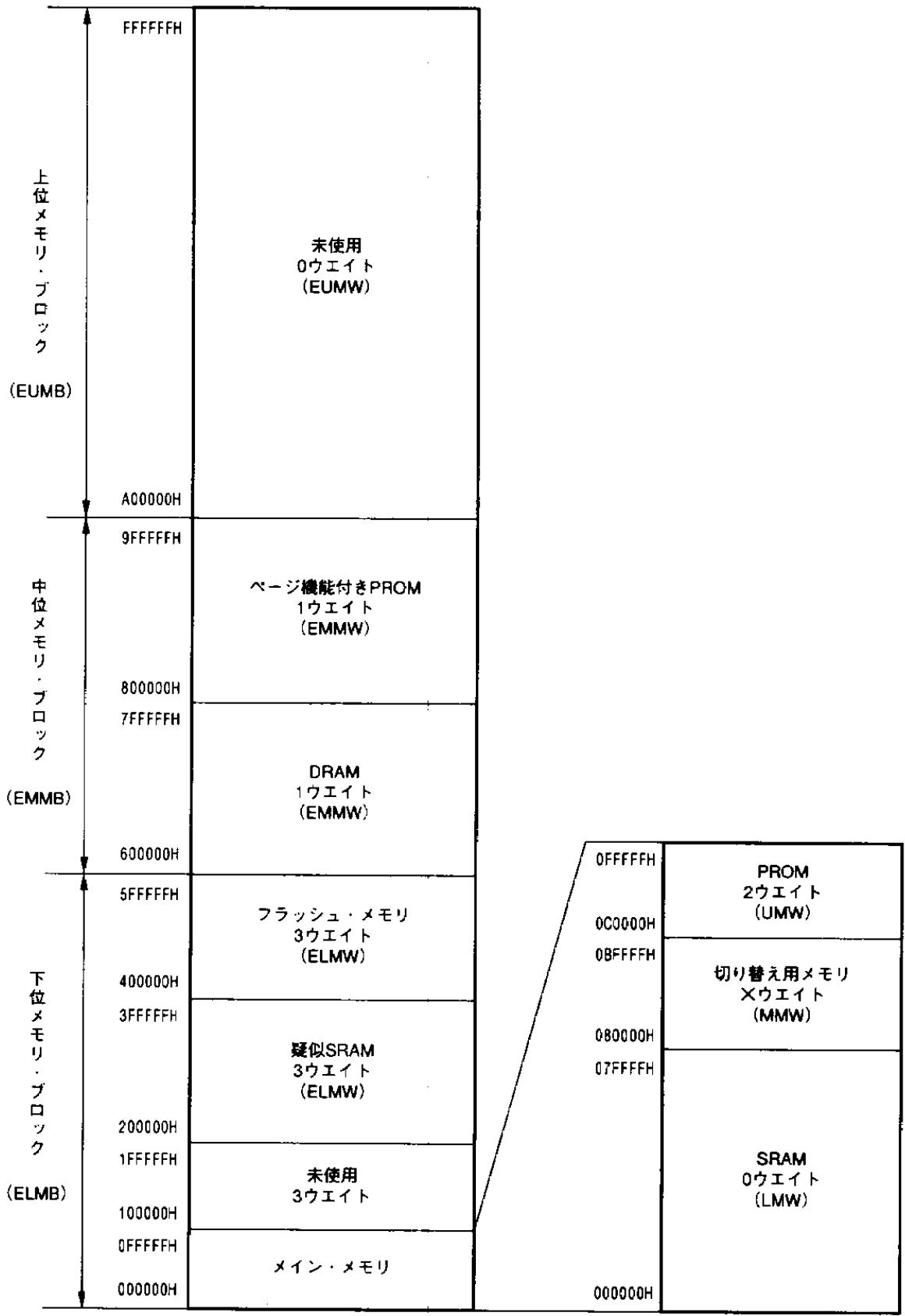


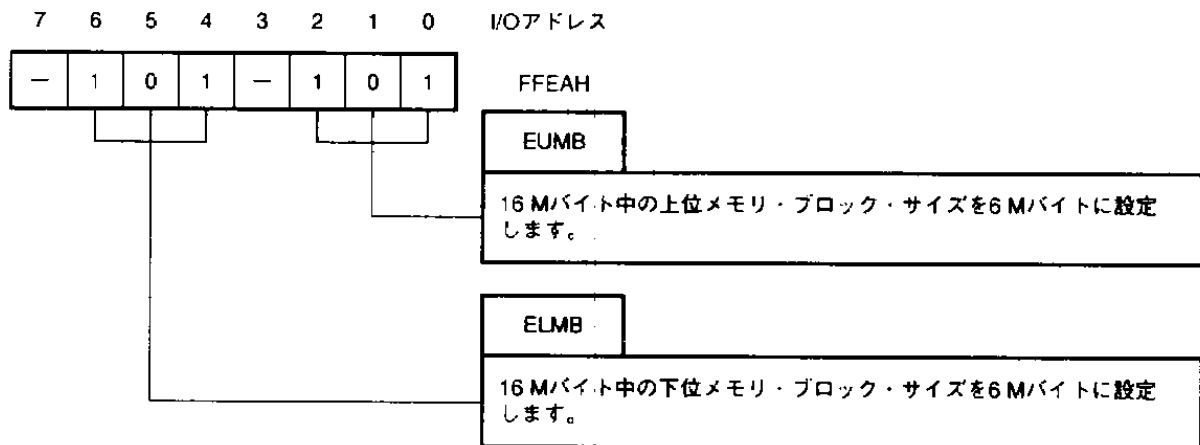
図1-7 16 M/1 Mバイト・メモリ空間のウエイト数



1.5.1 WMBOレジスタ（プログラマブル・ウエイト・メモリ領域設定レジスタ0）の設定

VS3Aボードでは16 Mバイトのメモリ空間をアクセスすることができます。このメモリ空間に割り当てられている各メモリ・デバイス（ページ機能付きPROM、DRAM、フラッシュ・メモリ、疑似SRAM）にそれぞれ異なるウエイト数を設定するため、3つのメモリ・ブロックに分割します。

図1-8 WMBO設定例



1.5.2 WACレジスタ（プログラマブル・ウエイト・メモリ・アドレス・コントロール・レジスタ）の設定

16 Mバイトのメモリ空間のうち、1 Mバイト以下に割り当てられているメモリ・デバイス（PROM、SRAM）にそれぞれ異なるウエイト数を設定するため、上位4ビット・アドレスを設定し1 Mバイトの領域を決定します。

図1-9 WAC設定例

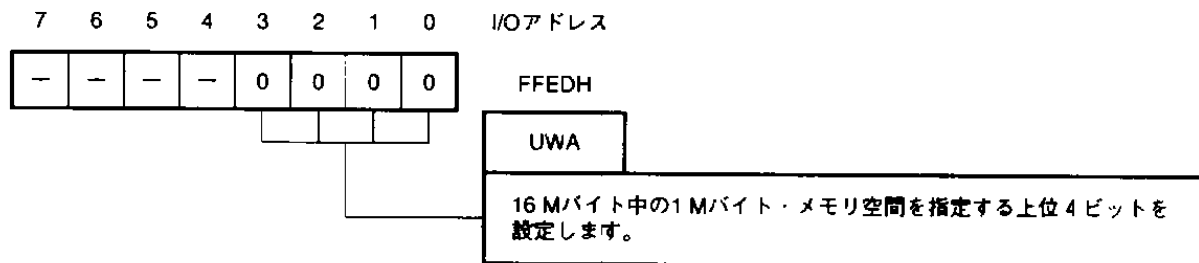
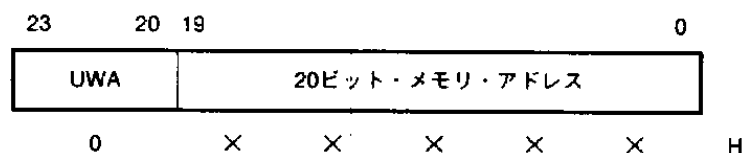


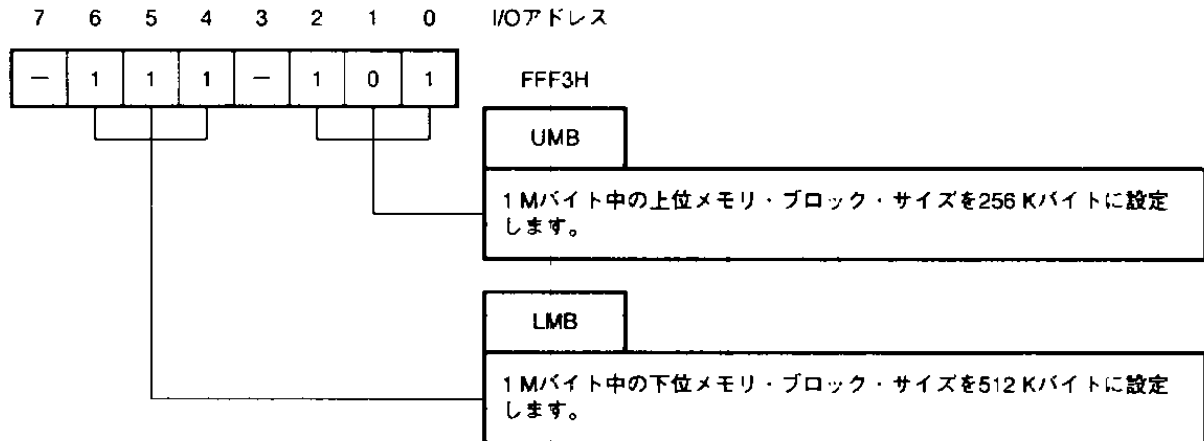
図1-10 16 Mバイト・メモリ空間内での1 Mバイト・メモリ領域指定



1.5.3 WMB1レジスタ（プログラマブル・ウエイト・メモリ領域設定レジスタ1）の設定

WACレジスタで設定した1Mバイトの領域に割り当てられているメモリ・デバイス(PROM, SRAM)に異なるウエイト数を設定するため、3つのメモリ・ブロックに分割します。

図1-11 WMB1 設定例



● UMB領域：256 Kバイト

1 MビットのPROM (μ PD27C1001A) 2つが割り当てられています。

● LMB領域：512 Kバイト

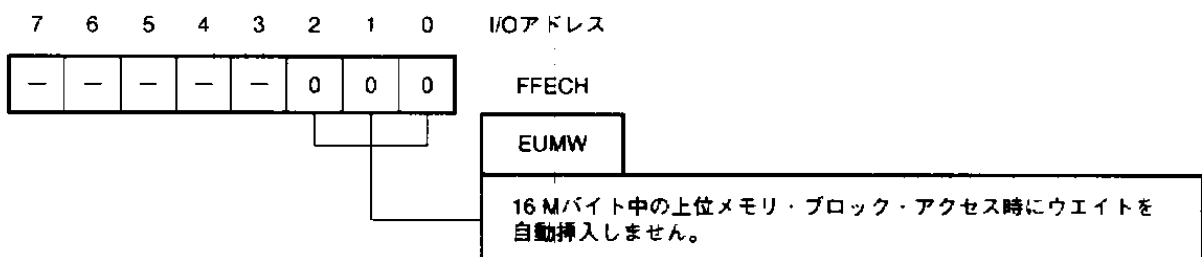
1 MビットのSRAM (μ PD431008LE) 4つが割り当てられています。

1.5.4 WCY0レジスタ（プログラマブル・ウエイト・サイクル数設定レジスタ0）の設定

WMB0レジスタで16 Mバイト・メモリ空間を3つに分割したうちの上位メモリ・ブロック (EUMB)にウエイト数を設定します。

上位メモリ・ブロック (6 Mバイト) は未使用領域ですので、ウエイトは挿入しません (図1-3 参照)。

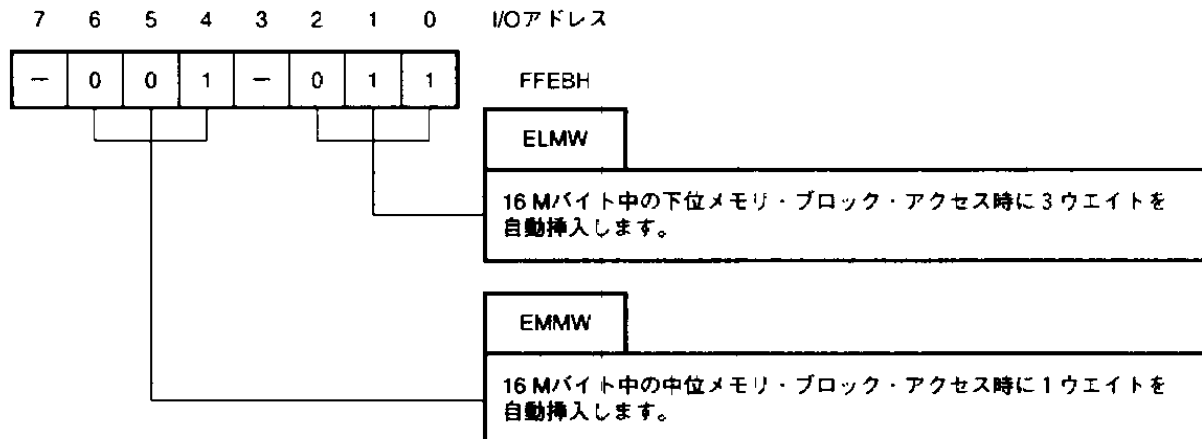
図1-12 WCY0 設定例



1.5.5 WCY1レジスタ（プログラマブル・ウェイト・サイクル数設定レジスタ1）の設定

WMB0レジスタで16 Mバイト・メモリ空間を3つに分割したうちの中位、下位メモリ・ブロック（EMMW, ELMW）にウェイト数を設定します。

図1-13 WCY1 設定例



●ELMW領域

フラッシュ・メモリ、疑似SRAM、PROM、SRAMの4つが割り当てられています。
 WCY1レジスタの設定は、フラッシュ・メモリと疑似SRAMに対して有効になります。
 PROM、SRAMについては、WCY2レジスタで設定する値（ウェイト数）が有効になります。

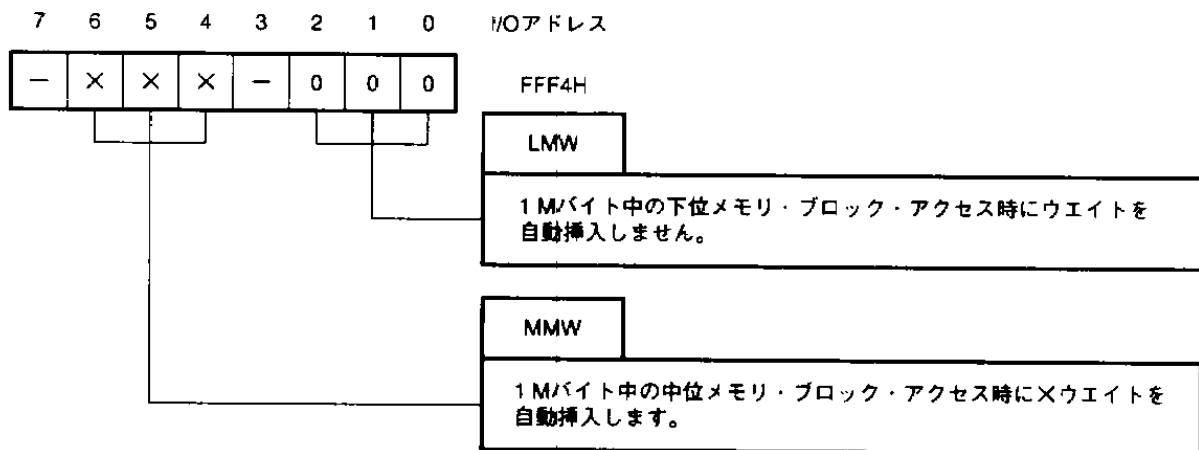
●EMMW領域

ページ機能付きPROMとDRAMが割り当てられています。

1.5.6 WCY2レジスタ（プログラマブル・ウエイト・サイクル数設定レジスタ2）の設定

WMB1レジスタで1Mバイトのメモリ空間を3つに分割したのちの中位、下位メモリ・ブロック（MMW, LMW）にウエイト数を設定します。

図1-14 WCY2 設定例



● LMW領域

SRAMが割り当てられています。SRAMアクセス時はウエイトが自動挿入されません。

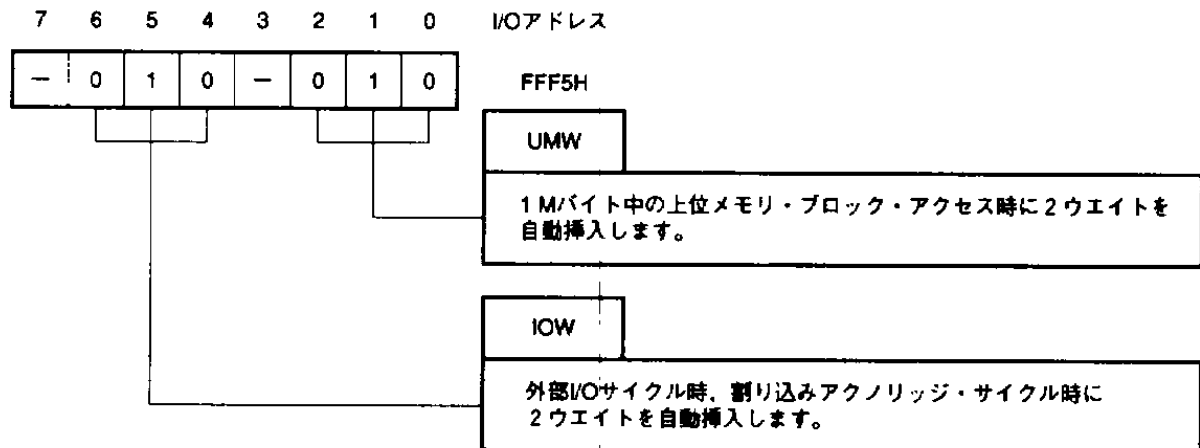
● MMW領域

切り替え用メモリ領域になっているため、この領域に割り当てたメモリ・デバイスによって設定を変更する必要があります。

1.5.7 WCY3レジスタ（プログラマブル・ウェイト・サイクル数設定レジスタ3）の設定

WMB1レジスタで1Mバイトのメモリ空間を3つに分割したうちの上位メモリ・ブロックおよび外部I/Oバス・サイクルに対してウェイト数を設定します。

図1-15 WCY3 設定例



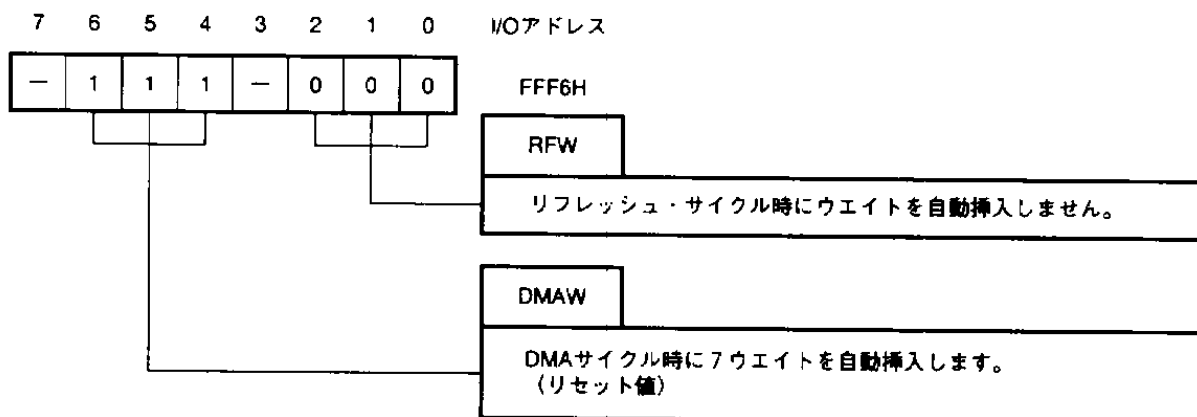
●UMW領域

PROMが割り当てられています。

1.5.8 WCY4レジスタ（プログラマブル・ウェイト・サイクル数設定レジスタ4）の設定

DMAサイクルとリフレッシュ・サイクルに対してウェイト数を設定します。

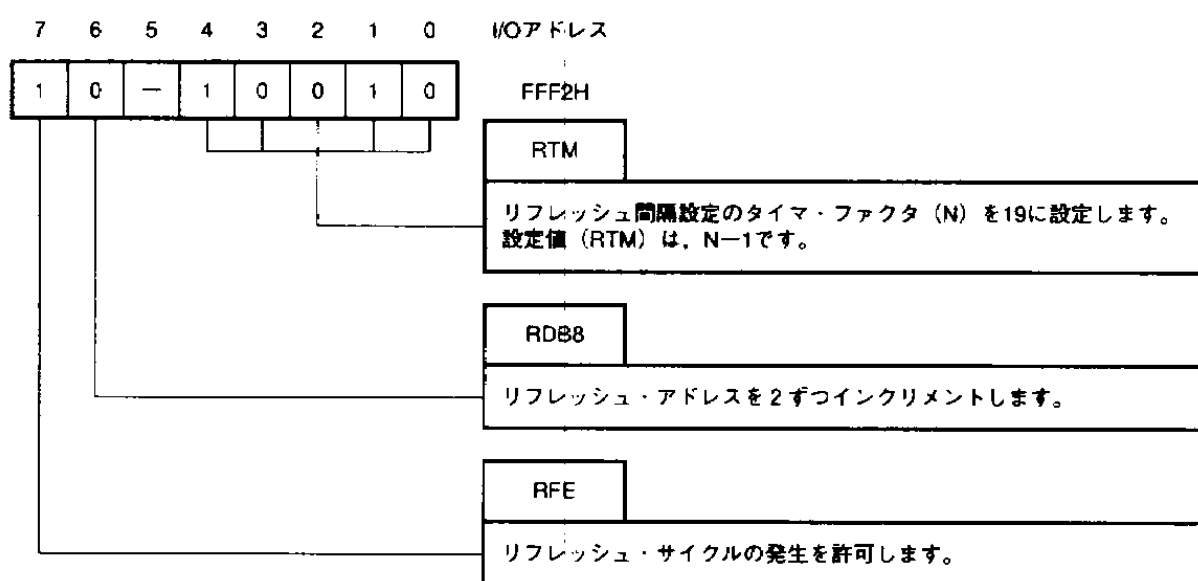
図1-16 WCY4 設定例



1.6 リフレッシュ・コントロール・ユニット (REFU) 応用例

V53Aボードは、リフレッシュ動作が必要なメモリ・デバイス (DRAM, 疑似SRAM) を搭載しています。リフレッシュ動作を行うために、V53Aに内蔵されているREFU (リフレッシュ・コントロール・ユニット) を使用します。REFUは、リフレッシュ動作に必要なリフレッシュ・サイクルを発生します。リフレッシュ・コントロール・レジスタ (RFC) によって、リフレッシュの許可/禁止、およびリフレッシュ間隔を設定します。次にRFCレジスタの設定について説明します。

図1-17 RFC 設定例



リフレッシュ間隔を設定するためには、使用するDRAMと疑似SRAMの「ある時間内に選択するロウ・アドレス数」というリフレッシュについてのスペックが必要になります。

ここで使用するDRAM, 疑似SRAMのリフレッシュについてのスペックは次のとおりです。

- DRAM (μ PD42S1860)

$$1024 \text{リフレッシュ・サイクル} / 256 \text{ms} = 1 \text{リフレッシュ・サイクル} / 250 \mu\text{s}$$

- 疑似SRAM (μ PD42B128)

$$512 \text{リフレッシュ・サイクル} / 8 \text{ms} = 1 \text{リフレッシュ・サイクル} / 15.6 \mu\text{s}$$

したがって、リフレッシュ・サイクルの短い疑似SRAMの「8ms以内に512ロウ・アドレスを選択する」というスペックを用い、次の式によってリフレッシュ間隔を設定します (計算結果の小数点以下は切り捨て)。

$$\begin{aligned}\text{タイマ・ファクタ (N)} &= \frac{\text{リフレッシュ時間 (S)}}{\text{ロウ・アドレス数}} \times \frac{\text{動作周波数 (Hz)}}{16} \\ &= \frac{8 \times 10^{-3}}{512} \times \frac{20 \times 10^6}{16} \approx 19.5\end{aligned}$$

以上の計算からN=19として、RTMの5ビット (N-1) は12Hとなります。

(× ㊦)

第2章 メモリ・インタフェース例

この章では、メモリとのインタフェースについて説明します。

V53Aボードには、メモリとして次のデバイスを搭載しています。

- PROM (μ PD27C10C1A)
- SRAM (μ PD431008)
- DRAM (μ PD42S18160)
- 疑似SRAM (μ PD428128)
- ページ機能付きPROM (μ PD27C4040)
- フラッシュ・メモリ (μ PD28F4000)

2.1 PROMとの接続例

この節では、V53AとPROMの接続例について説明します。

PROMは、 \overline{CE} 信号と \overline{OE} 信号によって制御します。V53Aボードで使用しているPROM(μ PD27C1001AD-i0)は、アクセス時間(アドレス入力からのデータ出力遅延時間および \overline{CE} 入力からのデータ出力遅延時間)が100 nsであり、2ウェイトの挿入で接続できます。1バス・サイクル100 ns (20 MHz動作時) の場合、次の回路遅延要因が考慮されます。

- アドレスが確定するまでの遅延時間 (V53AのAC特性: t_{DKA})
- アドレス・バッファ (図2-1のバッファ1) の遅延時間
- チップ・セレクト信号生成のための遅延時間
- データ設定時間 (V53AのAC特性: t_{SDK})
- データ・バッファ (図2-1のバッファ2) の遅延時間
- データ・バッファ (図2-1のバッファ3) の遅延時間

また、データ出力フロート遅延時間が最大遅延50 nsと長いため、PROMのリード・アクセス後のサイクルが他のメモリのライト・サイクルの場合に、PROMが出力するデータとV53Aが出力するライト・データが衝突する可能性があります。このため、バッファ(図2-1のバッファ3)を用いて、PROMが出力するデータのタイミングを調節します。

V53Aボードでは、PROMを2つ搭載し、16ビット・データ・バスの上位、下位にそれぞれ使用しています。

μ PD27C1001Aは、128 Kワード×8ビット構成です。V53Aボードでは、128 Kワード×16ビットの構成とし、物理アドレスC0000H-FFFFFFHの256 Kバイトの領域に使用しています。

図2-1にPROM接続の基本構成を示します。

図 2-1 PROM接続の基本構成

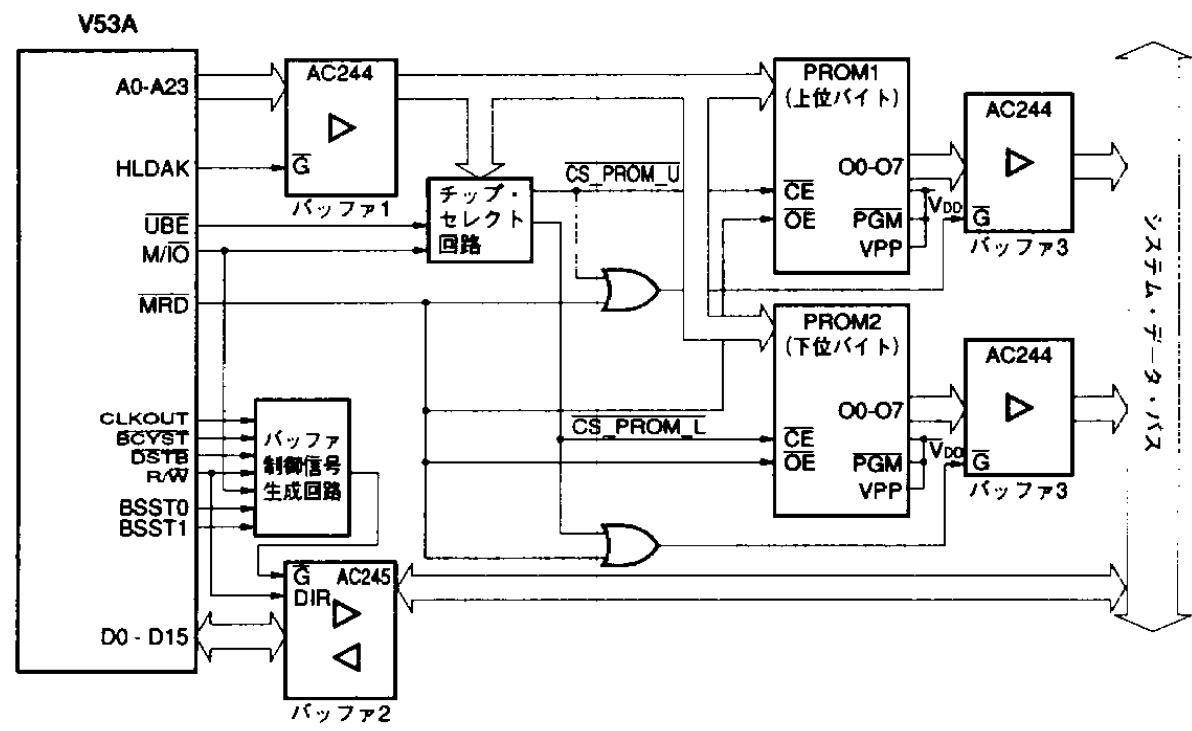
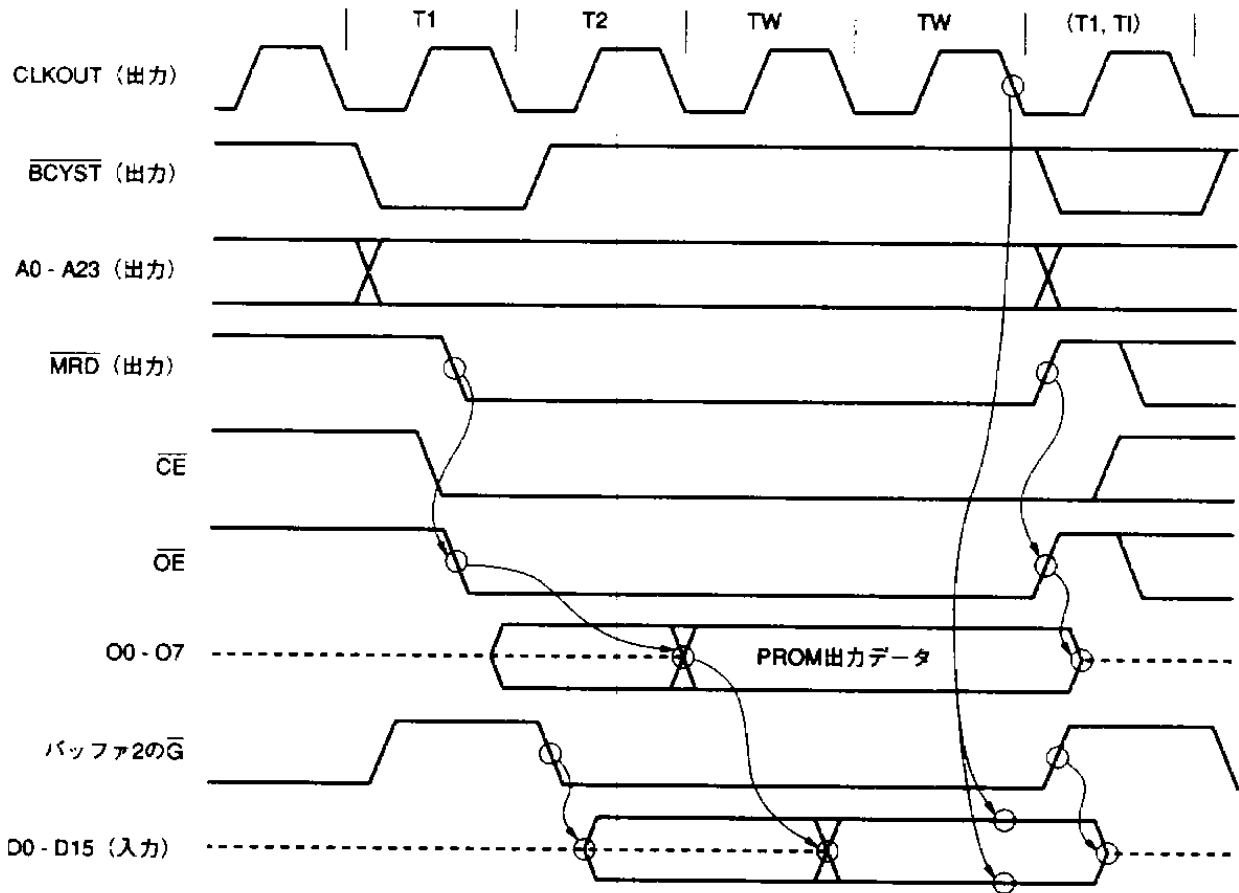


図 2-1 について次に説明します。

構成要素	機 能
バッファ 1	HLD $\overline{\text{AK}}$ 信号をバッファ 1 (74AC244) の $\overline{\text{G}}$ 端子に入力し、ホールド時にCPUのアドレス信号 (A0-A23) がシステム・バスを駆動しないようにしています。また、ファンアウトも考慮して使用しています。
チップ・セレクト回路	PROMをアクセスするための選択信号を生成する回路です。 PROMのマッピングされた領域(物理アドレスC0000H-FFFFFH)をアクセスするために最低必要なアドレス線(A18-A23の6本)とM/ $\overline{\text{IO}}$ 信号を使用します。上位バイト側のメモリ・アクセスには $\overline{\text{UBE}}$ 信号を、下位バイト側のメモリ・アクセスにはA0信号を使用します。
バッファ 2	<p>バッファ 2 は、バス・サイクルのT1ステートで、メモリまたは外部I/OとV53A間でデータ間入出力を禁止するために使用します。</p> <p>バッファ 2 のゲートを制御するための信号は、バッファ制御信号生成回路から出力されます。このバッファ制御信号生成回路は次のような論理になっており、V53AボードではPLD (図 B-2 PLD4) を用いて、回路を構成しています。</p> <div style="text-align: center;"> </div> <p style="text-align: right;">バッファ 2 の$\overline{\text{G}}$端子へ</p>
バッファ 3	<p>PROMのリード・アクセス後にライト・サイクルが続いた場合、リード・データとV53Aのライト・データが衝突する可能性があるため、その回避としてこのバッファ 3 を用います。</p> <p>PROMのアクセス終了後、バッファ 3 の$\overline{\text{G}}$端子にハイ・レベルを入力すると、PROMからのデータがシステム・バスに出力されません。</p> <p>$\overline{\text{G}}$端子へ入力する信号は、PROMへアクセスするためのチップ・セレクト信号と$\overline{\text{MRD}}$信号の 2 つの信号を用います。どちらかの信号が先にインアクティブになることを利用して、これらの信号のORをとります。</p> <p>通常のプロムアクセス時は、チップ・セレクト信号と$\overline{\text{MRD}}$信号がアクティブ (ロウ・レベル) のため、ゲートはアクティブ (ロウ・レベル) となっています。</p>

図2-2 PROMリード・アクセス・タイミング



- 備考1. ○印はトリガ・タイミングとサンプリング・タイミングです。
 2. 信号名の後ろの () 内は、V53Aの動作を示しています。
 3. 破線は、ハイ・インピーダンスを示します。

V53Aボードで使用しているPROM (μ PD27C1001)には、4種類のアクセス時間があります。それらのPROMをボード上に搭載したとき（PROMとのインタフェース回路を使用したとき）のV53Aの動作周波数、ウェイトの挿入数による接続（アクセス）可否を表2-1に示します。

表2-1 PROMの接続可否

動作周波数	アクセス時間	ウェイト数				
		0	1	2	3	4
20 MHz	200 ns	×	×	×	△	○
	150 ns	×	×	△	○	○
	120 ns	×	×	○	○	○
	100 ns	×	△	○	○	○
16 MHz	200 ns	×	×	×	○	○
	150 ns	×	×	○	○	○
	120 ns	×	○	○	○	○
	100 ns	×	○	○	○	○
12.5 MHz	200 ns	×	×	○	○	○
	150 ns	×	○	○	○	○
	120 ns	×	○	○	○	○
	100 ns	△	○	○	○	○
10 MHz	200 ns	×	○	○	○	○
	150 ns	×	○	○	○	○
	120 ns	○	○	○	○	○
	100 ns	○	○	○	○	○

備考 ×：接続不可能

△：接続不可能（回路変更で接続可能）

○：接続可能

2.2 SRAMとの接続例

この節では、V53AとSRAMの接続例について説明します。

SRAMは、 \overline{CS} 信号と \overline{OE} 信号または \overline{WE} 信号によって制御します。V53Aボードで使用しているSRAM (μ PD431008LE)は、アクセス時間が15 nsと高速であり、20 MHz動作時はノー・ウエイトで接続できます。

V53Aボードでは、SRAMを4つ搭載し、16ビット・データ・バスの上位、下位に2つずつ使用しています。

μ PD431008LEは、128 Kワード×8ビット構成です。V53Aボードでは、128 Kワード×16ビットの構成とし、物理アドレス00000H-7FFFFHの512 Kバイトの領域に使用しています。

図2-3にSRAM接続の基本構成を示します。

図2-3 SRAM接続の基本構成

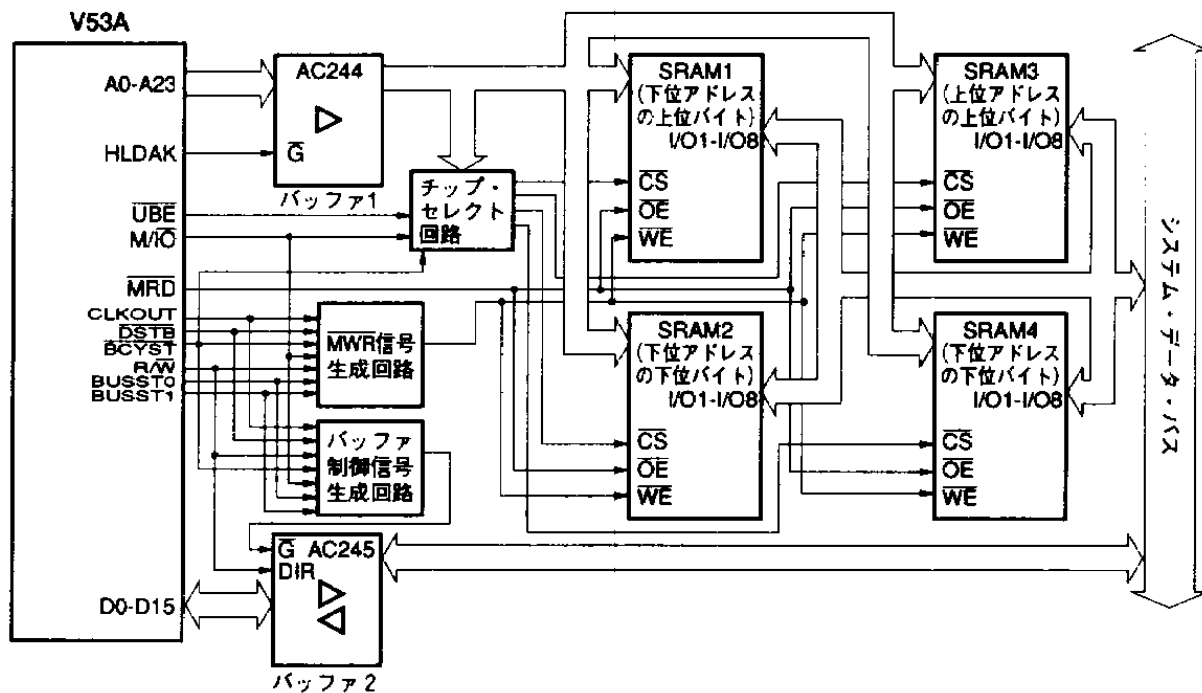
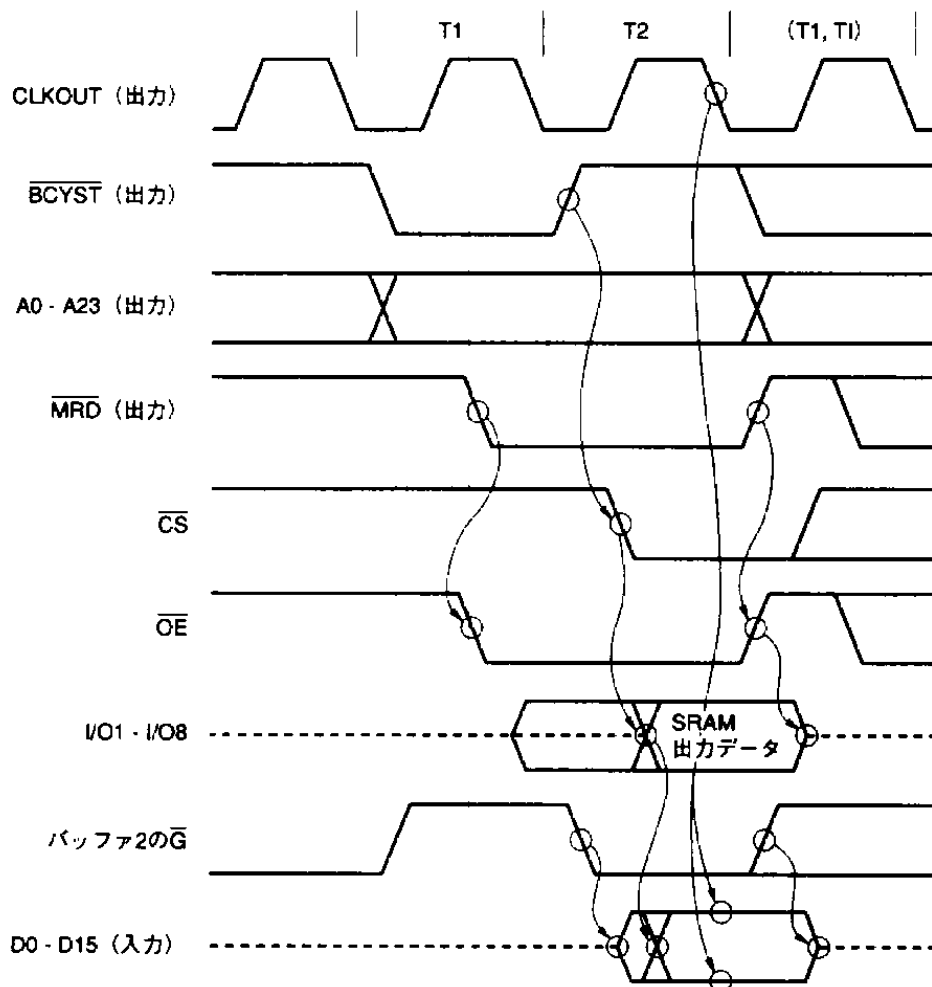


図 2-3 について次に説明します。

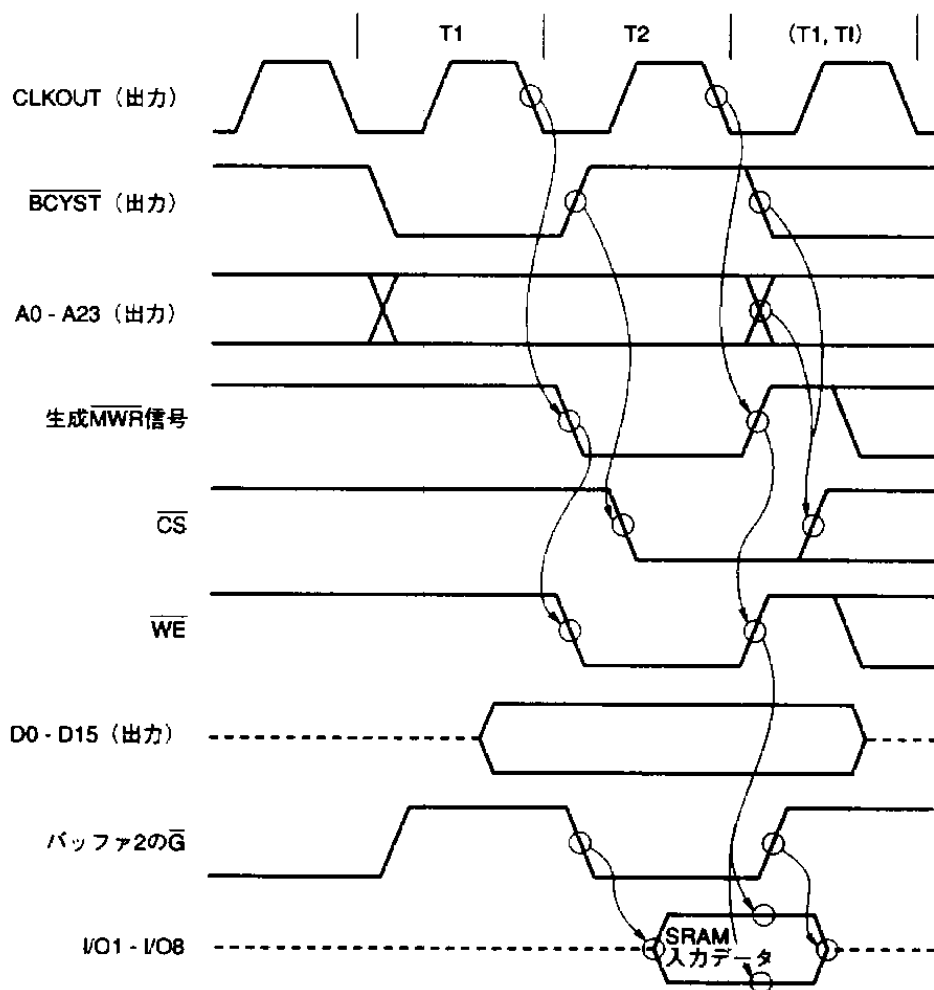
構成要素	機能
バッファ 1	図 2-1 の説明を参照してください。
チップ・セレクト回路	<p>SRAMをアクセスするための選択信号を生成する回路です。この信号は、SRAMのマッピングされた領域（物理アドレス00000H-7FFFFH）をアクセスするために最低必要なアドレス線A18-A23の6本）とM/I\bar{O}信号およびBCYST信号を使用します。上位バイト側のメモリ・アクセスには$\bar{U}BE$信号を、下位バイト側のメモリ・アクセスにはA0信号を使用します。</p>
バッファ 2	図 2-1 の説明を参照してください。
MWR信号生成回路	<p>この回路は、\bar{MWR}信号を生成するための回路です。V53Aが出力する\bar{MWR}信号をそのまま使うこともできます。このボードでは、V53Aが出力する\bar{MWR}信号の立ち下がり立ち上りを半クロック分遅らせたものを\bar{MWR}信号として使うため、以下のような回路を付加して\bar{MWR}信号を生成しています。これにより、メモリの\bar{WE}信号の立ち上がりに対するデータ・セット時間を確保し、各メモリに挿入するウェイト数を少なくすることができます。</p> <p>タイミングについては、各メモリのライト・タイミングを参照してください。この\bar{MWR}信号の生成は、PLD（図B-2 PLD4）とJKフリップ・フロップで行っています。</p> <p style="text-align: center;">\bar{MWR}信号生成回路</p>

図2-4 SRAMリード・アクセス・タイミング



- 備考1. ○印はトリガ・タイミングとサンプリング・タイミングです。
 2. 信号名の後ろの () 内は、V53Aの動作を示しています。
 3. 破線は、ハイ・インピーダンスを示します。

図2-5 SRAMライト・アクセス・タイミング



- 備考1. ○印はトリガ・タイミングとサンプリング・タイミングです。
 2. 信号名の後ろの () 内は、V53Aの動作を示しています。
 3. 破線は、ハイ・インピーダンスを示します。

V53Aボードで使用しているSRAM(μ PD431008LE)には、3種類のアクセス時間があります。それらのSRAMをボード上に搭載したとき（SRAMとのインタフェース回路を使用したとき）のV53Aの動作周波数、ウェイトの挿入数による接続（アクセス）可否を表2-2に示します。

表2-2 SRAMの接続可否

動作周波数	アクセス時間	ウェイト数				
		0	1	2	3	4
20 MHz	20 ns	○	○	○	○	○
	17 ns	○	○	○	○	○
	15 ns	○	○	○	○	○
16 MHz	20 ns	○	○	○	○	○
	17 ns	○	○	○	○	○
	15 ns	○	○	○	○	○
12.5 MHz	20 ns	○	○	○	○	○
	17 ns	○	○	○	○	○
	15 ns	○	○	○	○	○
10 MHz	20 ns	○	○	○	○	○
	17 ns	○	○	○	○	○
	15 ns	○	○	○	○	○

備考 ○：接続可能

2.3 DRAMとの接続例

この節では、V53AとDRAMの接続例について説明します。

DRAMは、 $\overline{\text{RAS}}$ 、 $\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$ 、 $\overline{\text{OE}}$ 、 $\overline{\text{WE}}$ の各信号で制御します。DRAMをアクセスする手順は次のとおりです。

- ① $\overline{\text{RAS}}$ 端子へロウ・レベルを入力する。
- ② ロウ・アドレスを入力する。
- ③ アドレスをカラム・アドレスへ切り替えて入力する。
- ④ $\overline{\text{CAS}}$ 端子 ($\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$ 端子) へロウ・レベルを入力する。
- ⑤ $\overline{\text{OE}}$ 端子に $\overline{\text{MRD}}$ 信号のロウ・レベルを入力して、データを読み出す。また、 $\overline{\text{WE}}$ 端子に $\overline{\text{MWR}}$ 信号のロウ・レベルを入力して、データを書き込む。

V53Aボードで使用しているDRAM ($\mu\text{PD42S18160}$) は、アクセス時間が60 ns、リード/ライト・サイクル時間が110 nsであり、次の回路遅延要因を考慮して、2ウエイットの挿入で接続できます。

- アドレスが確定するまでの遅延時間 (V53AのAC特性: t_{DKA})
- アドレス・バッファ (図2-6のバッファ1) の遅延時間
- チップ・セレクト回路の遅延時間
- $\overline{\text{RAS}}/\overline{\text{CAS}}$ /アドレス切り替え回路の遅延時間
- データ・バッファ (図2-6のバッファ2) の遅延時間

V53Aボードでは、DRAMを1つ搭載しています。

$\mu\text{PD42S18160}$ は、1024 Kワード×16ビット構成です。リフレッシュは、256 msに1024ロウ・アドレスを選択する $\overline{\text{RAS}}$ オンリー・リフレッシュを行います。このDRAMは、メイン・メモリとして物理アドレス80000H-BFFFFH(切り替え用メモリ領域)に割り当てられ、拡張メモリとして物理アドレス600000H-7FFFFFFHの領域に割り当てられています。

図2-6にDRAM接続の基本構成を示します。

図2-6 DRAM接続の基本構成

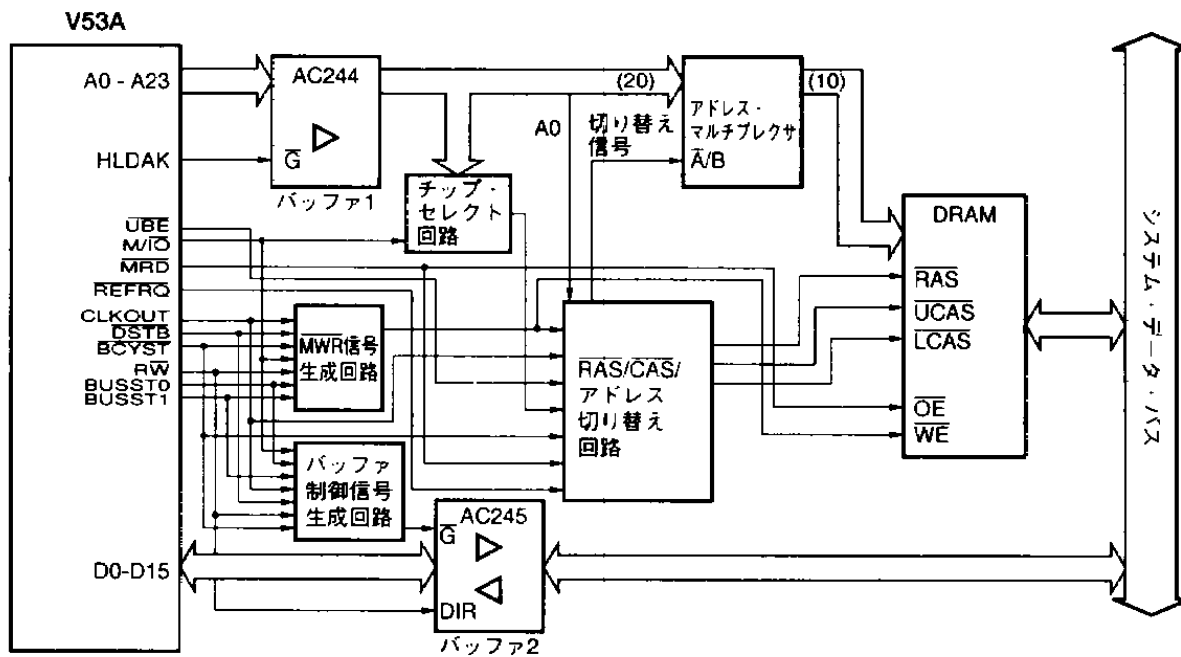


図2-6について次に説明します。

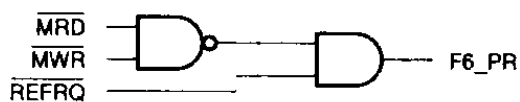
構成要素	機能
バッファ1	図2-1の説明を参照してください。
チップ・セレクト回路	DRAMをアクセスするための選択信号を生成する回路です。 DRAMのマッピングされた領域(メイン・メモリ: 80000H-BFFFFH, 拡張メモリ: 600000H-7FFFFFFH)をアクセスするために最低必要なアドレス線(A18-A23の6本)とM/ \overline{IO} 信号を使用します。
バッファ2	図2-1の説明を参照してください。
MWR信号生成回路	図2-3の説明を参照してください。
$\overline{RAS}/\overline{CAS}/$ アドレス切り替え回路	<ul style="list-style-type: none"> ○\overline{RAS}信号 \overline{BCYST}信号, チップ・セレクト信号, \overline{REFRQ}信号を組み合わせて生成します。CLKOUT信号に同期します。 ○\overline{CAS}信号 次の信号の組み合わせにより生成します。それぞれCLKOUT信号に同期します。 上位バイト・アクセス: \overline{RAS}信号と\overline{UBE}信号→\overline{UCAS}信号 下位バイト・アクセス: \overline{RAS}信号とA0信号→\overline{LCAS}信号 ○アドレス切り替え信号 DRAMへ入力するアドレスがロウ・アドレスかカラム・アドレスかを切り替える信号です。 これらの信号の詳細な説明は、2.3.1 $\overline{RAS}/\overline{CAS}/$アドレス切り替え回路を参照してください。
アドレス・マルチプレクサ	<p>μPD42S18160のアドレスは、アドレス・マルチプレクサを通して指定します。V53Aからのアドレス情報(A1-A20)をカラム・アドレス(A1-A10)とロウ・アドレス(A11-A20)の2回に分けて、μPD42S18160のアドレス端子(A0-A9)に入力します。</p> <p>アドレス・マルチプレクサは、アドレス切り替え信号が入力されると、そのタイミングでロウ・アドレスとカラム・アドレスを切り替えます。</p>

2.3.1 $\overline{\text{RAS}}/\overline{\text{CAS}}$ /アドレス切り替え回路

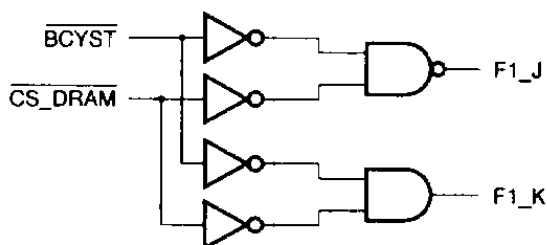
付録Bの図B-7の回路図に基づいて説明します。図中のPLD (PLD5) の内部論理を図2-7に示します。

図2-7 PLD5回路

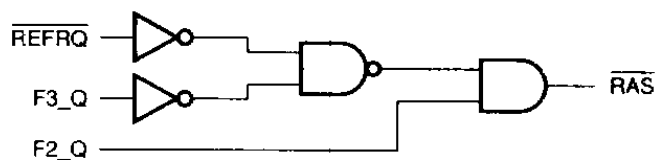
(a) F6_PR出力



(b) F1_J/F1_K出力



(c) $\overline{\text{RAS}}$ 出力



(1) $\overline{\text{RAS}}$ 信号

リード/ライト・サイクルでは、T1ステートの終わりのCLKOUT信号の立ち下がりで、 $\overline{\text{RAS}}$ 信号をロウ・レベルにします。リフレッシュ・サイクルでは、T2ステートのCLKOUT信号の立ち上がりでロウ・レベルにします。

図B-7で $\overline{\text{RAS}}$ 信号に関係する部分は、図2-7 (b)の回路、F1 (AC112)、F2の前段のANDとNAND、F2 (AC112)、図2-7 (c)の回路です。これらの部分について次表に説明します。

構成要素	機能
図2-7 (b)の回路	<p>この回路は、PLD5内にある等価回路です。</p> <p>リード/ライト・サイクル： $\overline{\text{BCYST}}$信号の反転とチップ・セレクト信号の反転のNANDをとった信号が、T1ステートのはじめのCLKOUT信号の立ち下がりでロウ・レベルになります。この回路は、F1のJ端子にロウ・レベルをラッチさせるタイミングを生成します。またこのとき、ANDの出力はハイ・レベルになります。この回路は、F1のK端子にハイ・レベルをラッチさせるタイミングを生成します。</p> <p>リフレッシュ・サイクル： リフレッシュ・サイクル時では、チップ・セレクト信号がアクティブ（ロウ・レベル）にならないため、F1_Jにハイ・レベルを、F1_Kにロウ・レベルを出力します。</p>
F1	<p>リード/ライト・サイクル： F1のJ端子には、T1ステートのはじめのCLKOUT信号の立ち下がりでロウ・レベルを入力します。このとき、K端子の入力はハイ・レベルになります。</p> <p>これらの信号をT1ステートの終わりのCLKOUT信号の立ち下がりでラッチし、次のT2ステートの終わりのCLKOUT信号の立ち上がりまでQ端子にロウ・レベルを出力します。</p> <p>リフレッシュ・サイクル： リフレッシュ・サイクルでは、J入力がハイ・レベル、K入力がロウ・レベルのため、Q端子にハイ・レベルを出力します。</p>
F2前段のANDとNAND	<p>リード/ライト・サイクル： F1のJ端子の入力信号とF1のQ端子の出力信号のANDをとることにより、T1ステートとT2ステートの終わりのCLKOUT信号の立ち下がりでハイ・レベルになる信号を生成し、F2のJ端子へ入力します。</p> <p>NANDで、同じタイミングでロウ・レベルになる信号を生成し、F2のK端子へ入力します。</p> <p>リフレッシュ・サイクル： リフレッシュ・サイクルでは、F2のJ端子にハイ・レベル、K端子にロウ・レベルを入力します。</p>

構成要素	機能
F2	<p>リード/ライト・サイクル：</p> <p>F2のJ, K端子に入力された信号をT1ステートとT2ステートの終わりのCLKOUT信号の立ち下がりでラッチします。Q出力は、T2ステートと1つ目のTWステート間ロウ・レベルです。</p> <p>この信号が、DRAMのアクセスに必要な$\overline{\text{RAS}}$信号になり、アドレス切り替え信号の生成や$\overline{\text{CAS}}$信号の生成に使用されます。</p> <p>図2-7(c)の回路へ入力する理由は、リフレッシュ時の場合も考慮するためです。図2-7(c)の回路図より、リード/ライト・サイクルでは、F2のQ信号がロウ・レベルであれば、$\overline{\text{RAS}}$信号がロウ・レベルになります。</p> <p>リフレッシュ・サイクル：</p> <p>F2は、J端子にハイ・レベルをK端子にロウ・レベルを入力し、CLKOUT信号の立ち下がりでラッチして、Q端子にハイ・レベルを出力します。この信号は図2-7(c)の回路へ入力されますが、リフレッシュ・サイクル時であるため、$\overline{\text{REFRQ}}$信号と$\overline{\text{RAS}}$信号はロウ・レベルになります。</p>
図2-7(c)の回路	<p>この回路は、PLD5内にある等価回路です。</p> <p>リード/ライト・サイクル：</p> <p>F2のQ端子からの出力信号(F2_Q)がT2ステートと1つ目のTWステートでロウ・レベルとなるため、PLD5の$\overline{\text{RAS}}$端子にほぼ同じタイミングの信号を出力し、DRAMの$\overline{\text{RAS}}$端子へ入力します。このとき$\overline{\text{REFRQ}}$信号はインアクティブです。</p> <p>リフレッシュ・サイクル</p> <p>$\overline{\text{REFRQ}}$信号は、T1ステートのCLKOUT信号の立ち上がりでロウ・レベルになり、T4ステートのCLKOUT信号の立ち上がりでハイ・レベルになります。</p> <p>F3は$\overline{\text{REFRQ}}$信号をラッチし、T2ステートのCLKOUT信号の立ち上がりから、次のバス・サイクルのT1ステートのCLKOUT信号の立ち上がりまで、Q端子にロウ・レベルを出力します。</p> <p>F2のQ出力はハイ・レベルなので、$\overline{\text{REFRQ}}$信号とF3のQ出力のNORをとった信号が$\overline{\text{RAS}}$信号になります。このため、T2ステートのCLKOUT信号の立ち上がりからT4ステートのCLKOUT信号の立ち上がりまで、$\overline{\text{RAS}}$信号はロウ・レベルになります。</p>

(2) アドレス切り替え信号

リード/ライト・サイクルでは、T2ステートのCLKOUT信号の立ち上がりでアドレス切り替え信号をロウ・レベルにします。リフレッシュ・サイクルでは、全ステートでロウ・レベルに保持します。

図B-7でアドレス切り替え信号に関係する部分は、F5 (AC74) のDフリップ・フロップです。この部分について次表に説明します。

構成要素	機能
F5	<p>DRAMへ入力するアドレスの切り替えタイミングを生成します。</p> <p>リード/ライト・サイクル：</p> <p>F5のD端子は、T1ステートでハイ・レベル、T1ステートの終わりの立ち下がりから1つ目のTWステートの終わりまでロウ・レベルになる信号 (F2_Q) を入力します。</p> <p>F5はCLKOUT信号の立ち上がりでこの入力をラッチするので、T2ステートのCLKOUT信号の立ち上がりでロウ・レベルをラッチし、このタイミングでDRAMへ入力するアドレスを切り替えることになります。</p> <p>このアドレス切り替え信号は、T2ステートのCLKOUT信号の立ち上がりまでハイ・レベルです。したがってマルチプレクサAC157は、V53Aの上位アドレス (A11-A20) をロウ・アドレスとしてDRAMへ入力します。またアドレス切り替え信号は、T2ステートのCLKOUT信号の立ち上がり以降はロウ・レベルなので、V53Aからの下位アドレス (A1-A10) をカラム・アドレスとしてDRAMへ入力します。</p> <p>リフレッシュ・サイクル：</p> <p>リフレッシュ・サイクル時、V53Aが出力するリフレッシュ・アドレス^注がA1-A10のため、DRAMへも下位側のアドレスをAC157から出力します。したがって、アドレス切り替え信号は、$\overline{\text{RAS}}$信号より先にロウ・レベルにしておきます。</p> <p>通常ハイ・レベルの$\overline{\text{REFRQ}}$信号をF5の$\overline{\text{CL}}$端子 (クリア) に入力しておきます。リフレッシュ・サイクル時、$\overline{\text{REFRQ}}$信号がT1の立ち上がりでロウ・レベルとなるため、F5のQ端子からの出力信号はロウ・レベルになります。AC157の下位側が選択され、V53Aからのアドレス出力信号 (A1-A10) が入力されます。</p>

注 リフレッシュ・アドレスは、24ビット中下位16ビットだけがカウントされます。ただし、リフレッシュ間隔を設定するタイマの値によっては、さらに下位数ビットだけがカウントされます。

V53Aボードでは、A1-A10の10ビットだけがカウントされ、ほかのアドレス信号からは常に0が出力されます。

(3) CAS信号

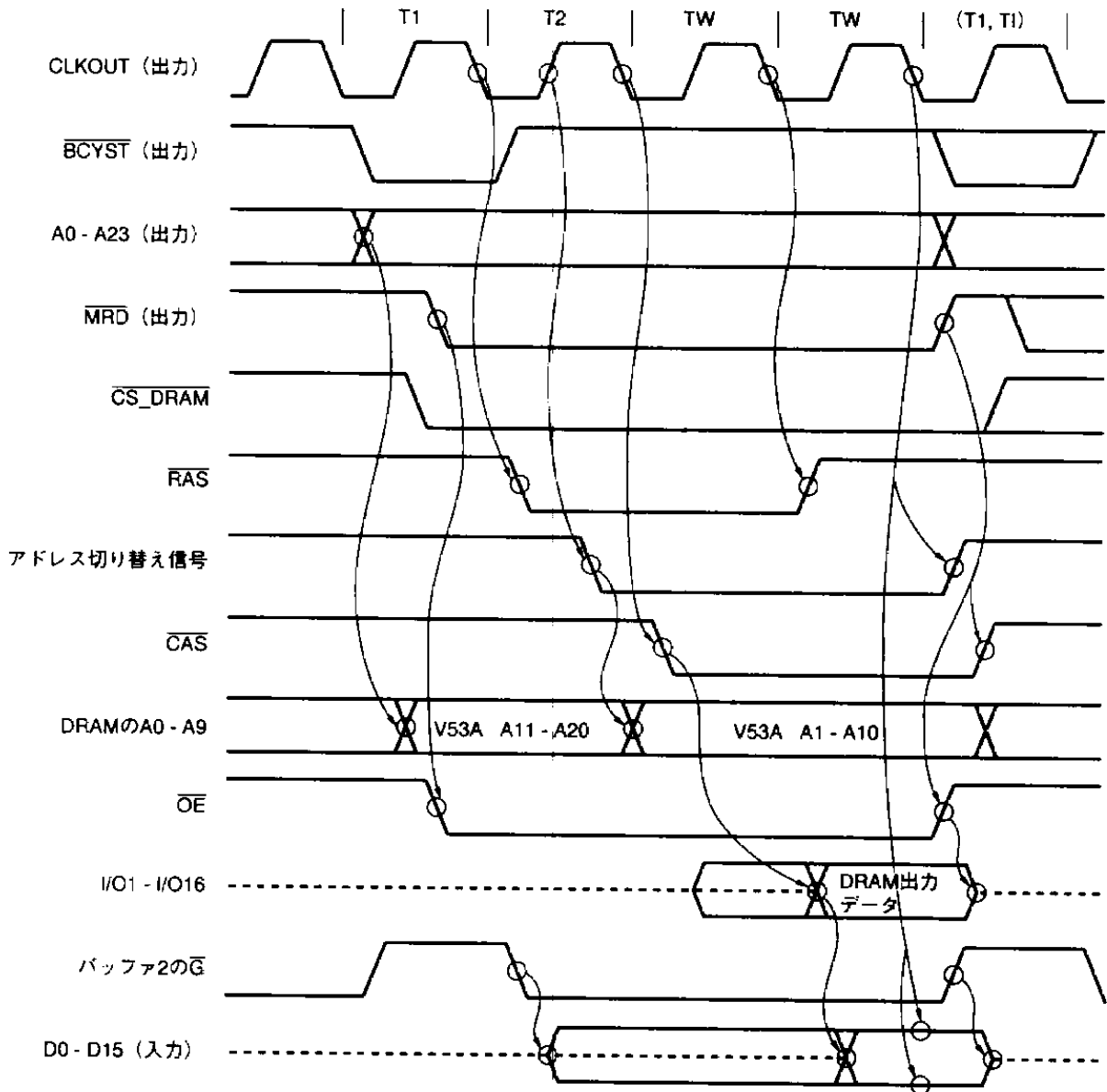
リード/ライト・サイクルでは、T2ステートの終わりのCLKOUT信号の立ち下がりによってCAS信号をロウ・レベルにします。リフレッシュ・サイクルでは、全ステートでハイ・レベルに保持します。

図B-7でCAS信号に関係する部分は、F6の前段OR/NOR、F6a/F6b(AC112)、図2-7(a)の回路です。これらの部分について次表に説明します。

構成要素	機能
F6の前段OR/NOR	<p>OR/NORは、A0、\overline{UBE}およびF5のQ信号により、データ・アクセスが下位8ビット(D0-D7)か上位8ビット(D8-D15)かまたは16ビットかを制御するために用います。</p> <p>リード/ライト・サイクル： A0信号がロウ・レベルのときはF6aに、また\overline{UBE}信号がロウ・レベルのときはF6bに、それぞれF5のQ出力を入力します。このとき、F6のJ端子にはQ出力をそのまま入力し、K端子にはQ出力の反転信号を入力します。</p> <p>リフレッシュ・サイクル： リード/ライト・サイクルと同様、F5のQ出力をF6へ入力しますが、F6ではこの入力を無効にします。</p>
F6a/F6b	<p>DRAMへ入力する\overline{UCAS}信号と\overline{LCAS}信号のタイミングを生成します。F6aが下位8ビット・アクセス、F6bが上位8ビット・アクセスです。</p> <p>リード/ライト・サイクル： F6のJ端子は、アドレス切り替え信号とA0または\overline{UBE}信号のORをとった信号を入力します。またK端子はその反転信号を入力します。この信号のロウ・レベルをT2ステートの終わりのCLKOUT信号の立ち下がりによってラッチし、Q端子にロウ・レベルを出力します。これをF6の\overline{CL}端子へ入力することによりF6はクリアされ、ロウ・レベル出力を保持します。この信号が\overline{UCAS}信号または\overline{LCAS}信号になります。</p> <p>また、この信号がハイ・レベルになるタイミングは、\overline{PR}入力がロウ・レベルになるときです。</p> <p>リフレッシュ・サイクル： リフレッシュ・サイクルでは、\overline{PR}端子への入力信号(図2-7(a)の回路)によりQ出力が決まります。すなわち、K端子への入力は動作に影響しません。このサイクルでは、CAS信号をハイ・レベルに保持します。</p>

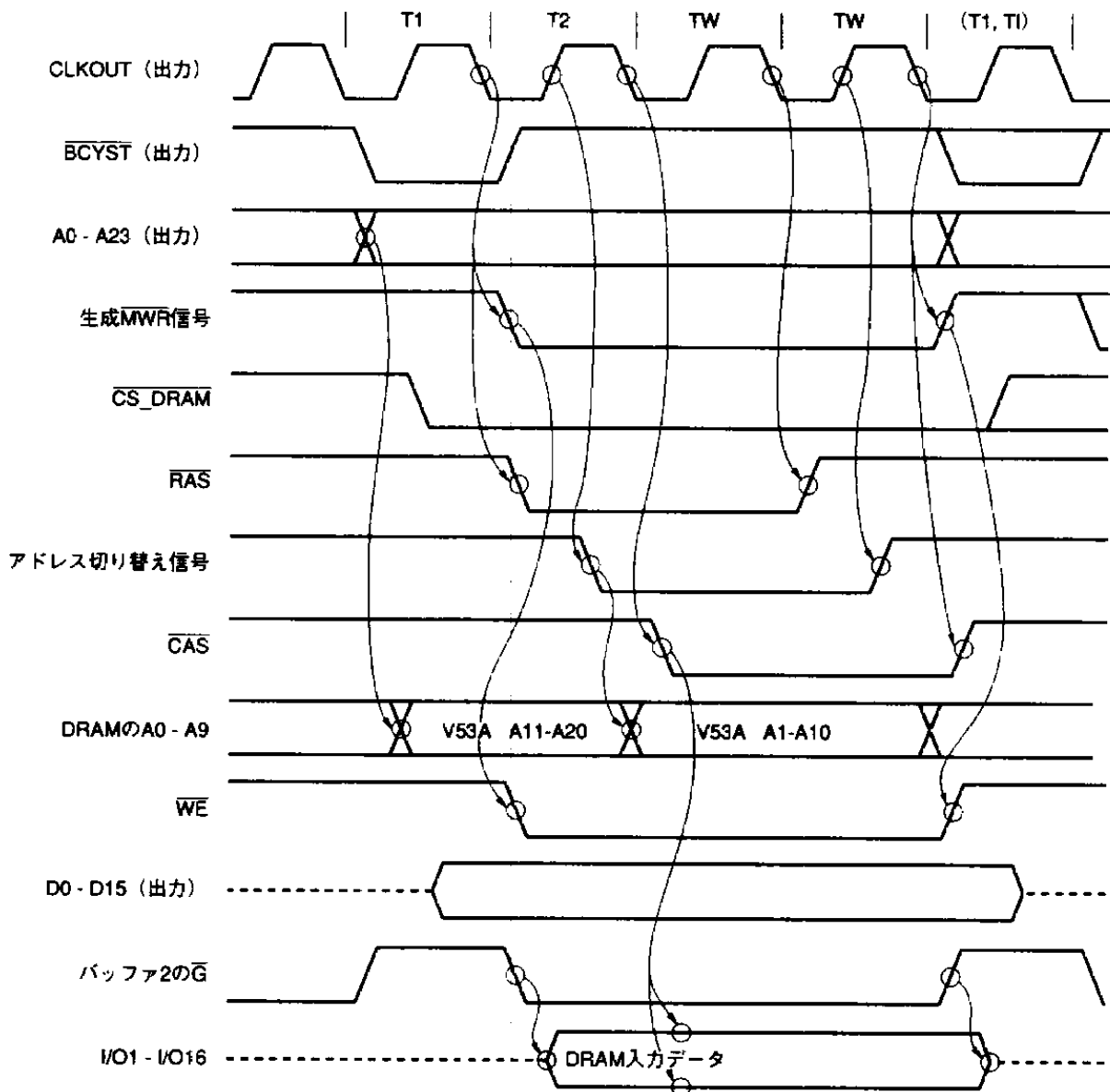
構成要素	機能
図 2-7 (a)の回路	<p>この回路は、PLD5内にある等価回路です。$\overline{\text{CAS}}$信号のDRAMへの出力を制御します。</p> <p>リード/ライト・サイクル： $\overline{\text{MRD}}$信号または$\overline{\text{MWR}}$信号がアクティブのとき、ハイ・レベル信号を出力します。この信号をF6の$\overline{\text{PR}}$端子に入力すると、F6は通常のラッチ動作をします。$\overline{\text{MRD}}$信号または$\overline{\text{MWR}}$信号がインアクティブになると、F6の$\overline{\text{PR}}$端子にロウ・レベルを出力します。</p> <p>リフレッシュ・サイクル： $\overline{\text{REFRQ}}$信号がアクティブのとき、F6の$\overline{\text{PR}}$端子にロウ・レベル信号を出力します。</p>

図2-8 DRAMリード・アクセス・タイミング



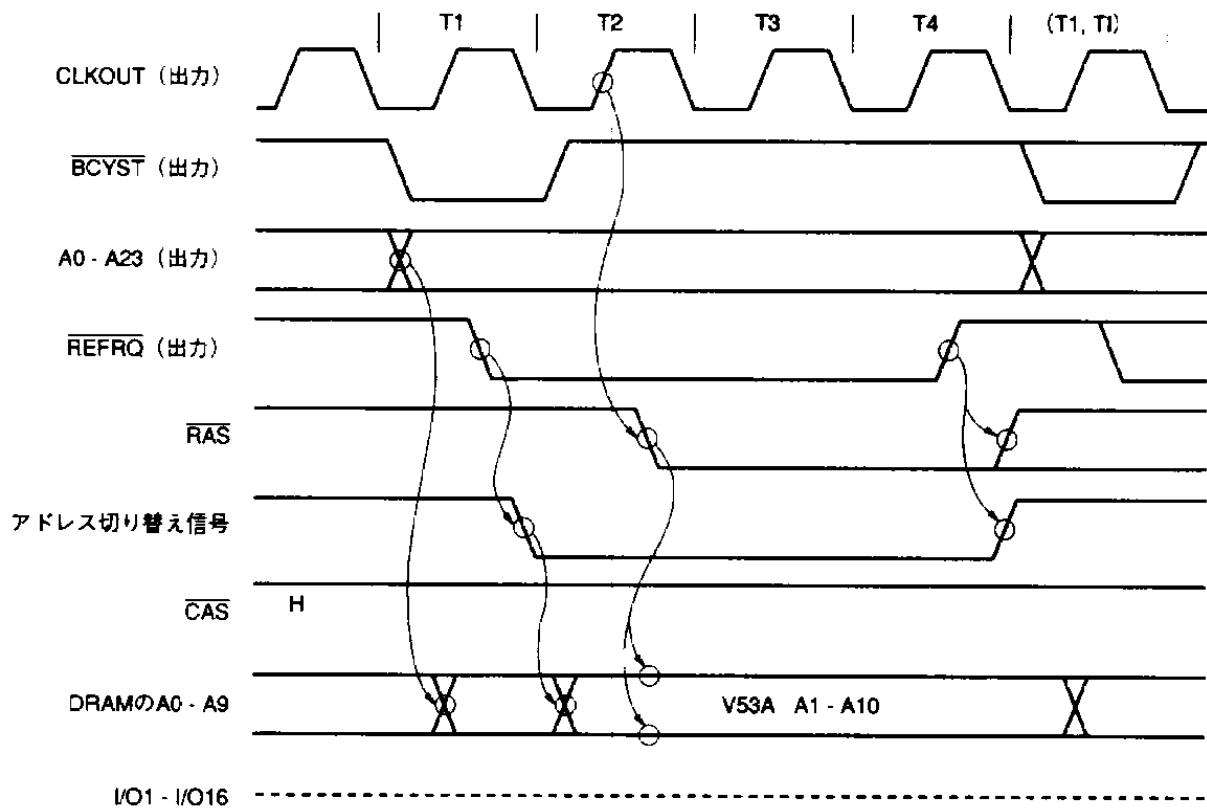
- 備考1. ○印はトリガ・タイミングとサンプリング・タイミングです。
 2. 信号名の後ろの () 内は、V53Aの動作を示しています。
 3. 破線は、ハイ・インピーダンスを示します。

図2-9 DRAMライト・アクセス・タイミング



- 備考1. ○印はトリガ・タイミングとサンプリング・タイミングです。
- 2. 信号名の後ろの () 内は、V53Aの動作を示しています。
- 3. 破線は、ハイ・インピーダンスを示します。

図2-10 DRAMリフレッシュ・タイミング



- 備考1. ○印はトリガ・タイミングとサンプリング・タイミングです。
 2. 信号名の後ろの () 内は、V53Aの動作を示しています。
 3. 破線は、ハイ・インピーダンスを示します。

V53Aボードで使用しているDRAM (μ PD42S18160) には、4種類のアクセス時間があります。それらのDRAMをボード上に搭載したときの(DRAMとのインタフェース回路を使用したとき)V53Aの動作周波数、ウェイトの挿入数による接続(アクセス)可否を表2-3に示します。

表2-3 DRAMの接続可否

動作周波数	アクセス時間	ウェイト数				
		0	1	2	3	4
20 MHz	80 ns	×	×	○注1	○注1	○注1
	70 ns	×	×	○注1	○注1	○注1
	60 ns	×	×	○注1	○注1	○注1
	50 ns	×	○	○	○	○
16 MHz	80 ns	×	×	○	○	○
	70 ns	×	△注2	○	○	○
	60 ns	×	○	○	○	○
	50 ns	×	○	○	○	○
12.5 MHz	80 ns	×	○	○	○	○
	70 ns	×	○	○	○	○
	60 ns	×	○	○	○	○
	50 ns	×	○	○	○	○
10 MHz	80 ns	×	○	○	○	○
	70 ns	×	○	○	○	○
	60 ns	×	○	○	○	○
	50 ns	×	○	○	○	○

注1. これらの接続について、V53Aボードの回路ではDRAMの規格にある t_{RAH} (ロウ・アドレスのホールド時間)が数ns足りません。したがって、回路の変更が必要です。

2. 動作周波数16 MHz、DRAMアクセス時間70 nsの場合、V53Aボードの回路ではDRAMの規格にある t_{RP} (RAS信号のプリチャージ時間)が数ns足りません。したがって、回路の変更が必要です。

備考 ×：接続不可能

△：接続不可能 (回路変更で接続可能)

○：接続可能

2.4 疑似SRAMとの接続例

この節では、V53Aと疑似SRAMとの接続例について説明します。

疑似SRAMは、 \overline{CE} 、 \overline{CS} 、 \overline{OE} 、 \overline{WE} の各信号によって制御します。V53Aボードで使用している疑似SRAM (μ PD428128L-80)は、アクセス時間が80 nsです。したがって、20 MHz動作時の場合3ウェイトの挿入で接続できます。

V53Aボードでは、疑似SRAMを2つ搭載し、16ビット・データ・バスの上位、下位にそれぞれ使用しています。

μ PD428128は、128 Kワード×8ビット構成です。V53Aボードでは、128 Kワード×16ビットの構成とし、メイン・メモリとして物理アドレス80000H-BFFFFH (切り替え用メモリ領域) に、拡張メモリとして物理アドレス200000H-3FFFFFFHの領域に割り当てられています。

図2-11に疑似SRAM接続の基本構成を示します。

図2-11 疑似SRAM接続の基本構成

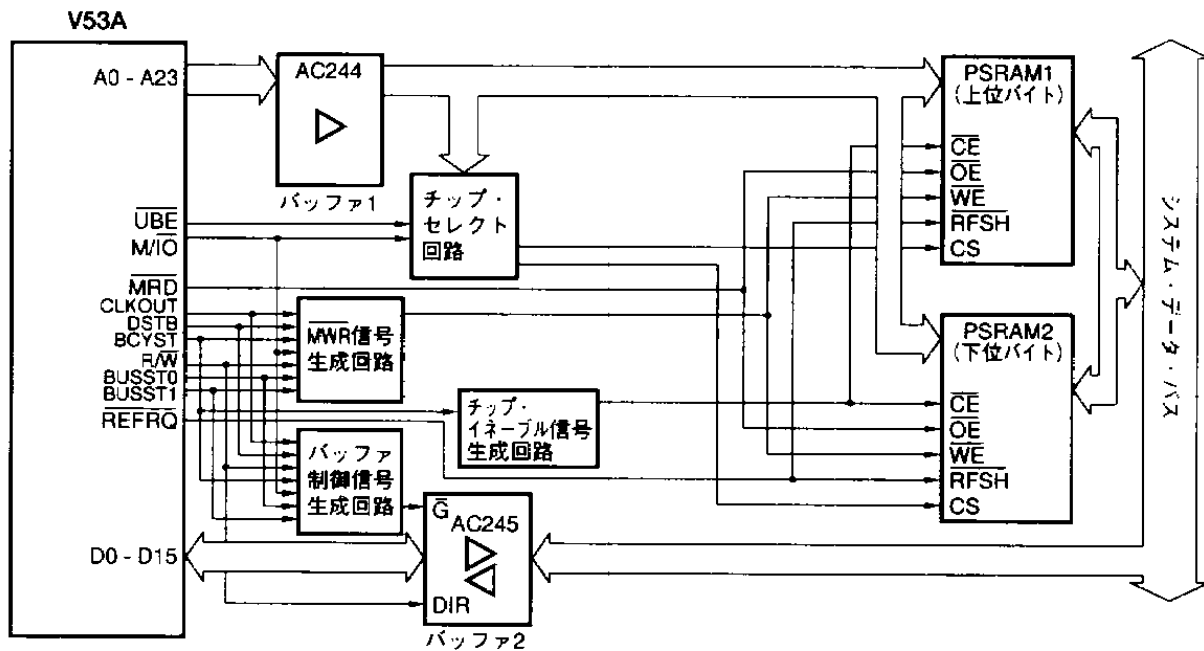
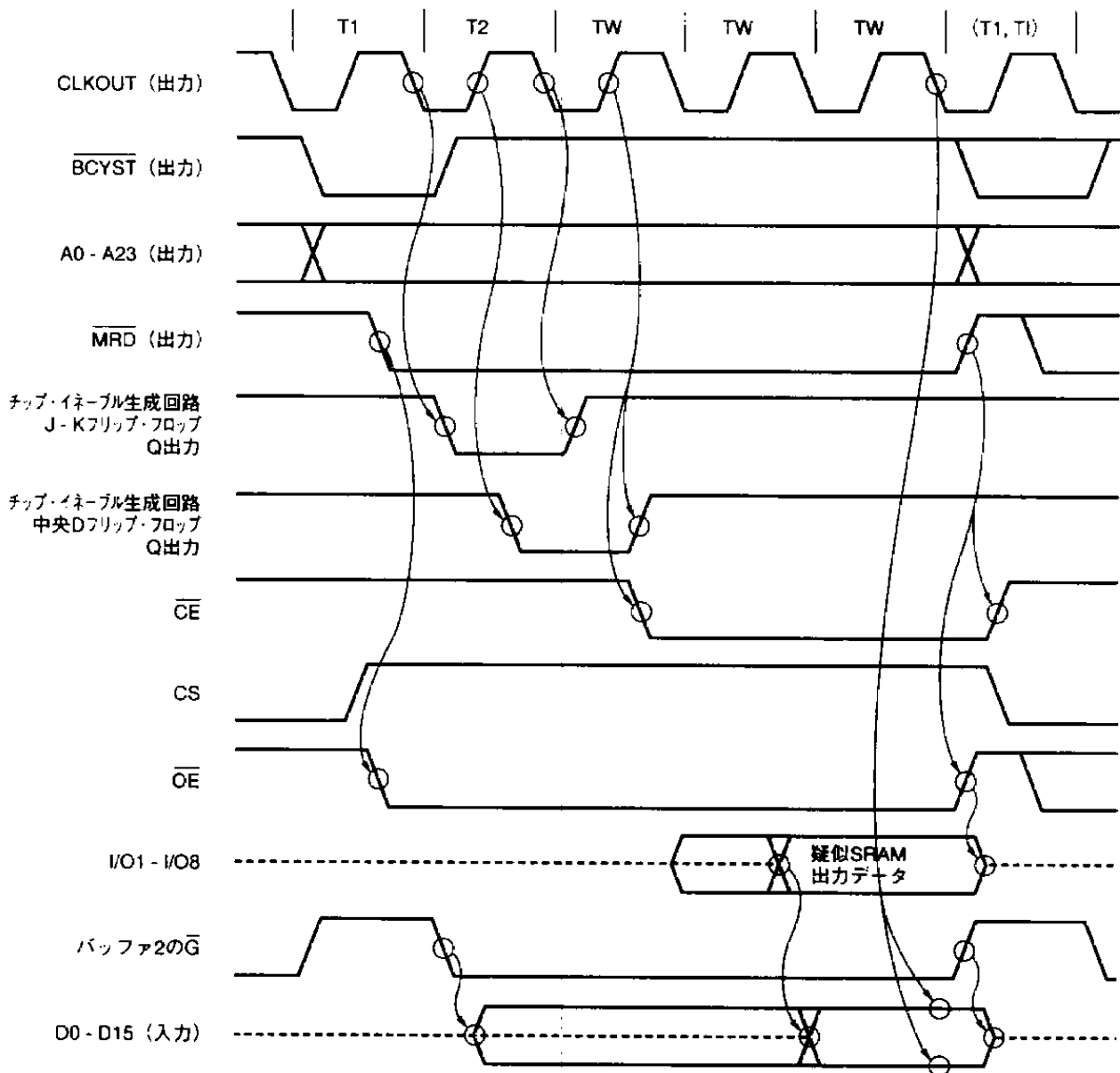


図2-11について次に説明します。

構成要素	機能
バッファ1	図2-1の説明を参照してください。
チップ・セレクト回路	<p>疑似SRAMをアクセスするための選択信号を生成する回路です。</p> <p>疑似SRAMのマッピングされた領域（メイン・メモリ：80000H-BFFFFH，拡張メモリ：200000H-3FFFFFFH）をアクセスするために最低必要なアドレス線（A18-A23の6本）と$\overline{M}/\overline{IO}$，$\overline{UBE}$，A0の各信号を使用します。上位バイト側のメモリ・アクセスには\overline{UBE}信号を，下位バイト側のメモリ・アクセスにはA0信号を使用します。</p>
バッファ2	図2-1の説明を参照してください。
MWR信号生成回路	図2-3の説明を参照してください。
チップ・イネーブル信号生成回路	<p>疑似SRAMへのリード/ライトとリフレッシュ^注を行うためのイネーブル信号を生成する回路です。</p> <p>この信号は，V53Aから出力される\overline{BCYST}信号をJKフリップ・フロップとDフリップ・フロップでラッチし，次に示す回路で生成しています。この信号は，1つ目のTWステートのCLKOUT信号の立ち上がりでロウ・レベルになり，\overline{MRD}信号と\overline{MWR}信号がインアクティブになるとハイ・レベルになります（図2-12の\overline{CE}信号参照）。</p> <div style="text-align: center;"> <p>チップ・イネーブル生成回路</p> </div>

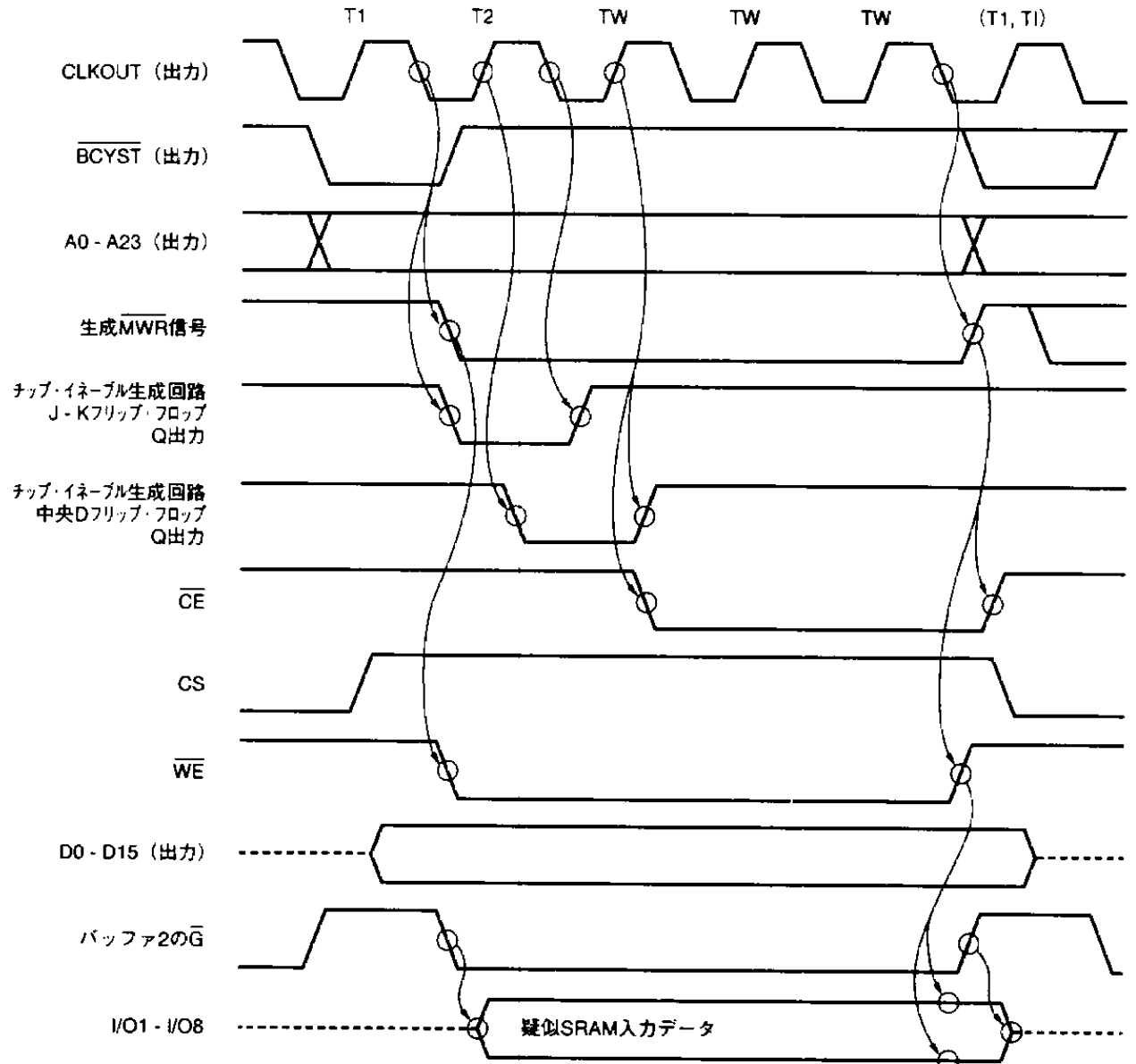
注 V53Aボードで使用する疑似SRAMは， \overline{RFSH} 端子の1ピンを使用するだけでリフレッシュが行えます。したがって，パルス・リフレッシュと呼ばれる外部からのアドレス入力はありません。

図2-12 疑似SRAMリード・アクセス・タイミング



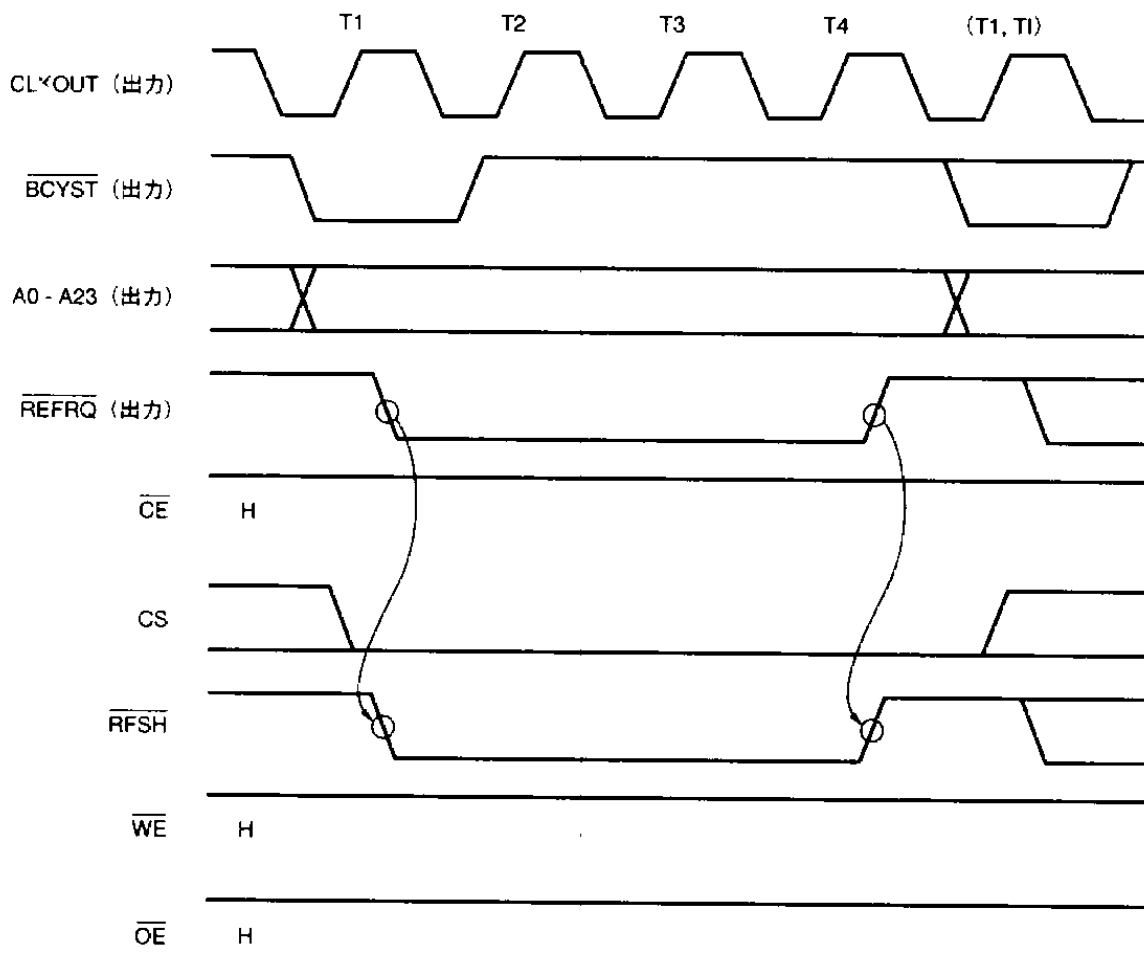
- 備考1. ○印はトリガ・タイミングとサンプリング・タイミングです。
 2. 信号名の後ろの () 内は, V53Aの動作を示しています。
 3. 破線は, ハイ・インピーダンスを示します。

図2-13 疑似SRAMライト・アクセス・タイミング



- 備考1. ○印はトリガ・タイミングとサンプリング・タイミングです。
- 2. 信号名の後ろの()内は、V53Aの動作を示しています。
- 3. 破線は、ハイ・インピーダンスを示します。

図 2-14 疑似SRAMリフレッシュ・タイミング



- 備考1. ○印はトリガ・タイミングとサンプリング・タイミングです。
 2. 信号名の後ろの () 内は, V53Aの動作を示しています。
 3. 破線は, ハイ・インピーダンスを示します。

V53Aボードで使用している疑似SRAM(μ PD428128)には、3種類のアクセス時間があります。それらの疑似SRAMをボード上に搭載したときの(疑似SRAMとのインタフェース回路を使用したとき)V53Aの動作周波数、ウェイトの挿入数による接続(アクセス)可否を表2-4に示します。

表2-4 疑似SRAMの接続可否

動作周波数	アクセス時間	ウェイト数				
		0	1	2	3	4
20 MHz	120 ns	×	×	×	○	○
	100 ns	×	×	×	○	○
	80 ns	×	×	×	○	○
16 MHz	120 ns	×	×	×	○	○
	100 ns	×	×	×	○	○
	80 ns	×	×	×	○	○
12.5 MHz	120 ns	×	×	×	○	○
	100 ns	×	×	×	○	○
	80 ns	×	×	○	○	○
10 MHz	120 ns	×	×	○	○	○
	100 ns	×	×	○	○	○
	80 ns	×	×	○	○	○

備考 ×：接続不可能

○：接続可能

2.5 ページ機能付きPROMとの接続例

この節では、V53Aとページ機能付きPROMの接続例について説明します。

ページ機能付きPROMは、 \overline{CE} 信号と \overline{OE} 信号で制御します。V53Aボードで使用しているページ機能付きPROM(μ PD27C4040)は、ページ外からのアクセス時間が80 ns、ページ内のアクセス時間が40 nsです。1バス・サイクルが100 ns (20 MHz動作時) の場合、ページ外からのアクセスに2ウェイト、ページ内でのアクセスに1ウェイトの挿入で接続できます。

なお、このウェイト挿入は、V53Aの \overline{READY} 制御で行います。

備考 ● ページ外アクセス

現在と前回のバス・サイクルのアドレスのA2以上 (A2-A17) の値が異なるアクセス

● ページ内アクセス

現在と前回のバス・サイクルのアドレスのA2以上 (A2-A17) の値が等しいアクセス (ページ外アクセスより高速)

V53Aボードでは、ページ機能付きPROMを1つ搭載しています。

μ PD27C4040は、256 Kワード×16ビット構成です。このPROMは、メイン・メモリとして物理アドレス800000H-BFFFFHの領域(切り替え用メモリ領域)に、拡張メモリとして物理アドレス800000H-9FFFFHの領域に割り当てられています。

図2-15にページ機能付きPROM接続の基本構成を示します。

図2-15 ページ機能付きPROM接続の基本構成

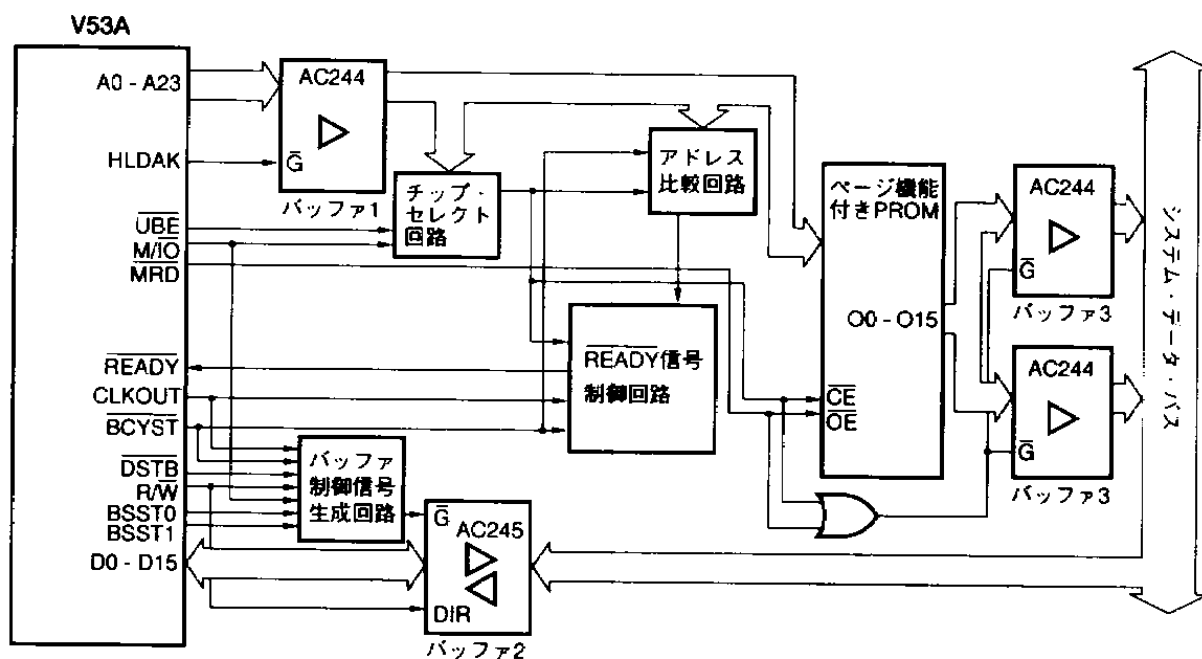


図 2-1S について以下に説明します。

構成要素	機 能
バッファ 1	図 2-1 の説明を参照してください。
チップ・セレクト回路	ページ機能付き PROM をアクセスするための選択信号を生成する回路です。 ページ機能付き PROM のマッピングされた領域 (メイン・メモリ: 80000H - BFFFFH, 拡張メモリ: 800000H - 9FFFFFFH) をアクセスするために最低必要なアドレス線 (A18-A23 の 6 本) と M/IO 信号を使用します。
バッファ 2	図 2-1 の説明を参照してください。
アドレス比較回路	<p>この回路では、前のバス・サイクルのアドレスと現在のバス・サイクルのアドレスを比較して、ページの内/外を判定します。</p> <p>バス・サイクルごとに $\overline{\text{BCYST}}$ 信号の立ち上がりでアドレス (A3-A18) を AC574 でラッチし、次のバス・サイクルで $\overline{\text{CS_P_PROM}}$ 信号 (チップ・セレクト信号) がアクティブになると、ラッチしたアドレスと現在のアドレスを比較します。比較の結果、異なっていればページ外としてハイ・レベルを、同じであればページ内としてロウ・レベルを、$\overline{\text{READY}}$ 信号制御回路へ入力します。次にアドレス比較回路を示します。</p>

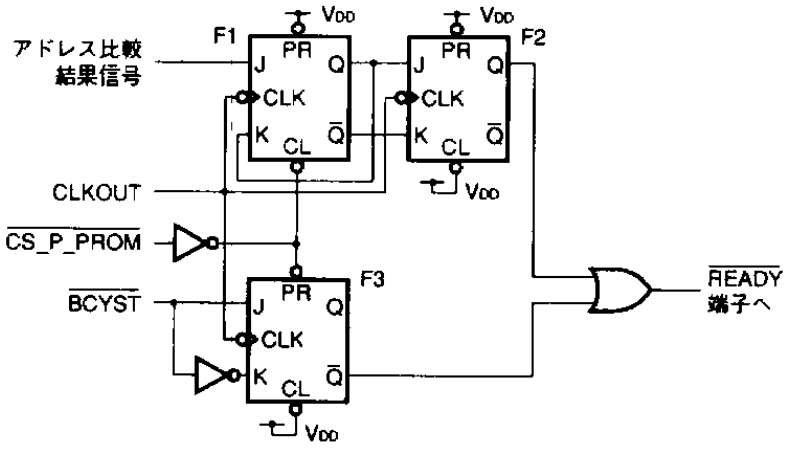
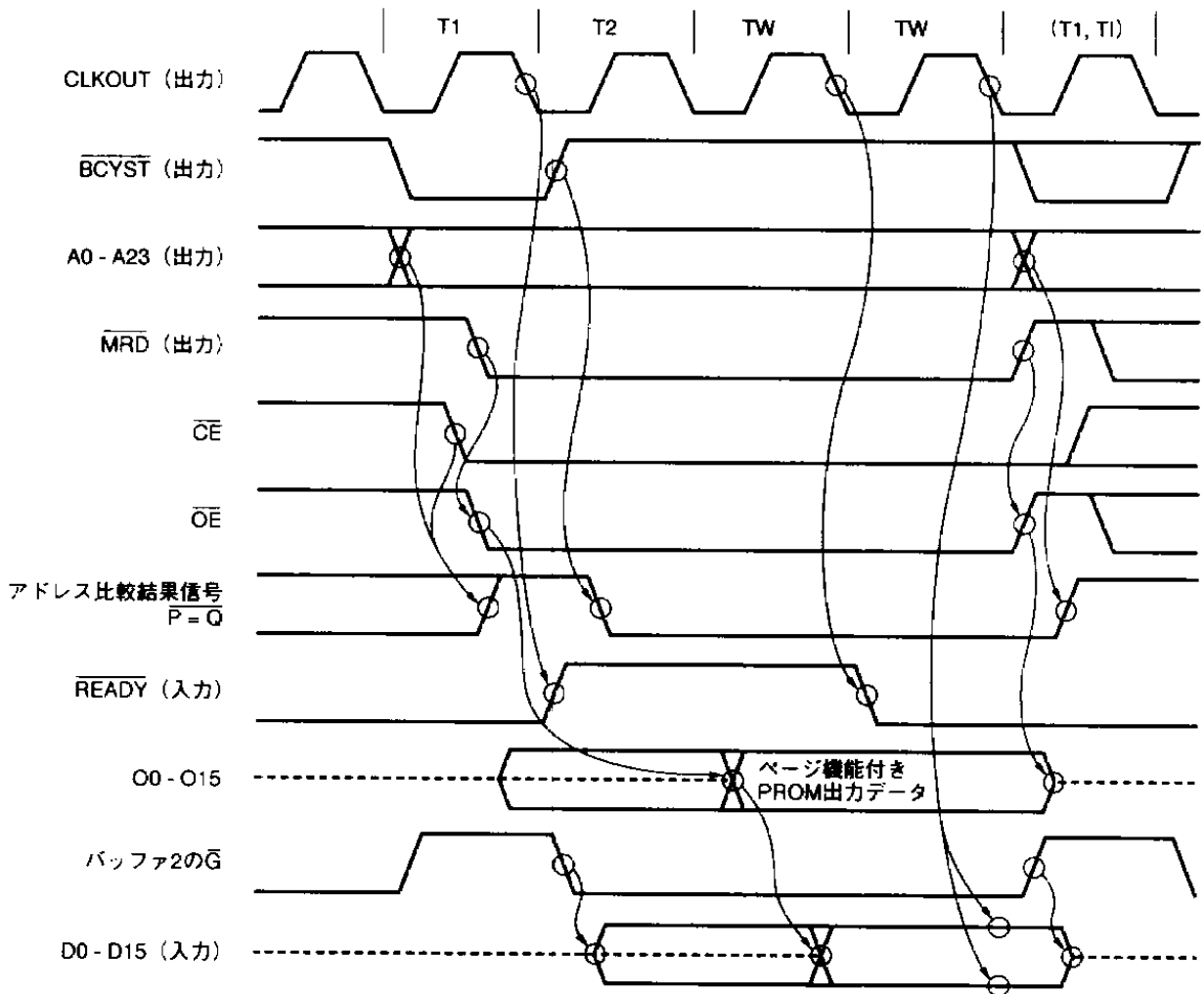
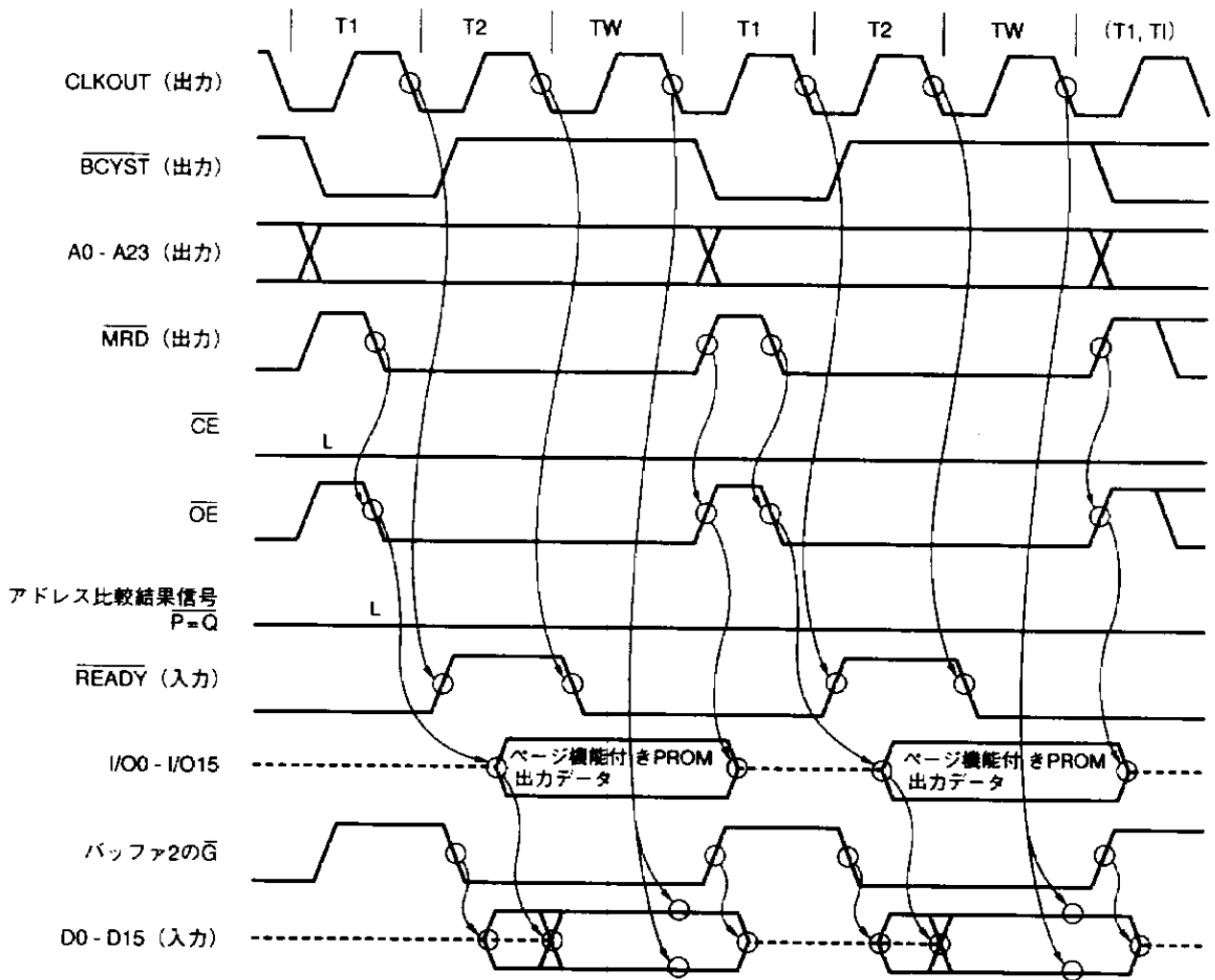
構成要素	機能
READY信号制御回路	<p>この回路は、$\overline{CS_P_PROM}$信号がアクティブになると、下図のF1, F3のフリップ・フロップのCL, PR端子にハイ・レベル信号を入力し、\overline{READY}端子に有効な信号を出力します。</p> <p>次に、ページ外からのアクセスの場合の回路動作を説明します。</p> <p>T1ステートの終わりのCLKOUT信号の立ち下がり時に\overline{BCYST}信号のロウ・レベルをF3でラッチし、\overline{Q}端子にT2ステートの間ハイ・レベルを出力します。</p> <p>T1ステートの終わりのCLKOUT信号の立ち下がり時にアドレス比較結果信号のハイ・レベルをF1でラッチし、T2ステートの間Q端子にハイ・レベルを出力します。その他のステートでは、ロウ・レベルを出力します。</p> <p>T2ステートの終わりのCLKOUT信号の立ち下がり時にF1のQ出力のハイ・レベルをF2でラッチし、次のTWステートの間Q端子にハイ・レベルを出力します。このF1, F2により、2つ目のウェイトを挿入するかどうかを決定します。</p> <p>F2のQ出力とF3の\overline{Q}出力のORをと、\overline{READY}端子へ入力します。T2ステートのCLKOUT信号の立ち上がり時、次のTWステートのCLKOUT信号の立ち上がりで、V53Aはこの信号のハイ・レベルをサンプリングします。この入力によりウェイト・サイクルが2つ挿入されます。</p> <p>ページ内のアクセスの場合は、F3の\overline{Q}端子からの出力信号だけになるため、挿入されるウェイト・サイクルは1つです。</p> 

図2-16 ページ機能付きPROMのページ外からのリード・アクセス・タイミング



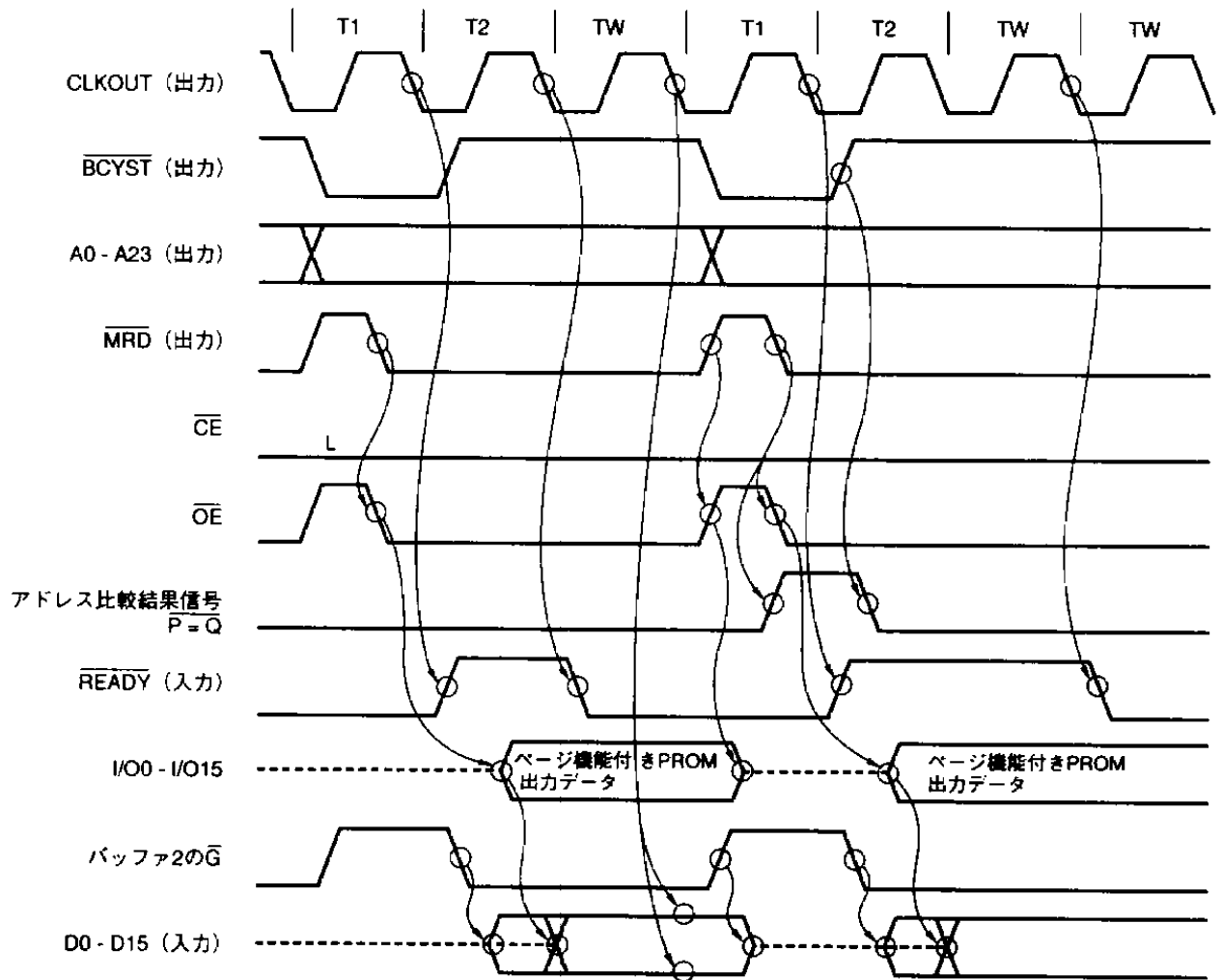
- 備考1. ○印はトリガ・タイミングとサンプリング・タイミングです。
- 2. 信号名の後ろの () 内は, V53Aの動作を示しています。
- 3. 破線は, ハイ・インピーダンスを示します。

図 2-17 ページ機能付きPROMのページ内の連続リード・アクセス・タイミング



- 備考 1. ○印はトリガ・タイミングとサンプリング・タイミングです。
 2. 信号名の後ろの () 内は, V53Aの動作を示しています。
 3. 破線は, ハイ・インピーダンスを示します。

図2-18 ページ機能付きPROMのページ内からページ外へのリード・アクセス・タイミング



- 備考1. ○印はトリガ・タイミングとサンプリング・タイミングです。
 2. 信号名の後ろの()内は、V53Aの動作を示しています。
 3. 破線は、ハイ・インピーダンスを示します。

V53Aボードで使用しているページ機能付きPROM(μ PD27C4040)には、3種類のアクセス時間があります。これらのページ機能付きPROMをボード上に搭載したときの(ページ機能付きPROMとのインタフェース回路を使用したとき) V53Aの動作周波数、ウェイトの挿入数による接続(アクセス)可否を表2-5に示します。

この表でのウェイト数は、ページ外からページ内へのアクセス時の挿入数です。このボードでは、ウェイトの挿入をハードウェア的に(V53AのWCUを用いずに)行っているため、0, 1ウェイトの挿入はできません。

V53AのWCUに2ウェイト以上設定すると、WCUの設定値によるウェイト・サイクルと $\overline{\text{READY}}$ 端子によるウェイト・サイクルとの論理和の形でウェイトが挿入されるため、ページ外とページ内でウェイト数が同じになります。

表2-5 ページ機能付きPROMの接続可否(ページ外)

動作周波数	アクセス時間	ウェイト数				
		0	1	2	3	4
20 MHz	120 ns	×	×	○	○	○
	100 ns	×	×	○	○	○
	80 ns	×	×	○	○	○
16 MHz	120 ns	×	×	○	○	○
	100 ns	×	×	○	○	○
	80 ns	×	×	○	○	○
12.5 MHz	120 ns	×	×	○	○	○
	100 ns	×	×	○	○	○
	80 ns	×	×	○	○	○
10 MHz	120 ns	×	×	○	○	○
	100 ns	×	×	○	○	○
	80 ns	×	×	○	○	○

備考 ×：接続不可能

○：接続可能

2.6 フラッシュ・メモリとの接続例

この節では、V53Aとフラッシュ・メモリの接続例について説明します。

フラッシュ・メモリは、 \overline{CE} 信号と \overline{OE} 信号によって制御します。V53Aボードで使用しているフラッシュ・メモリ (μ PD28F4000) は、アクセス時間が120 nsであり、20 MHz動作時は3ウエイットの挿入で接続できます。また、データ出力遅延時間が最大50 nsと長いので、フラッシュ・メモリのリード・アクセスの次のサイクルがメモリ・ライト・サイクルの場合に、フラッシュ・メモリの出力データとV53Aの出力するライト・データが衝突する可能性があります。このためバッファ(図2-19のバッファ3)を用いて、フラッシュ・メモリが出力するデータのタイミングを制御します。

V53Aボードでは、フラッシュ・メモリを1つ搭載しています。

μ PD28F4000は、256 Kワード×16ビット構成です。このフラッシュ・メモリは、メイン・メモリとして、物理アドレス800000H-BFFFFFH(切り替え用メモリ領域)に、拡張メモリとして物理アドレス400000H-5FFFFFFHの領域に割り当てられています。

図2-19にフラッシュ・メモリ接続の基本構成を示します。

図2-19 フラッシュ・メモリ接続の基本構成

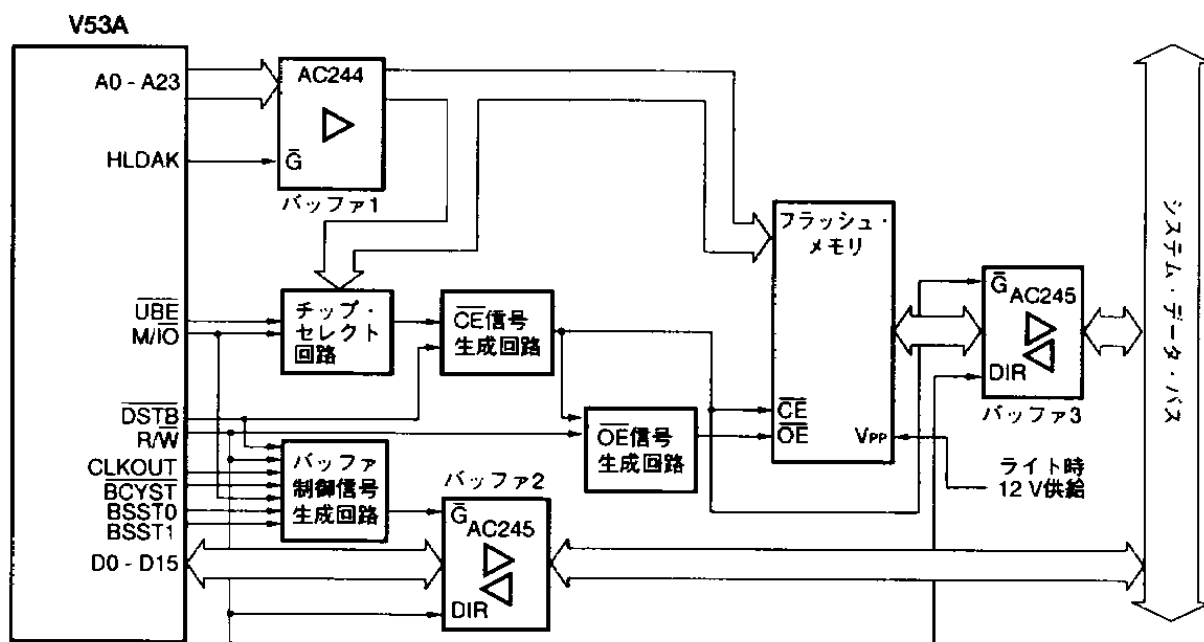


図2-19について次に説明します。

構成要素	機能
バッファ1	図2-1の説明を参照してください。
チップ・セレクト回路	フラッシュ・メモリをアクセスするための選択信号を生成する回路です。フラッシュ・メモリのマッピングされた領域（メイン・メモリ：80000H-BFFFFH、拡張メモリ：400000H-5FFFFFFH）をアクセスするために最低必要なアドレス線(A18-A23の6本)とM/I \bar{O} 信号を使用します。
バッファ2	図2-1の説明を参照してください。
CE信号生成回路	<p>フラッシュ・メモリの\bar{CE}入力信号を生成する回路です。</p> <p>チップ・セレクト回路で生成される選択信号がアクティブ（ロウ・レベル）のとき、\bar{DSTB}信号により、フラッシュ・メモリの\bar{CE}端子へアクティブ信号が出力されます。\bar{DSTB}信号は、メモリ・リード時の\bar{MRD}信号またはライト時の\bar{MWR}信号とほぼ同様のタイミングです。</p> <p>フラッシュ・メモリのライト動作時における\bar{CE}信号のハイ・パルス幅の規格を満足させるため、以下の図のように\bar{DSTB}信号とチップ・セレクト信号のORをとっています。</p> <div style="text-align: center;"> </div>
\bar{OE} 信号生成回路	<p>フラッシュ・メモリの\bar{OE}入力信号を生成する回路です。</p> <p>\bar{CE}信号生成回路からの\bar{CE}信号がアクティブで、かつV53Aから出力されるR/\bar{W}信号がハイ・レベルのとき、フラッシュ・メモリの\bar{OE}端子をアクティブにします。</p> <div style="text-align: center;"> </div>
バッファ3	<p>フラッシュ・メモリのリード・アクセスの次にライト・サイクルが続いた場合、フラッシュ・メモリの出力データとV53Aが出力するライト・データが衝突する可能性があるため、このバッファで回避しています。</p> <p>フラッシュ・メモリへのアクセス終了後、バッファ3の\bar{G}端子にハイ・レベルを入力すると、フラッシュ・メモリからのデータがシステム・データ・バスに出力されません。</p> <p>\bar{G}端子へ入力する信号は、フラッシュ・メモリをアクセスするためのチップ・セレクト信号です。</p>

2.6.1 フラッシュ・メモリのリード/ライト・アクセス

V53Aボードで使用しているフラッシュ・メモリでは、コマンド・レジスタ入力により動作モードを選択します。動作モードには、おもに次に示す3つのモードがあります。

- リード・モード
- プログラム・モード（フラッシュ・メモリへのライト）
- 消去モード

これらのモードは、それぞれのコマンドを入力することにより設定します。コマンドの入力はソフトウェア的に行います。これらのモードについて次に簡単に説明します。

(1) リード・モード

これ以外のコマンドを入力したあと、フラッシュ・メモリのリードを行う場合に使用します。

(2) プログラム・モード

次の2つの手段により実行します。

- アルゴリズム・プログラム・モード
- 自動プログラム・モード

どちらもコマンド実行結果は同じですが、コマンドを入力する手段と実行時間が異なるため、目的に応じて選択します。

(3) 消去モード

このコマンドは、フラッシュ・メモリ内の内容を消去する際に使用します。

プログラム・モードと同様にアルゴリズム・モードと自動モードがあります。アルゴリズム・モードとプログラム・モードは、コマンド実行結果は同じですが、コマンドを入力する手段と実行時間が異なるため、目的に応じて選択します。

また、消去する内容により、さらにそれぞれ次の2つのモードに分かれます。

- チップ消去モード…フラッシュ・メモリの内容をすべて消去
- ブロック消去モード…フラッシュ・メモリに入力するアドレス(A14-A17)で指定したブロック(16Kワード)内の内容を消去

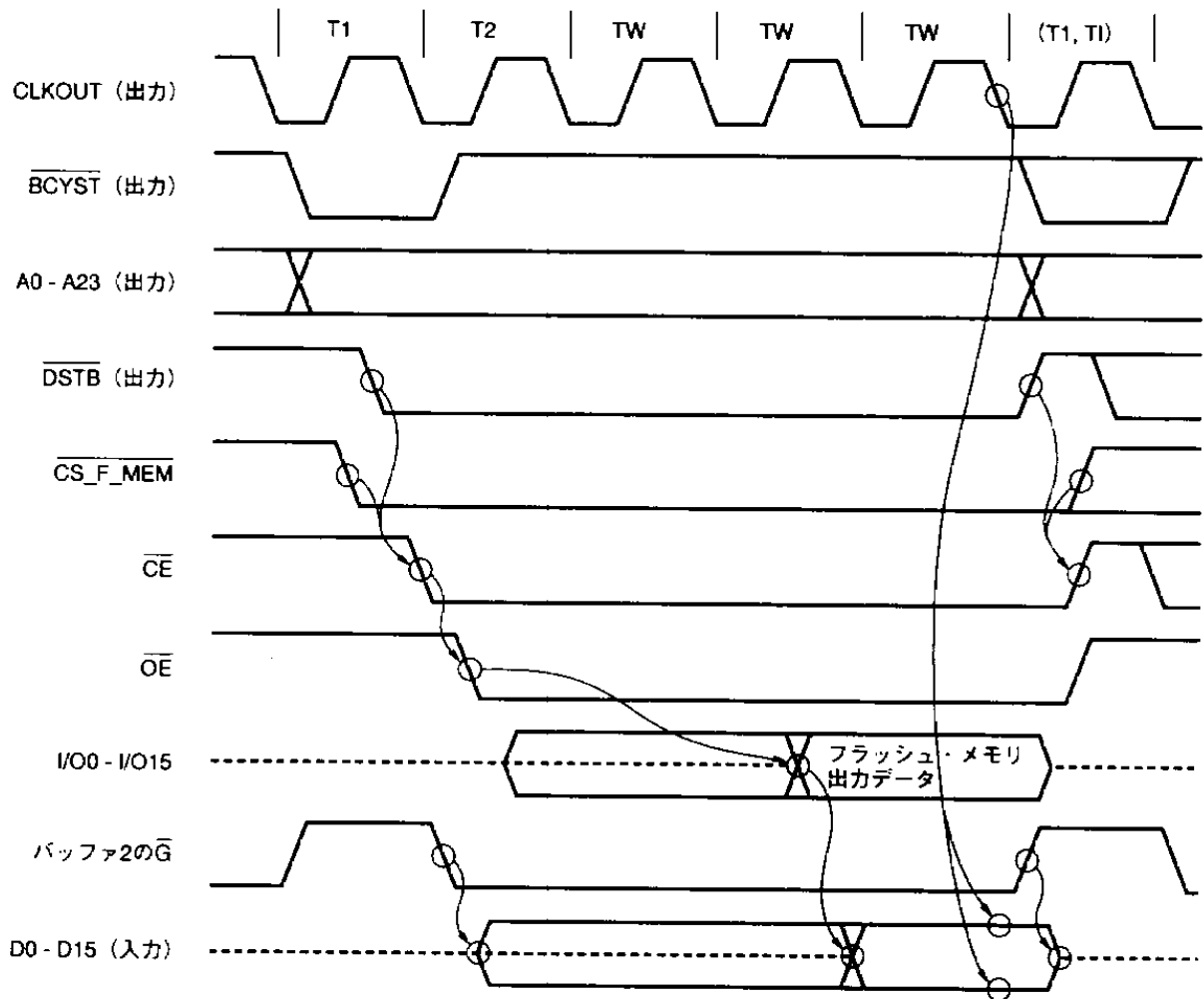
その他次のようなコマンドがあります。

- リセット・コマンド…フラッシュ・メモリのリセット

- 消去ベリファイ・コマンド…アルゴリズム消去コマンドを行った場合の、消去データのベリファイ
- プログラム・ベリファイ・コマンド…フラッシュ・メモリへプログラムを書き込んだ場合の、データのベリファイ
- リード製品識別コード・コマンド…フラッシュ・メモリ自身の製品識別コードの検索

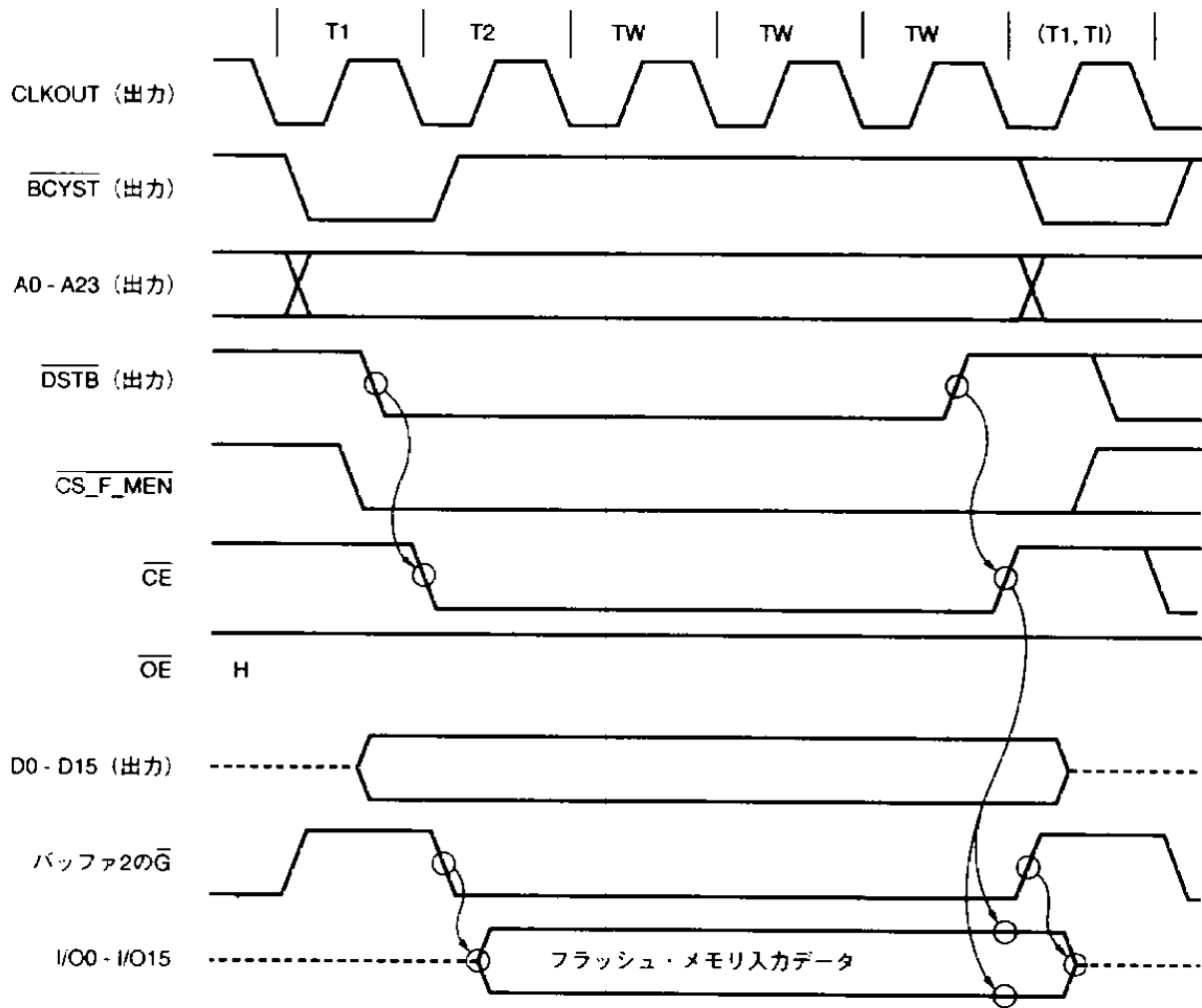
フラッシュ・メモリの詳細については、データ・シートを参照してください。

図2-20 フラッシュ・メモリのリード・アクセス・タイミング



- 備考 1. ○印はトリガ・タイミングとサンプリング・タイミングです。
 2. 信号名の後ろの () 内は, V53Aの動作を示しています。
 3. 破線は, ハイ・インピーダンスを示します。

図2-21 フラッシュ・メモリのライト・アクセス・タイミング



- 備考1. ○印はトリガ・タイミングとサンプリング・タイミングです。
 2. 信号名の後ろの () 内は, V53Aの動作を示しています。
 3. 破線は, ハイ・インピーダンスを示します。

V53Aボードで使用しているフラッシュ・メモリ (μ PD28F4000) には、3種類のアクセス時間があります。それらのフラッシュ・メモリをボード上に搭載したときの（フラッシュ・メモリとのインタフェース回路を使用したとき）V53Aの動作周波数、ウエイトの挿入数による接続（アクセス）可否を表2-6に示します。

表2-6 フラッシュ・メモリの接続可否

動作周波数	アクセス時間	ウエイト数				
		0	1	2	3	4
20 MHz	170 ns	×	×	×	○	○
	150 ns	×	×	×	○	○
	120 ns	×	×	×	○	○
16 MHz	170 ns	×	×	×	○	○
	150 ns	×	×	○	○	○
	120 ns	×	×	○	○	○
12.5 MHz	170 ns	×	×	○	○	○
	150 ns	×	×	○	○	○
	120 ns	×	○	○	○	○
10 MHz	170 ns	×	○	○	○	○
	150 ns	×	○	○	○	○
	120 ns	×	○	○	○	○

備考 ×：接続不可能

○：接続可能

第3章 外部I/Oインタフェース例

この章では、外部に接続されているI/Oについて説明します。

V53Aボードには、I/Oとして次のデバイスを搭載しています。

- SCU (μ PD71051)
- PIU (μ PD71055)
- LCDC (μ PD72030)
- FDC (μ PD72069)
- RTC (μ PD4991A)

3.1 シリアル・コントロール・ユニット (SCU) との接続例

この節では、V53AとSCUの接続例について説明します。

図3-1にSCU接続の基本構成を示します。

図3-1 SCU接続の基本構成

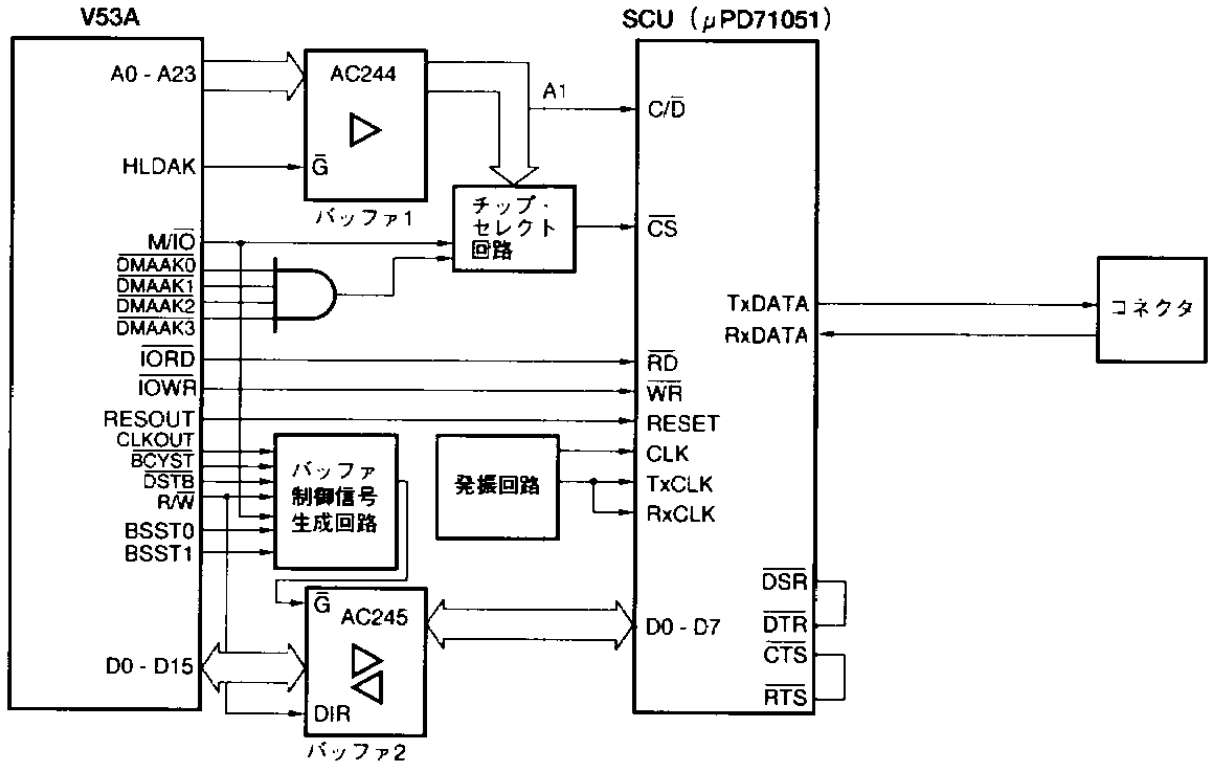
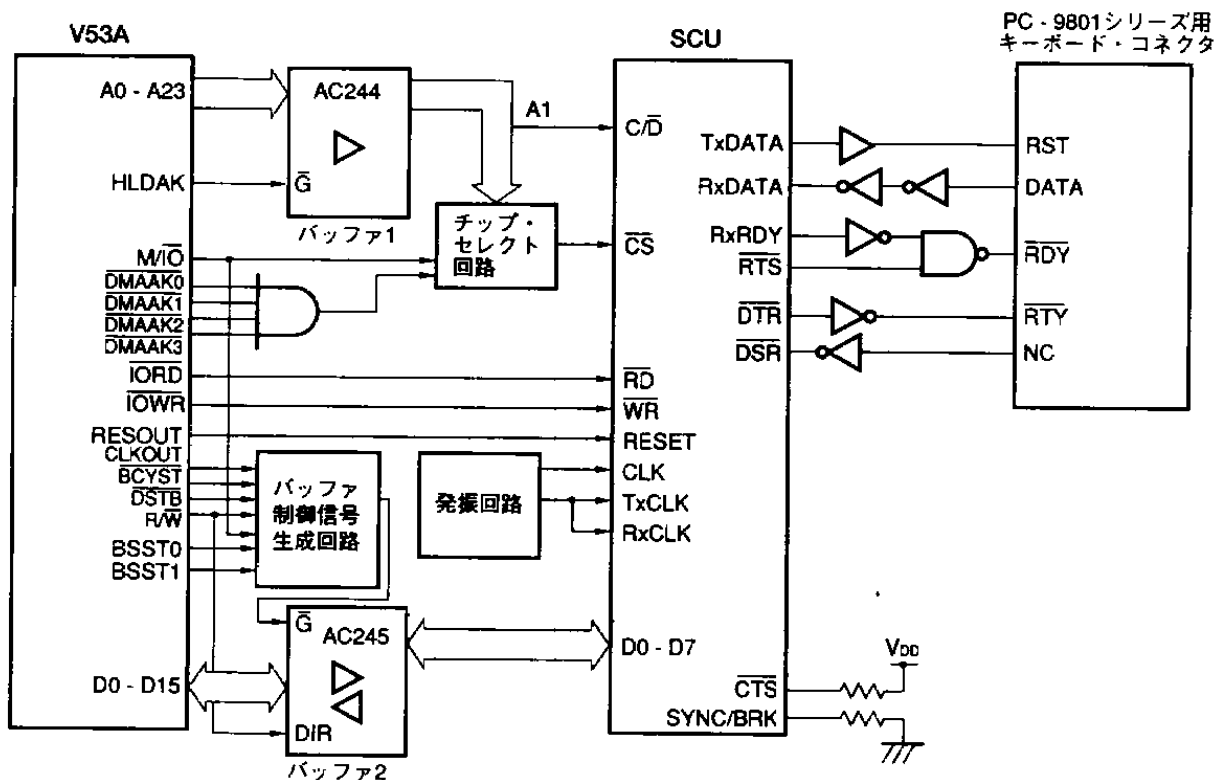


図3-1について次に説明します。

構成要素	機能
バッファ1	図2-1の説明を参照してください。
チップ・セレクト回路	<p>SCUをアクセスするための選択信号を生成する回路です。次の信号を使用します。</p> <ul style="list-style-type: none"> ●SCUのマッピングされた領域 (I/Oアドレス: FDF0H, FDF2H) をアクセスするために最低必要なアドレス線 (A6-A10の5本) ●M/$\overline{\text{IO}}$信号 ●A0信号 (アドレス値を偶数にする) ●DMAAK0-DMAAK3のANDをとった信号 (DMA転送中はI/Oのチップ・セレクト信号をインアクティブにしておく)
バッファ2	図2-1の説明を参照してください。
発振回路	<p>SCU (μPD71051) 内部のタイミングを作るための信号とTxCLK, RxCLK端子へ入力する送信, 受信レートを決定する基準クロックを生成します。</p> <p>CLK端子には, 4.9152 MHzの1/2の周波数が入力されます。</p> <p>TxCLK, RxCLK端子に入力する周波数は5通りあり, V53Aボード上のジャンパにより選択します。</p>
コネクタ	<p>V53Aボードでは, 制御信号線 ($\overline{\text{DSR}}$, $\overline{\text{DTR}}$, $\overline{\text{CTS}}$, $\overline{\text{RTS}}$) を用いずに, TxDATA線とRxDATA線だけを使用してシリアル通信を行います。コネクタは, 小型なステレオ・フォン・ジャック・タイプのもを使用します。</p>

図3-2にV53Aボードのキーボード・インタフェースを示します。

図3-2 キーボード・インタフェース接続の基本構成



V53Aボードで使用しているSCU (μPD71051) のレジスタは、I/OアドレスのFDF0H, FDF2H番地に割り付けてあります。このボードでは、SCUを調歩同期モードで使用しています。

表3-1にμPD71051レジスタのアクセス内容を、表3-2, 表3-3にV53AボードでPC-9801用ボードと通信を行う場合の設定例を示します。

表3-1 μPD71051レジスタのアクセス

I/Oアドレス	リード/ライト	動作内容
FDF0H	リード	受信データ・バッファの内容を読み出す
	ライト	送信データ・バッファに書き込む
FDF2H	リード	ステータス・レジスタの内容を読み出す
	ライト	コントロール・ワード・レジスタに、モード・ワードとコマンド・ワードを書き込む

表 3-2 モード・ワード設定例

I/Oアドレス：FDF2H, 設定値：5EH

項 目	設定内容
ボー・レート	送受信クロックの1/16
キャラクタ長	8ビット/キャラクタ
パリティ	奇数パリティを付加
ストップ・ビット数	1ビット

表 3-3 コマンド・ワード設定例

I/Oアドレス：FDF2H, 設定値：16H

項 目	設定内容
送信イネーブル	送信禁止
DTR端子制御	DTR出力=0
受信イネーブル	受信許可
センド・ブ레이크	TxDATA端子：通常動作
エラー・クリア	エラー・フラグをクリア
RTS端子制御	RTS出力=1
ソフトウェア・リセット	リセットしません (=0)

次にSCUとPC-9801用キーボードの通信を行うための初期化について説明します。

- ① SCUにダミー・コマンドを3回設定します。
(FDF2H番地に00Hを3回出力)
- ② SCUのソフトウェア・リセットを行います。
(FDF2H番地に40Hを出力)
- ③ SCUにモード・ワードの設定をします(表3-2参照)。
(FDF2H番地に5EHを出力)
- ④ SCUにコマンド・ワードの設定をします(キーボードの \overline{RST} 信号を13 μ s間ロウ・レベルにする)。
(FDF2H番地に3AHを出力)
- ⑤ SCUにコマンド・ワードの設定をします(キーボードに18 μ s間データを出力しないようにする)。
(FDF2H番地に32Hを出力)

- ⑥ SCUにコマンド・ワードの設定をします (表3-3 参照)。
(FDF2H番地に16Hを出力)

以上、①-⑥の動作後、キーボードとシリアル通信が行えます。

また、V53Aボードでは、TxCLK, RxCLK端子に入力する送受信クロックとして5通りのクロックを用意しており、ジャンパで切り替えます。モード・ワードの設定により、ボー・レートは送受信クロックの1/16となります (表3-4 参照)。

表3-4 送受信クロックとボー・レートの関係

送受信クロック (kHz)	ボー・レート (ボー)
19.2	1200
38.4	2400
76.8	4800
153.6	9600
307.2	19200

3.2 パラレル・インタフェース・ユニット (PIU) との接続例

この節では、V53AとPIUの接続例について説明します。

図3-3にPIU接続の基本構成を示します。

図3-3 PIU接続の基本構成

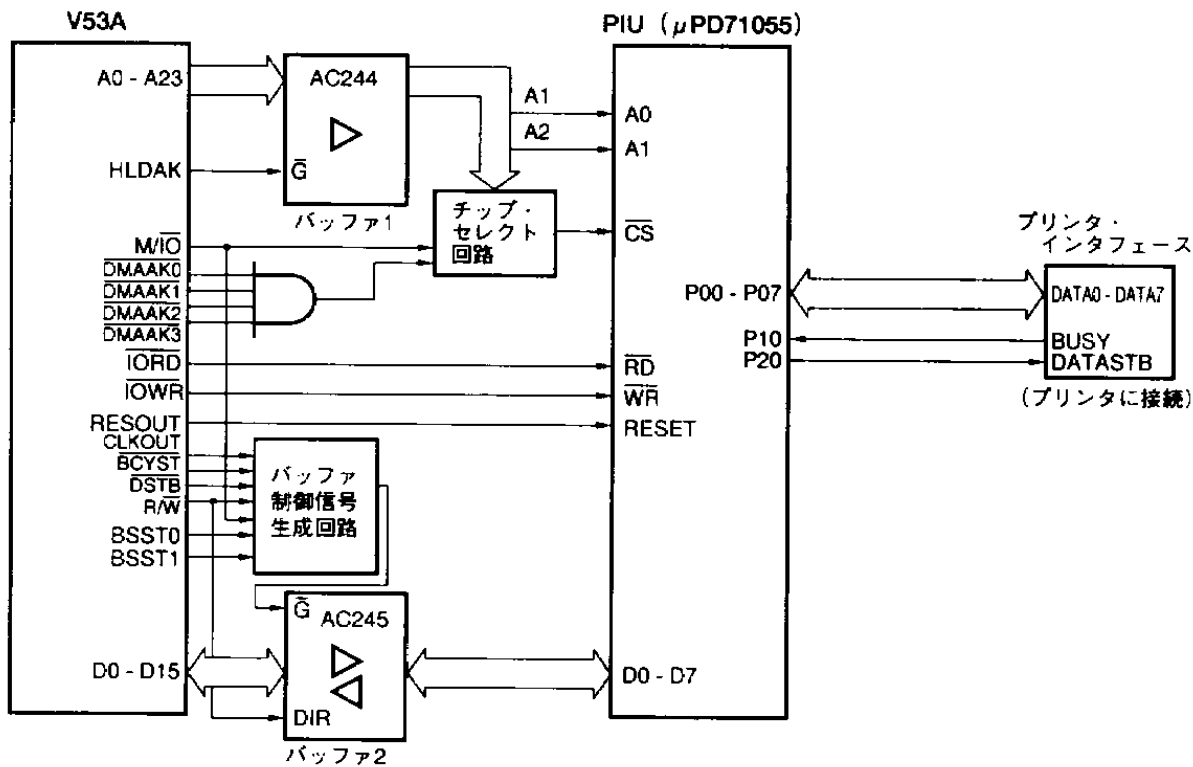


図3-3について以下に説明します。

構成要素	機能
バッファ1	図2-1の説明を参照してください。
チップ・セレクト回路	<p>PIUをアクセスするための信号を生成する回路です。次の信号を使用します。</p> <ul style="list-style-type: none"> ●PIUのマッピングされた領域 (I/OアドレスFDE8H, FDEEH) をアクセスするために最低必要なアドレス線 (A6-A10の5本) ●M/\overline{IO}信号 ●A0信号 (アドレス値を偶数にする) ●DMAAK0-DMAAK3のANDをとった信号 (DMA転送中はI/Oのチップ・セレクト信号をインアクティブにしておく)
バッファ2	図2-1の説明を参照してください。
プリンタ・インタフェース	<p>V53Aボードでは、μPD71055のP10, P20をそれぞれプリンタ・インタフェースのBUSY, DATASTB信号に割り当て、ソフトウェアにより制御してパラレル通信を行います。</p> <p>コネクタはライト・アングル・タイプのプリンタ・コネクタを使用しています。</p>

3.3 LCDコントローラ (LCDC) との接続例

この節では、V53AとLCDCの接続例について説明します。

図3-4にLCDC接続の基本構成を示します。

図3-4 LCDC接続の基本構成

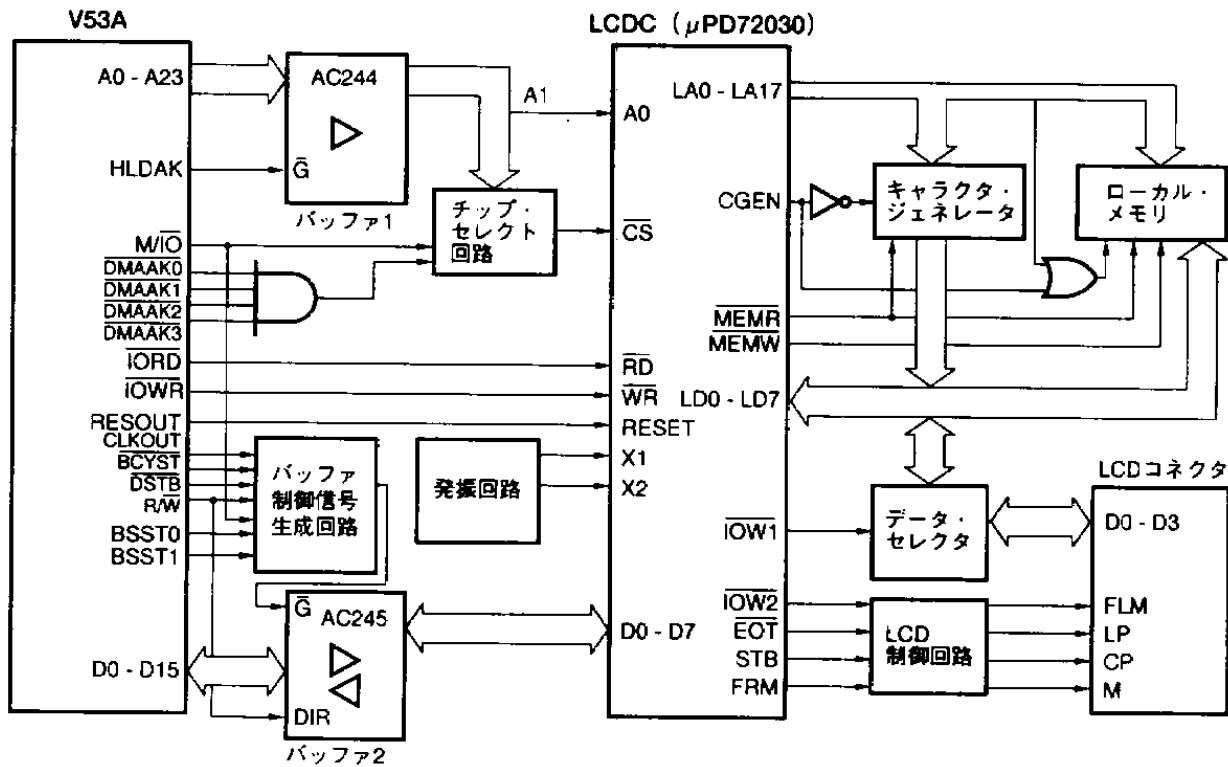


図3-4について次に説明します。

構成要素	機能
バッファ1	図2-1の説明を参照してください。
チップ・セレクト回路	<p>LCDCをアクセスするための選択信号を生成する回路です。次の信号を使用します。</p> <ul style="list-style-type: none"> ●LCDCのマッピングされた領域 (I/Oアドレス：FDE0H, FDE2H) をアクセスするために最低必要なアドレス線 (A6-A10の5本) ●M/$\overline{\text{IO}}$信号 ●A0信号 (アドレス値を偶数にする) ●DMAAK0-DMAAK3のANDをとった信号 (DMA転送中はI/Oのチップ・セレクト信号をインアクティブにしておく)
バッファ2	図2-1の説明を参照してください。
発振回路	LCDCを動作させるために6MHzの発振子を用いています。
キャラクタ・ジェネレータ	LCD画面に漢字表示 (16×16ドット) を行うために接続します。
ローカル・メモリ	<p>LCD表示専用のメモリです。</p> <p>ローカル・メモリは独立しているため、メイン・メモリの領域が表示のためにとられません。</p>
データ・セクタ	LCDCの8ビット出力データから選択する4ビット・データを、 $\overline{\text{IOW}}$ 信号のタイミングで切り替える回路です。
LCD制御回路	LCDモジュールを駆動するためのタイミングを生成する回路です。
LCDコネクタ	LCDモジュールと接続するためのコネクタです。

3.4 フロッピー・ディスク・コントローラ (FDC) との接続例

この節では、V53AとFDCの接続例について説明します。

図3-5にFDC接続の基本構成を示します。

図3-5 FDC接続の基本構成

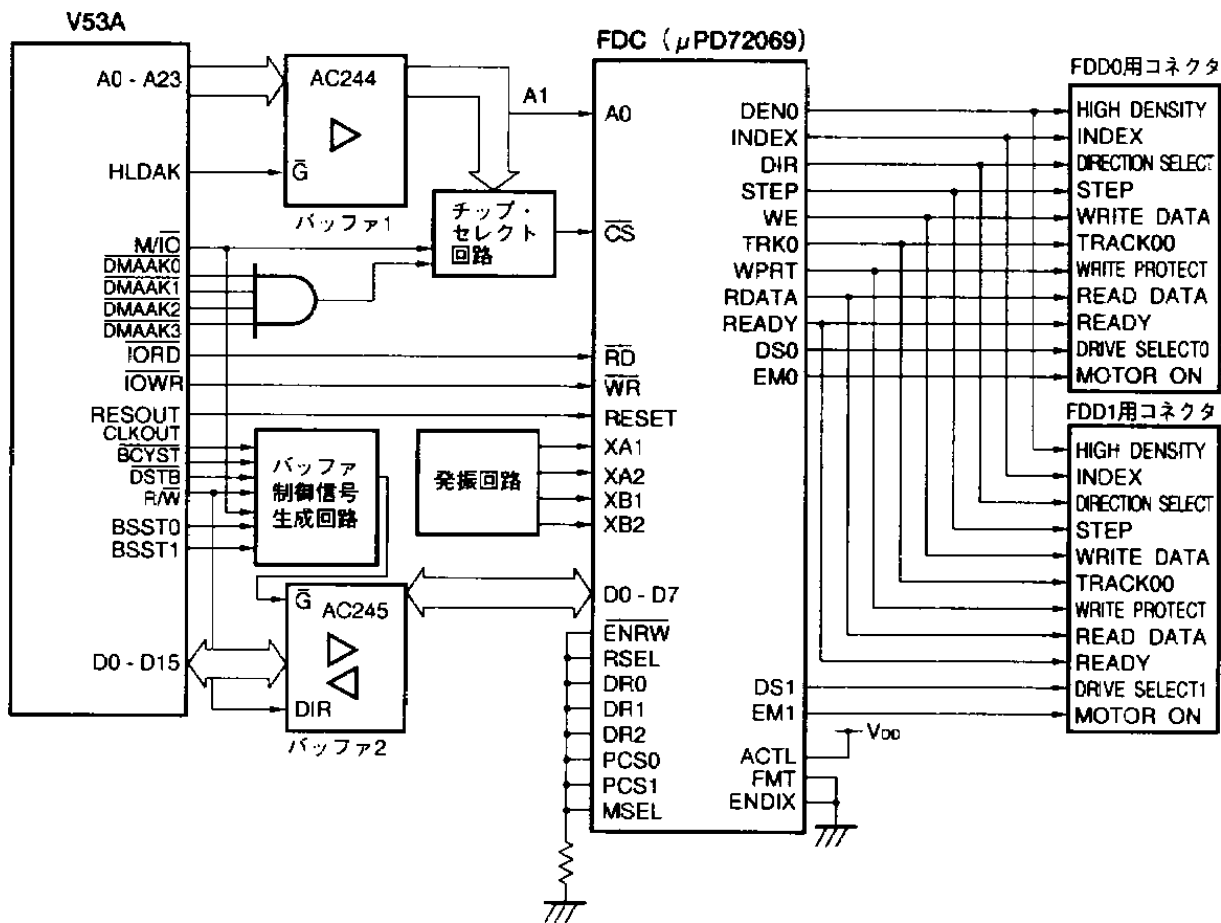


図3-5について次に説明します。

構成要素	機能
バッファ1	図2-1の説明を参照してください。
チップ・セレクト回路	<p>FDCをアクセスするための選択信号を生成する回路です。次の信号を使用します。</p> <ul style="list-style-type: none"> ● FDCのマッピングされた領域 (I/Oアドレス: FDF8H, FDFAH) をアクセスするために最低必要なアドレス線 (A6-A10の5本) ● $\overline{M/\overline{IO}}$信号 ● A0信号 (アドレス値を偶数にする) ● DMAAK0-DMAAK3のANDをとった信号 (DMA転送中はI/Oのチップ・セレクト信号をインアクティブにしておく)
バッファ2	図2-1の説明を参照してください。
発振回路	<p>内部発振回路を用いるため、次のように接続します。</p> <ul style="list-style-type: none"> ● XA1, XA2端子: 16 MHz ● XB1, XB2端子: 19.2 MHz
FDD0用コネクタ FDD1用コネクタ	<p>FDCとFDDとのインタフェースに必要な信号をFDDの入出力コネクタのピン番号に合わせ、コネクタへ接続します。</p> <p>V53Aボードでは、FDDとのインタフェース信号がアクティブ・ロウです。FDCのACTL入力をハイ・レベルにすることによりこれを設定しています。</p>

3.5 カレンダー時計 (RTC) との接続例

この節では、V53AとRTCの接続例について説明します。

図3-6にRTC接続の基本構成を示します。

図3-6 RTC接続の基本構成

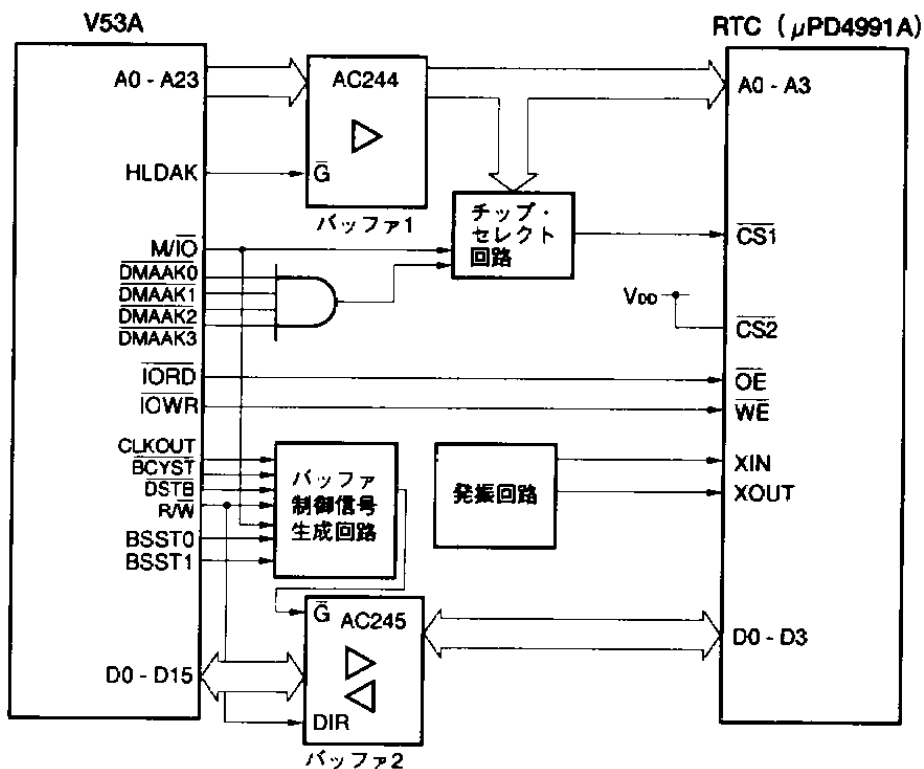


図3-6について次に説明します。

構成要素	機能
バッファ1	図2-1の説明を参照してください。
チップ・セレクト回路	<p>RTCをアクセスするための選択信号を生成する回路です。次の信号を使用します。</p> <ul style="list-style-type: none"> ●RTCのマッピングされた領域 (I/Oアドレス: FD00H-FDDEH) をアクセスするために最低必要なアドレス線 (A6-A10の5本) ●M/\overline{IO}信号 ●A0信号 (アドレス値を偶数にする) ●DMAAK0-DMAAK3のANDをとった信号 (DMA転送中はI/Oのチップ・セレクト信号をインアクティブにしておく)
バッファ2	図2-1の説明を参照してください。
発振回路	基準発振周波数として32.768 kHzを生成します。

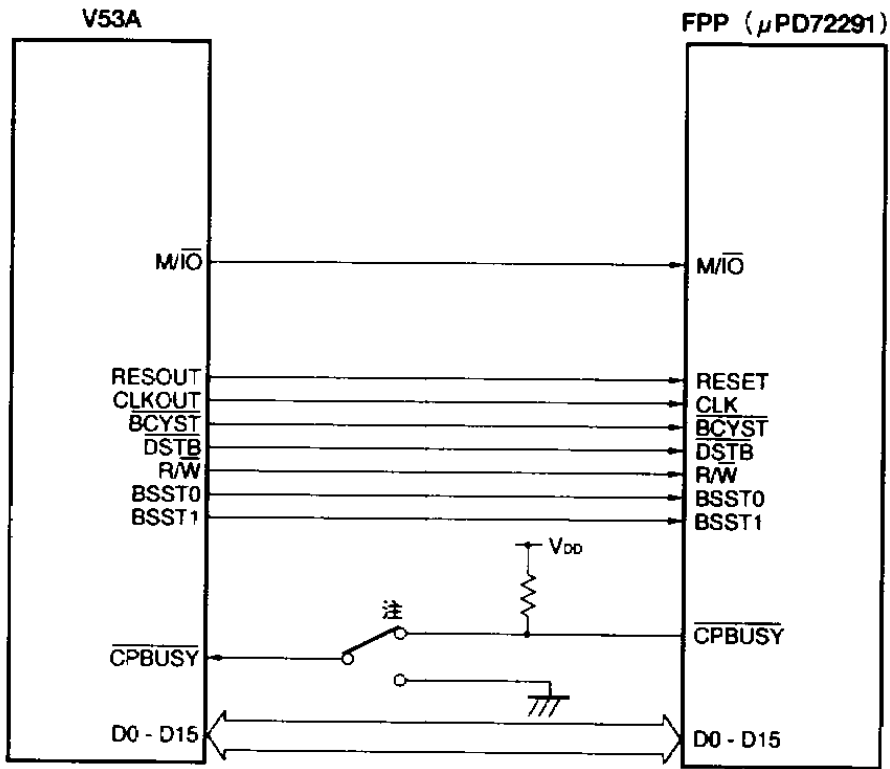
第4章 コプロセッサ・インタフェース例

4.1 浮動小数点演算用コプロセッサ (FPP) との接続例

この節では、V53AとFPPの接続例について説明します。

図4-1にFPP接続の基本構成を示します。

図4-1 FPP接続の基本構成



注 μ PD72291を使用するかどうかによって、次のようにスイッチを切り替えます。

- 使用する場合…V53Aと μ PD72291のそれぞれの $\overline{\text{CPBUSY}}$ 端子同士を接続して抵抗で V_{DD} にプルアップします。
- 使用しない場合…V53Aの $\overline{\text{CPBUSY}}$ 端子をGNDに接続します。

4

4.2 注意事項

V53Aと μ PD72291は同一のクロックで動作します。

最大動作周波数は、V53Aが20 MHzで μ PD72291が16 MHzです。したがって、 μ PD72291を使用する場合は、V53Aの動作周波数が16 MHzを越えないようにする必要があります。

V53Aボードでは、 μ PD72291を使用する場合、V53Aの外部発振周波数が32 MHz以下となるように、発振子を交換します。

第5章 レベル変換回路例

この章では、CPUとメモリを3V動作、外部I/Oを5V動作させる場合のレベル変換回路について説明します。

V53Aボードのレベル変換回路では、3V動作デバイスと5V動作デバイスのインタフェースを行います。レベル変換を行う場合には、レベル変換回路中の74HC244 (IC52, IC53) と74HC4050 (IC54, IC56, IC57) の電源電圧を3Vにします。レベル変換を行わない場合は、74HC244と74HC4050の電源電圧を5Vにします。

3V側から5V側への信号には74HC244を、5V側から3V側への信号には74HC4050を使用して、レベル変換を行います。詳細は、**図 B-11 レベル変換回路**を参照してください。

(メ モ)

付録A PLDデータ

PLDデータ中の論理式で使用している記号について次に説明します。

- ! …NOT (否定) を意味します。
- & …AND (論理積) を意味します。
- # …OR (論理和) を意味します。
- /* */ …注釈文


```
Partno    PLD1;
Location  MEM_SEL.P.SCH;
Device    P16L8;
```

```
/******
/* This device generates chip select signals for      */
/* four 128Kword*8 High speed SRAMs(uPD431008LE)     */
/* two 128Kword*8 PROMs(uPD27C1001A).                */
/******
/* Allowable Target Device Types: P16L8              */
/******
```

```
/** Inputs **/
```

```
Pin 1      = m_io      :      /* Memory Read/Write cycle      */
Pin 2      = !ube      :      /* Upper byte enable          */
Pin 3      = !a0       :      /* Lower byte enable          */
Pin [4..9] = [a23..18] :      /* CPU address Bus           */
Pin 18     = !bcyst    :      /* !BCYST signal             */
```

```
/** Outputs **/
```

```
Pin 12     = !cs_hsr1_l; /* High speed SRAM 1 low address */
Pin 13     = !cs_hsr1_u; /*                               high address */
Pin 14     = !cs_hsr2_l; /*                               2 low address */
Pin 15     = !cs_hsr2_u; /*                               high address */
Pin 16     = !cs_prom_l; /* PROM low address             */
Pin 17     = !cs_prom_u; /*                               high address */
```

```
/** Declarations and Intermediate Variable Definitions **/
```

```
/** Logic Equations **/
```

```
/* select memory for expand memory */
expand_mem = !a23 & !a22 & !a21 & !a20 ;
```

```
/* Chip select for HSRAM */
```

```
!cs_hsr1_u = !(m_io & !(a0) & expand_mem & !a19 & !a18 & !bcyst) ;
!cs_hsr1_l = !(m_io & !(ube) & expand_mem & !a19 & !a18 & !bcyst) ;
!cs_hsr2_l = !(m_io & !(a0) & expand_mem & !a19 & a18 & !bcyst) ;
!cs_hsr2_u = !(m_io & !(ube) & expand_mem & !a19 & a18 & !bcyst) ;
```

```
/* Chip select for PROM */
```

```
!cs_prom_l = !(m_io & !(a0) & expand_mem & a19 & a18) ;
!cs_prom_u = !(m_io & !(ube) & expand_mem & a19 & a18) ;
```

```
Partno    PLD2;
Location  MEM_SEL.P.SCH;
Device    P16L8;
```

```

/*****
/* This device generates chip select signals for          */
/* one 256Kword *16 Page PROM      (uPD27C4040)           */
/* one 1Mword   *16 DRAM           (uPD42S18169)          */
/* two 128Kword * 8 PSRAMs        (uPD428128)            */
/* one 256Kword *16 Flush memory  (uPD28F4000).          */
/*****
/* Allowable Target Device Types: P16L8                  */
/*****

/** Inputs **/

Pin 1      = m_io      :      /* Memory Read/Write cycle      */
Pin 2      = !ube      :      /* Upper byte enable            */
Pin 3      = !a0       :      /* Lower byte enable            */
Pin [4..9] = [a23..18] :      /* CPU address Bus              */
Pin 11     = select1   :      /* Select1 Jumper2             */
Pin 13     = select2   :      /* Select2 Jumper2             */
/*+-----+
/* | How to select Jumper |
/*+-----+
/* +- Jumper -+ +-----+
/* | -0 0- JP2 | => A | A | B | Select memory name |
/* | -0 0- JP3 | => B +-----+
/* +-----+ | 0 | 0 | Flush memory |
/* | 0 | 1 | PSRAM |
/* | 1 | 0 | DRAM |
/* | 1 | 1 | Page PROM |
/* +-----+
/* | 1 = Jumper OPEN
/* | 0 = Jumper SHORT
/*
/* Flush memory = !( !A & !B );
/* PSRAM = !A & B ;
/* DRAM = !( A & !B );
/* Page PROM = !( A & B );
/*

```

```

/** Outputs **/

Pin 12      = !cs_p_prom  ;    /* Page PROM          */
Pin 14      = !cs_dram   ;    /* DRAM              */
Pin 15      = cs_psram_l ;    /* PSRAM low address  */
Pin 16      = cs_psram_u ;    /*      high address   */
Pin 17      = !cs_f_mem  ;    /* Flush memory low  */
Pin 18      = before_cs_psram;
/** Declarations and Intermediate Variable Definitions **/

/** Logic Equations **/
    /* Select Main memory address */
    sel_main = !(a23 & a22 & a21 & a19 & a18 & m_io) ;

    /* Chip select for Page PROM */
    /* Outer address : 800000H - 9FFFFFFH */
    sel_pprom = !( select1 & select2 )           ;
    x_pprom   = !( m_io & a23 & a22 & a21 )     ;
    jp_pprom  = !( !(sel_main) & !(sel_pprom))  ;
    !cs_p_prom = x_pprom & jp_pprom             ;

    /* Chip select for DRAM */
    /* Outer address : 600000H - 7FFFFFFH */
    sel_dram  = !( select1 & !( select2 ) )     ;
    x_dram    = !( m_io & a23 & a22 & a21 )     ;
    jp_dram   = !( !(sel_main) & !(sel_dram))  ;
    !cs_dram  = x_dram & jp_dram               ;

    /* Chip select for Flush memory */
    /* Outer address : 400000H - 5FFFFFFH */
    sel_flush = !( !(select1) & !(select2) )   ;
    x_flush   = !( m_io & a23 & a22 & a21 )     ;
    jp_flush  = !( !(sel_main) & !(sel_flush) ) ;
    !cs_f_mem = x_flush & jp_flush            ;

    /* Chip select for PSRAM */
    /* Outer address : 200000H - 3FFFFFFH */
    x_psram   = m_io & a23 & a22 & a21;
    jp_psram  = !(select1) & select2;
    cs_psram  = jp_psram & !(sel_main);
    before_cs_psram = ( x_psram # cs_psram );
    cs_psram_l = before_cs_psram & !(a0);
    cs_psram_u = before_cs_psram & !(aube);

```

```
Partno    PLD3;
Location  IO_SEL.P.SCH;
Device    P16L8;
```

```

/*****/
/* This device generates chip select signals for */
/* one LCDC (uPD72030) */
/* one SCU (uPD71051) */
/* one PIU (uPD71055) */
/* one FDC (uPD72069) */
/* one RTC (uPD4991). */
/*****/
/* Allowable Target Device Types: P16L8 */
/*****/
/** Inputs **/

Pin 1      = !m_io      : /* Memory Read/Write cycle */
Pin 2      = !dmaak     : /* DMA Ack */
Pin 3      = !a0        : /* Lower byte enable */
Pin [4..9] = [a3..8]    : /* CPU address Bus */
Pin 11     = a9         : /* CPU address Bus */
Pin 13     = a10        : /* CPU address Bus */

/** Outputs **/

Pin 12     = !cs_rtc    : /* RTC select signal */
Pin 14     = !cs_lcdc   : /* LCDC select signal */
Pin 15     = !cs_piu    : /* PIU select signal */
Pin 16     = !cs_key    : /* SCU select signal */
Pin 18     = !cs_fdc    : /* FDC select signal */

```

```

/*****/
/* I/O access address MAP */
/*
/*          a11a10 a9 a8 a7 a6 a5 a4 a3 a2 a1 a0 */
/*   RTC    |  x 1 0 1 | 1 1 0 x | x x x 0 */
/*   LCDC   |  x 1 0 1 | 1 1 1 0 | 0 x x 0 */
/*   PIU    |  x 1 0 1 | 1 1 1 0 | 1 x x 0 */
/*   KEY/SCU|  x 1 0 1 | 1 1 1 1 | 0 x x 0 */
/*   FDC    |  x 1 0 1 | 1 1 1 1 | 1 x x 0 */
/*
/* -----+ */
/* | I/O device | Access address | */
/* |-----+-----| */
/* | RTC       | Xdc0h , Xdc2h , Xdc4h , Xdc6h , | */
/* |           | Xdc8h , Xdc9h , Xdcch , Xdceh | */
/* |-----+-----| */
/* | LCDC      | Xde0h , Xde2h ( Xde4h , Xde6h ) | */
/* |-----+-----| */
/* | PIU       | Xde8h , Xdeah , Xdech , Xdeeh | */
/* |-----+-----| */
/* | KEY/SCU   | Xdf0h , Xdf2h ( Xdf4h , Xdf6h ) | */
/* |-----+-----| */
/* | FDC       | Xdf8h , Xdfah ( Xdfch , Xdfeh ) | */
/* |-----+-----| */
/*           * X = f */
/*****/
/** Declarations and Intermediate Variable Definitions **/

/** Logic Equations **/
/* Select I/O common address and others signals */
common_io = !(!m_io) & !(!a0) & !dmaak & a5 & a7 & a8 & !a9 & a10;

/* Chip select for RTC */
!cs_rtc = !( !a5 & common_io );

/* Chip select for LCDC */
!cs_lcdc = !( a5 & !a4 & !a3 & common_io );

/* Chip select for PIU */
!cs_piu = !( a5 & !a4 & a3 & common_io );

/* Chip select for KEY/SCU */
!cs_key = !( a5 & a4 & !a3 & common_io );

/* Chip select for FDC */
!cs_fdc = !( a5 & a4 & a3 & common_io );

```

```
Partno    PLD4;
Location  CPU.SCH;
Device    P16V8;
```

```

/*****
/* This device generates !MWR signal and !BUFEN signal.          */
/*****
/* Allowable Target Device Types: P16V8                          */
/*****
/** Inputs **/
```

```

Pin 1      = !bcyst ;      /* !BCYST signal          */
Pin 2      = m_io  ;      /* Memory / I/O signal   */
Pin 3      = !r_w  ;      /* Read / !Write         */
Pin 4      = bs0   ;      /* Bus status 0          */
Pin 5      = !bs1  ;      /* Bus status 1          */
Pin 6      = bs2   ;      /* Bus status 2          */
Pin 7      = !clk  ;      /* !CLKOUT                */
Pin 8      = dstb  ;      /* DSTB signal           */
```

```
/** Outputs **/
```

```

Pin 12     = !bufen ;      /* to AC245 !G           */
Pin 13     = !jk_pr ;     /* to J-K F/F !PR signal */
Pin 14     = !mwr_j  ;    /* to J-K F/F J signal for !MWR */
Pin 15     = mwr_k   ;    /* to J-K F/F K signal for !MWR */
```

```
/** Declarations and Intermediate Variable Definitions **/
```

```
/** Logic Equations **/
```

```
/* Generate !MWR signal */
```

```

mwr_j  = (!(bcyst) & m_io & !(r_w) & bs0 & !(bs1);
mwr_k  = (!(bcyst) & m_io & !(r_w) & bs0 & !(bs1);
```

```
/* Generate !BUFEN signal */
```

```

a = !clk & !(bcyst);
b = !(clk) & !(bcyst) & dstb;
c = !bcyst & dstb & !r_w;
d = !(clk) & !bcyst & dstb & !(r_w);
e = !(m_io) & !bs1 & !(bs0);
!bufen = a # b # c # d # e;
```

```
/* Generate J-K F/F preset */
```

```

jk_pr  = ( !(clk) & dstb ) & !(bcyst);
```

```
Partno    PLD5;
Location  DRAM.SCH;
Device    P16L8;
```

```

/*****/
/* Allowable Target Device Types: P16L8 */
/*****/
/** Inputs **/

Pin 1      = !mrd   ;    /* !MRD signal      */
Pin 2      = !mwr   ;    /* !MWR signal      */
Pin 3      = !refrq ;    /* !REFRQ           */
Pin 4      = f3_q   ;    /* F3_Q             */
Pin 5      = f2_q   ;    /* F2_Q             */
Pin 6      = !bcyst ;    /* !BCYST           */
Pin 7      = !cs_dram;  /* !Chip select dram */

/** Outputs **/

Pin 12     = f6_pr   ;    /* to F6_PRESET     */
Pin 13     = f1_j   ;    /* to F1_J          */
Pin 14     = !f1_k  ;    /* to F1_K          */
Pin 15     = !ras   ;    /* to !RAS signal   */

/** Declarations and Intermediate Variable Definitions **/

/** Logic Equations **/
/* Generate F6_PR signal */
    f6_pr = !( !mrd & !mwr ) & !refrq;

/* Generate F1_J F1_K signal */
    f1_j = !( !(!bcyst) & !(!cs_dram) ) ;
    f1_k = !( !(!bcyst) & !(!cs_dram) ) ;

/* Generate !RAS signal */
    !ras = !(!(!refrq) & !(f3_q) ) & f2_q;
```

```
Partno    PLD6;
Location  LEVEL.SCH;
Device    P16L8;
```

```
/******
/* This device generates Buffer gate signals.          */
/******
/* Allowable Target Device Types: P16L8              */
/******
```

```
/** Inputs **/
```

```
Pin 1     = !a0      ;    /* Low 8 bits active          */
Pin 2     = !ube     ;    /* High 8 bits active         */
Pin 3     = !iowr    ;    /* I/O WRITE signal          */
Pin 4     = !iord    ;    /* I/O READ signal           */
Pin 5     = !cs_lcde ;    /* LCDC Chip select signal    */
Pin 6     = !cs_scu  ;    /* Outer SCU Chip select     */
Pin 7     = !cs_piu  ;    /* PIU Chip select signal     */
Pin 8     = !cs_fdc  ;    /* FDC Chip select signal     */
Pin 9     = !dmaak0  ;    /* DMAAK0 signal              */
Pin 11    = !dmaak1  ;    /* DMAAK1 signal              */
```

```
/** Outputs **/
```

```
Pin 12    = !wr_l    ;    /* CPU -> I/O WRITE Low 8 bits */
Pin 14    = !wr_u    ;    /* CPU -> I/O WRITE High 8 bits */
Pin 15    = !rd_l    ;    /* I/O -> CPU READ Low 8 bits   */
Pin 16    = !rd_u    ;    /* I/O -> CPU READ High 8 bits  */
```

```
/** Logic Equations **/
```

```
/* Chip select signals AND DMAAK signals */
!iocs = !cs_lcde & !cs_scu & !cs_piu & !cs_fdc & !dmaak0 & !dmaak1;
```

```
/* CPU -> I/O WRITE Low 8 bits ( ->IC48.1,19 ) */
!wr_l = !a0 # !iowr # !iocs;
```

```
/* CPU -> I/O WRITE High 8 bits ( ->IC49.1,19 ) */
!wr_u = !ube # !iowr # !iocs;
```

```
/* I/O -> CPU READ Low 8 bits ( ->IC57B.5 ->IC52.1,19 ) */
!rd_l = !a0 # !iord # !iocs;
```

```
/* I/O -> CPU READ High 8 bits ( ->IC57F.14 ->IC53.1,19 ) */
!rd_u = !ube # !iord # !iocs;
```


(メ ㇿ)

付録B 回路図

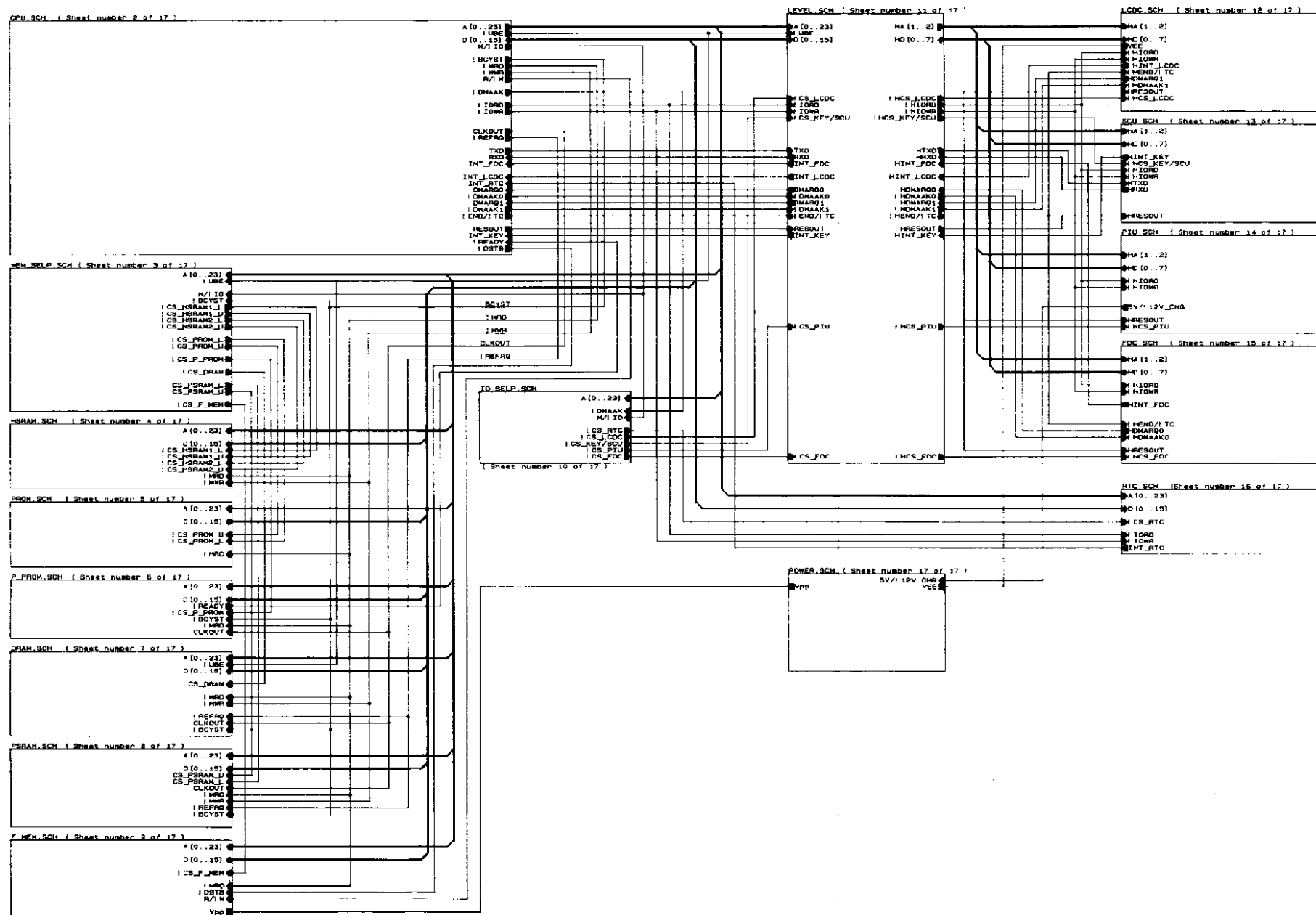
次の17ブロックの回路図を次頁以降に示します。

- 図B-1 回路ブロックの接続
- 図B-2 V53A周辺
- 図B-3 メモリ・セレクト信号生成回路
- 図B-4 SRAM接続
- 図B-5 PROM接続
- 図B-6 ページ機能付きPROM接続
- 図B-7 DRAM接続
- 図B-8 PSRAM接続
- 図B-9 フラッシュ・メモリ接続
- 図B-10 I/Oセレクト信号生成回路
- 図B-11 レベル変換回路
- 図B-12 LCDC接続
- 図B-13 SCU接続
- 図B-14 PIU接続
- 図B-15 FDC接続
- 図B-16 RTC接続
- 図B-17 電源ブロック

(メモ)

図 B-1 回路ブロックの接続

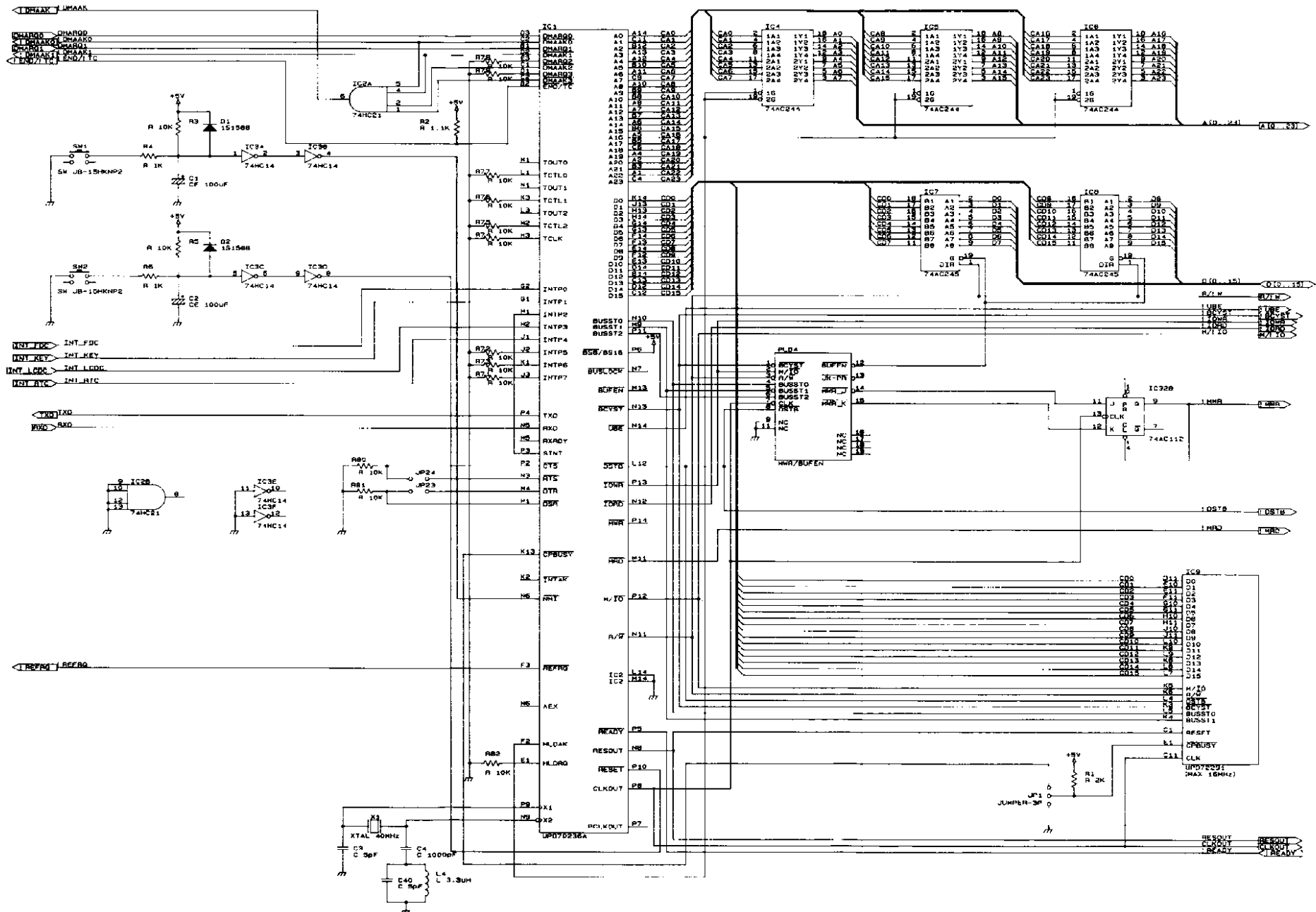
(図 B-1 回路ブロックの接続)



保
守
人
員
の
一
部
を
自
由
員

図 B-2 V83A周辺

(図 B-2 V83A周辺)



○

△

◎

▽

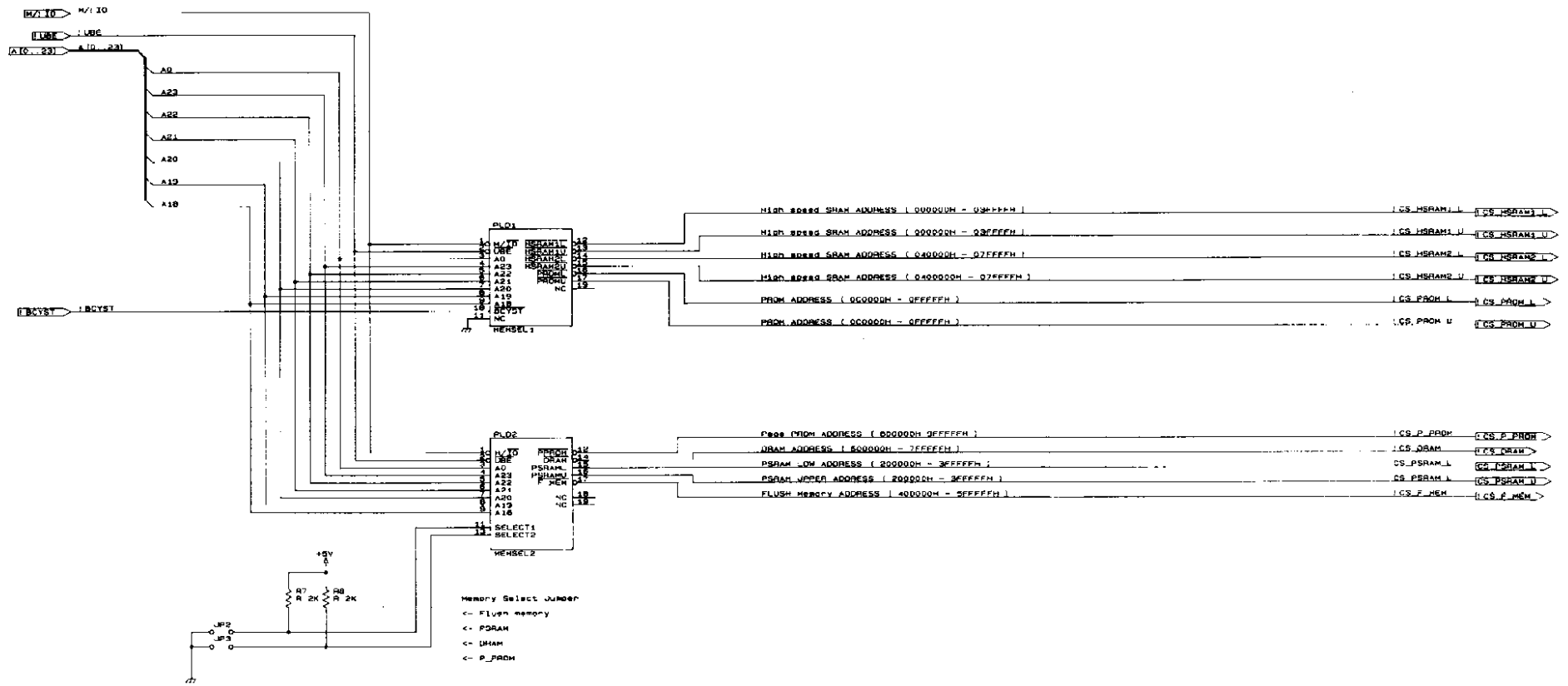
◇

□

■

図 B-3 メモリ・セレクト信号生成回路

(図 B-3 メモリ・セレクト信号生成回路)

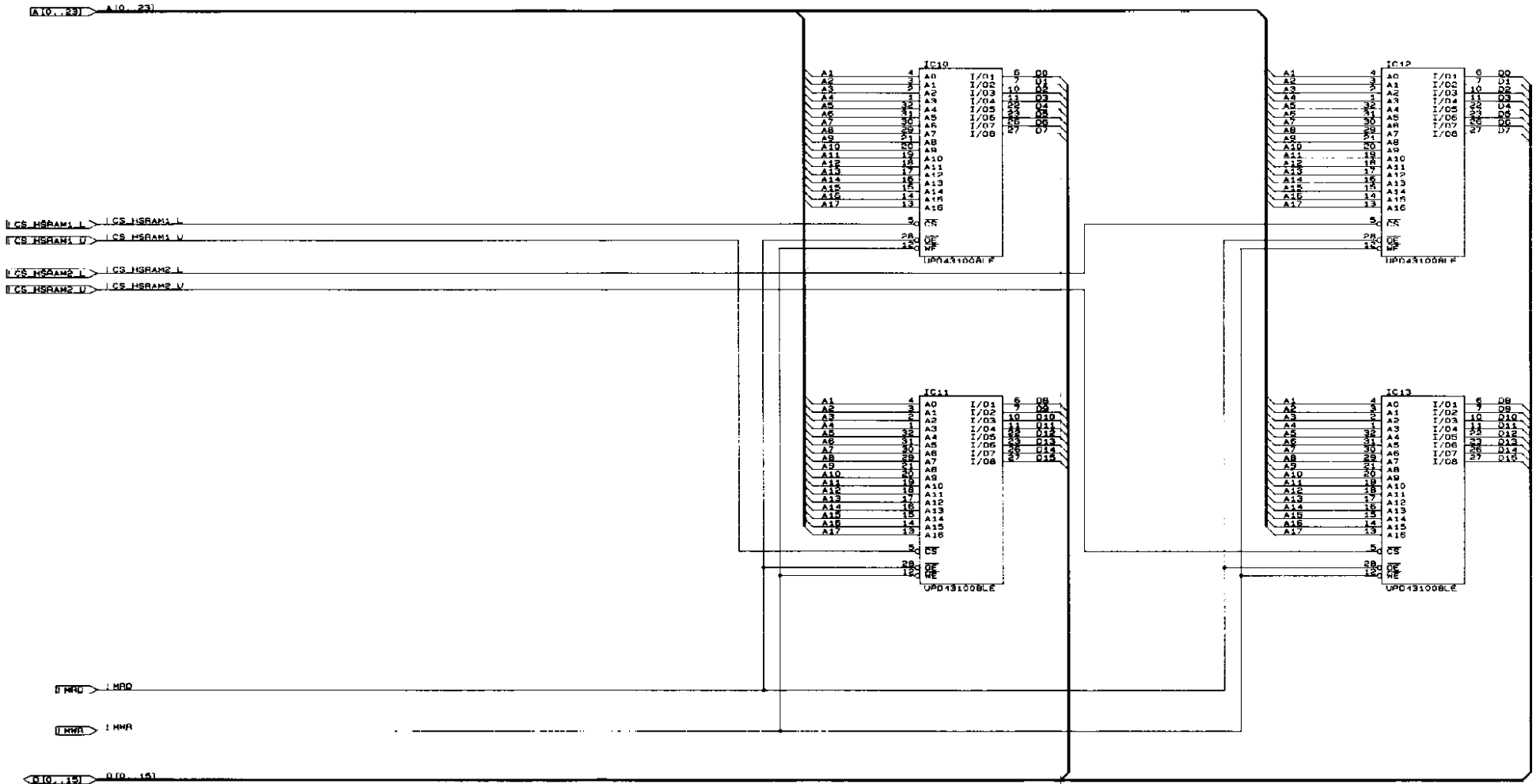


遊
入
込
下
へ
皿
研

保守/廃止

図 B-4 SRAM接続

(図 B-4 SRAM接続)

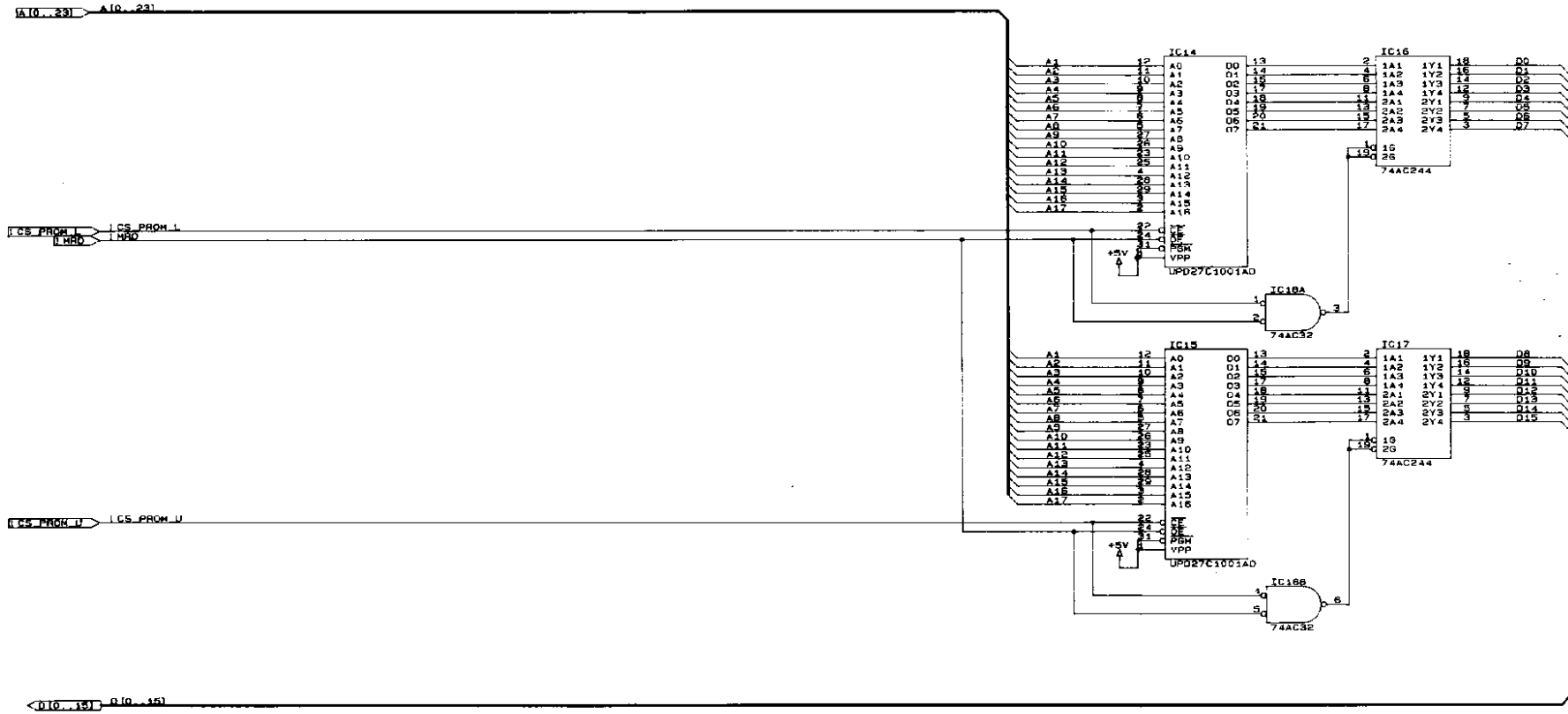


シ
ー
ク
血
餅

保守/廃止

図 B-5 PROM接続

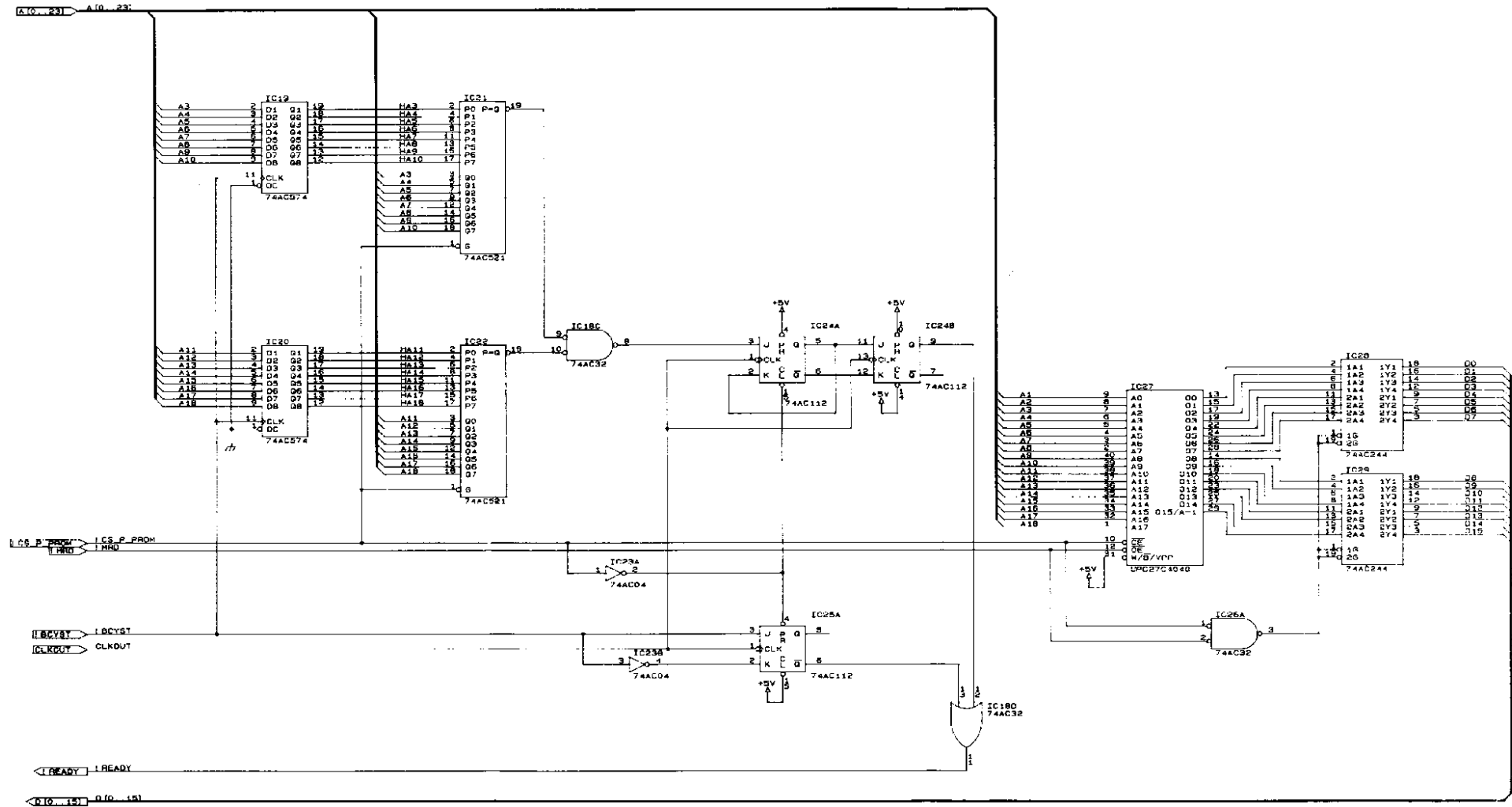
(図 B-5 PROM接続)



紙の自由

図 B-6 ページ機能付きPROM接続

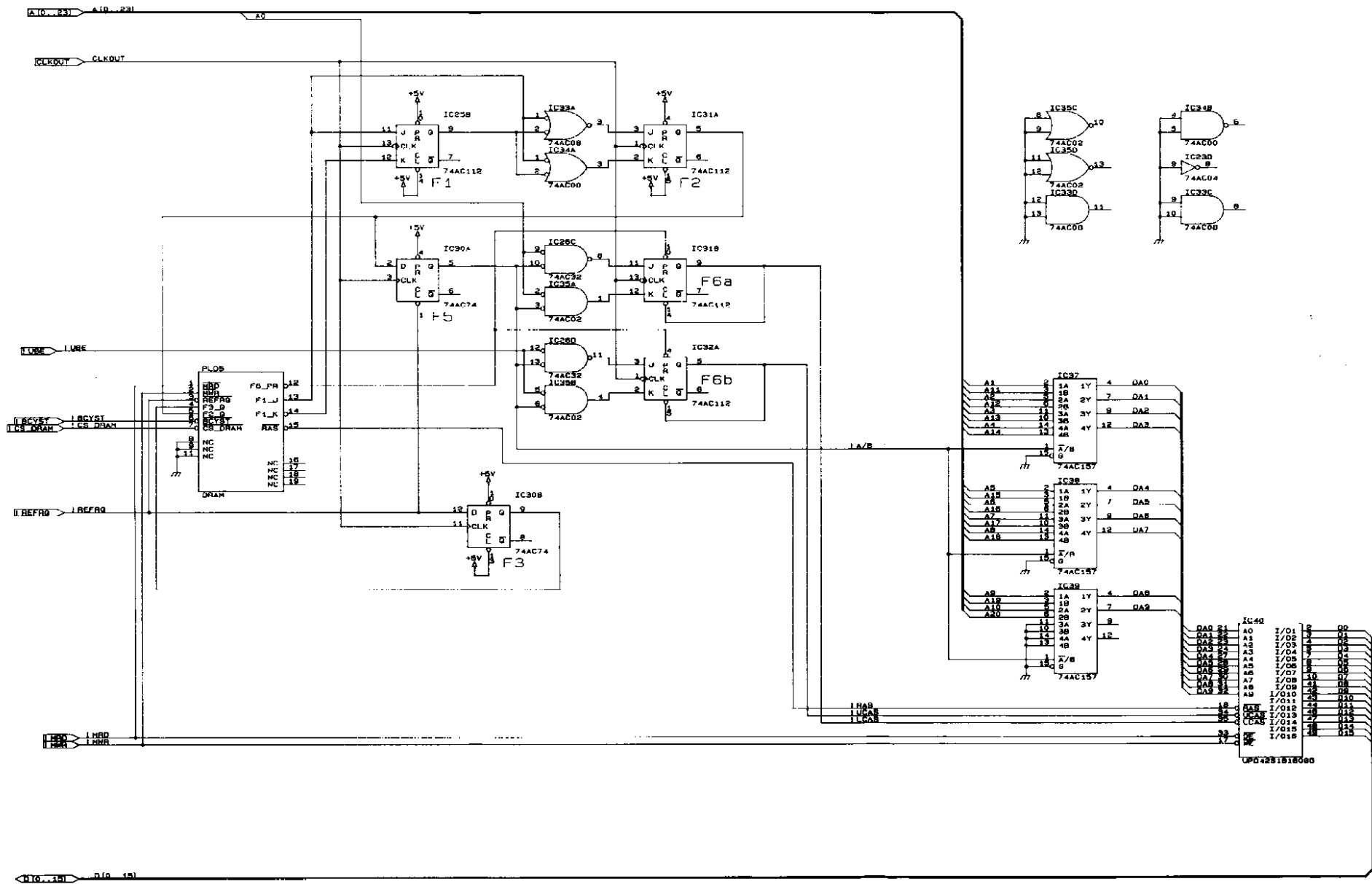
(図 B-6 ページ機能付きPROM接続)



シ
ー
ペ
自
由

図 B-7 DRAM接続

(図 B-7 DRAM接続)

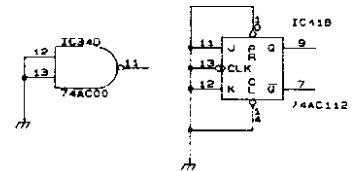
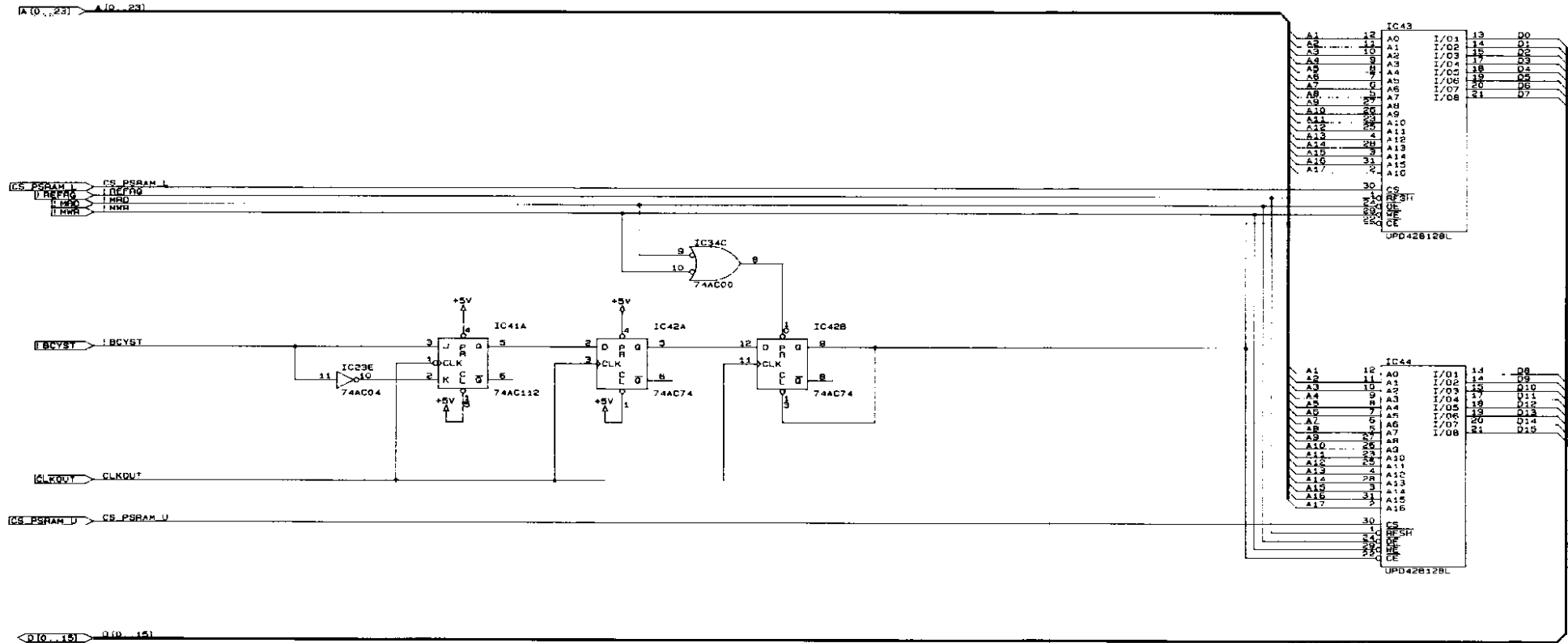


保
守
の
シ
ー
ク
中
止

保守/廃止

図 B-8 PSRAM接続

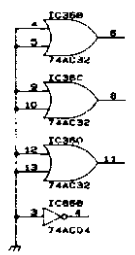
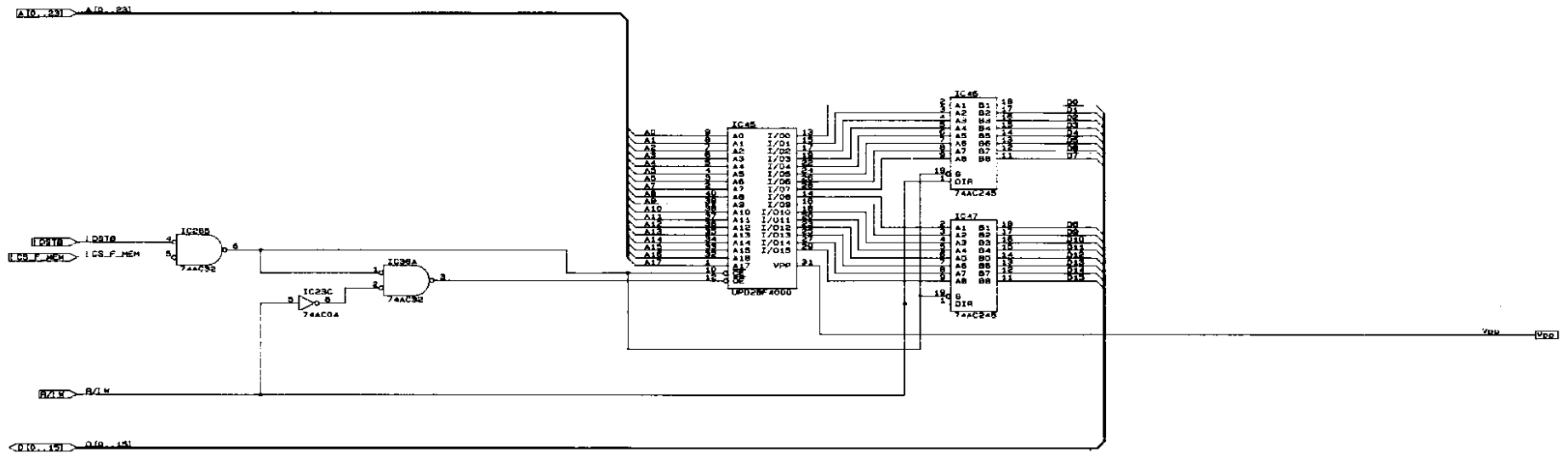
(図 B-8 PSRAM接続)



保
守
自
由
自
由

図 B-9 フラッシュ・メモリ接続

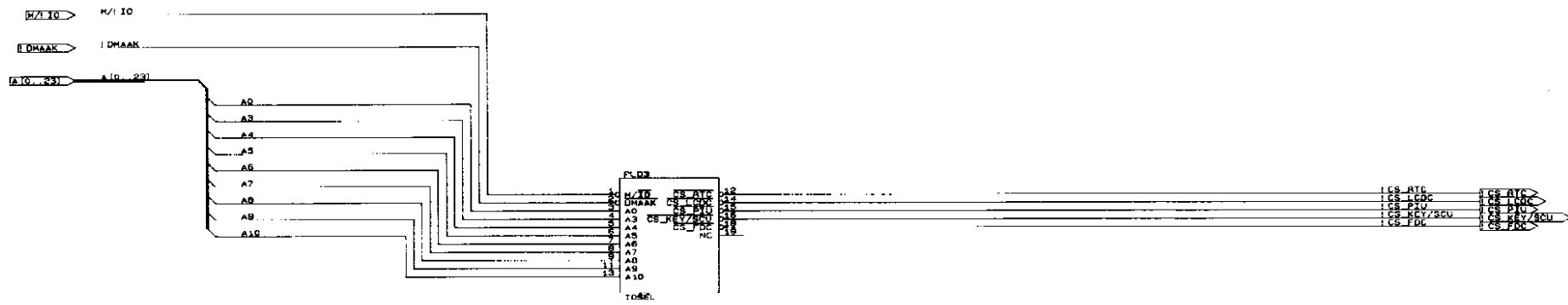
(図 B-9 フラッシュ・メモリ接続)



通信自由法

図 B-10 I/Oセレクト信号生成回路

(図 B-10 I/Oセレクト信号生成回路)

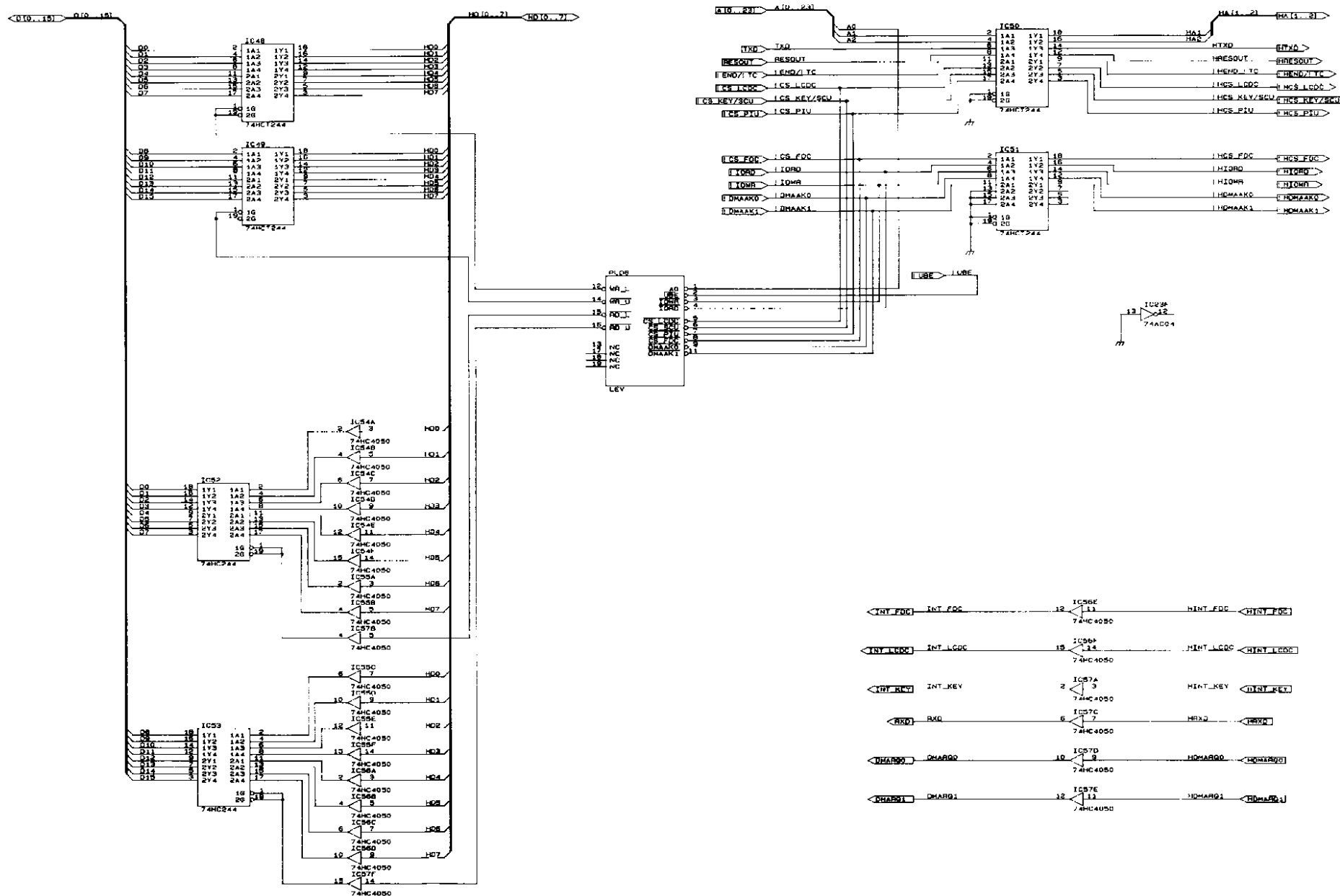


ペーパーレス化

保守/廃止

図 B-11 レベル変換回路

(図 B-11 レベル変換回路)



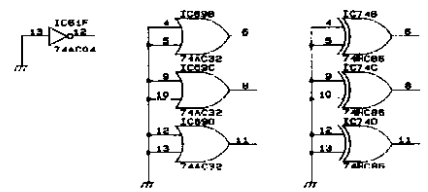
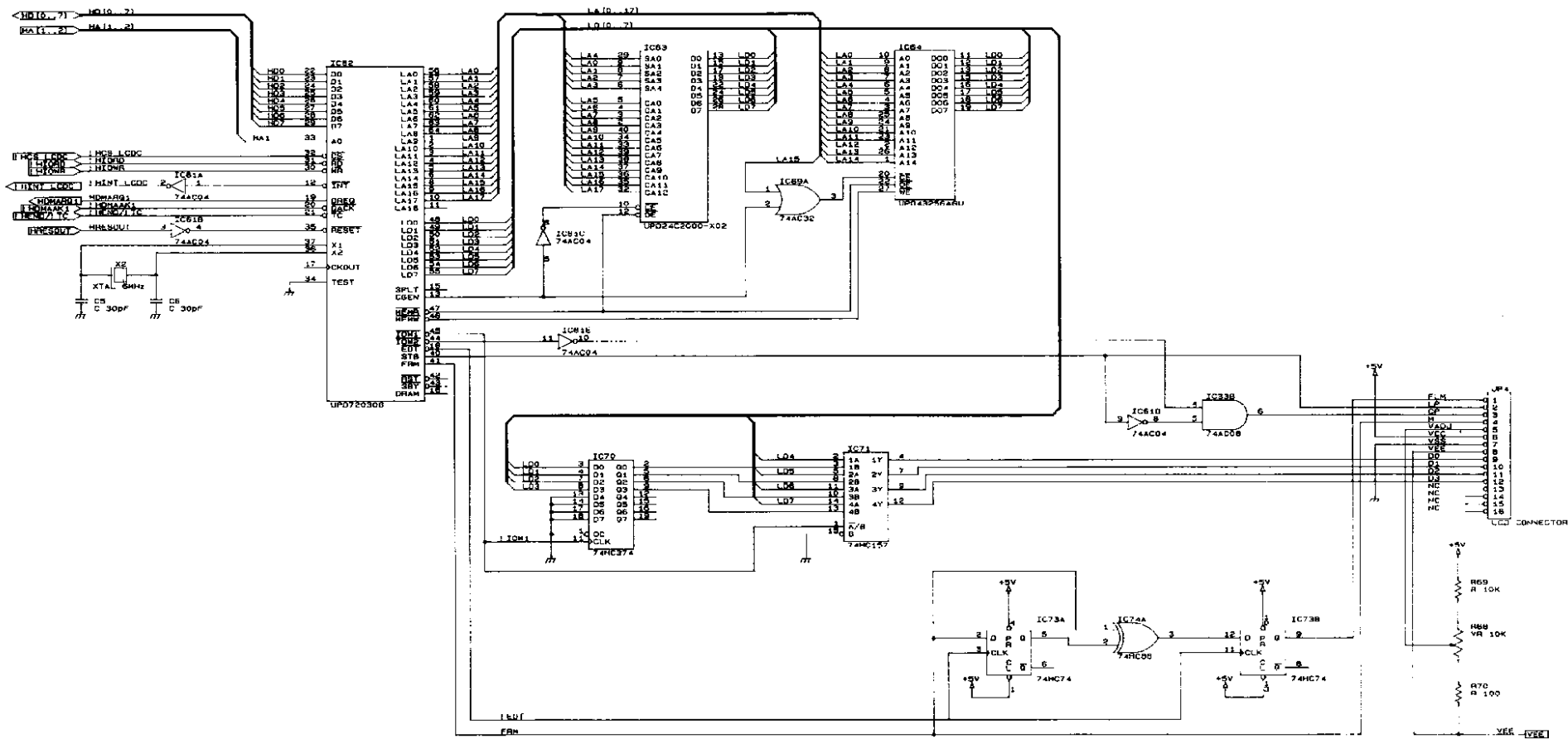
入
心

ニ
ー
く
田
研

保守/廃止

図 B-12 LCDC接続

(図 B-12 LCDC接続)

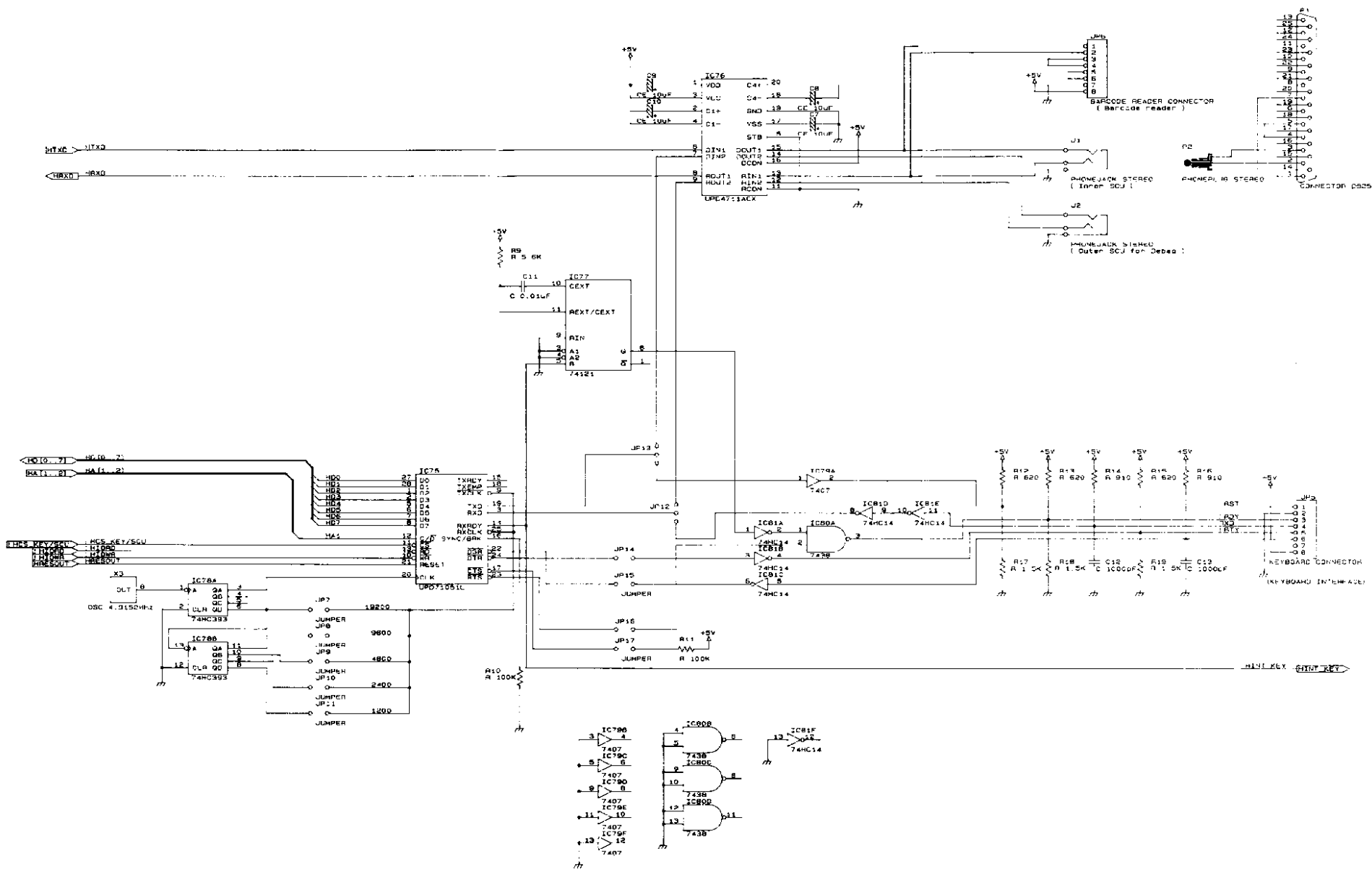


遊
入
込
上
へ
血
研

保守/廃止

図B-13 SCU接続

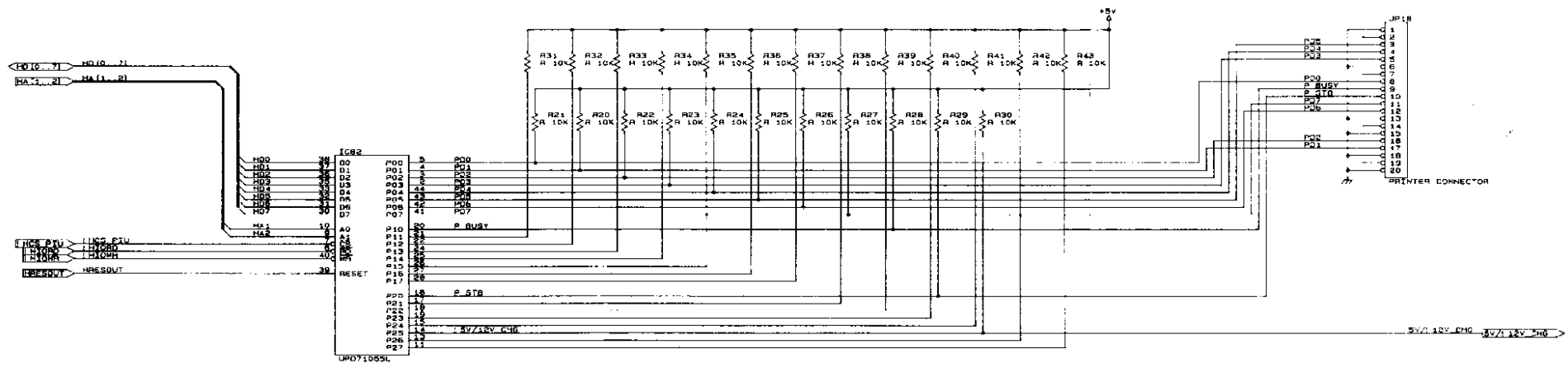
(図B-13 SCU接続)



シ
ー
ク
自
由

図 B-14 PIU接続

(図 B-14 PIU接続)

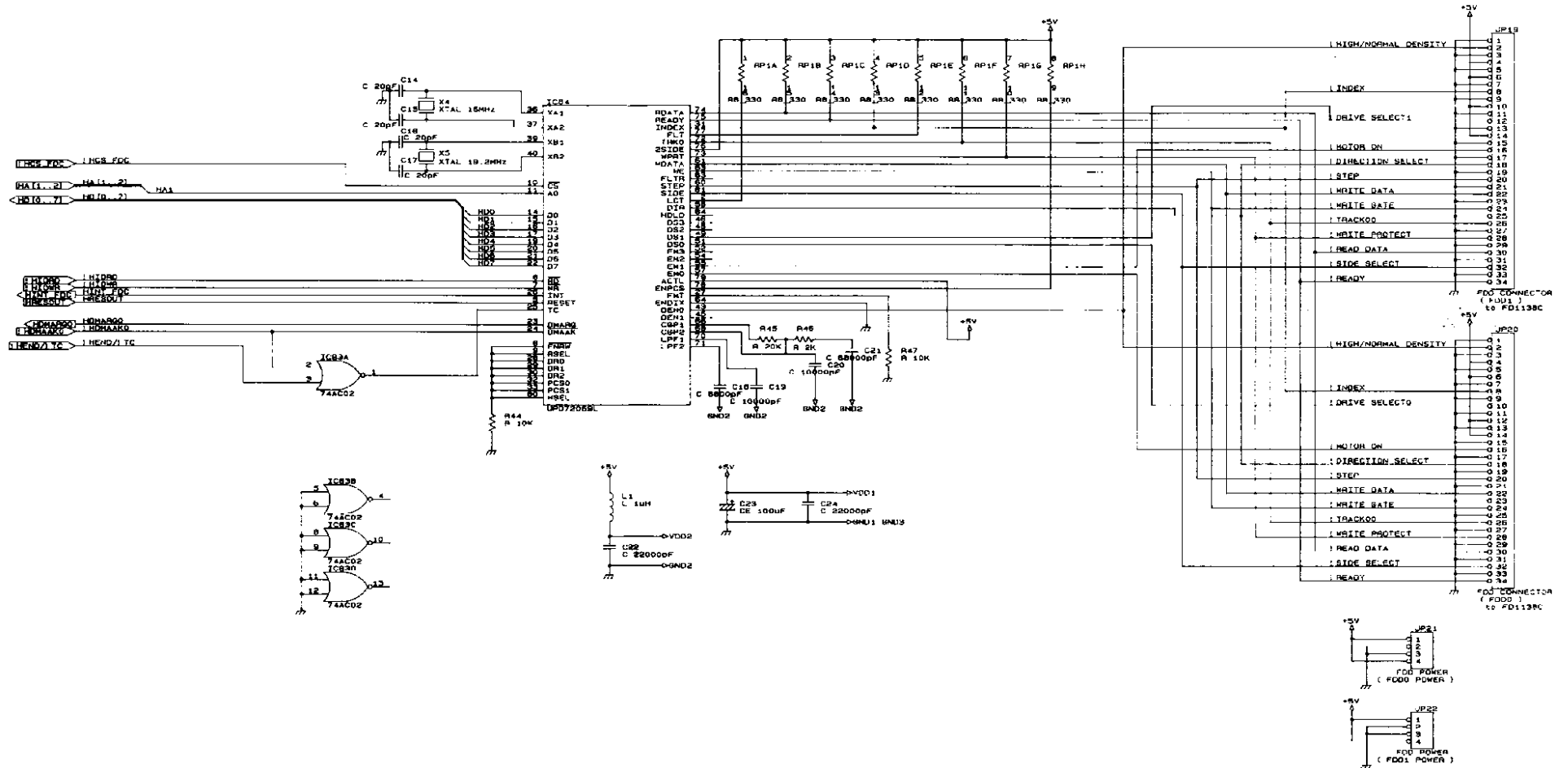


自由平等

保守/廃止

図 B-15 FDC接続

(図 B-15 FDC接続)

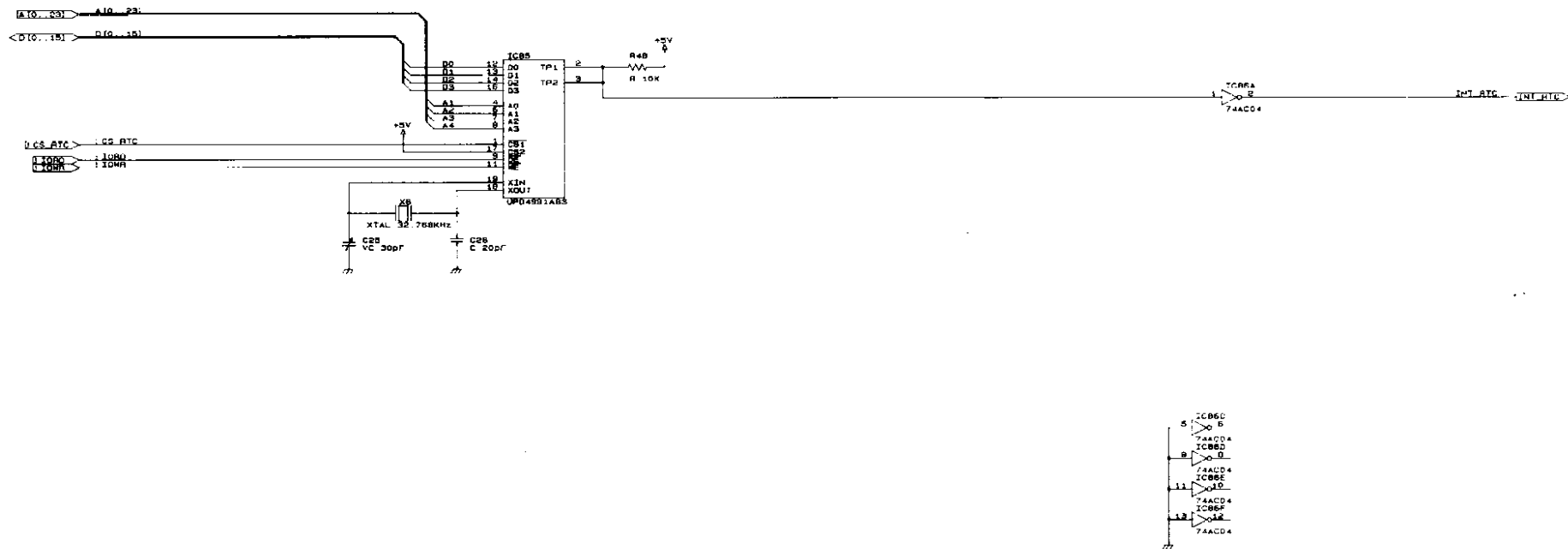


不
ニ
ー
パ
自
別

保守/廃止

図 B-16 RTC接続

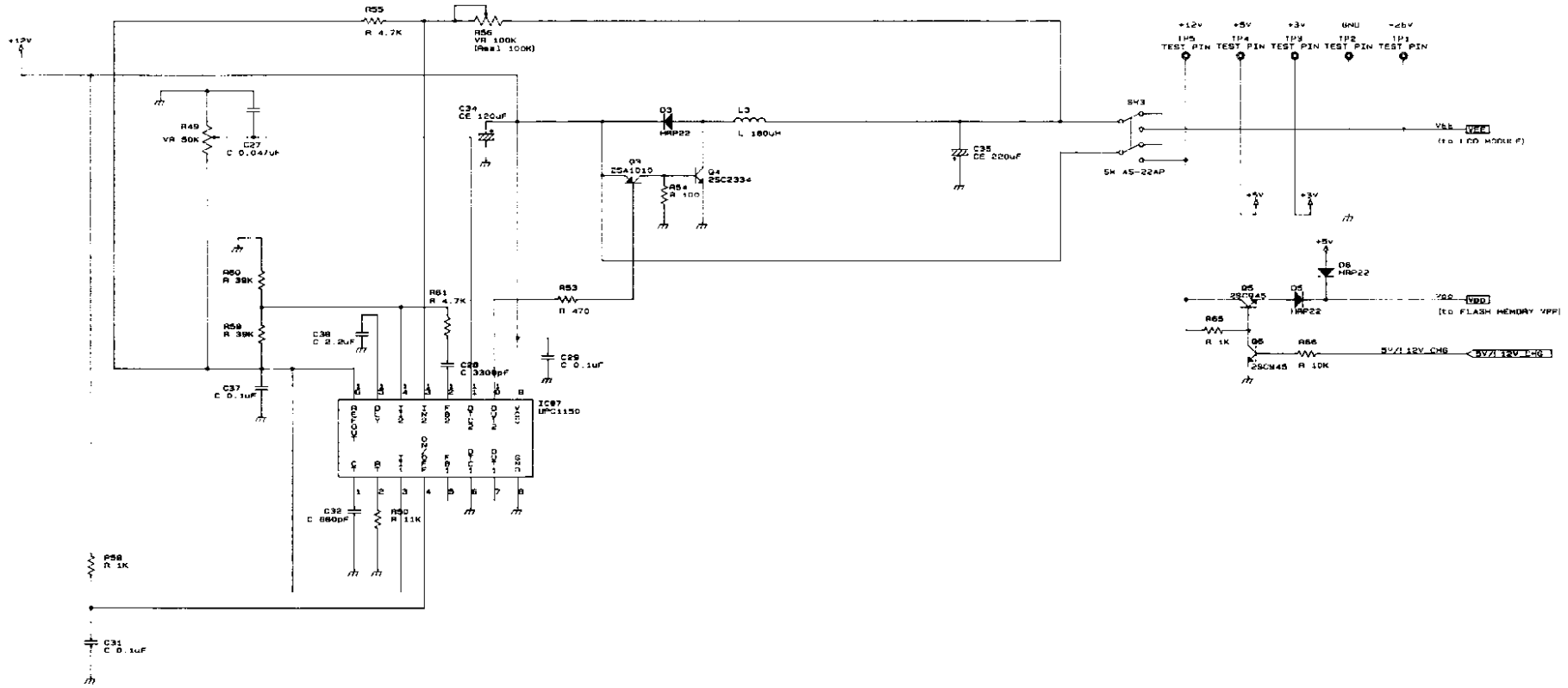
(図 B-16 RTC接続)



無線インターネット自由機

図B-17 電源ブロック

(図B-17 電源ブロック)



(メモ)

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] V53A アプリケーション・ノート ハードウェア設計編
(U13552JJ1VOAN00 (第1版))

[お名前など] (さしつかえのない範囲で)

御社名 (学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価 (各欄に○をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
そ の 他 ()					
()					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは

NEC 販売員, 特約店販売員, NEC 半導体ソリューション技術本部員,
その他 ()

ご協力ありがとうございました。

下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡しく下さい。

NEC 半導体テクニカルホットライン

FAX : (044)548-7900

キ
リ
ト
リ

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン (インフォメーションセンター)

電話 : 044-548-8899
 FAX : 044-548-7900
 E-mail : s-info@ssed.tmg.nec.co.jp

【営業関係お問い合わせ先】

半導体第一販売事業部	〒108-8001	東京都港区芝5-7-1	(日本電気本社ビル)	(03)3454-1111			
半導体第二販売事業部							
半導体第三販売事業部							
中部支社 半導体第一販売部	〒460-8525	愛知県名古屋市中区錦1-17-1	(日本電気中部ビル)	(052)222-2170 (052)222-2190			
中部支社 半導体第二販売部							
関西支社 半導体第一販売部	〒540-8551	大阪府大阪市中央区城見1-4-24	(日本電気関西ビル)	(06) 945-3178 (06) 945-3200 (06) 945-3208			
関西支社 半導体第二販売部							
関西支社 半導体第三販売部							
北海道支社	札幌	(011)231-0161	宇都宮支店	宇都宮 (028)621-2281	北陸支社	金沢	(076)232-7303
東北支社	仙台	(022)267-8740	小山支店	小山 (0285)24-5011	富山支店	富山	(0764)31-8481
岩手支店	盛岡	(019)651-4344	甲府支店	甲府 (0552)24-4141	福井支店	福井	(0776)22-1866
郡山支店	郡山	(0249)23-5511	長野支社	松本 (0263)35-1662	京都支社	京都	(075)344-7824
いわき支店	いわき	(0246)21-5511	静岡支社	静岡 (054)254-4794	神戸支社	神戸	(078)333-3854
長岡支店	長岡	(0258)36-2155	立川支社	立川 (042)526-5981,6167	中国支社	広島	(082)242-5504
水戸支店	水戸	(029)226-1717	埼玉支社	大宮 (048)649-1415	鳥取支店	鳥取	(0857)27-5311
土浦支店	土浦	(0298)23-6161	千葉支社	千葉 (043)238-8116	岡山支店	岡山	(086)225-4455
群馬支店	高崎	(027)326-1255	神奈川支社	横浜 (045)682-4524	松山支店	松山	(089)945-4149
太田支店	太田	(0276)46-4011	三重支店	津 (059)225-7341	九州支社	福岡	(092)261-2806