

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

保守/廃止

V40HL™, V50HL™  
16/8, 16ビット・マイクロプロセッサ

ハードウェア設計編

μPD70208H  
μPD70216H

— CMOSデバイスの一般的注意事項 —

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

インターツールは米国Intermetrics Microsystems Software, Inc. の商標です。

V20HL, V30HL, V40, V50, V40HL, V50HL, Vシリーズは日本電気株式会社の商標です。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

- 本資料の内容は、後日変更する場合があります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
  - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
  - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
  - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

## はじめに

**対象者** このアプリケーション・ノートは、 $\mu$ PD70208H (V40HL)、 $\mu$ PD70216H (V50HL) の機能を理解し、それらを使用した応用システムを設計するユーザを対象とします。

**目的** このアプリケーション・ノートではV40HL、V50HLを用いたシステムの例として「V40HL、V50HL デモ・ボード」を取り上げ、その構成をユーザに理解していただくことを目的としています。

**構成** このアプリケーション・ノートは大きく分けて次の内容で構成しています。

- CPU周辺回路例
- メモリ・インタフェース例
  - ・PROM接続例
  - ・SRAM接続例
  - ・DRAM接続例
- 外部I/Oインタフェース例
  - ・SCU接続例
  - ・PIU接続例
- レベル変換回路例

**読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般的知識を必要とします。

V40HL、V50HLの電気的特性を知りたいとき

→別冊のデータ・シートを参照してください。

V40HL、V50HLのハードウェア機能を知りたいとき

→別冊のユーザーズ・マニュアル ハードウェア編を参照してください。

V40HL、V50HLの命令機能を知りたいとき

→別冊の16ビットVシリーズ™ ユーザーズ・マニュアル 命令編を参照してください。

- 凡例**
- |              |   |
|--------------|---|
| データ表記の重み     | : 左が上位桁、右が下位桁   |
| アクティブ・ロウの表記  | : $\overline{\text{XXX}}$ (端子、信号名称に上線) または<br>!XXX (信号名称の前に“!”記号) |
| メモリ・マップのアドレス | : 上部—上位、下部—下位   |
| 注            | : 本文中につけた注の説明   |

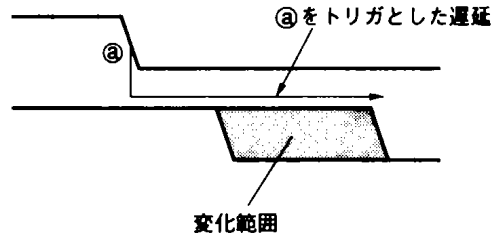
- 注意 : 気をつけて読んでいただきたい内容
- 備考 : 本文の補足説明
- 数の表記 : 2進数…XXXXまたはXXXXB  
10進数…XXXX  
16進数…XXXXH

2のべき数を示す接頭語（アドレス空間、メモリ容量）：

K（キロ）： $2^{10}=1024$

M（メガ）： $2^{20}=1024^2$

タイミング・チャートの表記：



関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしていません。あらかじめご了承ください。

●V40HL, V50HLに関する資料

資 料 名	資料番号
V40HL, V50HL データ・シート	IC-8221
V40HL, V50HL ユーザーズ・マニュアル ハードウェア編	IEU-770
16ビットVシリーズ ユーザーズ・マニュアル 命令編	IEU-804
V40HL, V50HL レジスタ活用表	IEM-5575

●開発ツールに関する資料 (ユーザーズ・マニュアル)

製 品 名	資料番号	
IE-70208H-BX, IE-70216H-BX (インサーキット・エミュレータ)	EEU-864	
EB-70216H-98, EB-70216H-PC (エバリュエーション・ボード)	EEU-819	
RA70116-I (インターツール™・アセンブラ) ,	操作編 EEU-869	
SP70116-I (インターツール・ソフトウェア・パッケージ)	言語編 EEU-861	
LC70116 (ロケータ)	EEU-834	
TD208H-BX, TD216H-BX (ターボ・ディバグ)	EEU-889	
RX116 Ver.2.1 (リアルタイムOS)	基礎編	IEM-5063
	テクニカル編	EEM-719
	ニュークリアス・インストレーション編	EEU-747

●メモリ、外部I/Oに関する資料 (データ・シート)

製 品 名	資料番号
μPD431000A (SRAM)	IC-8204
μPD42S4260 (DRAM)	IC-7214
μPD71051 (シリアル・コントローラ: SCU)	IC-6494
μPD71055 (パラレル・インタフェース・ユニット: PIU)	IC-6502



## 目 次 要 約

第1章	概 説	…	1
第2章	CPU周辺回路例	…	9
第3章	メモリ・インタフェース例	…	13
第4章	外部I/Oインタフェース例	…	35
第5章	レベル変換回路例	…	43
付 録	回路図	…	45

(メ モ)

## 目 次

第1章 概 説	…	1
1.1 仕 様	…	3
1.2 システム構成	…	6
1.2.1 ブロック図	…	6
1.2.2 I/Oマップ	…	7
1.2.3 メモリ・マップ	…	8
第2章 CPU周辺回路例	…	9
2.1 アドレス出力タイミング	…	10
2.2 データ入出力タイミング	…	11
第3章 メモリ・インタフェース例	…	13
3.1 PROMブロック	…	13
3.2 SRAMブロック	…	16
3.2.1 SRAMリード・タイミング	…	17
3.2.2 SRAMライト・タイミング	…	18
3.2.3 SRAMに対するCPUの動作周波数とウェイト数の関係	…	19
3.3 DRAMブロック	…	20
3.3.1 DRAMリード・タイミング	…	28
3.3.2 DRAMライト・タイミング	…	29
3.3.3 $\overline{\text{RAS}}$ オンリー・リフレッシュ	…	31
3.3.4 CBRセルフ・リフレッシュ	…	33
3.3.5 DRAMに対するCPUの動作周波数とウェイト数の関係	…	34
第4章 外部I/Oインタフェース例	…	35
4.1 外部SCUブロック	…	36
4.1.1 外部SCUリード・タイミング	…	37
4.1.2 外部SCUライト・タイミング	…	38
4.2 PIUブロック	…	40
4.2.1 PIUリード・タイミング	…	41
4.2.2 PIUライト・タイミング	…	42
第5章 レベル変換回路例	…	43
付 録 回 路 図	…	45

## 図の目次 (1/2)

図番号	タイトル、ページ
1-1	デモ・ボード外觀図 … 2
1-2	I/Oマップ … 7
1-3	メモリ・マップ … 8
2-1	CPU周辺回路構成図 … 9
2-2	CPU周辺回路のアドレス出力タイミング … 10
2-3	CPU周辺回路のデータ入出力タイミング … 11
3-1	PROM接続構成図 … 13
3-2	PROMリード・タイミング … 14
3-3	SRAM接続構成図 … 16
3-4	SRAMリード・タイミング … 17
3-5	SRAMライト・タイミング … 18
3-6	DRAM接続構成図 … 20
3-7	リード/ライト・サイクルでのアドレス切り替えタイミング … 26
3-8	$\overline{\text{RAS}}$ オンリー・リフレッシュ・サイクルでのアドレス切り替えタイミング … 27
3-9	DRAMリード・タイミング … 28
3-10	DRAMライト・タイミング … 29
3-11	$\overline{\text{RAS}}$ オンリー・リフレッシュ・タイミング … 31
3-12	リフレッシュ・コントロール・レジスタ (RFC) … 32
3-13	システム・コントロール・レジスタ (SCTL) … 32
3-14	CBRセルフ・リフレッシュ・タイミング … 33
4-1	外部SCU接続構成図 … 36
4-2	外部SCUのリード・タイミング … 37
4-3	外部SCUのライト・タイミング … 38
4-4	PIU接続構成図 … 40
4-5	PIUのリード・タイミング … 41
4-6	PIUのライト・タイミング … 42
付-1	CPU周辺回路 … 47
付-2	メモリ接続回路 … 49
付-3	外部I/O接続回路 … 51
付-4	電源ブロック … 53
付-5	レベル変換回路 … 55
付-6	LCDC接続回路 … 57

## 図の目次 (2/2)

図番号	タイトル, ページ
付-7	チップ・セレクト回路 … 59
付-8	$\overline{\text{RAS}}$ , $\overline{\text{CAS}}$ 制御回路 … 61
付-9	PLD等価回路 (PLD_1: DRAM_CS) … 63
付-10	PLD等価回路 (PLD_2: PROM_CS) … 65
付-11	PLD等価回路 (PLD_3: I/O_CS) … 67

## 表の目次

表番号	タイトル, ページ
3-1	PROMに対するCPUの動作周波数とウェイト数の関係 … 15
付-1	回路図一覧 … 45

(× 毛)

# 第1章 概 説

V40HLは、16ビット・アーキテクチャに8ビット・データ・バスを備え、汎用周辺機能を内蔵した16/8ビット・マイクロプロセッサです。

V50HLは、16ビット・アーキテクチャに16ビット・データ・バスを備え、汎用周辺機能を内蔵した16ビット・マイクロプロセッサです。

V40HL, V50HLの特徴を次に示します。

- V40™, V50™の高速、低消費電力化製品
- 電源電圧…5 Vまたは3 V
- 最大動作周波数：10, 12.5, 16, 20 MHz（外部供給：20, 25, 32, 40 MHz時）
- 高性能16/8, 16ビットCPU搭載（V20HL™, V30HL™相当）
  - 最小命令実行時間：100 ns（20 MHz, 5 V動作時）  
200 ns（10 MHz, 3 V動作時）
  - 乗除算命令実行時間：0.95-2.8  $\mu$ s（20 MHz, 5 V動作時）  
1.9-5.6  $\mu$ s（10 MHz, 3 V動作時）
- スタンバイ機能
  - HALTモード： $I_{DD}$  (MAX.) = 2.2 mA/MHz（5 V動作時）, 1.5 mA/MHz（3 V動作時）
  - STOPモード： $I_{DD}$  (MAX.) = 50  $\mu$ A（5 V動作時）, 30  $\mu$ A（3 V動作時）
- 外部システム・クロック入力停止可能
  - 外部クロック入力停止時： $I_{DD}$  (MAX.) = 50  $\mu$ A（5 V動作時）, 30  $\mu$ A（3 V動作時）
  - 外部クロック周波数は、DCレベルから最大周波数まで変更可能
- インストラクション・サイクル可変機能
- 汎用周辺機能
  - クロック・ジェネレータ（CG）
  - バス・インタフェース・ユニット（BIU）
  - バス・アービトレーション・ユニット（BAU）
  - ウェイト・コントロール・ユニット（WCU）
  - リフレッシュ・コントロール・ユニット（REFU）
  - タイマ/カウンタ・ユニット（TCU）
  - シリアル・コントロール・ユニット（SCU）
  - 割り込みコントロール・ユニット（ICU）
  - DMAコントロール・ユニット（DMAU）

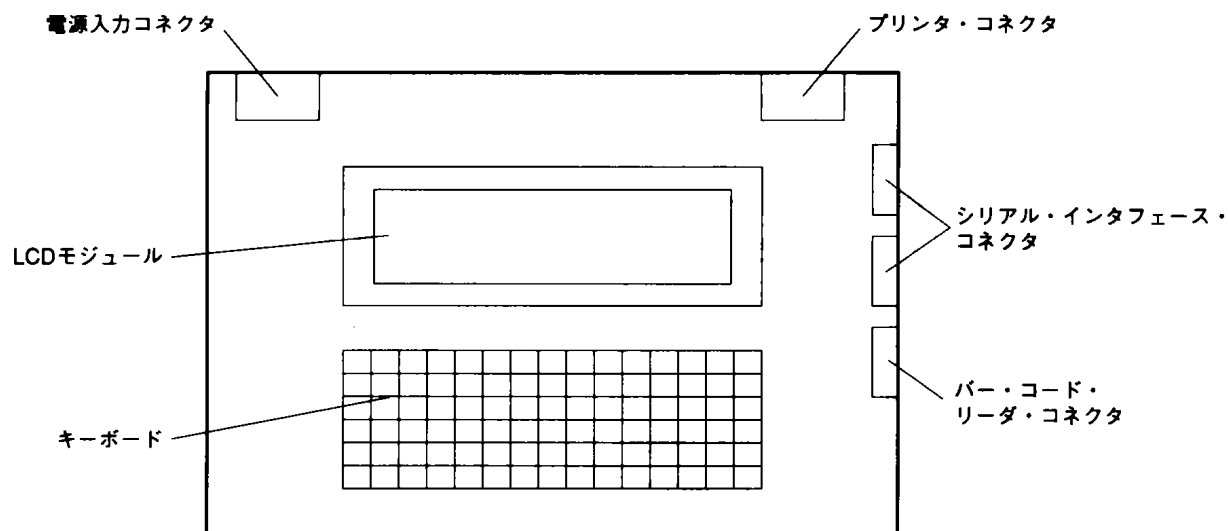
このアプリケーション・ノートでは、V40HL, V50HLを用いたシステム「V40HL, V50HLデモ・ボード」（以

後デモ・ボードと記述します) を例に挙げ、V40HL, V50HLとメモリ、外部I/Oのインタフェースについて説明します。

デモ・ボードでは、次のような機能を実現しています。

- 最大動作周波数：20 MHz
- V40HL, V50HLをチップ本体の差し替えと、ボード上のジャンパによって切り替え
- バンク切り替えにより、最大32 Mバイトまでのメモリをノー・ウエイトでアクセス
- 3種類のパワー・ダウン・モード
  - ・スタンバイ・モード
  - ・電源電圧ダウン・モード
  - ・周辺回路スタンバイ・モード
- ドット・マトリクス液晶表示
- フル・キーボード
- シリアル・インタフェース (2チャンネル)
- プリンタ・インタフェース
- バー・コード・リーダ・インタフェース

図1-1 デモ・ボード外観図





## 1.1 仕 様

### (1) 主要デバイス

CPU <sup>注</sup>		$\mu$ PD70208H (V40HL) または $\mu$ PD70216H (V50HL)
メモリ	PROM	TC57H1001AD
	SRAM	$\mu$ PD431000A
	DRAM	$\mu$ PD42S4260
外部I/O	シリアル・コントローラ (外部SCU)	$\mu$ PD71051
	パラレル・インタフェース (PIU)	$\mu$ PD71055
	LCDコントローラ (LCDC)	$\mu$ PD72030
	カレンダー時計 (RTC)	$\mu$ PD4991

注 デモ・ボードはV40HLとV50HLの両方に対応できるように設計しています。V40HLとV50HLの切り替えは、CPU本体の差し替えとジャンパの設定により行います。CPUの切り替えの詳細については、1.1 (5) V40HLとV50HLの切り替えを参照してください。

### (2) 外部インタフェース

- LCDモジュール
- シリアル・インタフェース (2チャンネル)
- プリンタ・インタフェース
- バー・コード・リーダー・インタフェース

### (3) 電源電圧

- CPU, メモリ :  $V_{DD} = +5V$  または  $+3V$
- 外部I/O :  $V_{DD} = +5V$

デモ・ボードのCPUとメモリは、5Vまたは3V動作が可能です。しかし、外部I/Oは5Vでしか動作しないため、CPU、メモリを3Vで動作させる場合には、5V、3Vの2電源回路の構成でボードを動作させます。デモ・ボードは、内部電源回路で生成される電源と外部から供給される電源をスイッチで選択して使用します。

内部電源回路は、デモ・ボードに入力された電圧から5Vと3Vの電圧を生成し、各デバイスに供給します。

外部から供給される電源を使用するときは、外部で5Vと3Vの電圧を作成し、デモ・ボードに入力します。

備考1. CPUとメモリを3Vで、外部I/Oを5Vで動作させる場合の例については、第5章 レベル変換回路例に示します。

2. CPUを3Vで動作させる場合、動作周波数は10 MHzになります。

#### (4) 各デバイスに対するウェイト数

デバイス	ウェイト数
PROM	ノー・ウェイト
SRAM	
DRAM	
外部SCU	2ウェイト
PIU	
LCDC	
RTC	

ウェイト・サイクルの挿入には、次の2種類の方法があります。

(a) ハードウェアによる方法： $\overline{\text{READY}}$  信号を使用













(b) ソフトウェアによる方法：ウェイト・コントロール・ユニット (WCU: V40HL, V50HL内蔵) を使用

デモ・ボード上の各デバイスに対しては、(b)の方法でウェイト制御しています。

#### (5) V40HLとV50HLの切り替え

V40HLとV50HLの切り替えは、CPU本体の差し替えとジャンパ1-3 (JP1-JP3) の設定で行います。

V40HLを使用する場合は、JP1-JP3を「V40HL」が表示されている側に、V50HLを使用する場合は、JP1-JP3を「V50HL」が表示されている側に設定します (図付-1 CPU周辺回路参照)。

使用する ジャンパ	使用する CPU	V40HL	V50HL
JP1		 	 
JP2		 	 
JP3		 	 

各ジャンパの機能は次のとおりです。

- JP1 : A0と $\overline{UBE}$ を使い分ける<sup>注</sup>  
 JP2, JP3 : D8-D15の出力を制御する

注  $\overline{UBE}$  (Upper Byte Enable) 端子はCPUとしてV50HLを使用し、奇数番地をアクセスするときにアクティブ (ロウ・レベルを出力) になります。偶数番地をアクセスするときにロウ・レベルになるA0端子の出力レベルを反転した信号ですが、偶数番地のワード・アクセスを行うときだけ、 $\overline{UBE}$  とA0が同時にロウ・レベルになります。

V40HLには、この端子はありません。V40HLは外部データ・バス幅が8ビットのため、1バス・サイクルで行われるワード・アクセスがないためです (ワード・データのアクセスは、最初が下位バイト、次が上位バイトの2回のバイト・アクセスに分けて行われます)。

このデモ・ボードでは、V40HLで奇数番地をアクセスするときには、 $\overline{UBE}$ の代わりにA0を反転した信号を使用します。

#### (6) 外部SCUのポー・レート設定

外部SCUのポー・レートはジャンパ4-7 (JP4-JP7) で設定します (図付-3 外部I/O接続回路参照)。

ジャンパ \ ポー・レート (bps)	9600	4800	2400	1200
JP4	⊖ ⊖	○ ○	○ ○	○ ○
JP5	○ ○	⊖ ⊖	○ ○	○ ○
JP6	○ ○	○ ○	⊖ ⊖	○ ○
JP7	○ ○	○ ○	○ ○	⊖ ⊖

#### (7) DRAMのリフレッシュ方法

デモ・ボードでは、DRAMのリフレッシュに $\overline{RAS}$ オンリー・リフレッシュとCBRセルフ・リフレッシュの2種類のリフレッシュを使用しています。

##### (a) $\overline{RAS}$ オンリー・リフレッシュ

CPUの出力する $\overline{REFRQ}$ 信号を基に行うリフレッシュです。

CPUの通常動作モード時に使用します。

デモ・ボードでは、V40HL, V50HLのリフレッシュ機能により $\overline{RAS}$ オンリー・リフレッシュを行っています。V40HL, V50HLのリフレッシュ機能とデモ・ボードで $\overline{RAS}$ オンリー・リフレッシュを行うための設定内容については、3.3.3  $\overline{RAS}$ オンリー・リフレッシュに示します。

## (b) CBRセルフ・リフレッシュ

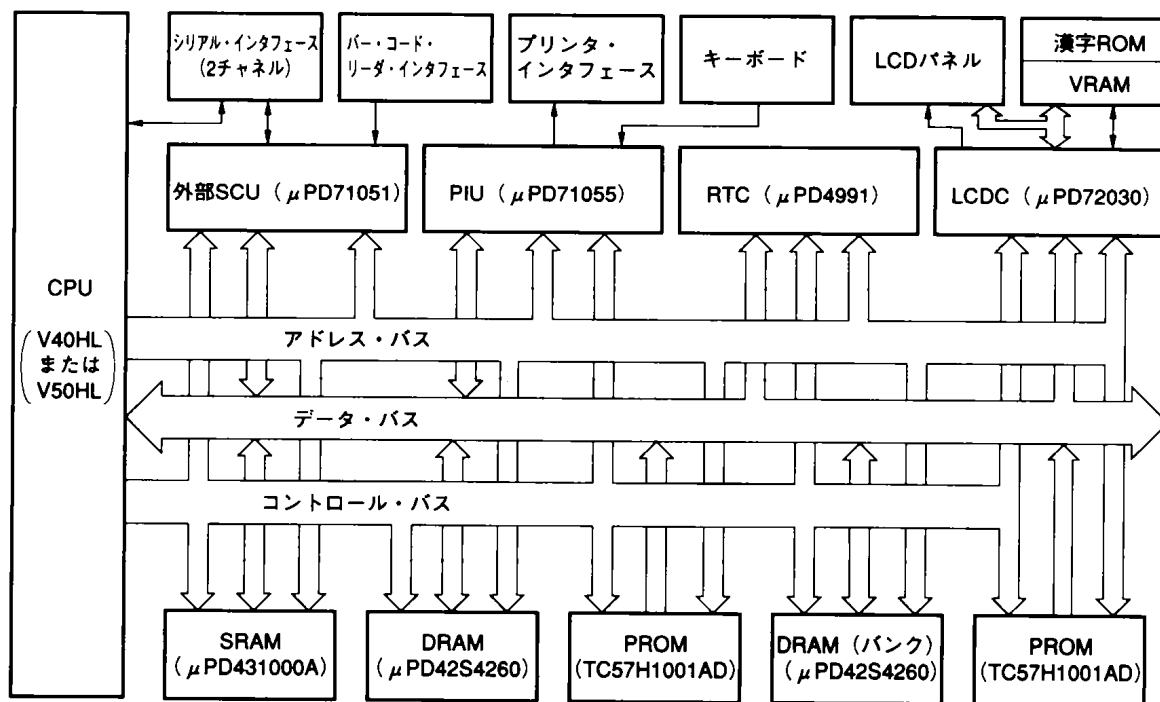
パラレル・インタフェース・ユニット (PIU:  $\mu$ PD71055) で作成した信号 ( $\overline{\text{STANDBY}}$  信号) を基に行うリフレッシュです。

CPUのスタンバイ時 (STOPモード) で  $\overline{\text{REFRQ}}$  信号がアクティブにならないときに使用します。

STOPモードに入る前 (HALT命令を実行する前) に、ポートを操作し、 $\overline{\text{STANDBY}}$  信号の出力をアクティブ (ロウ・レベル) にします。STOPモードを終了したら、ポートを操作し、 $\overline{\text{STANDBY}}$  信号の出力をインアクティブにします。

## 1.2 システム構成

## 1.2.1 ブロック図



## 1.2.2 I/Oマップ

デモ・ボードのI/Oマップを図1-2に示します。

図1-2 I/Oマップ

FFFFH	システム制御I/O
FF00H FEFFH	未使用
FE60H FE5FH	内蔵DMAU
FE50H FE4FH	未使用
FE43H FE42H	内蔵ICU
FE40H FE3FH	未使用
FE37H FE36H	内蔵TCU
FE30H FE2FH	未使用
FE27H FE26H	内蔵SCU
FE20H FE1FH	未使用
FE00H FDFFH	バンク・レジスタ制御I/O
FDF8H FDF7H	外部SCU
FDF0H FDEFH	PIU
FDE8H FDE7H	LCDC
FDE0H FDDFH	RTC
FDC0H FDBFH	未使用
0000H	

### 1.2.3 メモリ・マップ

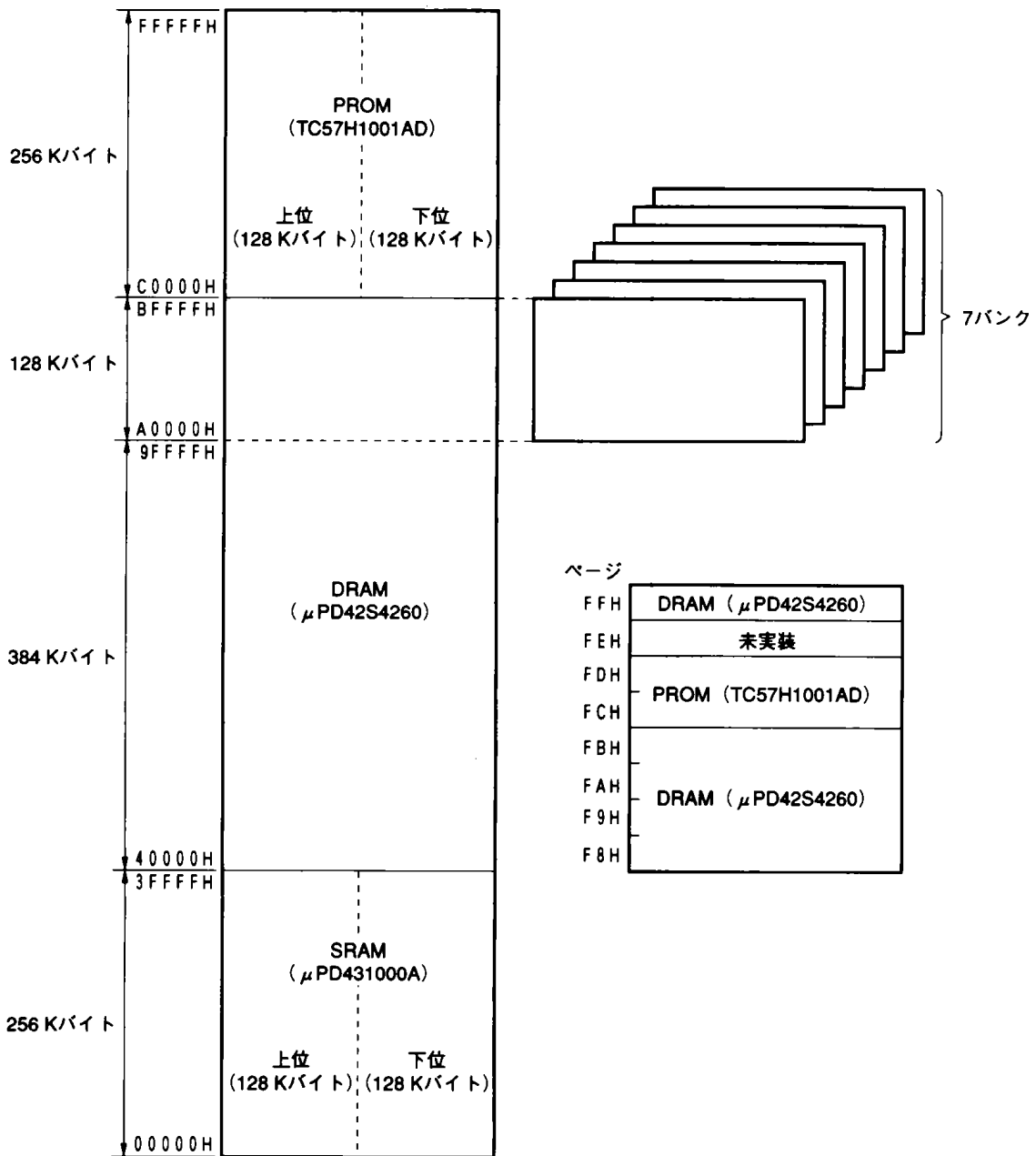
デモ・ボードのメモリ・マップを図1-3に示します。

デモ・ボードでは、メモリの一部分をバンク切り替えすることにより、メモリ空間を増設しています。

メイン・メモリ上のA0000H-BFFFFFFH番地の128 Kバイトをバンク用のメモリに切り替えてアクセスするようになっており、最大255バンク (32 Mバイト) までのメモリが増設できます。バンクの切り替えはバンク・レジスタ (メモリ・バンクのバンク番号を指定するレジスタ) で行います。

このデモ・ボードでは、7バンク分のメモリを実装しています。

図1-3 メモリ・マップ

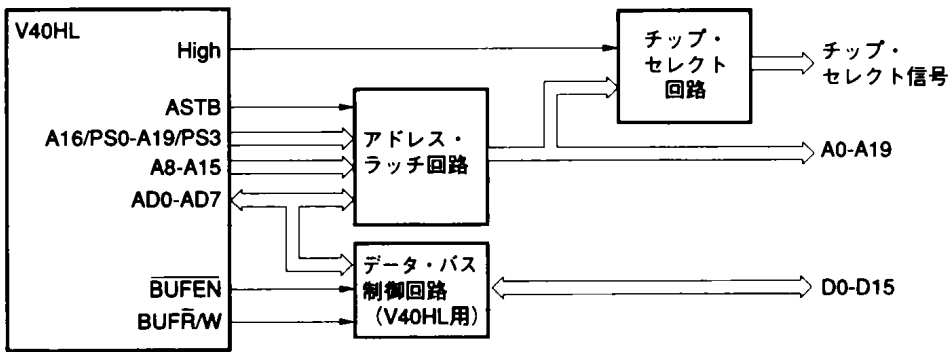


## 第2章 CPU周辺回路例

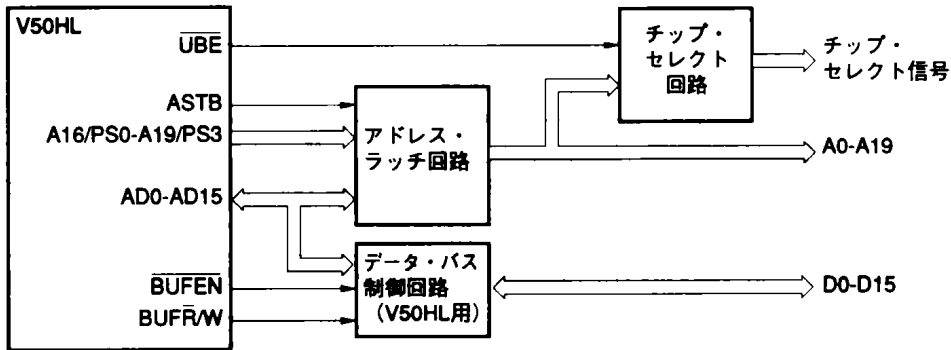
この章では、CPU周辺の回路構成について説明します。

図2-1 CPU周辺回路構成図

(a) V40HLを使用する場合



(b) V50HLを使用する場合



(1) アドレス・ラッチ回路

CPUのアドレスとデータの兼用バス、およびアドレスとプロセッサ・ステータス信号の兼用バスからアドレス情報を取り出します。

アドレスのラッチはASTB信号のハイ・レベルで行います。

(2) データ・バス制御回路

CPUが出力したデータとメモリが出力したデータの衝突を防ぎます。

データの通過はBUFEN信号で制御し、通過の方向はBUF̄RW信号で決定します。

なお、V40HL用のデータ・バス制御回路はバス・サイジング機能を含んでいます。

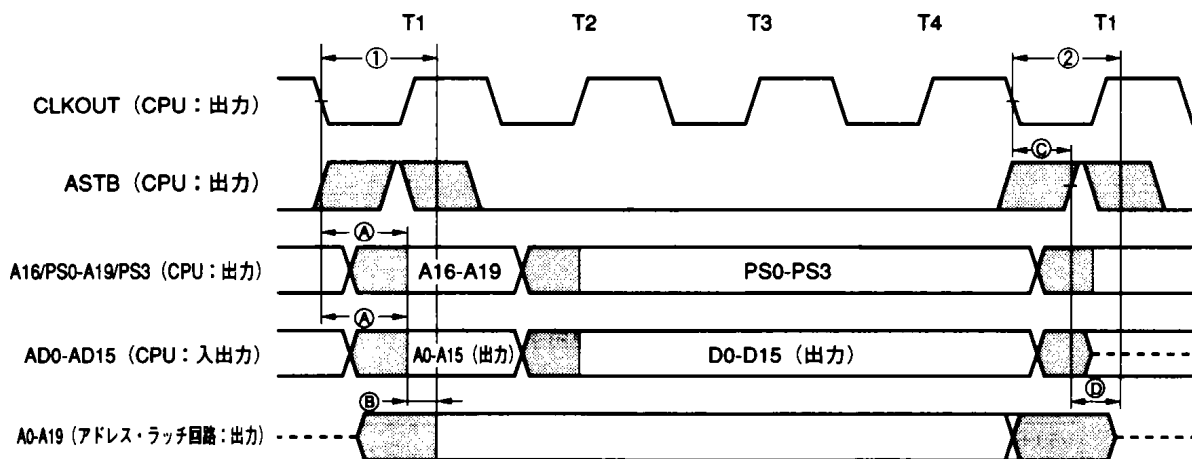
注意 このアプリケーション・ノートでは、CPUとしてV50HLを使用したデモ・ボードについて記載しています。

V40HLをCPUとして使用する場合の例については、以降の各回路構成図のCPU周辺回路（CPU、アドレス・ラッチ回路、データ・バス制御回路）を図2-1（a）V40HLを使用する場合の図に置き換えてお読みください。

## 2.1 アドレス出力タイミング

CPU周辺回路のアドレス出力タイミングを図2-2に示します。

図2-2 CPU周辺回路のアドレス出力タイミング



No.	項目	時間 (ns)	説明
①	有効アドレス確定時間	6.0~35.2	アドレスの出力遅延時間 (A) とアドレス・ラッチ回路の遅延時間 (B) の合計です。
②	有効アドレス保持時間	1.0~30.0	ASTB信号の立ち上がり遅延時間 (C) とアドレス・ラッチ回路のディスエーブル時間 (D) の合計です。

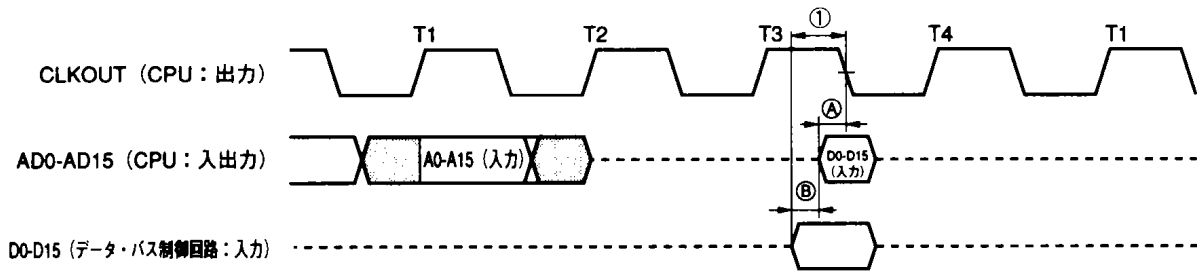


## 2.2 データ入出力タイミング

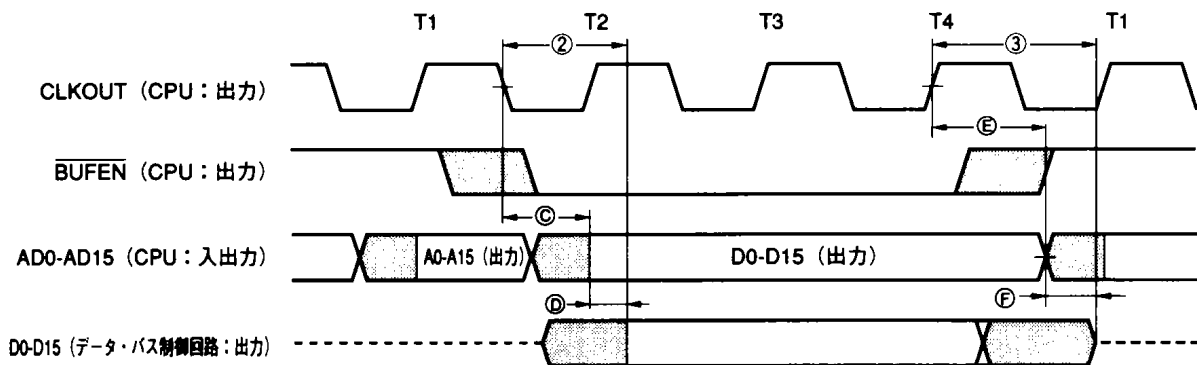
CPU周辺回路のデータ入出力タイミングを図2-3に示します。

図2-3 CPU周辺回路のデータ入出力タイミング

(a) データ入力タイミング



(b) データ出力タイミング



No.	項目	時間 (ns)	説明
①	CPUのデータ・セットアップ時間	15.5~	CPUが正常にデータを受け取るためのセット・アップ時間 (A) とデータ・バス制御回路の遅延時間 (B) の合計です。
②	有効データ出力遅延時間	6.0~34.0	CPUのデータ出力遅延時間 (C) とデータ・バス制御回路の遅延時間 (D) の合計です。
③	有効データ出力フロート時間	7.0~48.5	データ・バス制御回路ディスエーブル時間 (E) とCPUのデータ・フロート時間 (F) の合計です。

(× ㊦)

## 第3章 メモリ・インタフェース例

CPUとメモリの接続について説明します。

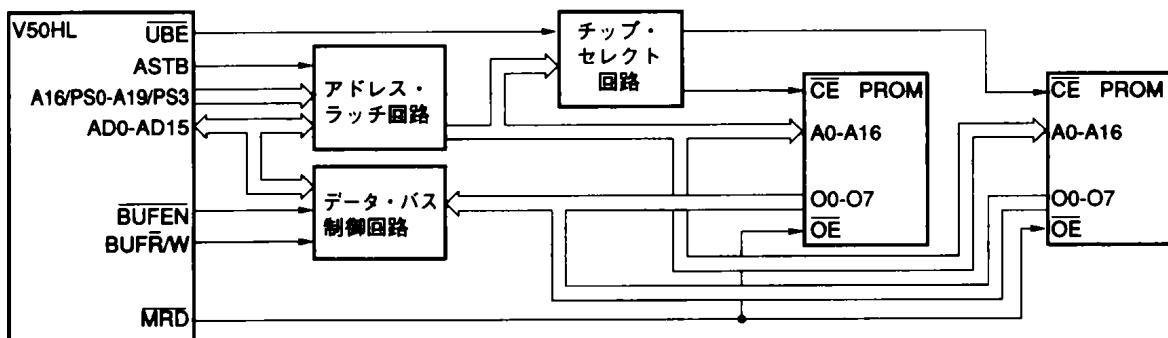
デモ・ボードでは、メモリとしてPROM, SRAM, DRAMを搭載しています。

### 3.1 PROMブロック

デモ・ボードは、メイン・メモリ用に2個、バンク・メモリ用に2個のPROMを搭載しています。この節では、V40HL, V50HLとPROMの接続例として、デモ・ボード上でのCPUとメイン・メモリ用のPROMについて説明します。

アドレスは偶数番地と奇数番地に分け、それぞれに8ビットのデータを割り当てて16ビット・アクセスを行います。

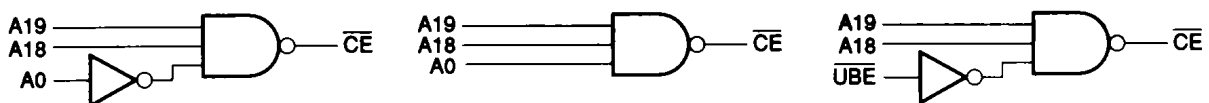
図 3-1 PROM接続構成図



PROM用のチップ・セレクト回路は、CPUがアクセスする1 Mバイトのメモリ空間のC0000H-FFFFFFH番地をアクセスするときにロウ・レベルを出力します。チップ・セレクト回路の出力信号はPROMの $\overline{CE}$ 端子に接続します。

以下の回路を使用することにより、メモリ空間のC0000H-FFFFFFH番地をアクセスするときだけ、ロウ・レベルを出力する信号が作成できます。

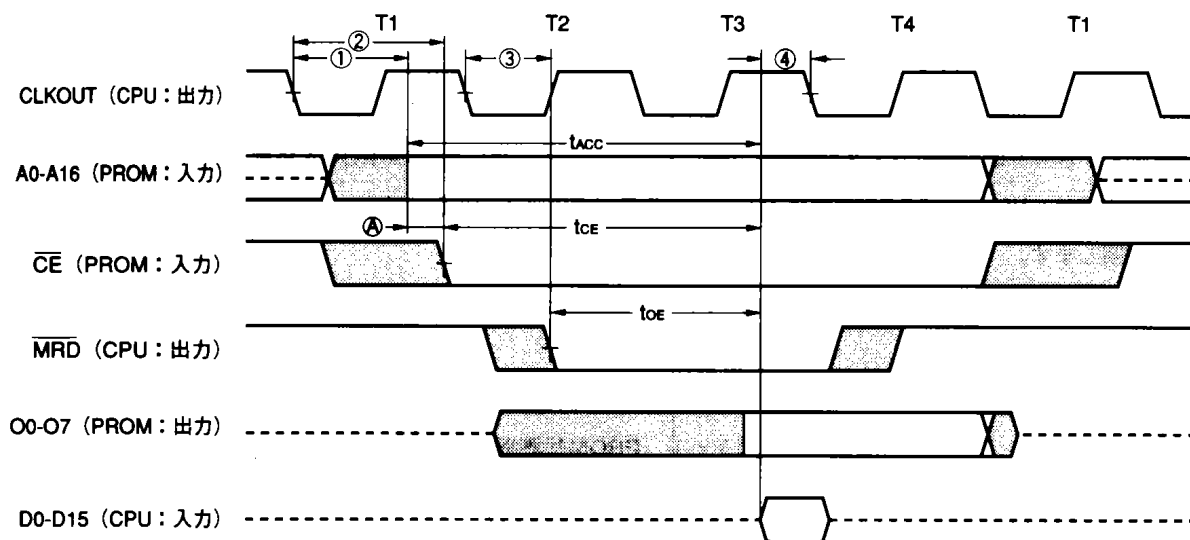
(a) 偶数番地のPROM用      (b) 奇数番地のPROM用 (V40HLの場合)      (c) 奇数番地のPROM用 (V50HLの場合)



なお、デモ・ボードでは、チップ・セレクト回路にPLD (Programmable Logic Device) を使用し、PROMのアクセス時間を短縮しています (図付-10 PLD等価回路 (PLD\_2: PROM\_CS) 参照)。

次に、PROMのリード・タイミングを示します。

図3-2 PROMリード・タイミング



No.	項目	時間 (ns)	説明
①	有効アドレス確定時間	6.0~35.2	アドレスの出力遅延時間とアドレス・ラッチ回路の遅延時間の合計です。
②	$\overline{CE}$ 立ち下がり時間	6.0~45.2	有効アドレス確定時間とチップ・セレクト回路の遅延時間 (A) の合計です。
③	$\overline{OE}$ 立ち下がり時間	5.0~25.0	$\overline{MRD}$ 信号の立ち下がり遅延時間です。
④	CPUのデータ・セットアップ時間	15.5~	CPUが正常にデータを受け取るためのセットアップ時間とデータ・バス制御回路の遅延時間の合計です。

デモ・ボードで使用しているPROMは問題ありませんが、 $t_{OE}$ 、 $t_{CE}$ 、 $t_{ACC}$ の長いPROMでは、CPUがデータを読み取るタイミングまでにデータの出力が開始できません。

この場合、CPUがPROMをアクセスするときウエイトを挿入することで、 $t_{OE}$ 、 $t_{CE}$ 、 $t_{ACC}$ の長いPROMが接続できます (1ウエイト挿入するごとに、それぞれのスペックに1tcyk分の余裕ができます)。ウエイトはT3ステートとT4ステートの間に挿入され、CPUのデータ入力のタイミングも、ウエイト数×1ステート分後ろ (挿入したウエイトの最後とT4ステートの間) に遅れます。

PROMに対するCPUの動作周波数とウエイト数の関係を表3-1に示します。

表3-1 PROMに対するCPUの動作周波数とウェイト数の関係

単位：ウェイト数

メモリ		CPUの動作周波数 (MHz)				
品名	アクセス・タイム (ns)	20	16	12.5	10	8
TC57H1001A-85 <sup>注</sup>	85	0	0	0	0	0
◇ -100	100	1	0	0	0	0
μPD27C1001A-100	100	1	0	0	0	0
◇ -120	120	1	0	0	0	0
◇ -150	150	2	1	0	0	0
◇ -200	200	3	2	1	0	0

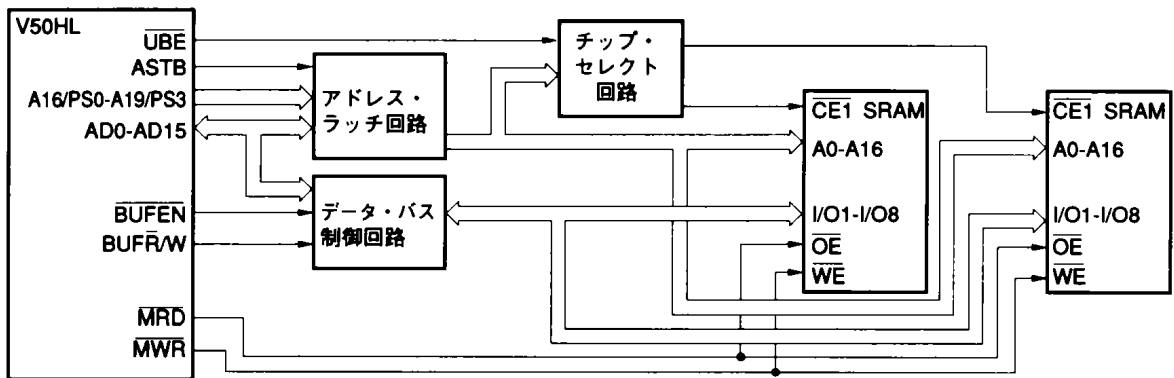
注 デモ・ボードで使用しているPROM

### 3.2 SRAMブロック

この節では、V40HL、V50HLとSRAMの接続例として、デモ・ボード上でのCPUとSRAMについて説明します。

デモ・ボードはメイン・メモリ用にSRAMを2個搭載しています。アドレスは偶数番地と奇数番地に分け、それぞれに8ビットのデータを割り当てて16ビット・アクセスを行います。

図3-3 SRAM接続構成図



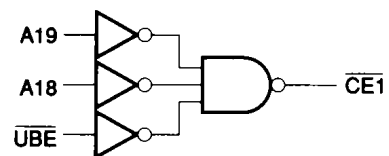
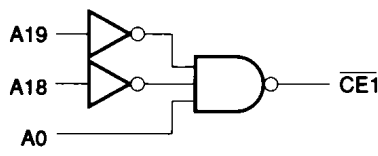
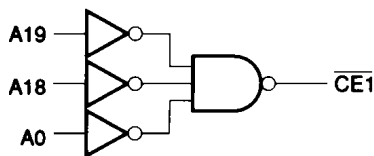
SRAM用のチップ・セレクト回路は、CPUがアクセスする1 Mバイトのメモリ空間の00000H-3FFFFH番地をアクセスするときロウ・レベルを出力します。チップ・セレクト回路の出力信号はSRAMの $\overline{CE1}$ 端子に接続します。

以下の回路を使用することにより、メモリ空間の00000H-3FFFFH番地をアクセスするときだけ、ロウ・レベルを出力する信号が作成できます。

(a) 偶数番地のSRAM用

(b) 奇数番地のSRAM用(V40HLの場合)

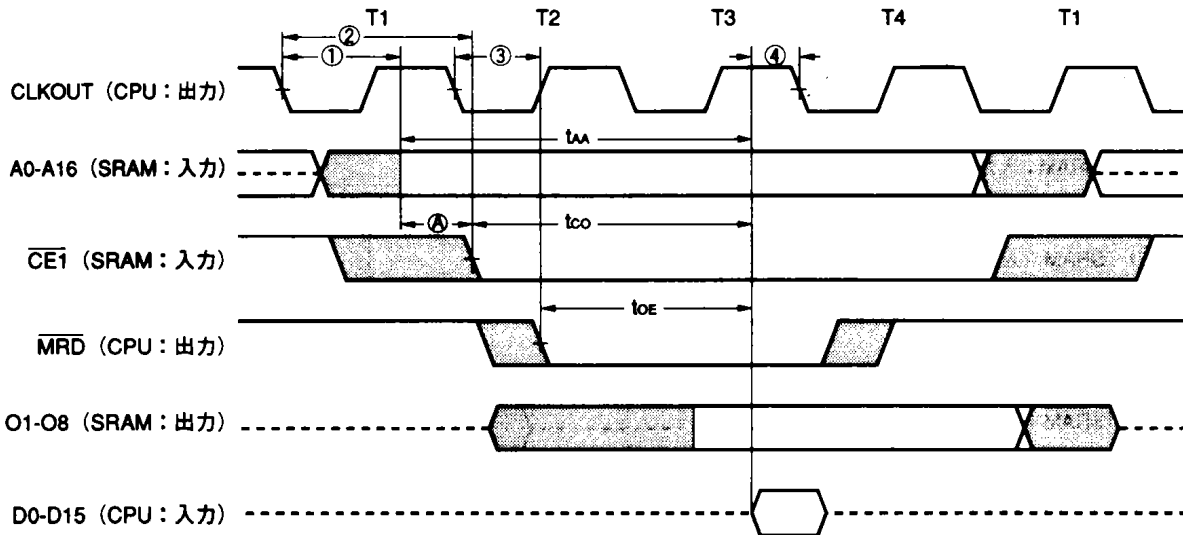
(c) 奇数番地のSRAM用(V50HLの場合)



### 3.2.1 SRAMリード・タイミング

SRAMリード・タイミングを図3-4に示します。

図3-4 SRAMリード・タイミング



No.	項目	時間 (ns)	説明
①	有効アドレス確定時間	6.0~35.2	アドレスの出力遅延時間とアドレス・ラッチ回路の遅延時間の合計です。
②	CE1立ち下がり時間	7.0~45.1	有効アドレス確定時間とチップ・セレクト回路の遅延時間 (A) の合計です。
③	OE立ち下がり時間	5.0~25.0	MRD信号の立ち下がり遅延時間です。
④	CPUのデータ・セットアップ時間	15.5~	CPUが正常にデータを受け取るためのセットアップ時間とデータ・バス制御回路の遅延時間の合計です。

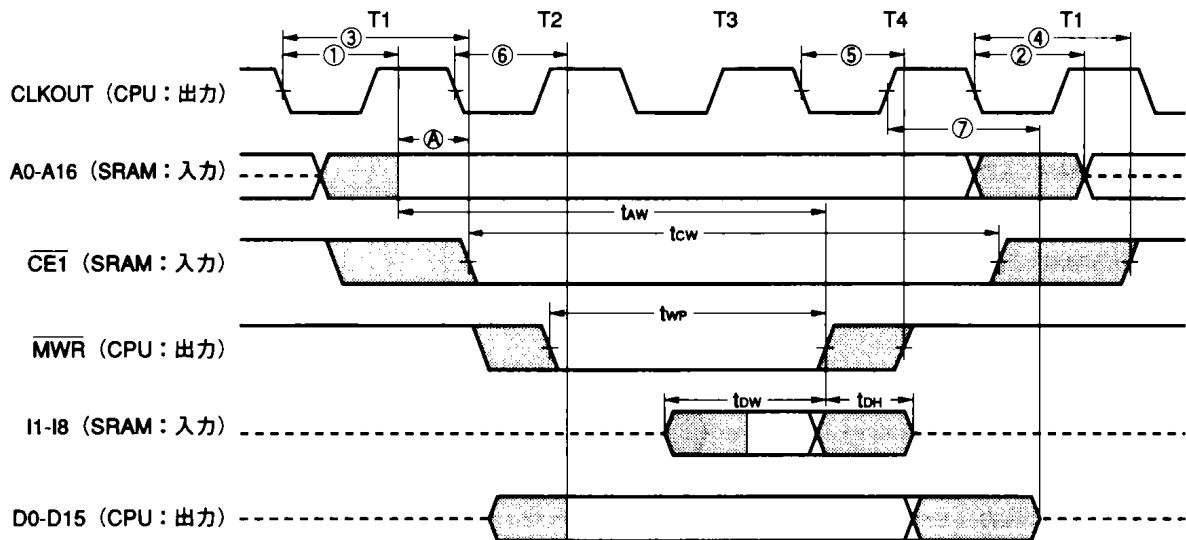
デモ・ボードで使用しているSRAMは問題ありませんが、 $t_{OE}$ 、 $t_{CO}$ 、 $t_{AA}$ の長いSRAMでは、CPUがデータを読み取るタイミングまでにデータの出力が開始できません。

この場合、CPUがSRAMをアクセスするときにウエイトを挿入することで、 $t_{OE}$ 、 $t_{CO}$ 、 $t_{AA}$ の長いメモリが接続できます（1ウエイト挿入するごとに各スペックに1tcvk分の余裕ができます）。ウエイトはT3ステートとT4ステートの間に挿入され、CPUのデータ入力のタイミングも、ウエイト数×1ステート分後ろ（挿入したウエイトの最後とT4ステートの間）に遅れます。

## 3.2.2 SRAMライト・タイミング

SRAMライト・タイミングを図3-5に示します。

図3-5 SRAMライト・タイミング



No.	項目	時間 (ns)	説明
①	有効アドレス確定時間	6.0~35.2	アドレスの出力遅延時間とアドレス・ラッチ回路の遅延時間の合計です。
②	有効アドレス保持時間	1.0~30.0	ASTB信号の立ち上がり遅延時間とアドレス・ラッチ回路のディスエーブル時間の合計です。
③	CE1立ち下がり時間	8.0~52.6	有効アドレス確定時間とチップ・セレクト回路の遅延時間 ( $\Delta$ ) の合計です。
④	CE1立ち上がり時間	3.0~48.7	有効アドレス保持時間とチップ・セレクト回路の遅延時間の合計です。
⑤	WE立ち上がり時間	5.0~30.0	MWR信号の立ち上がり遅延時間です。
⑥	CPUのデータ出力遅延時間	6.0~33.5	データの出力遅延時間とデータ・バス制御回路の遅延時間の合計です。
⑦	データ・フロート時間	7.0~48.5	BUFENの立ち上がり遅延時間とデータ・バス制御回路の遅延時間の合計です。

デモ・ボードで使用しているSRAMは問題ありませんが、 $t_{ow}$ の長いSRAMでは、データ・セットアップ時間が確保できません。また、 $t_{DH}$ の長いSRAMでは、データ・ホールド時間が確保できません。

この場合、CPUがSRAMをアクセスするときに、ウエイトを挿入することで、 $t_{wp}$ 、 $t_{aw}$ 、 $t_{ow}$ 、 $t_{cw}$ の長いメモリが接続できます（1ウエイト挿入するごとに各スペックに1tcyk分の余裕ができます）。ウエイトはT3ステートとT4ステートの間に挿入され、CPUのデータ出力のタイミングも、ウエイト数×1ステート分後ろ（挿入したウエイトの最後とT4ステートの間）に遅れます。



## 3.2.3 SRAMに対するCPUの動作周波数とウェイト数の関係

単位：ウェイト数

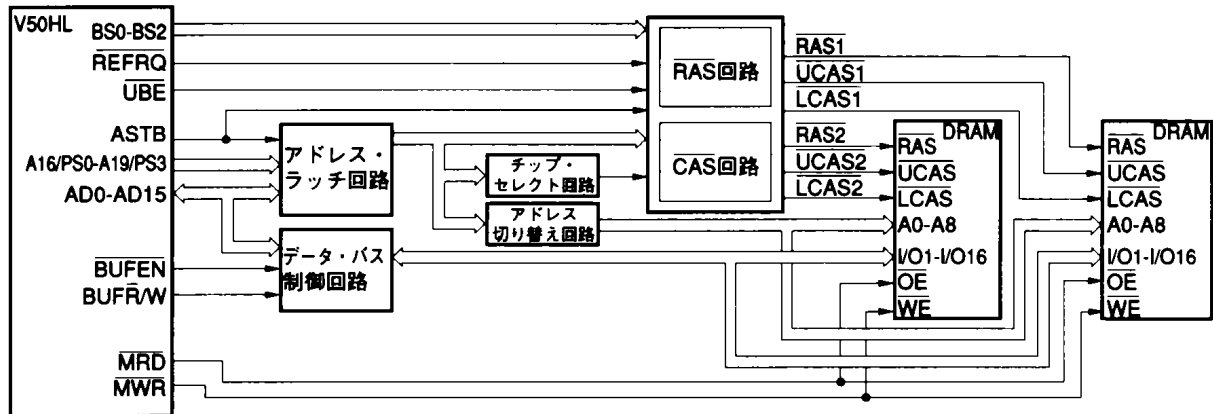
メモリ		CPUの動作周波数 (MHz)				
品名	アクセス・タイム (ns)	20	16	12.5	10	8
μPD431000A-70 <sup>注</sup>	70	0	0	0	0	0
〃 -85	85	1	0	0	0	0
〃 -100	100	1	0	0	0	0

注 デモ・ボードで使用しているSRAM

### 3.3 DRAMブロック

この節では、V40HL、V50HLとDRAMの接続例として、デモ・ボード上でのCPUとDRAMについて説明します。

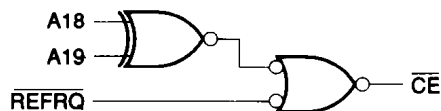
図3-6 DRAM接続構成図



(1) チップ・セレクト回路

DRAM用のチップ・セレクト回路は、CPUがアクセスする1 Mバイトのメモリ空間の40000H-BFFFFH番地をアクセスするときにロウ・レベルを出力します。

以下の回路を使用することにより、メモリ空間の40000H-BFFFFH番地をアクセスするとき、リフレッシュ・サイクルだけ、ロウ・レベルを出力する信号が作成できます。



なお、デモ・ボードでは、チップ・セレクト回路にPLD (Programmable Logic Device) を使用し、DRAMのアクセス時間を短縮しています (図付-9 PLD等価回路 (PLD\_1: DRAM\_CS) 参照)。

(2) DRAMのリフレッシュ方法

デモ・ボードでは、DRAMのリフレッシュに次の2種類のリフレッシュを使用しています。

(a)  $\overline{RAS}$  オンリー・リフレッシュ

CPUの出力するREFRQ信号を基に行うリフレッシュです。

CPUの通常動作モード時に使用します。

## (b) CBRセルフ・リフレッシュ

パラレル・インタフェース・ユニット (PIU:  $\mu$ PD71055) で作成した信号 ( $\overline{\text{STANDBY}}$  信号) を基に行うリフレッシュです。

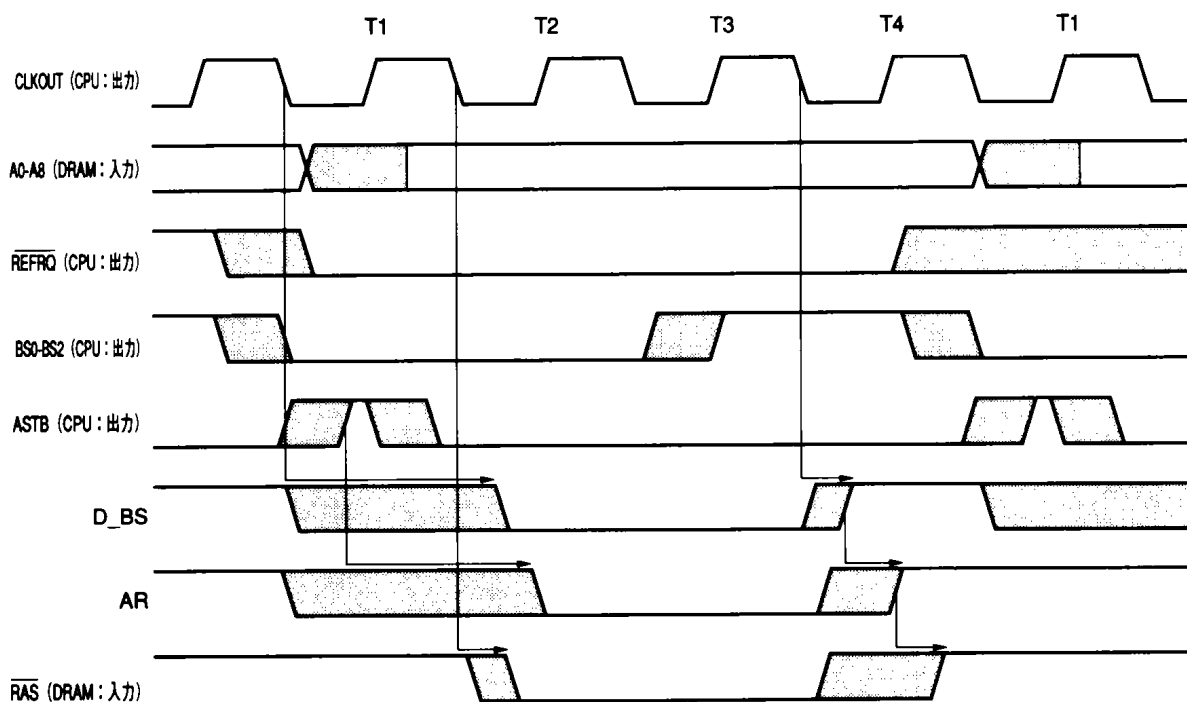
CPUのスタンバイ時 (STOPモード) で $\overline{\text{REFRQ}}$  信号がアクティブにならないときに使用します。

STOPモードに入る前 (HALT命令を実行する前) に、ポートを操作し、 $\overline{\text{STANDBY}}$  信号の出力をアクティブ (ロウ・レベル) にします。STOPモードを終了したら、ポートを操作し、 $\overline{\text{STANDBY}}$  信号の出力をインアクティブにします。

## (3) DRAMアクセス時に使用する信号

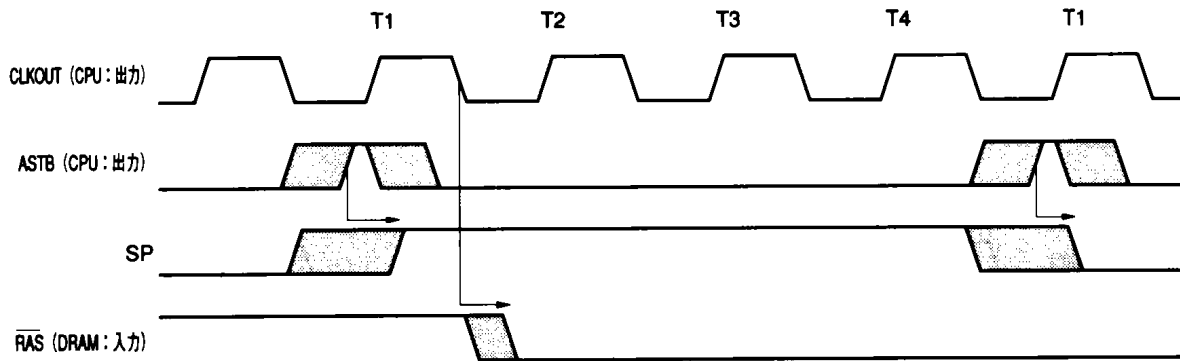
この項ではDRAMアクセス時に必要な各信号とその変化タイミングについて説明します。

各信号については図付-8  $\overline{\text{RAS}}$ ,  $\overline{\text{CAS}}$  制御回路も参照してください。

(a)  $\overline{\text{RAS}}$  信号(i) リード/ライト・サイクル,  $\overline{\text{RAS}}$  オンリー・リフレッシュ・サイクル

信 号	説 明
$\overline{\text{RAS}}$ ( $\overline{\text{RAS1}}$ , $\overline{\text{RAS2}}$ )	アドレス確定後、T1ステートの終わりのCLKOUT立ち下がりでアクティブとなり、AR信号の立ち上がりでインアクティブになります。
AR (Asynchronous Reset)	$\overline{\text{RAS}}$ をインアクティブにする信号です。D_BS信号の立ち上がりでアクティブになり、ASTB信号の立ち上がりでインアクティブになります。 $\overline{\text{RAS}}$ は、AR信号の立ち上がりでインアクティブになります (AR信号がハイ・レベルの間は、 $\overline{\text{RAS}}$ もハイ・レベル (インアクティブ) のままです)。 なお、CBR セルフ・リフレッシュ・サイクルでは、常にインアクティブとなります。
D_BS (Delay BS)	AR信号をアクティブにするための信号です。 BS0-BS2信号をCLKOUTの立ち下がりでラッチした信号です。 BS0-BS2信号の立ち下がり遅延時間によって、ラッチするタイミングが異なる場合がありますが、メモリを接続するスペックには影響ありません。

(ii) CBRセルフ・リフレッシュ・サイクル

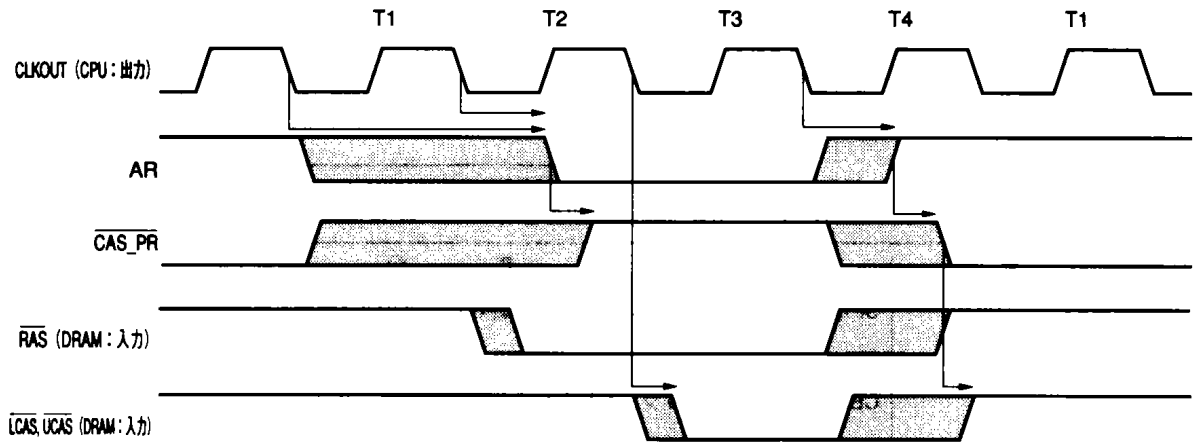


信号	説明
RAS (RAS1, RAS2)	SP信号の立ち上がり後、T1ステートの終わりのCLKOUT立ち下がりでアクティブになります。
STANDBY	CBRセルフ・リフレッシュを行うための信号です。 PIUのポートから出力した信号をASTB信号の立ち上がりでラッチした信号です。 STANDBY信号がアクティブになると、CBRセルフ・リフレッシュ・サイクルになります。
SP (Synchronous Preset)	CBRセルフ・リフレッシュ・サイクルでRASをアクティブにするための信号です。 STANDBY信号のロウ・レベル状態でのASTBの立ち上がりでアクティブになり、STANDBY信号がハイ・レベルになったあとのASTBの立ち上がりでインアクティブになります。 SP信号がアクティブになると、T1ステートの終わりのCLKOUT立ち下がりでRASがアクティブになります。 SP信号はCBRセルフ・リフレッシュ・サイクルでだけ、アクティブになります。

(b) CAS信号

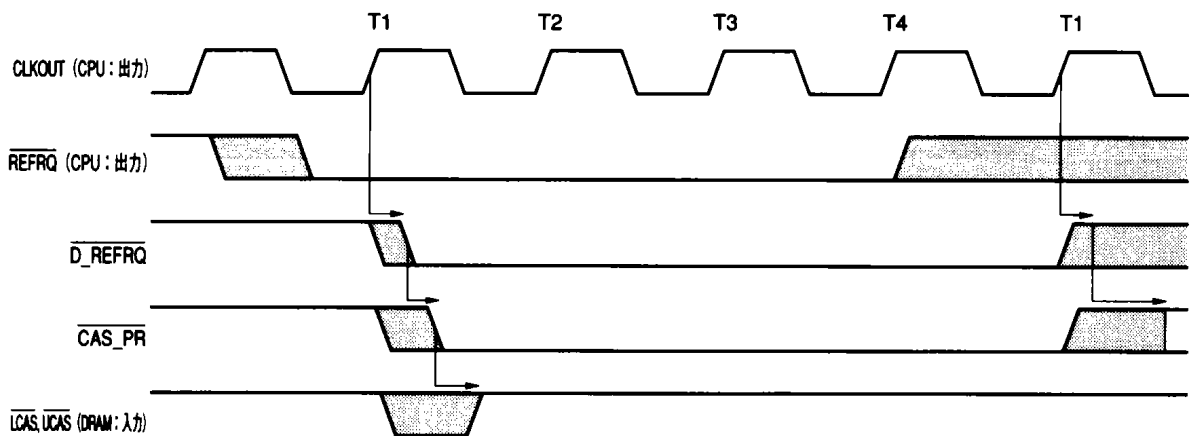
CAS回路は、DRAMの奇数番地をアクセスするときにアクティブになるUCAS信号と、偶数番地をアクセスするときにアクティブになるLCAS信号を出力します。

(i) リード/ライト・サイクル



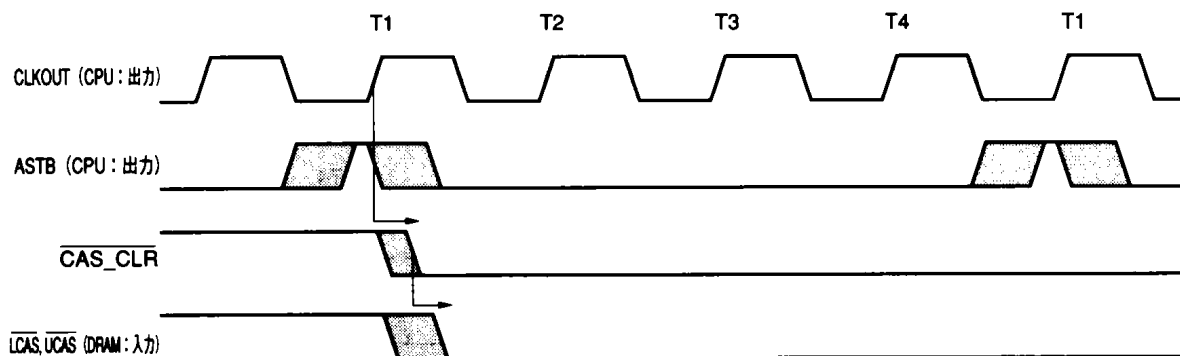
信号	説明
CAS (LCAS, UCAS)	RAS信号がロウ・レベルになったあと、T2ステートの終わりのCLKOUT立ち下がりでアクティブになり、CAS_PRの立ち下がりでインアクティブになります。
CAS_PR	CASをインアクティブにするための信号です。 AR信号の立ち下がりですらインアクティブとなり、AR信号の立ち上がりでアクティブとなります。 CBRセルフ・リフレッシュ・サイクルでは、常にインアクティブとなります。

(ii) RASオンリー・リフレッシュ・サイクル



信号	説明
$\overline{\text{CAS}}$ ( $\overline{\text{LCAS}}$ , $\overline{\text{UCAS}}$ )	$\overline{\text{CAS\_PR}}$ 信号により、インアクティブとなります。
$\overline{\text{CAS\_PR}}$	$\overline{\text{D\_REFRQ}}$ により、T1ステートのCLKOUT立ち上がり後、アクティブとなります。
$\overline{\text{D\_REFRQ}}$ (Delay $\overline{\text{REFRQ}}$ )	$\overline{\text{CAS\_PR}}$ 信号をアクティブにするための信号です。 $\overline{\text{REFRQ}}$ 信号をCLKOUTの立ち上がりでラッチした信号です。

(iii) CBRセルフ・リフレッシュ・サイクル



信号	説明
$\overline{\text{CAS}}$ ( $\overline{\text{LCAS}}$ , $\overline{\text{UCAS}}$ )	$\overline{\text{CAS\_CLR}}$ 信号により、T1ステートのCLKOUT立ち上がり後、アクティブになります。
$\overline{\text{CAS\_CLR}}$	$\overline{\text{CAS}}$ 信号をアクティブにするための信号です。 ASTB信号の立ち上がり後、T1ステートのCLKOUT立ち上がり同期してアクティブになります。 リード/ライト・サイクルと、 $\overline{\text{RAS}}$ オンリー・リフレッシュ・サイクルでは、常にインアクティブとなります。

(4) アドレス切り替え回路

DRAMに入力するロウ・アドレスとカラム・アドレスを切り替えます。

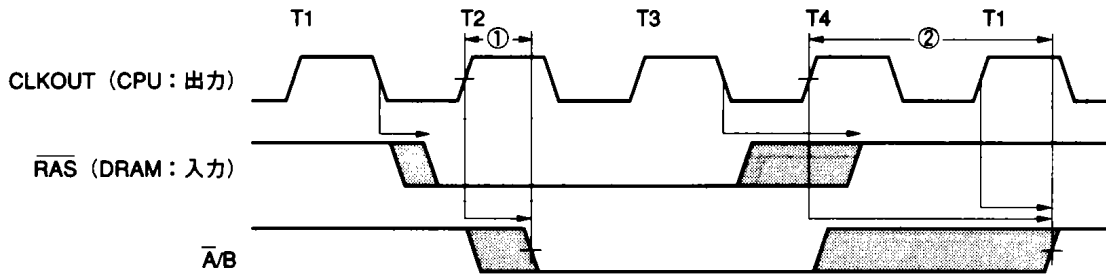
DRAMのアドレスは、ロウ・アドレスとカラム・アドレスの2回に分けて時分割で入力します。

(a) リード/ライト・サイクル

$\overline{\text{RAS}}$ の立ち下がり後、T2ステートのCLKOUT立ち上がりで、ロウ・アドレスからカラム・アドレスに切り替えます。

リード/ライト・サイクルでのアドレス切り替えタイミングを図3-7に示します。

図3-7 リード/ライト・サイクルでのアドレス切り替えタイミング



No.	項目	時間 (ns)	説明
①	ロウ・アドレス→ カラム・アドレスの切り替え時間	2.0~20.5	フリップフロップの遅延時間とアドレス・マルチプレクサの遅延時間の合計です。
②	カラム・アドレス→ ロウ・アドレスの切り替え時間	2.0~70.5	フリップフロップの遅延時間とアドレス・マルチプレクサの遅延時間の合計です。

**備考** リード/ライト・サイクルでのカラム・アドレス→ロウ・アドレスへの切り替えタイミングでは、 $\overline{\text{RAS}}$ の遅延時間によってラッチのタイミングが異なる場合がありますが、メモリを接続するスペックには影響ありません。

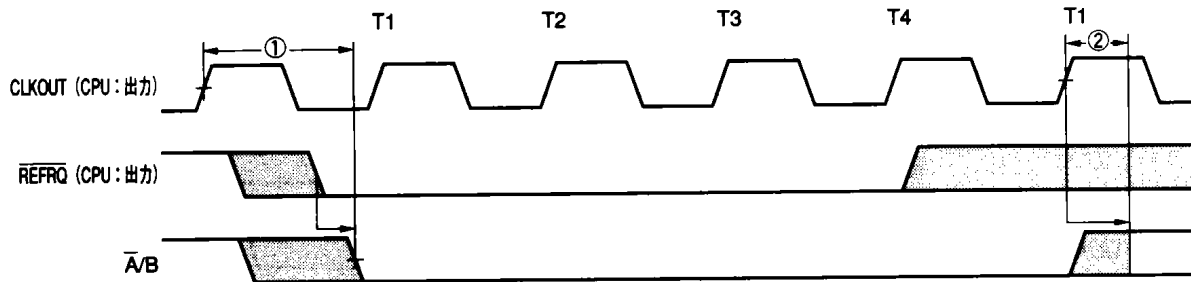


(b)  $\overline{\text{RAS}}$  オンリー・リフレッシュ・サイクル

フリップフロップの $\overline{\text{CLR}}$ 端子の働きにより、常にロウ・アドレスを出力します。

$\overline{\text{RAS}}$  オンリー・リフレッシュ・サイクルでのアドレス切り替えタイミングを図3-8に示します。

図3-8  $\overline{\text{RAS}}$  オンリー・リフレッシュ・サイクルでのアドレス切り替えタイミング



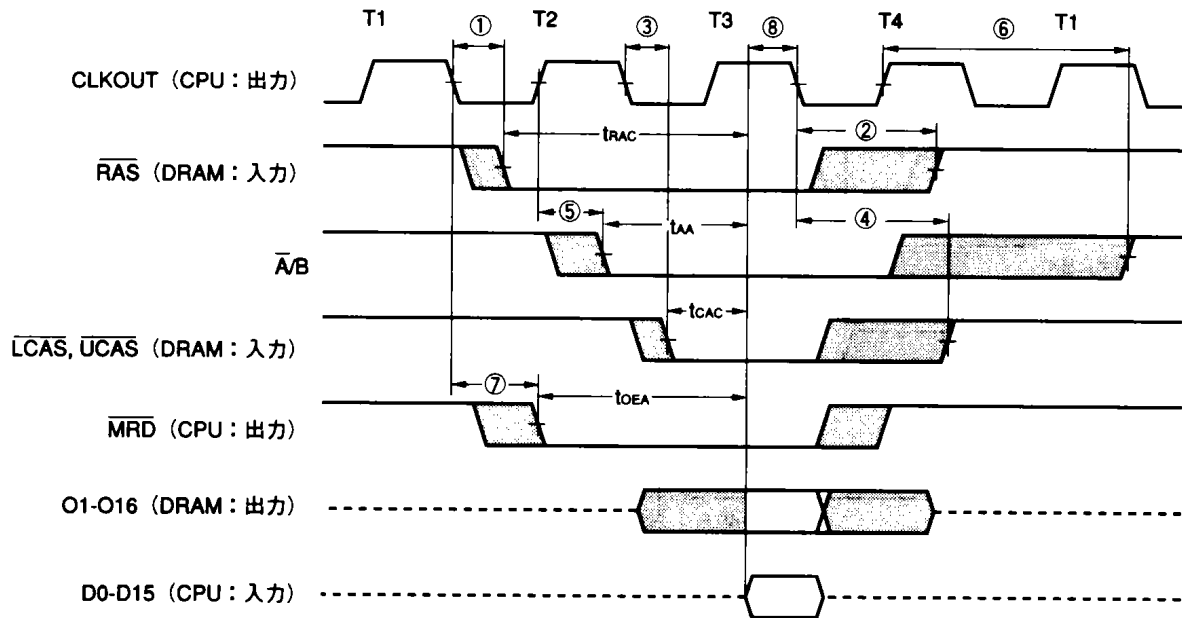
No.	項目	時間 (ns)	説明
①	ロウ・アドレス→ カラム・アドレスの切り替え時間	7.0~49.9	REFRQ の遅延時間とフリップフロップの遅延時間の合計です。
②	カラム・アドレス→ ロウ・アドレスの切り替え時間	2.0~20.5	フリップフロップの遅延時間とアドレス・マルチプレクサの遅延時間の合計です。

**備考** CBRセルフ・リフレッシュ・サイクルでは、アドレスを入力しなくても、DRAMのデータは保持されます。

## 3.3.1 DRAMリード・タイミング

DRAMのリード・タイミングを図3-9に示します。

図3-9 DRAMリード・タイミング



No.	項目	時間 (ns)	説明
①	RAS立ち下がり時間	2.0~14.5	有効アドレス確定時間とRAS回路の遅延時間の合計です。
②	RAS立ち上がり時間	3.0~39.5	AR信号の立ち上がり遅延時間とチップ・セレクト回路の遅延時間の合計です。
③	CAS立ち下がり時間	1.0~10.8	CAS回路の出力遅延時間です。
④	CAS立ち上がり時間	3.0~44.1	CAS_PR信号の立ち下がり遅延時間とフリップフロップの遅延時間の合計です。
⑤	アドレス切り替えの立ち下がり時間 (カラム・アドレス→ロウ・アドレス)	2.0~20.5	アドレス切り替え回路遅延時間です。
⑥	アドレス切り替えの立ち上がり時間 (ロウ・アドレス→カラム・アドレス)	2.0~20.5	アドレス切り替え回路の遅延時間です。
⑦	OE立ち下がり時間	5.0~25.0	MRD信号の立ち下がり遅延時間です。
⑧	データ読み込み時間	15.5~	CPUが正常にデータを受け取るためのセットアップ時間とデータ・バス制御回路の遅延時間の合計です。

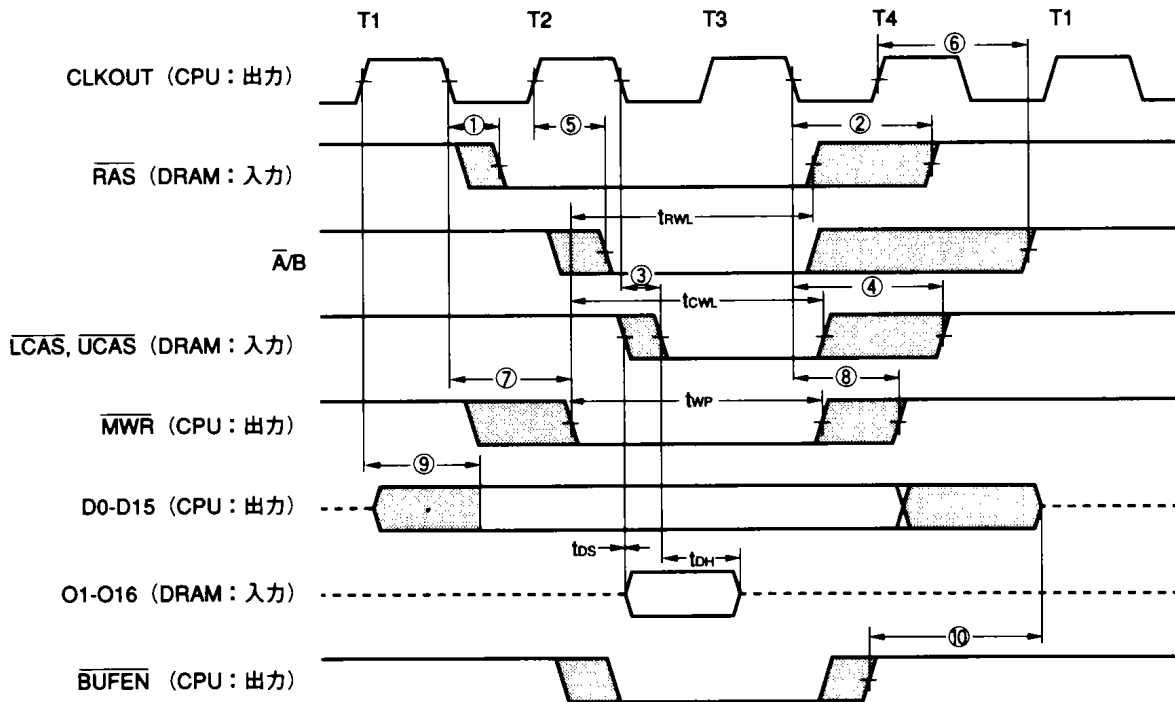
デモ・ボードで使用しているDRAMは問題ありませんが、 $t_{RAC}$ 、 $t_{AA}$ 、 $t_{CAC}$ 、 $t_{OEA}$ の長いDRAMでは、CPUがデータを読み取るタイミングまでにデータの出力が開始できません。

この場合、CPUがDRAMをアクセスするときにウェイトを挿入することで、 $t_{RAC}$ 、 $t_{AA}$ 、 $t_{CAC}$ 、 $t_{OEA}$ の長いメモリが接続できます（1ウェイト挿入するごとにそれぞれのスペックに1tcyk分の余裕ができます）。ウェイトはT3ステートとT4ステートの間に挿入され、CPUのデータ入力のタイミングも、ウェイト数×1ステート分後ろ（挿入したウェイトの最後とT4ステートの間）に遅れます。

### 3.3.2 DRAMライト・タイミング

DRAMのライト・タイミングを図3-10に示します。

図3-10 DRAMライト・タイミング



No.	項目	時間 (ns)	説明
①	RAS立ち下がり時間	2.0~14.5	有効アドレス確定時間とRAS回路の遅延時間の合計です。
②	RAS立ち上がり時間	3.0~39.5	AR信号の立ち上がり遅延時間とチップ・セレクト回路の遅延時間の合計です。
③	CAS立ち下がり時間	1.0~10.8	CAS回路の出力遅延時間です。
④	CAS立ち上がり時間	3.0~44.1	CAS_PR信号の立ち下がり遅延時間とフリップフロップの遅延時間の合計です。
⑤	アドレス切り替え立ち上がり時間 (ロウ・アドレス→カラム・アドレス)	2.0~20.5	アドレス切り替え回路の遅延時間です。
⑥	アドレス切り替え立ち下がり時間 (カラム・アドレス→ロウ・アドレス)	2.0~20.5	アドレス切り替え回路の遅延時間です。
⑦	WE立ち下がり時間	5.0~30.0	MWR信号の立ち下がり遅延時間です。
⑧	WE立ち上がり時間	5.0~30.0	MWR信号の立ち上がり遅延時間です。
⑨	データ出力遅延時間	6.0~33.5	CPUのデータ出力遅延時間とデータ・バス制御回路の遅延時間の合計です。
⑩	データ・フロート時間	7.0~48.5	BUFEN信号の遅延時間とデータ・バス制御回路の遅延時間の合計です。

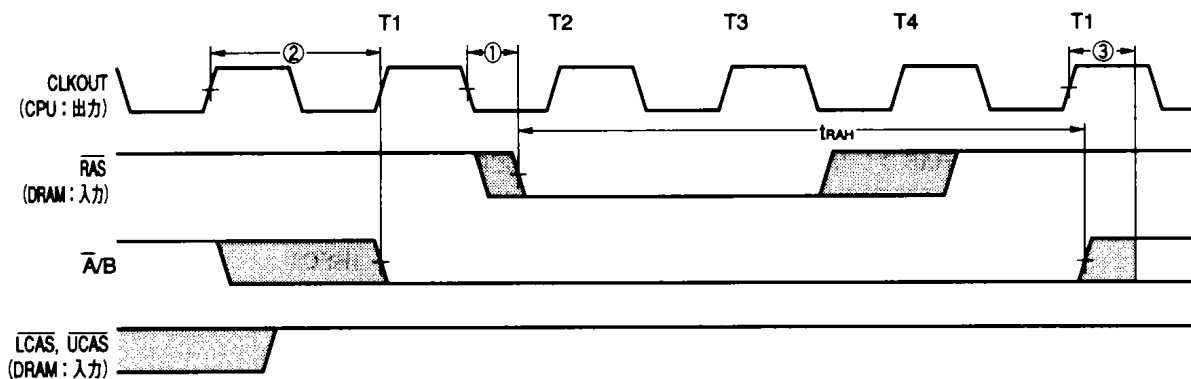
デモ・ボードで使用しているDRAMは問題ありませんが、 $t_{DS}$ の長いDRAMでは、データ・セットアップ時間が確保できません。また、 $t_{DH}$ の長いDRAMでは、データ・ホールド時間が確保できません。

この場合、CPUがDRAMをアクセスするときにウエイトを挿入することで、 $t_{WP}$ 、 $t_{DS}$ 、 $t_{DH}$ 、 $t_{RWL}$ 、 $t_{CWL}$ の長いメモリが接続できます（1ウエイト挿入するごとにそれぞれのスペックに1tcyK分の余裕ができます）。ウエイトはT3ステートとT4ステートの間に挿入され、CPUのデータ出力のタイミングも、ウエイト数×1ステート分後ろ（挿入したウエイトの最後とT4ステートの間）に遅れます。

### 3.3.3 RASオンリー・リフレッシュ

DRAMのRASオンリー・リフレッシュ・タイミングを図3-11に示します。

図3-11 RASオンリー・リフレッシュ・タイミング



No.	項目	時間 (ns)	説明
①	RAS立ち下がり時間	2.0~14.5	RAS回路の遅延時間です。
②	アドレス切り替え立ち下がり時間 (カラム・アドレス→ロウ・アドレス)	7.0~49.9	アドレス切り替え回路の遅延時間です。
③	アドレス切り替え立ち上がり時間 (ロウ・アドレス→カラム・アドレス)	2.0~20.5	アドレス切り替え回路の遅延時間です。

備考 リフレッシュ・サイクルにウエイトを挿入することで、trAHの長いメモリが接続できます（1ウエイト挿入するごとにスペックに1tcyk分の余裕ができます）。

ウエイトはT3ステートとT4ステートの間に挿入され、CPUのデータ入力のタイミングも、ウエイト数×1ステート分後ろ（挿入したウエイトの最後とT4ステートの間）に遅れます。

V40HL, V50HLには、メモリ空間にDRAMを使用した場合に必要なリフレッシュ機能（REFRQ信号の制御、リフレッシュ・アドレスの更新）があります。

RASオンリー・リフレッシュを行うための設定例を次に示します。

#### (a) REFRQの出力タイミング

V40HL, V50HLでは、REFRQ信号の出力タイミングを、通常リフレッシュ・タイミングと拡張リフレッシュ・タイミングから選ぶことが可能です。

- ・通常リフレッシュ・タイミング：T1ステートの立ち上がりに同期してREFRQ信号を出力
- ・拡張リフレッシュ・タイミング：T4ステートの立ち上がりに同期してREFRQ信号を出力

デモ・ボードでは、RASオンリー・リフレッシュに拡張リフレッシュ・タイミングを使用しています。

(b)  $\overline{\text{REFRQ}}$  の出力間隔

デモ・ボードに搭載しているDRAMの $\overline{\text{RAS}}$  オンリー・リフレッシュでは、8 ms以内に512アドレスを入力する必要があります。

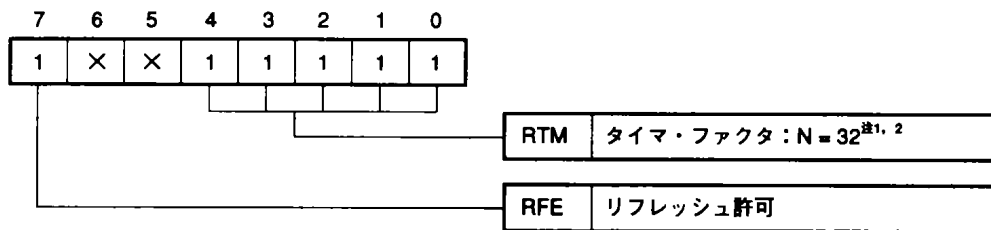
1回当たりのリフレッシュ間隔は、15.625  $\mu\text{s}$ 以内です。

リフレッシュ間隔から $\overline{\text{REFRQ}}$  を出力するタイミングを決定します。

以上の設定は、V40HL, V50HLのリフレッシュ・コントロール・レジスタ (RFC) とシステム・コントロール・レジスタ (SCTL) で設定します。

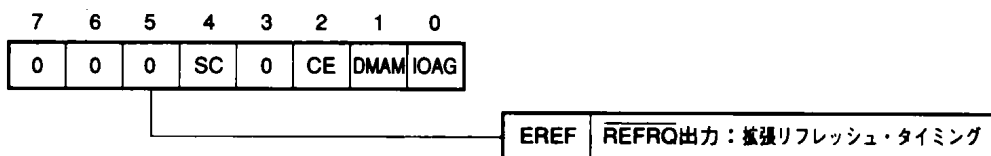
デモ・ボードの $\overline{\text{RAS}}$  オンリー・リフレッシュに関する設定内容は次のとおりです。

図3-12 リフレッシュ・コントロール・レジスタ (RFC)



- 注1.  $\text{リフレッシュ間隔} = 8 \times N \times \frac{1}{\text{動作周波数}}$
2. タイマ・ファクタの設定値は、5から32です。この値が小さいほど $\overline{\text{REFRQ}}$ の出力される間隔が短くなります。CPUのスループットを落とさないために、DRAMのリフレッシュが間に合う時間の範囲 ( $\mu\text{PD42S4260}$ で15.625  $\mu\text{s}$ 以内) で最大になるように設定します。

図3-13 システム・コントロール・レジスタ (SCTL)

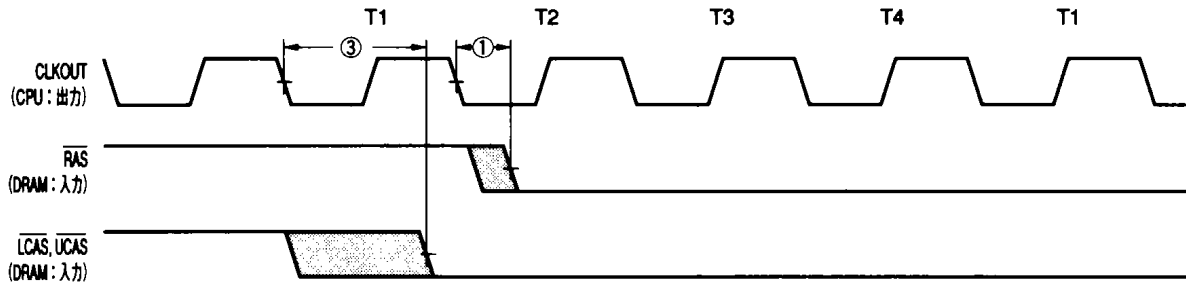


## 3.3.4 CBRセルフ・リフレッシュ

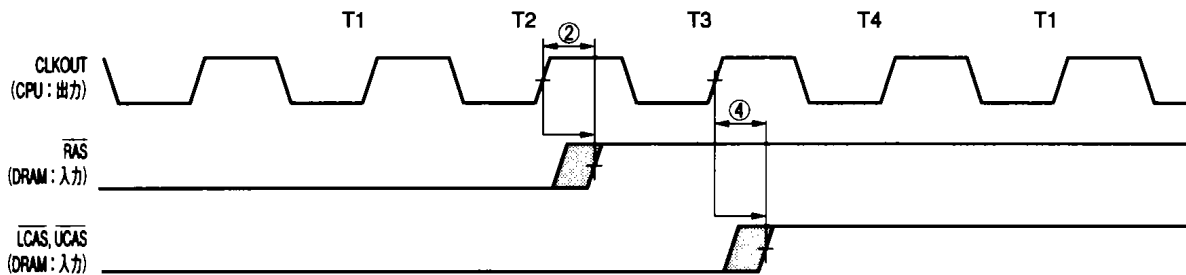
DRAMのCBRセルフ・リフレッシュ・タイミングを図3-14に示します。

図3-14 CBRセルフ・リフレッシュ・タイミング

(a) 開始タイミング



(b) 終了タイミング



No.	項目	時間 (ns)	説明
①	RAS 立ち下がり時間	2.0~14.5	RAS回路の遅延時間です。
②	RAS 立ち上がり時間	2.0~14.5	CLKOUT信号の反転とチップ・セレクト回路の遅延時間の合計です。
③	CAS 立ち下がり時間	2.0~39.6	CAS_CLR 信号の遅延時間とフリップフロップの遅延時間の合計です。
④	CAS 立ち上がり時間	2.0~14.5	CLKOUT信号の反転とチップ・セレクト回路の遅延時間の合計です。

デモ・ボードでは、PIUを使用して、CBRセルフ・リフレッシュ用の信号（ $\overline{\text{STANDBY}}$  信号）を作成しています。

**注意** CBRセルフ・リフレッシュ・モードに入る前に（ $\overline{\text{STANDBY}}$  信号がアクティブになる前に），「リフレッシュ禁止」に設定し、CBRセルフ・リフレッシュ・モードを終了するときに、「リフレッシュ許可」に再設定します。リフレッシュの許可/禁止の設定はリフレッシュ・コントロール・レジスタ（RFC）のRFEビットで行います（図3-22参照）。

## 3.3.5 DRAMに対するCPUの動作周波数とウェイト数の関係

単位：ウェイト数

メモリ		動作周波数 (MHz)				
品名	アクセス・タイム (ns)	20	16	12.5	10	8
μPD42S4260-70 <sup>注</sup>	70	0	0	0	0	0
〃 -80	80	1	0	0	0	0

注 デモ・ボードで使用しているDRAM



## 第4章 外部I/Oインタフェース例

この章では、CPUに接続する外部I/Oとして、シリアル・コントローラ（外部SCU： $\mu$ PD71051）、パラレル・インタフェース・ユニット（PIU： $\mu$ PD71055）を取り上げ、その接続について説明します。

### （1）ウエイト制御

CPUが外部SCU, PIUをアクセスするために必要なウエイト数は2ウエイトです。

デモ・ボードではV40HL, V50HLに内蔵のウエイト・コントロール・ユニット（WCU）により、ウエイトを制御しています。

備考1. WCUは0-3クロック分のウエイトをソフトウェアの設定により挿入する機能を持っています。

2. ウエイトはT3ステートとT4ステートの間に、設定したウエイト数分挿入されます。

### （2）電圧レベル変換

デモ・ボードのCPUとメモリは、5Vまたは3V動作が可能です。しかし、外部I/Oは5Vでしか動作しないため、CPU、メモリを3Vで動作させる場合には、5V, 3Vの2電源回路の構成でボードを動作させます。

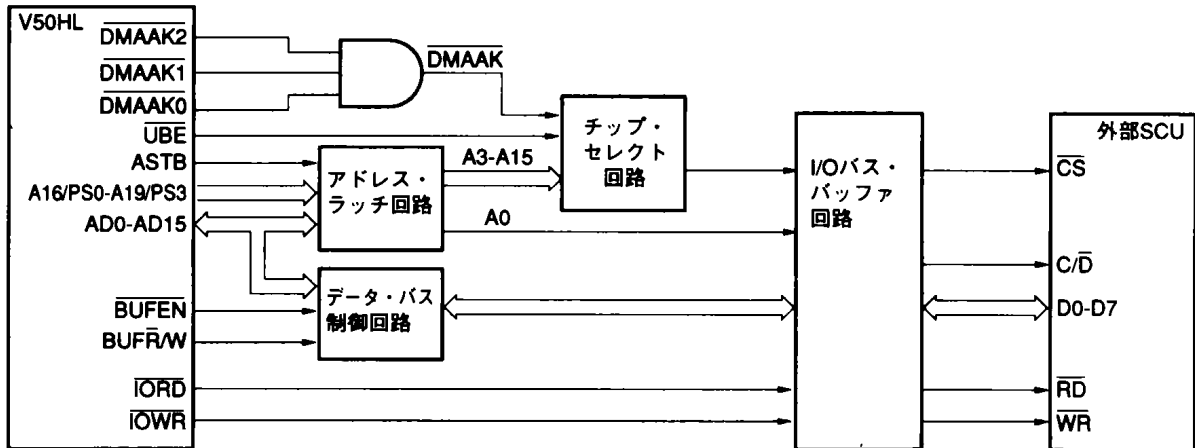
5Vの信号と3Vの信号のインタフェースは、電圧レベルを変換するI/Oバス・バッファ回路により行います。

詳細については、第5章 レベル変換回路例を参照してください。

## 4.1 外部SCUブロック

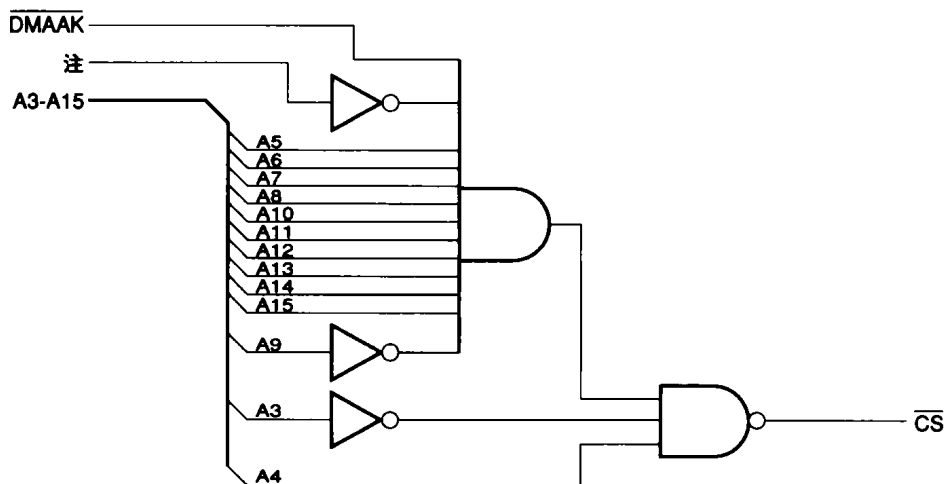
この節では、V40HL, V50HLとシリアル・コントローラ（外部SCU）の接続例として、デモ・ボード上でのCPUと外部SCUについて説明します。

図4-1 外部SCU接続構成図



外部SCU用のチップ・セレクト回路は、CPUがアクセスする64 KバイトのI/O空間のFDF0H-FDF7H番地をアクセスするときにロウ・レベルを出力します。この回路には、DMA転送サイクルでチップ・セレクト信号がアクティブになることを防ぐため、 $\overline{\text{DMAAK}}$  信号（図4-1参照）を入力しています。

以下の回路を使用することにより、I/O空間のFDF0H-FDF7H番地をアクセスするときだけ、ロウ・レベルを出力する信号が作成できます。



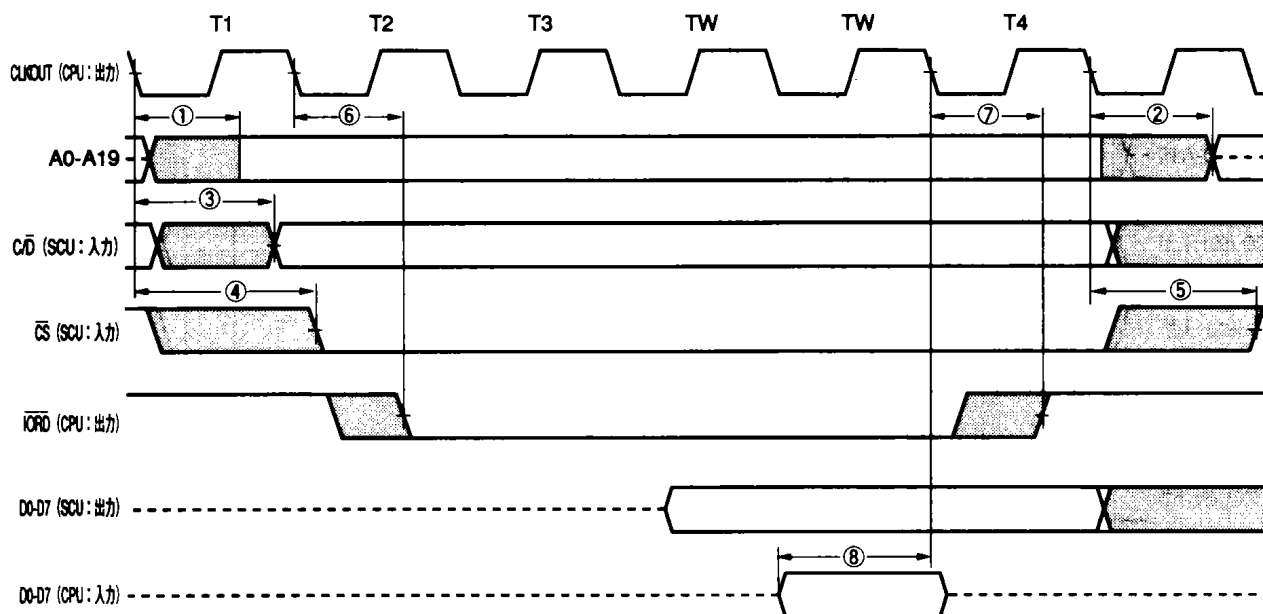
注 V40HL:  $\overline{\text{A0}}$  (A0を反転)

V50HL:  $\overline{\text{UBE}}$

## 4.1.1 外部SCUリード・タイミング

外部SCUのリード・タイミングを図4-2に示します。

図4-2 外部SCUのリード・タイミング

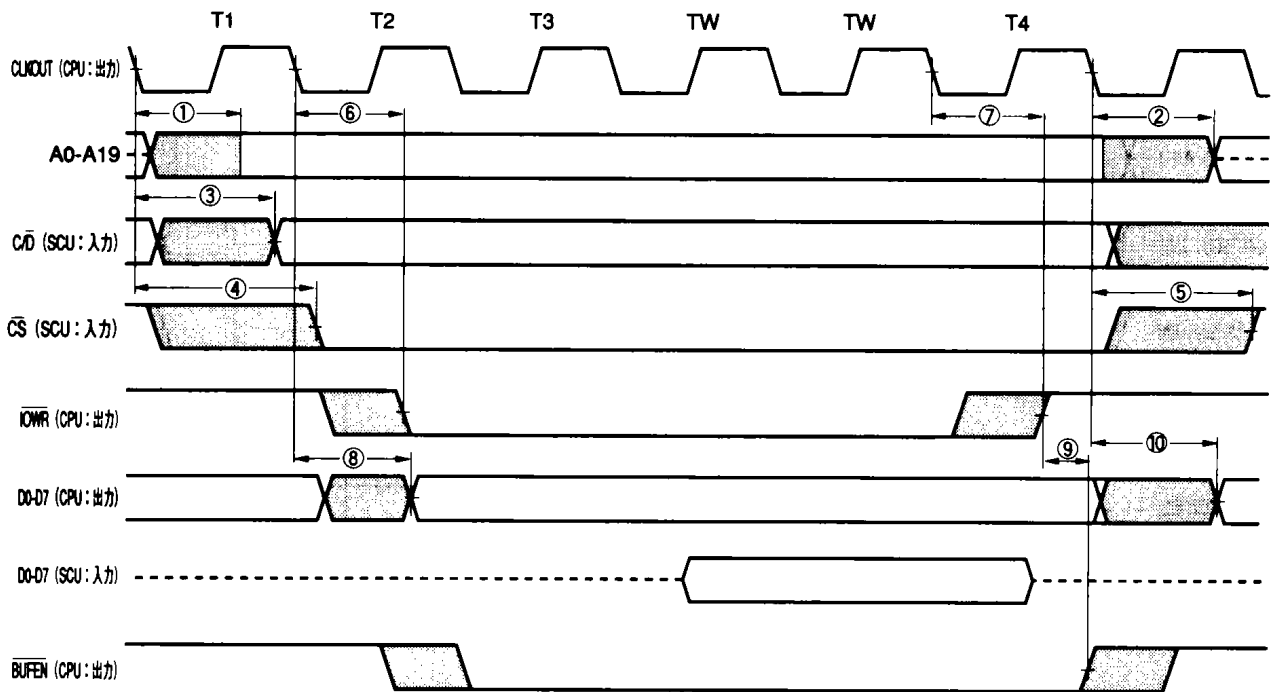


No.	項目	時間 (ns)	説明
①	有効アドレス確定時間	6.0~35.2	アドレスの出力遅延時間 ( $t_{DCA}$ ) とアドレス・ラッチ回路の遅延時間の合計です。
②	有効アドレス保持時間	1.0~31.3	ASTB信号の立ち上がり遅延時間 ( $t_{DKCT2}$ ) とアドレス・ラッチ回路のディスエーブル時間の合計です。
③	C/D確定時間	7.0~44.2	有効アドレスの確定時間とI/Oバス・バッファ回路の遅延時間の合計です。
④	$\overline{CE}$ 立ち下がり時間	8.0~54.2	有効アドレス確定時間とチップ・セレクト回路とI/Oバス・バッファ回路の遅延時間の合計です。
⑤	$\overline{CE}$ 立ち上がり時間	4.0~58.4	有効アドレスの保持時間と、チップ・セレクト回路とI/Oバス・バッファ回路の遅延時間の合計です。
⑥	$\overline{OE}$ 立ち下がり時間	6.0~34.0	$\overline{IORD}$ 信号の立ち下がり遅延時間 ( $t_{DKRL}$ ) とI/Oバス・バッファ回路の遅延時間の合計です。
⑦	$\overline{OE}$ 立ち上がり時間	6.0~34.0	$\overline{IORD}$ 信号の立ち上がり遅延時間 ( $t_{DKRH}$ ) とI/Oバス・バッファ回路の遅延時間の合計です。
⑧	CPUのデータ・セットアップ時間	44.5~	CPUが正常にデータを受け取るためのセットアップ時間 ( $t_{SDK}$ ) とデータ・バス制御回路の遅延時間、およびI/Oバス・バッファ回路の遅延時間の合計です。

### 4.1.2 外部SCUライト・タイミング

外部SCUのライト・タイミングを図4-3に示します。

図4-3 外部SCUのライト・タイミング

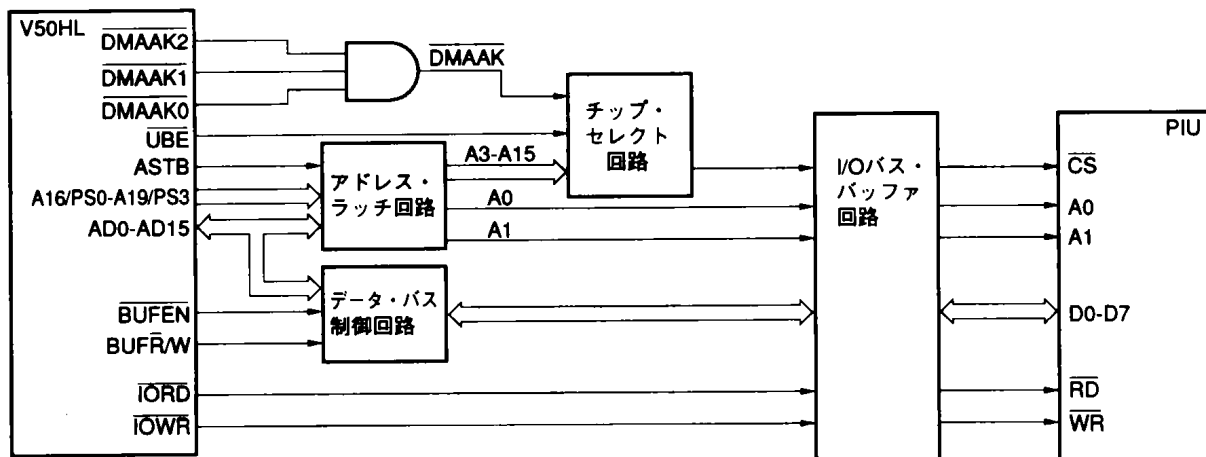


No.	項目	時間 (ns)	説明
①	有効アドレス確定時間	6.0~35.2	アドレスの出力遅延時間 ( $t_{DKA}$ ) とアドレス・ラッチ回路の遅延時間の合計です。
②	有効アドレス保持時間	2.0~39.4	ASTB信号の立ち上がり遅延時間 ( $t_{DKSTH}$ ) とアドレス・ラッチ回路のディスエーブル時間の合計です。
③	$\overline{C/D}$ 確定時間	7.0~44.2	有効アドレスの確定時間とI/Oバス・バッファ回路の遅延時間の合計です。
④	$\overline{CE}$ 立ち下がり時間	8.0~54.2	有効アドレス確定時間とチップ・セレクト回路とI/Oバス・バッファ回路の遅延時間の合計です。
⑤	$\overline{CE}$ 立ち上がり時間	4.0~58.4	有効アドレス保持時間とチップ・セレクト回路の遅延時間の合計です。
⑥	$\overline{WE}$ 立ち下がり時間	6.0~39.0	$\overline{IOWR}$ 信号の立ち下がり遅延時間 ( $t_{DKCT2}$ ) とI/Oバス・バッファ回路の遅延時間の合計です。
⑦	$\overline{WE}$ 立ち上がり時間	6.0~39.0	$\overline{IOWR}$ 信号の立ち上がり遅延時間 ( $t_{DKCT2}$ ) とI/Oバス・バッファ回路の遅延時間の合計です。
⑧	CPUのデータ出力遅延時間	7.0~42.5	CPUのデータ出力遅延時間は、データの出力遅延時間 ( $t_{DKD}$ ) とデータ・バス制御回路の遅延時間とI/Oバス・バッファ回路の遅延時間の合計です。
⑨	$\overline{IOWR}$ 信号立ち上がりからの $\overline{BUFEN}$ 信号立ち上がり時間	1.0~	$\overline{WR}$ 信号からの $\overline{BUFEN}$ 遅延時間 ( $t_{DWCT}$ ) の最小時間からI/Oバス・バッファ回路の遅延時間を減算した時間です。
⑩	CPUのデータ・フロート時間	7.0~48.5	$\overline{BUFEN}$ 信号の立ち上がり遅延時間 ( $t_{DKCT2}$ ) とデータ・バス制御回路の遅延時間の合計です。

## 4.2 PIUブロック

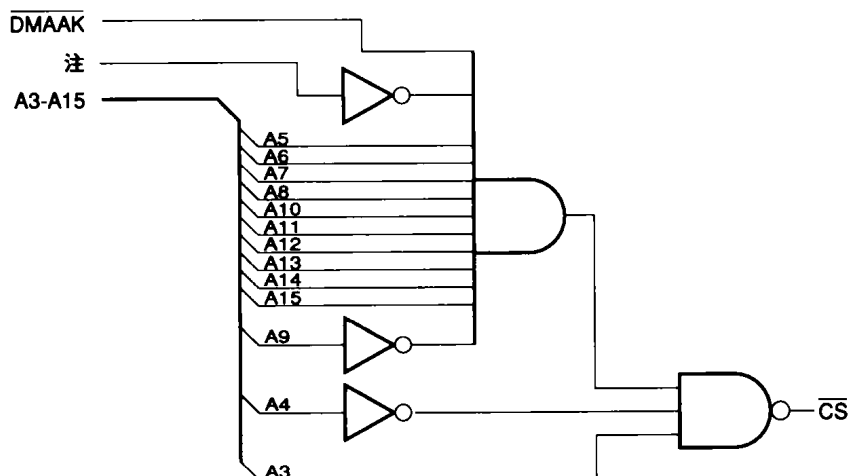
この節では、V40HL、V50HLとパラレル・インタフェース・ユニット (PIU) の接続例として、デモ・ボード上でのCPUとPIUについて説明します。

図4-4 PIU接続構成図



PIU用のチップ・セレクト回路は、CPUがアクセスする64 KバイトのI/O空間のFDE8H-FDEFH番地をアクセスするときにロウ・レベルを出力します。この回路には、DMA転送サイクルでチップ・セレクト信号がアクティブになることを防ぐため、 $\overline{\text{DMAAK}}$  信号 (図4-4参照) を入力しています。

以下の回路を使用することにより、I/O空間のFDE8H-FDEFH番地をアクセスするときだけ、ロウ・レベルを出力する信号が作成できます。



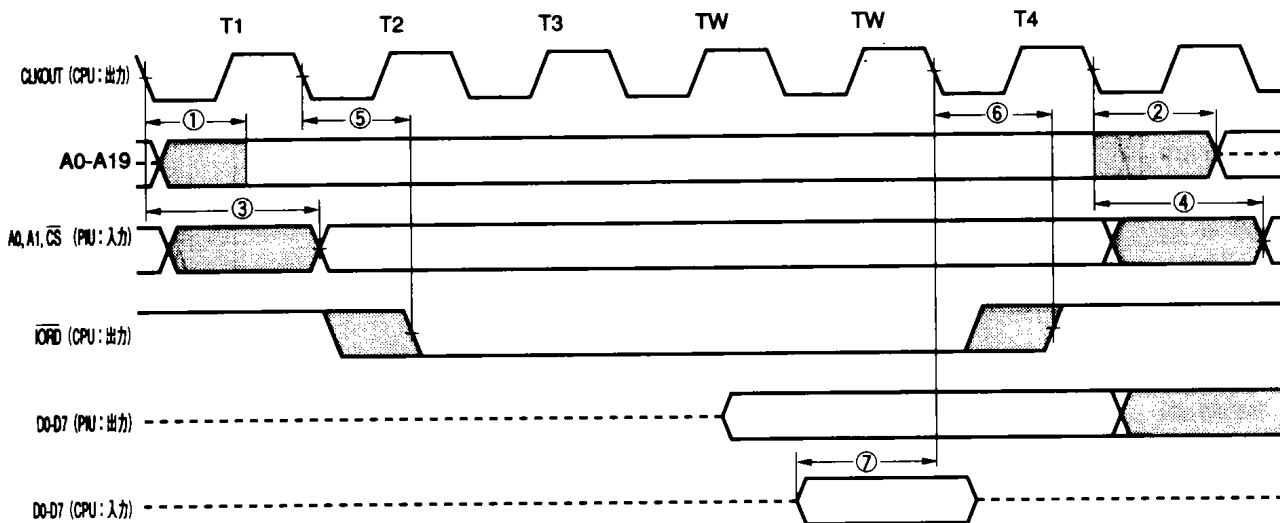
注 V40HL:  $\overline{\text{A0}}$  (A0を反転)

V50HL:  $\overline{\text{UBE}}$

### 4.2.1 PIUリード・タイミング

PIUのリード・タイミングを図4-5に示します。

図4-5 PIUのリード・タイミング

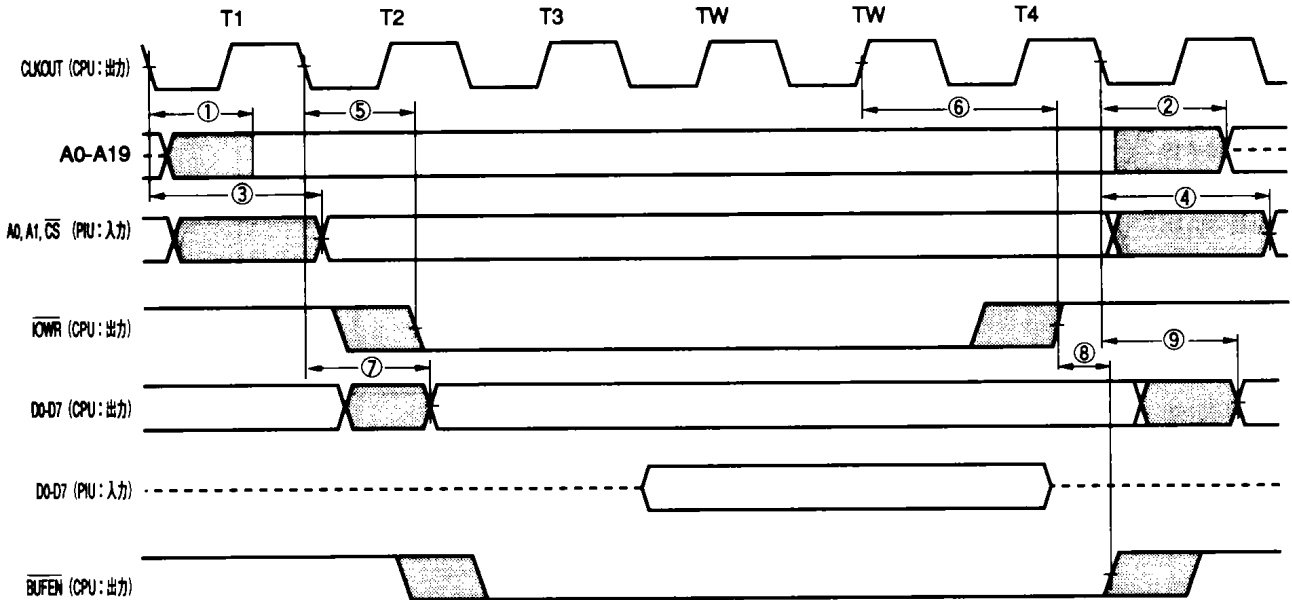


No.	項目	時間 (ns)	説明
①	有効アドレス確定時間	6.0~35.2	アドレスの出力遅延時間 (tdKA) とアドレス・ラッチ回路の遅延時間の合計です。
②	有効アドレス保持時間	1.0~31.3	ASTB信号の立ち上がり遅延時間 (tdKCT2) とアドレス・ラッチ回路のディスエーブル時間の合計です。
③	$\overline{CE}$ 立ち下がり時間	8.0~54.2	有効アドレス確定時間とチップ・セレクト回路とI/Oバス・バッファ回路の遅延時間の合計です。
④	$\overline{CE}$ 立ち上がり時間	4.0~58.4	有効アドレスの保持時間と、チップ・セレクト回路とI/Oバス・バッファ回路の遅延時間の合計です。
⑤	$\overline{OE}$ 立ち下がり時間	6.0~34.0	$\overline{IORD}$ 信号の立ち下がり遅延時間 (tdKRL) とI/Oバス・バッファ回路の遅延時間の合計です。
⑥	$\overline{OE}$ 立ち上がり時間	6.0~34.0	$\overline{IORD}$ 信号の立ち上がり遅延時間 (tdKRH) とI/Oバス・バッファ回路の遅延時間の合計です。
⑦	CPUのデータ・セットアップ時間	44.5~	CPUが正常にデータを受け取るためのセットアップ時間 (tSDK) とデータ・バス制御回路の遅延時間とI/Oバス・バッファ回路の遅延時間の合計です。

### 4.2.2 PIUライト・タイミング

PIUのライト・タイミングを図4-6に示します。

図4-6 PIUのライト・タイミング



No.	項目	時間 (ns)	説明
①	有効アドレス確定時間	6.0~35.2	アドレスの出力遅延時間 (t <sub>OKA</sub> ) とアドレス・ラッチ回路の遅延時間の合計です。
②	有効アドレス保持時間	2.0~39.4	ASTB信号の立ち上がり遅延時間 (t <sub>OKSTH</sub> ) とアドレス・ラッチ回路のディスエーブル時間の合計です。
③	$\overline{CE}$ 立ち下がり時間	8.0~54.2	有効アドレス確定時間とチップ・セレクト回路とI/Oバス・バッファ回路の遅延時間の合計です。
④	$\overline{CE}$ 立ち上がり時間	4.0~58.4	有効アドレス保持時間とチップ・セレクト回路の遅延時間の合計です。
⑤	$\overline{WE}$ 立ち下がり時間	6.0~39.0	$\overline{IOWR}$ 信号の立ち下がり遅延時間 (t <sub>OKCT2</sub> ) とI/Oバス・バッファ回路の遅延時間の合計です。
⑥	$\overline{WE}$ 立ち上がり時間	6.0~39.0	$\overline{IOWR}$ 信号の立ち上がり遅延時間 (t <sub>OKCT2</sub> ) とI/Oバス・バッファ回路の遅延時間の合計です。
⑦	CPUのデータ出力遅延時間	7.0~42.5	データの出力遅延時間 (t <sub>OKD</sub> ) とデータ・バス制御回路の遅延時間とI/Oバス・バッファ回路の遅延時間の合計です。
⑧	$\overline{IOWR}$ 信号立ち上がりからの $\overline{BUFEN}$ 信号立ち上がり時間	1.0~	$\overline{WR}$ 信号からの $\overline{BUFEN}$ 遅延時間 (t <sub>OWCT</sub> ) の最小時間からI/Oバス・バッファ回路の遅延時間を減算した時間です。
⑨	CPUのデータ・フロート時間	7.0~48.5	$\overline{BUFEN}$ 信号の立ち上がり遅延時間 (t <sub>OKCT2</sub> ) とデータ・バス制御回路の遅延時間の合計です。



## 第5章 レベル変換回路例

デモ・ボードのCPUとメモリは、5Vまたは3V動作が可能です。しかし、外部I/Oは5Vでしか動作しないため、CPU、メモリを3Vで動作させる場合には、5V、3Vの2電源回路の構成でボードを動作させます。

5Vの信号と3Vの信号のインターフェースは、電圧レベルを変換するI/Oバス・バッファ回路により行います（図付-5 レベル変換回路参照）。

3V側から5V側への信号にはI/Oバス・バッファ回路の74ACT244を、5V側から3V側への信号にはI/Oバス・バッファ回路の74HC4050を使用して、レベル変換を行います。

レベル変換を行う場合は、I/Oバス・バッファ回路の74HC4050の電源電圧を3Vにします。

レベル変換を行わない場合は、74HC4050の電源電圧を5Vにします。

(× 毛)

## 付 録 回 路 図

デモ・ボードの回路図を次ページ以降に示します。

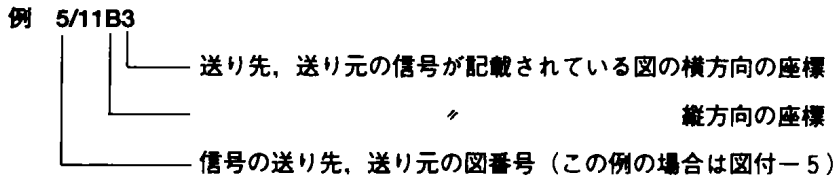
表付-1 回路図一覧

図番号	タイトル	図番号	タイトル
付-1	CPU周辺回路 <sup>注</sup>	付-7	チップ・セレクト回路
付-2	メモリ接続回路	付-8	RAS, CAS制御回路
付-3	外部I/O接続回路	付-9	PLD等価回路 (PLD_1: DRAM_CS)
付-4	電源ブロック	付-10	PLD等価回路 (PLD_2: PROM_CS)
付-5	レベル変換回路	付-11	PLD等価回路 (PLD_3: I/O_CS)
付-6	LCDC接続回路		

注 CPUとしてV50HLを使用しています。

備考1. 回路図は計11ページに分割して表記しています。

信号が他のページに分岐する場合は、各信号の送り先、送り元を次の例のように表記してあります (PLD等価回路 (図付-9 から付-11) を除く)。



2.  $\overline{\text{XXX}}$  (端子, 信号名称に上線), または  $!\text{XXX}$  (端子, 信号名称の前に“!”はアクティブ・ロウの端子, 信号を意味します。
3. 複数の信号は“端子名 [m..n]”の形式で表記しています。

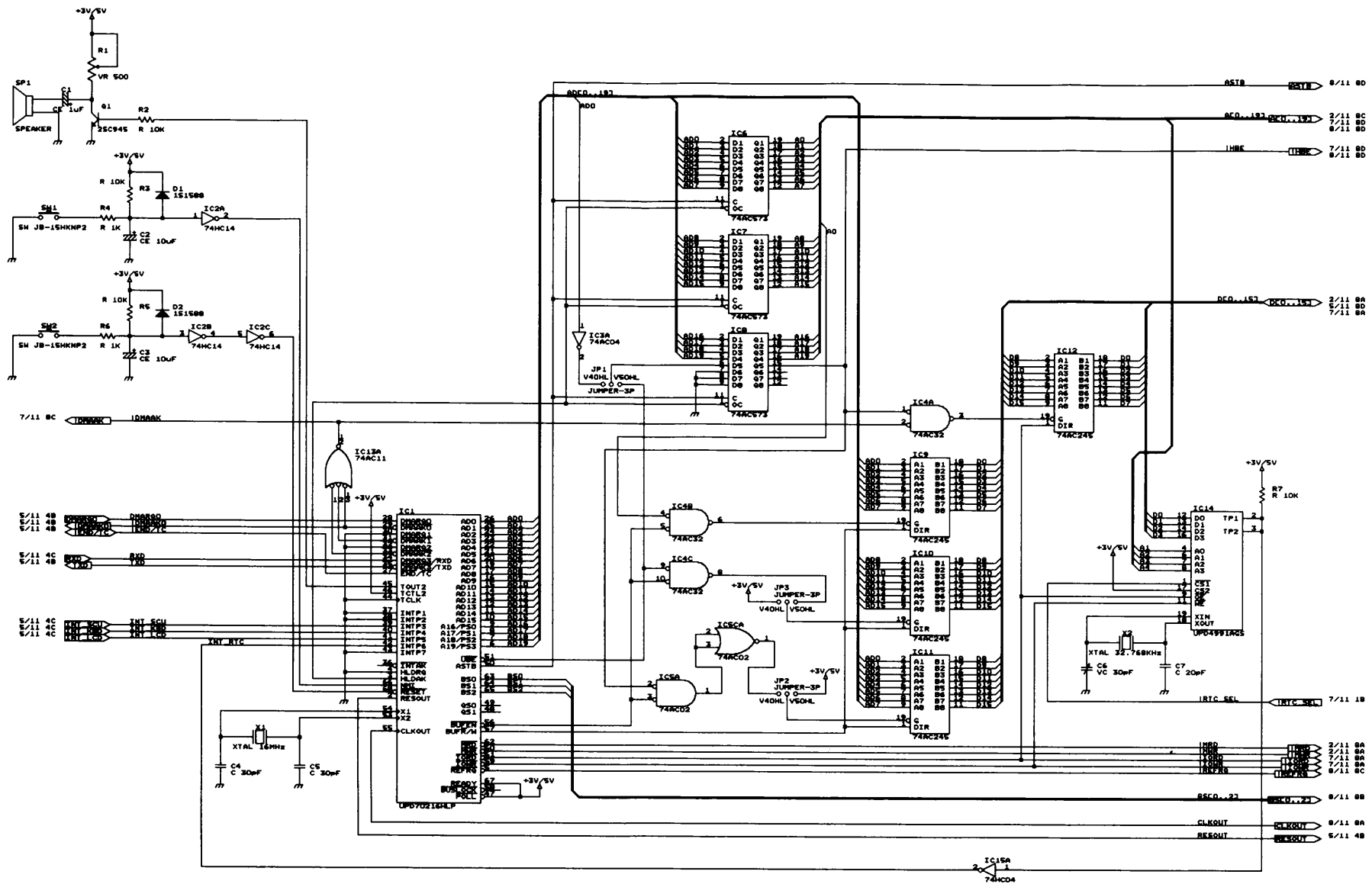
例 D [0..15] (= D0-D15)

(× ㊦)

保守/廃止

図付-1 CPU周辺回路

(図付-1 CPU周辺回路)

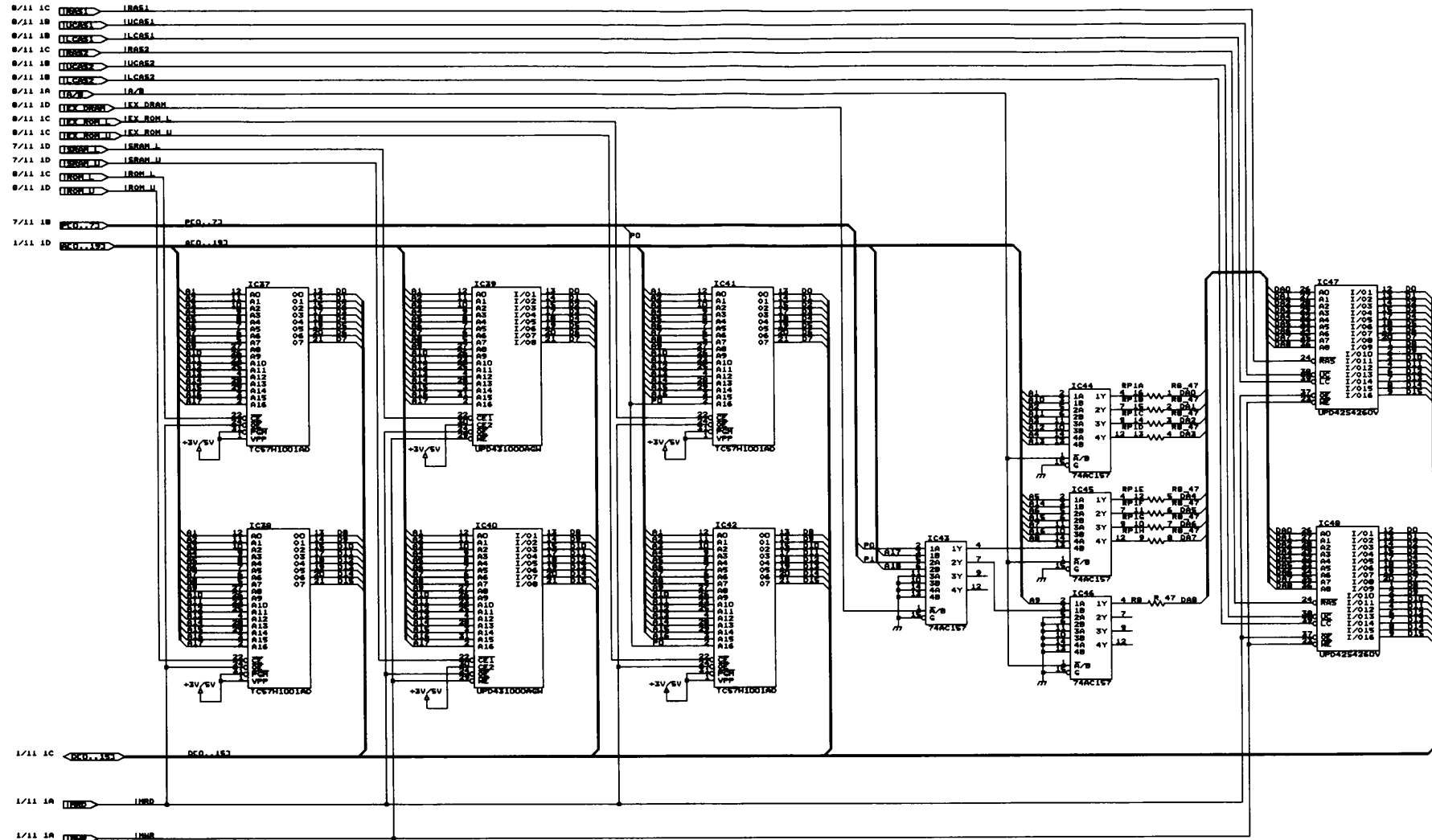


無線  
—  
ノ  
血  
研

**保守/廃止**

図付-2 メモリ接続回路

(図付-2 メモリ接続回路)



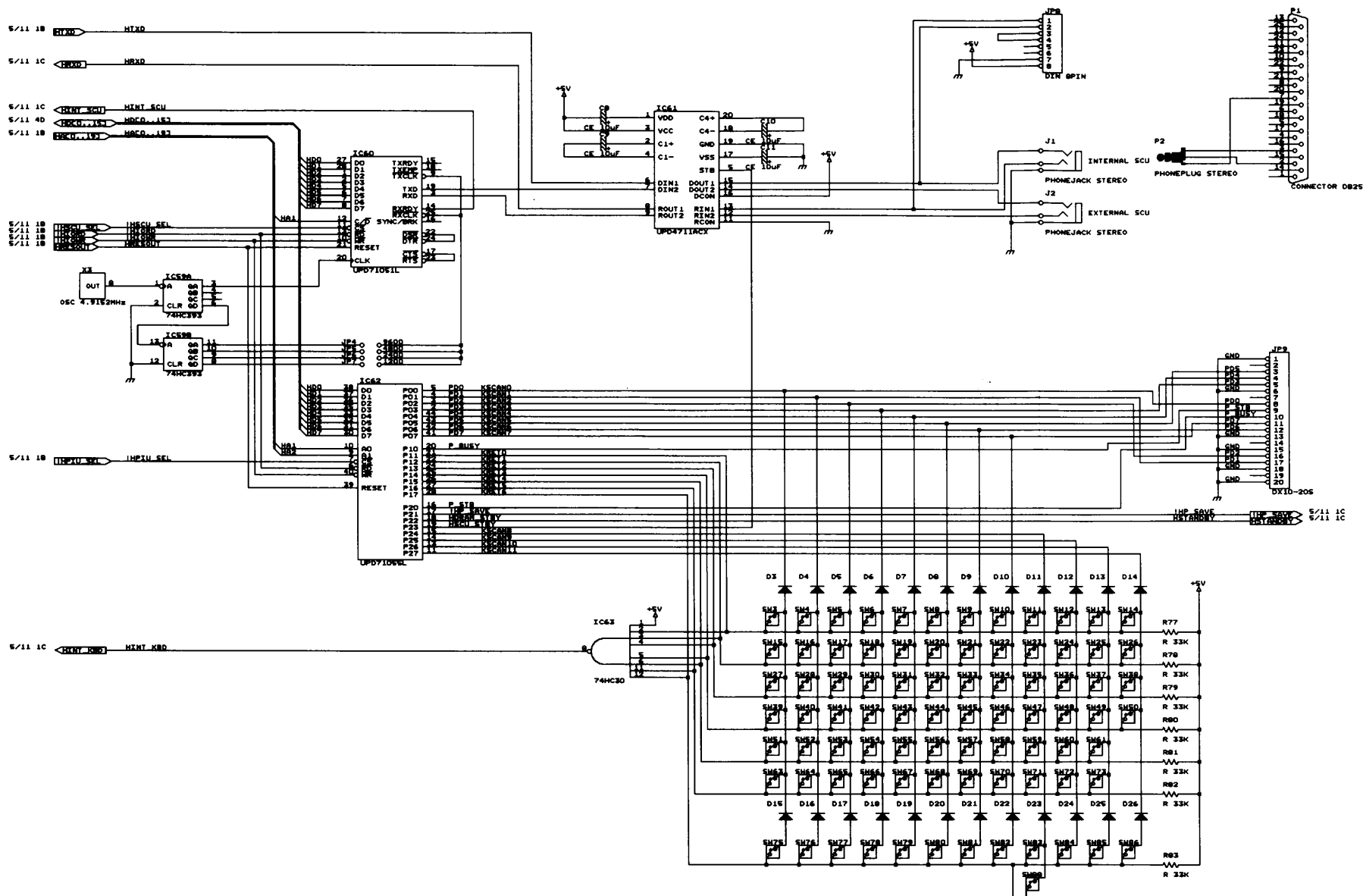
シ  
ー  
ク  
血  
樹



保守/廃止

図付-3 外部I/O接続回路

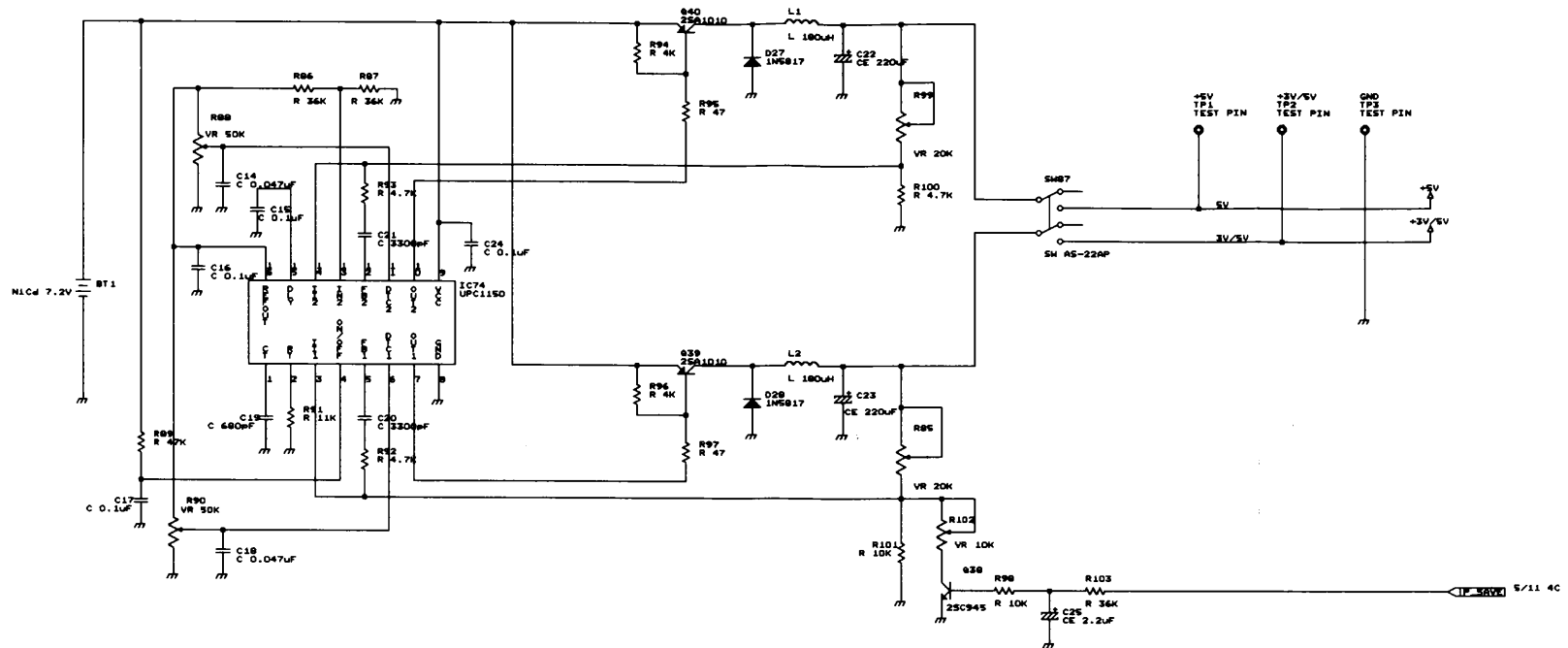
(図付-3 外部I/O接続回路)



ニ  
ー  
へ  
血  
臭

**保守/廃止**  
 (図付-4 電源ブロック)

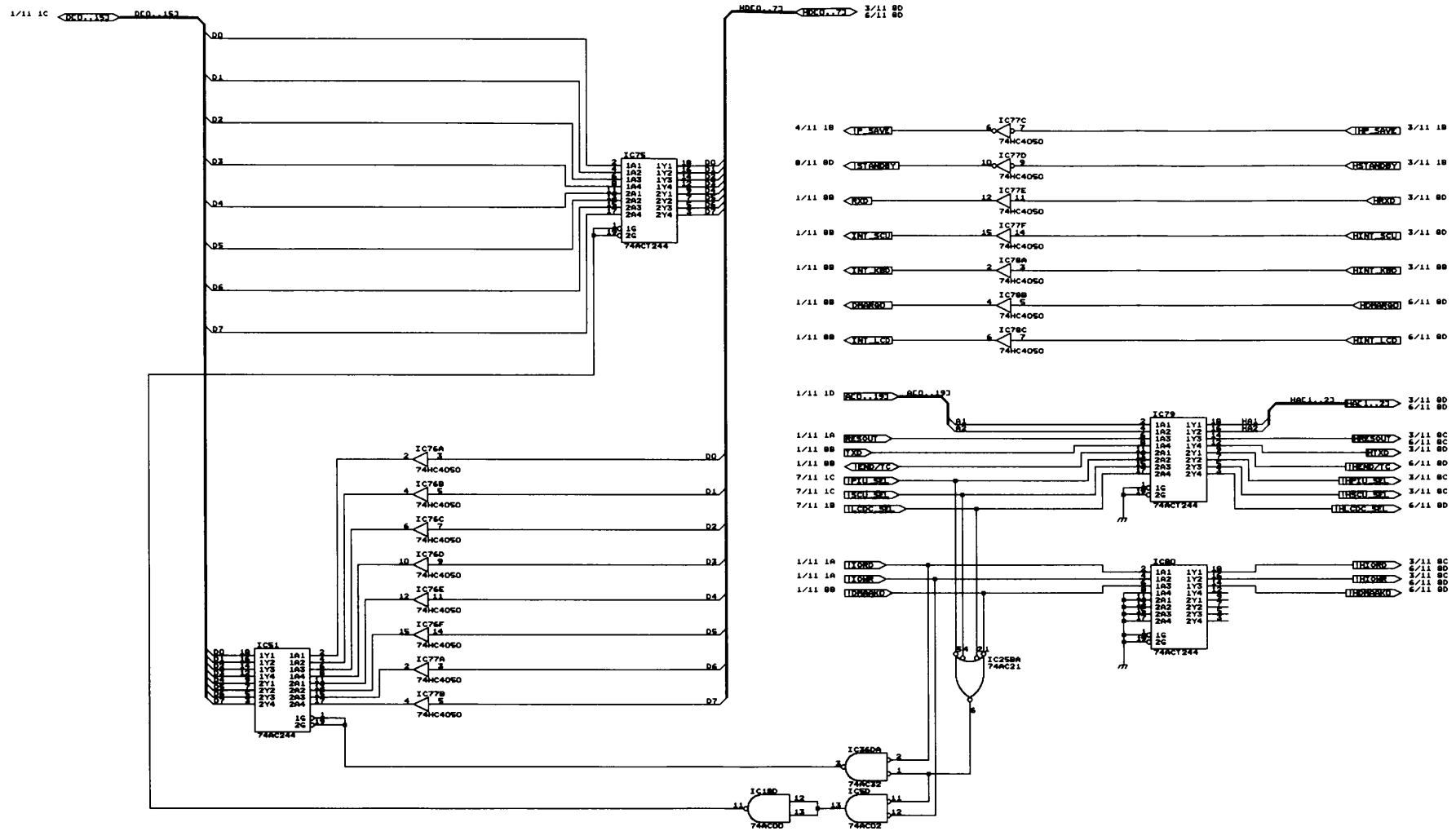
図付-4 電源ブロック



無線  
ー  
く  
田  
田

**保守/廃止**  
 (図付-5 レベル変換回路)

図付-5 レベル変換回路

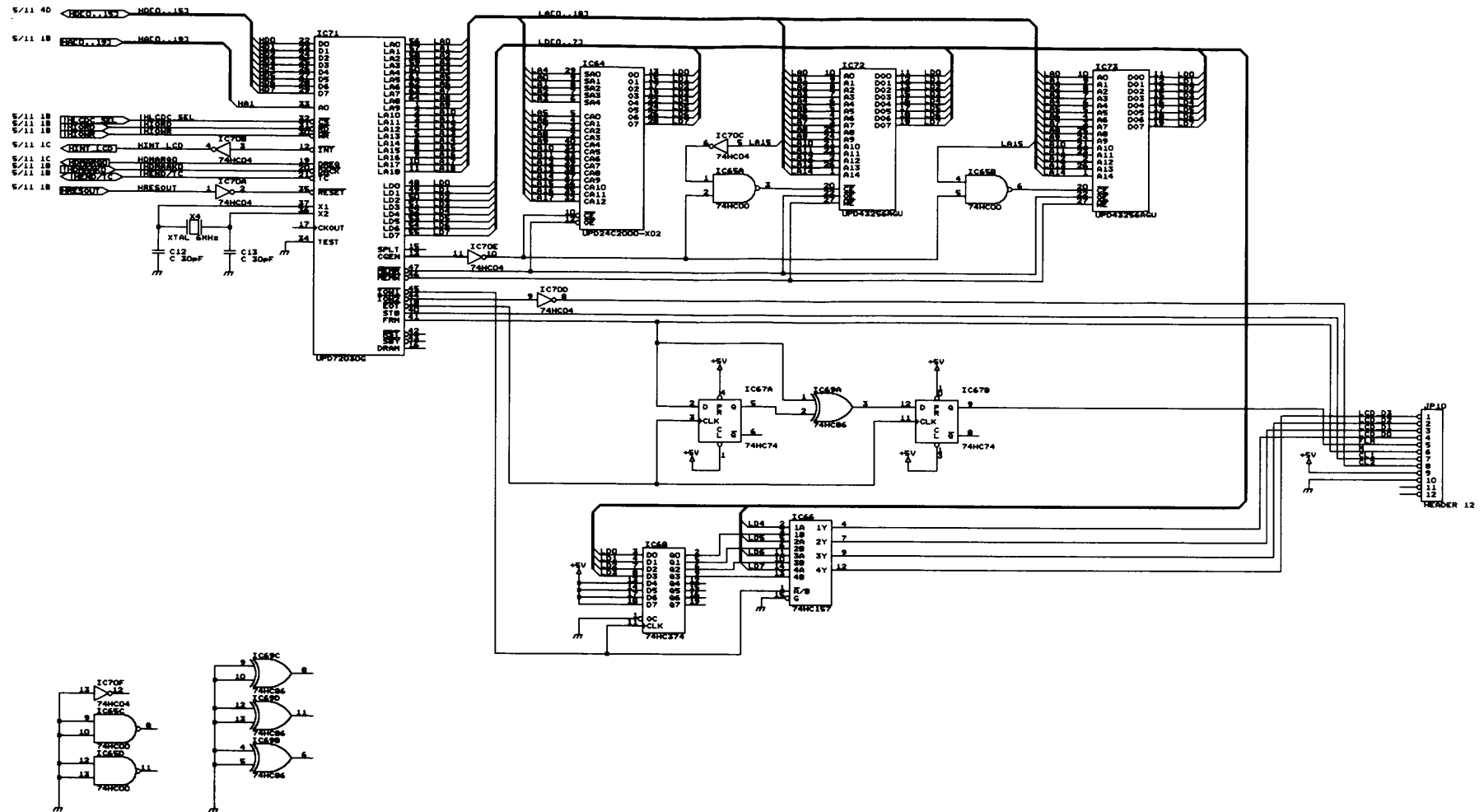


シ  
ー  
ク  
血  
脚

保守/廃止

図付-6 LCDC接続回路

(図付-6 LCDC接続回路)



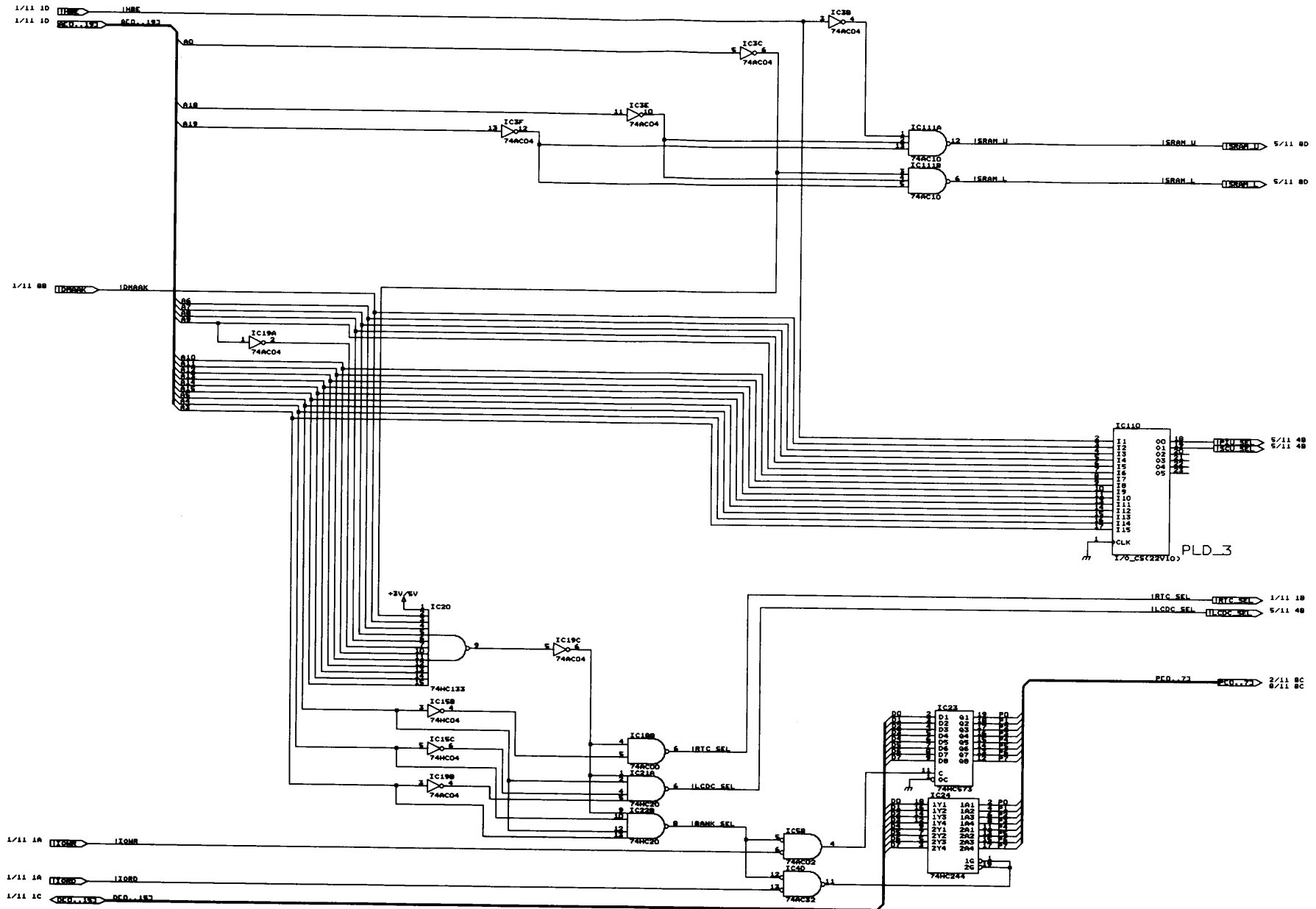
ミ  
ー  
く  
田  
別



**保守/廃止**

図付-7 チップ・セレクト回路

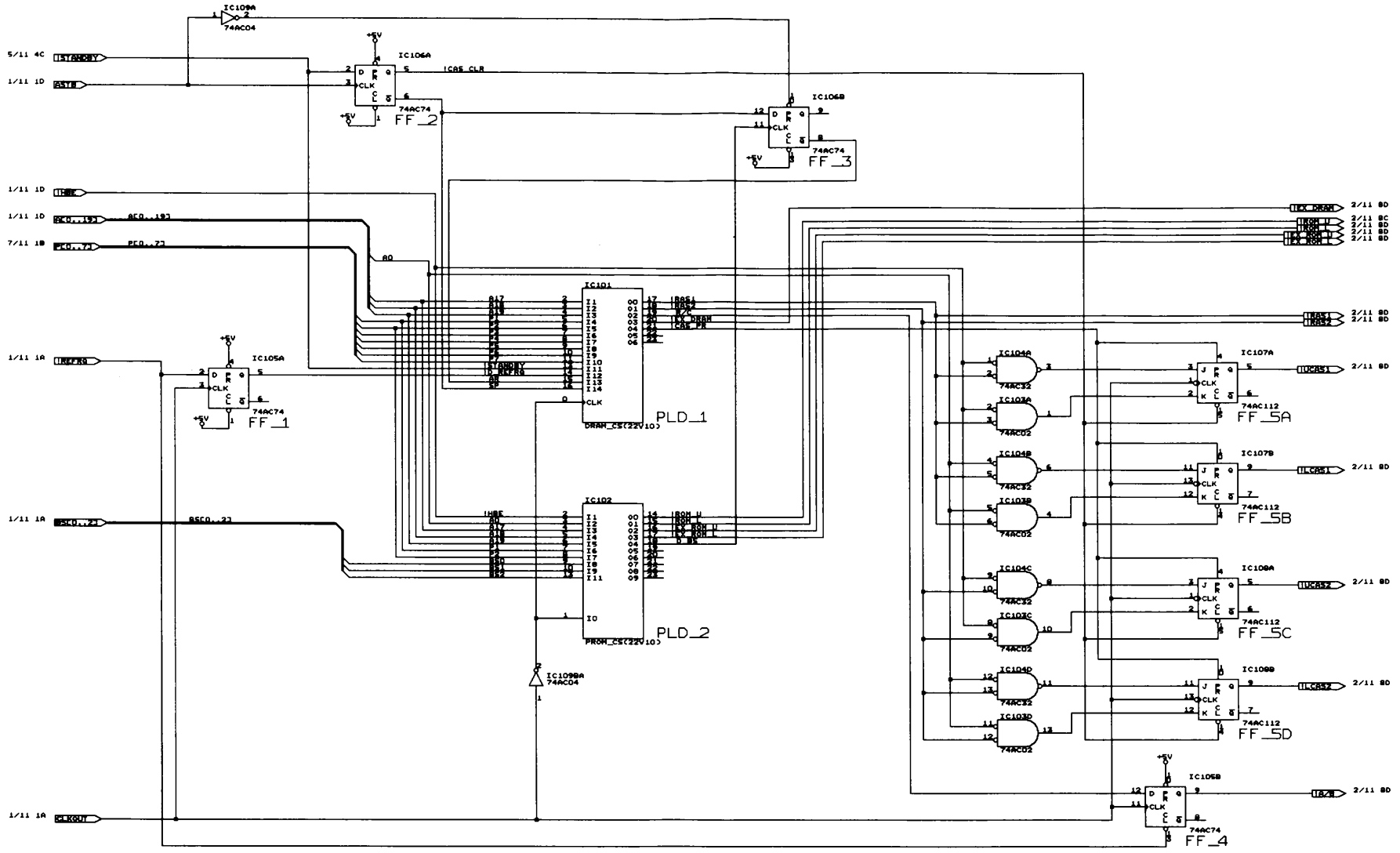
(図付-7 チップ・セレクト回路)



シ  
ー  
ク  
血  
研

保守/廃止  
(図付-8 RAS, CAS制御回路)

図付-8 RAS, CAS制御回路



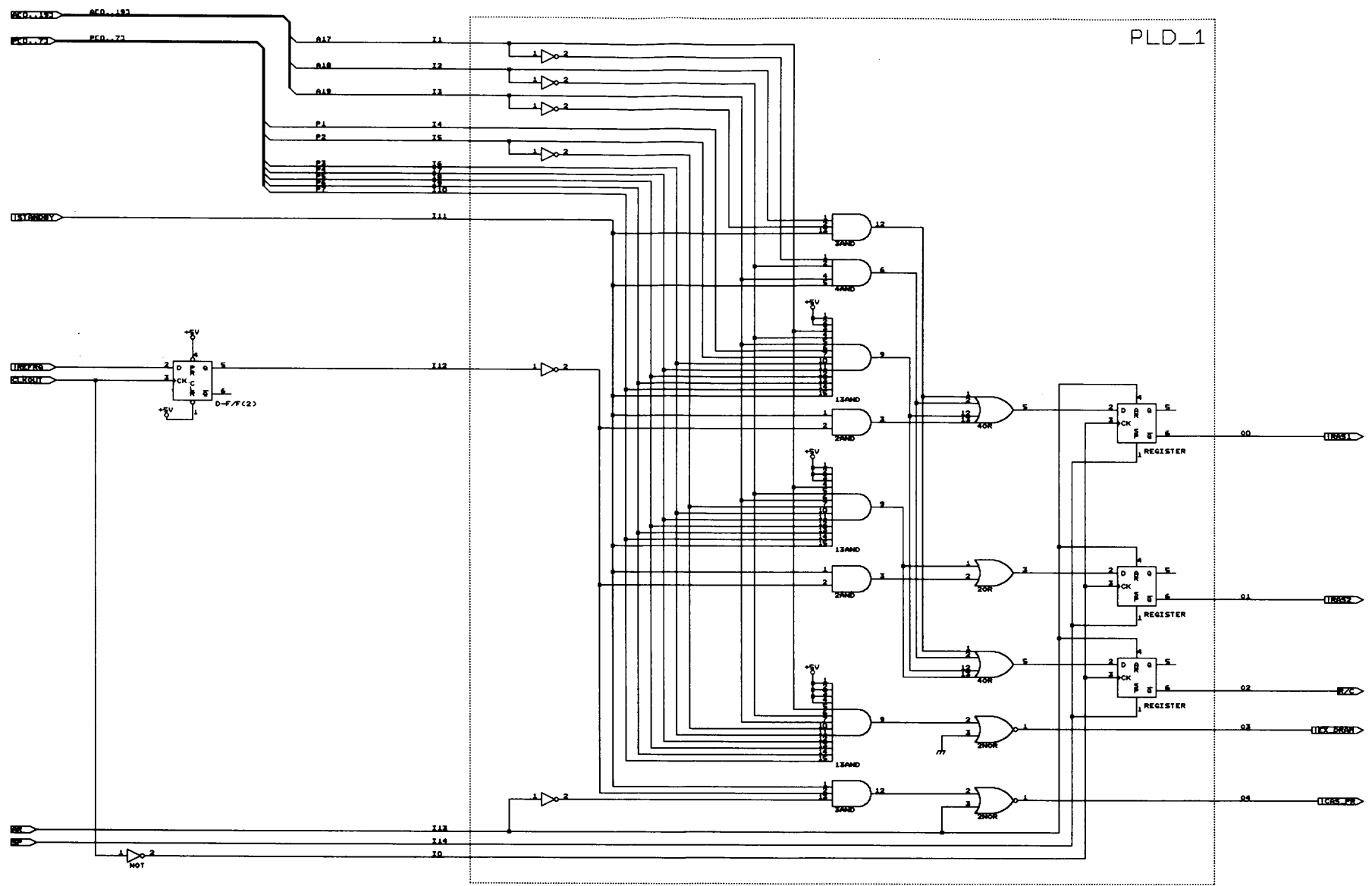
ニ  
ー  
く  
血  
餅

保守/廃止

図付-9 PLD等価回路 (PLD\_1: DRAM\_CS)

(図付-9 PLD等価回路

(PLD\_1: DRAM\_CS) )



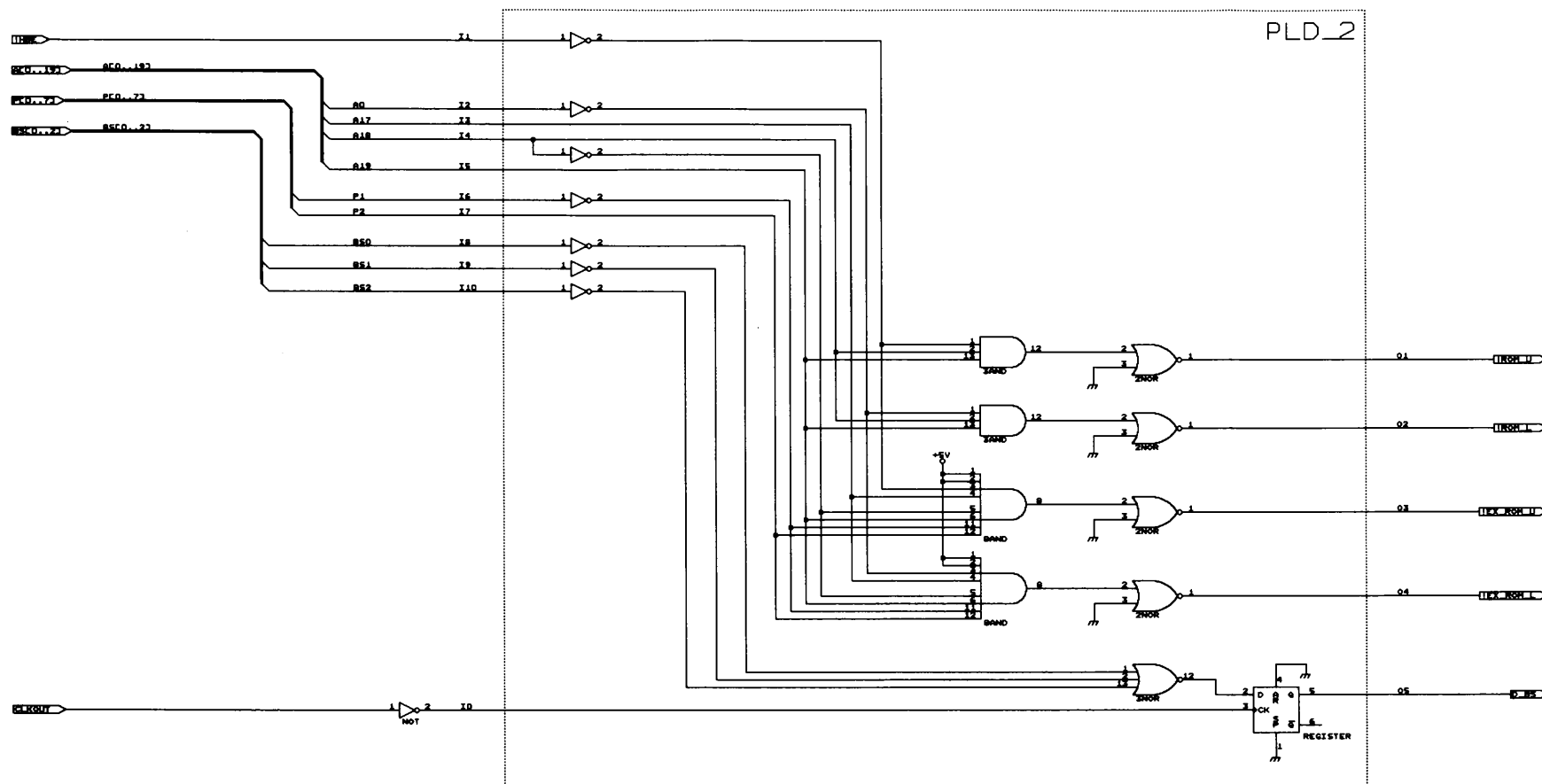
ニ  
ー  
ク  
田  
別

保守/廃止

図付-10 PLD等価回路 (PLD\_2: PROM\_CS)

(図付-10 PLD等価回路

(PLD\_2: PROM\_CS) )



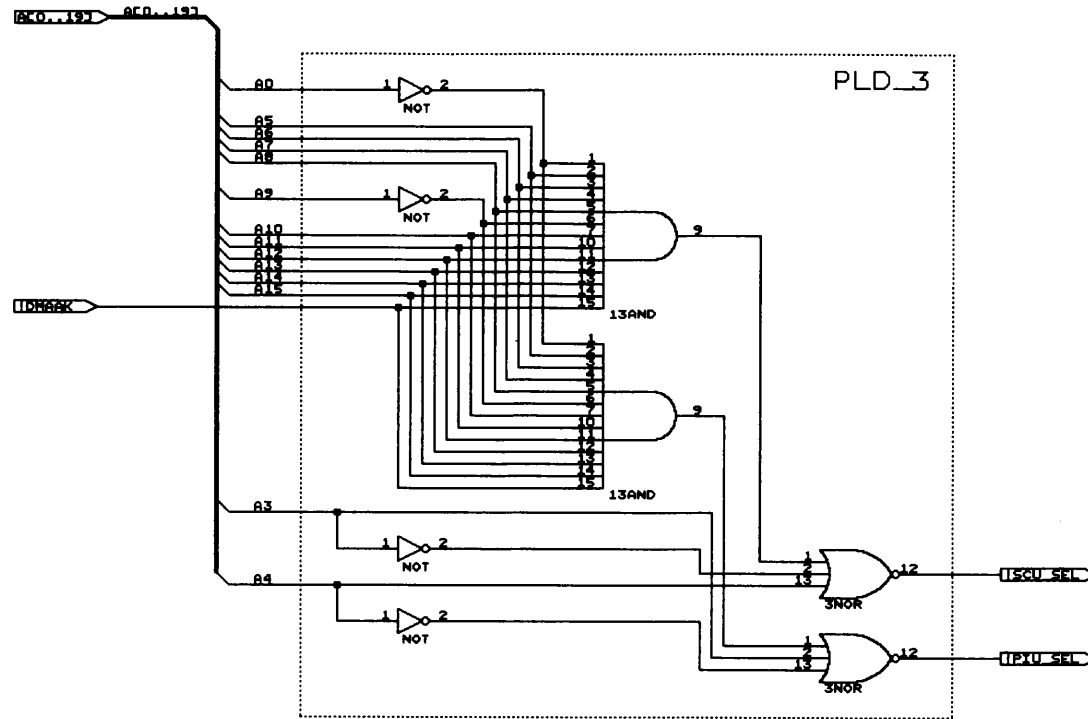
シ  
ー  
ク  
血  
則



保守/廃止

図付-11 PLD等価回路 (PLD\_3: I/O\_CS)

(図付-11 PLD等価回路  
(PLD\_3: I/O\_CS) )



**アンケート記入のお願い**

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] V40HL, V50HL アプリケーション・ノート ハードウェア設計編  
(U10037JJ1V0AN00 (第1版))

[お名前など] (さしつかえのない範囲で)  
 御社名(学校名, その他) ( )  
 ご住所 ( )  
 お電話番号 ( )  
 お仕事の内容 ( )  
 お名前 ( )

1. ご評価 (各欄に○をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ( )					
( )					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他 )  
 理由 [ ]

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他 )  
 理由 [ ]

4. ご意見, ご要望

5. このドキュメントをお届けしたのは  
 NEC販売員, 特約店販売員, NEC半導体ソリューション技術本部員,  
 その他 ( )

ご協力ありがとうございました。  
 下記あてにFAXで送信いただくか、最寄りの販売員にコピーをお渡しください。

NEC半導体インフォメーションセンター  
 FAX: (044) 548-7900

キリトリ

— お問い合わせは、最寄りのNECへ —

**【営業関係お問い合わせ先】**

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支店 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支店 群馬支店 太田支店 宇都宮支店	札幌 (011)231-0161 仙台 (022)261-5511 盛岡 (0196)51-4344 山形 (0236)23-5511 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (0292)26-1717 横浜 (045)324-5511 高崎 (0273)26-1255 太田 (0276)46-4011 宇都宮 (0286)21-2261	小山支店 (0285)24-5011 長野支社 (0262)35-1444 松本支店 (0263)35-1666 諏訪支店 (0266)53-5350 甲府支店 (0552)24-4141 埼玉支社 (048)641-1411 立川支社 (0425)26-5981 千葉支社 (043)238-8116 静岡支社 (054)255-2211 沼津支店 (0559)83-4455 浜松支店 (053)452-2711 北陸支社 (0762)23-1621 福井支店 (0776)22-1866
富山支店 三重支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 四国支社 新居浜支店 松山支店 九州支社 北九州支店	富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 中国 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 高松 (0878)36-1200 新居浜 (0897)32-5001 松山 (0899)45-4111 福岡 (092)271-7700 北九州 (093)541-2887	

**【本資料に関する技術お問い合わせ先】**

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-8890	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3796-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	