

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

アプリケーション・ノート (暫定)

保守 / 廃止

μ PD98501

Communication Controller

ATM Cell Processor **制御編**

資料番号 S15812JJ1V0AN00 (第1版)

発行年月 November 2001 NS CP (K)

© NEC Corporation 2001

[メ モ]

目次要約

第 1 章 概 説 ...	10
第 2 章 制御手順 ...	15
第 3 章 ハードウェア機能 ...	24

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

VR4120A は、日本電気株式会社の商標です。

Micro Wire は、National Semiconductor Corp. の商標です。

Ethernet は、Xerox Corp. の商標です。

MIPS は、MIPS Technologies, Inc. の商標です。

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M5 98.8

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このアプリケーション・ノートは、 μ PD98501 の応用システムを設計、開発するユーザを対象としています。

目的 このアプリケーション・ノートは、 μ PD98501 に内蔵されている ATM Cell Processor の制御方法について、ユーザに理解していただくことを目的としています。

構成 このアプリケーション・ノートは、大きく分けて次の内容で構成されています。

- ・概 説
- ・制御手順
- ・ハードウェア機能

読み方 このアプリケーション・ノートの読者は、電気、論理回路やマイクロコンピュータに関する一般的知識が必要となります。

μ PD98501 の電気的特性を理解しようとするとき
→ μ PD98501 Data Sheet を参照してください。

μ PD98501 の機能を理解しようとするとき
→ μ PD98501 User's Manual を参照してください。

- 凡 例**
- データ表記の重み : 左が上位桁, 右が下位桁
 - アクティブ・ロウの表記 : $x \times x \times x_B$ (端子, 信号の名称に $_B$ を付加)
 - 注 : 本文中につけた注の説明
 - 注意 : 気をつけて読んでいただきたい内容
 - 備考 : 本文中の補足説明
 - 数の表記 : 2進数 ... $x \times x \times x$ または $x \times x \times x B$
10進数 ... $x \times x \times x$
16進数 ... $x \times x \times x H$

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

資料名	資料番号
μ PD98501 Data Sheet	S14828E
μ PD98501 User's Manual	S14767E
μ PD98501 アプリケーション・ノート ATM Cell Processor 制御編	この資料

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 10

- 1.1 μ PD98501 ... 10
 - 1.1.1 特 長 ... 10
 - 1.1.2 オーダ情報 ... 10
 - 1.1.3 ブロック図 ... 11
- 1.2 ATM Cell Processor ... 12
 - 1.2.1 動作概要 ... 12
 - 1.2.2 制御手順概要 ... 13
 - 1.2.3 コマンド概要 ... 13
 - 1.2.4 レジスタ概要 ... 14

第2章 制御手順 ... 15

- 2.1 初期化处理 ... 15
- 2.2 送受信バッファの確保と初期化 ... 17
- 2.3 メールボックスの初期化 ... 19
- 2.4 送受信開始処理 ... 19
- 2.5 送信準備 ... 20
- 2.6 受信準備 ... 21
- 2.7 送信処理 ... 22
 - 2.7.1 送信 ... 22
 - 2.7.2 送信終了処理 ... 22
- 2.8 受信処理 ... 23
- 2.9 注意事項 ... 23

第3章 ハードウェア機能 ... 24

- 3.1 構 成 ... 24
- 3.2 周辺ハードウェア ... 25
 - 3.2.1 ペリフェラル ... 25
 - 3.2.2 UTOPIA バス・コントローラ ... 25
- 3.3 Work RAM ... 26
- 3.4 受信ルックアップ・テーブル ... 27
 - 3.4.1 RXLCTR (Rx Lookup Table Control Register) ... 28
 - 3.4.2 RxTBLn0/1 (Rx Lookup Table Entry n Half-word 0/1, n = {00H-3FH}) ... 28
 - 3.4.3 RxTBCn (Rx Lookup Table Control Entry n , n = {00H-3FH}) ... 28
- 3.5 スケジューリング・テーブルとセル・タイマ ... 29

図の目次

図番号	タイトル, ページ
1-1	ブロック図 (μ PD98501) ... 11
1-2	ATM Cell Processor 構成図 ... 12
2-1	送信バッファ形式 ... 17
2-2	受信バッファ形式 ... 18
3-1	ATM Cell Processor 構成図 ... 24
3-2	Work RAM ... 26
3-3	スケジューリング手順 ... 29

表の目次

表番号	タイトル, ページ
1-1	コマンド概要 ... 13
1-2	ダイレクト・アドレッシング・レジスタ一覧 ... 14
3-1	受信ルックアップ・テーブル・レジスタ ... 27

第1章 概 説

μPD98501 は、高性能 64 ビット MIPS™ マイクロプロセッサ Vr4120A™ コア、ATM Cell Processor、Ethernet™ コントローラ、USB コントローラ、UTOPIA2 インタフェース、SDRAM インタフェースなどを内蔵するネットワーク・コントローラです。

このアプリケーション・ノートでは、μPD98501 が内蔵する ATM Cell Processor の制御方法について説明しています。μPD98501 の機能については、**μPD98501 User's Manual (S14767E)** を参照してください。

1.1 μPD98501

μPD98501 は、xDSL アプリケーションにおいて PC や Ethernet、USB などのインタフェースから伝送されてくるユーザ・データの加工 (ATM Cell) や、xDSL PHY の制御を行うネットワーク・コントローラです。高性能 64 ビット MIPS マイクロプロセッサ Vr4120A コア、ATM Cell Processor、Ethernet コントローラ、USB コントローラ、UTOPIA2 インタフェース、SDRAM インタフェースなどを内蔵しています。

1.1.1 特 長

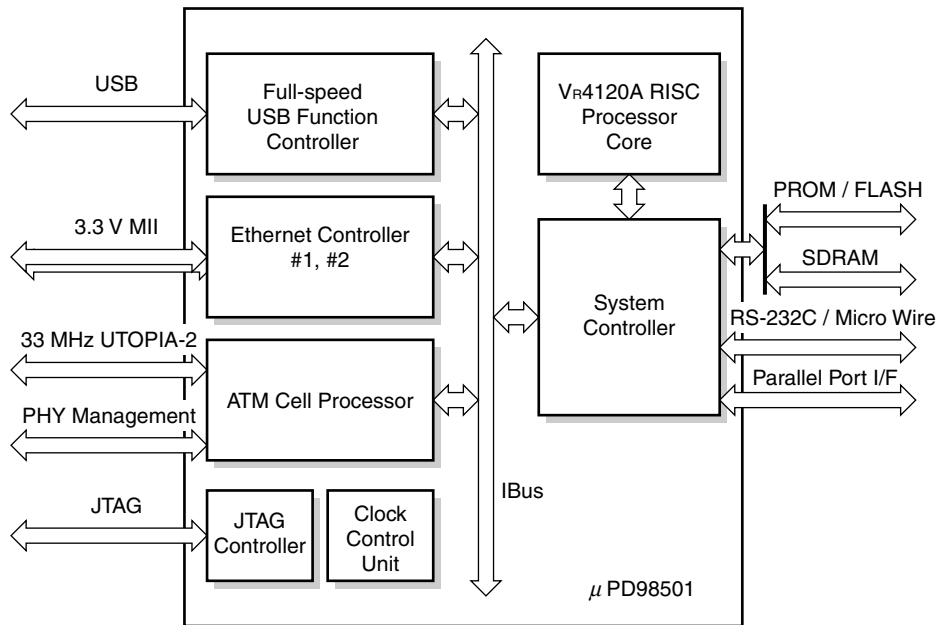
- 高性能 64 ビット MIPS マイクロプロセッサ Vr4120A コアを内蔵
- RTOS および各種ネットワーク・ミドルウェアをオンチップで実行可能
- ブート・プログラム格納用に PROM および FLASH ROM インタフェースを内蔵
- ATM セル・プロセッサとして専用 32 ビット RISC マイクロプロセッサ・コアを内蔵
- RISC プロセッサ・コアによるソフトウェア SAR を実現
- CBR、VBR および UBR のサービス・クラスをサポート
- IEEE802.3、IEEE802.3u および IEEE802.3x 準拠の 10/100 Mbps Ethernet コントローラを内蔵
- 3.3-V MII インタフェースを内蔵し、Ethernet PHY デバイスをダイレクトに接続可能
- USB Specification 1.1 準拠の USB Full Speed Function コントローラを内蔵
- 外部メモリとして 64 M ビットおよび 128 M ビット SDRAM をダイレクトに接続可能
- ATM Forum at-phy-0039 準拠の 8 ビット 33 MHz UTOPIA Level2 インタフェースを内蔵
- IEEE1149.1 準拠のバウンダリ・スキャン機能 (JTAG) を内蔵
- Micro Wire™ インタフェースを内蔵
- Advanced CMOS Technology を使用
- 動作電源電圧：2.5 V (コア部) / 3.3 V (I/O 部)
- 352 ピン・テープ BGA

1.1.2 オーダ情報

オーダ名称	パッケージ
μPD98501N7-F6	352 ピン・テープ BGA (H/Sp 付き) (35 × 35)

1.1.3 ブロック図

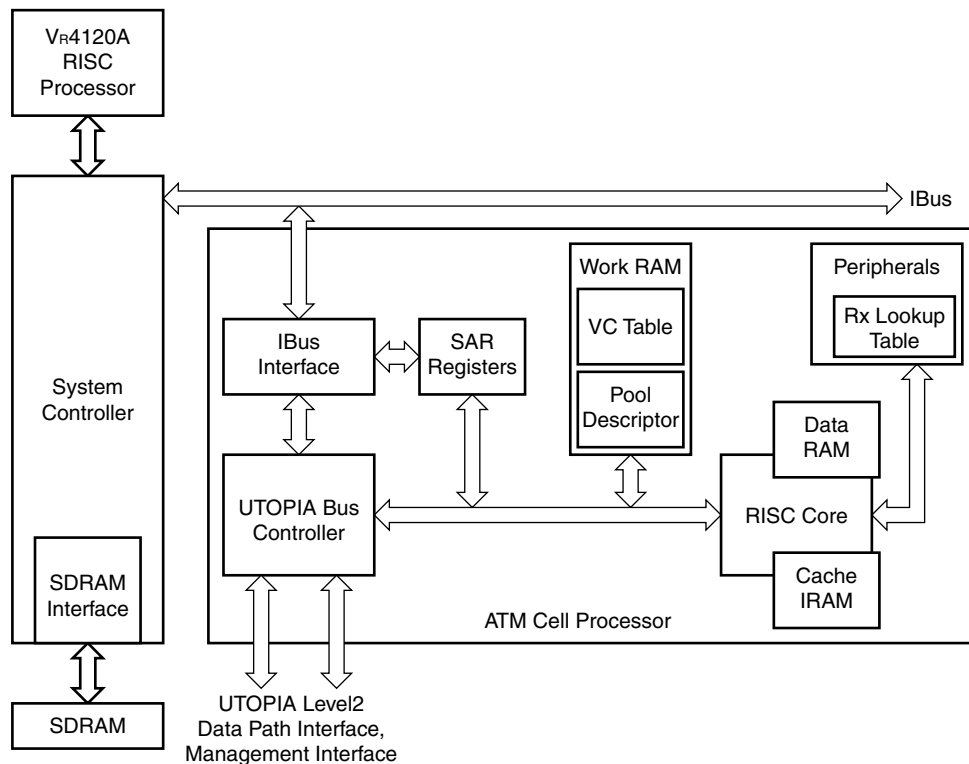
図 1-1 ブロック図 (μPD98501)



1.2 ATM Cell Processor

ATM Cell Processor は、SAR 処理専用 に内蔵する RISC コアのソフトウェア処理によって SAR 機能を実現しています。検索テーブル、CRC 計算回路など、ソフトウェア処理に不向きな機能については、周辺のハードウェアで実現しています。送受信データ構造、レジスタ情報、コマンドの詳細については、**μPD98501 User's Manual (S14767E)** を参照してください。

図 1-2 ATM Cell Processor 構成図



1.2.1 動作概要

RISC コアのソフトウェアは SDRAM 上に置かれます。RISC コアは、8 K バイトの内部 RAM と 8 K バイトのキャッシュを持ち、ソフトウェアを SDRAM から内部 RAM、キャッシュにロードしながら動作します。

ATM Cell Processor の制御は、A_CMR (Command Register)、A_CER (Command Extension Register) を用いた Vr4120A から ATM Cell Processor へのコマンド発行および、Vr4120A から SAR レジスタへのアクセスにより行います。また、ATM Cell Processor は、送信完了、受信、エラーの発生を Vr4120A に対して、割り込みで通知します。

送受信に必要なデータは、Work RAM に置く VC (Virtual Channel) テーブル、プール・ディスクリプタを除き、SDRAM に置かれます。プール・ディスクリプタについては、8 プール分のディスクリプタがあらかじめ ATM Cell Processor により用意されます。VC テーブルは、ATM Cell Processor に対して、VC をオープンするコマンドを発行すると、ATM Cell Processor によって Work RAM 上に確保されます。Work RAM には Vr4120A から直接アクセスできないため、Indirect_Access コマンドを使用して読み書きを行います。

1.2.2 制御手順概要

ATM Cell Processor 制御の流れは次のとおりです。

- (1) 初期化处理
- (2) 送受信バッファの確保と初期化
- (3) メールボックスの確保と初期化
- (4) 送受信開始処理
- (5) 送信準備
- (6) 受信準備
- (7) 送信処理(送信完了処理は割り込み処理)
- (8) 受信処理(割り込み処理)

1.2.3 コマンド概要

ATM Cell Processor を制御するためのコマンド発行は、A_CMR (Command Register) および A_CER (Command Extension Register) への書き込みにより行います。A_CER は、コマンド拡張レジスタで、一部のコマンドでのみ使用されます。

ATM Cell Processor へのコマンド発行は、A_CMR への書き込みにより完了しますので、A_CER を用いる場合は、A_CER、A_CMR の順番で書き込んでください。また、A_CMR のビット 31 は、BUSY ビットです (ATM Cell Processor が処理中のときは、“1” に設定されます)。コマンド発行時には、このビットが“0”になっていることを確認してください。

一部のコマンドは、コマンド・インディケーション (CMR, CER) により、実行結果を返却します。
μPD98501 で AAL5 機能向けにサポートされているコマンドを表 1-1 に示します。

表 1-1 コマンド概要

コマンド名	概 要	A_CER の使用	インディ ケーション
Set_Link_Rate	回線レートを設定するためのコマンド	×	×
Open_Channel	VC をオープン (VC テーブルを確保) するためのコマンド	×	VC 番号
Close_Channel	VC をクローズ (VC テーブルの開放) するためのコマンド	×	VC 番号
Tx_Ready	パケットの送信要求するためのコマンド		エラー
Add_Buffer	受信バッファ・プールへ空のバッファを戻すためのコマンド		エラー
Indirect_Access	Vr4120A からは直接アクセスできない領域 (RISC コアのアドレス領域) にアクセスするときに使用するコマンド		Read Data

備考 コマンドの詳細については、μPD98501 User's Manual (S14767E) を参照してください。

1.2.4 レジスタ概要

ATM Cell Processor のレジスタは、V_R4120A のメモリ領域に存在するダイレクト・アドレッシング・レジスタとペリフェラルとして実装されている受信ルックアップ・テーブル・レジスタがあります。表 1-2にダイレクト・アドレッシング・レジスタの一覧を示します。受信ルックアップ・テーブル・レジスタについては、3.4 受信ルックアップ・テーブルを参照してください。また、各レジスタの詳細については、*μPD98501 User's Manual (S14767E)* を参照してください。

表 1-2 ダイレクト・アドレッシング・レジスタ一覧

アドレス ^注	レジスタ名	機 能	Read/Write
F000H	A_GMR	General Mode Register	R/W
F004H	A_GSR	General Status Register	R
F008H	A_IMR	Interrupt Mask Register	R/W
F00CH	A_RQU	Receive Queue Underrunning	R
F010H	A_RQA	Receive Queue Alert	R
F018H	A_VER	Version Number	R
F020H	A_CMR	Command Register	R/W
F028H	A_CER	Command Extension Register	R/W
F050H	A_MSA0	Mailbox0 Start Address	R/W
F054H	A_MSA1	Mailbox1 Start Address	R/W
F058H	A_MSA2	Mailbox2 Start Address	R/W
F05CH	A_MSA3	Mailbox3 Start Address	R/W
F060H	A_MBA0	Mailbox0 Bottom Address	R/W
F064H	A_MBA1	Mailbox1 Bottom Address	R/W
F068H	A_MBA2	Mailbox2 Bottom Address	R/W
F06CH	A_MBA3	Mailbox3 Bottom Address	R/W
F070H	A_MTA0	Mailbox0 Tail Address	R/W
F074H	A_MTA1	Mailbox1 Tail Address	R/W
F078H	A_MTA2	Mailbox2 Tail Address	R/W
F07CH	A_MTA3	Mailbox3 Tail Address	R/W
F080H	A_MWA0	Mailbox0 Write Address	R/W
F084H	A_MWA1	Mailbox1 Write Address	R/W
F088H	A_MWA2	Mailbox2 Write Address	R/W
F08CH	A_MWA3	Mailbox3 Write Address	R/W
F090H	A_RCC	Valid Receiving Cell Counter	R
F094H	A_TCC	Valid Transmitting Cell Counter	R
F098H	A_RUEC	Receive Unprovisioned VPI/VCI Error Cell Counter	R
F09CH	A_RIDC	Receiving Internal Discarded Cell Counter	R
F0B0H	A_APR	ABR Parameter Register	R/W
F0C0H	A_T1R	T1 Timer Register	R/W
F0C8H	A_TSR	Time Stamp Register	R/W
F300H	A_IBBAR	IBUS Base Address Register	R/W
F304H	A_INBAR	Instruction Base Address Register	R/W
F320H	A_UMCMD	UTOPIA Management Interface Command Register	R/W

注 V_R4120A のメモリ領域の物理アドレスは 1001_0000H を加えたアドレスになりますが、処理に使用される論理アドレスは B001_0000H を加えたアドレスになります。このアプリケーション・ノートでは、論理アドレスを使用して説明しています。

第2章 制御手順

ATM Cell Processor の制御は次の手順で行います。

- (1) 初期化処理
- (2) 送受信バッファの確保と初期化
- (3) メールボックスの確保と初期化
- (4) 送受信開始処理
- (5) 送信準備
- (6) 受信準備
- (7) 送信処理(送信完了処理は割り込み処理)
- (8) 受信処理(割り込み処理)

2.1 初期化処理

ATM Cell Processor を使用するために、前もって行わなければならない設定は次のとおりです。

- (1) A_INBAR の設定 (RISC コア のファームウェア のロード)
- (2) ATM PHY のリセット
- (3) S_ISR のアタッチ
- (4) 回線レート の設定
- (5) 受信ルックアップ・テーブルのイネーブル
- (6) A_T1R の設定

各設定の方法を次に示します。

(1) A_INBAR の設定

A_INBAR (Instruction base address register , B001_F304H) は , RISC コアのプログラムの先頭アドレスを示すレジスタです。

RISC コアは、内部に Instruction RAM (8 K バイト) と Instruction Cache (8 K バイト) を持っていますが、RISC コアのコード・サイズは約 30 K バイトであるため、内部の RAM/キャッシュではすべてのコードが収まりません。このため、RISC コアは SDRAM にコードを持ち、初期化後、また、キャッシュがミス・ヒットした際には SDRAM からコードをロードすることによって、プログラムを実行します。

このとき、プログラムの領域のスタート・アドレスを示しているのが A_INBAR です。

A_IBBAR (IBus data Base Address Register , B001_F300H) は使用されていないので、設定する必要はありません。

注意 A_INBAR を正しく設定しないと、RISC コアのコードが正しくロードされないため、ATM Cell Processor は動作しません。

(2) ATM PHY のリセット

A_UMCMD レジスタ (UTOPIA management interface command register, B001_F320H) の PR ビットを ON, OFF することにより, PHY デバイスのリセットを行う必要があります。また, リセット後, A_UMCMD レジスタを用いて, UTOPIA マネージメントのモードをインテル・モードかモトローラ・モードに設定します。

(3) S_ISR のアタッチ

割り込み関数を登録してください。割り込み関数では, A_GSR (General status register, B001_F004H) を読み, ステータスに応じた処理を行ってください。なお, A_GSR はリード・クリアされるため, 1 回の割り込みで複数のステータスが報告される場合には, すべてのステータスに応じた処理を行う必要があります。

(4) 回線レートの設定

μ PD98501 の ATM Cell Processor は PHY (Physical Layer) を特定していないため, 回線レートの初期設定がされておりません。そのため, Set_Link_Rate コマンドを発行し, 回線レートの設定を行う必要があります。回線レートの形式は, ATM Forum Traffic Management Specification (af-tm-0056) にて定義されている次の形式を用います。

$$\text{レート} = 2^e * (1 + m / 512) * nz \quad [\text{cells/sec}]$$

rese rved	nz	e	m
15	14	13	9 8 0

なお, 送信準備で VC (Virtual Channel) テーブルに設定するレート (PCR, SCR) もこの形式を用います。

注意 回線レートの設定を正しく行わなければ, スケジューリングが正しく行われません。回線レートの設定は, 送信準備で VC の設定を行う前に必ず行ってください。

(5) 受信ルックアップ・テーブルのイネーブル

RXLCTR (Rx lookup table control register, FFF410H) の CE ビットを 1 にし, 受信ルックアップ・テーブルを有効にします。なお, このレジスタは, VR4120A からは直接アクセスできないため, Indirect_Access コマンドを用いる必要があります。この処理は, 受信ルックアップ・テーブル・エントリの設定の後に行うこともできます。

備考 受信ルックアップ・テーブルの各レジスタ情報については, 3.4 受信ルックアップ・テーブルを参照してください。

(6) A_T1R の設定

A_T1R (T1 timer register, B001_F0C0H) は受信タイムアウトを監視するのに使用します。T1 タイマ機能を使用するかどうかは, VC テーブルで設定できます。T1 タイマ機能を使用しない場合, この設定は省略できます。

2.2 送受信バッファの確保と初期化

データを送受信するために、送受信データ領域を初期化する必要があります。送受信データ領域は、受信プール・ディスクリプタ以外、すべて SDRAM に置かれます。受信プール・ディスクリプタは、Work RAM に置かれます。このため、受信プール・ディスクリプタへのアクセスには、Indirect_Access コマンドを用いる必要があります。

送信バッファの形式の概略を図 2-1 に、受信バッファの形式の概略を図 2-2 に示します。なお、送信 / 受信バッファの形式の詳細については、**μPD98501 User's Manual (S14767E)** を参照してください。

送受信バッファの確保、および初期化は次の手順で行います。

- (1) 受信プールの確保および、プール・ディスクリプタ、受信バッファ・ディスクリプタの設定
- (2) 送信バッファ・ディスクリプタの確保

図 2-1 送信バッファ形式

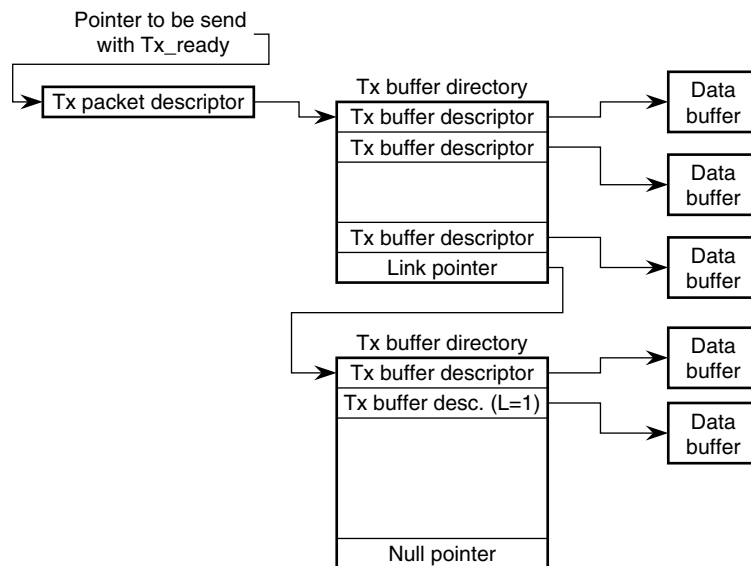
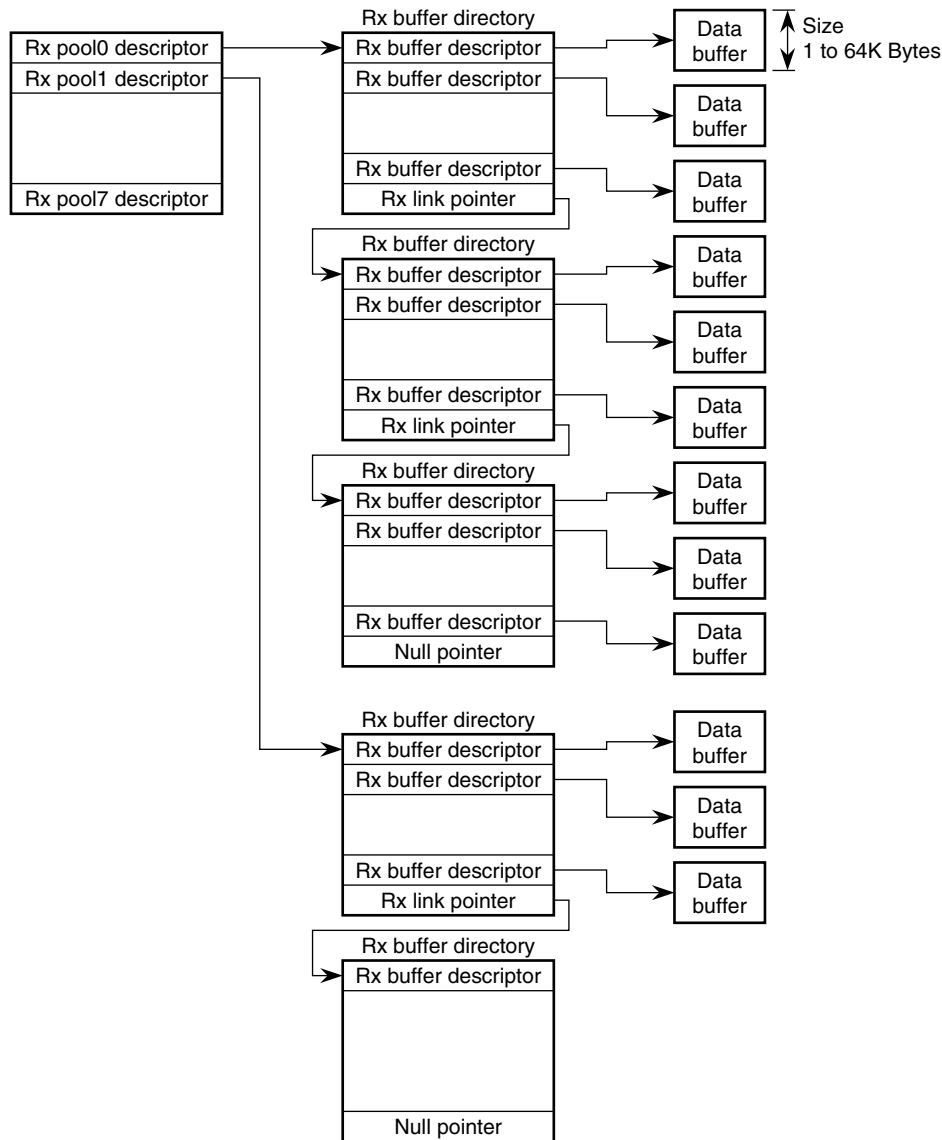


図 2-2 受信バッファ形式



(1) 受信プールの確保および、プール・ディスクリプタ、受信バッファ・ディスクリプタの設定

受信プール（バッファ・ディスクリプタ）を SDRAM 上に確保し、プール・ディスクリプタ、受信バッファ・ディスクリプタの設定を行います。図 2-2に示すように、受信バッファ・プール内の各ディスクリプタは、リンク・ポインタを用いて接続されている必要があります。最後のディスクリプタのリンク・ポインタには 0（Null pointer）を記入します。

プール・ディスクリプタは、初期化時に ATM Cell Processor によって準備されています。8つのプールのうち、どのプールを使用するかを選択した上で、確保した受信プールの情報を、Indirect_Access コマンドを用いてプール・ディスクリプタに設定します。プール・ディスクリプタは 2ワード構成ですので、プール・ディスクリプタのスタート・アドレスは、プール番号を P とすると次の式で表されます。

$$\text{スタート・アドレス} = 800000\text{H} + P \times 8\text{H}$$

(2) 送信バッファ・ディスクリプタの確保

送信準備時に使用する送信バッファ・ディスクリプタのみを確保することもできますが、初期化時に使用するディスクリプタをすべて確保すると効率がよいため、初期化時に確保する方法を推奨します。

2.3 メールボックスの初期化

メールボックスは、SDRAM に置かれ、リング・バッファ形式で管理されます。メールボックス領域の詳細については、**μPD98501 User's Manual (S14767E)** を参照してください。

- (1) メールボックスの確保
- (2) ポインタの初期化

処理の詳細を次に示します。

(1) メールボックス領域の確保

送信インディケーションは1ワード構成、受信インディケーションは4ワード構成ですので、必要な大きさの領域を確保してください。

(2) ポインタの初期化

メールボックスの各種ポインタ (SAR レジスタ) の初期値を設定します。A_MSA (Mailbox start address, B001_F050H-B001_F05CH), A_MWA (Mailbox write address, B001_F080H-B001_F08CH), A_MTA (Mailbox tail address, B001_F070H-B001_F07CH) は、それぞれ同じ値 (=メールボックスの先頭アドレス) に設定します。A_MBA (Mailbox bottom address, B001_F060H-B001_F06CH) と A_MSA の差がメールボックスの大きさになります。

なお、メールボックスを設定する SAR レジスタは、送信、受信にそれぞれ2つずつ用意されています。使用するメールボックスの SAR レジスタをすべて初期化してください。

2.4 送受信開始処理

ATM Cell Processor の送受信をイネーブルにします。この設定は、送受信準備の後に行うこともできます。

- ・ A_GMR (General mode register, B001_F000H) の TE, RE ビットを設定してください。

2.5 送信準備

送信を行うために VC (Virtual Channel) を設定する必要があります。VC の設定は、Open_Channel の発行で VC テーブルを確保し、確保した VC テーブルに送信に必要な情報を設定することによって完了します。VC テーブルは、Work RAM に確保されます。送信準備は次の手順で行います。

- (1) Open_Channel コマンドの発行 (送信 VC テーブルの確保)
- (2) VC テーブルへの設定

各処理の詳細を次に示します。

(1) Open_Channel コマンドの発行

Open_Channel コマンドを発行すると、ATM Cell Processor からコマンド・インディケーションで VC 番号が返却されます。この VC 番号が送信 VC テーブルのスタート・アドレスに対応します。返却される VC 番号は、1 ~ 64 です。返却された VC 番号を 6 ビット左にシフトすると (実際にはシフトされた値が Open_Channel インディケーションで返却されます)、VC テーブルのアドレスになります。このアドレスは、VC テーブルを設定する際に用いる Indirect_Access コマンドに指定するパラメータ (アドレス) のベース・アドレスになります。

$$\text{VC テーブル・アドレス} = 800000\text{H} + (\text{VC 番号} \ll 6)$$

(2) 送信 VC テーブルの設定

送信 VC テーブルは Work RAM に置かれるため、設定には Indirect_Access コマンドを使用します。次のフィールドを設定してください。

WORD1	PRIORITY (CBR, VBR, UBR), VPI/VCI 値
WORD6	PHY アドレス, MBS (VBR 使用の場合のみ)
WORD8	PCR
WORD9	SCR (VBR 使用の場合のみ)

備考 WORD0 の各フィールドは、パケット・ディスクリプタの WORD0 のコピーであり、ATM Cell Processor がパケット・ディスクリプタからコピーするため、ユーザが設定する必要はありません。

2.6 受信準備

受信を行うために VC (Virtual Channel) を設定する必要があります。このとき、送信とは別の VC を設定する必要があります。また、受信ルックアップ・テーブルのエントリの設定も必要です。受信準備は次の手順で行います。

- (1) Open_Channel コマンドの発行 (受信 VC テーブルの確保)
- (2) VC テーブルへの設定
- (3) 受信ルックアップ・テーブルのエントリの設定

各処理の詳細を次に示します。

(1) Open_Channel コマンドの発行

Open_Channel コマンドを発行すると、ATM Cell Processor からコマンド・インディケーションで VC 番号が返却されます。この VC 番号が送信 VC テーブルのスタート・アドレスに対応します。返却される VC 番号は、1 ~ 64 です。返却された VC 番号を 6 ビット左にシフトすると (実際にはシフトされた値が Open_Channel インディケーションで返却されます)、VC テーブルのアドレスになります。このアドレスは、VC テーブルを設定する際に用いる Indirect_Access コマンドに指定するパラメータ (アドレス) のベース・アドレスになります。

$$\text{VC テーブル・アドレス} = 800000\text{H} + (\text{VC 番号} \ll 6)$$

(2) 受信 VC テーブルの設定

受信 VC テーブルは Work RAM に置かれるため、設定には Indirect_Access コマンドを使用します。次のフィールドを設定してください。

WORD0	O/D : OAM セルを受信するかどうかのフラグ A/R : AAL5 セルを受信するの、RAW セルを受信するのを示すフラグ MB : メールボックス番号 UINFO : ユーザ情報 ここに設定された情報は、受信インディケーションの該当フィールドに格納されます
WORD1	MAX NO. OF BYTES : 受信する最大フレーム長 [※]
WORD7	T1D : T1 タイマ機能をイネーブルにするかどうかを示すフラグ

注 セル単位 (48 バイトの整数倍) のバイト数を設定してください。

(3) 受信ルックアップ・テーブルの設定

受信ルックアップ・テーブル・エントリ・レジスタは、FFF600H ~ FFF800EH に RISC コアのペリフェラルとして実装されています。

(VC 番号 - 1) × 4 + FFF600H に VPI/VCI 値を設定してください。なお、この領域は Vr4120A から直接アクセスできないため、Indirect_Access コマンドを使用して設定してください。

2.7 送信処理

送信処理には、ATM Cell Processor に対して送信パケットの送信を指示する処理と、送信完了後の処理の2つがあります。

2.7.1 送信

次の手順で送信パケットを送信します。

- (1) データの準備
- (2) パケット・ディスクリプタの設定
- (3) Tx_Ready コマンドの発行

備考1. 1パケット送信することに Tx_Ready コマンドを発行する必要があります。

2. 同一 VC の送信でも、ATM Cell Processor 内でキューイングされますので、送信インディケーションを待たずに次の Tx_Ready の発行が可能です。

2.7.2 送信終了処理

送信終了後の処理は、割り込みにより起動されます。割り込み処理内でリードした A_GSR (General status register, B001_F008H) のステータスが、送信用メールボックスにインディケーションが格納されたことを示していた場合、次の処理を行ってください。

- (1) 送信インディケーションの受信

メールボックスから送信インディケーションをリードします。

- (2) メールボックス・ポインタの更新

A_MTA (Mailbox tail address (リード・ポインタ), B001_F070H-B001_F07CH) は、ドライバが管理するポインタです。メールボックス内のインディケーションを処理した後、A_MTA を更新します。

- (3) 送信データ領域の処理

必要に応じて使用した送信データ領域の処理を行ってください。

2.8 受信処理

受信処理は、割り込みにより起動されます。割り込み処理内でリードした A_GSR (General status register, B001_F008H) のステータスが、受信用メールボックスにインディケーションが格納されたことを示していた場合、次の処理を行ってください。

(1) 受信インディケーションの受信

メールボックスから受信インディケーションをリードします。

(2) メールボックス・ポインタの更新

A_MTA (Mailbox tail address (リード・ポインタ), B001_F070H-B001_F07CH) の更新を行います。

(3) 上位プロトコルへの通知

必要に応じて、受信データを上位プロトコルへ渡してください。

(4) 受信データ領域の処理

必要に応じて、受信データ領域の処理を行ってください。プールへ空きバッファを戻す際には、Add_Buffer コマンドを利用し、プール・ディスクリプタ情報の更新を行ってください。

なお、プール内の最終ディレクトリのリンク・ポインタを、Add_Buffer コマンドで追加するディレクトリの先頭アドレスを示すように変更する必要があります。

また、複数のバッファ・ディレクトリを戻す際には、リンク・ポインタによってディレクトリの接続を行った上で、Add_Buffer コマンドを利用し、プールへ戻してください。

2.9 注意事項

制御手順以外に次のことに注意して各処理を行ってください。

(1) エンディアン変換

ATM Cell Processor はリトル・エンディアンですので、SAR レジスタ、各種ディスクリプタへの設定は、すべてリトル・エンディアンで設定する必要があります。Vr4120A をビッグ・エンディアンで使用する場合には、特に注意してください。

(2) ディスクリプタ類のアドレス・フィールドの設定

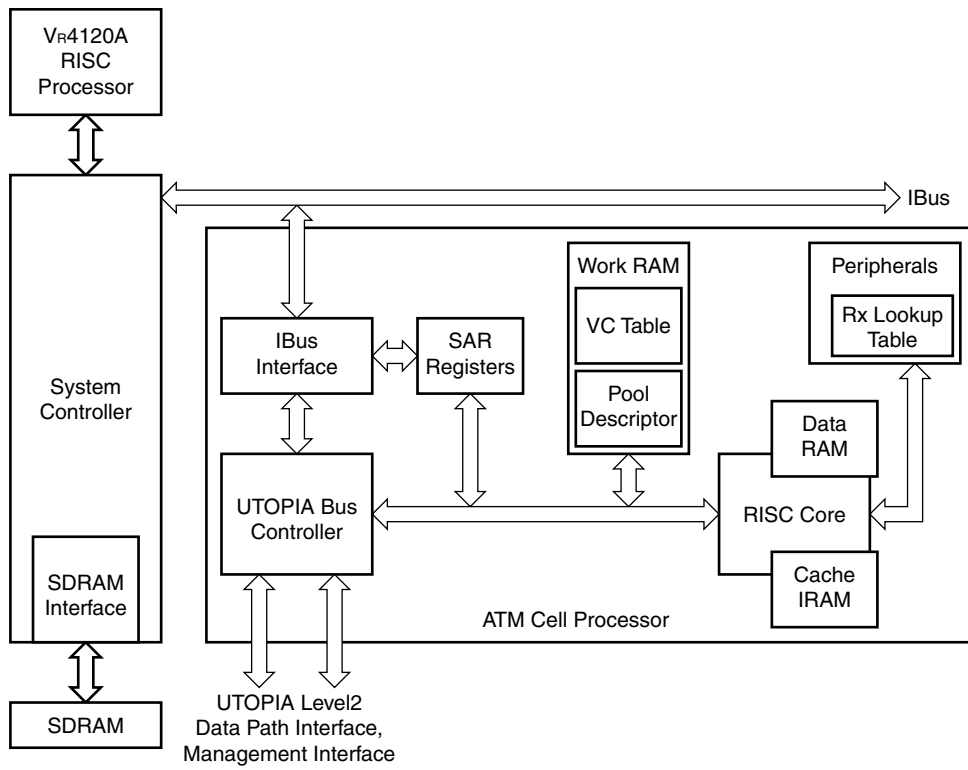
プール・ディスクリプタの WORD1、送受信バッファ・ディスクリプタの WORD1、メールボックス関連の各レジスタへのアドレス設定は、Vr4120A のオフセット・アドレスではなく、物理アドレスを設定してください。

第3章 ハードウェア機能

ATM Cell Processor のハードウェア概要について説明しています。

3.1 構成

図 3-1 ATM Cell Processor 構成図



3.2 周辺ハードウェア

ATM Cell Processor は、ソフトウェア処理には不向きなルックアップ・テーブル、CRC32 演算回路、DMA など周辺ハードウェアで実現しています。周辺ハードウェアには、RISC コアのペリフェラルとして実装されているものと、UTOPIA バス・コントローラとして実装されているものがあります。

3.2.1 ペリフェラル

ATM Cell Processor には、ペリフェラルとしてスケジューリング・テーブル、受信 VC (Virtual Channel) ルックアップ・テーブル、セル・タイマが実装されています。

(1) スケジューリング・テーブル

RISC コアが現時刻を入力すると、その時刻に送信処理をすべき VC を出力します。高プライオリティと低プライオリティの2つのプライオリティをサポートしています。CBR、VBR が高プライオリティ、UBR が低プライオリティに割り当てられています。

(2) 受信 VC ルックアップ・テーブル

RISC コアが VPI/VCi を入力すると、その VPI/VCi が登録してあれば、内部で使用する VC 番号を出力します。ドライバは、あらかじめ受信する VPI/VCi 値を受信 VC ルックアップ・テーブルに登録する必要があります。3.4 受信ルックアップ・テーブルを参照してください。

(3) セル・タイマ

RISC コアが初期化時にセル時間からクロックの分周比を計算し、設定することにより、それ以降、セル時間ごとにカウントアップするタイマとして動作します。また、更新時に RISC コアに対して割り込みを通知できます。この分周比は、ドライバにあらかじめ Set_Link_Rate コマンドを発行させることによって、設定する必要があります。この設定が正しく行われないと、スケジューリングが正しく行われません。

3.2.2 UTOPIA バス・コントローラ

ATM Cell Processor には、UTOPIA バス・コントローラとして SAR FIFO、DMA コントローラ、CRC32、CRC10 演算回路が実装されています。

(1) SAR FIFO

ATM Cell Processor は、送信 4 セル、受信 4 セル分の FIFO を持っています。複数の PHY の接続も考慮し、「Head of Line Blocking」が起こらないように、先頭セルが送出できない場合は次のセルを先に送出する機能を持っています。

(2) DMA コントローラ

SDRAM、Work RAM、SAR FIFO 間のデータ転送を行います。Scatter/Gather 機能を持ち、VC (Virtual Channel) テーブル、送受信バッファ・ディスクリプタを見ながら複数バッファへまたは複数バッファからの DMA 転送も可能です。

(3) CRC32、CRC10 演算回路

SAR FIFO へまたは SAR FIFO からデータを DMA 転送したときに演算を行います。

3.3 Work RAM

Work RAM のサイズは 12K バイトです。Work RAM は主に RISC コアが使用するためのデータを格納するのに用いられていますが、次に示す 2 つの用途に関しては、情報を Vr4120A と共有します。Vr4120A からは、Work RAM へダイレクトにアクセスできないため、これらの領域にアクセスするためには、Indirect_Access コマンドを用いる必要があります。

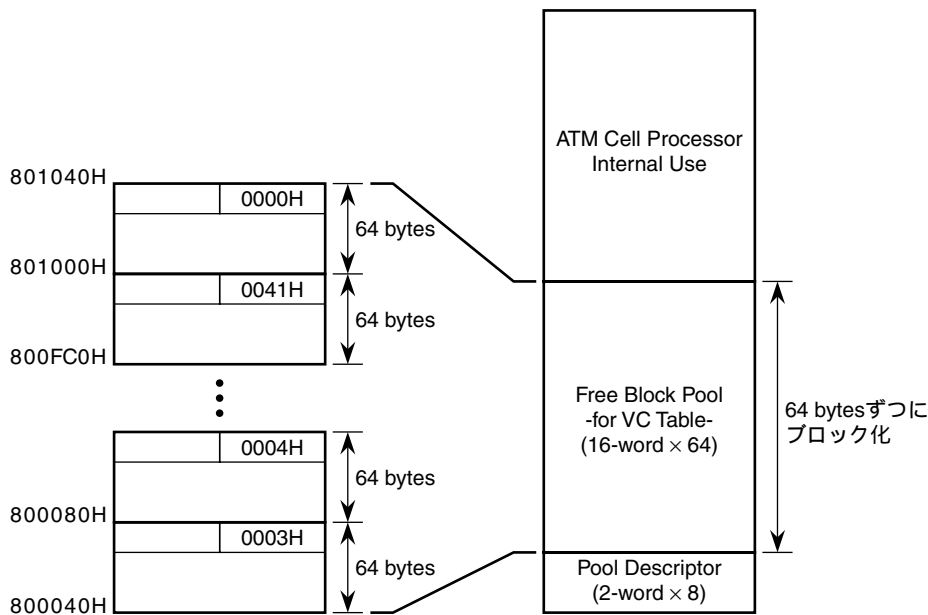
(1) 受信プール・ディスクリプタ

プール・ディスクリプタが書き込まれている領域です。それぞれのプール・ディスクリプタは 2 ワードで、8 つのプール・ディスクリプタを書き込むことができます。

(2) VC テーブル・プール

送受信 VC (Virtual Channel) テーブルが書き込まれる領域です。それぞれの VC テーブルのサイズは 16 ワードで、64 の VC テーブルを書き込むことができます。ただし、送信と受信で別々の VC テーブルを使用するため、サポートできるチャンネル数は 32 となります。

図 3-2 Work RAM



3.4 受信ルックアップ・テーブル

受信ルックアップ・テーブルは、RISC コアのペリフェラルとして実装されており、受信セルの VPI/VCI と内部で使用する VC (Virtual Channel) 番号のマッピングを行うために利用されます。

受信ルックアップ・テーブルは、CAM (Content Addressable Memory) に似た構造をもち、VPI/VCI 値をあらかじめ登録しておき、セルを受信するたびに受信セルの VPI/VCI を入力することによって、内部で利用する VC 番号の出力を行います。VPI/VCI 値の登録は Vr4120A から行います。

未登録の VPI/VCI を受信した場合は、A_RUEC (Receive unprovisioned VPI/VCI cell counter, B001_F098H) を更新し、セルを廃棄します。

また、受信ルックアップ・テーブルは初期状態では、ディスエーブルになっていますので、RXLCTR (Rx lookup table control register, FFF410H) において、イネーブルにしてください。

各エントリに対応する Valid ビット (RxTBCn レジスタ) は、それぞれのエントリへの書き込みをした際、自動的に Valid になるようになっていきますので、ドライバから Valid ビットを設定する必要はありません。一度登録したエントリを無効にしたい場合には、RxTBCn レジスタに書き込みをすれば Invalid になります。

表 3-1 受信ルックアップ・テーブル・レジスタ

アドレス	レジスタ名	機能	IBus	Read/Write
FFF410H	RXLCTR	Rx lookup table control register	x	R/W
FFF600H	RxTBL000	Rx lookup table entry 00H half-word 0	x	W
FFF602H	RxTBL001	Rx lookup table entry 00H half-word 1	x	W
FFF6FCH	RxTBL3F0	Rx lookup table entry 3FH half-word 0	x	W
FFF6FEH	RxTBL3F1	Rx lookup table entry 3FH half-word 1	x	W
FFF700H	RxTBC00	Rx lookup table control entry 00H	x	R/W
FFF77EH	RxTBC3F	Rx lookup table control entry 3FH	x	R/W

3.4.1 RXLCTR (Rx Lookup Table Control Register)

15								8	7							0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CE

ビット名	設定値	内容	初期値
CE	1	Compare enable	0
	0	Compare disable	

備考 Bit15～Bit1 はリザーブ・ビットです。

3.4.2 RxTBLn0/1 (Rx Lookup Table Entry n Half-word 0/1, n = {00H-3FH})

Half-word 0:

15								8	7							0
VCI																

Half-word 1:

15								8	7							0
0	0	0	0	0	0	0	0	0	0	VPI						

ビット名	設定値	内容	初期値
VPI/VCI	24-bit number	VPI/VCI of VC currently established.	x

備考 Half-word 1 の Bit15～Bit8 はリザーブ・ビットです。

3.4.3 RxTBCn (Rx Lookup Table Control Entry n, n = {00H-3FH})

15								8	7							0
VLD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット名	設定値	内容	初期値
VLD	1	Corresponding entry is valid.	0
	0	Corresponding entry is not valid/empty.	

備考 1. Bit14～Bit0 はリザーブ・ビットです。

2. VLD ビットは、RXTBLn レジスタに設定された VPI/VCI 値と受信セルの VPI/VCI 値が一致したとき、セット“1”されます。また、ライト・アクセスした場合は、リセット“0”されます。

3.5 スケジューリング・テーブルとセル・タイマ

スケジューリングは、スケジューリング・テーブルとセル・タイマを利用し、RISC コアが行います。スケジューリング・テーブルは、RISC コアのペリフェラルとして実装されており、CAM (Content Addressable Memory) に似た構造を持っています。

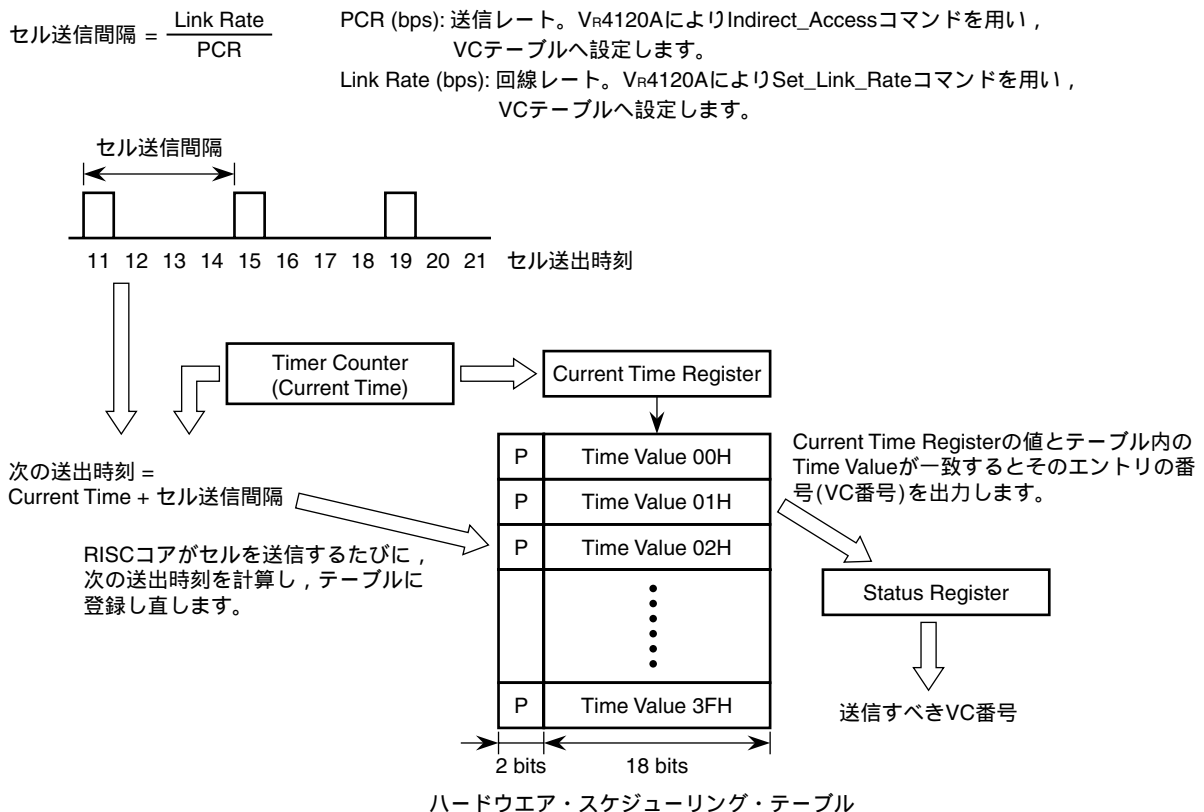
スケジューリング・テーブルには、各 VC (Virtual Channel) の次のサービス時刻を登録しておき、RISC コアが現時刻を入力すると、一致した VC を出力します。受信ルックアップ・テーブルとは異なり、複数の VC に同じサービス時刻が登録されることもあるため、複数の VC が一致した場合は、すべての VC を出力します。スケジューラは2つのプライオリティをサポートしているため、出力された VC は2つのキューへ格納されます (CBR, VBR が高プライオリティ、UBR が低プライオリティに割り当てられています)。

セル・タイマは、クロックの分周比を RISC コアから設定しておくことによって、1 セル時間をカウントするタイマです。このタイマは、更新時に RISC コアに対して割り込み通知を行います。

帯域制御は、上位のアプリケーションにより行い、ATM Cell Processor 内では行いません。したがって、複数の VC をすべて CBR で設定していても、PCR のトータル値が回線レートよりも大きい場合、期待したレートで送信されません。

図 3-3にスケジューリングの手順を示します。

図 3-3 スケジューリング手順



— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : info@lsi.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107,
6108

大阪 (06)6945-3178, 3200,
3208, 3212

広島 (082)242-5504

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,
6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156

水戸 (029)226-1702

前橋 (027)243-6060

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD98501 アプリケーション・ノート(暫定) ATM Cell Processor 制御編
(S15812JJ1V0AN00 (第1版))

[お名前など](さしつかえのない範囲で)

御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価(各欄に をご記入ください)

項目	大変良い	良い	普通	悪い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他()					
()					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望
[]

5. このドキュメントをお届けしたのは
NEC 販売員, 特約店販売員, その他 ()

ご協力ありがとうございました。
下記あてに FAX で送信いただくか、最寄りの販売員にコピーをお渡ししてください。

アンケート