

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パソコン機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等

8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエーペンギング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

**RENESAS**

# アプリケーション・ノート (I)

**保守／廃止**

**$\mu$ PD72123**

**AGDC II**

**ハードウェア編**

保守／廃止

$\mu$ PD72123  
AGDC II

ハードウェア編

**保守／廃止**

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
  - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
  - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
  - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

- 本資料の内容は、後日変更する場合があります。
  - 文書による当社の承諾なしに本資料の転載複製を禁じます。
  - この製品を使用したことにより、第三者の工業所有権等にかかる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。
  - 当社は、航空宇宙機器、海底中継器、原子力制御システム、生命維持のための医療用機器などに推奨できる製品を標準的には用意しておりません。当社製品をこれらの用途にご使用をお考えのお客様、および、『標準』品質水準品を当社が意図した用途以外にご使用をお考えのお客様は、事前に販売窓口までご連絡頂きますようお願い致します。
- 当社推奨の用途例
- 標準：コンピュータ、OA機器、通信機器、計測機器、工作機械、産業用ロボット、AV機器、家電等
  - 特別：輸送機器（列車、自動車等）、交通信号機器、防災／防犯装置等
- この製品は耐放射線設計をしておりません。

M7 92.6

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

なお、本製品を他の部品と組み合わせて実現するアプリケーション機能の一部が、米国 CADTRAK 社の米国特許4,197,590およびRe. 31,200等ならびにそれらの対応各国特許に関するおそれがあります。このような特許は、他のグラフィック表示コントローラを用いても、あるいはディスクリート回路を用いても問題になり得るもので、本製品単独では解決できませんので、お客様の責任において対応策をご検討のうえ、アプリケーション・システムを設計していただきますようお願いいたします。

**本版で改訂された主な箇所**

箇 所	内 容
P.12~14	00D2H 番地のレジスタ値を訂正
P.31	表示用クロックの単位を訂正
P.31	SCLK クロック数を訂正
P.48	図 3 - 9 変更
P.49	DWAIT 信号, GREADY 信号生成の説明文を修正
P.49	図 3 - 10 中の CLK を $\overline{\text{CLK}}$ に訂正
P.89	付録 D 中の評価ボードの全体回路図を変更

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

## はじめに

**対象者** このマニュアルは、μPD72123 の機能を理解し、それを用いたアプリケーション・システムを設計するユーザのエンジニアを対象とします。

**目的** このマニュアルは、μPD72123 のハードウェア設計方法を、機能／性能評価を目的として設計された評価ボードを例にあげて説明します。

μPD72123 を用いた設計例をユーザに理解していただくことを目的とします。

また、応用回路および回路定数などは量産設計の対象ではありません。

量産設計に関しては、動作環境、タイミング・マージンなどを考慮し適用してください。

**構成** このマニュアルは、大きく分けて以下の内容で構成しています。

- ボード仕様
- ホスト・インターフェース回路
- メモリ・インターフェース回路
- CRT インタフェース回路

**読み方** このマニュアルの読者は、電気、論理回路およびマイクロコンピュータの一般的知識を必要とします。

一通り μPD72123 のハードウェア機能を理解しようとするとき  
→ 目次に従って読んでください。

**凡例** データ表記の重み : 左が上位桁、右が下位桁

アクティブ・ロウの表記 :  $\overline{XXX}$  (端子、信号名称の上に上線)

注 : 本文中に付けた注の説明

注意 : 気をつけて読んでいただきたい内容

備考 : 本文中の補足説明

数の表記 : 2進数…×××または×××× B

10進数…××××

16進数…×××× H

**関連資料** μPD72123 に関する資料

- データ・シート (IC-7967)
- ユーザーズ・マニュアル (IEU-758)
- アプリケーション・ノート I (ハードウェア編) (IEA-678)
- アプリケーション・ノート II (ソフトウェア編) (IEA-711)
- アプリケーション・ノート III (ウィンドウ編) (IEA-712)

**保守／廃止**

## 目 次 要 約

第1章 ボード仕様	… 1
第2章 ホスト・インターフェース回路	… 18
第3章 メモリ・インターフェース回路	… 28
第4章 CRT インタフェース回路	… 63
付録 A $\mu$ PD72123 間（マスターとスレーブ）の接続	… 75
付録 B ウエイト・ステート・サイクルの挿入個数の制限	… 77
付録 C PLD 論理仕様	… 83
付録 D 評価ボードの全体回路図	… 86

**保守／廃止**

## 目 次

**第1章 ボード仕様** … 1

<b>1.1 ハードウェア概要</b>	… 1
1.1.1 ボード概略図	… 2
1.1.2 ホスト・マシン	… 3
1.1.3 表示用 CRT	… 3
1.1.4 表示解像度と表示色	… 3
1.1.5 デュアルポート・グラフィクス・バッファとカラー・パレット	… 3
<b>1.2 ソフトウェア（ボードのドライバ）を設計するための情報</b>	… 4
1.2.1 PC9801 から見た I/O マップおよびメモリ・マップ	… 4
1.2.2 μPD72123 から見たメモリ・マップ	… 15
1.2.3 Bt450 の機能	… 16

**第2章 ホスト・インターフェース回路** … 18

<b>2.1 概 要</b>	… 18
2.1.1 ホスト・インターフェース回路のブロック図	… 19
2.1.2 PC9801 拡張用スロット・バス	… 20
<b>2.2 各ブロックの回路</b>	… 21
2.2.1 インタラプト信号整形回路	… 21
2.2.2 リセット信号整形回路	… 22
2.2.3 I/O ポート・レジスタ	… 23
2.2.4 アドレス比較回路	… 24
2.2.5 ストローブ信号生成回路	… 25
2.2.6 アドレス/データ・マルチプレクサ	… 27

**第3章 メモリ・インターフェース回路** … 28

<b>3.1 概 要</b>	… 28
3.1.1 メモリ・インターフェース回路のブロック図	… 29
3.1.2 描画用クロックの決定	… 30
3.1.3 表示用クロックの決定	… 31
3.1.4 作成目標とすべき制御信号	… 33
<b>3.2 各ブロックの回路</b>	… 43
3.2.1 クロック生成回路	… 43
3.2.2 制御信号生成回路	… 45
3.2.3 アドレス・データ分離回路とアドレス・マルチプレクサ	… 56
3.2.4 デュアルポート・グラフィクス・バッファとパラレル/シリアル変換器	… 57
3.2.5 文字フォント ROM	… 62

**第4章 CRT インタフェース回路 … 63**

<b>4.1 概 要 … 63</b>
4.1.1 CRT インタフェース回路のブロック図 … 64
4.1.2 CRT の仕様 … 65
<b>4.2 各ブロックの回路 … 67</b>
4.2.1 同期信号制御回路 … 67
4.2.2 映像信号マルチプレクサ … 71
4.2.3 インピーダンス整合回路 … 74

**付録 A  $\mu$ PD72123 間（マスタとスレーブ）の接続 … 75**

**付録 B ウエイト・ステート・サイクルの挿入個数の制限 … 77**

**付録 C PLD論理仕様 … 83**

**付録 D 評価ボードの全体回路図 … 86**

## 図 の 目 次 (1/2)

1 - 1	Bt450 の内部機能ブロック	… 16
1 - 2	Bt450 のレジスタ設定例	… 17
2 - 1	インターラプト信号整形回路	… 21
2 - 2	インターラプト信号整形回路のタイミング	… 21
2 - 3	リセット信号整形回路	… 22
2 - 4	00D0H 番地のレジスタと 00D2H 番地のレジスタ回路	… 23
2 - 5	アドレス比較回路	… 24
2 - 6	ストローブ信号生成回路	… 25
2 - 7	ストローブ信号生成回路のタイミング	… 25
2 - 8	アドレス/データ・マルチプレクサ	… 27
3 - 1	$\mu$ PD72123 を DT モードに設定 (DISPLAY_CTRL レジスタの DTM=1) したときの バス・サイクル	… 36
3 - 2	描画用クロック生成回路	… 43
3 - 3	描画用クロック生成回路のタイミング	… 43
3 - 4	表示用クロック生成回路	… 44
3 - 5	表示用クロック生成回路のタイミング	… 44
3 - 6	制御信号生成回路	… 45
3 - 7	“NORMALLY READY” の方法による DWAIT 信号設計例	… 47
3 - 8	“NORMALLY NOT-READY” の方法による DWAIT 信号設計例	… 47
3 - 9	ボードの DWAIT 信号	… 48
3 - 10	DWAIT 信号生成回路	… 49
3 - 11	書き込み時「アーリ・ライト・サイクル」を実行する回路例	… 50
3 - 12	書き込み時「アーリ・ライト・サイクル」を実行する回路例のタイミング	… 50
3 - 13	書き込み時「レイト・ライト・サイクル」を実行する回路例	… 51
3 - 14	書き込み時「レイト・ライト・サイクル」を実行する回路例のタイミング	… 51
3 - 15	「DT サイクル」, 「CAS ビフォー RAS リフレッシュ・サイクル」を実行する回路例	… 52
3 - 16	「DT サイクル」, 「CAS ビフォー RAS リフレッシュ・サイクル」を実行する回路例の タイミング	… 52
3 - 17	CLK 同期のストローブ信号と SCLK 同期のストローブ信号との合成回路	… 53
3 - 18	シリアル・ポートの制御信号生成回路	… 54
3 - 19	1スキャンライン内での表示開始時 (画面左側) のタイミング	… 55
3 - 20	1スキャンライン内での表示終了時 (画面右側) のタイミング	… 55
3 - 21	アドレス・データ分離回路とアドレス・マルチプレクサ	… 56
3 - 22	文字フォント ROM	… 62

**図 の 目 次 (2/2)**

4-1	CRTに対する入力信号仕様	… 65
4-2	表示用クロックと水平走査、および水平走査と垂直走査との関係	… 66
4-3	同期信号制御回路	… 67
4-4	スーパーインポーズ・モード (MASTER信号がインアクティブ) 時の信号経路	… 68
4-5	スタンドアロン・モード (MASTER信号がアクティブ) 時の信号経路	… 68
4-6	PLLに着目した場合の回路ブロック	… 69
4-7	映像信号マルチプレクサ	… 71
4-8	電圧スライサ	… 72
4-9	RGB信号スイッチ	… 73
4-10	インピーダンス整合回路	… 74
A-1	$\mu$ PD72123間 (マスタとスレーブ) の接続回路例	… 75
A-2	$\mu$ PD72123間 (マスタとスレーブ) の接続回路例のタイミング	… 75
B-1	表示サイクル (データ・トランスマスク・サイクル) を1回起動する場合	… 77
B-2	表示サイクル (データ・トランスマスク・サイクル) を連続2回起動する場合	… 77
B-3	リフレッシュ・サイクルを連続N回起動する場合	… 78
B-4	WAIT信号がE2サイクルの立ち上がり付近で遷移する場合	… 78
B-5	WAIT信号がE2サイクルの立ち上がり付近で遷移しない場合	… 79
B-6	表示サイクル直前で描画サイクルの起動が停止するタイミング	… 79
B-7	SCLKとCLKが非同期の場合に、表示サイクル直前で描画サイクル起動が停止するタイミング	… 81

表 の 目 次

1 - 1	機能一覧	… 1
1 - 2	ボードが占有する I/O 空間およびメモリ空間	… 4
1 - 3	00D0H 番地 (I/O 空間) レジスタ	… 6
1 - 4	MASTER の機能	… 6
1 - 5	IRE の機能	… 6
1 - 6	DME の機能	… 6
1 - 7	00D2H 番地 (I/O 空間) レジスタ	… 8
1 - 8	RSEG の機能	… 8
1 - 9	VSEG の機能	… 10
1 - 10	Bt450 のレジスタ	… 17
3 - 1	$\mu$ PD72123 が起動するバス・サイクル識別信号	… 33
3 - 2	バス・ステータス信号の動作	… 34
3 - 3	DWAIT 信号 (NORMALLY READY, NORMALLY NOT-READY) 作成方法	… 47
3 - 4	各メモリ・プレーンに供給する制御信号	… 57
4 - 1	CRT に対する入力信号仕様	… 65

**保守／廃止**

## 第1章 ボード仕様

### 1.1 ハードウェア概要

$\mu$ PD72123では、機能と性能評価を目的として評価ボードを設計しています。このボードを例にとり、ハードウェア設計の考え方と一例を説明します。

これよりあと、特に断りのない限り  $\mu$ PD72123評価ボードは“ボード”と記述します。

表1-1にボードの機能一覧を示します。

表1-1 機能一覧

機能	概要
表示メモリ	<ul style="list-style-type: none"> <li>RAM 2Mバイト (デュアルポート・グラフィクス・バッファ使用)</li> <li>フォントROM 1Mバイト (未使用領域あり)</li> </ul>
表示領域	<ul style="list-style-type: none"> <li>640×400ドット×4プレーン</li> </ul>
表示色	<ul style="list-style-type: none"> <li>4096色から選んだ16色</li> </ul>
ホスト・インターフェース	<ul style="list-style-type: none"> <li>NEC PC-98をホストとして、ホストのメモリ空間にAGDCのレジスタ群をマッピング</li> </ul>
CRT	<ul style="list-style-type: none"> <li>解像度 640(水平)×400(垂直) ドットに対応</li> <li>ドット・クロック 21MHz</li> </ul>
クロック	<ul style="list-style-type: none"> <li>CLK : 9MHz</li> <li>SCLK : 5.25MHz</li> </ul>
その他	<ul style="list-style-type: none"> <li>スレーブ・モードの評価可能</li> </ul>

**保守／廃止**

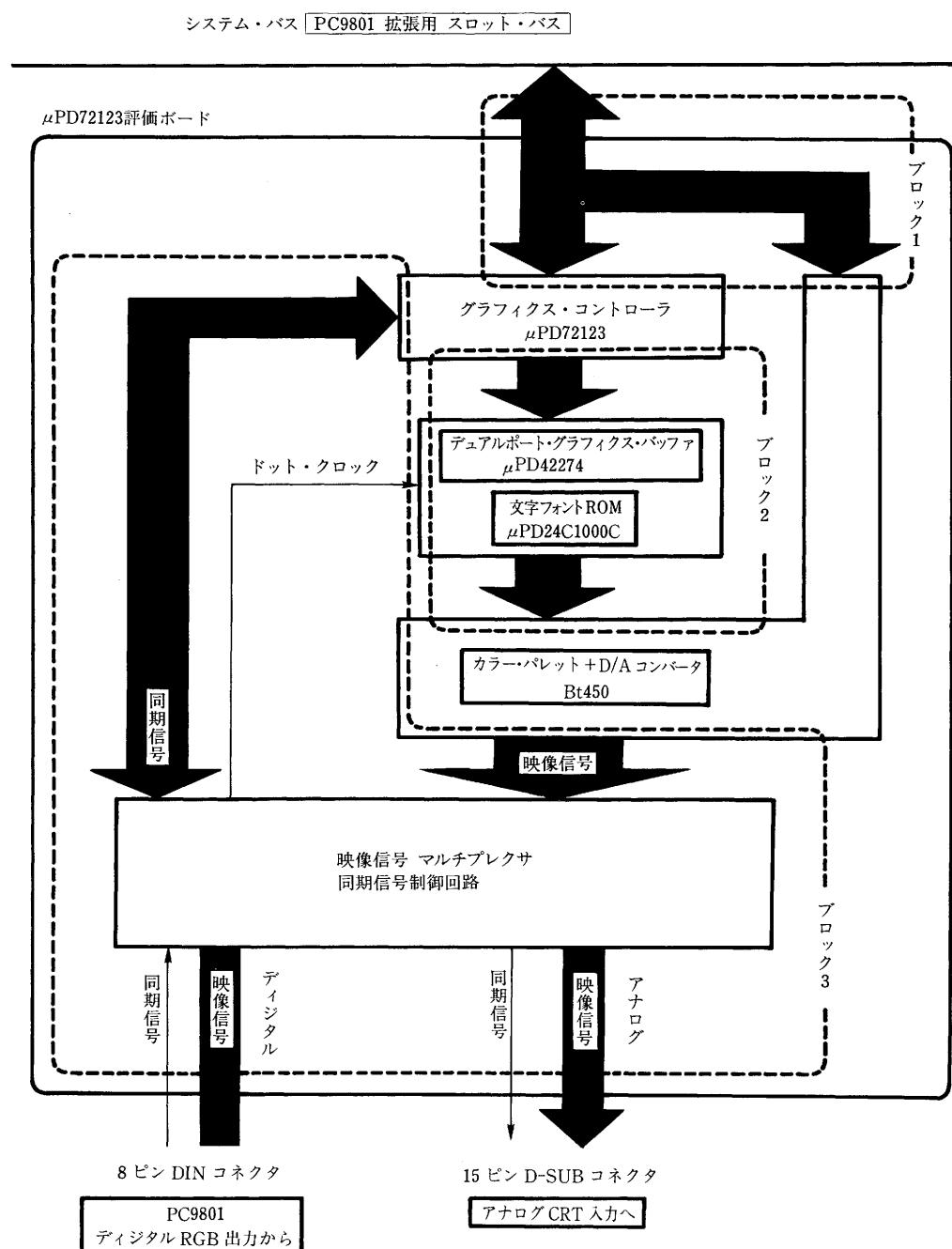
### 1.1.1 ボード概略図

ボードを以下のように3つのブロックに分けた概略図を示します。

ブロック1：ホスト・インターフェース回路 (PC9801拡張用スロット・バス $\leftrightarrow$  $\mu$ PD72123, Bt450)

ブロック2：メモリ・インターフェース回路 ( $\mu$ PD72123 $\leftrightarrow$ デュアルポート・グラフィクス・バッファ/  
フォントROM $\leftrightarrow$ Bt450)

ブロック3：CRTインターフェース回路 (PC9801ディジタルRGB用CRTコネクタ,  $\mu$ PD72123,  
Bt450 $\leftrightarrow$ アナログRGB用CRTコネクタ)



### 1.1.2 ホスト・マシン

このボードは、当社のパーソナル・コンピュータ PC9801 本体の拡張用スロットに差し込む形態のアドオン・ボードです。以下に対象となるホスト・マシンを示します。

5インチ・フロッピィ・ディスクを搭載したマシン：PC9801Vm/VX/RX/RA

3.5インチ・フロッピィ・ディスクを搭載したマシン：PC9801UX/UV/EX/ES

**注意1.** PC9801Vm をホストとする場合、使用するソフトウェアによっては主記憶容量を 640 K バイトにする拡張メモリ・ボードが必要です。

**2.** PC9801XL/XL<sup>2</sup>/RL をノーマル・モードで動作させる場合、理論上ホスト・マシンとなります。ただし、動作確認は行っておりません。

### 1.1.3 表示用 CRT

PC9801 用の標準的なアナログ・カラー CRT を使用します (CRT の仕様については、「**4.1.2 CRT の仕様**」参照)。以下に対象となる CRT (水平同期周波数 24 KHz) を示します。

N5913/N5924

PC-TV451/PC-TV453 など

### 1.1.4 表示解像度と表示色

表示解像度は PC9801 の標準解像度 (640×400 ドット表示) です。また、表示色は「4096色中16色同時表示」とします。

「4096色中16色同時表示」を実現するために米 Brooktree 社の製品である Bt450 を使用します。Bt450 は、DAC (デジタル/アナログ・コンバータ) 内蔵のカラー・パレットです。この製品の機能は、「**1.2.3 Bt450 の機能**」を参照してください。

### 1.1.5 デュアルポート・グラフィクス・バッファとカラー・パレット

表示メモリは、当社のデュアルポート・グラフィクス・バッファ  $\mu$ PD42274-10 (100 ns アクセス品) を使用します。 $\mu$ PD42274 は、256 K ビット × 4 ビット構成の 1 M デュアルポート DRAM です。

$\mu$ PD72123 は、16ビット・バス・インターフェースですので、1メモリ・プレーンあたり最低4個の  $\mu$ PD42274 が必要です。これは、640×400 ドットの画面16枚分のビット容量になります。また、表示色としては 16 ( $=2^4$ ) 色同時表示ですので、4メモリ・プレーン必要です。したがって、合計16個の  $\mu$ PD42274 をボード上に搭載します。

## 1.2 ソフトウェア（ボードのドライバ）を設計するための情報

### 1.2.1 PC9801 から見た I/O マップおよびメモリ・マップ

ボードは、PC9801 の CPU から見た以下の空間を占有します。

表1-2 ボードが占有する I/O 空間およびメモリ空間

	条 件	アドレス	容量(バイト)
I/O 空間		00D0H	1
		00D2H	1
メモリ空間	μPD72123, Bt450 に対してのみ読み書きする場合	X7F00H-X7FFFH または XFF00H-XFFFFH	256
	μPD72123, Bt450, および, μPD72123 が制御している表示メモリに対して読み書きする場合	X0000H-X7FFFH または X8000H-XFFFFH	32 K

**備考** Xは8H, 9H, AH, BH, CH, DH, EH, FHのいずれかの値を示します。この値は00D2H番地のレジスタで設定します。

#### (1) I/O 空間

I/O 空間内の 00D0H, 00D2H の 2 バイトにはレジスタがマップされています。これは、μPD72123 および Bt450 のレジスタを、PC9801 の CPU のメモリ空間内にマップするかどうかを決定するためのレジスタです。I/O 空間内の 00D0H, 00D2H 番地を使用する他のボードと共存（共に拡張用スロットに挿入した状態にすること）はできません。

#### (2) メモリ空間

μPD72123 および Bt450 のレジスタは、「メモリ・マップト I/O」にしてあります。80000H 番地以上, FFFFFH 番地以下の空間中の一定領域を、μPD72123 および Bt450 のインターフェース領域（レジスタ・ウインドウ）として割り当ててください。どの領域に μPD72123 および Bt450 のレジスタをマップするかは、00D2H 番地のレジスタでプログラマブルに設定できます（「1.2.1 (2)(b) 00D2H 番地のレジスタ」参照）。

μPD72123 に搭載されている表示メモリは、PC9801 の CPU の空間上にマップすることができます。この場合、80000H 番地以上, FFFFFH 番地以下の空間中の一定領域を表示メモリのインターフェース領域（メモリ・ウインドウ）として割り当ててください。CPU の空間内のどの領域に表示メモリをマップするかは、00D2H 番地のレジスタでプログラマブルに設定できます。

また、表示メモリ空間のどの領域を CPU の空間内にマップするかは、μPD72123 の BANK レジスタでプログラマブルに設定できます。

なお、レジスタ・ウインドウ、メモリ・ウインドウは、PC9801 のリセットによりクローズされま



す。したがって、電源投入後、ボードはスリープ状態（メモリ・マップに関してソフトウェア的に見れば、ボードは拡張バス・スロットに挿入されていないのと同じ状態）になります。

## (a) 00D0H 番地のレジスタ

ボードのアクティブ/インアクティブは、00D0H 番地 (I/O 空間) のレジスタで制御します。このレジスタの機能詳細を示します (MASTER, IRE, DME については、表 1-4, 表 1-5, 表 1-6 を参照)。

表 1-3 00D0H 番地 (I/O 空間) レジスタ

00D0H 番地レジスタ		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
	リード時	×	×	×	×	×	×	MASTER	
	ライト時	×	×	×	×	×	×	DME	IRE

× : don't care (読み出し時不定です。書き込み時は、0 を書き込んでください。)

表 1-4 MASTER の機能

MASTER	読み出し値	機能
	0	評価ボードのデジタル RGB 入力コネクタに PC9801 からのケーブルが接続されています (+12 V が供給されています)。このため, μPD72123 はスレーブ・モードで動作します。
	1	評価ボードのデジタル RGB 入力コネクタに PC9801 からのケーブルが接続されていません (+12 V が供給されていません)。このため, μPD72123 はマスター・モードで動作します。

表 1-5 IRE の機能

IRE Internal Register Enable	書き込み値	機能
	0	μPD72123 のチップ・セレクト信号 $\overline{CSIR}$ , および, Bt450 のチップ・セレクト信号 CS を常にインアクティブとします ( $\mu$ PD72123, Bt450 のレジスタを CPU の空間上にメモリ・マップしません)。
	1	00D2H 番地のレジスタで定義された番地(メモリ内)をアクセスした場合において, $\mu$ PD72123 のチップ・セレクト信号 $\overline{CSIR}$ , および, Bt450 のチップ・セレクト信号 CS をアクティブとします ( $\mu$ PD72123, Bt450 のレジスタを CPU の空間上にメモリ・マップします)。

表 1-6 DME の機能

DME Display Memory Enable	書き込み値	機能
	0	$\mu$ PD72123 のチップ・セレクト信号 $\overline{CSDM}$ を常にインアクティブとします (表示メモリ ( $\mu$ PD72123 管理下のメモリ) を CPU の空間上にメモリ・マップしません)。
	1	00D2H 番地のレジスタで定義された番地(メモリ内)をアクセスした場合において, $\mu$ PD72123 のチップ・セレクト信号 $\overline{CSDM}$ をアクティブとします (表示メモリ ( $\mu$ PD72123 管理下のメモリ) を CPU の空間上にメモリ・マップします)。

**保守／廃止**

IRE, DME の各フラグは、次のような場合に 0 にリセットされます。

- PC9801 に電源を投入する。
- PC9801 のリセット・ボタンを押す。

これは、PC9801 のリセットによってボードがスリープ状態になることを意味します。

## (b) 00D2H 番地のレジスタ

00D2H 番地 (I/O 空間) のレジスタは、 $\mu$ PD72123、Bt450 のレジスタおよび表示メモリ ( $\mu$ PD72123 が管理するメモリ) を PC9801 のメモリ空間内のどこにマップするかを制御します。このレジスタの機能詳細を示します。

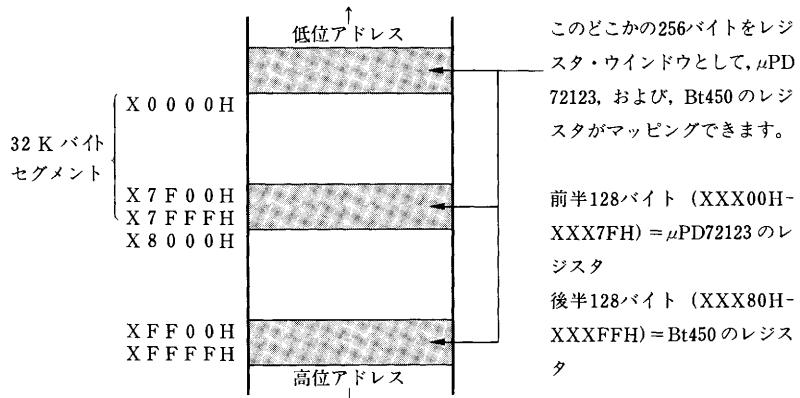
表 1-7 00D2H 番地 (I/O 空間) レジスタ

00D2H 番地レジスタ (ライト・オンリ)		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
	リード時	不 定							
	ライト時	VSEG				RSEG			

以下の表に RSEG と VSEG の機能を説明します。なお、表下の図は表の内容をわかりやすく示したものです。

表 1-8 RSEG の機能

	機能						
	$\mu$ PD72123、および、Bt450 のレジスタを PC9801 のメモリ空間内のどの領域にマップするかを決定します。CPU が出力するアドレスのビット18-ビット15の値と、RSEG に設定された4 ビットとが下記のように比較されます。						
RSEG	<table border="1"> <tr> <td>アドレス・ビット → 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</td> </tr> <tr> <td>アドレス値 → 1 Y Y Y Y 1 1 1 1 1 1 1 0 X X X X X X X X</td> </tr> <tr> <td>X : don't care      Y : RSEG に設定された4 ビット</td> </tr> </table> <p>比較結果が真であり、かつ、00D0H 番地レジスタのIRE フラグが1 であれば、<math>\mu</math>PD72123 のチップ・セレクト信号 <math>\overline{CSIR}</math> がアクティブとなります。</p> <table border="1"> <tr> <td>アドレス・ビット → 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</td> </tr> <tr> <td>アドレス値 → 1 Y Y Y Y 1 1 1 1 1 1 1 1 X X X X X X X X</td> </tr> <tr> <td>X : don't care      Y : RSEG に設定された4 ビット</td> </tr> </table> <p>比較結果が真であり、かつ、00D0H 番地レジスタのIRE フラグが1 であれば、Bt450 のチップ・セレクト信号 <math>\overline{CS}</math> がアクティブとなります。</p>	アドレス・ビット → 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス値 → 1 Y Y Y Y 1 1 1 1 1 1 1 0 X X X X X X X X	X : don't care      Y : RSEG に設定された4 ビット	アドレス・ビット → 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス値 → 1 Y Y Y Y 1 1 1 1 1 1 1 1 X X X X X X X X	X : don't care      Y : RSEG に設定された4 ビット
アドレス・ビット → 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0							
アドレス値 → 1 Y Y Y Y 1 1 1 1 1 1 1 0 X X X X X X X X							
X : don't care      Y : RSEG に設定された4 ビット							
アドレス・ビット → 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0							
アドレス値 → 1 Y Y Y Y 1 1 1 1 1 1 1 1 X X X X X X X X							
X : don't care      Y : RSEG に設定された4 ビット							
Register SEGment							



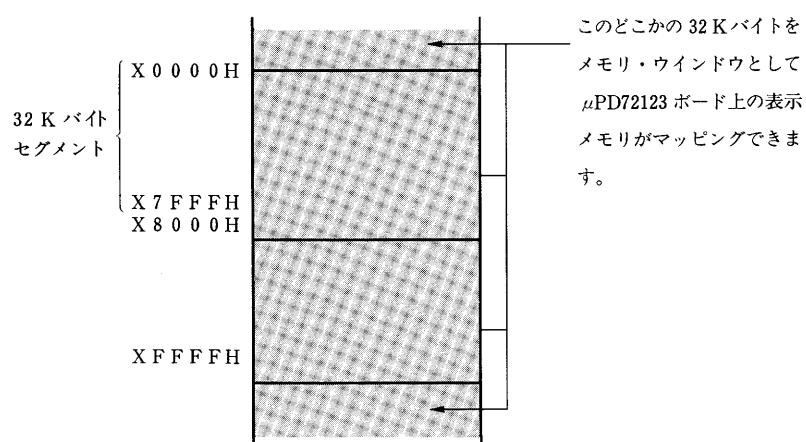
RSEG 値	レジスタ・ウインドウ
0H	87F00H-87FFFFH
1H	8FF00H-8FFFFFFH
2H	97F00H-97FFFFH
3H	9FF00H-9FFFFFFH
4H	A7F00H-A7FFFFH
5H	AFF00H-AFFFFH
6H	B7F00H-B7FFFFH
7H	BFF00H-BFFFFFFH
8H	C7F00H-C7FFFFH
9H	CFF00H-CFFFFFFH
AH	D7F00H-D7FFFFH
BH	DFF00H-DFFFFFFH
CH	E7F00H-E7FFFFH
DH	EFF00H-EFFFFFFH
EH	F7F00H-F7FFFFH
FH	FFF00H-FFFFFFH

備考1. Bt450 のレジスタは、実際には2バイトであり、XXX80H と XXX82H にマップされます。

2. Xは8H, 9H, AH, BH, CH, DH, EH, FHのいずれかの値を示します。

表 1-9 VSEG の機能

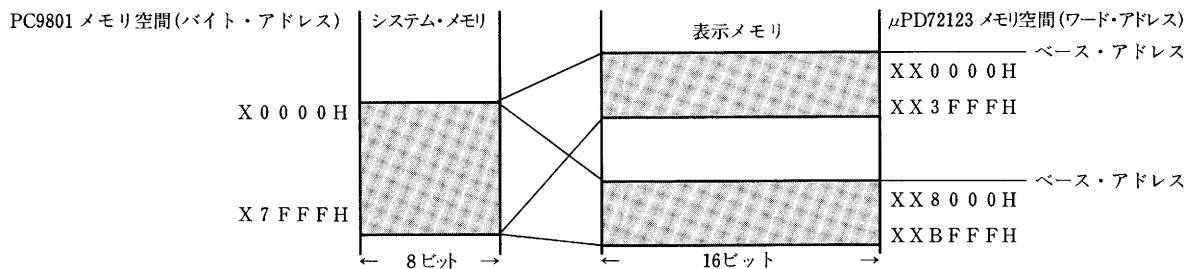
機能																																																														
VSEG Video RAM SEGment	<p><math>\mu</math>PD72123, および, Bt450 のレジスタを PC9801 のメモリ空間内のどの領域にマップするかを決定します。CPU が送出するアドレスのビット18-ビット15の値と, VSEG に設定された4ビットとが下記のように比較されます。</p> <table border="1" style="margin-left: 20px;"> <tr> <td>アドレス・ビット →</td> <td>19</td><td>18</td><td>17</td><td>16</td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>アドレス値 →</td> <td>1</td><td>Y</td><td>Y</td><td>Y</td><td>Y</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td> </tr> <tr> <td></td><td colspan="18">X : don't care      Y : VSEG に設定された4ビット</td> </tr> </table> <p>比較結果が真であり, かつ, 00D0H 番地レジスタの DME フラグが 1 であれば, <math>\mu</math>PD72123 のチップ・セレクト信号 CSDM がアクティブとなります。</p>	アドレス・ビット →	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス値 →	1	Y	Y	Y	Y	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X		X : don't care      Y : VSEG に設定された4ビット																	
アドレス・ビット →	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																										
アドレス値 →	1	Y	Y	Y	Y	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X																																										
	X : don't care      Y : VSEG に設定された4ビット																																																													



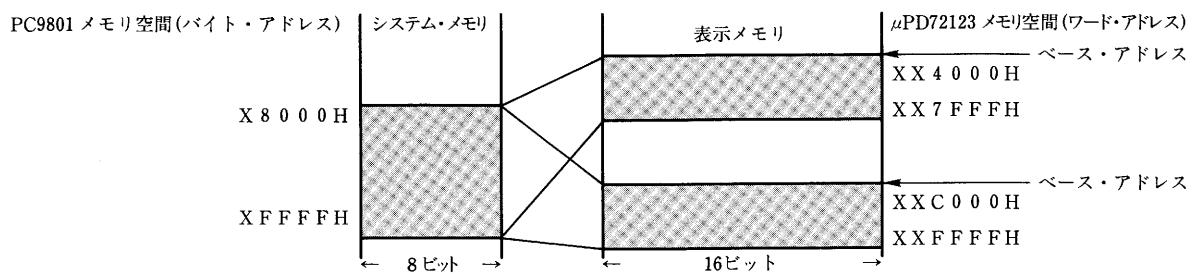
注意 Xは8H, 9H, AH, BH, CH, DH, EH, FH  
のいずれかの値を示します。

VSEG 値	メモリ・ウインドウ
0H	8000H-87FFFH
1H	8800H-8FFFFH
2H	9000H-97FFFH
3H	9800H-9FFFFH
4H	A000H-A7FFFH
5H	A800H-AFFFFH
6H	B000H-B7FFFH
7H	B800H-BFFFFH
8H	C000H-C7FFFH
9H	C800H-CFFFFH
AH	D000H-D7FFFH
BH	D800H-DFFFFH
CH	E000H-E7FFFH
DH	E800H-EFFFFH
EH	F000H-F7FFFH
FH	F800H-FFFFFH

#### 【X0000H-X7FFFH をメモリ・ウインドウとした (VSEG に偶数値を設定した) 場合】



## 【X0000H-X7FFFH をメモリ・ウインドウとした(VSEG に奇数値を設定した)場合】



**注意** ベース・アドレスは、 $\mu$ PD72123 内部の BANK レジスタ（8 ビット）と CTRL2 レジスタの BANKX フラグ（1 ビット）との合計 9 ビットで決定されます。

**保守／廃止**

## (3) 00D0H, 00D2H 番地のレジスタ使用例

## 【例 1】

```

OUT D2H, 88H      ; C0000H 番地-C7FFFH 番地をメモリ・ウインドウとしてオープン
OUT D0H, 02H      ; ( $\mu$ PD72123 ボード上の表示メモリをマップ)
:
表示メモリに対するリード/ライトなどの処理
:
OUT D0H, 00H      ; メモリ・ウインドウをクローズ
(C0000H 番地-C7FFFH 番地を開放)

```

## 【例 2】

```

OUT D2H, 88H      ; C7F00H 番地-C7FFFH 番地をレジスタ・ウインドウとしてオープン
OUT D0H, 01H      ; ( $\mu$ PD72123, Bt450 のレジスタをマップ)
:
 $\mu$ PD72123, Bt450 のレジスタに対するリード/ライトなどの処理
:
OUT D0H, 00H      ; レジスタ・ウインドウをクローズ
(C0000H 番地-C7FFFH 番地を開放)

```

## 【例 3】

```

OUT D2H, 45H      ; AFF00H 番地-AFFFFH 番地をレジスタ・ウインドウとしてオープン
OUT D0H, 03H      ; A0000H 番地-A7FFFH 番地をメモリ・ウインドウとしてオープン
:
 $\mu$ PD72123, Bt450 のレジスタに対するリード/ライトなどの処理
表示メモリに対するリード/ライトなどの処理
:
OUT D0H, 00H      ; レジスタ・ウインドウ, メモリ・ウインドウをクローズ
(C0000H 番地-C7FFFH 番地を開放)

```

**注意 1.** 例 1, 例 2 のように VSEG と RSEG を同値に設定した場合には、DME フラグと IRE フラグとを排他制御してください (DME = IRE = 1 の設定禁止)。

**2.** PC9801 では、アドオン・ボードが使用できるメモリ空間がほとんどありません。VSEG, および、RSEG に実際に設定可能な値は以下の①と②の場合です。

- ① 0H, 1H, 2H, 3H (80000H-9FFFFH の 128 K バイト)
- ② 8H (C0000H-C7FFFH の 32 K バイト)

ただし、①の場合にはメモリを 512 K バイトに設定してください (DIP スイッチ 3-6 など)。

(4)  $\mu$ PD72123 のレジスタに対するリード/ライト例

```

MOV AX, 0C7F0H ; セグメント・レジスタをレジスタ・ウインドウ位置に設定
MOV DS, AX
OUT D2H, 88H ; C7F00H 番地-C7FFFH 番地をレジスタ・ウインドウとして
OUT D0H, 01H オープン
MOV DS : BYTE PTR[003BH], 0EH ; C7F3BH 番地 (CTRL2 レジスタ) をバイト・ライト
MOV AX, DS : WORD PTR[003CH] ; C7F3CH, C7F3DH 番地 (STATUS レジスタ) をワード・
                                リード
OUT D0H, 00H ; レジスタ・ウインドウをクローズ

```

## (5) Bt450 のレジスタに対するリード/ライト例

【 $\mu$ PD72123 のレジスタ・セグメントと Bt450 のレジスタ・セグメントは別セグメントという認識での記述例】

```

MOV AX, 0C7F8H ; セグメント・レジスタをレジスタ・ウインドウ位置に設定
MOV DS, AX
OUT D2H, 88H ; C7F00H 番地-C7FFFH 番地をレジスタ・ウインドウとして
OUT D0H, 01H オープン
MOV DS : BYTE PTR[0000H], 00H ; C7F80H 番地 (ADRS レジスタ) をバイト・ライト
MOV DS : BYTE PTR[0002H], 0FH ; C7F82H 番地 (PALETTE_RAM) をバイト・ライト
MOV AX, DS : BYTE PTR[0002H] ; C7F82H 番地 (PALETTE_RAM) をバイト・リード
OUT D0H, 00H ; レジスタ・ウインドウをクローズ

```

【 $\mu$ PD72123 のレジスタ・セグメントと Bt450 のレジスタ・セグメントは同セグメントという認識での記述例】

```

MOV AX, 0C7F0H ; セグメント・レジスタの設定
MOV DS, AX
OUT D2H, 88H ; C7F00H 番地-C7FFFH 番地をレジスタ・ウインドウとして
OUT D0H, 01H オープン
MOV DS : BYTE PTR[0080H], 00H ; C7F80H 番地 (ADRS レジスタ) をバイト・ライト
MOV DS : BYTE PTR[0082H], 0FH ; C7F82H 番地 (PALETTE_RAM) をバイト・ライト
MOV AX, DS : BYTE PTR[0082H] ; C7F82H 番地 (PALETTE_RAM) をバイト・リード
OUT D0H, 00H ; レジスタ・ウインドウをクローズ

```

## (6) 表示メモリのリード/ライト例

バンク設定	MOV AX, 8000H ; セグメント・レジスタをレジスタ・ウインドウ位置に設定 MOV DS, AX OUT D2H, 48H ; A0000H 番地-A7FFFH 番地をメモリ・ウインドウとしてオーブン  OUT D0H, 03H ; C7F00H 番地-C7FFFH 番地をレジスタ・ウインドウとしてオーブン  MOV DS : BYTE PTR[003BH], 0EH ; C7F3BH 番地 (CTRL2 レジスタ内の BANKX フラグ) をバイト・ライト  MOV DS : BYTE PTR[003CH], 08H ; C7F3CH 番地 (BANK レジスタ) をバイト・ライト →表示メモリのベース・ポインタを 08H に設定  MOV AX, 8000H ; セグメント・レジスタをメモリ・ウインドウ位置に設定 MOV DS, AX  MOV AX, DS : WORD PTR[7D00H] ; 08 : 7D00H 番地 ( $\mu$ PD72123 からみて 043E80H 番地) をワード・リード  MOV DS : BYTE PTR[7D00H], AL, ; 08 : 7D00H 番地 ( $\mu$ PD72123 からみて 043E80H 番地) をバイト・ライト  OUT D2H, 58H ; A8000H 番地-AFFFFH 番地をメモリ・ウインドウとしてオーブン  MOV AL, DS : BYTE PTR[FD00H] ; 08 : FD00H 番地 ( $\mu$ PD72123 からみて 047E80H 番地) をバイト・リード  MOV DS : WORD PTR[FD00H], AX ; 08 : FD00H 番地 ( $\mu$ PD72123 からみて 047E80H 番地) をワード・ライト  OUT D0H, 00H ; レジスタ・ウインドウ, メモリ・ウインドウをクローズ
-------	--

**注意** メモリ・ウインドウの大きさは 32K バイトなので、以下のようになります。

VSEG 値=偶数のとき：0000H 以上, 7FFFH 以下をオフセット・アドレスとして設定可能

VSEG 値=奇数のとき：8000H 以上, FFFFH 以下をオフセット・アドレスとして設定可能

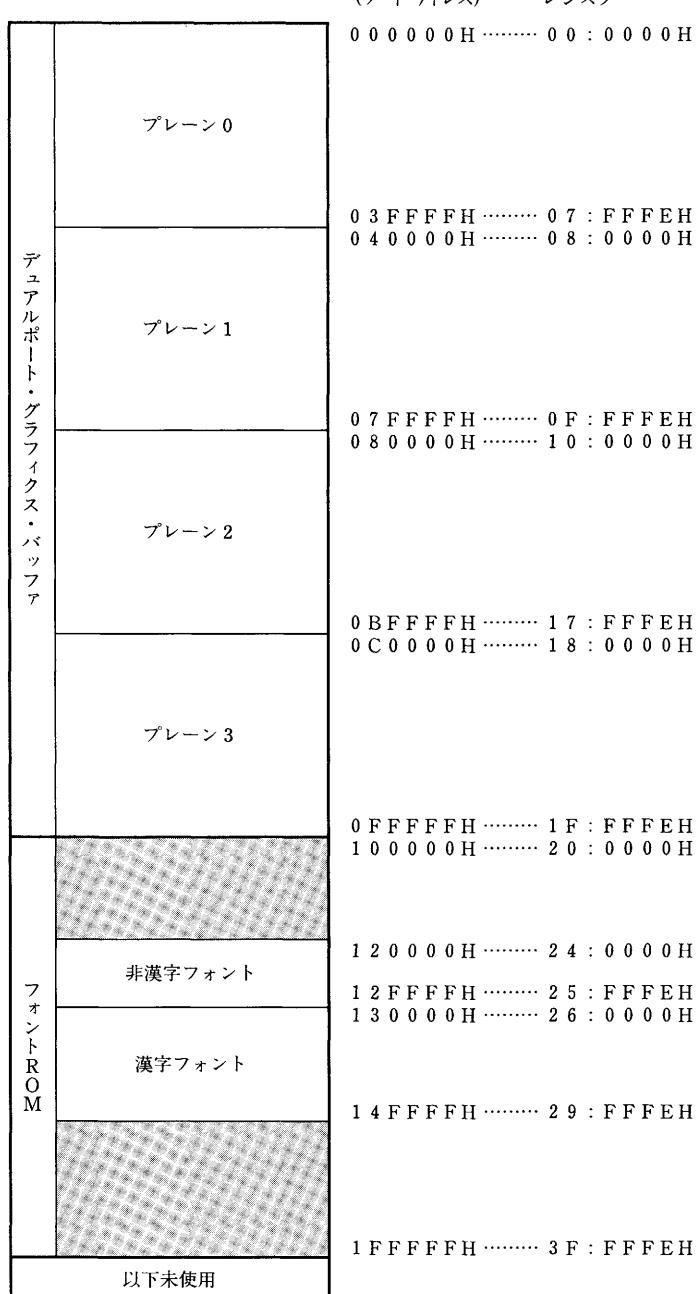
以下に悪い例を示します。

## 【悪い例】

OUT D2H, 48H	; A0000H 番地-A7FFFH 番地をメモリ・ウインドウとしてオーブンしているにもかかわらず、AFD00H 番地をアクセスしています。
MOV DS : WORD PTR[FD00H], 1234H	
OUT D2H, 58H	; A8000H 番地-AFFFFH 番地をメモリ・ウインドウとしてオーブンしているにもかかわらず、A7D00H 番地をアクセスしています。
MOV DS : WORD PTR[7D00H], 1234H	

### 1.2.2 $\mu$ PD72123 から見たメモリ・マップ<sup>9</sup>

$\mu$ PD72123 から見た表示メモリ・マップを以下に示します。



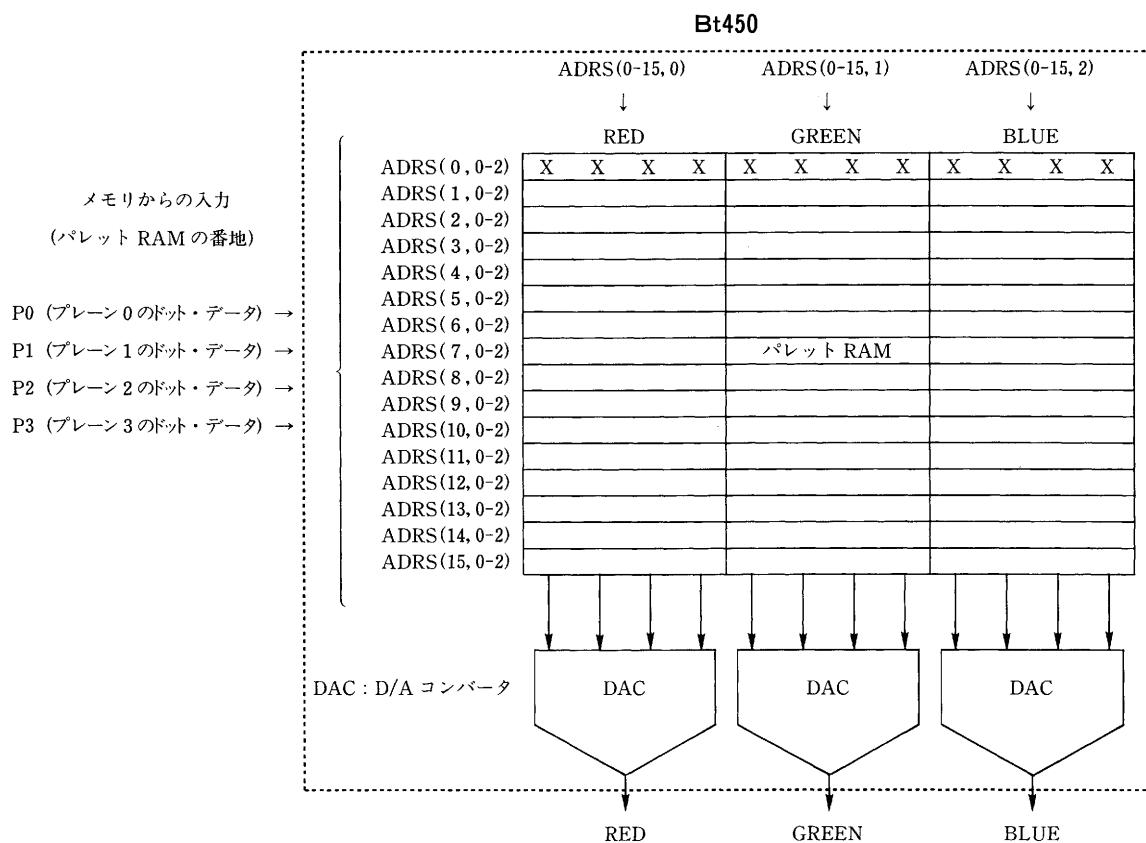
備考 フォント・データのゴーストが読み出される領域

### 1.2.3 Bt450 の機能

Bt450 は、米 Brooktree 社の商品であり、「カラー・パレット + D/A コンバータ」機能を持つチップです。12ビット×16ワードのパレット RAM を内蔵しているため、4096色中16色同時表示が可能です。

Bt450 内部は図 1-1 のようになっています。

図 1-1 Bt450 の内部機能ブロック



Bt450 は 1 ピクセルあたり 4 ビット (プレーン 0 からプレーン 3 まで) の情報が入力されると、この情報をインデクス (パレット RAM の参照アドレス) として使用します。インデクスによってアドレスされた RAM の内容が 12 ビットの色情報 (RGB 各 4 ビット・データ) として D/A コンバータに入力されます。3 台の D/A コンバータは入力された 4 ビット・データ (0 から 15 までの 16 レベル) をアナログに変換し、それぞれ赤、青、緑の輝度情報として出力します。

次に PC9801 が Bt450 に対してパレット値を設定する方法について述べます。

PC9801 から見た場合、Bt450 は 2 つのレジスタを持っているように見えます。前述の方法により、レジスタ・ウインドウをオープンにした場合、オフセット・アドレス 0080H 番地と 0082H 番地に各 1 バイトずつレジスタがマップされます。

表 1-10 Bt450 のレジスタ

オフセット・アドレス	機能	
0000H-007FH	$\mu$ PD72123 のレジスタ群	
0080H	Bt450 のアドレス・レジスタ ADRS (5 ビット・レジスタ)	データ・レジスタに設定した値をどの番地のパレット RAM に書き込むかを指定
0082H	Bt450 のデータ・レジスタ PALETTE (4 ビット・レジスタ)	パレット RAM 設定値を書き込む

Bt450 のデータ・バスは PC9801 のデータ・バスの下位 5 ビットに接続しています。ADRS にはオート・インクリメント (PALETTE レジスタに対するライト動作により ADRS レジスタの内容が +1 される) の機能があります。以下に設定例を示します。

#### 【設定例】

パレット RAM に下記の設定をするためには、下記の①から順番にデータ・レジスタに書き込みます。

図 1-2 Bt450 のレジスタ設定例

	RED	GREEN	BLUE	
ADRS(0,0-2)	0 ①	0 ②	0 ③	← 黒
ADRS(1,0-2)	8 ④	0 ⑤	0 ⑥	← 赤(淡)
ADRS(2,0-2)	0 ⑦	8 ⑧	0 ⑨	← 緑(淡)
ADRS(3,0-2)	8 ⑩	8 ⑪	0 ⑫	← 黄(淡)
ADRS(4,0-2)	0 ⑯	0 ⑭	8 ⑮	← 青(淡)
ADRS(5,0-2)	8 ⑯	0 ⑰	8 ⑱	← 紫(淡)
ADRS(6,0-2)	0 ⑲	8 ⑳	8 ㉑	← 水(淡)
ADRS(7,0-2)	8 ㉒	8 ㉓	8 ㉔	← 白(淡)
ADRS(8,0-2)	0 ㉕	0 ㉖	0 ㉗	← 灰色
ADRS(9,0-2)	F ㉘	0 ㉙	0 ㉚	← 赤(濃)
ADRS(10,0-2)	0 ㉛	F ㉛	0 ㉜	← 緑(濃)
ADRS(11,0-2)	F ㉜	F ㉜	0 ㉖	← 黄(濃)
ADRS(12,0-2)	0 ㉗	0 ㉘	F ㉙	← 青(濃)
ADRS(13,0-2)	F ㉟	0 ㉟	F ㉟	← 紫(濃)
ADRS(14,0-2)	0 ㉞	F ㉞	F ㉞	← 水(濃)
ADRS(15,0-2)	F ㉞	F ㉞	F ㉞	← 白(濃)
	↑	↑	↑	
	書き込み順		書き込み値	
				MOV DS : BYTE PTR PALETTE, 0FH…①
				MOV DS : BYTE PTR PALETTE, 0FH…②
				MOV DS : BYTE PTR PALETTE, 0FH…③
				MOV DS : BYTE PTR PALETTE, 0FH…④
				MOV DS : BYTE PTR PALETTE, 0FH…⑤
				MOV DS : BYTE PTR PALETTE, 0FH…⑥
				MOV DS : BYTE PTR PALETTE, 0FH…⑦
				MOV DS : BYTE PTR PALETTE, 0FH…⑧
				MOV DS : BYTE PTR PALETTE, 0FH…⑨
				⋮
				MOV DS : BYTE PTR PALETTE, 0FH…⑩
				⋮
				MOV DS : BYTE PTR PALETTE, 0FH…㉗
				⋮
				MOV DS : BYTE PTR PALETTE, 0FH…㉞
				⋮
				MOV DS : BYTE PTR PALETTE, 0FH…㉞
				⋮
				MOV DS : BYTE PTR PALETTE, 0FH…㉞
				⋮
				⋮
				⋮
				⋮
				⋮
				⋮
				⋮
				⋮
				⋮

## 第2章 ホスト・インターフェース回路

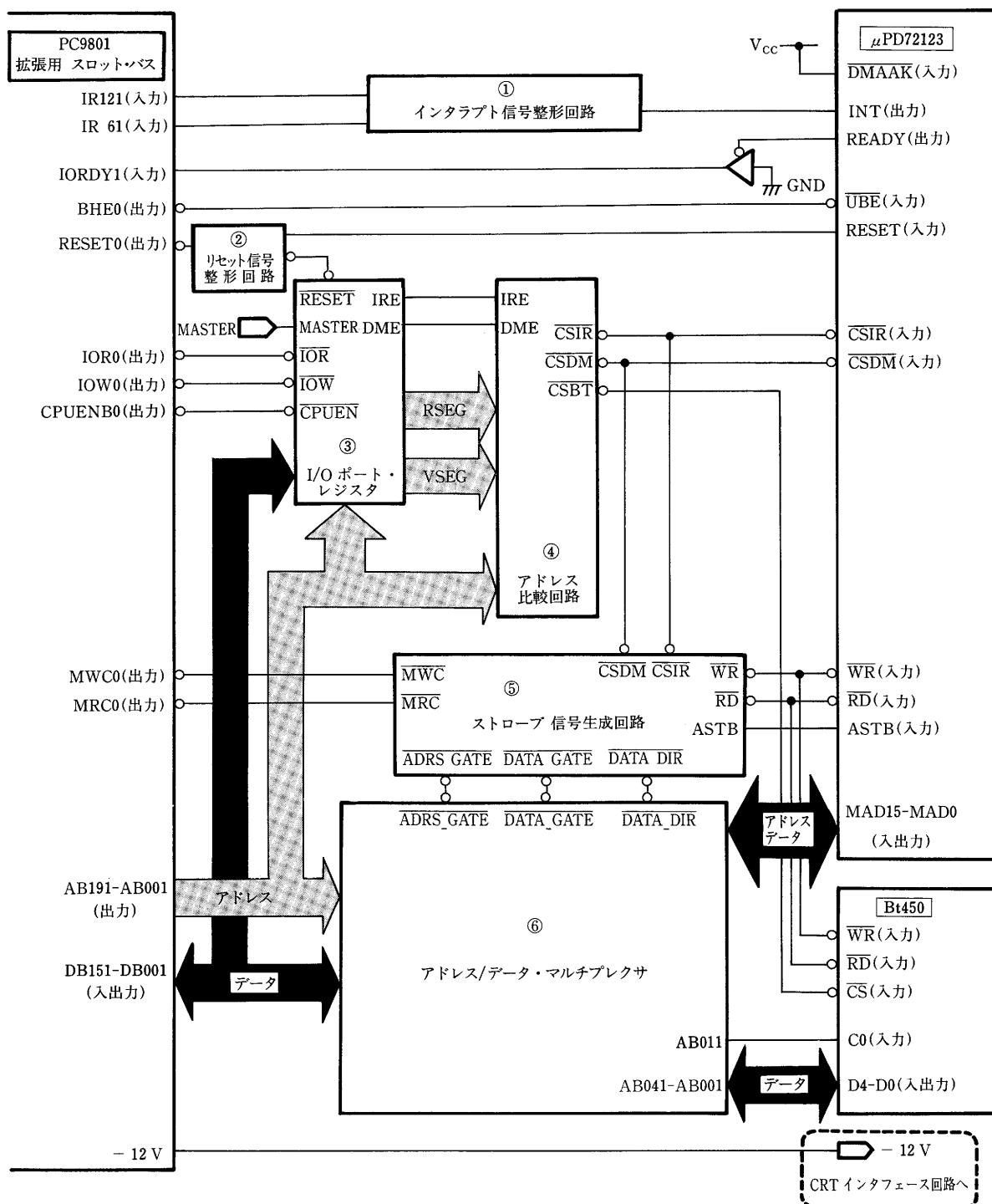
### 2.1 概 要

この章では、PC9801 の拡張用スロット・バスとのインターフェース回路の設計例を説明します。

拡張用スロット・バス上に位置するデバイスは、 $\mu$ PD72123 と Bt450 であり、両者ともバス・スレーブになります。

保守／廃止

## 2.1.1 ホスト・インターフェース回路のブロック図



**備考** SCLK :  $\mu$ PD72123 の SCLK 端子に入力する表示用クロックです。

MASTER : PC9801 からのディジタル RGB 信号入力の有無を示します。

(1 : 入力なし 0 : 入力あり)

**保守／廃止**

### 2.1.2 PC9801 拡張用スロット・バス

PC9801 拡張用スロット・バスは非同期バスで、データ・バス幅は16ビットです。

拡張用スロット・バスが出力する制御信号は、MRC0, MWC0, IOR0, IRW0 であり、また、拡張用スロット・バスに入力する制御信号は、IORDY1 です。

- $\mu$ PD72123, Bt450 に対するリード・サイクル…MRC0, IORDY1 の2線ハンドシェーク
- $\mu$ PD72123, Bt450 に対するライト・サイクル…MWC0, IORDY1 の2線ハンドシェーク

このボードは、単純なインターフェース設計例を提示するという意味から、他の制御信号 (SALE1など) をあえて使用していません。

保守／廃止

## 2.2 各ブロックの回路

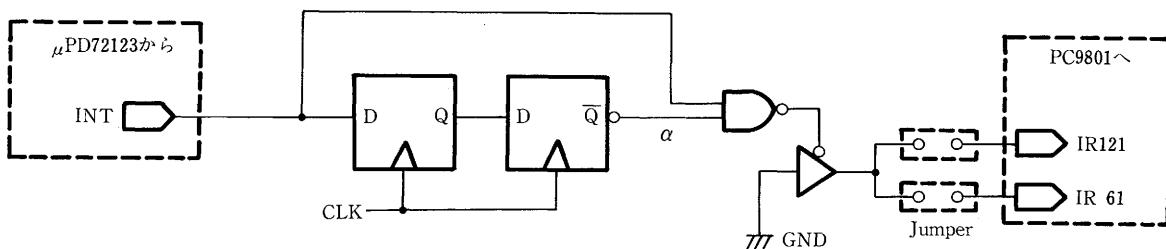
「2.1.1 ホスト・インターフェース回路のブロック図」中にある各ブロックの回路を表します。

### 2.2.1 インタラプト信号整形回路

$\mu$ PD72123 のインタラプト信号 (INT 信号) から、PC9801 へのインタラプト信号 (IR 信号) を生成する回路とタイミングを次の想定に従い、以下に示します。

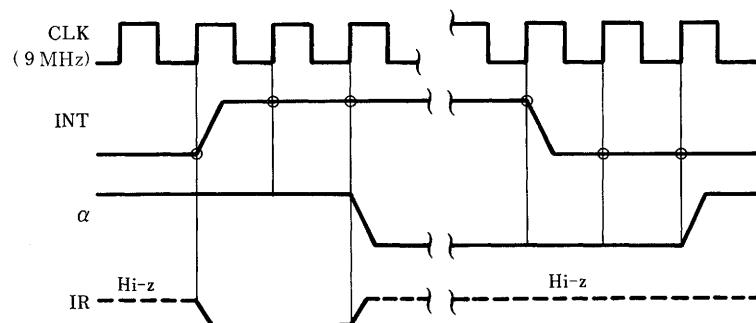
- IR (インタラプト・リクエスト) は、PC9801 内部でプルアップしている。
- PC9801 の割り込みコントローラは、IR の立ち上がりエッジで割り込み要求を認識する。

図 2-1 インタラプト信号整形回路



備考 CLK :  $\mu$ PD72123 の CLK 端子に入力する描画用クロック

図 2-2 インタラプト信号整形回路のタイミング

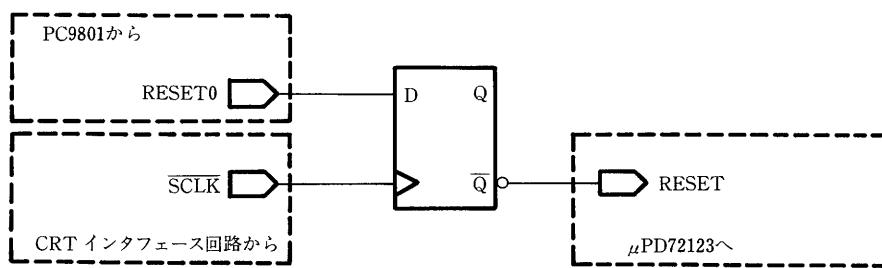


保守／廃止

### 2.2.2 リセット信号整形回路（複数使用時のみ）

$\mu$ PD72123 に入力する RESET 信号を、 $\mu$ PD72123 の表示用クロックである SCLK に同期させて入力する回路を示します。この回路は、 $\mu$ PD72123 を複数個使用する場合への拡張に備えて挿入しています。

図 2-3 リセット信号整形回路



$\mu$ PD72123 をシステム内で使用する場合

- 複数個使用 :  $\mu$ PD72123 に入力する RESET 信号を SCLK に同期させることにより（上図の例のように、SCLK の立ち上がり同期）、 $\mu$ PD72123 の内部サイクルの位相合わせができます。
- 1 個のみ使用 : 同期化させる必要はありません。

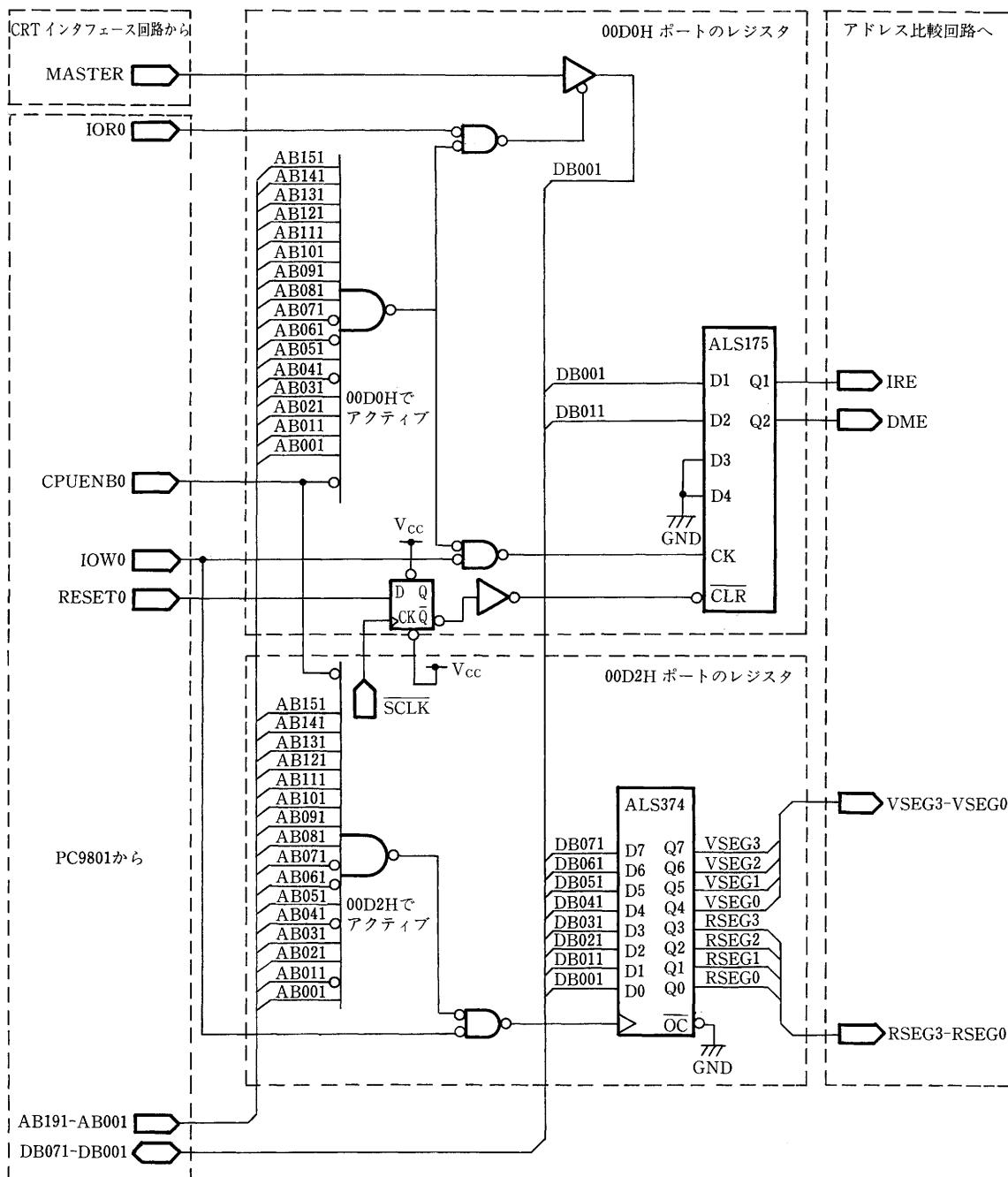
**備考** このボードでは、 $\mu$ PD72123 を 1 個しか使用していません。したがって、上記の回路は不要です（PC9801 が出力するリセット信号をそのまま  $\mu$ PD72123 に入力可能）。

**保守／廃止**

### 2.2.3 I/O ポート・レジスタ

00D0H 番地のレジスタと 00D2H 番地のレジスタ回路図を以下に示します。

図 2-4 00D0H 番地のレジスタと 00D2H 番地のレジスタ回路



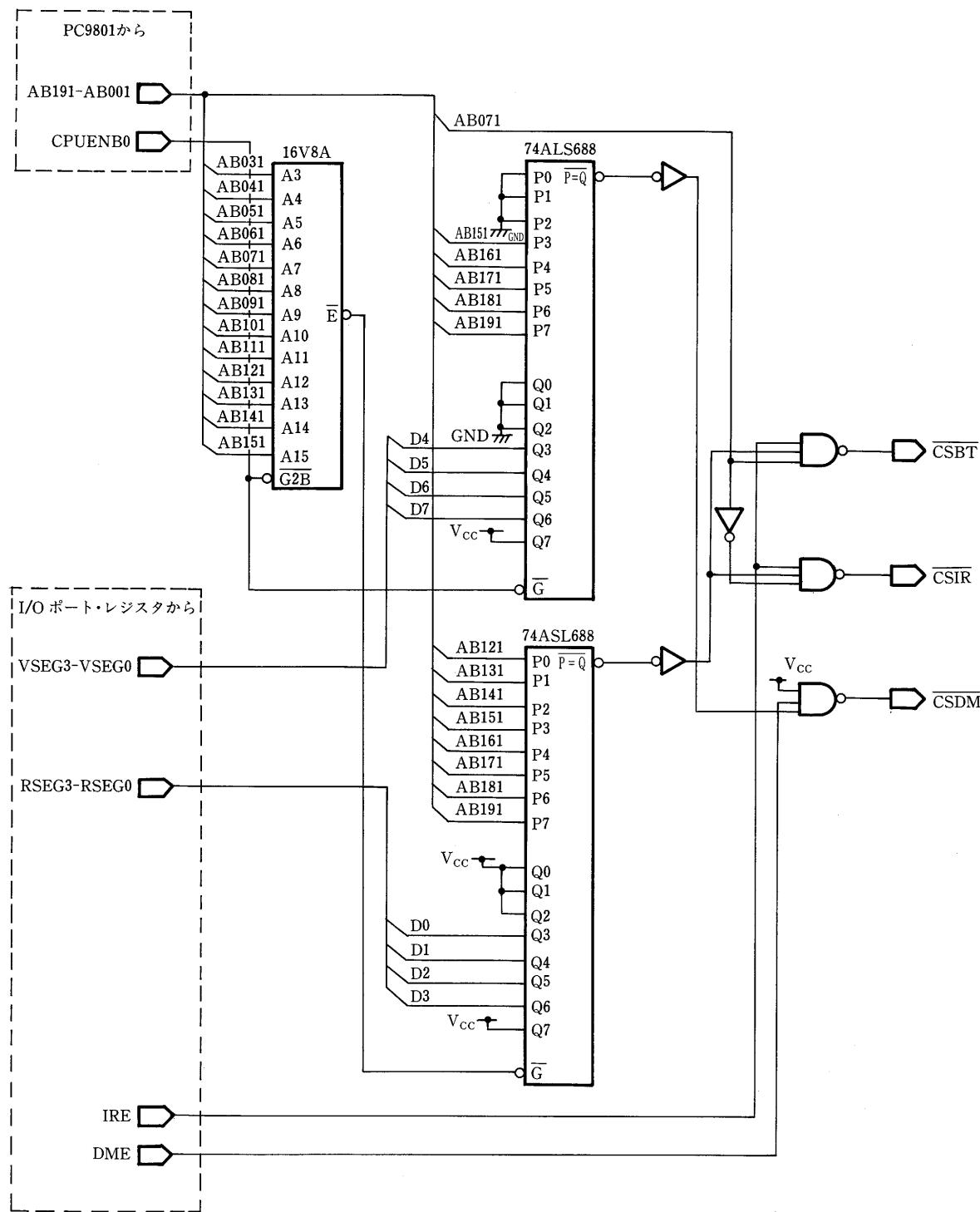
保守／廃止

### 2.2.4 アドレス比較回路

00D2H 番地のレジスタの出力 (VSEG3-VSEG0, RSEG3-RSEG0) と PC9801 が output するアドレス (AB191-AB071) を比較し、同じ値である場合に、以下の 2 つの信号をアクティブにする回路です。

- μPD72123 に対するチップ・セレクト信号 ( $\overline{\text{CSIR}}$ ,  $\overline{\text{CSDM}}$ )
- Bt450 に対するチップ・セレクト信号 ( $\overline{\text{CSBT}}$ )

図 2-5 アドレス比較回路



保守／廃止

## 2.2.5 ストローブ信号生成回路

PC9801 のバス（アドレスとデータがセパレート・バス）のストローブ信号（MWC0, MRC0）から、 $\mu$ PD72123 のシステム・バス（アドレスとデータがマルチプレクス・バス）のストローブ信号（WR, RD, ASTB）を生成する回路です。

図 2-6 ストローブ信号生成回路

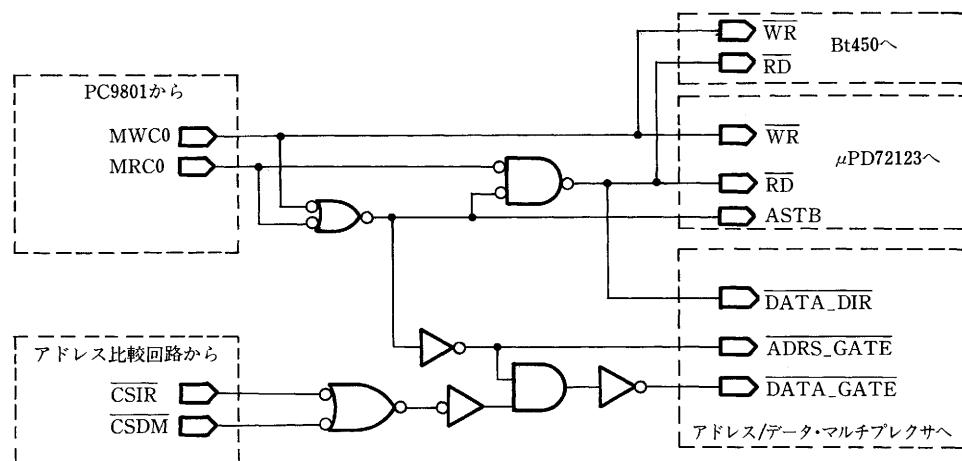
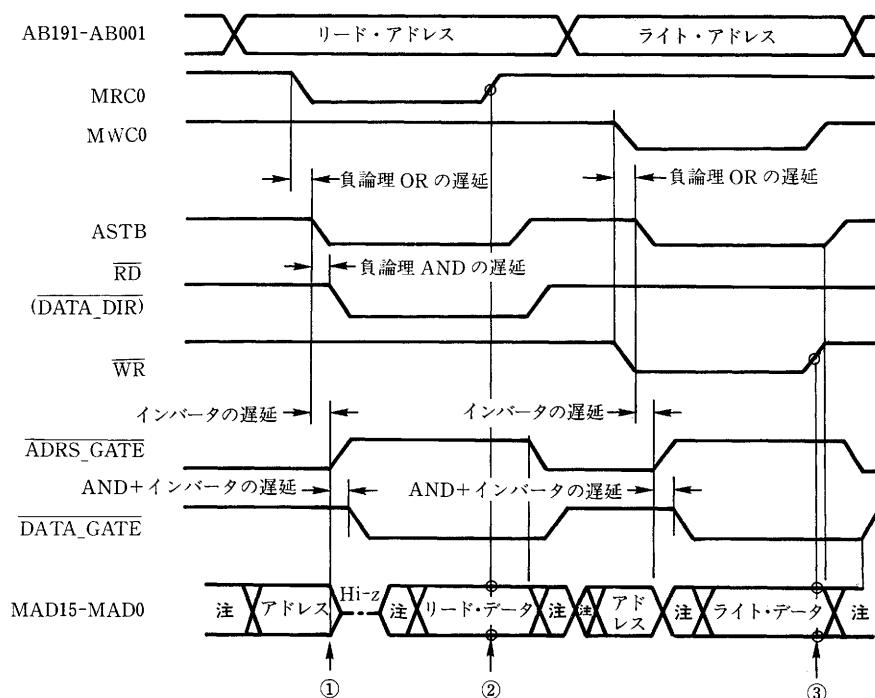


図 2-7 ストローブ信号生成回路のタイミング



注 変化範囲

**保守／廃止**

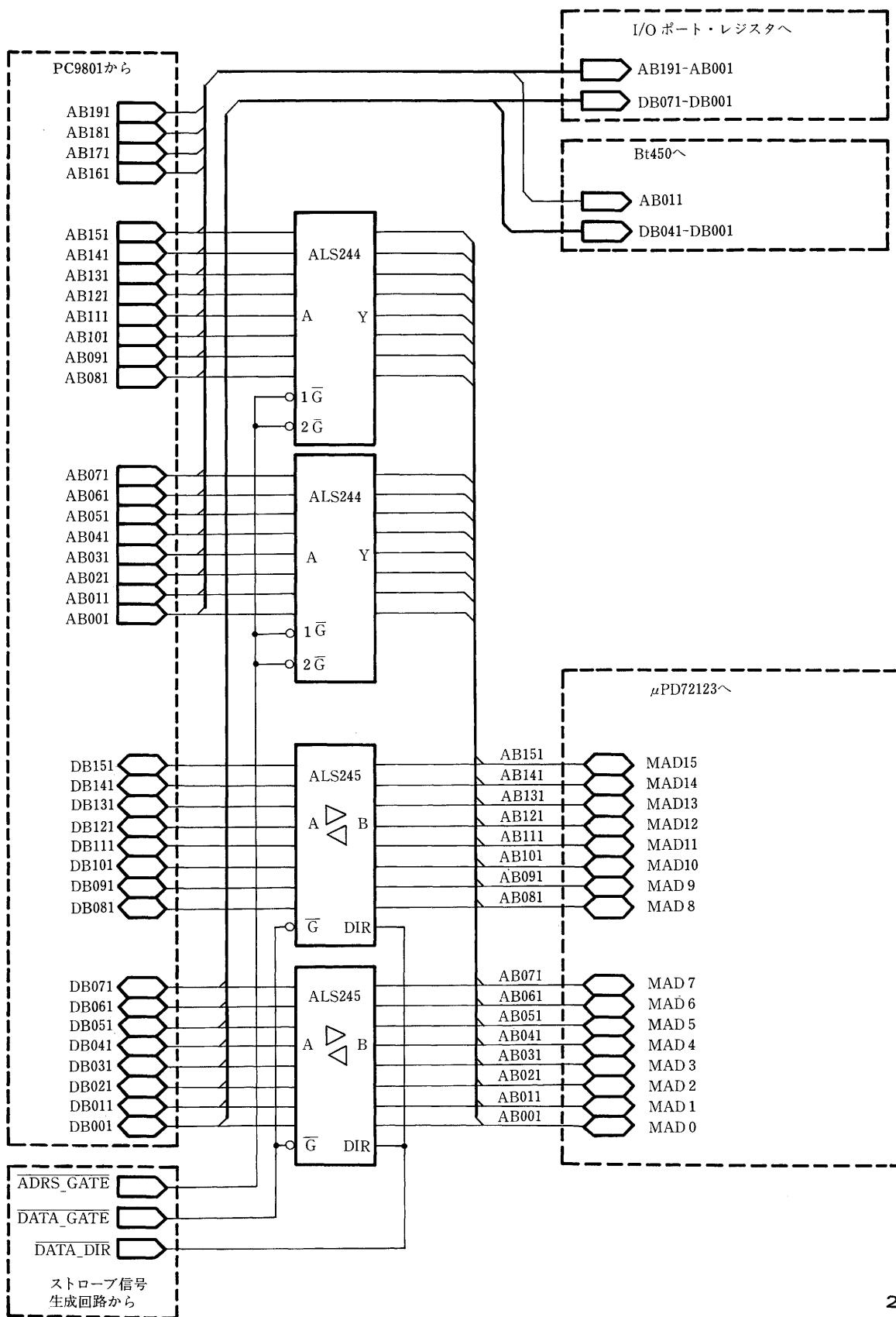
- 注意1.** ① PC9801からの入力アドレスを,  $\mu$ PD72123がASTB $\downarrow$ でラッチするためのホールド時間を満足させてください。
2. ②  $\mu$ PD72123からの入力データ(リード・データ)を, PC9801がMRC0 $\uparrow$ でラッチするためのホールド時間を満足させてください。
3. ③ PC9801からの入力データ(ライト・データ)を,  $\mu$ PD72123が $\overline{WR}$  $\uparrow$ でラッチするためのホールド時間を満足させてください。

保守／廃止

### 2.2.6 アドレス/データ・マルチプレクサ

PC9801のアドレス・バスとデータ・バスをマルチプレクスして  $\mu$ PD72123に接続するための回路です。

図2-8 アドレス/データ・マルチプレクサ



## 第3章 メモリ・インターフェース回路

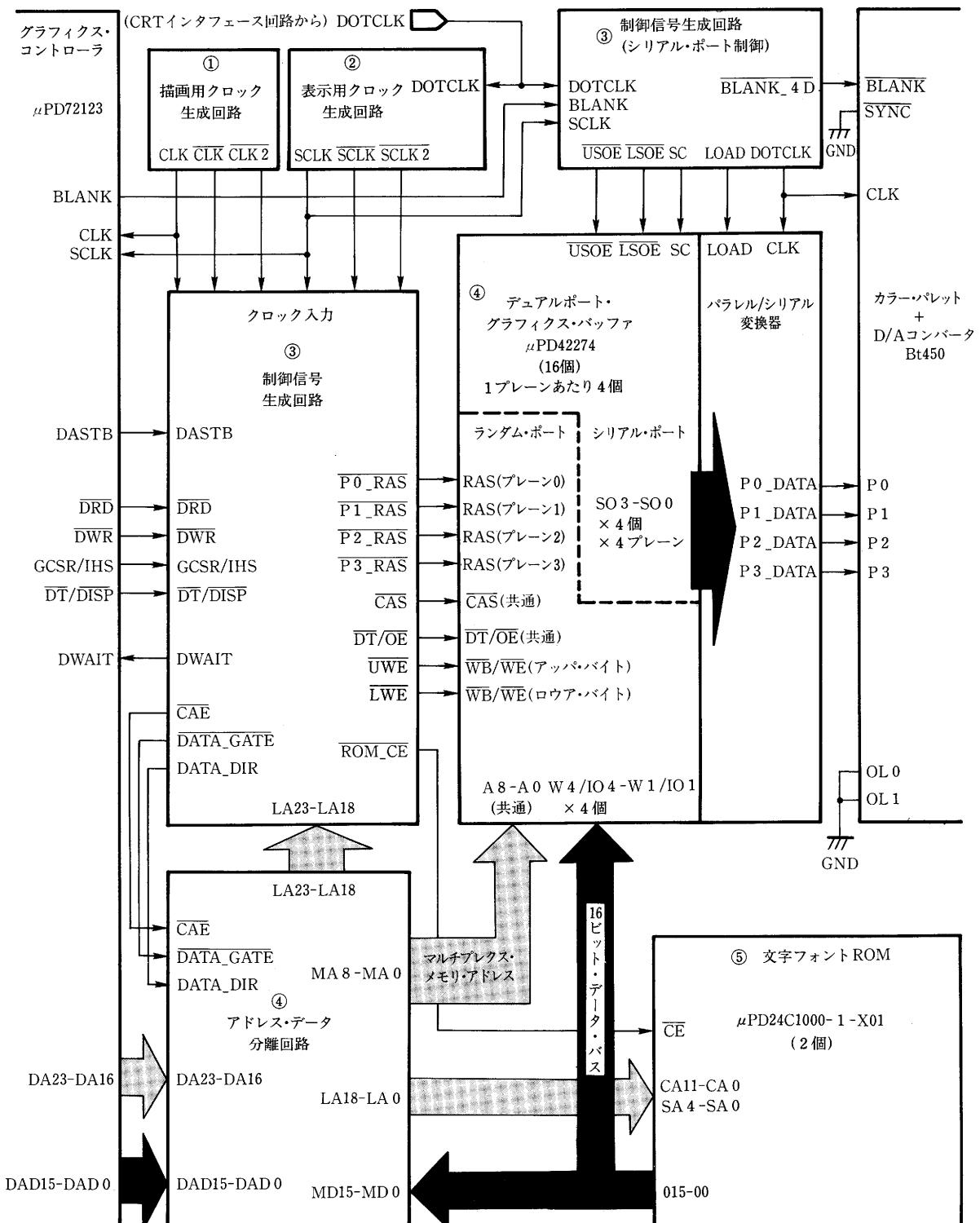
### 3.1 概 要

この章では、以下の仕様のメモリ・インターフェース回路の設計例を説明します。

	型 名	備 考
コントローラ	$\mu$ PD72123	描画用クロック=9 MHz、表示用クロック=5.25 MHz
VRAM	$\mu$ PD42274-10	デュアルポート・グラフィックス・バッファ (100nsアクセス品)…0 ウエイト
ROM	$\mu$ PD24C1000C-1-X01	16×16 ドット漢字キャラクタ・フォント (200nsアクセス品)…1 ウエイト
カラー・パレット	Bt450	4096色中16色を同時表示

保守／廃止

## 3.1.1 メモリ・インターフェース回路のブロック図



**保守／廃止**

### 3.1.2 描画用クロックの決定

$\mu$ PD72123は2系統(CLK:描画用クロック, SCLK:表示用クロック)のクロック入力端子を備えています。デュアルポート・グラフィクス・バッファを表示メモリとして使用する場合には、両クロックは非同期でかまいません。このボードでは、デュアルポート・グラフィクス・バッファを使用しています。そのため、CLKの周波数は、グラフィクス・バスの最大転送レートで決定できます。

$\mu$ PD72123は、CLKで2クロック分を描画サイクル周期(0ウェイト)とします(CLK = 10 MHzのときには、描画サイクルは200 nsとなります)。また、使用するデュアルポート・グラフィクス・バッファは100 nsアクセス(メモリ・サイクル190 ns)品なので、種々のタイミング・マージンの解析の結果、以下のように決めました。

CLK = 9 MHz

100 nsアクセス品を使用して200 nsの描画サイクル(CLK = 10 MHz)起動は事実上不可能です。80 nsアクセス品では、CLK = 10 MHzは可能と考えます。

**保守／廃止**

### 3.1.3 表示用クロックの決定

表示用クロック (SCLK) は、ドット・クロック (DOTCLK) を分周したものを使用します。表示期間 (HD) に640ドットを表示します。そのときのドット・クロックを示します。

$$t_{CYDK} = \frac{30.4 \text{ } [\mu\text{s}]}{640} = 47.5 \text{ } [\text{ns}] = 21.0526 \text{ } [\text{MHz}]$$

$\mu$ PD72123 のクロック規格が、0.5 MHz  $\leq$  SCLK 周波数  $\leq$  CLK 周波数  $\leq$  10 MHz ですので、SCLK として許容される周波数は次のとおりです。

4 分周 : 5.263 MHz = 1/190 ns (SCLK で 2 周期 = 380 ns)

8 分周 : 2.632 MHz = 1/380 ns (SCLK で 2 周期 = 760 ns)

16 分周 : 1.316 MHz = 1/760 ns (SCLK で 2 周期 = 1520 ns)

32 分周 : 0.658 MHz = 1/1520 ns (SCLK で 2 周期 = 3060 ns)

以上の中より選択する際、次の注意事項を検討してください。

**注意事項 1.**  $\mu$ PD72123 が出力する CRT 周期信号は、1 同期サイクル (SCLK で 2 周期分) を単位としてプログラマブルに設定可能です。

**2.** CRT 規格推奨値の HS, HBP, HD, HFP の最大公約数は、760 ns です (「**4.1.2 CRT の仕様**」参照)。

**3.**  $\mu$ PD72123 にリフレッシュ・アドレス、表示アドレスを発生させた場合には、HS, HBP, HD, HFP の設定値 (特に HS, HBP の最小値) に下表の制限があります。

		インタレース・モード		ノンインタレース・モード			
		スレーブ・モード	マスタ・モード	スレーブ・モード	マスタ・モード		
HS	設定値	0 0 0 4 H << FFFFH	0 0 0 1 H << FFFFH	0 0 0 4 H << FFFFH			
	同期サイクル数	5 << 4 0 9 6	2 << 4 0 9 6	5 << 4 0 9 6			
	SCLK クロック数	10 << 1 3 1 0 7 0	4 << 1 3 1 0 7 0	10 << 1 3 1 0 7 0			
HBP	設定値	0 0 0 2 H << FFFFH		0 0 0 1 H << FFFFH			
	同期サイクル数	3 << 4 0 9 6		2 << 4 0 9 6			
	SCLK クロック数	6 << 1 3 1 0 7 0		4 << 1 3 1 0 7 0			
HH	設定値			0 0 0 1 H << (HD 設定値) - 1			
	同期サイクル数	$\frac{-(HS+1)-(HBP+1)+(HD+1)+(HFP+1)}{2}$		2			
	SCLK クロック数			4			
HD	設定値						
	同期サイクル数						
	SCLK クロック数	0 0 0 1 H << FFFFH 2 << 4 0 9 6					
HFP	設定値						
	同期サイクル数						
	SCLK クロック数	4 << 1 3 1 0 7 0					

**保守／廃止**

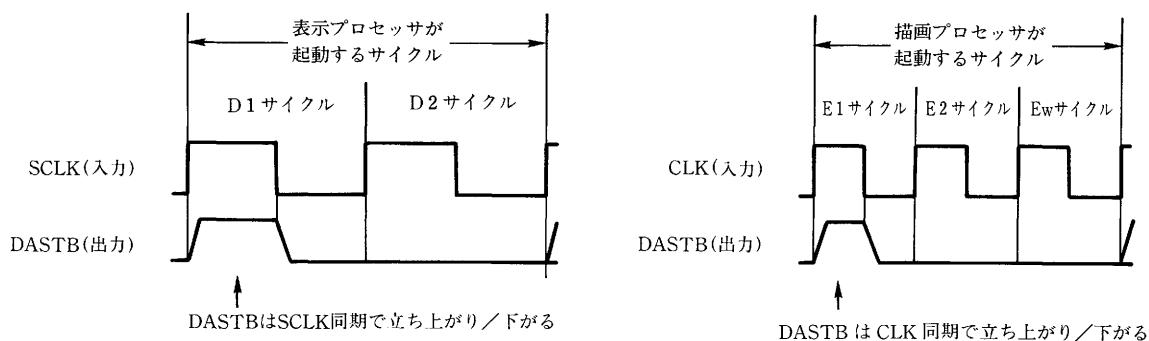
注意事項1, 2より, SCLK 周波数 = 1.316 MHz, 0.658 MHz は選択できません。注意事項 3 より,  
SCLK周波数 = 2.632 MHz も選択できません。したがって、このシステムでは、SCLK = 5.263 MHz  
としています。

**保守／廃止**

### 3.1.4 作成目標とすべき制御信号

$\mu$ PD72123がグラフィクス・バス上にバス・マスターとして、なんらかのバス・サイクルを起動するときには、DASTB出力信号がアクティブになります（バス・サイクルを起動しないときにはインアクティブ）。アクティブになる期間は、バス・サイクルが起動する最初の半クロックです。

DASTBは、外部回路の動作開始タイミングを示す唯一の基準信号です。



DASTB 信号 = ① バス・サイクルがスタートしたことを外部回路に通知する信号  
②  $\mu$ PD72123 が出力するアドレスを外部回路がラッチするための制御信号

$\mu$ PD72123には、互いに非同期な2つのクロック信号(CLKとSCLK)を入力できます。表示プロセッサはSCLKを、描画プロセッサはCLKを、それぞれ基本クロックとして動作します。したがって、DASTB信号は、SCLK同期またはCLK同期で立ち上がり/立ち下がります。

SCLKとCLKを非同期で入力するという応用では、DASTB信号をDISP\_DASTB信号(SCLK同期のDASTB)とDRAW\_DASTB信号(CLK同期のDASTB)とに分離してください。

$\mu$ PD72123が起動するバス・サイクルは4種類あります。これらを識別するためには、下表の信号を使用してください。

表3-1  $\mu$ PD72123が起動するバス・サイクル識別信号

バス・サイクルを起動するプロセッサ	バス・サイクル	バス・ステータスとして使用する信号の名称	端子名	同期するクロック
表示プロセッサ	リフレッシュ・サイクル 表示サイクル	HS または IHS $\overline{DT}$ または $\overline{DISP}$	HS/EXHS または GCSR/IHS $\overline{DT}/\overline{DISP}$	SCLK SCLK
描画プロセッサ	描画リード・サイクル 描画ライト・サイクル	$\overline{DRD}$ $\overline{DWR}$	$\overline{DRD}$ $\overline{DWR}$	CLK CLK

**保守／廃止**

これらのバス・ステータス信号の動作は下表のとおりです。

表 3-2 バス・ステータス信号の動作

バス・サイクルを起動する主体	バス・サイクル名称	バス・ステータスの検出方法							
		表示サイクルの起動モード							
		DT モード				CS モード			
		HS	DT	DRD	DWR	HS	DISP	DRD	DWR
表示プロセッサ	リフレッシュ・サイクル	○	×	×	×	○	○	×	×
	表示サイクル	×	○	×	×	×	○	×	×
描画プロセッサ	描画リード・サイクル	×	×	○	×	△	×	○	×
	描画ライト・サイクル	×	×	×	○	△	×	×	○

○：アクティブ

×：インアクティブ

△：不定

注意 1.  $\overline{DT}/\overline{DISP}$  端子は、DT モードでは  $\overline{DT}$  信号を出力し、CS モードでは  $\overline{DISP}$  信号を出力します。

2. SD フラグ (DISPLAY\_CTRL レジスタ) = 1 に設定した場合、μPD72123 は表示サイクルを起動しません。このとき、 $\overline{DT}/\overline{DISP}$  信号は常にインアクティブです。
3. RE フラグ (DISPLAY\_CTRL レジスタ) = 0 に設定した場合、μPD72123 はリフレッシュ・サイクルを起動しません。ただし、HS 信号はシンク・パラメータ値に従ってアクティブになります。
4. 上記サイクル以外にも次の 2 種類のバス・サイクルがあります。

ホスト・ダイレクト・リード・サイクル (描画リード・サイクル)

ホスト・ダイレクト・ライト・サイクル (描画ライト・サイクル)

これは、システム・バス上のバス・マスター (CPU, DMA コントローラなど) が、μPD72123 を経由して、グラフィックス・バス上のバス・スレーブ (RAM, ROM など) をアクセスする際に、μPD72123 が起動するグラフィックス・バス・サイクルです。外部回路から見ると、ホスト・ダイレクト・サイクルは、描画サイクルとしてグラフィックス・バス上に起動されます。

5. リフレッシュ・サイクルのステータス信号として、HS 信号のかわりに、IHS 信号を使用可能です。ただし、下表に示すように、μPD72123 の使用方法によって、端子の使用可否が制限されます。

**保守／廃止**

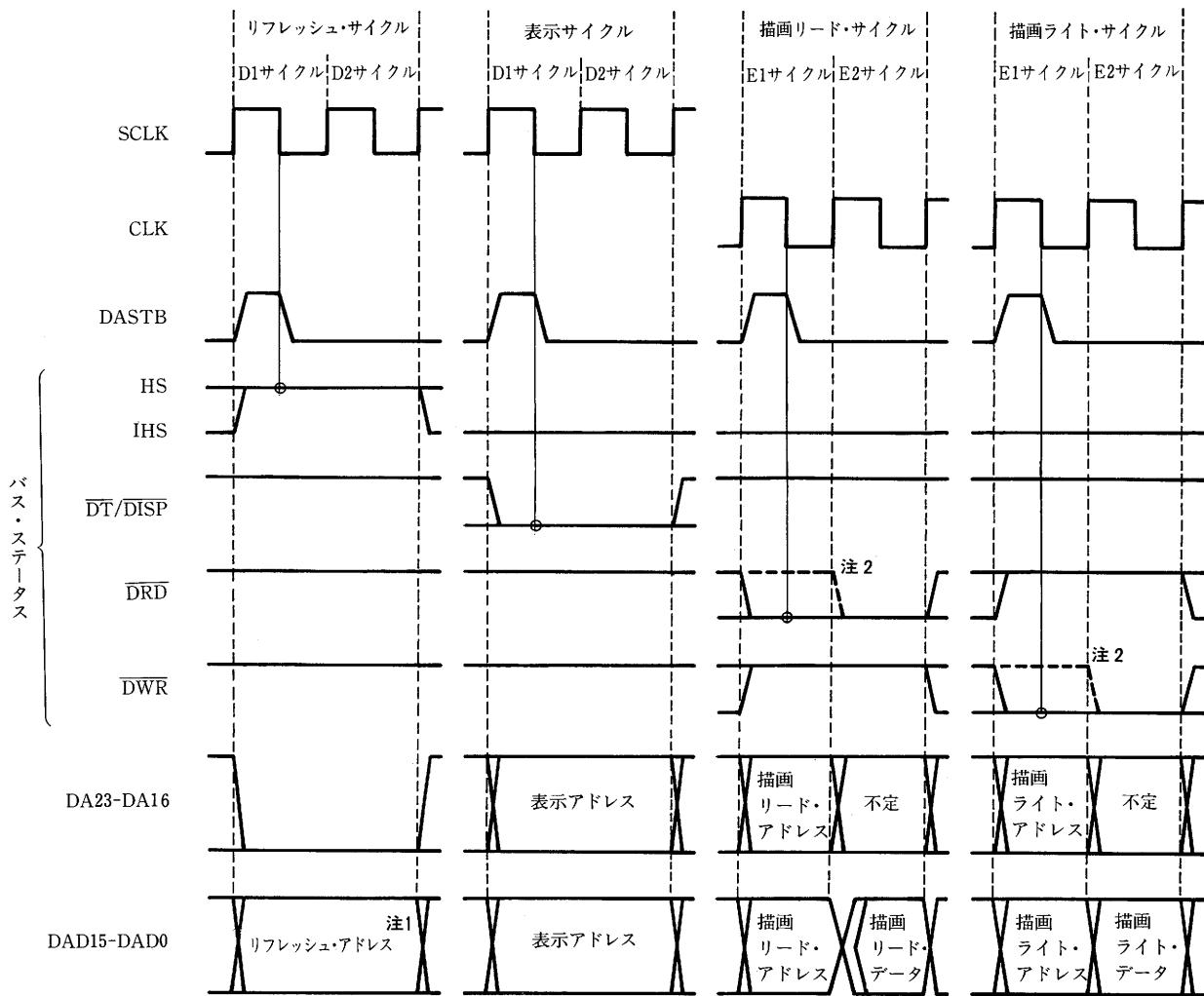
端子名称	ソフトウェアでの制御フラグ	マスタ・モードで使用		スレーブ・モードで使用	
		グラフィクス・カーサ 信号使用	グラフィクス・カーサ 信号未使用	グラフィクス・カーサ 信号使用	グラフィクス・カーサ 信号未使用
HS/EXHS	MS フラグ (DISPLAY_CTRL レジスタ)	○ HS 信号出力	○ HS 信号出力	✗ EXHS 信号入力	✗ EXHS 信号入力
GCSR/IHS	RF フラグ	✗ GCSR 信号出力	○ IHS 信号出力	✗ GCSR 信号出力	○ IHS 信号出力

○：リフレッシュ・サイクルのステータス信号として使用可

✗：リフレッシュ・サイクルのステータス信号として使用不可

外部回路はこれらの信号を参照し、各種類のバス・サイクルに従った動作をするように作成してください。一般的な識別方法には、DASTB 信号がアクティブになった時点 (E1 サイクル、および、D1 サイクルのクロック立ち下がり) で前記のステータス信号を参照するやり方があります。

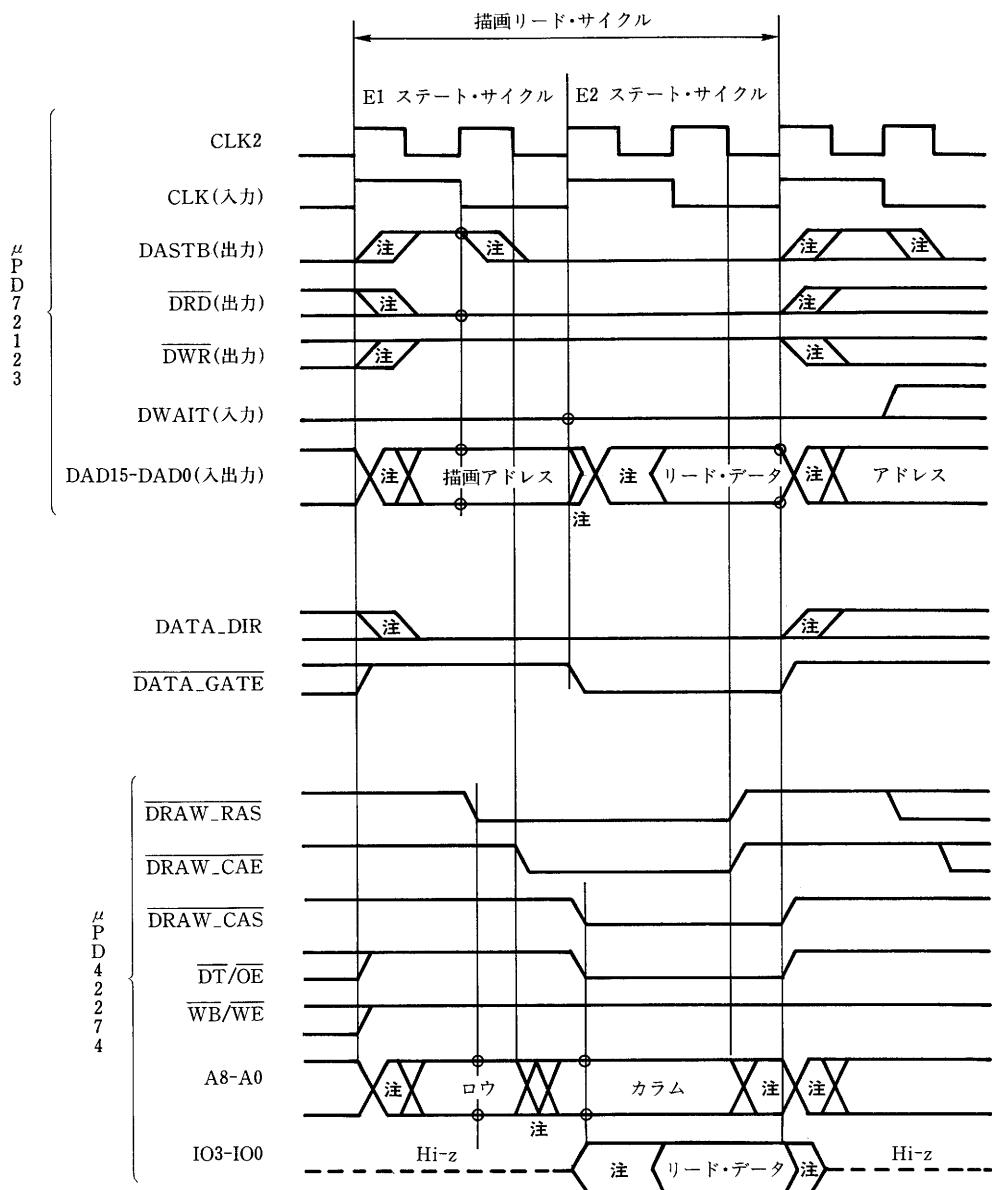
図 3-1  $\mu$ PD72123 を DT モードに設定(DISPLAY\_CTRL レジスタの DTM=1)したときのバス・サイクル



注1. リフレッシュ・アドレスは、DAD12-DAD0 に出力されます。そのとき DAD15-DAD13 は 0 になります。

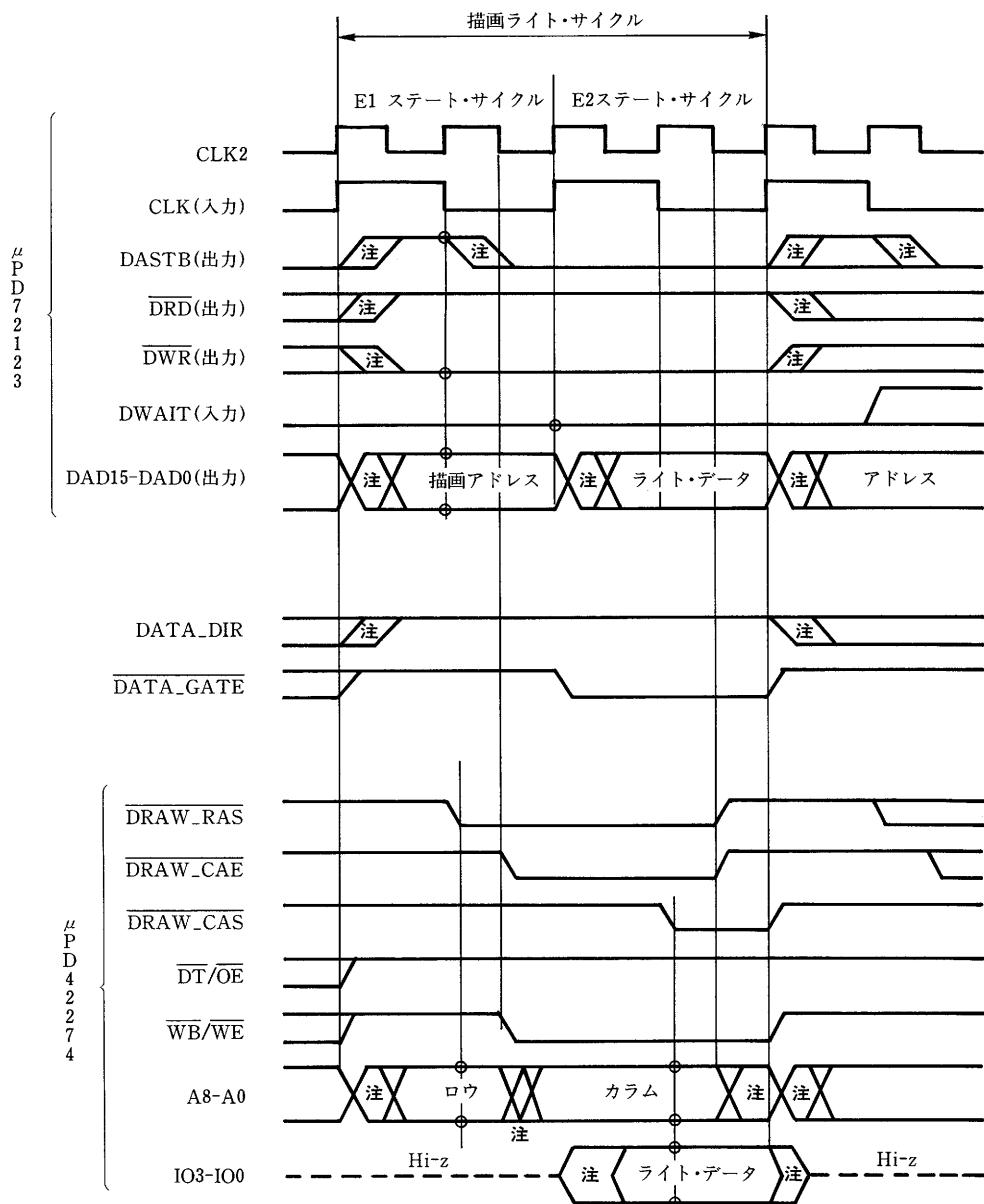
2. DRD, DWR 信号の破線は、CTRL2 レジスタ内の DRWMD フラグ = 0 のときの波形です。

## (1) 描画リード・サイクル(0 ウエイト：デュアルポート・グラフィクス・バッファに対する読み出し)



保守／廃止

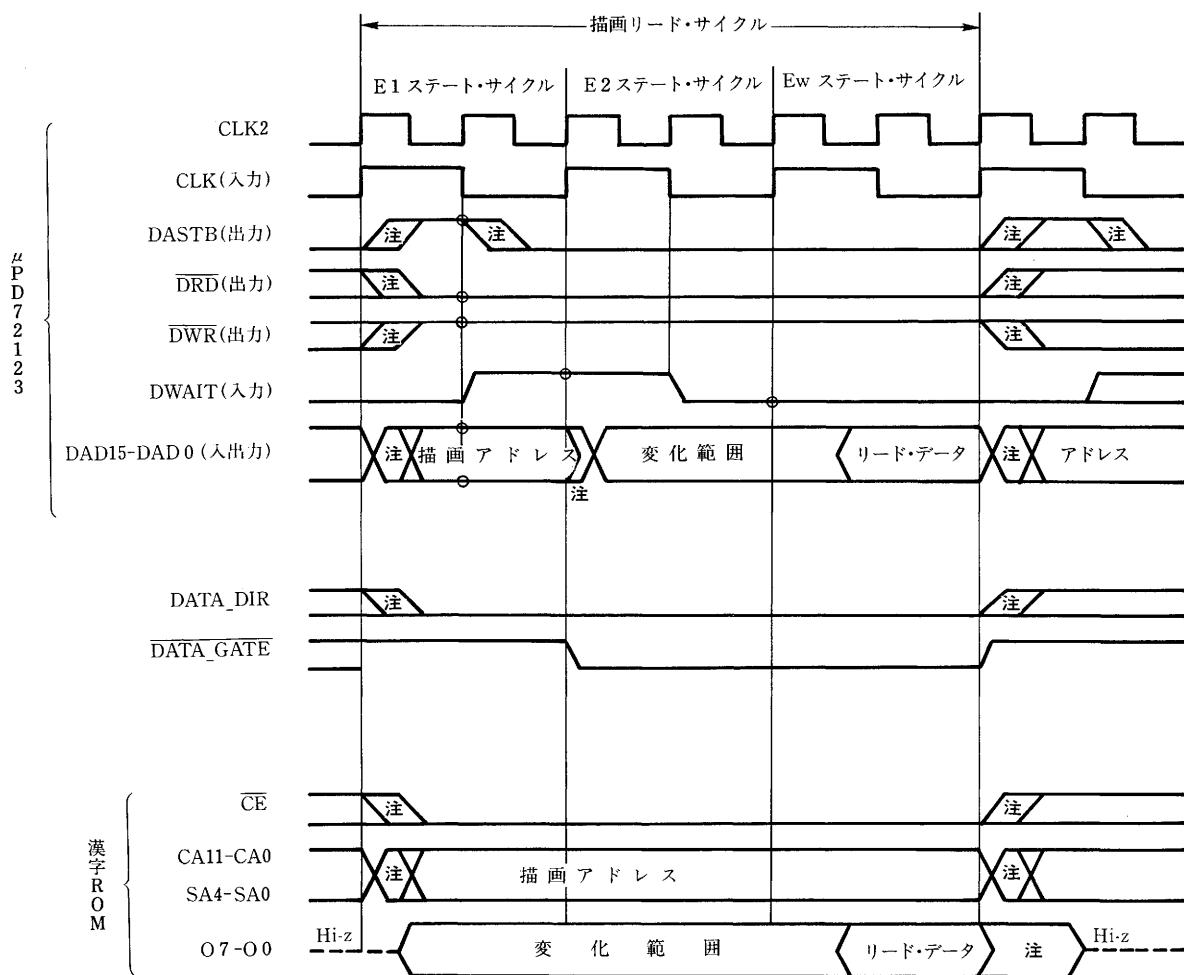
## (2) 描画ライト・サイクル(0ウェイト：デュアルポート・グラフィクス・バッファに対する書き込み)



注 変化範囲

**保守／廃止**

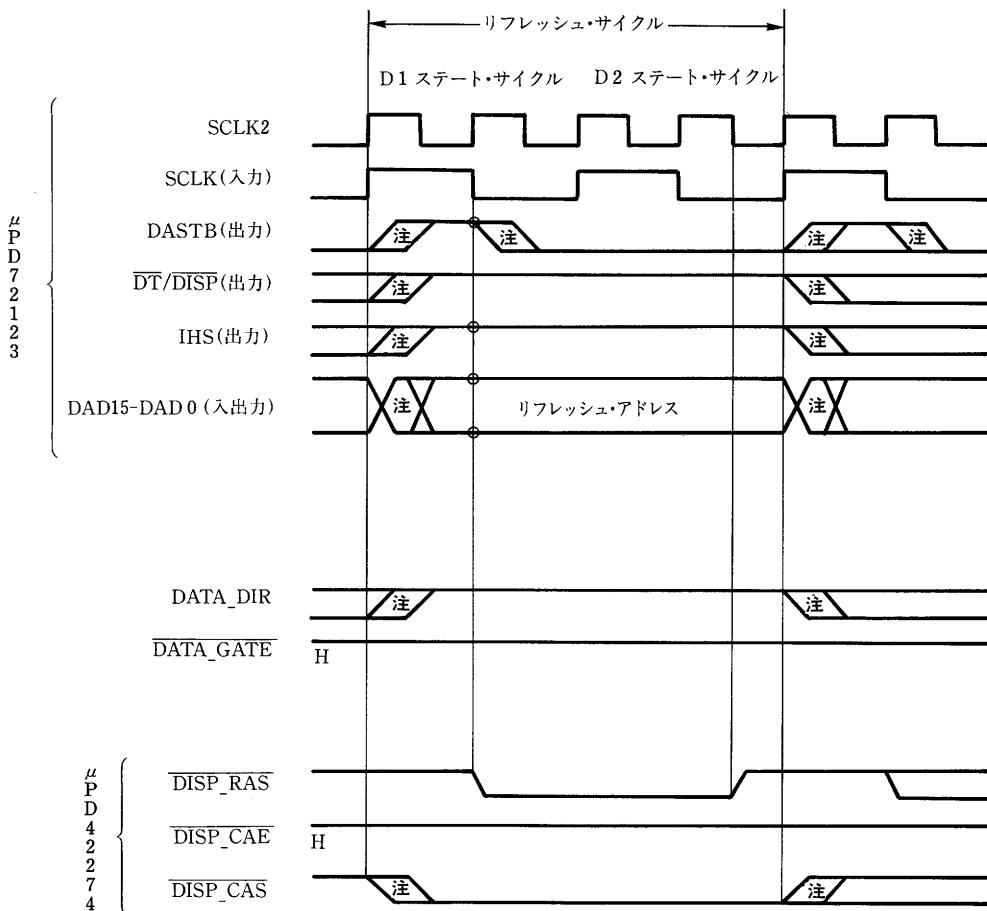
## (3) 描画リード・サイクル(1 ウエイト : ROM に対する読み出し)



注 変化範囲

保守／廃止

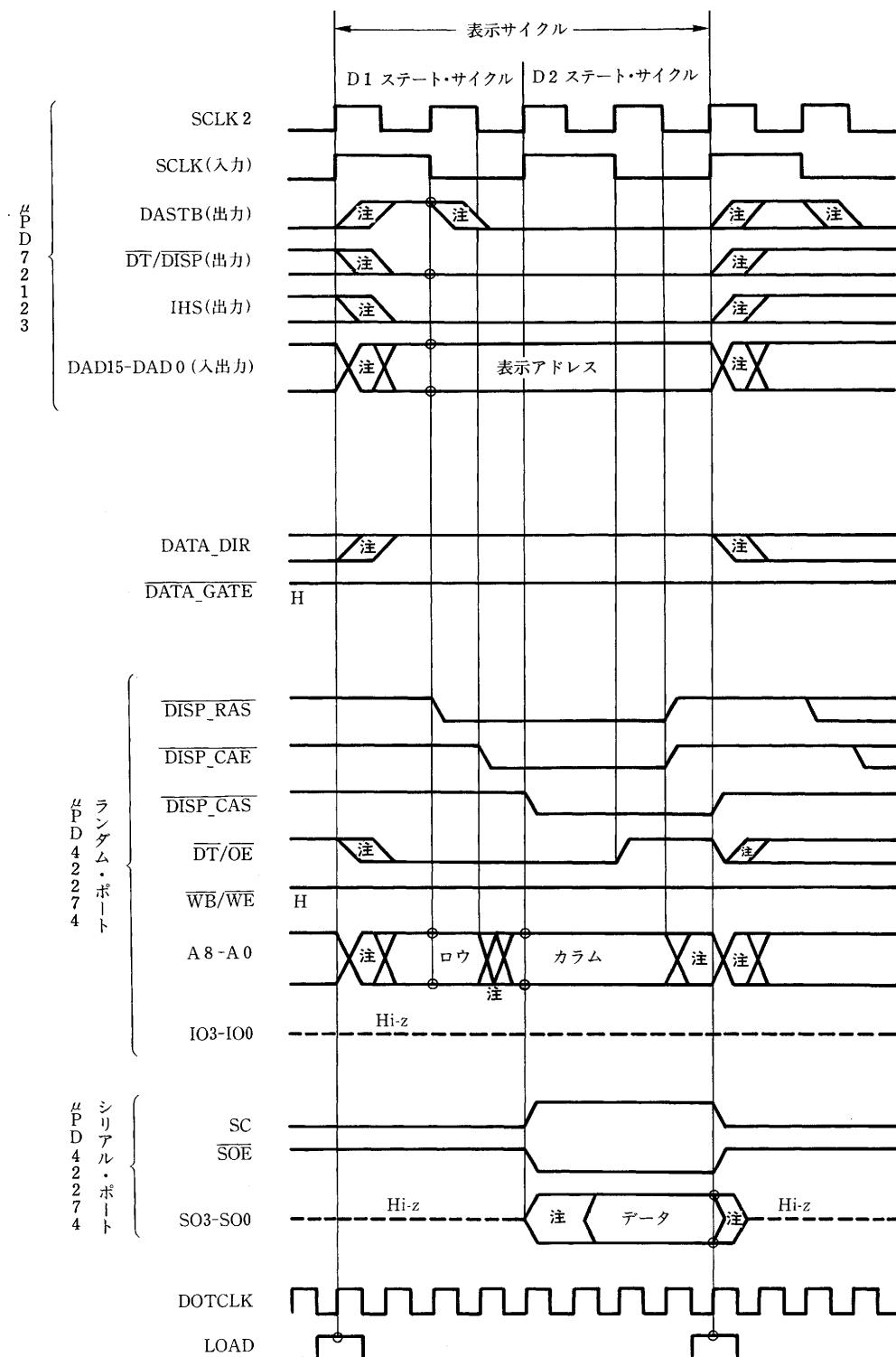
(4) リフレッシュ・サイクル（デュアルポート・グラフィクス・バッファに対するリフレッシュ・サイクル）



注 変化範囲

保守／廃止

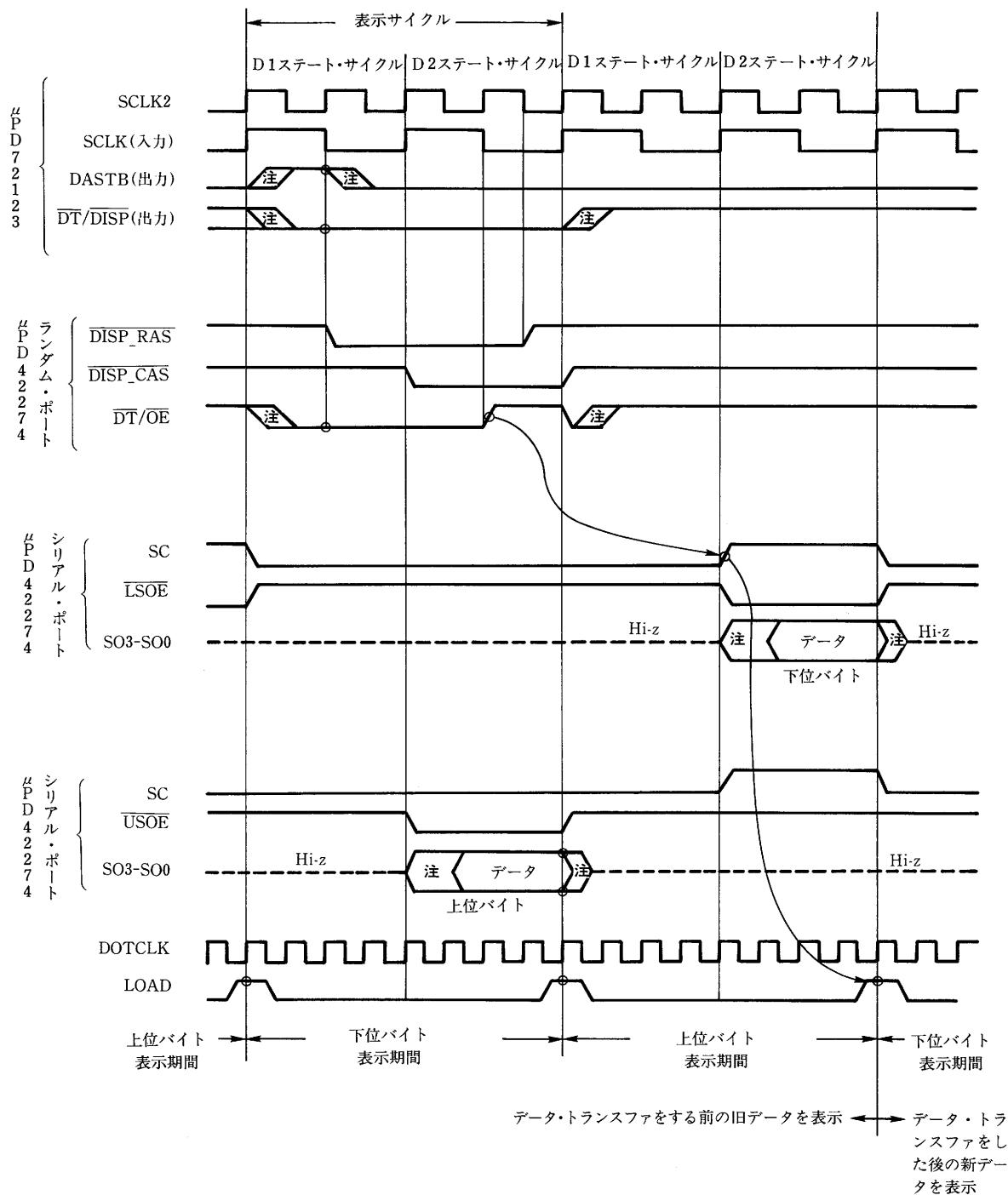
## (5) 表示サイクル（デュアルポート・グラフィクス・バッファに対する DT サイクル）



注 変化範囲

保守／廃止

## (6) シリアル・ポートのデータ出力と表示サイクルとのタイミング関係



注 変化範囲

保守／廃止

## 3.2 各ブロックの回路

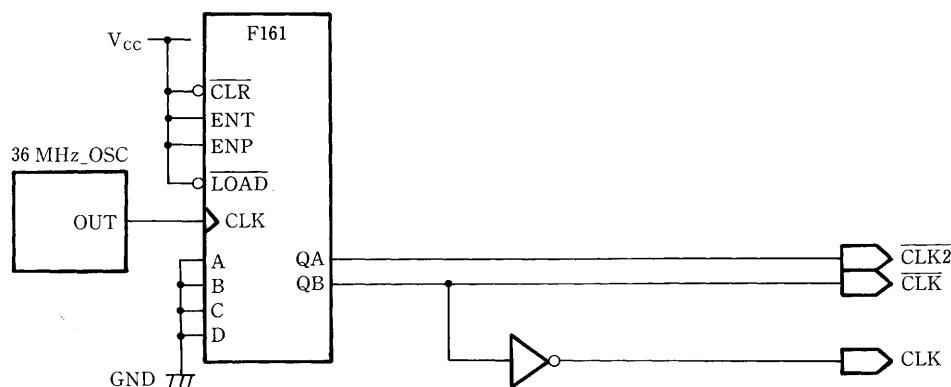
### 3.2.1 クロック生成回路

#### (1) 描画用クロック

デューティ 50 %のクロック波形を得るために、36 MHz の水晶発振器を使用し、以下のようにしています。

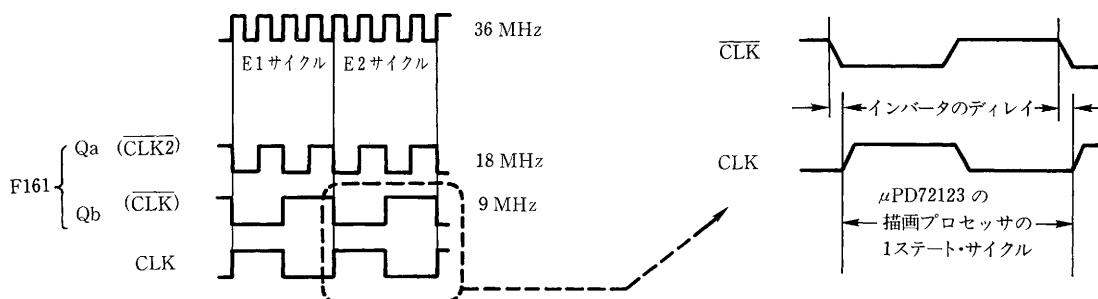
- 2 分周したもの (18 MHz) … CLK2
- 4 分周したもの ( 9 MHz) … CLK

図 3-2 描画用クロック生成回路



**備考** この回路では、 $\overline{\text{CLK}}$  の位相が CLK の位相よりも早いという前提で設計します。

図 3-3 描画用クロック生成回路のタイミング



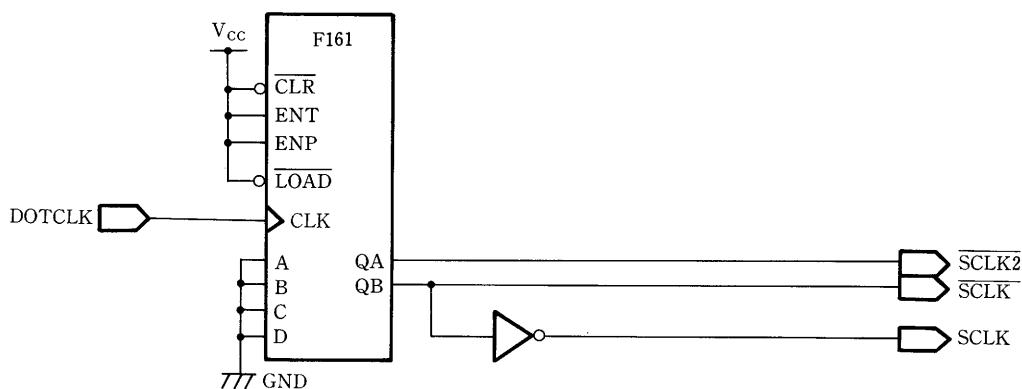
保守／廃止

## (2) 表示用クロック

CRT インタフェース回路から供給されるドット・クロック DOTCLK (21.0526 MHz) を、以下のようにしています。

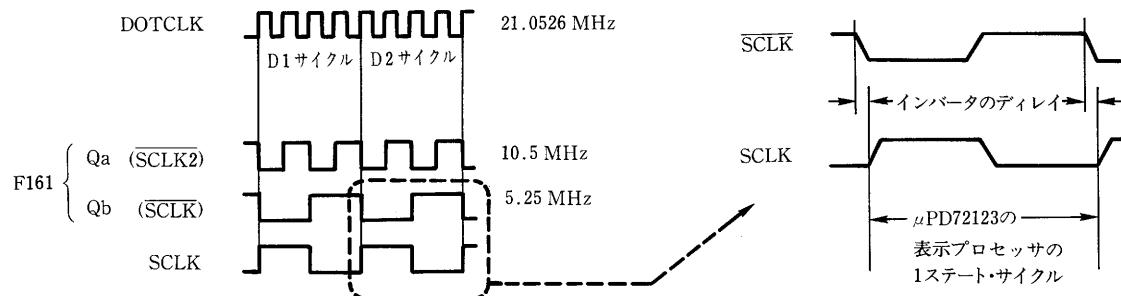
- 2 分周したもの (10.5 MHz) … SCLK2
- 4 分周したもの (5.25 MHz) … SCLK

図 3-4 表示用クロック生成回路



**備考** この回路では、 $\overline{\text{SCLK}}$  の位相が SCLK の位相よりも早いという前提で設計しています。

図 3-5 表示用クロック生成回路のタイミング



保守／廃止

### 3.2.2 制御信号生成回路

$\mu$ PD72123 で起動するグラフィクス・バス・サイクル（表示、リフレッシュ、描画リード、描画ライト）は、以下のように区別できます。

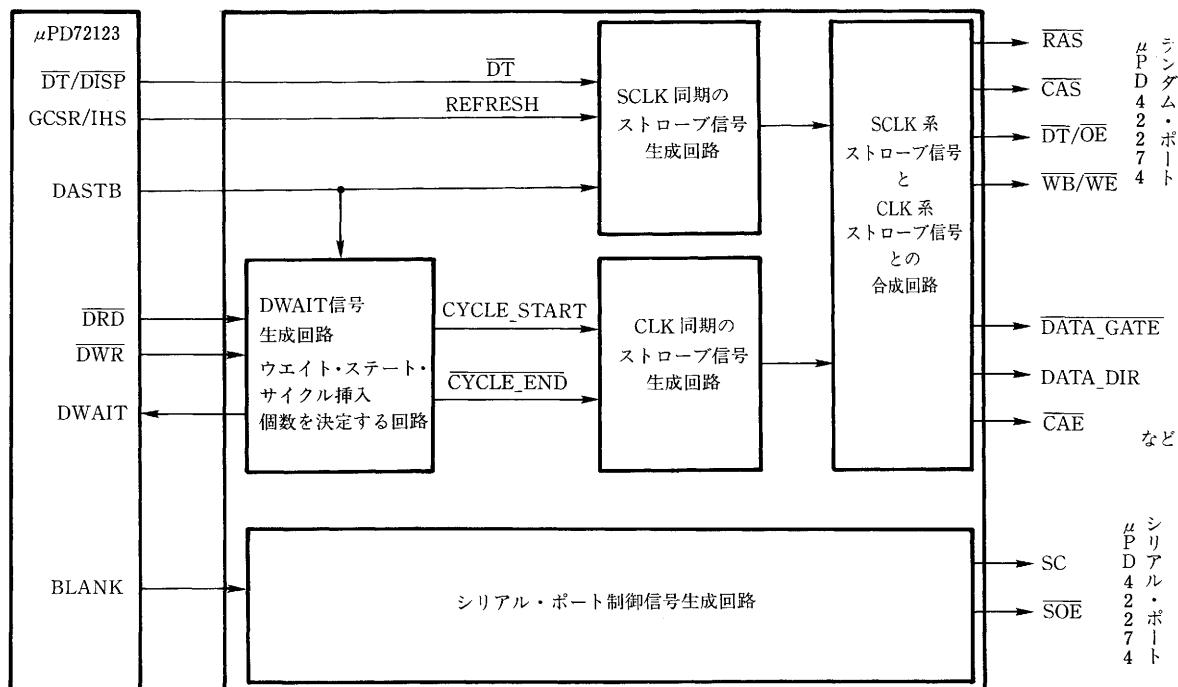
- 表示サイクル、リフレッシュ・サイクル = 固定サイクル（SCLK で 2 周期分の時間長）
- 描画リード・サイクル、描画ライト・サイクル = 可変サイクル（CLK を単位としてバス・サイクル時間長を拡張可能）

描画サイクルは、アクセス・タイムの遅いバス・スレーブ・モジュール（ROM など）をアクセスする場合も考えられます。

このボードは、文字フォント ROM アクセス時のみ 1 ウエイトになり、他はすべて 0 ウエイトの描画サイクルです。こういう場合、一般的には簡単な回路で済ますことができますが、図 3-6 では N 個（N = 0 以上）のウエイト・ステート・サイクルを挿入する応用回路を参考に示します。この回路は、「ウエイト・ステート・サイクル挿入個数を決定する回路」を「CLK 同期のストローブ信号生成回路」から独立した回路ブロックとして設計しています。これによって、DWAIT 信号生成回路のみの変更で以下の 2 点の変更に対応可能となります。

- 装置に搭載するメモリのアクセス・タイム変更
- $\mu$ PD72123 の描画用クロックの CLK 周波数変更

図 3-6 制御信号生成回路



**保守／廃止**

以降、下記の順序で各回路モジュールを説明します。

- (1) DWAIT 信号生成回路
- (2) CLK 同期のストローブ信号生成回路
- (3) SCLK 同期のストローブ信号生成回路
- (4) CLK 同期のストローブ信号と SCLK 同期のストローブ信号との合成回路
- (5) シリアル・ポート（デュアルポート・グラフィクス・バッファ）の制御信号生成回路

保守／廃止

## (1) DWAIT 信号生成回路

$\mu$ PD72123には、ウェイト・ステート・サイクルを決定する入力端子 DWAIT (CPU の READY 相当の信号) があります。この信号は、以下の二通りの作成方法があります。

その方法を表と図で示します。

表 3-3 DWAIT 信号 (NORMALLY READY, NORMALLY NOT-READY) 作成方法

作成方法の名称	DWAIT 信号の動作	特 徴		応用例
		長 所	短 所	
NORMALLY READY	DWAIT 入力は通常インアクティブ (ロウ・レベル)	回路点数小	READY を返すまでのタイミング・マージンが小さい	比較的小規模なシステム
NORMALLY NOT-READY	DWAIT 入力は通常アクティブ (ハイ・レベル)	READY を返すまでのタイミング・マージンが大きい	バス・タイム・アウト監視回路または、メモリ未実装アドレスに対するデコード回路などが必要となるため回路点数大	比較的大規模なシステム

図 3-7 “NORMALLY READY” の方法による DWAIT 信号設計例

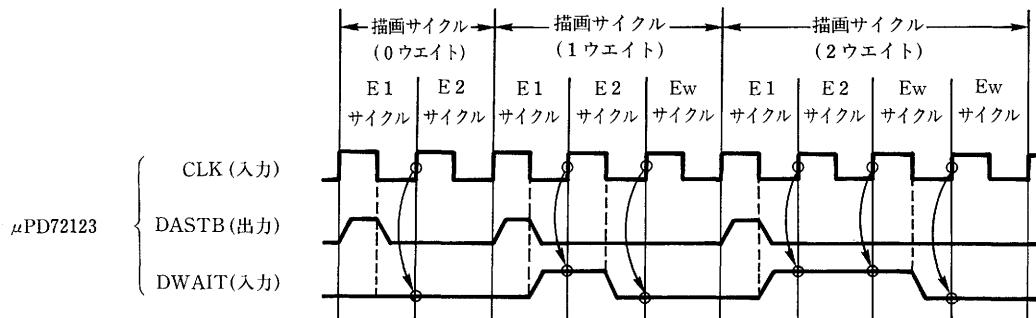
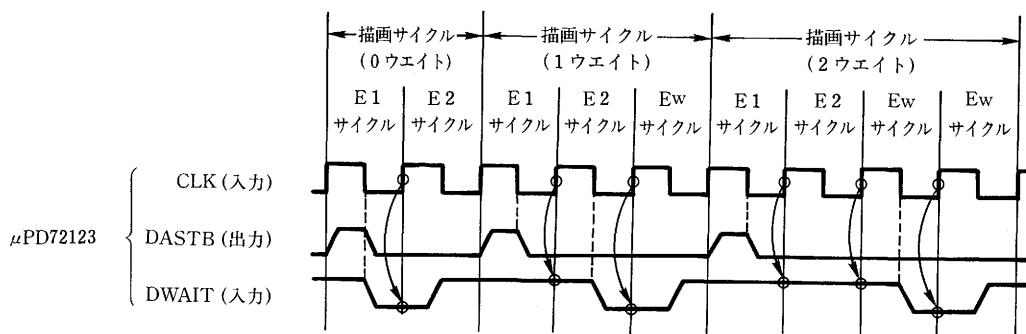


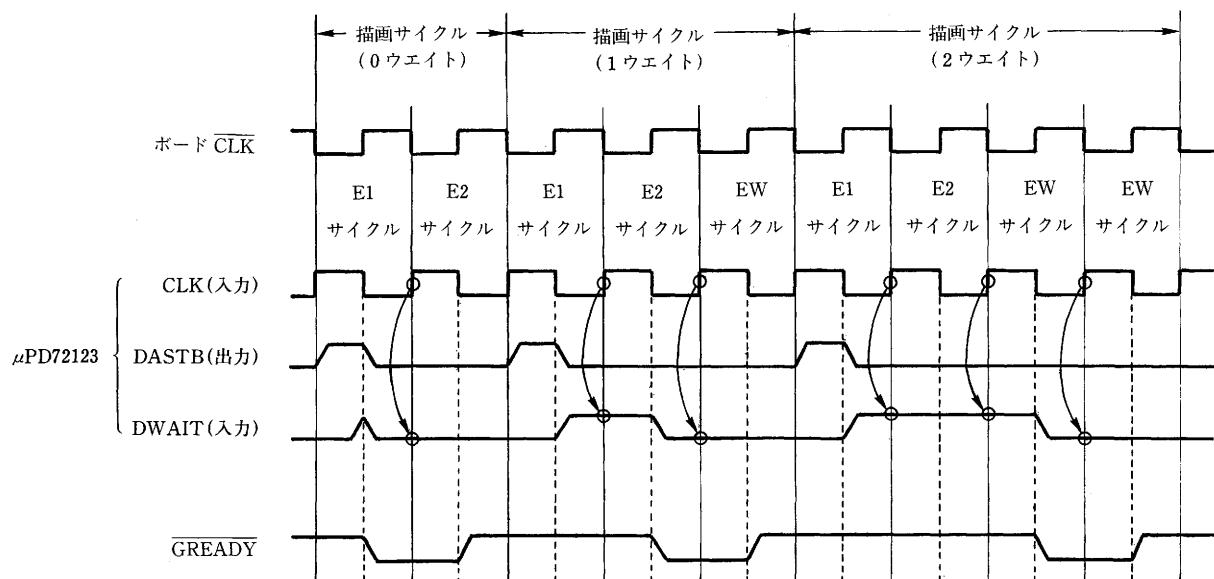
図 3-8 “NORMALLY NOT-READY” の方法による DWAIT 信号設計例



保守／廃止

このボードでは、下図に示すような DWAIT 信号を  $\mu$ PD72123 に入力します。

図 3-9 ボードの DWAIT 信号

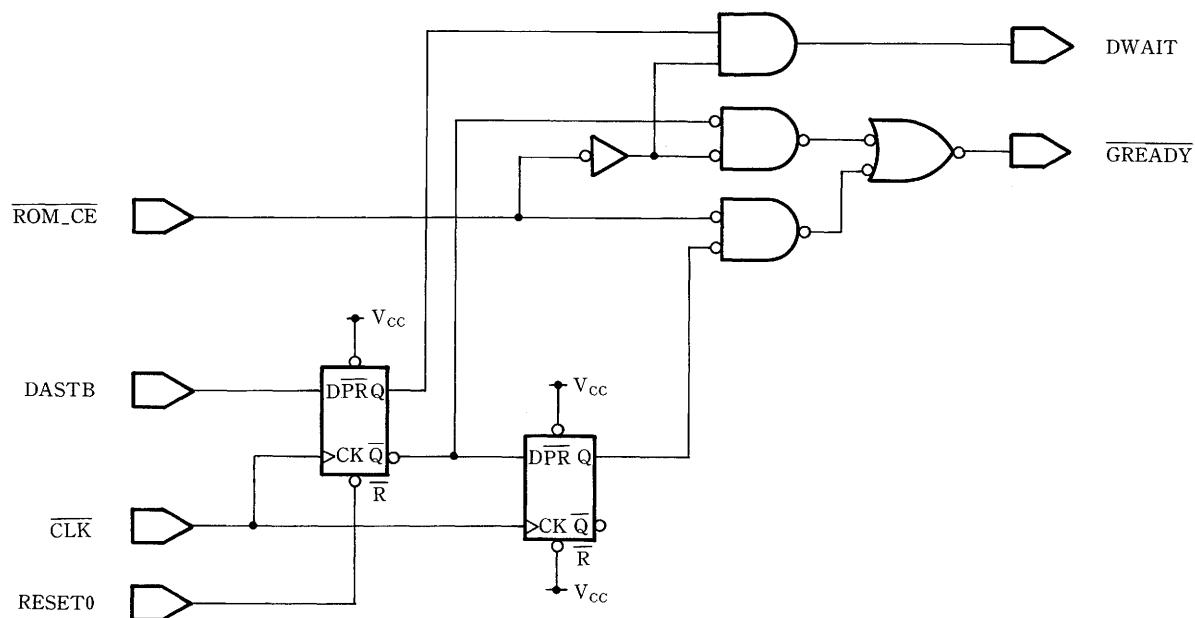


**注意** 実際には、この評価においてウエイト・サイクルが挿入されるのは、漢字 ROM をアクセスする際に 1 ウエイト挿入されるだけです。  
他の場合には、ノンウェイトで動作します。

保守／廃止

$\mu$ PD72123 が出力するアドレスをデコードして、DWAIT 信号、 $\overline{\text{GREADY}}$  信号を作成します。

図 3-10 DWAIT 信号生成回路



**注意** この回路は、DRWMD フラグ=1 (CTRL2 レジスタ) での使用を前提として設計しております  
( $\mu$ PD72123 は、E1 サイクルから  $\overline{\text{DRD}}$ 、または、 $\overline{\text{DWR}}$  の信号をアクティブにします)。

保守／廃止

## (2) CLK 同期のストローブ信号生成回路

DWAIT 生成回路から供給される 2 信号 (CYCLE\_START, CYCLE\_END) をもとに,  $\overline{\text{DRAW}}_{\text{RAS}}$ ,  $\overline{\text{DRAW}}_{\text{CAS}}$  (描画サイクルにおける RAS, CAS 信号) などを生成します。

メモリに書き込むときは、「アーリ・ライト・サイクル」を実行します ( $\overline{\text{WE}}$  信号の方が  $\overline{\text{CAS}}$  信号よりも早く立ち下がります)。

図 3-11 書き込み時「アーリ・ライト・サイクル」を実行する回路例

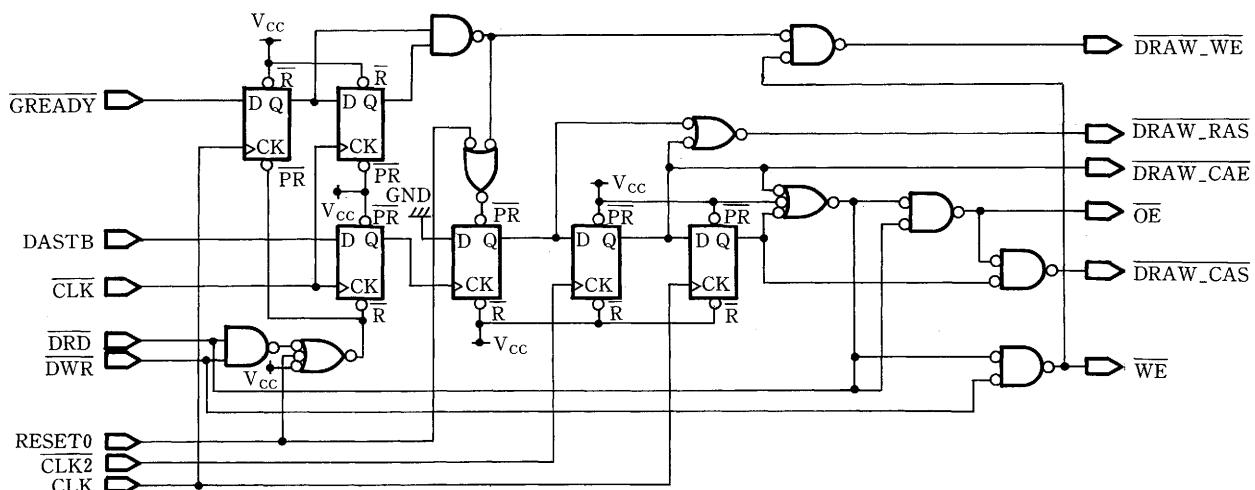
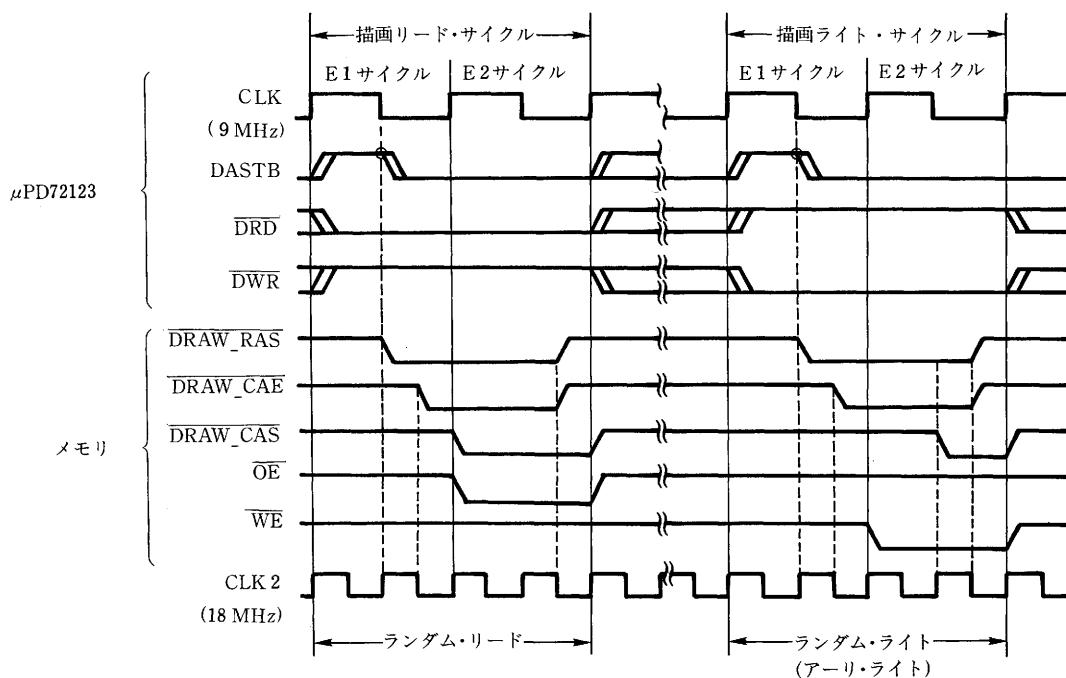


図 3-12 書き込み時「アーリ・ライト・サイクル」を実行する回路例のタイミング



保守／廃止

参考として、「レイト・ライト・サイクル」を実行する回路例も示します。 $\overline{OE}$  入力端子を持つメモリを使用する場合には、「レイト・ライト・サイクル」で設計すれば、回路点数を少し削減できます。

図3-13 書き込み時「レイト・ライト・サイクル」を実行する回路例

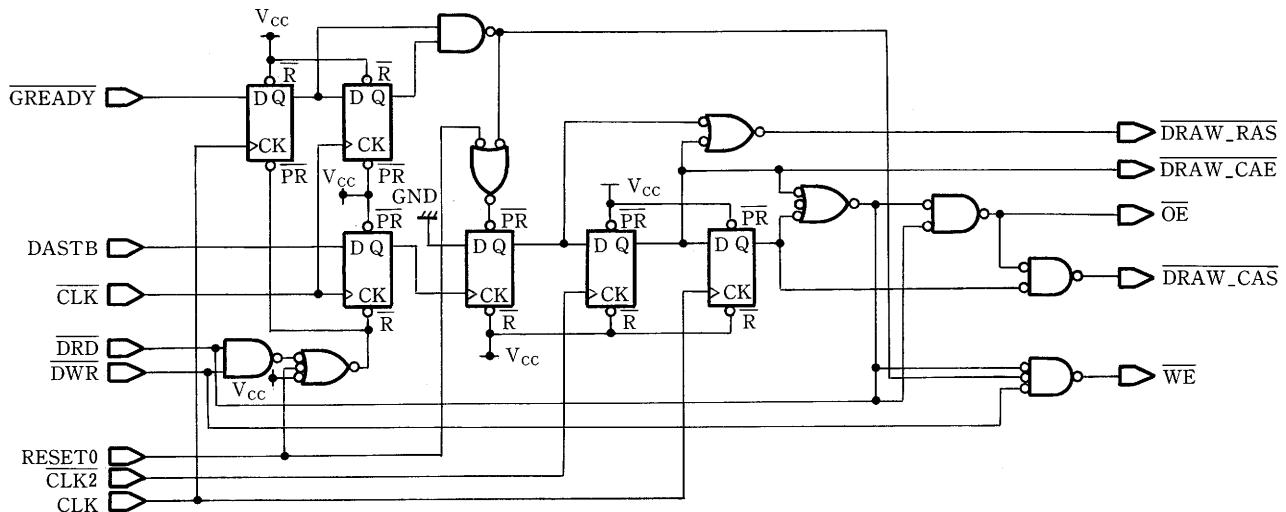
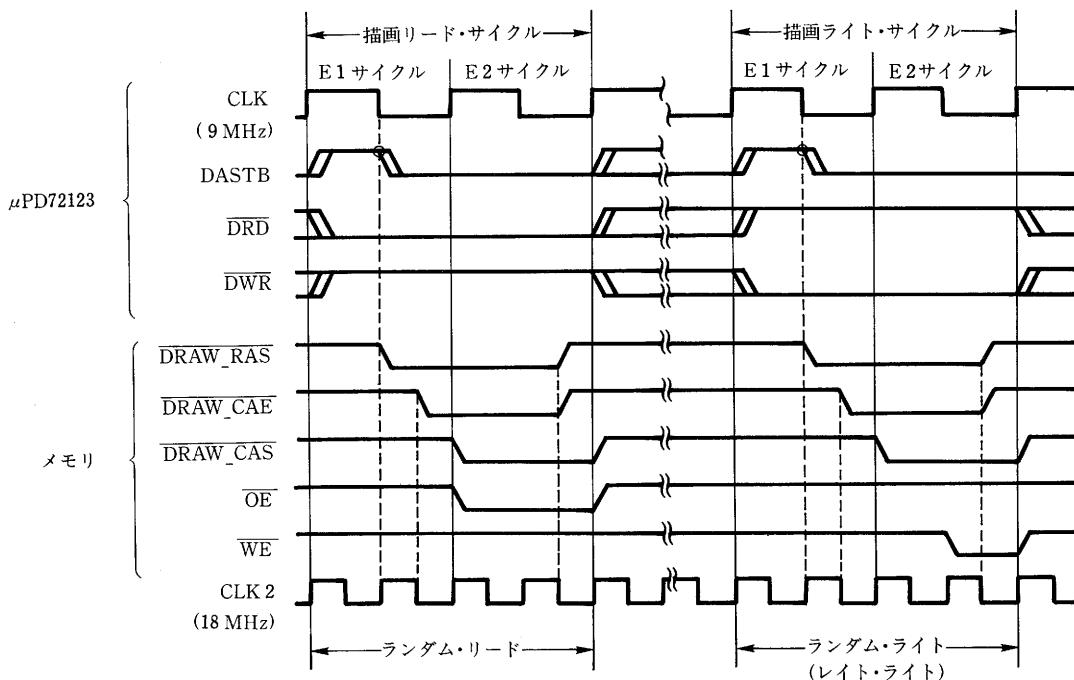


図3-14 書き込み時「レイト・ライト・サイクル」を実行する回路例のタイミング



保守／廃止

## (3) SCLK 同期のストロープ信号生成回路

$\mu$ PD72123 から供給される DASTB 信号をもとに、DISP\_RAS, DISP\_CAE (表示サイクルおよびリフレッシュ・サイクルにおける RAS, CAS 信号) などを生成します。

図 3-15 「DT サイクル」, 「CAS ビフォー RAS リフレッシュ・サイクル」を実行する回路例

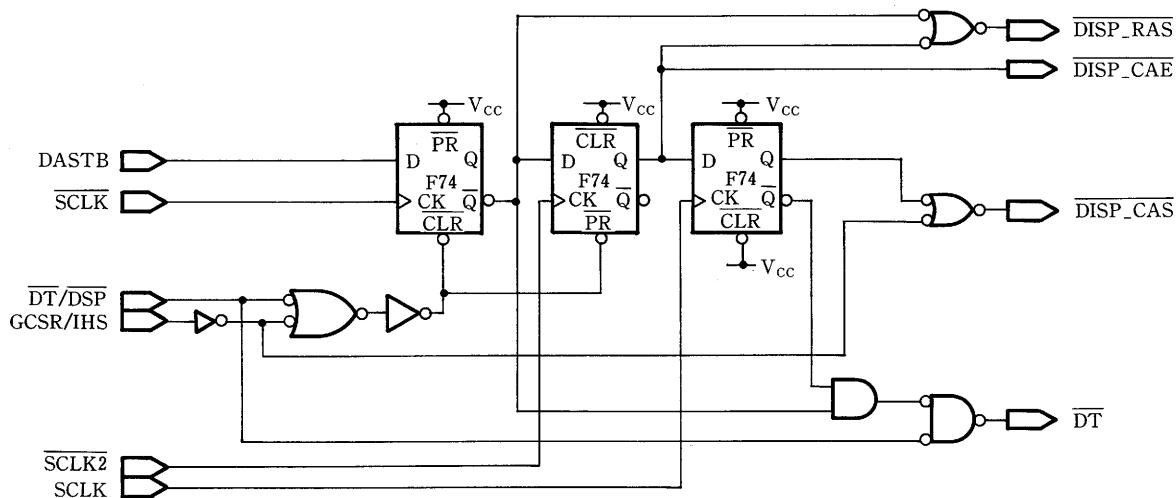
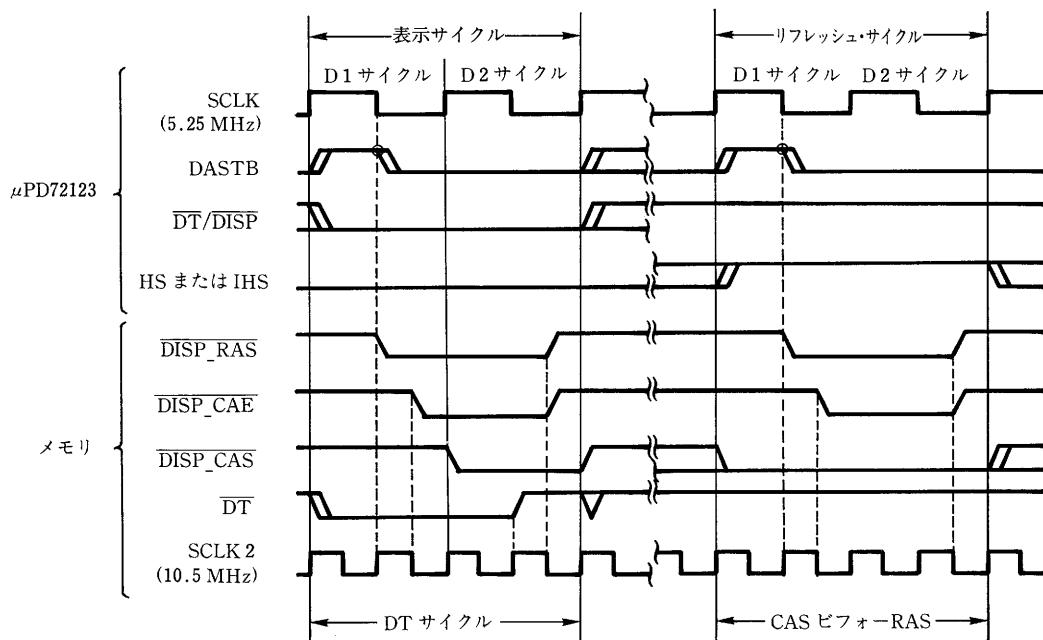


図 3-16 「DT サイクル」, 「CAS ビフォー RAS リフレッシュ・サイクル」を実行する回路例のタイミング



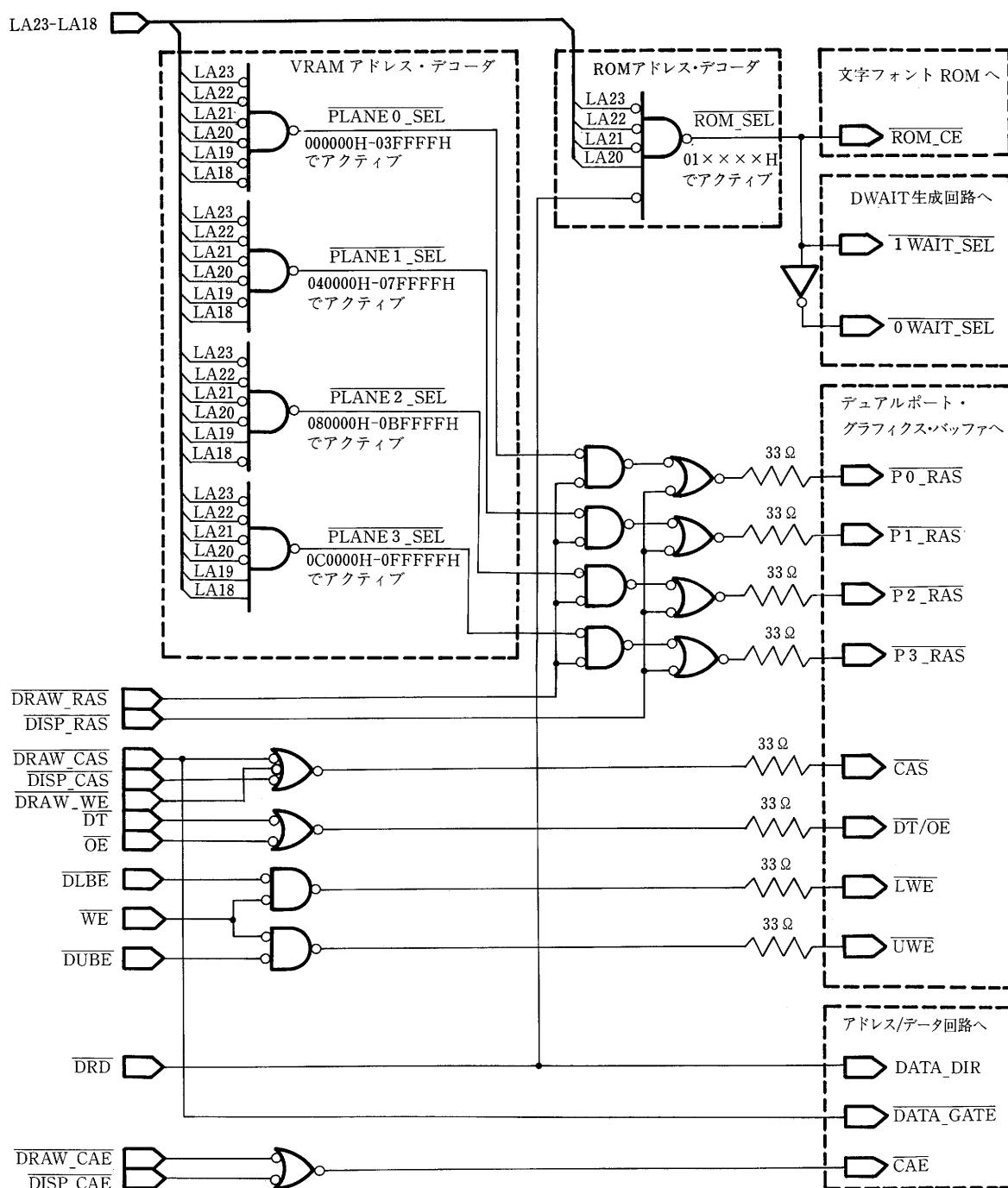
保守／廃止

## (4) CLK同期のストローブ信号とSCLK同期のストローブ信号との合成回路

CLK同期のストローブ信号 (DRAW\_RAS, DRAW\_CAS, OE, WE) と SCLK同期のストローブ信号 (DISP\_RAS, DISP\_CAS, DT) を合成し、デュアルポート・グラフィクス・バッファへ供給する信号を生成します。アンダ・シートを防ぐために、 $33\Omega$  のダンピング抵抗を挿入しています。

以下にその回路を示します。

図3-17 CLK同期のストローブ信号とSCLK同期のストローブ信号との合成回路



保守／廃止

## (5) シリアル・ポート（デュアルポート・グラフィクス・バッファ）の制御信号生成回路

デュアルポート・グラフィクス・バッファのシリアル・ポート部に供給する制御信号を生成する回路とタイミングを以下に示します。

図 3-18 シリアル・ポートの制御信号生成回路

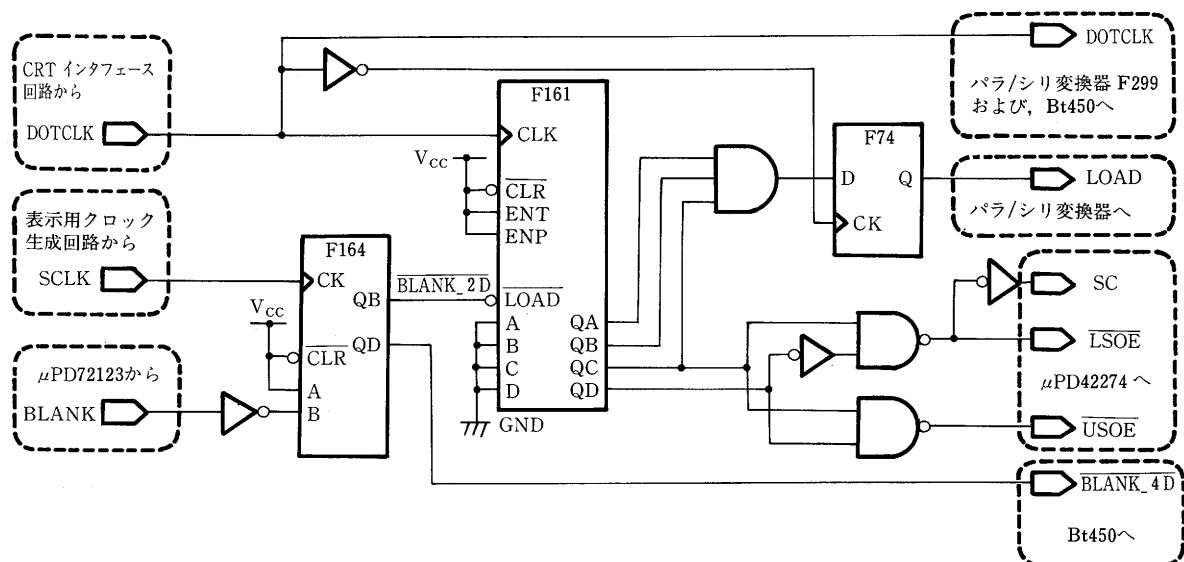
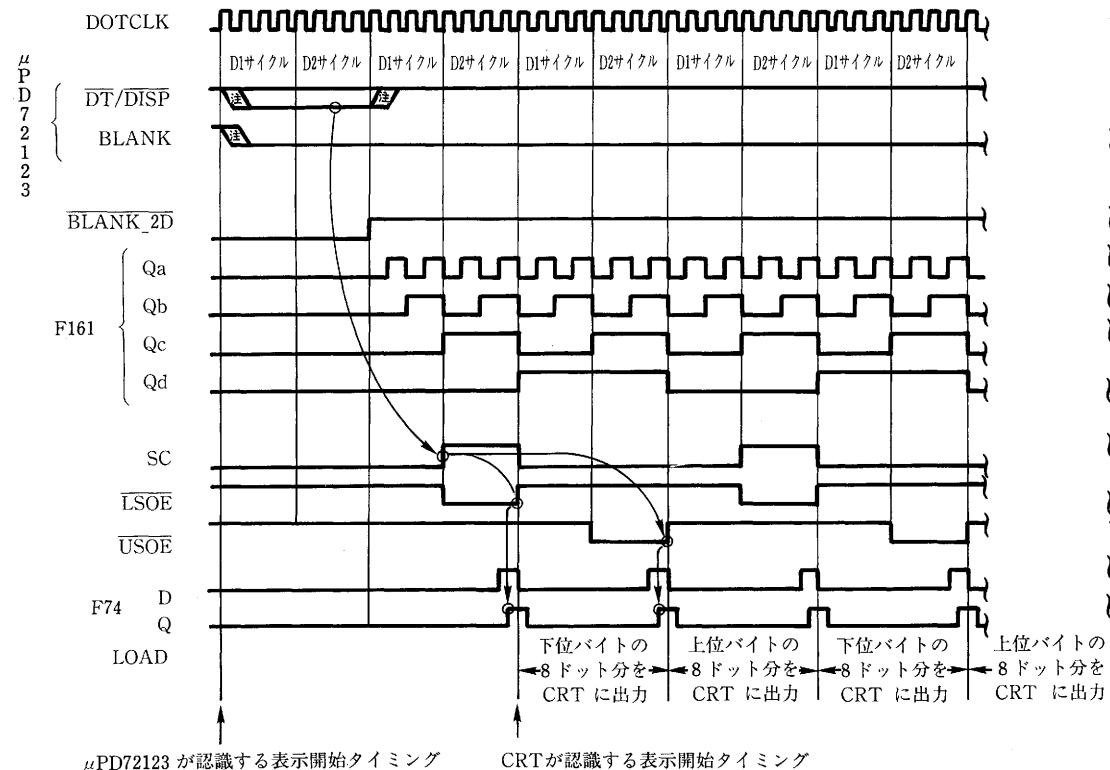
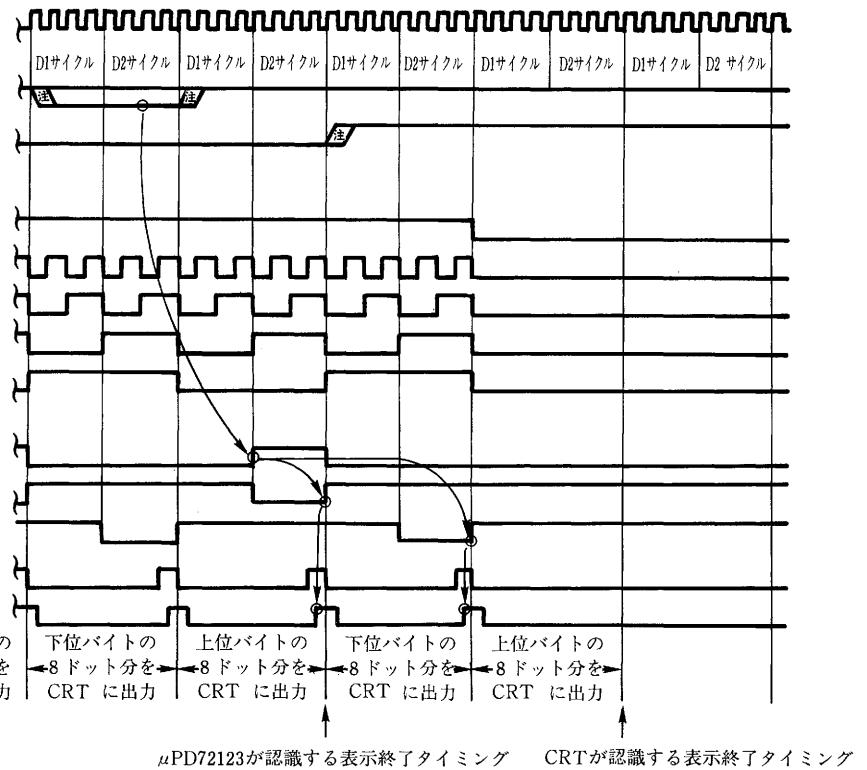


図 3-19 1スキャンライン内での表示開始時（画面左側）のタイミング



注 変化範囲

図 3-20 1スキャンライン内での表示終了時（画面右側）のタイミング



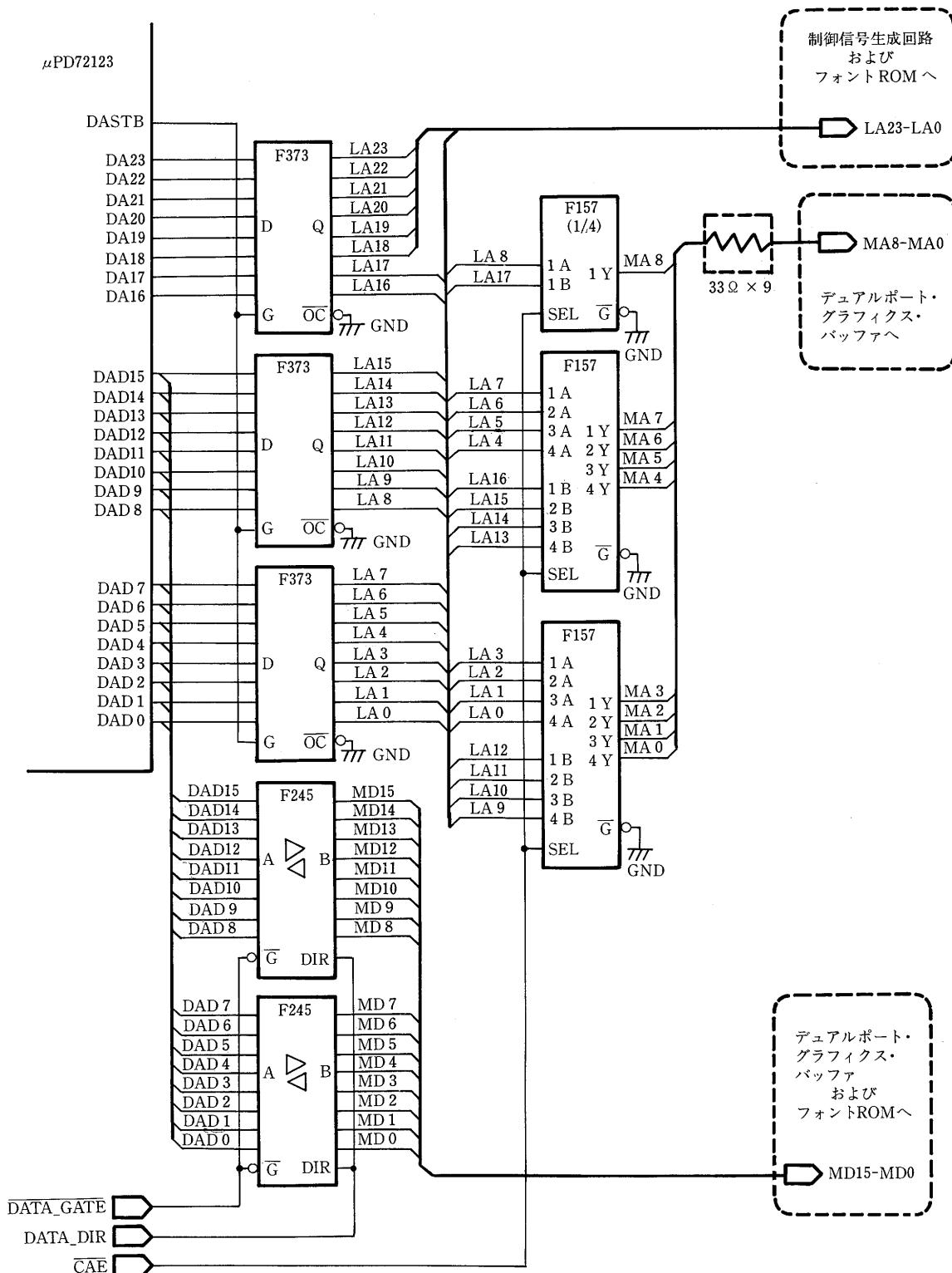
注 変化範囲

保守／廃止

### 3.2.3 アドレス・データ分離回路とアドレス・マルチプレクサ

$\mu$ PD72123は、アドレス/データ・マルチプレクスです。アドレスとデータを分離するために、外部にアドレス・ラッチを設ける必要があります。また、デュアルポート・グラフィックス・バッファに供給するロウ/カラム・アドレス生成のために、アドレス・マルチプレクサも必要です。

図3-21 アドレス・データ分離回路とアドレス・マルチプレクサ



**保守／廃止**

### 3.2.4 デュアルポート・グラフィクス・バッファとパラレル/シリアル変換器

このボードは、メモリ・プレーンを4枚搭載しています。16色同時表示が可能です。

	1 メモリ・プレーンあたり	4 メモリ・プレーン総計
$\mu$ PD42274 の個数	4 個	16 個
容量	512 K バイト (4 M ドット)	2 M バイト (4 M ピクセル)
同時表示可能な色	2 色	16 ( $2^4$ ) 色

各メモリ・プレーンを構成する  $\mu$ PD42274 には、ほとんどの信号を共通信号として供給しています（表3-4参照）。消費電力の削減を図るために、 $\overline{\text{RAS}}$  信号を各メモリ・プレーンのチップ・セレクトとして使用しています（ $\overline{\text{CAS}}$  は共通信号）。したがって、次ページ以降の各メモリ・プレーンの回路図（4 プレーン分）は、以下の2点を除いて同じ回路になっています。

- ①  $\overline{\text{RAS}}$  信号が、それぞれ  $\overline{\text{P0_RAS}}$ ,  $\overline{\text{P1_RAS}}$ ,  $\overline{\text{P2_RAS}}$ ,  $\overline{\text{P3_RAS}}$  となっていること
- ② F299 からのドット・データ出力が、それぞれ P0, P1, P2, P3 となっていること

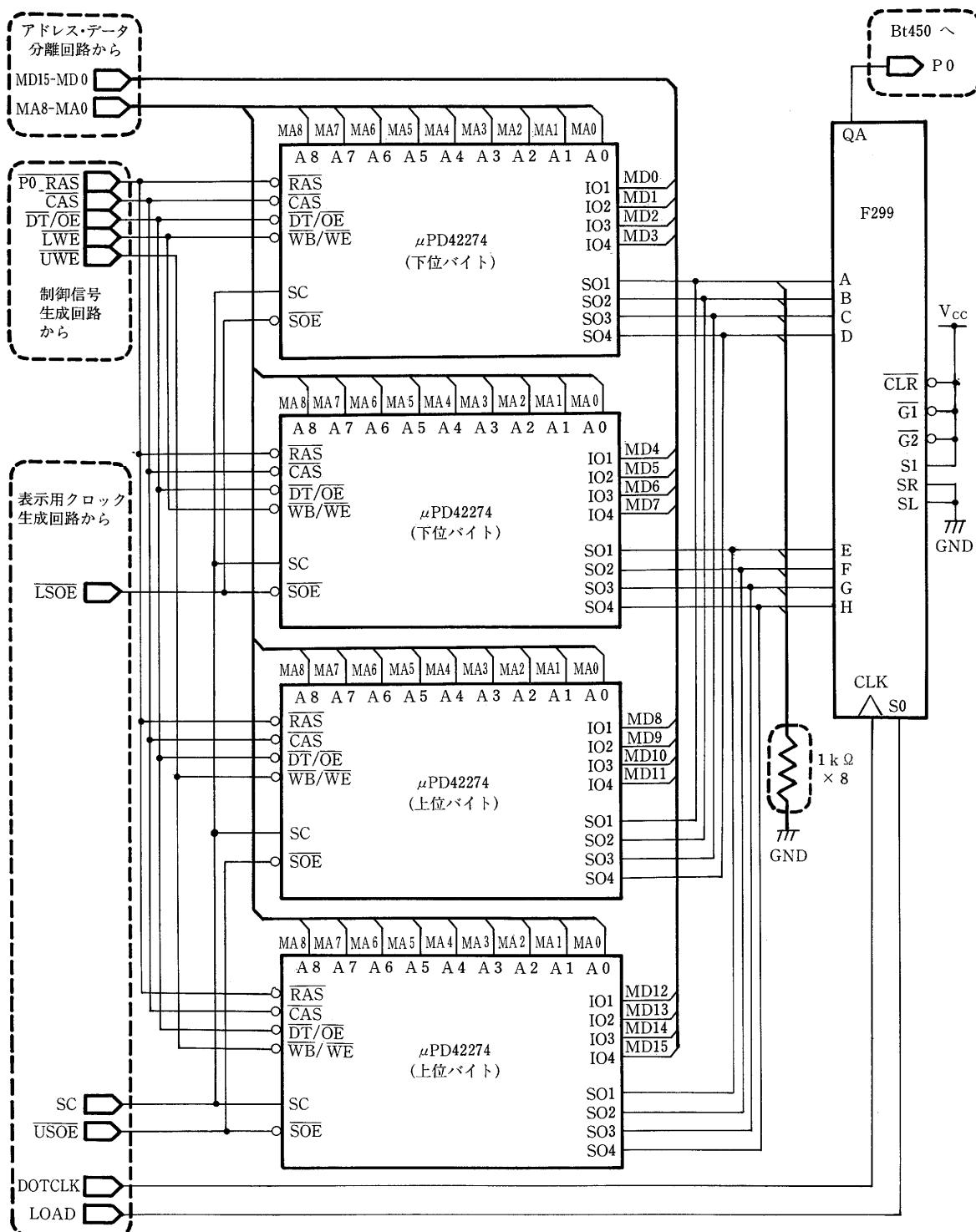
表 3-4 各メモリ・プレーンに供給する制御信号

$\mu$ PD72123が起動するバス・サイクル	$\overline{\text{RAS}}$	$\overline{\text{CAS}}$	$\overline{\text{DT}}/\overline{\text{OE}}$	$\overline{\text{WB}}/\overline{\text{WE}}$
表示サイクル	◎	◎	◎ $\overline{\text{DT}}$ 信号	×
リフレッシュ・サイクル	◎	◎ CASビフォーRAS	×	×
描画サイクル	下位バイト書き込み	○	×	◎ $\overline{\text{LWE}}$ (下位バイト $\overline{\text{WE}}$ )のみがアクティブ
	上位バイト書き込み		×	◎ $\overline{\text{UWE}}$ (上位バイト $\overline{\text{WE}}$ )のみがアクティブ
	ワード書き込み		×	◎ $\overline{\text{LWE}}$ (下位バイト $\overline{\text{WE}}$ ) $\overline{\text{UWE}}$ (上位バイト $\overline{\text{WE}}$ )ともにアクティブ
	読み出し		◎	×

- ◎：すべてのプレーンでアクティブ
- ：どれか1つのプレーンでアクティブ
- ×：すべてのプレーンでインアクティブ

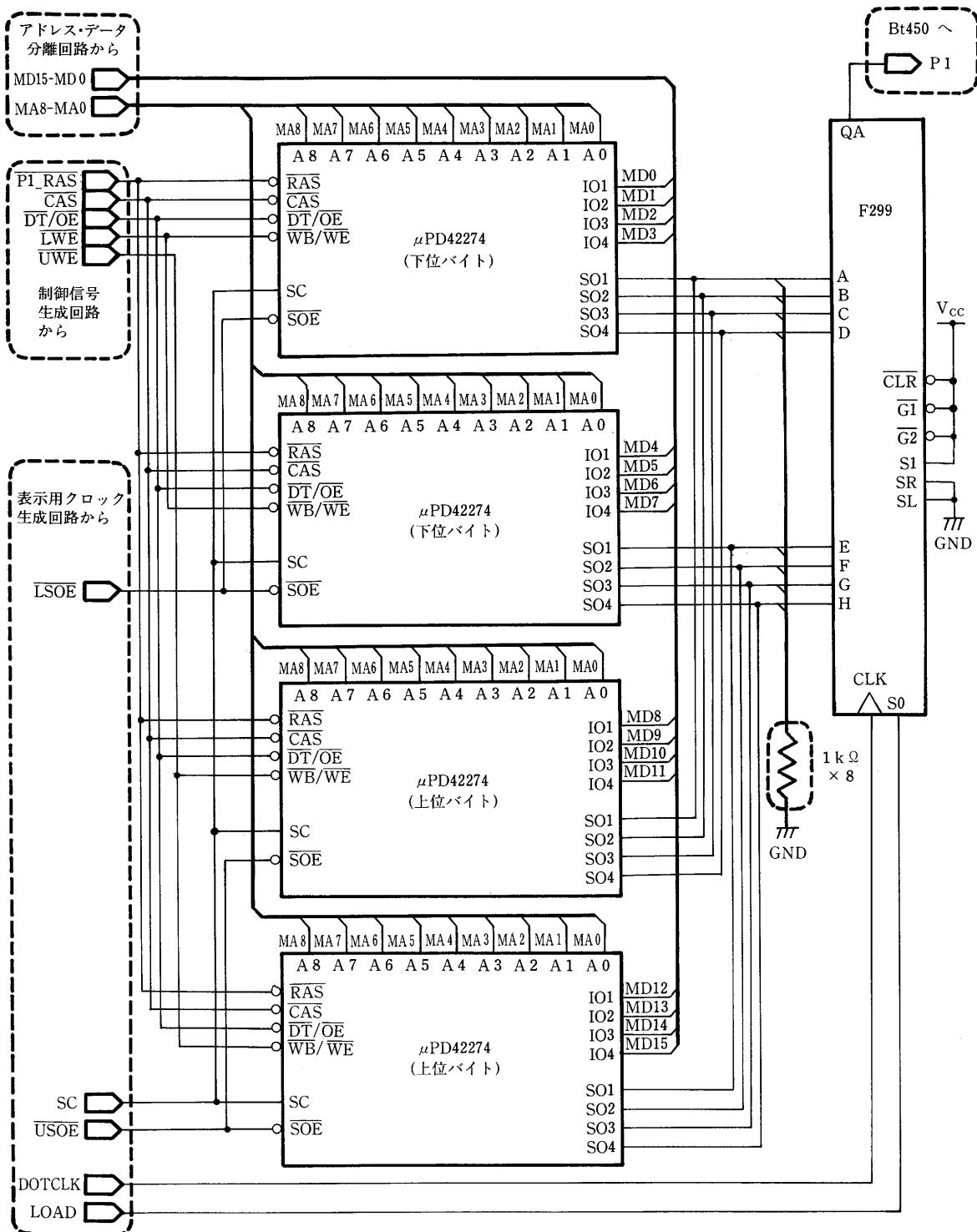
保守／廃止

## (1) 第1メモリ・プレーン (PLANE0)



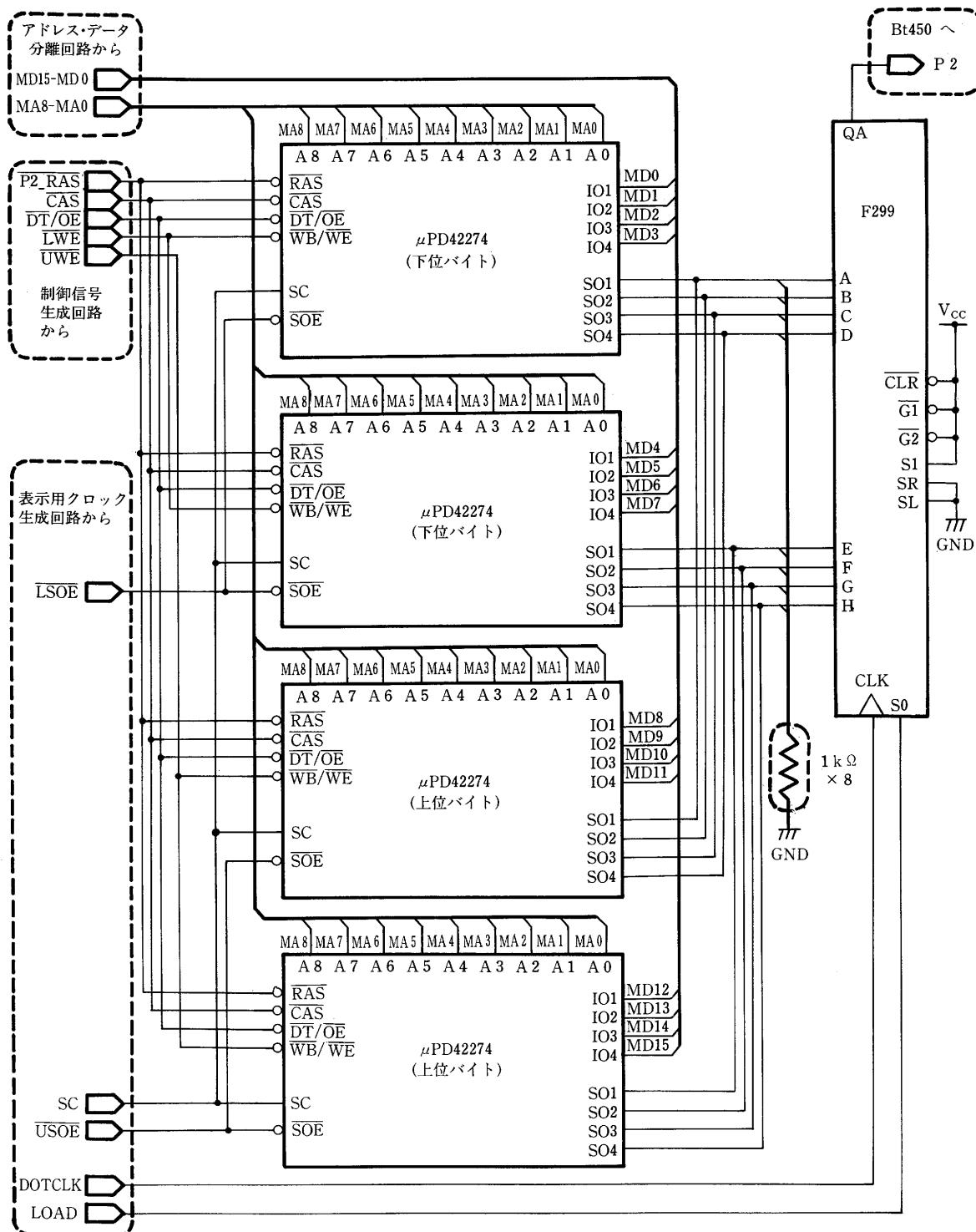
保守／廃止

## (2) 第2メモリ・プレーン (PLANE1)



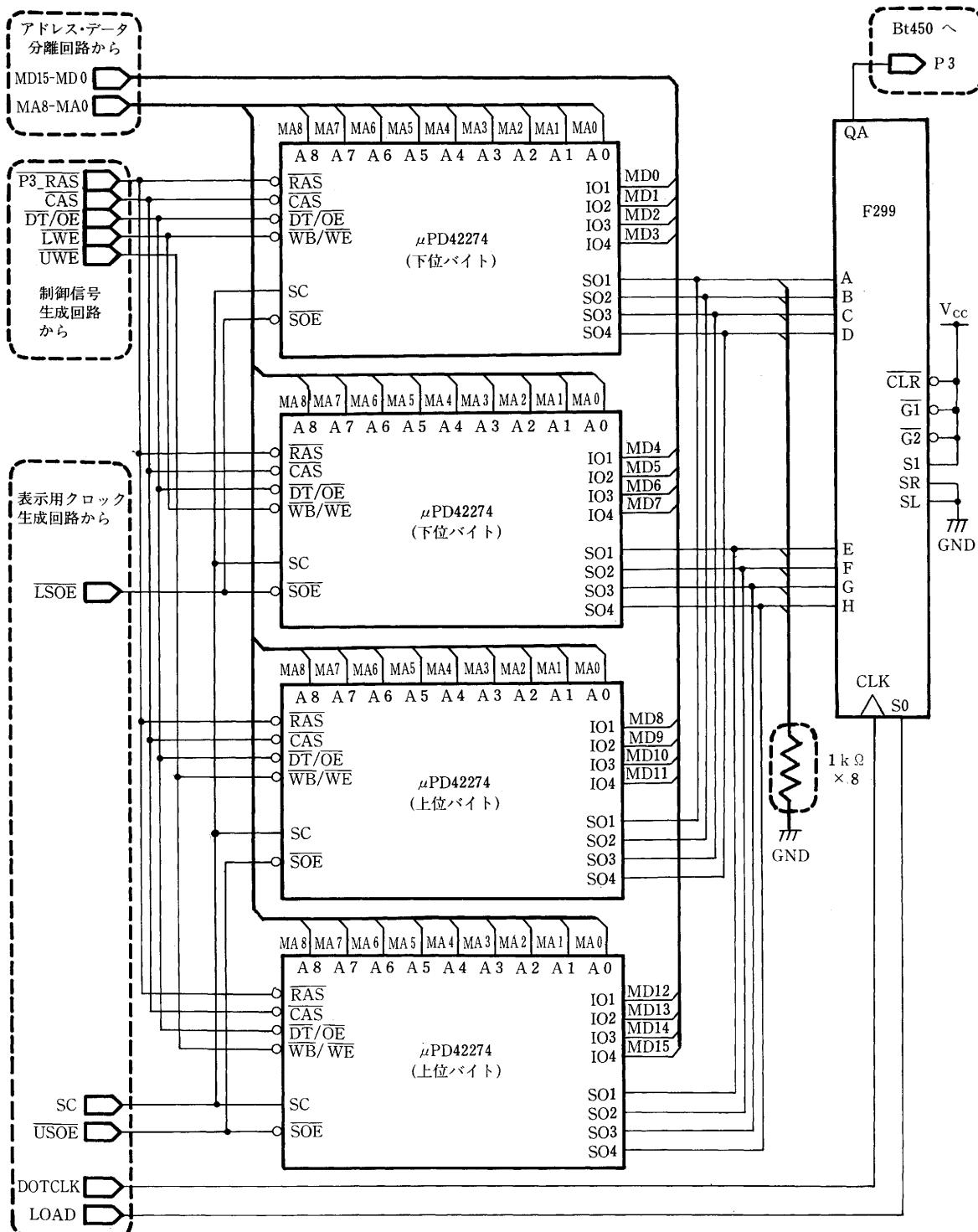
保守／廃止

## (3) 第3メモリ・プレーン (PLANE2)



保守／廃止

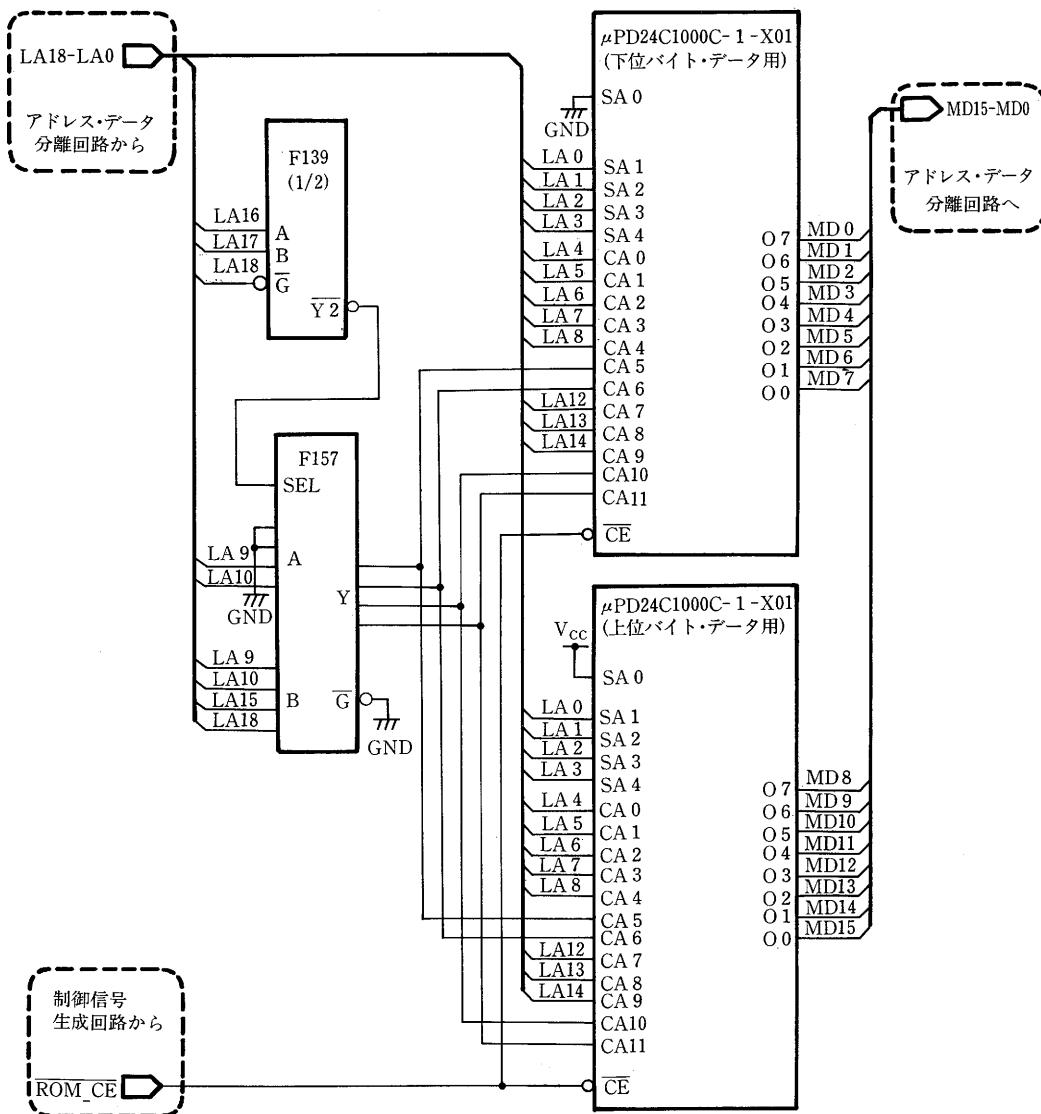
## (4) 第4メモリ・プレーン (PLANE3)



### 3.2.5 文字フォント ROM

16×16ドットの文字フォント ROM を、μPD72123 と接続させる回路例を以下に示します。

図 3-22 文字フォント ROM



注意 1. μPD72123 は画面左側が LSB, μPD24C1000C は画面左側が MSB のため、データ・バスをリバースさせて接続します。

2. μPD24C1000C-1-X01 は 8 ビット・データ・バスを持っています。これを 2 個使用することにより、16 ビット・バスを構成しています。μPD24C2000C-X01 の場合は、1 個の使用でできます。ただし、μPD24C2000C-X01 のアクセス・タイムは 250 ns ですので、2 ウエイ・ステート・サイクル挿入になる可能性があります。

## 第4章 CRT インタフェース回路

### 4.1 概 要

この章では、CRT インタフェース回路の設計例を説明します。

ボードは、CRT に対する表示方法という観点から、次の 2 つの動作モードを持っています。

- スーパーインポーズ・モード
- スタンドアロン・モード

	スーパーインポーズ・モード	スタンドアロン・モード
基本動作	PC9801 の画面に $\mu$ PD72123 の画面を重ね合わせて CRT に表示します。	$\mu$ PD72123 の画面のみを CRT に表示します。
必要な CRT	アナログ CRT 1 台 <small>注</small>	アナログ CRT 1 台 <small>注</small> ( $\mu$ PD72123 の画面出力用) と PC9801 用の通常の CRT (PC9801 の画面出力用) 合計 2 台
CRT 同期信号	PC9801 から供給されます。 $\overline{HSYNC}$ , $\overline{VSYNC}$ を使用します。	$\mu$ PD72123 が発生します。
CRT 同期信号の基準となるドット・クロック	PC9801 から供給される $\overline{HSYNC}$ をもとに VCO (Voltage Controlled Oscillator) が発生します。	ボード上に搭載されています。 ドット・クロック用水晶発振器が発生します。
$\mu$ PD72123 の動作モード	スレーブ・モード	マスター・モード
ドット・クロック周波数	21.0526 MHz	
表示解像度	640×400 (ノンインターレース)	
水平同期周波数	24.83 KHz (40.28 $\mu$ s)	
垂直同期周波数	56.43 Hz (17.72 ms)	

注 アナログ CRT とは、PC9801 用のアナログ CRT として一般的に販売されているもの (N5913, N5924, PC-TV451, PC-TV453 など) を指します。

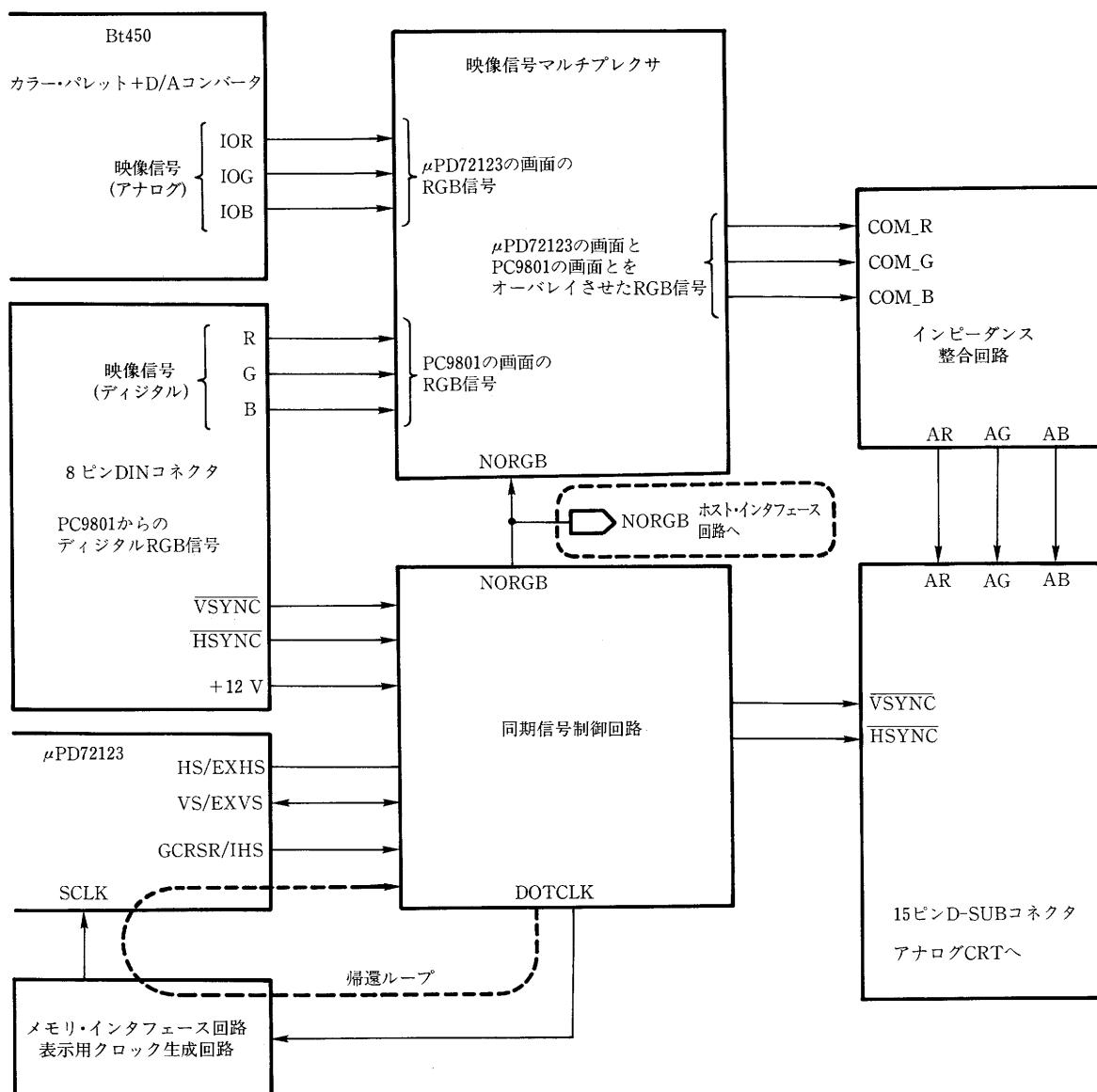
**備考** スーパーインポーズ・モードは、カラー・パレット Bt450 が出力するアナログ映像信号 ( $\mu$ PD72123 が管理する表示メモリ内容) と、PC9801 が出力するディジタル映像 (PC9801 内の VRAM 内容) とを重ねて表示します。

保守／廃止

#### 4.1.1 CRT インタフェース回路のブロック図

PC9801 からの 8 ピン DIN コネクタ (デジタル RGB 信号) 内の +12 V 端子をスイッチ信号として以下のように使用しています。

- ・スーパーインポーズ・モード : +12 V 端子が +12 V のとき (8 ピン DIN コネクタが接続されている)
- ・スタンダードアロン・モード : +12 V 端子が 0 V のとき (8 ピン DIN コネクタが接続されていない)



**保守／廃止**

#### 4.1.2 CRT の仕様

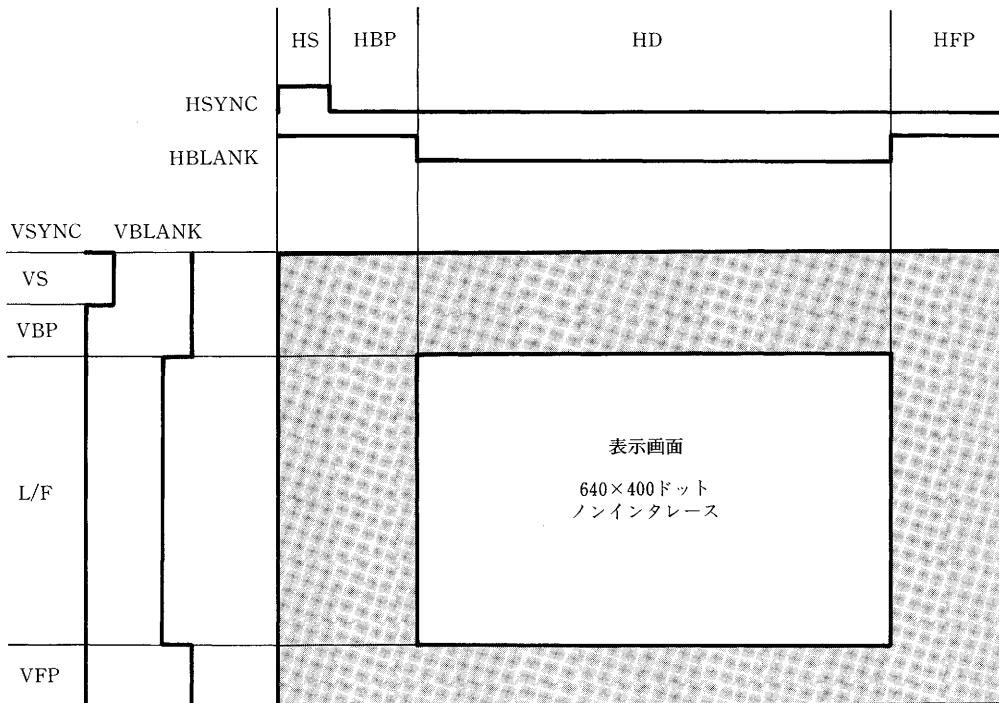
作成目標とする同期信号、映像信号の仕様 (CRT に対する入力信号仕様) を以下に表と図で示します。

表 4-1 CRT に対する入力信号仕様

水平	HS	HBP	HD	HFP	合計
推奨値 ( $\mu\text{s}$ )	3.04	3.80	30.4	3.04	40.28 (24.83 KHz)

垂直	VS	VBP	L/F	VFP	合計
推奨値 (ms)	0.322	1.01	16.11	0.282	17.72 (56.43 Hz)

図 4-1 CRT に対する入力信号仕様

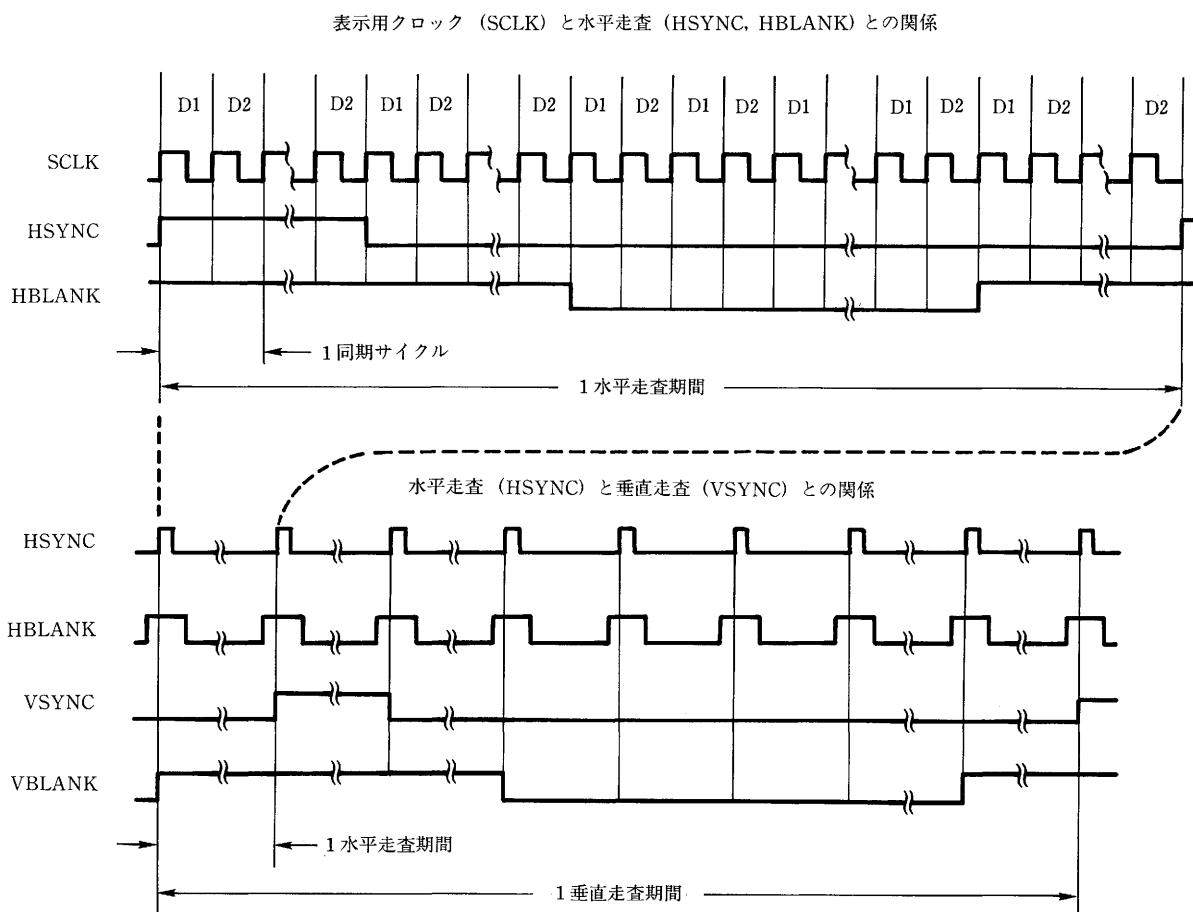


保守／廃止

スーパーインポーズ・モードは、PC9801 から供給される HSYNC, VSYNC 信号を CRT に出力します。スタンダードアロン・モードは、 $\mu$ PD72123 が出力する IHS, VS 信号をインバートしたものを CRT に出力します。

$\mu$ PD72123 に入力する表示用クロック (SCLK) と水平走査 (HSYNC, HBLANK) とのタイミングの関係、および水平走査 (HSYNC) と垂直走査 (VSYNC) とのタイミングの関係を下図に示します。

図 4-2 表示用クロックと水平走査、および水平走査と垂直走査との関係



注意  $\mu$ PD72123 は、HBLANK, VBLANK 信号を論理 OR したものを BLANK 信号として出力します。

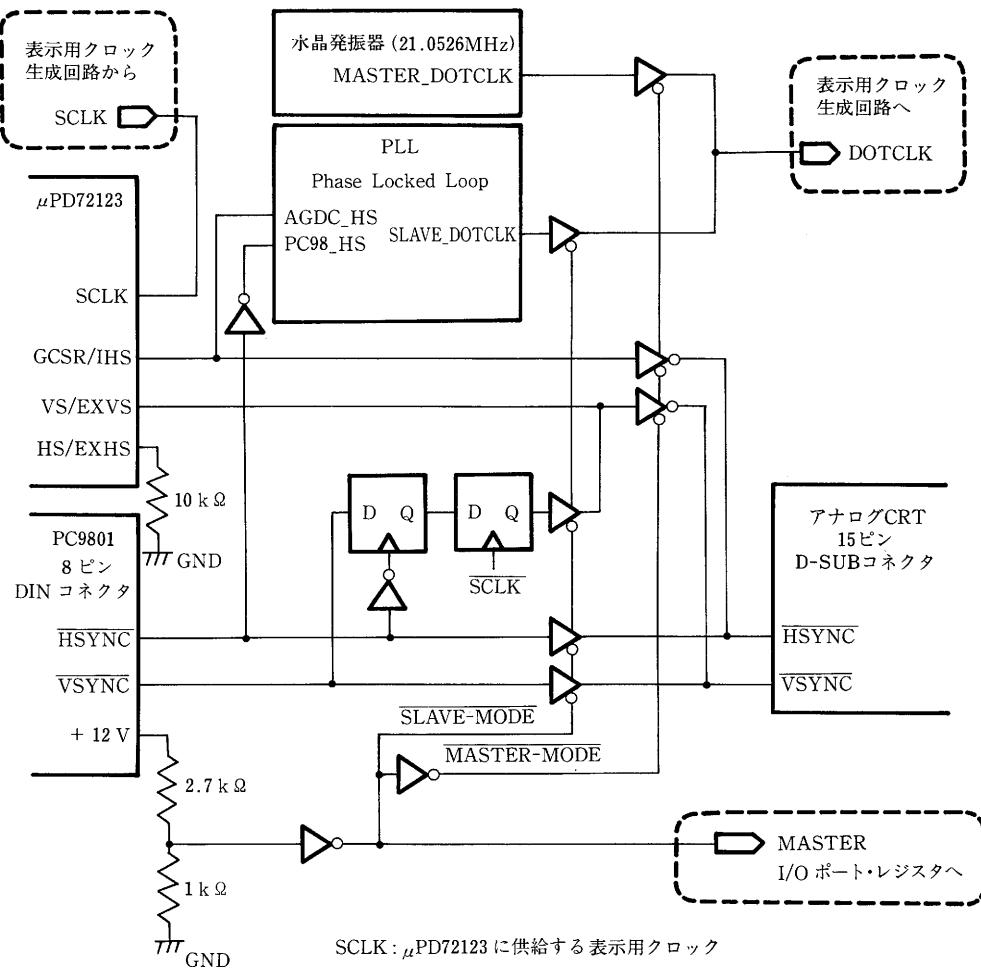
保守／廃止

## 4.2 各ブロックの回路

### 4.2.1 同期信号制御回路

CRT に供給する同期信号 ( $\overline{\text{HSYNC}}$ ,  $\overline{\text{VSYNC}}$ ) を生成する回路です。スーパーインポーズ・モードでは、PC9801 から供給される  $\overline{\text{HSYNC}}$ ,  $\overline{\text{VSYNC}}$  信号を利用しています。また、スタンダードアロン・モードでは、 $\mu\text{PD}72123$  が発生する VS, IHS 信号を利用しています。

図 4-3 同期信号制御回路



**注意 1.** PC9801 から出力される垂直同期 ( $\overline{\text{VSYNC}}$ ) は、水平フロント・ポーチの開始時期（画面右端）に同期して立ち上がり/立ち下がります。また、 $\mu\text{PD}72123$  は入力される垂直同期信号 (EXVS) が水平フロント・ポーチの終了時期 (HS の立ち上がり同期) で入力されるものとして同期化動作をします。したがって、PC9801 からの垂直同期信号を水平同期信号でクロッキングしています。

**2.**  $\mu\text{PD}72123$  は、PC9801 からの垂直同期信号を SCLK の立ち下がりでクロッキングしています（入力される表示用クロック SCLK の立ち上がりエッジにおいて、EXVS をサンプリングします）。

保守／廃止

各モードでの信号経路を以下に示します。

図 4-4 スーパーインポーズ・モード（MASTER 信号がインアクティブ）時の信号経路

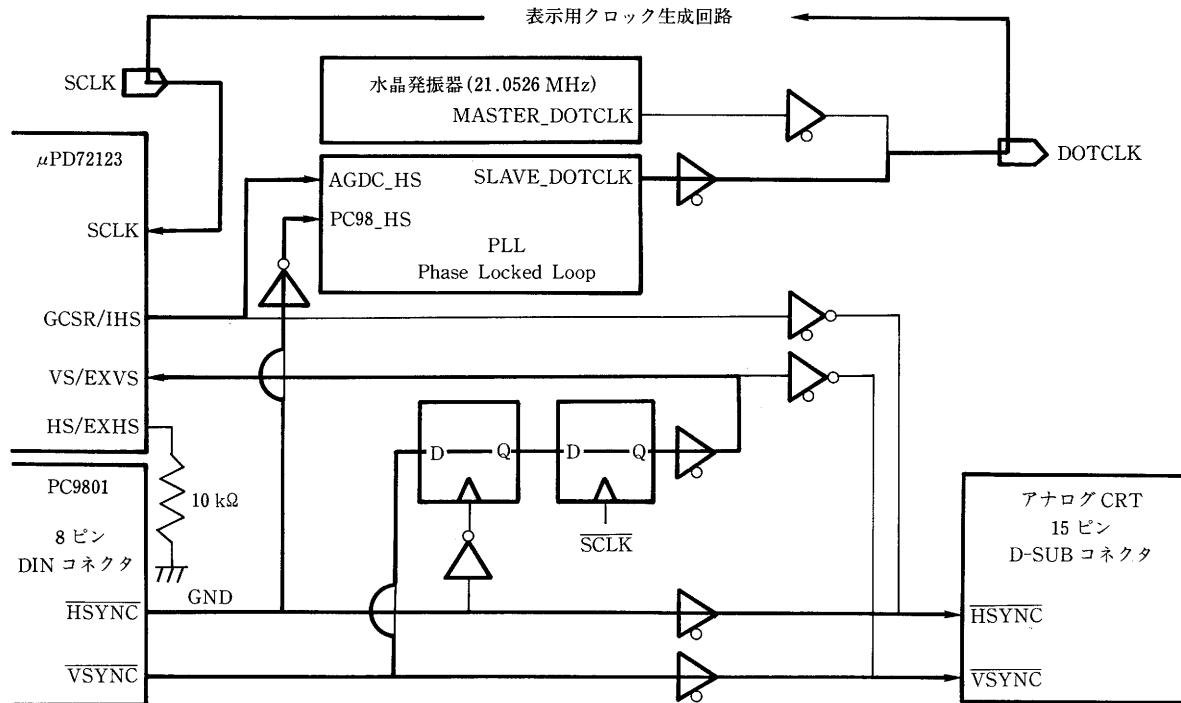
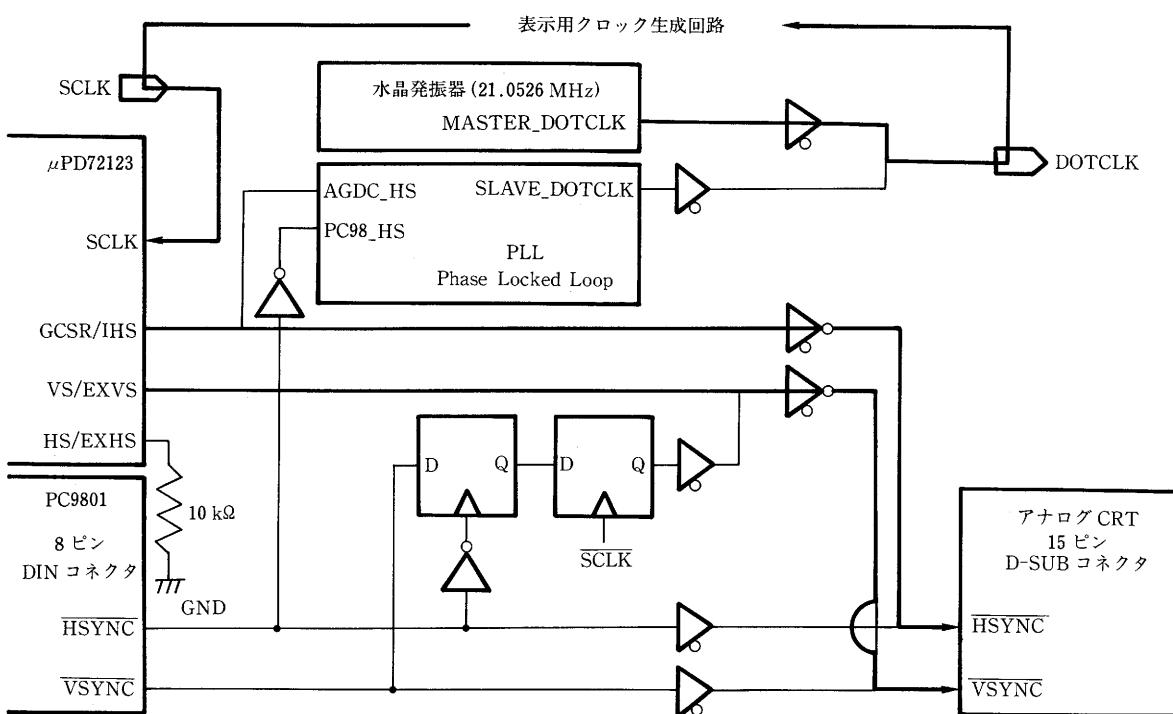


図 4-5 スタンドアロン・モード（MASTER 信号がアクティブ）時の信号経路



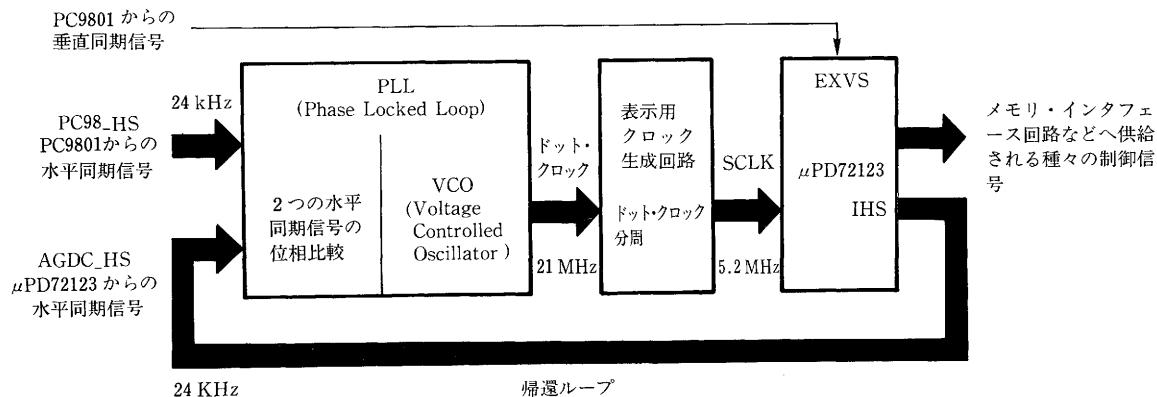
保守／廃止

	スーパーインポーズ	スタンドアロン
コネクタ接続状態	8 ピン DIN コネクタには、PC9801 のディジタル RGB 出力が接続されています。	8 ピン DIN コネクタには、何も接続されていません。
識別信号	MASTER 信号がインアクティブ（ロウ・レベル）	MASTER 信号がアクティブ（ハイ・レベル）
PC9801の CPU が実行するべき処理	MASTER 信号 (I/O ポート 00D0H 番地のビット 0) を CPU が読み出します。 MASTER = 0 の事実に基づいて、μPD72123 をスレーブ・モードに設定します。	MASTER 信号 (I/O ポート 00D0H 番地のビット 0) を CPU が読み出します。 MASTER = 1 の事実に基づいて、μPD72123 をマスター・モードに設定します。
CRT に供給する水平同期信号	PC9801 からの <u>HSYNC</u> 信号	μPD72123 の IHS 信号をインバートしたもの
CRT に供給する垂直同期信号	PC9801 からの <u>VSYNC</u> 信号	μPD72123 の VS 信号をインバートしたもの

スーパーインポーズ・モードでは、μPD72123 を、PC9801 からの CRT 同期信号 (μPD72123 に対して非同期な信号) に同期させてください。したがって、このボードでは下表のような設計方針で同期合わせをしています。

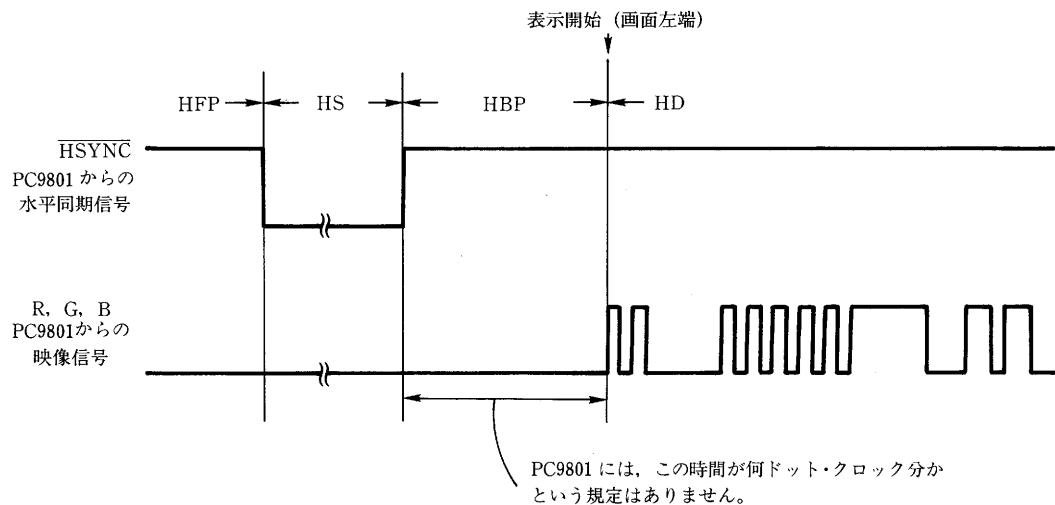
	動作
水平同期合わせ	PLL 回路使用 PC98_HS 信号 (PC9801 からの <u>HSYNC</u> 信号をインバートしたもの) と AGDC_HS 信号 (μPD72123 からの IHS 信号) とを位相比較し、ドット・クロックを VCO により発生させます。 (μPD72123 の HS/EXHS 端子には、HSYNC を供給していません。)
垂直同期合わせ	VSYNC 信号 (PC9801 からの <u>VSYNC</u> 信号をインバートしたもの) を EXVS 信号として、μPD72123 の VS/EXVS 端子に供給します。

図 4-6 PLL に着目した場合の回路ブロック



保守／廃止

このボードをスーパーインポーズ・モードで使用したとき、PC9801 画面と  $\mu$ PD72123 画面とが、水平方向に 3 ドット以下 (SCLK の 1 周期は 4 ドット・クロック) のずれを生じる状態で、PLL がロックすることがあります。この原因は、下図の HBP 時間がドット・クロック周期の単位で規定されていなかっためです。

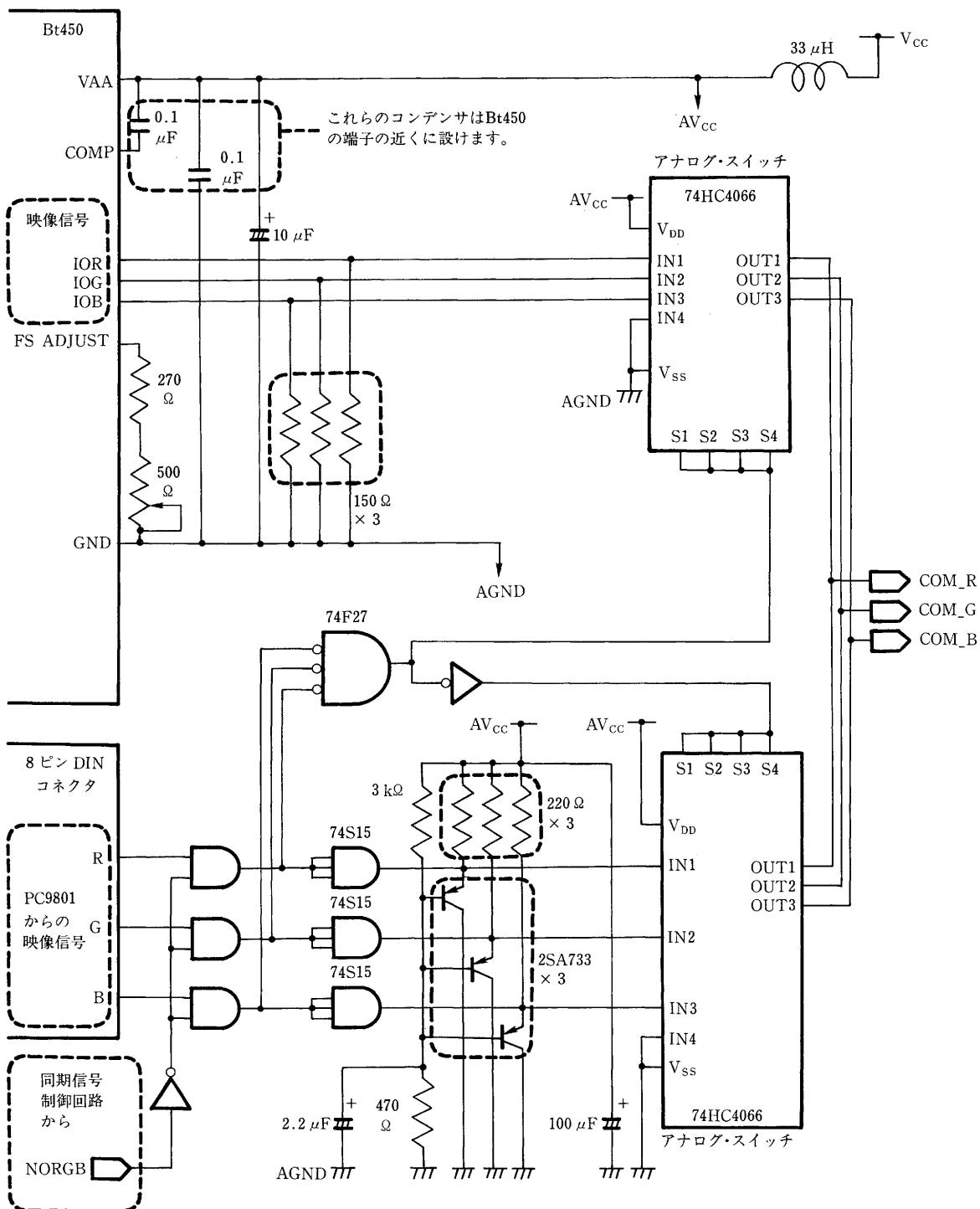


保守／廃止

### 4.2.2 映像信号マルチプレクサ

以下に示す回路は、アナログ回路を含んでいます。電源、グランドのノイズが画面上にそのまま現れますので、その引き回しには注意してください。

図 4-7 映像信号マルチプレクサ



注意 この回路は、論理的には添付回路と同じですが、回路構成が異なります。

保守／廃止

### (1) Bt450 に関する留意点

Bt450 のアナログ RGB 出力を  $1.4 \text{ V}_{\text{P-P}}$  (peak-to-peak) にするために (「**4.2.3 インピーダンス整合回路**」参照), グランドと IOR, IOG, IOB 間にそれぞれ  $150 \Omega$  の抵抗を挿入しています。

Bt450 の IOG 信号 (アナログの緑信号) を IOR, IOB 信号と同様に  $1.4 \text{ V}_{\text{P-P}}$  にするために, Bt450 の SYNC 入力端子にロウ・レベルを供給 (常時アクティブ) しています (「**3.1.1 メモリ・インターフェース回路のブロック図**」参照)。

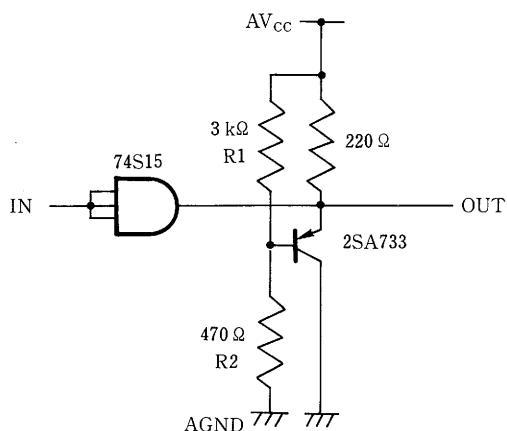
通常, アナログ CRT は, 水平バック・ポーチ期間および水平フロント・ポーチ期間の電圧を基準電圧として, 直流再生を行います。この両期間において, Bt450 の IOR, IOG, IOB 信号の電圧を BLANK レベル<sup>注</sup>にするために, BLANK\_4D 信号 ( $\mu\text{PD}72123$  が出力する BLANK 信号を SCLK で 4 周期分遅らせてインバートした信号) を, Bt450 の BLANK 入力端子に供給しています (「**3.1.1 メモリ・インターフェース回路のブロック図**」参照)。

**注** RS-343A 規格での BLANK レベル ( $= 0.000 \text{ V}$ ) であり, 黒色 (輝度 0) を表す BLACK レベル ( $= 0.054 \text{ V}$ ) とは異なります。

### (2) 電圧スライサに関する留意点

下図の回路によって, アナログ・スイッチ 74HC4066 に対する RGB 信号入力電位を  $0 \text{ V}$  から  $2.5 \text{ V}$  までにしています。2SA733 のベース電位 (下図の R1 と R2 との抵抗分割比) が, PC9801 の RGB 信号の輝度を決定します。

図 4-8 電圧スライサ



入力信号	74S15の出力 <sup>注1</sup>	2SA733の状態	出力信号
ロウ・レベル	$0 \text{ V}$ <sup>注2</sup>	しゃ断 ( $V_{BE}$ 述バイアス)	$0 \text{ V}$ <sup>注2</sup>
ハイ・レベル	Hi-z	アクティブ	$1.4 \text{ V}$

**注 1.** 74S15 はオープン・コレクタ出力

**2.** 実際には,  $0.4 \text{ V}$  程度になる可能性があります。

$$5 \text{ V} \times \frac{470 \Omega}{470 \Omega + 3 \text{ k}\Omega} + 0.7 \text{ V} = 1.4 \text{ V}$$

$\uparrow$   
2SA733 のベース電位  
 $\uparrow$   
2SA733 の  $V_{BE}$  (ベース, エミッタ間電圧)

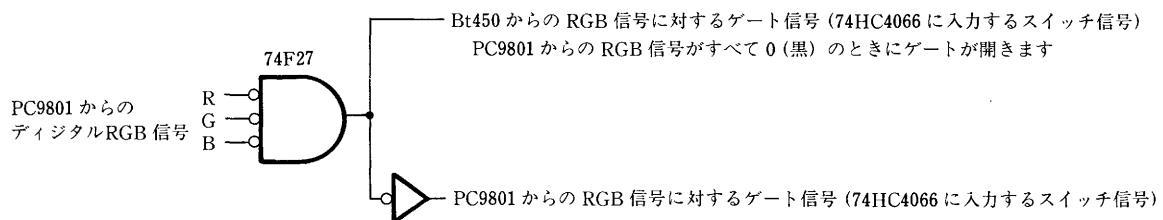
この電圧レベルが PC9801 の映像信号の輝度になります。

保守／廃止

**(3) RGB 信号スイッチ (PC9801 の RGB 信号と Bt450 の RGB 信号との切り替え) に関する留意点**

下図のように、PC9801 からの RGB 信号がすべてロウ・レベル（黒）のときにのみ、Bt450 からの RGB 信号が output されます（PC9801 の映像信号が黒である状態をトランスペアレシングとして、表示メモリ ( $\mu$ PD72123 が管理するメモリ) の内容が表示されます）。

図 4-9 RGB 信号スイッチ



**注意** この回路は、論理的には添付回路と同じですが、回路構成が異なります。

保守／廃止

### 4.2.3 インピーダンス整合回路

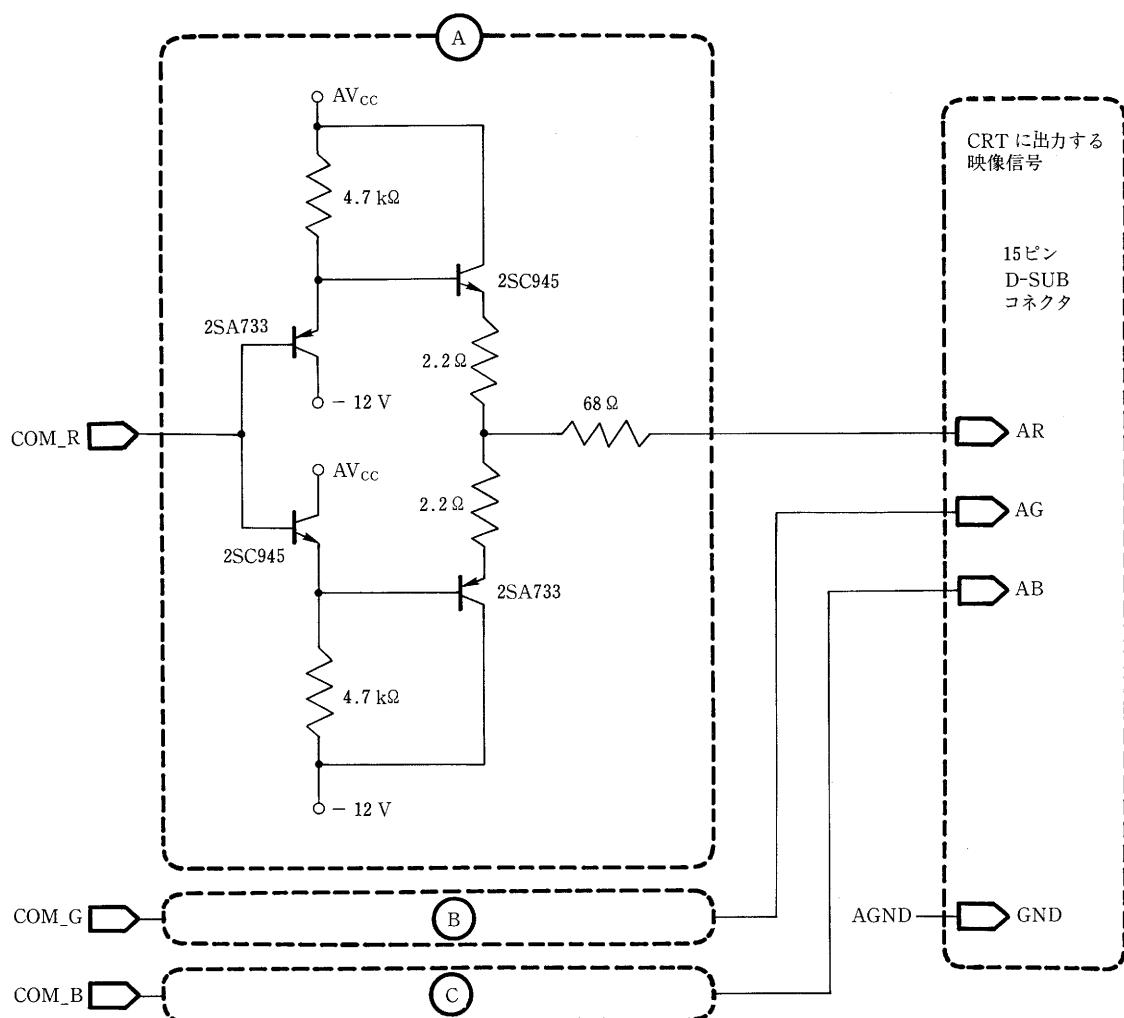
今回ターゲットとしたアナログCRTは、次のような映像信号入力特性を持っています。

- $75\Omega$  インピーダンス
- $0.7\text{ V}_{\text{P-P}}$  (peak-to-peak)

アナログRGB入力インピーダンスは $75\Omega$ ですので、ボード上のアナログRGB信号出力インピーダンスも $75\Omega$ となるようにインピーダンス整合をしてください。ただし、アナログ・スイッチとして使用した74HC4066のオン抵抗が大き過ぎるので、そのままではインピーダンス整合はできません。したがって、下図のようにインピーダンス整合を設けて、出力インピーダンスが $75\Omega$ になるようにしてください。

また、下図の映像信号出力AR, AG, ABは、 $0.7\text{ V}_{\text{P-P}}$ にする必要があります。そのため、COM\_R, COM\_G, COM\_Bが2倍の $1.4\text{ V}_{\text{P-P}}$ になるように、映像信号マルチプレクサで調整しています。

図4-10 インピーダンス整合回路



備考 ②, ③は①と同じ回路です。

## 付録 A $\mu$ PD72123 間（マスタとスレーブ）の接続

同一のクロック発生源からの表示用クロックを、両  $\mu$ PD72123 の SCLK 端子に供給するという条件での接続回路例とタイミングを以下に示します。

図 A - 1  $\mu$ PD72123 間（マスタとスレーブ）の接続回路例

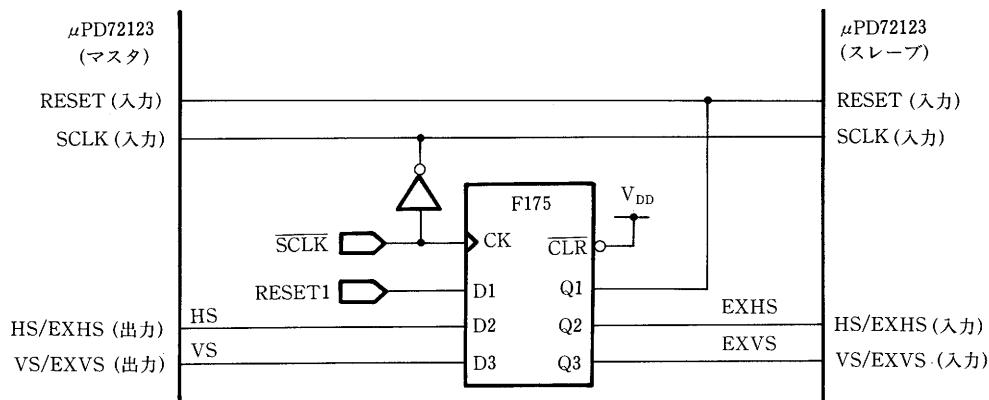
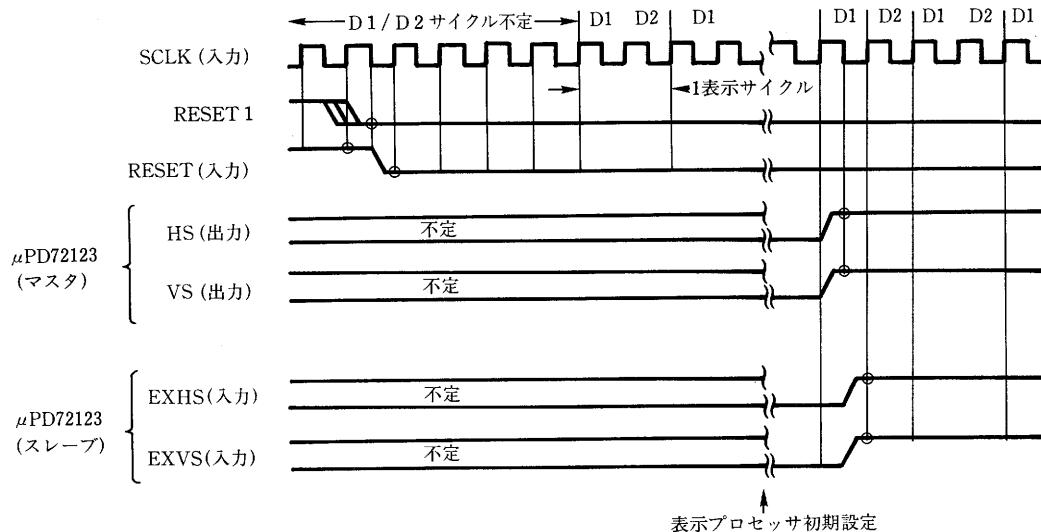


図 A - 2  $\mu$ PD72123 間（マスタとスレーブ）の接続回路例のタイミング



**保守／廃止**

- 注意 1.  $\mu$ PD72123 内部の表示プロセッサは、D1 サイクル、D2 サイクルの 2 クロックを 1 周期（1 表示サイクル）として動作します。そのため、各  $\mu$ PD72123 間で D1/D2 サイクル同期合わせをしてください。これは上図のように、各  $\mu$ PD72123 に入力する RESET 信号を、SCLK の立ち下がり同期入力で容易に同期をとることができます。D1/D2 サイクル同期合わせをする必要がなければ、RESET 信号はクロックに対し非同期入力可能です。
2.  $\mu$ PD72123 は、SCLK の立ち上がりで EXHS, EXVS をサンプリングします。したがって、 $\mu$ PD72123（マスタ・モード）が出力する HS, VS 信号を、SCLK の立ち下がり同期で  $\mu$ PD72123（スレーブ・モード）に供給してください。

## 付録 B ウエイト・ステート・サイクルの挿入個数の制限

$\mu$ PD72123 が描画サイクル、表示サイクル、リフレッシュ・サイクルを起動する場合には、描画サイクル起動直後に表示サイクルを起動しなければならない場合も生じます。 $\mu$ PD72123 は、表示プロセッサが起動する表示サイクル/リフレッシュ・サイクルと、描画プロセッサが起動する描画サイクルとのバス・アビトレーションを以下のように管理しています。

表示プロセッサは、表示サイクル/リフレッシュ・サイクルを起動するときに、バス・リクエスト信号として WAIT 信号を出力します。WAIT 信号は下記の動作をします。

- 表示サイクル/リフレッシュ・サイクルを起動する 4 クロック (SCLK) 前にアクティブとなる。
- 表示サイクル/リフレッシュ・サイクルを終了する 2 クロック (SCLK) 前にインアクティブとなる。

表示サイクル (データ・トランスファ・サイクル) を 1 回起動する場合、連続 2 回起動する場合リフレッシュ・サイクルを 2 回連続起動する場合のタイミングを以下に示します。

図 B-1 表示サイクル (データ・トランスファ・サイクル) を 1 回起動する場合

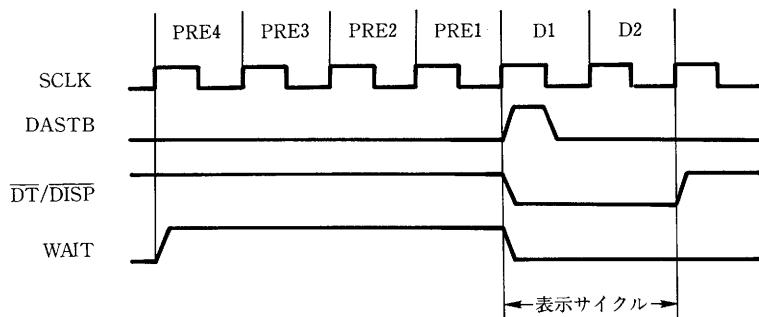
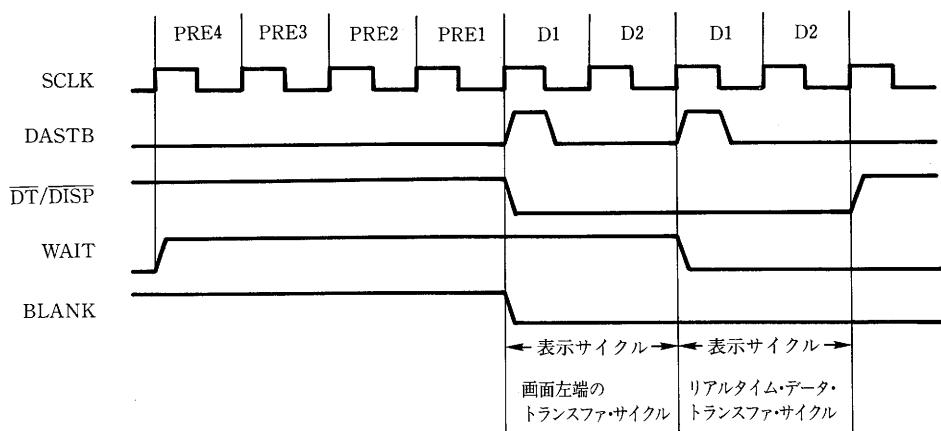
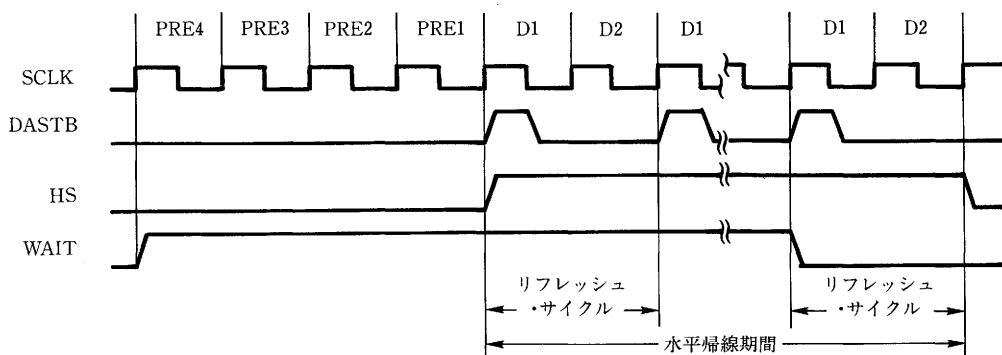


図 B-2 表示サイクル (データ・トランスファ・サイクル) を連続 2 回起動する場合



**保守／廃止**

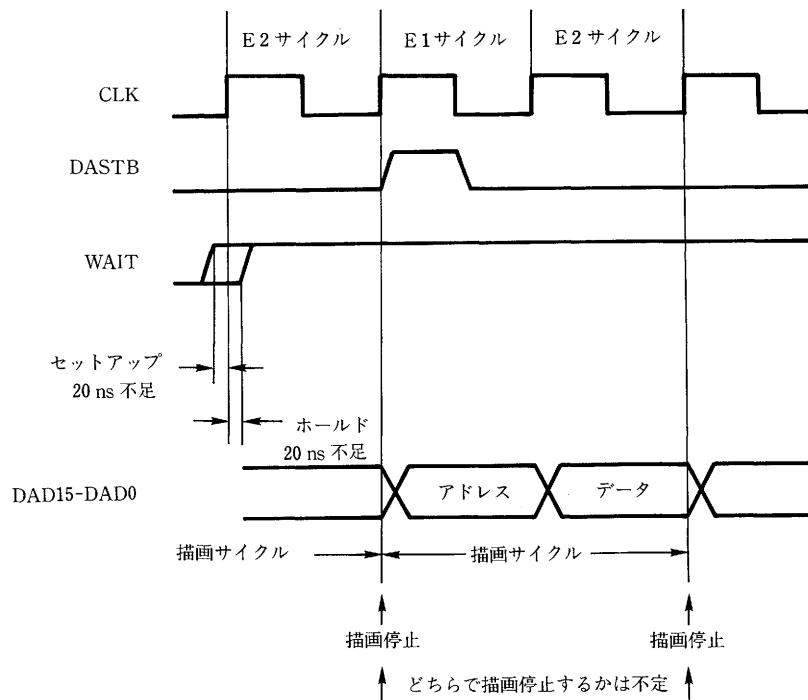
図B-3 リフレッシュ・サイクルを連続N回起動する場合



WAIT信号はWAIT端子から外部に出力され、描画プロセッサにも供給されています。描画プロセッサは、CLKの立ち上がりでWAIT信号をサンプリングしています。WAIT信号がアクティブになると描画プロセッサは、描画サイクルの起動を停止します。

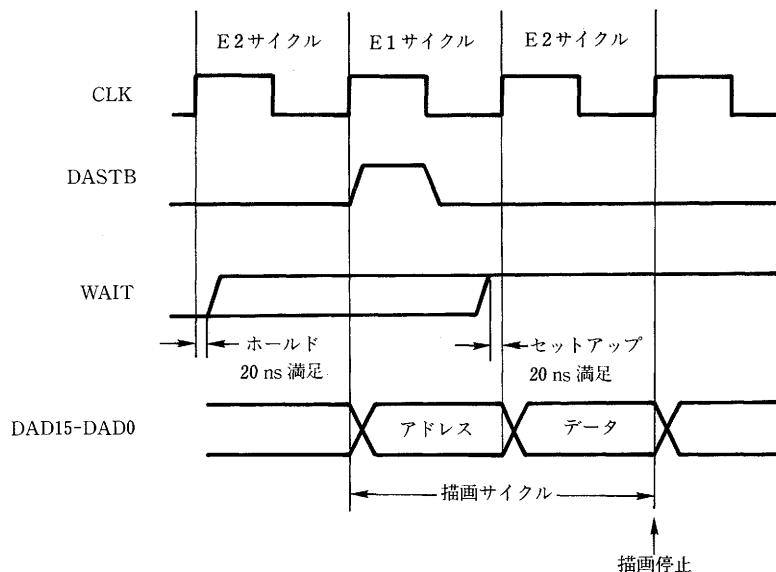
WAIT信号がE2サイクルの立ち上がり付近で遷移する場合と、遷移しない場合のタイミングを以下に示します。

図B-4 WAIT信号がE2サイクルの立ち上がり付近で遷移する場合



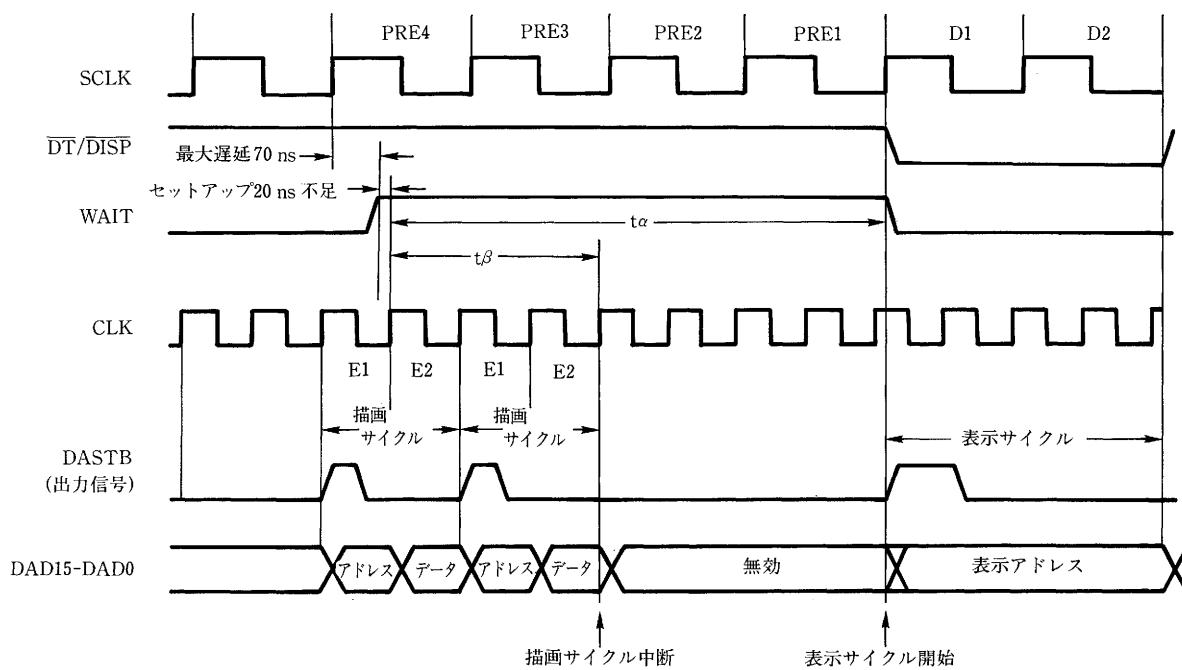
**保守／廃止**

図 B - 5 WAIT 信号が E2 サイクルの立ち上がり付近で遷移しない場合



SCLK と CLK が非同期（異なる位相）の場合に、表示サイクル直前で描画サイクル起動が停止するタイミングを下図に示します（0 ウエイトの描画サイクル起動が停止するまでの最も遅いケース）。

図 B - 6 表示サイクル直前で描画サイクルの起動が停止するタイミング



注意 描画サイクル中断が表示サイクル開始よりも前にくること

**保守／廃止**

描画サイクル起動停止まで最も時間がかかるのは、E1 ステート・サイクルの CLK の立ち上がりで、WAIT 信号がロウ・レベルからハイ・レベルに遷移したことをサンプリングした場合です。

時間  $t\alpha$  と時間  $t\beta$  が、

$$t\alpha \geq t\beta$$

であればよいわけです。ここで、SCLK 周期を  $t_{CYSK}$ 、CLK 周期を  $t_{CYK}$  とすると、

$$t\alpha = 4 t_{CYSK} - 70 - 20 \quad [\text{ns}]$$

$$t\beta = 3 t_{CYK} \quad [\text{ns}]$$

よって、 $4 t_{CYSK} - 90 \geq 3 t_{CYK}$

CLK を 10 MHz ( $t_{CYK}$  を 100 ns) とすると、

$$t_{CYSK} \geq 97.5 \quad [\text{ns}]$$

ただし、 $t_{CYSK} \geq 100$  なので、結局、

$$t_{CYSK} \geq 100 \quad [\text{ns}]$$

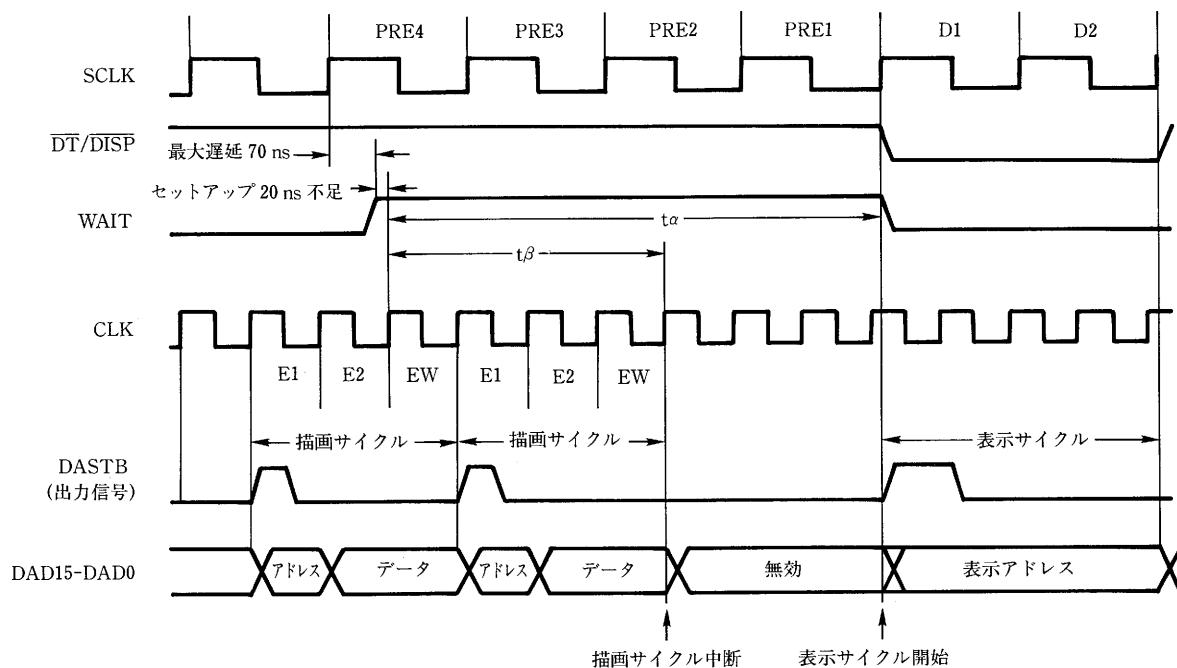
**保守／廃止**

DWAIT 入力信号を操作することにより,  $\mu$ PD72123 が起動する描画サイクルを拡張(ウェイト・ステート・サイクルを挿入)することができます。 $\mu$ PD72123 は, E2 ステート・サイクル, Ew ステート・サイクルの CLK の立ち上がりで, DWAIT 入力信号をサンプリングします。

SCLK と CLK が非同期(異なる位相)の場合に, 表示サイクル直前で描画サイクル起動が停止するタイミングを以下に示します(1 ウエイトの描画サイクル起動が停止するまでの, 最も遅いケース)。

DWAIT 信号により描画サイクルを拡張した場合には, 拡張された描画サイクルと, WAIT 信号がアクティブになって 4 クロック(SCLK) 後に起動する表示サイクル, リフレッシュ・サイクルとが衝突する恐れがあります。衝突しないための条件は, SCLK と CLK の周波数差に依存します。描画プロセッサは, WAIT 信号がアクティブになると, 描画サイクル起動を停止します。したがって, SCLK が CLK に比べて遅ければ遅いほど, 多くのウェイト・ステート・サイクルを挿入できます。

図 B-7 SCLK と CLK が非同期の場合に, 表示サイクル直前で描画サイクル起動が停止するタイミング



**保守／廃止**

前述の0ウエイトの場合と同様に考えて、

$$t\alpha = 4 t_{CYSK} - 70 - 20 \quad [\text{ns}]$$

$$t\beta = 4 t_{CYK} \quad [\text{ns}]$$

よって、 $4 t_{CYSK} - 90 \geq 4 t_{CYK}$

CLKを10MHz ( $t_{CYK}$ を100ns) とすると、

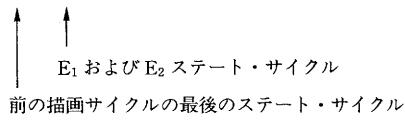
$$t_{CYSK} \geq 122.5 \quad [\text{ns}]$$

すなわち、CLKが10MHz時、SCLKが8.16MHz以下ならば、無条件に1ウエイト挿入可能ということになります。

一般にウエイト・ステート・サイクル挿入個数の最大値をmとすれば、

$$t\alpha = 4 t_{CYSK} - 70 - 20 \quad [\text{ns}]$$

$$t\beta = (1 + 2 + m) t_{CYK} \quad [\text{ns}]$$



よって、

$$4 t_{CYSK} - 90 \geq (3 + m) t_{CYK}$$

上記の式に、 $t_{CYK}$ とmを代入して $t_{CYSK}$ について解けば、満足すべきSCLK周波数の上限が算出できます。

## 付録 C PLD 論理仕様

ここでは使用した PLD の論理仕様について説明します。論理式は PALASM<sup>TM</sup> (PAL Assembler) の表記法を使用しており、次のような意味を持っています。

- / 論理否定
- \* 論理積
- + 論理和
- : + : 排他的論理和
- = フリップ・フロップを含まない入出力関係
- : = フリップ・フロップを含む入出力関係

説明は以下の順序で行います。

回路図上の番号

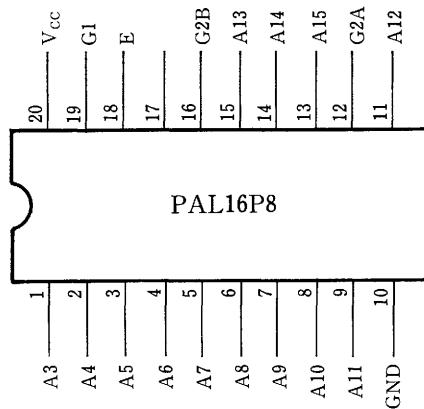
- [品 名]
- [機 種]
- [ピン配列]
- [論理式]

保守／廃止

[品 名] PAL16P8

[機 能] アドレス・デコード

[ピン配列]



[論 理 式]

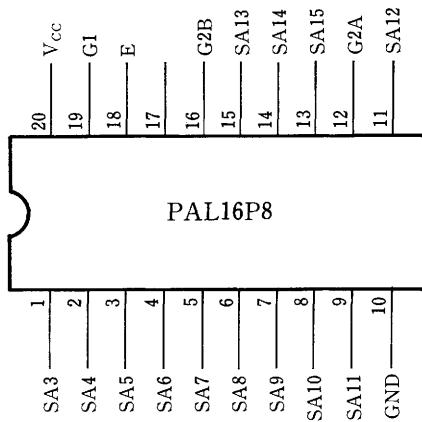
$$\begin{array}{llllllll}
 G1 & = /A15 & * /A14 & * /A13 & * /A12 & * /A11 & * /A10 & * /A9 & * /A8 \\
 /G2A & = A7 & * A6 & * /A5 & * A4 & * /A3 & & & \\
 /E & = /G2B & * A11 & * A10 & * A9 & * A8 & & &
 \end{array}$$

保守／廃止

[品 名] PAL16P8

[機 能] アドレス・デコード

[ピン配列]



[論理式]

G1	= /SA15	* /SA14	* /SA13	* /SA12	* /SA11	* /SA10	* /SA9	* SA8
/G2A	= SA7	* SA6	* SA5	* /SA4	* /SA3			
/E	= /G2B	* SA11	* SA10	* SA9	* SA8			

## 付録 D 評価ボードの全体回路図

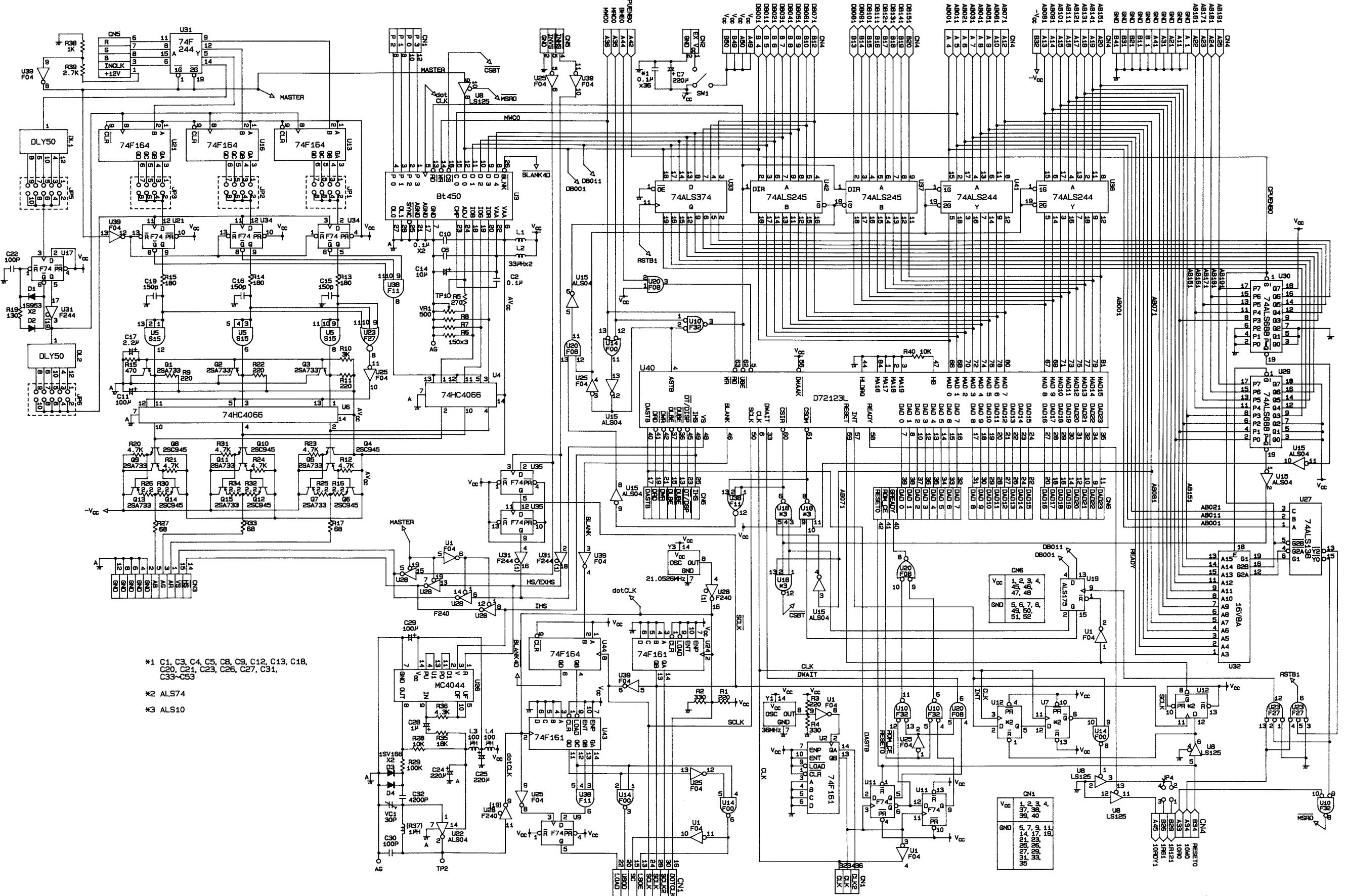
次に評価ボードの全体回路図を示します。

### 表記上の注意

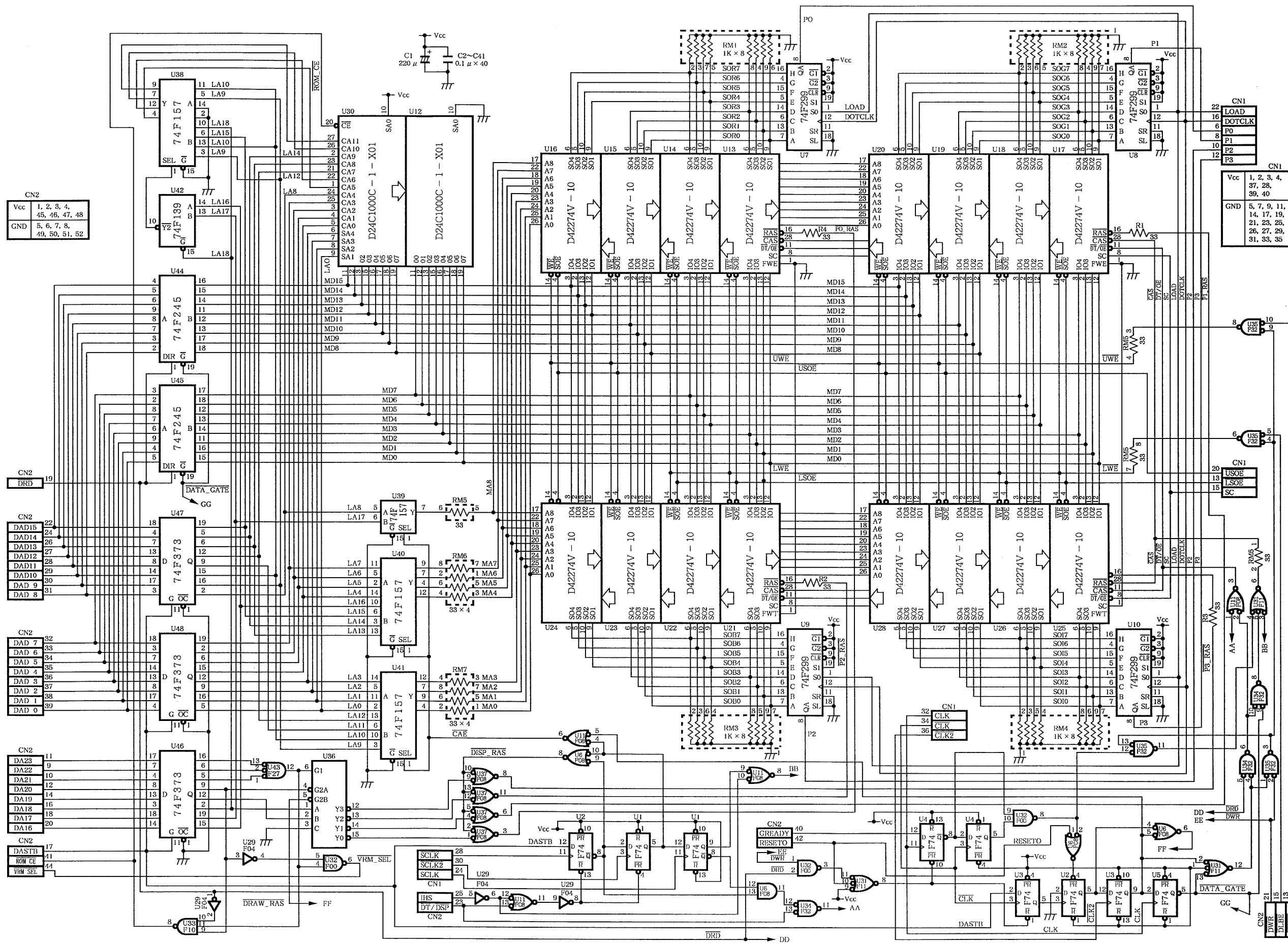
- 図中の  $\rightarrow$  は、対象となる同一ピン番号どうしの接続を表します。
- 図中の  $\overline{A}$  は、アナログ・グランドを表します。

保守／廃止

付録D 評価ボードの全体回路図



保守／廃止



**保守／廃止**

**アンケート記入のお願い**

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD72123 アプリケーション・ノート(I) ハードウェア編

( IEA-678B (第3版) )

[お名前など] (さしつかえのない範囲で)

御社名 (学校名、その他)	( )
ご住所	( )
お電話番号	( )
お仕事の内容	( )
お名前	( )

1. ご評価 (各欄に○をご記入ください)

項目	大変良い	良い	普通	悪い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン、字の大きさなど					
その他の ( )					
( )					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他 )

理由 [ ]

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他 )

理由 [ ]

4. ご意見、ご要望

--

5. このドキュメントをお届けしたのは

NEC販売員、特約店販売員、NEC半応技本部員、その他( )

ご協力ありがとうございました。

下記あてにFAXで送信いただきか、最寄りの販売員にコピーをお渡しください。

NEC半導体応用技術本部インフォメーションセンター  
FAX:(044)548-7900

# 保守／廃止

## お問い合わせは、最寄りのNECへ

本社 〒108-01 東京都港区芝五丁目7番1号(NEC本社ビル)

コンシューマ半導体応用事業部  
OA半導体販売事業部 〒108-01 東京都港区芝五丁目7番1号(NEC本社ビル)

インダストリ半導体応用事業部

東京(03)3454-1111

中部支社 半導体販売部 〒460 名古屋市中区栄四丁目14番5号(松下中日ビル)

名古屋(052)242-2755

関西支社 半導体販売部 〒540 大阪市中央区城見一丁目4番24号(NEC関西ビル)

大阪(06)945-3178

大阪(06)945-3200

大阪(06)945-3203

東北支社 仙台(022)261-5511

(043)227-9084

(054)255-2211

(0559)63-4455

(053)452-2711

(0762)23-1621

(0776)22-1866

(0764)31-8461

(075)344-7824

(078)332-3311

(082)242-5504

(0857)27-5311

(086)225-4455

(0878)36-1200

(0897)32-5001

(0899)45-4111

(092)271-7700

(093)541-2887

(技術お問い合わせ先)

OA半導体応用事業部 OAシステム技術部 〒210 川崎市幸区堀越三丁目484番地

川崎(044)548-7919

半導体応用技術本部

インフォメーションセンター

FAX(044)548-7900

半導体応用技術本部 中部応用システム技術部 〒460 名古屋市中区栄四丁目14番5号(松下中日ビル)

名古屋(052)242-2762

(FAXで対応させていただいております)

半導体応用技術本部 西日本応用システム技術部 〒540 大阪市中央区城見一丁目4番24号(NEC関西ビル)

大阪(06)945-3383