

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

アプリケーション・ノート

保守/廃止

μPD72068,72069

フロッピー・ディスク・コントローラ

ハードウェア編

資料番号 S13138JJ2V0AN00 (第2版)

(旧資料番号 IEA-656)

発行年月 November 1997 N

© NEC Corporation 1989

保守 / 廃止

(× 毛)

CMOSデバイスの一般的注意事項**①静電気対策（MOS全般）**

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

保守 / 廃止

PC/AT, PC/XT は、米国 IBM 社の商標です。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

- 本資料の内容は、後日変更する場合があります。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

このアプリケーション・ノートは、当社のフロッピー・ディスク・コントローラ (FDC) μ PD72068, 72069 を使用してフロッピー・ディスクを制御するハードウェアについて記載したものです。

対象者 μ PD72068 または μ PD72069 を使用してフロッピー・ディスク・システムを設計するエンジニアを対象とします。

目的 μ PD72068, μ PD72069 の動作モード (外部モード, 内部モード, レジスタ・モード) ごとのハードウェア設計方法をユーザに理解していただくことを目的とします。

構成 このアプリケーション・ノートは、大きく分けて次の内容で構成しております。

- 各モードの特徴
- 各モードの使用法
- 設計上の注意事項
- 付録 (コマンド/パラメータ, リザルト一覧, ステータス・レジスタ)

読み方 このアプリケーション・ノートを読むには、電気、論理回路、マイクロコンピュータ、フロッピー・ディスクの一般知識を必要とします。また、特にことわらないかぎり FDC は μ PD72068, 72069 を示します。

FDC の使用モードを決定するとき

→ 第 1 章で目的のシステムに適したモードを選択してください。

各モードでの使用方法を調べるとき

→ 第 2 章～第 4 章の各モードの項を読んでください。

また設計にあたっては最新のデータ・シートおよびユーザズ・マニュアルをあわせてご参照ください。

- μ PD72068 データ・シート S12788J
- μ PD72069 データ・シート IC-7547
- μ PD72068 ユーザズ・マニュアル IEM-5076
- μ PD72069 ユーザズ・マニュアル IEM-5083

1997年10月現在

保守 / 廃止

目 次

第 1 章 各モードの特徴（外部モード，内部モード，レジスタ・モード） … 1

- 1.1 特徴比較 … 1
- 1.2 外部モードの概要 … 2
- 1.3 内部モードの概要 … 4
- 1.4 レジスタ・モードの概要 … 6

第 2 章 外部モードでの使用法 … 8

- 2.1 外部モードでのシステム構成 … 8
- 2.2 端子機能 … 9
- 2.3 ホスト・インタフェース … 13
- 2.4 クロック生成回路 … 15
- 2.5 FDD インタフェース … 17

第 3 章 内部モードでの使用法 … 20

- 3.1 内部モードでのシステム構成 … 20
- 3.2 端子機能 … 21
- 3.3 ホスト・インタフェース … 25
- 3.4 クロック生成回路 … 27
- 3.5 FDD インタフェース … 29

第 4 章 レジスタ・モードでの使用法 … 32

- 4.1 レジスタ・モードでのシステム構成 … 32
- 4.2 端子機能 … 33
- 4.3 ホスト・インタフェース … 37
- 4.4 クロック生成回路 … 39
- 4.5 FDD インタフェース … 41

第 5 章 設計上の注意事項 … 44

- 5.1 $\overline{\text{DMAAK}}$ 入力について … 44
- 5.2 FDD インタフェースについて … 44
- 5.3 電源，グラウンド配線について … 44

付録 A FDC コマンド/パラメーター一覧 … 45

付録 B FDC リザルト一覧 … 52

付録 C ステータス・レジスタ … 55

付録 D FDD インタフェース信号表 … 57

図 の 目 次

1-1 外部モードでのシステム・ブロック図（従来のシステムとの比較） … 3

1-2 内部モードでのシステム・ブロック図（従来のシステムとの比較） … 5

1-3 レジスタ・モードでのシステム・ブロック図（従来のシステムとの比較） … 7

2-1 外部モードでのシステム構成ブロック図 … 8

2-2 ホスト・インタフェースの回路例（外部モード） … 14

2-3 クロック回路例 … 16

2-4 FDD TTL インタフェース回路例 … 17

2-5 FDD CMOS インタフェース回路例 … 18

3-1 内部モードでのシステム構成ブロック図 … 20

3-2 ホスト・インタフェースの回路例（内部モード） … 26

3-3 クロック回路例 … 28

3-4 FDD TTL インタフェース回路例 … 29

3-5 FDD CMOS インタフェース回路例 … 30

4-1 レジスタ・モードでのシステム構成ブロック図 … 32

4-2 ホスト・インタフェースの回路例（レジスタ・モード） … 38

4-3 クロック回路例 … 40

4-4 FDD TTL インタフェース回路例 … 41

4-5 FDD CMOS インタフェース回路例 … 42

表 の 目 次

1-1 特徴比較 (外部モード, 内部モード, レジスタ・モード) … 1

1-2 データ転送速度の設定端子 … 3

1-3 書き込み補償量の設定端子 … 3

1-4 μ PD765A, 72065 で追加された補助コマンド … 5

1-5 レジスタ・モードでの FDC レジスタ・マップ … 7

2-1 外部モードでの端子機能一覧 … 9

2-2 I/O アドレス・マップの例 (外部モード) … 13

3-1 内部モードでの端子機能一覧 … 21

3-2 I/O アドレス・マップの例 (内部モード) … 25

4-1 レジスタ・モードでの端子機能一覧 … 33

4-2 I/O アドレス・マップの例 (レジスタ・モード) … 37

付録A FDC コマンド/パラメータ一覧 … 45

付録B FDC リザルト一覧 … 52

付録C ステータス・レジスタ … 55

付録D FDD インタフェース信号表 … 57

保守 / 廃止

第 1 章 各モードの特徴 (外部モード, 内部モード, レジスタ・モード)

FDC は、フロッピー・ディスク・ドライブ (FDD) の制御に必要な機能を 1 チップに内蔵しています。

FDC は、データ転送速度などの動作設定方法の異なる 3 つのモード (外部モード, 内部モード, レジスタ・モード) をもっています。この章では、各モードの特徴について述べます。

1.1 特徴比較

各モードの特徴比較を表 1-1 に示します。

それぞれのシステムにあったモードを選択してください。

表 1-1 特徴比較 (外部モード, 内部モード, レジスタ・モード)

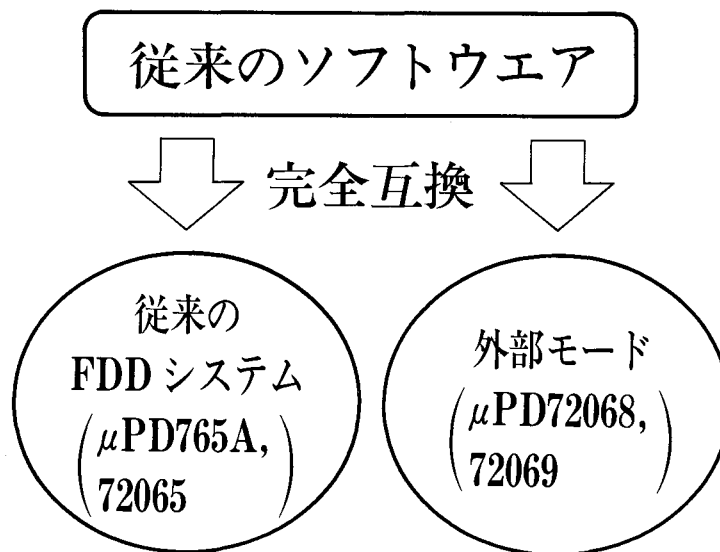
項 目	外部モード	内部モード	レジスタ・モード
データ転送速度の設定	端子入力レベルで設定	補助コマンドで設定	端子入力レベルおよび内蔵レジスタで設定
書き込み補償量	端子入力レベルで設定	補助コマンドで設定	端子入力レベルで設定
モータ ON 信号制御	補助コマンドで設定	補助コマンドで設定	内蔵レジスタに設定
ドライブ・セレクト信号制御	コマンドにより自動生成	コマンドにより自動生成	内蔵レジスタに設定
フォーマット設定 (IBM/ISO)	端子入力レベルで設定	補助コマンドで設定	端子入力レベルで設定
モードの設定	リセットまたは補助コマンド	補助コマンド	端子入力レベルで設定
メリット	ソフト互換性 μPD765A, 72065を使用したシステムとソフトウェアの完全互換可能	部品数 最小のハードウェア構成が可能	IBM コンパチブル IBM PC/AT™ PC/XT™ 互換システムを容易に実現

1.2 外部モードの概要

外部モードでは、データ転送速度、書き込み補償量、フォーマットの種類を端子入力レベルで設定します。

従来 μ PD765A, 72065 を使用していたシステムのデータ転送速度切り替え回路および書き込み補償量切り替え回路を μ PD72068, 72069 の各設定端子の入力回路に置き換えることにより、従来のシステムとソフトウェアの完全互換性が保てます。

従来のシステムと μ PD72068 または μ PD72069 を使用したシステムのブロック図を図 1-1 に示します。表 1-2 にデータ転送速度の設定端子を示します。表 1-3 に書き込み補償量の設定端子を示します。



注意 μ PD72065, 72065B, 72066 でスタンバイ機能を使用している場合、その部分のソフトウェアに変更が必要です。

図1-1 外部モードでのシステム・ブロック図（従来のシステムとの比較）

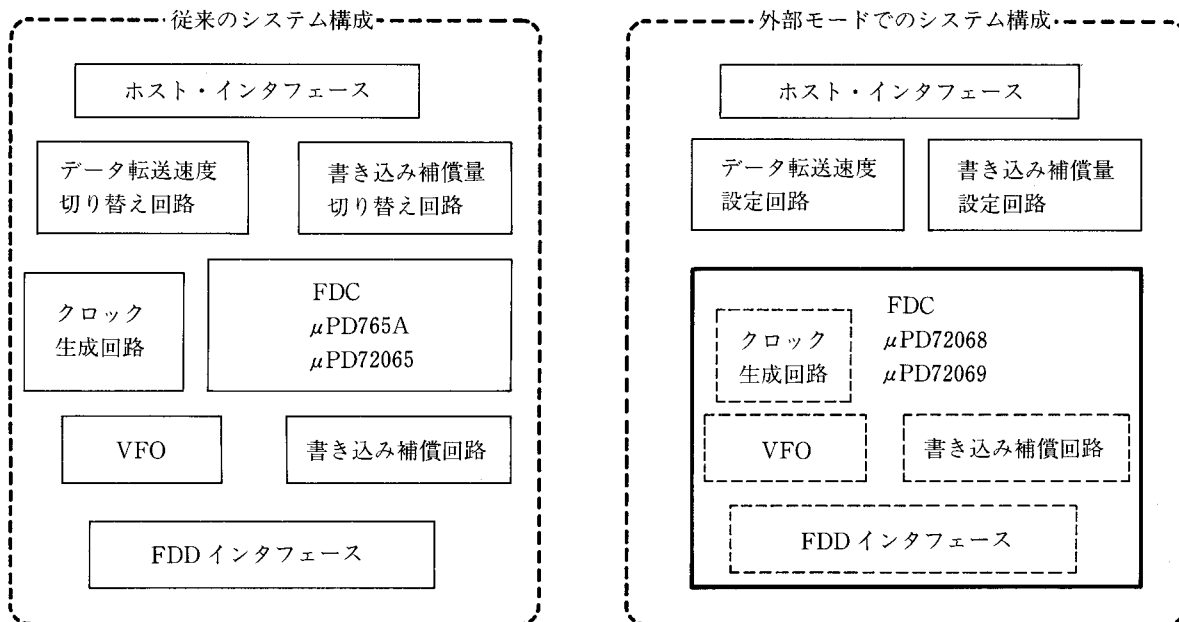


表1-2 データ転送速度の設定端子

FDC	設定端子	データ転送速度 (kビット/秒)
μPD72068	DR1, DR0	250, 500 150 (300), 300 (600)
μPD72069	DR2, DR1, DR0	250, 500, 1000 300, 600

備考 () 内は、クロックに 38.4 MHz を使用した場合の値です。

表の数値は MFM モード時の値で、FM モード時には 1/2 の値になります。

表1-3 書き込み補償量の設定端子

FDC	設定端子	書き込み補償量 (ns)
μPD72068	DR1, PCS1, PCS0	0, 125, 188, 208, 250, 313, 417 (104), (156), (208)
μPD72069	DR2, DR1, PCS1, PCS0	0, 52, 63, 104, 125, 156, 188, 208, 250

備考 () 内は、クロックに 38.4 MHz を使用した場合の値です。

1.3 内部モードの概要

内部モードでは、データ転送速度、書き込み補償量、フォーマットの種類を FDC の補助コマンドで設定します。

従来の μ PD765A, 72065 を使用したシステムのソフトウェアの FDC イニシャライズ処理に修正を加えることにより、最小構成のハードウェアで FDD システムを構成できます。

図 1-2 に内部モードでのシステム・ブロック図を示します。

表 1-4 に追加された補助コマンドを示します。

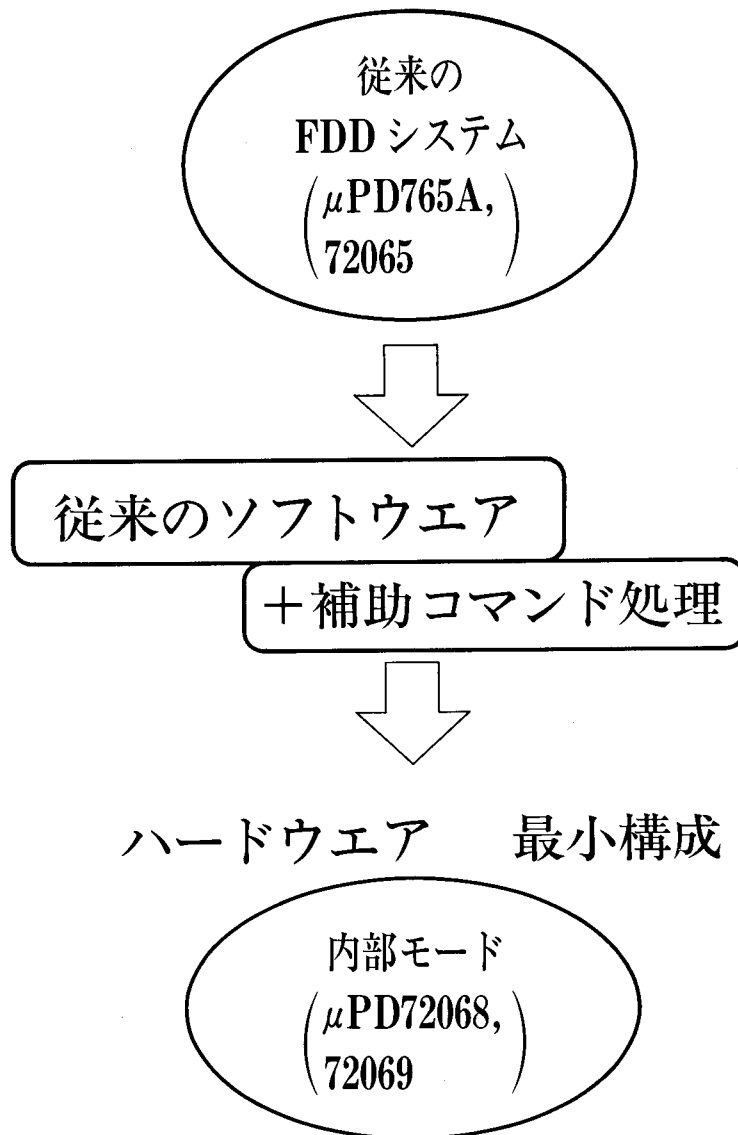


図1-2 内部モードでのシステム・ブロック図（従来のシステムとの比較）

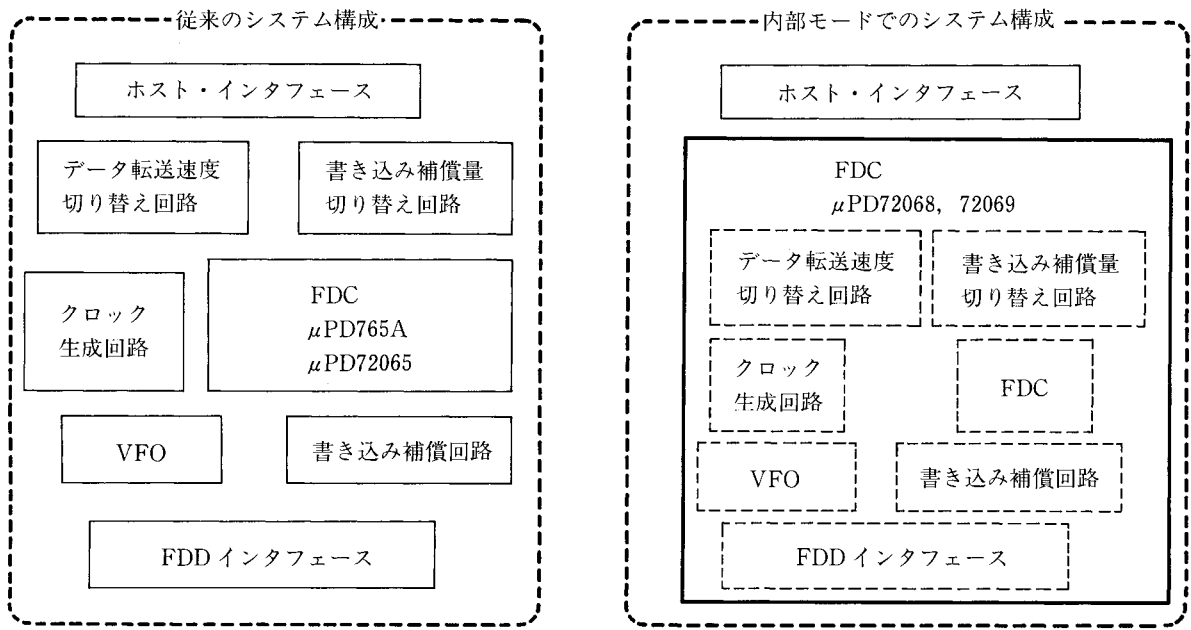


表1-4 μPD765A, 72065 から追加された補助コマンド

FDC	補助コマンド	機能
μPD72068 μPD72069	SET STANDBY	FDC をスタンバイ状態にします。
	RESET STANDBY	FDC のスタンバイ状態を解除します。
	SOFTWARE RESET	FDC をリセットします。
	CONTROL INTERNAL MODE	FDC を内部モードにして、データ転送速度、書き込み補償量を設定します。
	ENABLE MOTORS	MOTOR ON 信号を制御します。
	SELECT FORMAT	IBM/ECMA のフォーマットを設定します。
	START CLOCK	クロック生成回路の動作を開始します。
μPD72069	CONTROL DATA TRANSFER RATE	データ転送速度を設定します。
	PRECOMPENSATION	書き込み補償量を設定します。

1.4 レジスタ・モードの概要

レジスタ・モードでは、データ転送速度を端子入力レベルおよび FDC 内蔵のレジスタへの書き込みにより設定します。また、ドライブ・セレクト信号もレジスタへの書き込みにより制御します。

書き込み補償量およびフォーマットの種類は端子入力レベルで設定します。

このレジスタ・モードを使用すると IBM PC/XT, PC/AT にコンパチブルな FDD システムを容易に実現できます。

図 1-3 にレジスタ・モードでのシステムのブロック図を示します。

表 1-5 に内蔵のレジスタ・マップを示します。

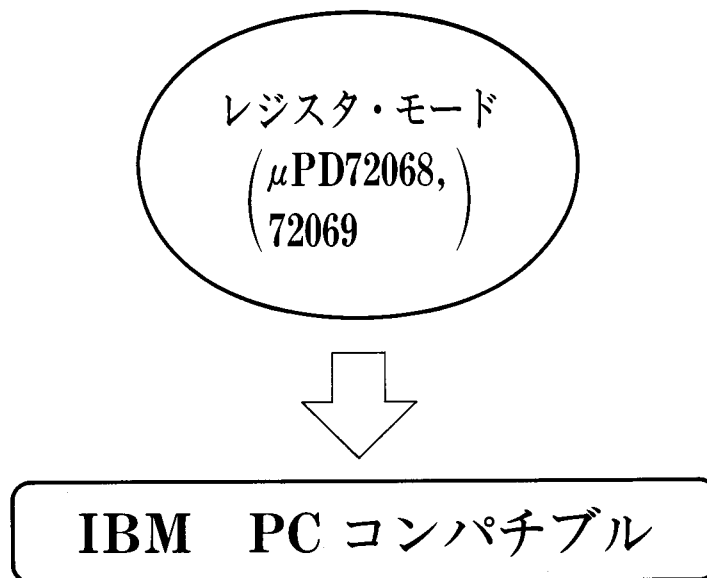


図1-3 レジスタ・モードでのシステム・ブロック図 (従来のシステムとの比較)

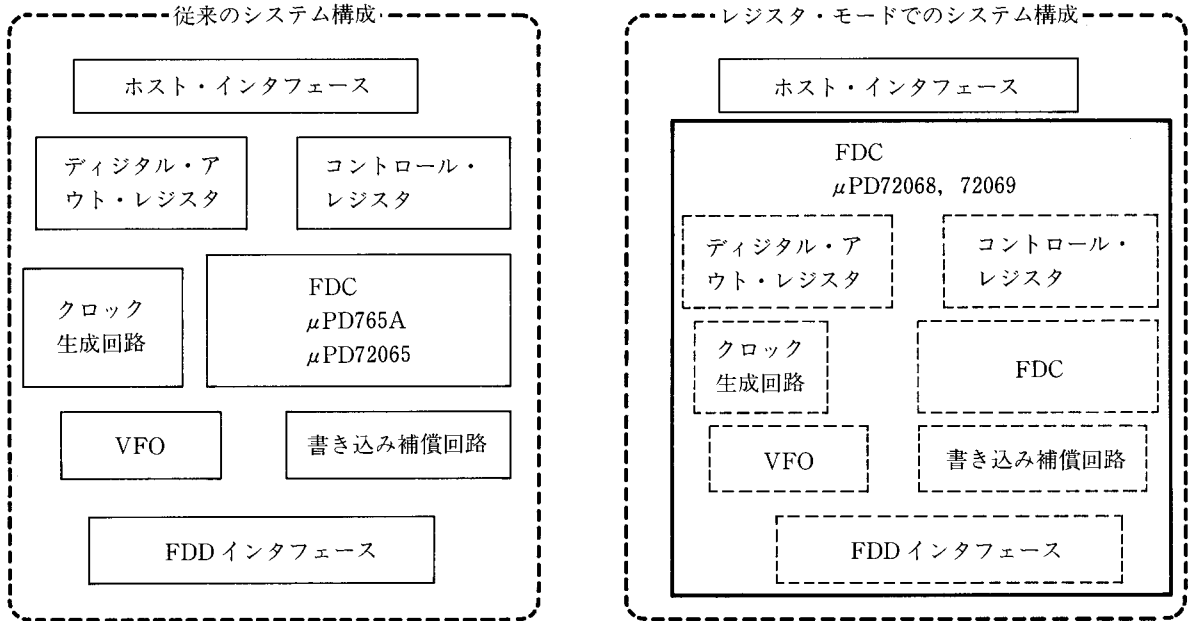


表1-5 レジスタ・モードでのFDCレジスタ・マップ

レジスタ	R/W	機能
デジタル・アウト・レジスタ	W	MOTOR ON, ドライブ・セレクト, リセット, 割り込み, DMAを制御
コントロール・レジスタ	W	データ転送速度を設定
ステータス・レジスタ	R	FDCのステータス情報の読み出し
補助コマンド・レジスタ	W	補助コマンド書き込み
データ・レジスタ	R/W	コマンド/パラメータ書き込み, リザルトの読み出し データ書き込み, 読み出し

第2章 外部モードでの使用法

この章では、FDCを外部モードで使用方法について述べます。このモードの特徴は、 μ PD765A, 765B および μ PD72065, 72065B を使用したシステムと完全なソフトウェア互換が可能なことです。

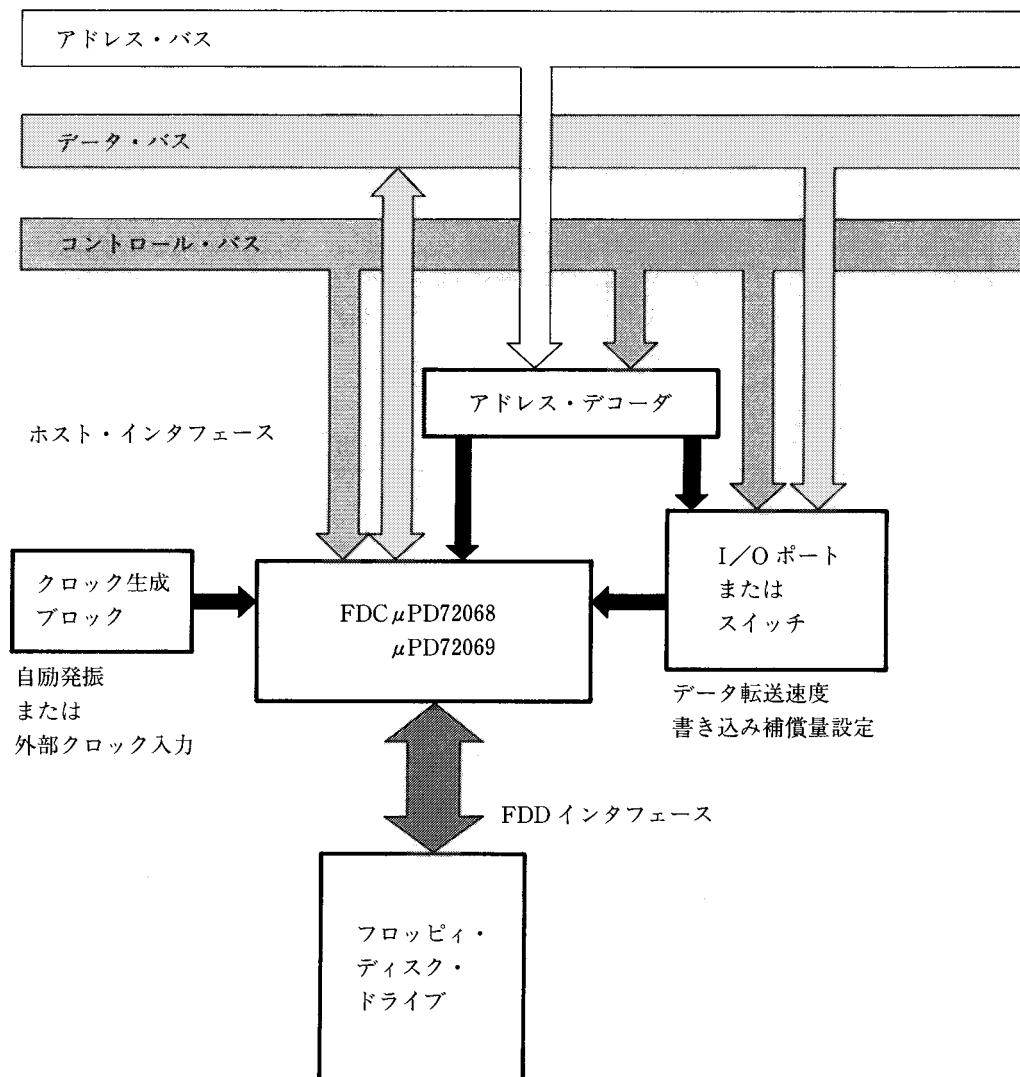
2.1 外部モードでのシステム構成

外部モードでのシステム構成ブロック図を図2-1に示します。

ホスト・インタフェース、クロック生成、データ転送速度および書き込み補償量設定、FDDインタフェースの各ブロックで構成します。

詳細については、次節以降を参照してください。

図2-1 外部モードでのシステム構成ブロック図



2.2 端子機能

表 2-1 に外部モードでの端子機能を示します。

表 2-1 外部モードでの端子機能一覧 (1/4)

分類	端子名	I/O	機 能	備 考
ホ ス ト ・ イ ン タ フ ェ ー ス	RESET	I	FDC をリセットします。リセットを解除すると外部モードになります。 リセット中の信号は、次のようになります。 FDD インタフェース WDATA=不定 ・ ACTL=L (ハイ・レベル・アクティブ) のとき DS0=H その他=L ・ ACTL=H (ロウ・レベル・アクティブ) のとき DS0=L その他=H ホスト・インタフェース INT=L DMARQ=L その他=リセットに無関係です。	
	\overline{CS}	I	FDC の \overline{RD} , \overline{WR} 信号を有効にする信号です。	
	\overline{RD}	I	FDC からデータをデータ・バスへ読み出すための制御信号です。	
	\overline{WR}	I	FDC へデータ・バスのデータを書き込むための制御信号です。	
	A0	I	FDC のレジスタを選択する信号です。 A0=L: ステータス・レジスタ (読み出し) 補助コマンド・レジスタ (書き込み) A0=H: データ・レジスタ (書き込み, 読み出し)	
	D0-D7	I/O	8 ビットの双方向データ・バスです。	
	\overline{DMAAK}	I	DMA サイクルでの FDC データ・レジスタ選択信号です。DMA コントローラの転送許可信号 (\overline{DACK}) と接続します。 \overline{CS} , A0 信号と無関係に FDC データ・レジスタを選択します。	
	DMARQ	O	DMA モード (SPECIFY コマンドで設定) でのデータ転送要求信号です。DMA コントローラの転送要求信号 (DRQ) と接続します。	
TC	I	フロッピー・ディスクとのデータ転送の終了指示信号です。データ転送の最終バイト転送時にアクティブにします。DMA コントローラの TC (EOP) と接続します。		

表 2-1 外部モードでの端子機能一覧 (2/4)

分類	端子名	I/O	機 能	備 考
ホ ス ト ・ イ ン タ フ ェ ー ス	INT	O	ホスト・システムに割り込み要因の発生を知らせる信号です。割り込み要因は、次のとおりです。 1. FDD の READY 信号変化 (状態遷移) 2. SEEK 系コマンド終了 (SIS 要求) 3. データ転送要求 (ノン DMA モード時) 4. リザルト引き取り要求	
	$\overline{\text{ENRW}}$	I	外部モードでは無効です。ハイまたはロウにレベル固定してください。	
	RSEL	I	外部モードでは無効です。ハイまたはロウにレベル固定してください。	
	MSEL	I	レジスタ・モード設定端子です。ロウ・レベルに固定してください。	
	DR0, DR1 DR2	I	データ転送速度を設定する端子です。 150, 300, 600 kbps を使用しないときは、DR1 端子を高抵抗でプルダウンしてください。	注1
	PCS0, PCS1	I	書き込み補償量を設定する端子です。	
	ク ロ ッ ク	XA1 XA2	I -	クロック端子です。内部発振回路を使用するときは、水晶振動子を接続します。 外部クロックを使用するときは、XA1 端子に入力し、XA2 端子はオープンにします。 周波数は、 $\mu\text{PD72068}$ では 32 MHz、 $\mu\text{PD72069}$ では 16 MHz です。
XB1 XB2		I -	データ転送速度が、150, 300, 600 kbps のときのクロック端子です。内部発振回路を使用するときは、水晶振動子を接続します。 外部クロックを使用するときは、XB1 端子に入力し、XB2 端子はオープンにします。 $\mu\text{PD72068}$ では、150, 300 kbps を使用するとき、周波数は 19.2 MHz です。300, 600 kbps を使用するときには 38.4 MHz です。 $\mu\text{PD72069}$ では、周波数は 19.2 MHz です。 150, 300, 600 kbps を使用しないときは、XB1 は GND に直結または外部クロック ($\mu\text{PD72068}$ では 32 MHz、 $\mu\text{PD72069}$ では 16 MHz) を入力します。XB2 はオープンにします。	
FMT		I	フォーマットの選択端子です。 FMT=L : IBM フォーマット FMT=H : ECMA/ISO フォーマット	
ACTL		I	FDD インタフェース信号のアクティブ・レベル選択端子です。 ACTL=L : アクティブ・ハイ ACTL=H : アクティブ・ロウ	

表 2-1 外部モードでの端子機能一覧 (3/4)

分類	端子名	I/O	機 能	備 考
F D D イ ン タ フ エ ー ス	ENPCS	I	書き込み補償動作の許可/禁止を選択する端子です。 ・ ACTL=L : アクティブ・ハイのとき ENPCS=L : 書き込み補償量 = 0 ns ENPCS=H : PCS0, PCS1 端子に設定した値で書き込み補償動作を行います。 ・ ACTL=H : アクティブ・ロウのとき ENPCS=H : 書き込み補償量 = 0 ns ENPCS=L : PCS0, PCS1 端子に設定した値で書き込み補償動作を行います。 43番から内周のシリンダで書き込み補償を行うときは、LCT 端子と接続します。	
	HDL D	O	FDDのヘッドをロード状態にする信号です。	注2
	DIR	O	シーク動作の方向指示信号です。	注2
	LCT	O	FDDのヘッドが43番シリンダから内周に位置していることを示します。 FDDのヘッド電流切り替え信号として使用します。	注2
	SIDE	O	両面型 FDD のヘッドを選択する信号です。	注2
	STEP	O	ステップ・パルスを出力します。DIR 信号で示す方向にステップ・パルスの数だけ FDD ヘッドのシリンダ位置を移動させます。	注2
	FLTR	O	FDDのフォールト状態を解除する信号です。	注2
	DS0-DS3	O	FDDを選択する信号です。4台までのFDDを制御できます。	注2
	EM0-EM3	O	FDDのスピンドル・モータのON/OFFを補助コマンドで制御する信号です。汎用出力としても使用できます。	注2
	WE	O	FDDに書き込みデータを転送中であることを示す信号です。	注2
	WDATA	O	FDDへの書き込みデータ信号です。 FM/MFM変調でクロック・ビットとデータ・ビットが合成されています。	注2
	2SIDE	I	両面使用可能なメディアがFDDに挿入されていることを示す信号です。	注2
	WPRT	I	メディアが書き込み禁止であることを示す信号です。	注2
	TRK0	I	FDDのヘッドがシリンダ0に位置していることを示す信号です。	注2
	FLT	I	FDDがフォールト状態であることを示す信号です。	注2
	READY	I	FDDがレディ状態であることを示す信号です。	注2
	INDEX	I	FDDのヘッドがメディア上のトラックの物理的開始点に位置していることを示す信号です。	注2
	RDATA	I	FDDからの読み出しデータです。 FM/MFM変調でクロック・ビットとデータ・ビットが合成されたシリアル・データです。	注2

表 2-1 外部モードでの端子機能一覧 (4/4)

分類	端子名	I/O	機能	備考
FDD インタフェース	DEN0, DEN1	O	設定したデータ転送速度に応じた値を出力します。FDDのデータ転送速度の制御などに利用できます。	注2
	ENIDX	I	ACTL=Lのときハイ・レベルに固定し、ACTL=Hのときロウ・レベルに固定します。	注1, 2
	LPF1, LPF2	O	メインPLLの位相誤差出力端子です。 外付け定数回路を接続します。	注1, 2
	CGP1, CGP2	O	サブPLL系の位相誤差出力端子です。 外付け定数回路を接続します。	注1, 2
	電源	V _{DD}	-	+5V電源です (μPD72068)。
V _{DD1}		-	デジタル系の電源です (μPD72069)。	
V _{DD2}		-	アナログ系の電源です (μPD72069)。	
グラウンド	GND1	-	デジタル系のグラウンドです。	
	GND2	-	バッファ系のグラウンドです (μPD72068)。 アナログ系のグラウンドです (μPD72069)。	
	GND3	-	バッファ系の電源です (μPD72069)。	

注1. μPD72069の端子です。μPD72068にはありません。

2. ACTL=Lのとき

アクティブ・ハイでTTLコンパチブル入力, CMOSレベル出力です。

ACTL=Hのとき

アクティブ・ロウでオープン・ドレイン出力, シュミット・トリガ入力です。

2.3 ホスト・インタフェース

FDC 外部モードでのホスト・インタフェースは、一般のペリフェラル LSI と同様です。

FDC に割り当てるアドレスとして 2 アドレス (3F0H, 3F2H)、その他にデータ転送速度および書き込み補償量を I/O ポートで切り替える場合には、他の 1 アドレス (3F8H) を割り当てます。表 2-2 に I/O アドレス・マップの例を示します。図 2-2 にホスト・インタフェース回路例を示します。未使用端子の処理についても図 2-2 を参照してください。

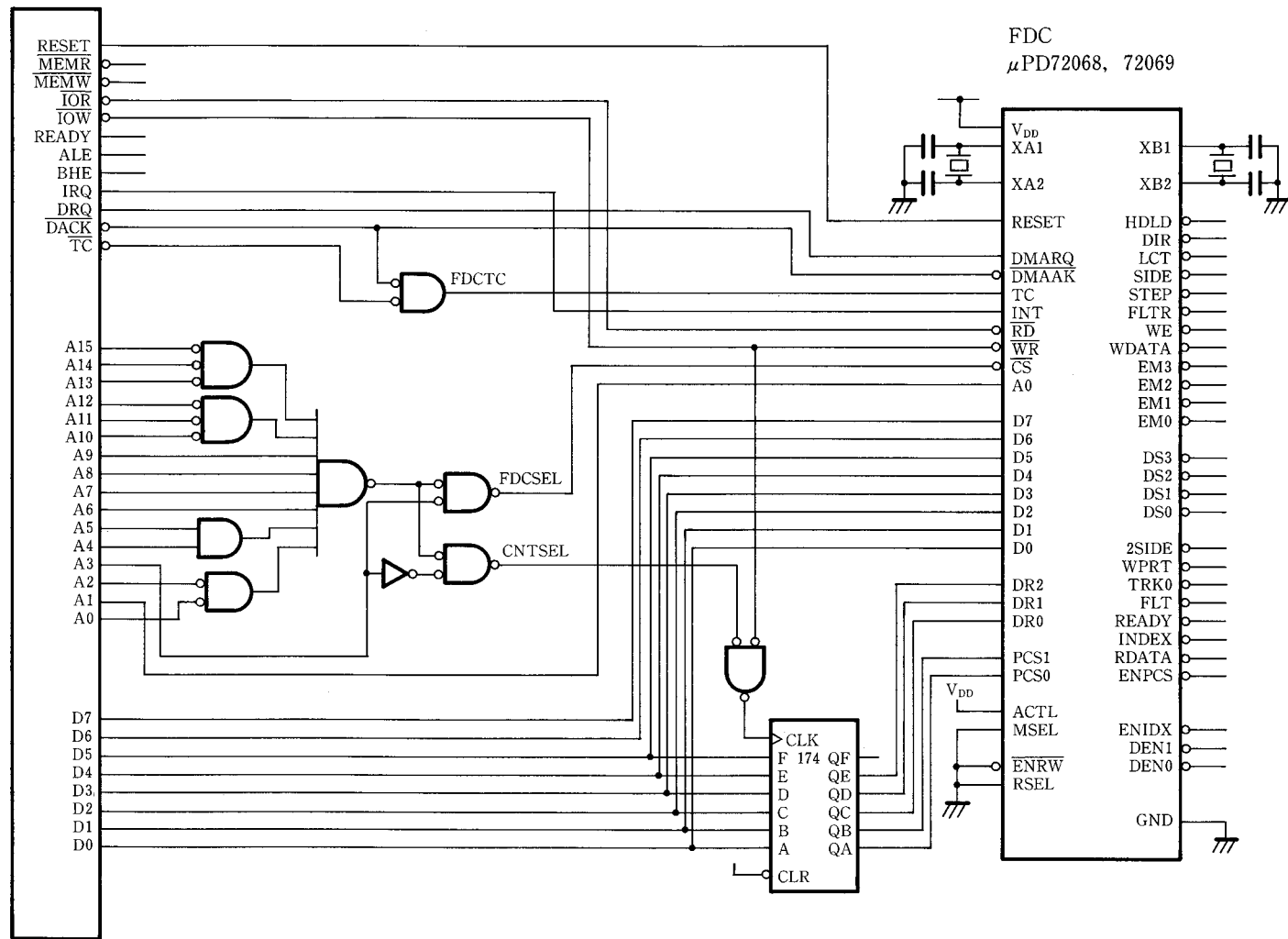
表 2-2 I/O アドレス・マップの例 (外部モード)

アドレス	\overline{CS}	A0	\overline{RD}	\overline{WR}	選択されるレジスタ
3F0H	0	0	0	1	ステータス・レジスタ読み出し
			1	0	補助コマンド・レジスタ書き込み
1		0	1	データ・レジスタ読み出し ^注	
		1	0	データ・レジスタ書き込み ^注	
3F8H	1	—	—	0	データ転送速度設定 書き込み補償量設定

注 \overline{DMAAK} 信号がアクティブ (L) のときは、 \overline{CS} , A0 の状態にかかわらずデータ・レジスタが選択されます。

図 2-2 ホスト・インタフェースの回路例 (外部モード)

ホスト・システム・バス



2.4 クロック生成回路

FDC は、水晶発振回路を内蔵しています。水晶振動子を接続した内部発振動作と外部クロックによる動作のいずれも可能です。図 2-3 に回路例を示します。

2.4.1 内部発振

水晶振動子を XA1, XA2 (XB1, XB2) に接続します。配線は極力短くなるように、また配線を他の信号が交差しないようにしてください。

150, 300, 600 kbps のデータ転送速度を使用しないときは、XB1端子を GND に接続し、XB2 端子をオープンにしてください。

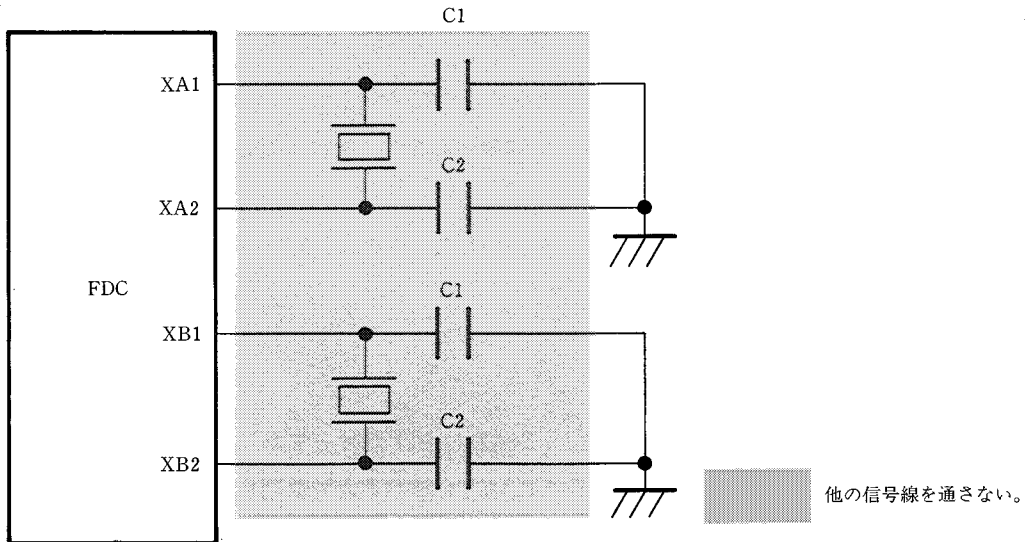
2.4.2 外部クロック入力

クロック信号を XA1 (XB1) に入力し、XA2 (XB2) はオープンにします。クロック信号の入力レベルが CMOS レベルのため、注意が必要です。TTL デバイスで駆動するときは、直列にコンデンサを挿入して XA1 および XB1 に入力します。

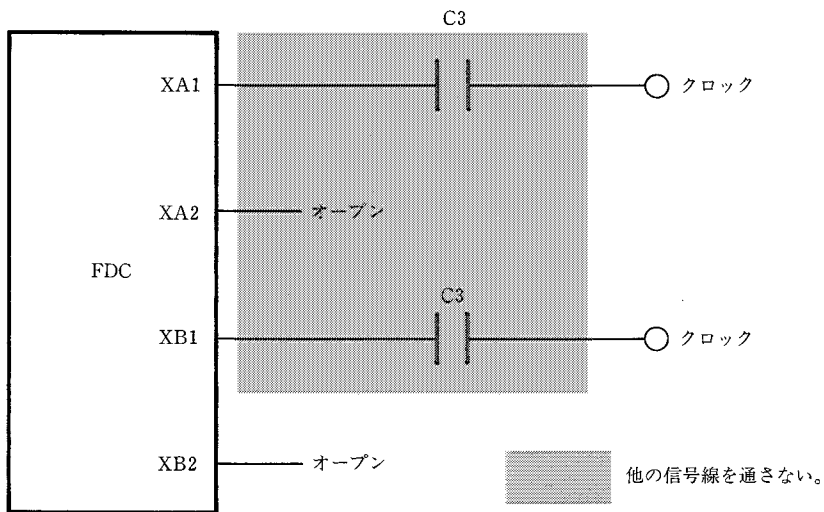
150, 300, 600 kbps のデータ転送速度を使用しないときは、XB1 端子を GND に直結または外部クロック (μ PD72068では32 MHz, μ PD72069では16 MHz) を入力し、XB2 端子をオープンにしてください。

図 2-3 クロック回路例

(a) 内部発振の場合



(b) 外部クロック入力の場合



	周波数(MHz)	C1(pF)	C2(pF)	C3(pF)
μPD72068	32	10	10	110~10000
	19.2	16	16	110~10000
μPD72069	16	20	20	110~10000
	19.2	20	20	110~10000

使用水晶振動子

- 東洋通信機(株)製 TQC-254A-6R (32 MHz)
- TQC-253A-6R (19.2 MHz)
- TQC-XXXX-XX (16 MHz)

2.5 FDD インタフェース

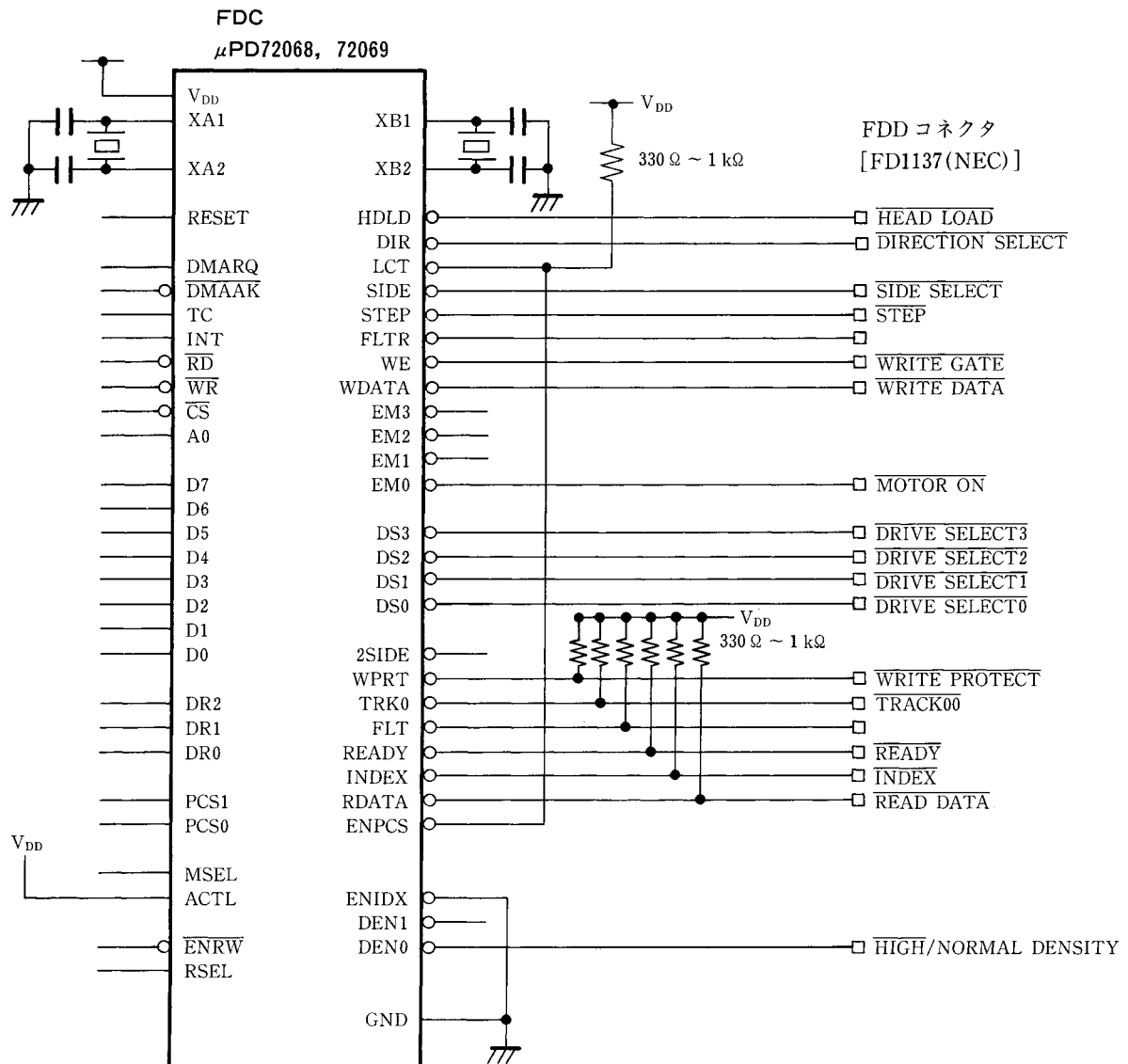
FDC は、FDD インタフェースに必要なほとんどの信号を備えています。FDD に対応する信号を接続すれば FDD インタフェースはほぼ完成です。付録 D に FDD インタフェースの信号表の例を示します。FDC は TTL インタフェース (アクティブ・ロウ) または CMOS インタフェース (アクティブ・ハイ) の選択ができます。

2.5.1 TTL インタフェース (アクティブ・ロウ) FDD との接続

FDD インタフェースのアクティブ・レベルの選択は、ACTL 端子で行います。ACTL 端子をハイ・レベルに固定してください。出力端子はオープン・ドレイン出力 (24 mA シンク) に、入力端子はシュミット・トリガ入力に設定されます。入力端子を抵抗 ($330\ \Omega \sim 1\ \text{k}\Omega$) でプルアップしてください。

図 2-4 に TTL インタフェースの回路例を示します。

図 2-4 FDD TTL インタフェース回路例

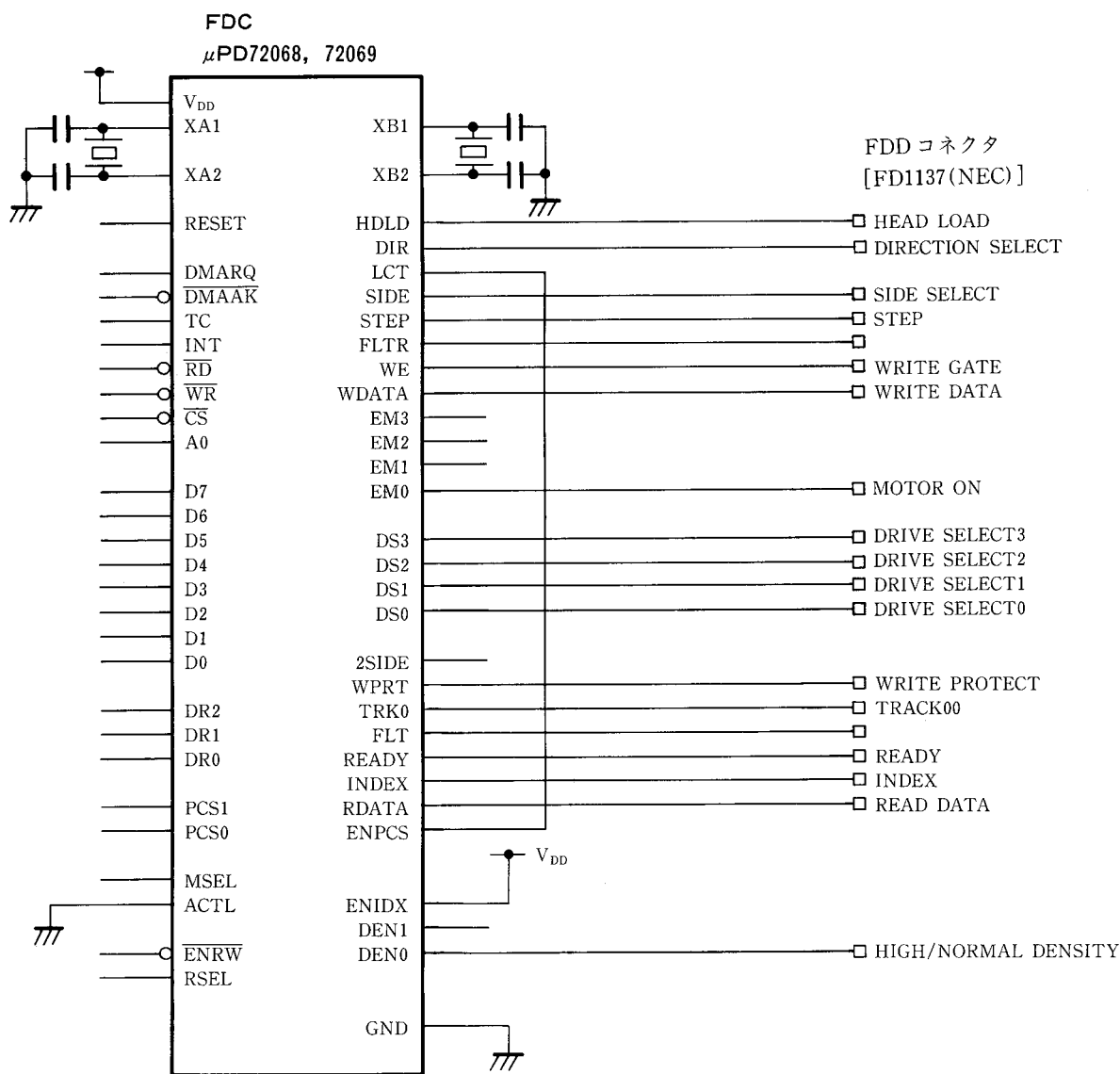


2.5.2 CMOS インタフェース (アクティブ・ハイ) FDD との接続

FDD インタフェースのアクティブ・レベルの選択は、ACTL 端子で行います。ACTL 端子をロウ・レベルに固定してください。出力端子は CMOS レベル出力に、入力端子は TTL コンパチブル入力に設定されます。

図 2-5 に CMOS インタフェースの回路例を示します。

図 2-5 FDD CMOS インタフェース回路例



2.5.3 フォーマットの選択

IBM フォーマットあるいは ECMA/ISO フォーマットの選択は、FMT 端子で設定します。

FMT=L : IBM フォーマット

FMT=H : ECMA/ISO フォーマット

2.5.4 モータ ON/OFF 制御

FDD のモータ（スピンドル・モータ）ON/OFF 制御信号は FDC の EM0-EM3 信号を使用します。

ENABLE MOTORS 補助コマンドで制御します。

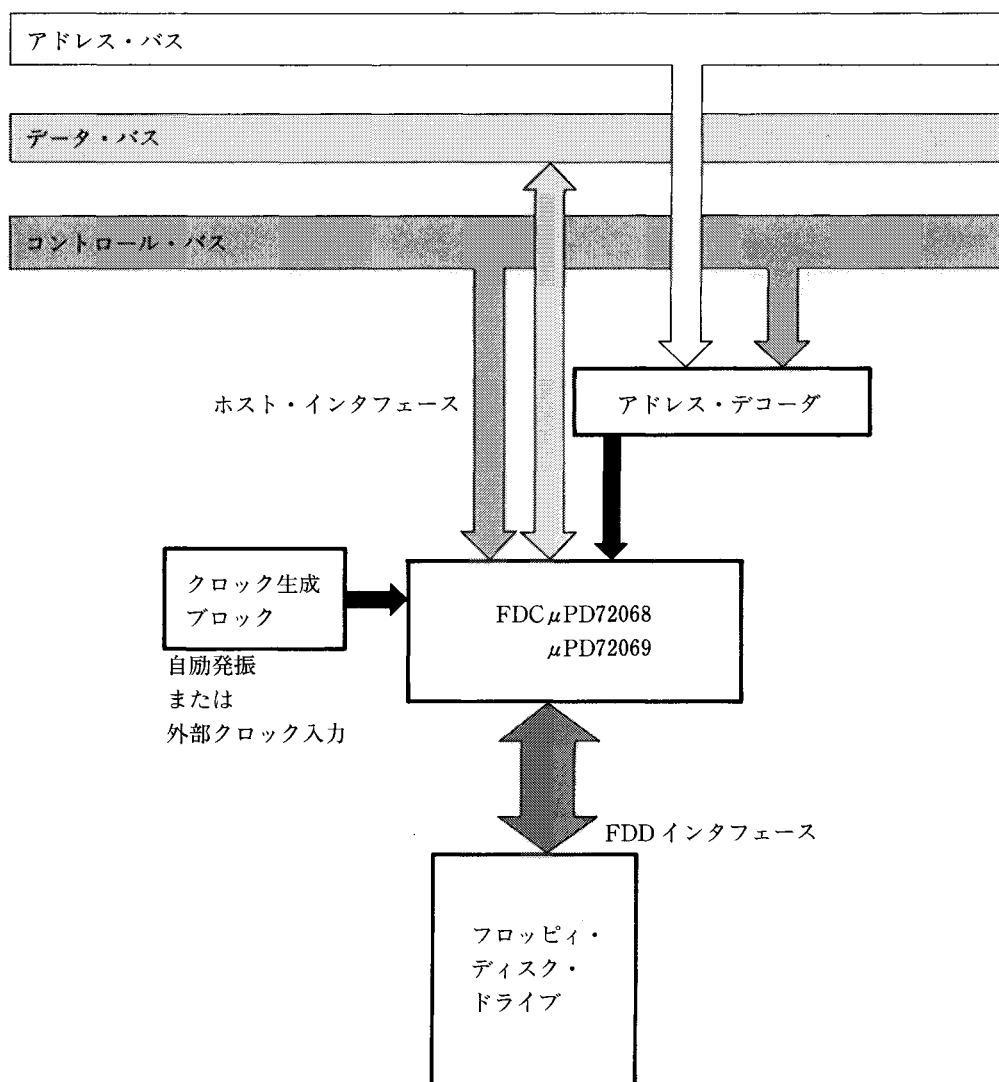
第3章 内部モードでの使用法

この章では、FDCを内部モードで使用方法について述べます。このモードの特徴は、 μ PD765A, 765Bおよび μ PD72065, 72065Bを使用したシステムのソフトウェアにデータ転送速度設定処理, 書き込み補償量設定処理, フォーマット設定処理を追加することで最小のハードウェア構成となることです。

3.1 内部モードでのシステム構成

内部モードでのシステム構成ブロック図を図3-1に示します。
ホスト・インタフェース, クロック生成の各ブロックで構成します。
各ブロックの詳細については, 次節以降を参照してください。

図3-1 内部モードでのシステム構成ブロック図



3.2 端子機能

表3-1に内部モードでの端子機能を示します。

表3-1 内部モードでの端子機能一覧 (1/4)

分類	端子名	I/O	機能	備考
ホ ス ト ・ イ ン タ フ ェ ー ス	RESET	I	FDCをリセットします。リセットを解除すると外部モードになります。 リセット中の信号は、次のようになります。 FDD インタフェース WDATA=不定 ・ACTL=L (ハイ・レベル・アクティブ) のとき DS0=H その他=L ・ACTL=H (ロウ・レベル・アクティブ) のとき DS0=L その他=H ホスト・インタフェース INT=L DMARQ=L その他=リセットに無関係です。	
	\overline{CS}	I	FDCの \overline{RD} 、 \overline{WR} 信号を有効にする信号です。	
	\overline{RD}	I	FDCからデータをデータ・バスへ読み出すための制御信号です。	
	\overline{WR}	I	FDCへデータ・バスのデータを書き込むための制御信号です。	
	A0	I	FDCのレジスタを選択する信号です。 A0=L: ステータス・レジスタ (読み出し) 補助コマンド・レジスタ (書き込み) A0=H: データ・レジスタ (書き込み, 読み出し)	
	D0-D7	I/O	8ビットの双方向データ・バスです。	
	\overline{DMAAK}	I	DMAサイクルでのFDCデータ・レジスタ選択信号です。DMAコントローラの転送許可信号(\overline{DACK})と接続します。 \overline{CS} 、A0信号と無関係にFDCデータ・レジスタを選択します。	
	DMARQ	O	DMAモード(SPECIFYコマンドで設定)でのデータ転送要求信号です。DMAコントローラの転送要求信号(DRQ)と接続します。	
	TC	I	フロッピー・ディスクとのデータ転送の終了指示信号です。データ転送の最終バイト転送時にアクティブにします。DMAコントローラのTC(EOP)と接続します。	

表 3-1 内部モードでの端子機能一覧 (2/4)

分類	端子名	I/O	機能	備考
ホ ス ト ・ イ ン タ フ ェ ー ス	INT	O	ホスト・システムに割り込み要因の発生を知らせる信号です。割り込み要因は、次のとおりです。 1. FDD の READY 信号変化 (状態遷移) 2. SEEK 系コマンド終了 (SIS 要求) 3. データ転送要求 (ノン DMA モード時) 4. リザルト引き取り要求	
	$\overline{\text{ENRW}}$	I	内部モードでは無効です。ハイまたはロウにレベル固定してください。	
	RSEL	I	内部モードでは無効です。ハイまたはロウにレベル固定してください。	
	MSEL	I	レジスタ・モード設定端子です。ロウ・レベルに固定してください。	
	DR0, DR1 DR2	—	内部モードでは無効です。 端子を 10 k Ω 程度の高抵抗でプル・ダウンしてください。	注1
	PCS0, PCS1	I	内部モードでは無効です。 端子を 10 k Ω 程度の高抵抗でプル・ダウンしてください。	
ク ロ ッ ク	XA1	I	クロック端子です。内部発振回路を使用するときは、水晶振動子を接続します。 外部クロックを使用するときは、XA1 端子に入力し、XA2 端子はオープンにします。 周波数は、 $\mu\text{PD72068}$ では 32 MHz、 $\mu\text{PD72069}$ では 16 MHz です。	
	XA2	—		
	XB1	I	データ転送速度が、150, 300, 600 kbps のときのクロック端子です。内部発振回路を使用するときは、水晶振動子を接続します。 外部クロックを使用するときは、XB1 端子に入力し、XB2 端子はオープンにします。 $\mu\text{PD72068}$ では、150, 300 kbps を使用するとき、周波数は 19.2 MHz です。300, 600 kbps を使用するときには 38.4 MHz です。 $\mu\text{PD72069}$ では、周波数は 19.2 MHz です。 150, 300, 600 kbps を使用しないときは、XB1 は GND に直結または外部クロック ($\mu\text{PD72068}$ では 32 MHz、 $\mu\text{PD72069}$ では 16 MHz) を入力してください。XB2 はオープンにします。	
	XB2	—		
F D D イ ン タ フ ェ ー ス	FMT	I	内部モードでは無効です。 端子を 10 k Ω 程度の高抵抗でプル・ダウンしてください。	
	ACTL	I	FDD インタフェース信号のアクティブ・レベル選択端子です。 ACTL=L: アクティブ・ハイ ACTL=H: アクティブ・ロウ	

表 3-1 内部モードでの端子機能一覧 (3/4)

分類	端子名	I/O	機 能	備 考
F D D イ ン タ フ エ ー ス	ENPCS	I	書き込み補償動作の許可/禁止を選択する端子です。 <ul style="list-style-type: none"> ・ ACTL=L : アクティブ・ハイのとき ENPCS=L : 書き込み補償量=0 ns ・ ACTL=H : アクティブ・ロウのとき ENPCS=H : PCS0, PCS1 端子に設定した値で書き込み補償動作を行います。 ・ ACTL=H : アクティブ・ロウのとき ENPCS=H : 書き込み補償量=0 ns ・ ACTL=L : ENPCS=L : PCS0, PCS1 端子に設定した値で書き込み補償動作を行います。 43 番シリンダから内周で書き込み補償を行うときは, LCT 端子と接続します。	
	HDL D	O	FDD のヘッドをロード状態にする信号です。	注2
	DIR	O	シーク動作の方向指示信号です。	注2
	LCT	O	FDD のヘッドが 43 番シリンダから内周に位置していることを示します。 FDD のヘッド電流切り替え信号として使用します。	注2
	SIDE	O	両面型 FDD のヘッドを選択する信号です。	注2
	STEP	O	ステップ・パルスを出力します。DIR 信号で示す方向にステップ・パルスの数だけ FDD ヘッドのシリンダ位置を移動させます。	注2
	FLTR	O	FDD のフォールト状態を解除する信号です。	注2
	DS0-DS3	O	FDD を選択する信号です。4 台までの FDD を制御できます。	注2
	EM0-EM3	O	FDD のスピンドル・モータの ON/OFF を補助コマンドで制御する信号です。汎用出力としても使用できます。	注2
	WE	O	FDD に書き込みデータを転送中であることを示す信号です。	注2
	WDATA	O	FDD への書き込みデータ信号です。 FM/MFM 変調でクロック・ビットとデータ・ビットが合成されています。	注2
	2SIDE	I	両面使用可能なメディアが FDD に挿入されていることを示す信号です。	注2
	WPRT	I	メディアが書き込み禁止であることを示す信号です。	注2
	TRK0	I	FDD のヘッドがシリンダ 0 に位置していることを示す信号です。	注2
	FLT	I	FDD がフォールト状態であることを示す信号です。	注2
	READY	I	FDD がレディ状態であることを示す信号です。	注2
	INDEX	I	FDD のヘッドがメディア上のトラックの物理的開始点に位置していることを示す信号です。	注2
	RDATA	I	FDD からの読み出しデータです。 FM/MFM 変調でクロック・ビットとデータ・ビットが合成されたシリアル・データです。	注2

表 3-1 内部モードでの端子機能一覧 (4/4)

分類	端子名	I/O	機能	備考	
FDD インタフェース	DEN0, DEN1	O	設定したデータ転送速度に応じた値を出力します。FDD のデータ転送速度の制御などに利用できます。	注2	
	ENIDX	I	ACTL=L のときハイ・レベルに固定し, ACTL=H のときロウ・レベルに固定します。	注1, 2	
	LPF1, LPF2	O	メイン PLL の位相誤差出力端子です。 外付け定数回路を接続します。	注1, 2	
	CGP1, CGP2	O	サブ PLL 系の位相誤差出力端子です。 外付け定数回路を接続します。	注1, 2	
	電源	V _{DD}	--	+5 V 電源です (μPD72068)。	
		V _{DD1}	-	デジタル系の電源です (μPD72069)。	
V _{DD2}		-	アナログ系の電源です (μPD72069)。		
グランド	GND1	-	デジタル系のグランドです。		
	GND2	-	バッファ系のグランドです (μPD72068)。 アナログ系のグランドです (μPD72069)。		
	GND3	-	バッファ系の電源です (μPD72069)。		

注1. μPD72069 の端子です。μPD72068 にはありません。

2. ACTL=L のとき

アクティブ・ハイで TTL コンパチブル入力, CMOS レベル出力です。

ACTL=H のとき

アクティブ・ロウでオープン・ドレイン出力, シュミット・トリガ入力です。

3.3 ホスト・インタフェース

FDCの内部モードでのホスト・インタフェースは、一般のペリフェラルLSIと同様です。

FDCに割り当てるアドレスとして2アドレスを割り当てます。表3-2にI/Oアドレス・マップの例を示します。図3-1にホスト・インタフェース回路例を示します。未使用端子の処理についても図3-1を参照してください。

設計時の注意点は、 $\overline{\text{DMAAK}}$ 入力で、データ転送速度により必要なアクティブ・レベル幅が異なる点です。そのためDMAサイクルでウェイトの挿入が必要な場合があります。付録Aを参照してください。

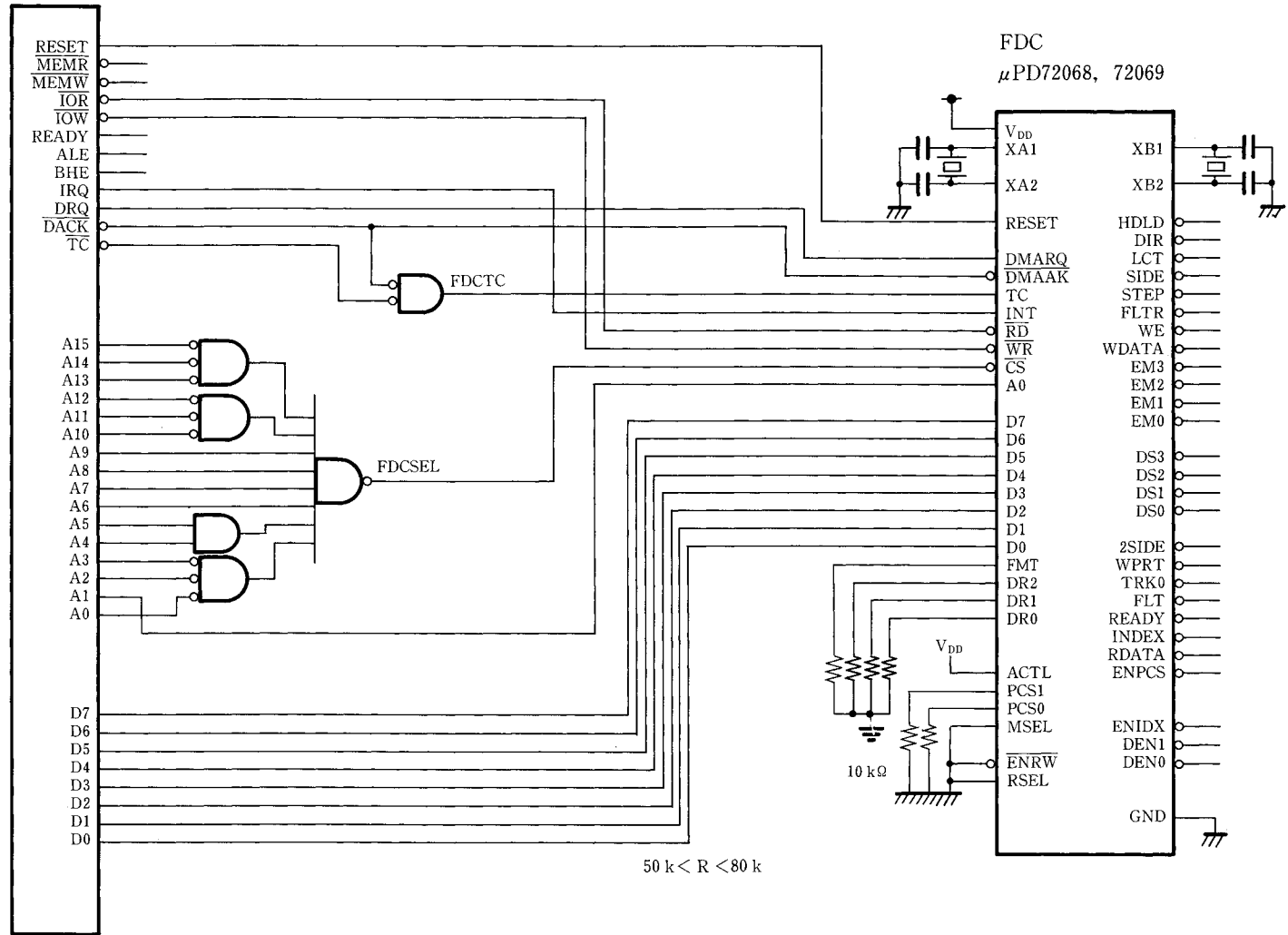
表3-2 I/Oアドレス・マップの例（内部モード）

アドレス	$\overline{\text{CS}}$	A0	$\overline{\text{RD}}$	$\overline{\text{WR}}$	選択されるレジスタ
3F0H	0	0	0	1	ステータス・レジスタ読み出し
			1	0	補助コマンド・レジスタ書き込み
3F2H	0	1	0	1	データ・レジスタ読み出し ^注
			1	0	データ・レジスタ書き込み ^注

注 $\overline{\text{DMAAK}}$ 信号がアクティブ (L) のときは、 $\overline{\text{CS}}$, A0の状態にかかわらずデータ・レジスタが選択されます。

図3-2 ホスト・インタフェースの回路例 (内部モード)

ホスト・システム・バス



3.4 クロック生成回路

FDCは、水晶発振回路を内蔵しています。水晶振動子を接続した内部発振動作と外部クロックによる動作のいずれも可能です。図3-3にクロック回路例を示します。

3.4.1 内部発振

水晶振動子をXA1, XA2 (XB1, XB2) に接続します。配線は極力短くなるように、また配線をほかの信号が交差しないようにしてください。

150, 300, 600 kbps のデータ転送速度を使用しないときは、XB1 端子をGNDに接続し、XB2 端子をオープンにしてください。

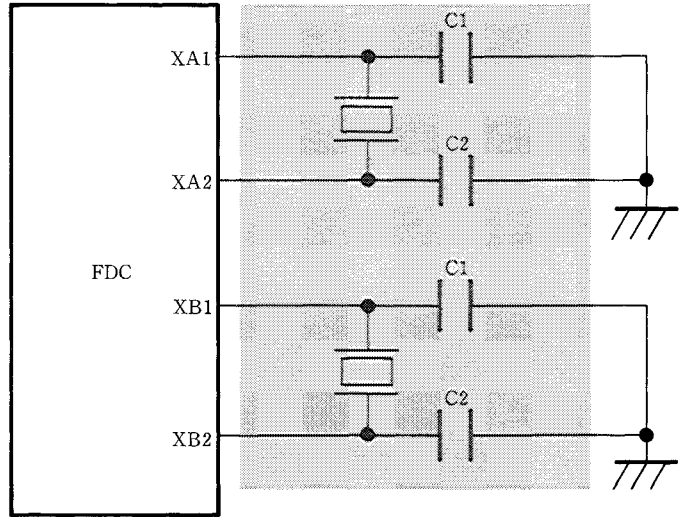
3.4.2 外部クロック入力

クロック信号をXA1 (XB1) に入力し、XA2 (XB2) はオープンにします。クロック信号の入力レベルがCMOSレベルであるため、注意が必要です。TTLデバイスで駆動するときは、直列にコンデンサを挿入してXA1 およびXB1に入力します。

150, 300, 600 kbps のデータ転送速度を使用しないときは、XB1 端子はGNDに直結または外部クロック (μ PD72068では32 MHz, μ PD72069では16 MHz) を入力してください。XB2 端子はオープンにしてください。

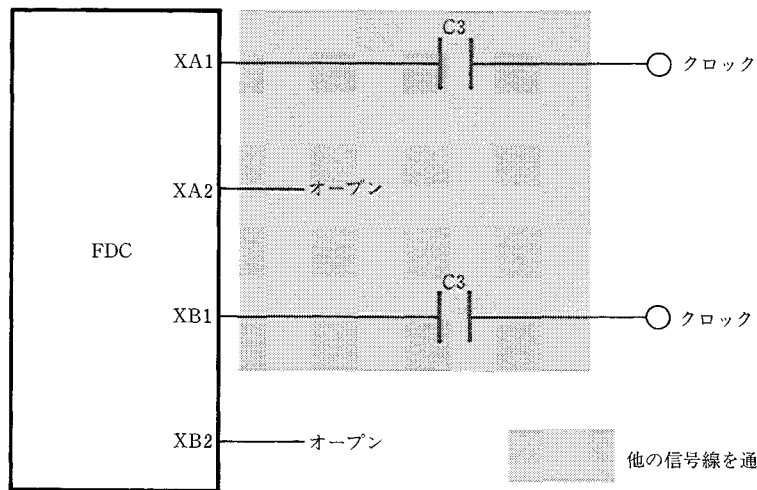
図 3-3 クロック回路例

(a) 内部発振の場合



他の信号線を通さない。

(b) 外部クロック入力の場合



他の信号線を通さない。

	周波数(MHz)	C1 (pF)	C2 (pF)	C3 (pF)
μPD72068	32	10	10	110~10000
	19.2	16	16	110~10000
μPD72069	16	20	20	110~10000
	19.2	20	20	110~10000

使用水晶振動子

- 東洋通信機 (株) 製 TQC-254A-6R (32 MHz)
- TQC-253A-6R (19.2 MHz)
- TQC-XXXX-XX (16 MHz)

3.5 FDD インタフェース

FDCは、FDDインタフェースに必要なほとんどの信号を備えています。FDDに対応する信号を接続すればFDDインタフェースはほぼ完成です。付録DにFDDインタフェースの信号表の代表例を示します。FDCはTTLインタフェース（アクティブ・ロウ）またはCMOSインタフェース（アクティブ・ハイ）の選択ができます。

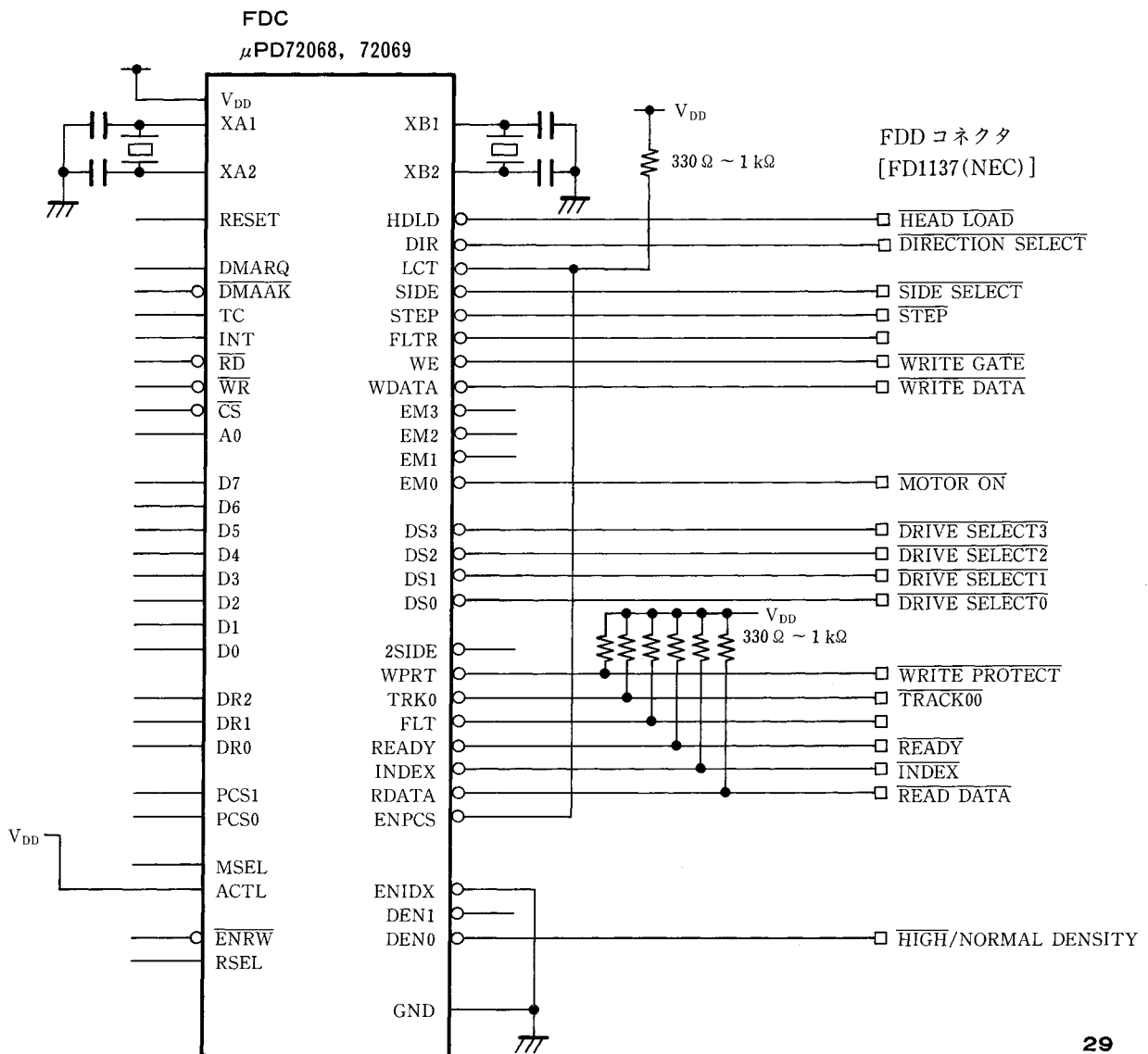
3.5.1 TTLインタフェース（アクティブ・ロウ）FDDとの接続

FDDインタフェースのアクティブ・レベルの選択は、ACTL端子で行います。ACTL端子をハイ・レベルに固定してください。出力端子はオープン・ドレイン出力（24 mA シンク）に、入力端子はシュミット・トリガ入力に設定されます。

入力端子を抵抗（330 Ω ~ 1 kΩ）でプルアップしてください。

図3-4にTTLインタフェースの回路例を示します。

図3-4 FDD TTLインタフェース回路例

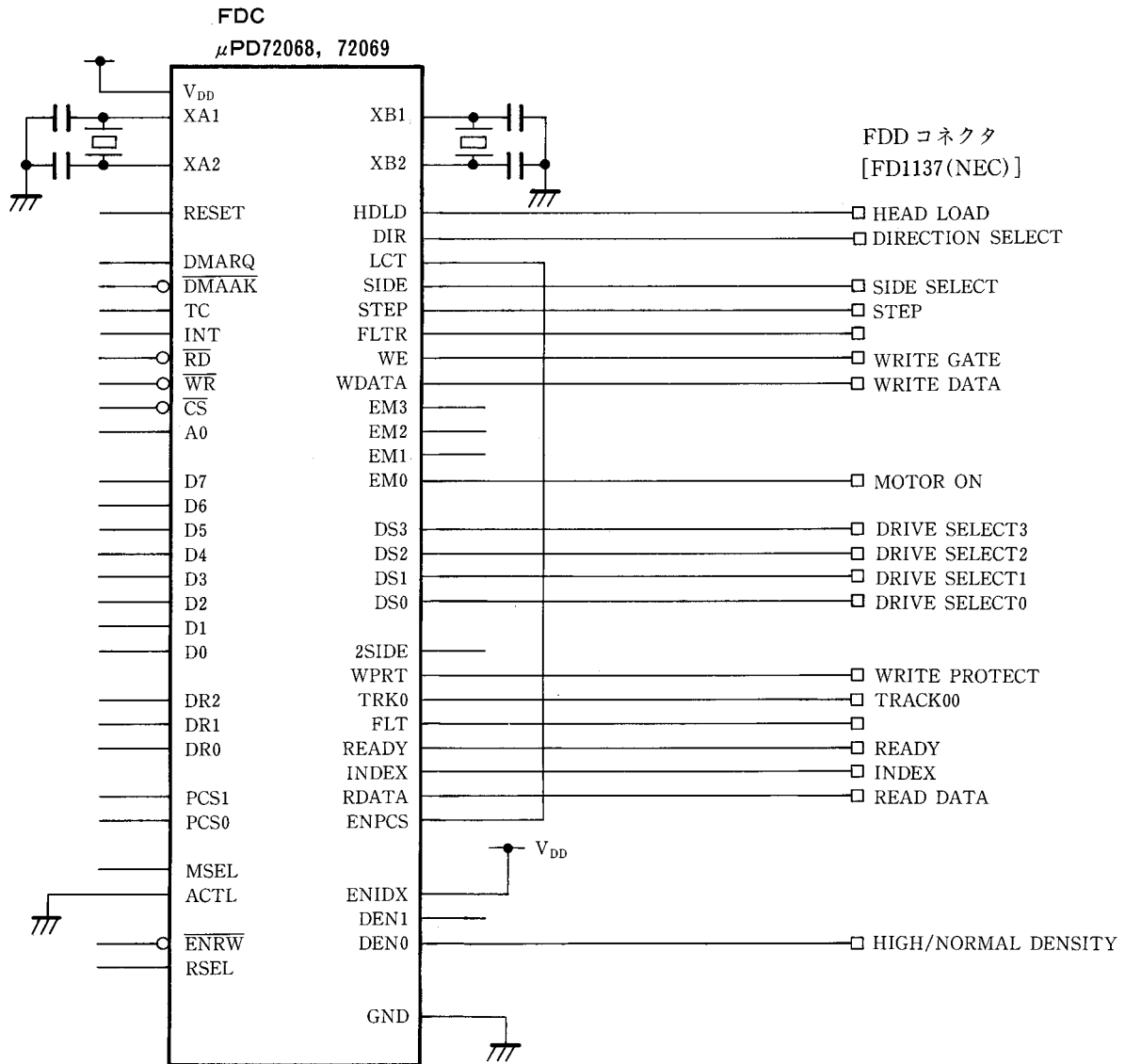


3.5.2 CMOS インタフェース (アクティブ・ハイ) FDD との接続

FDD インタフェースのアクティブ・レベルの選択は、ACTL 端子で行います。ACTL 端子をロウ・レベルに固定してください。出力端子は CMOS レベル出力に、入力端子は TTL コンパチブル入力に設定されます。

図 3-5 に CMOS インタフェースの回路例を示します。

図 3-5 FDD CMOS インタフェース回路例



3.5.3 フォーマットの選択

IBM フォーマットまたは ECMA/ISO フォーマットの選択は、SELECT FORMAT 補助コマンドで設定します。

3.5.4 モータ ON/OFF 制御

FDD のモータ（スピンドル・モータ）ON/OFF 制御信号は FDC の EM0-EM3 信号を使用します。ENABLE MOTORS 補助コマンドで制御します。

第4章 レジスタ・モードでの使用法

この章では、FDCをレジスタ・モードで使用方法について述べます。このモードの特徴は、IBM PC/XTおよびPC/ATとコンパチブルなFDDシステムを容易に構成できることです。

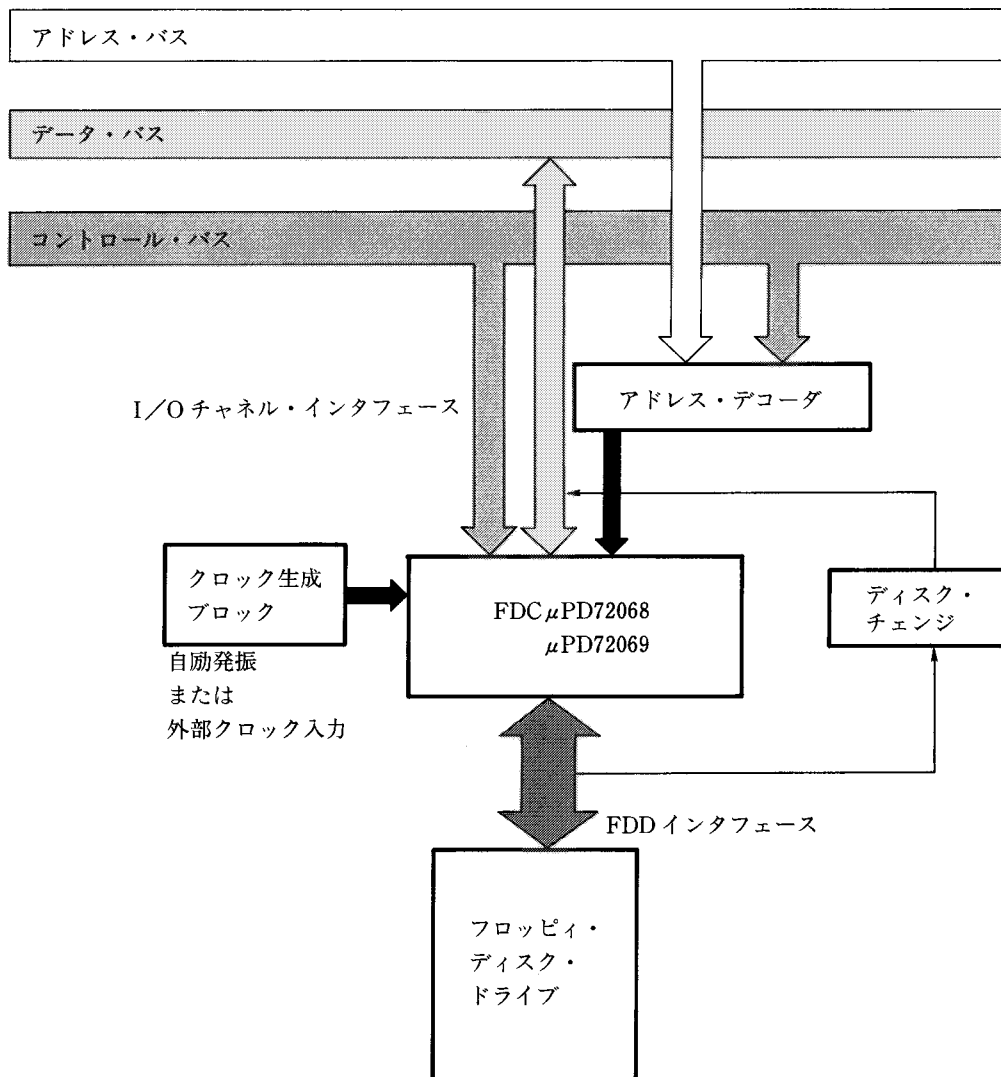
4.1 レジスタ・モードでのシステム構成

レジスタ・モードでのシステム構成ブロック図を図4-1に示します。

I/Oチャンネル・インタフェース、ディスク・チェンジ入力回路で構成します。

各ブロックの詳細については、次節以降を参照してください。

図4-1 レジスタ・モードでのシステム構成ブロック図



4.2 端子機能

表4-1にレジスタ・モードでの端子機能を示します。

表4-1 レジスタ・モードでの端子機能一覧 (1/4)

分類	端子名	I/O	機 能	備 考
ホ ス ト ・ イ ン タ フ ェ ー ス	RESET	I	FDCをリセットします。リセットを解除するとレジスタ・モードになります。 リセット中の信号は、次のようになります。 FDDインタフェース WDATA=不定 ・ACTL=L (ハイ・レベル・アクティブ) のとき すべてLレベル ・ACTL=H (ロウ・レベル・アクティブ) のとき すべてHレベル ホスト・インタフェース INT=ハイ・インピーダンス DMARQ=ハイ・インピーダンス その他=リセットに無関係です。	
	$\overline{\text{ENRW}}$	I	FDCの $\overline{\text{RD}}$, $\overline{\text{WR}}$ 信号を有効にする信号です。	
	$\overline{\text{RD}}$	I	FDCからデータをデータ・バスへ読み出すための制御信号です。	
	$\overline{\text{WR}}$	I	FDCへデータ・バスのデータを書き込むための制御信号です。	
	RSEL	I	RSEL, A0, $\overline{\text{CS}}$ と組み合わせてFDCのレジスタを選択する信号です。 表4-2を参照してください。	
	A0			
	CS			
	MSEL	I	レジスタ・モード設定端子です。ハイ・レベルに固定します。	
	D0-D7	I/O	8ビットの双方向データ・バスです。	
	$\overline{\text{DMAAK}}$	I	DMAサイクルでのFDCデータ・レジスタ選択信号です。DMAコントローラの転送許可信号($\overline{\text{DACK}}$)と接続します。 $\overline{\text{CS}}$, A0信号と無関係にFDCデータ・レジスタを選択します。	
DMARQ	O	DMAモード(SPECIFYコマンドで設定)でのデータ転送要求信号です。DMAコントローラの転送要求信号(DRQ)と接続します。		
TC	I	フロッピー・ディスクとのデータ転送の終了指示信号です。データ転送の最終バイト転送時にアクティブにします。DMAコントローラのTC(EOP)と接続します。		

表 4-1 レジスタ・モードでの端子機能一覧 (2/4)

分類	端子名	I/O	機 能	備 考
ホ ス ト ・ イ ン タ フ ェ ー ス	INT	O	ホスト・システムに割り込み要因の発生を知らせる信号です。割り込み要因は、次のとおりです。 1. FDD の READY 信号変化 (状態遷移) 2. SEEK 系コマンド終了 (SIS 要求) 3. データ転送要求 (ノン DMA モード時) 4. リザルト引き取り要求	
	DR0		レジスタ・モード時は無効です。 端子を10 kΩ 程度の高抵抗でプル・ダウンしてください。	
	DR1 DR2		データ転送レートおよび書き込み補償量を設定します。	注2
	PCS0, PCS1	I	書き込み補償量を設定します。	
ク ロ ッ ク	XA1	I	クロック端子です。内部発振回路を使用するときは、水晶振動子を接続します。 外部クロックを使用するときは、XA1 端子に入力し、XA2 端子はオープンにします。 周波数は、 μ PD72068 では 32 MHz、 μ PD72069 では 16 MHz です。	
	XA2	-		
	XB1	I	データ転送速度が、150, 300, 600 kbps のときのクロック端子です。内部発振回路を使用するときは、水晶振動子を接続します。 外部クロックを使用するときは、XB1 端子に入力し、XB2 端子はオープンにします。 μ PD72068 では、150, 300 kbps を使用するとき、周波数は 19.2 MHz です。300, 600 kbps を使用するときには 38.4 MHz です。 μ PD72069 では、周波数は 19.2 MHz です。 150, 300, 600 kbps を使用しないときは、XB1 に 1 MHz 以上のクロックを入力し、XB2 はオープンにします。	
	XB2	-		
F D D イ ン タ フ ェ ー ス	FMT	I	フォーマットの種類を設定します。 FMT=L : IBM フォーマット FMT=H : ECMA/ISO フォーマット	
	ACTL	I	FDD インタフェース信号のアクティブ・レベル選択端子です。 ACTL=L : アクティブ・ハイ ACTL=H : アクティブ・ロウ	

表 4-1 レジスタ・モードでの端子機能一覧 (3/4)

分類	端子名	I/O	機 能	備 考
F D D イ ン タ フ ェ ー ス	ENPCS	I	書き込み補償動作の許可/禁止を選択する端子です。 <ul style="list-style-type: none"> ・ ACTL=L : アクティブ・ハイのとき ENPCS=L : 書き込み補償量=0 ns ENPCS=H : CONTROL INTERNAL MODE (PRECOMPENSATION) 補助コマンドで設定した値で書き込み補償動作を行います。 ・ ACTL=H : アクティブ・ロウのとき ENPCS=H : 書き込み補償量=0 ns ENPCS=L : CONTROL INTERNAL MODE (PRECOMPENSATION) 補助コマンドで設定した値で書き込み補償動作を行います。 43 番のシリンダから内周で書き込み補償を行うときは, LCT 端子と接続します。	
	HDL D	O	FDD のヘッドをロード状態にする信号です。	注2
	DIR	O	シーク動作の方向指示信号です。	注2
	LCT	O	FDD のヘッドが 43 番から内周のシリンダに位置していることを示します。 FDD のヘッド電流切り替え信号として使用します。	注2
	SIDE	O	両面型 FDD のヘッドを選択する信号です。	注2
	STEP	O	ステップ・パルスを出力します。DIR 信号にしたがった方向にステップ・パルスの数だけ FDD ヘッドのシリンダ位置を移動させます。	注2
	FLTR	O	FDD のフォールト状態を解除する信号です。	注2
	DS0-DS3	O	FDD を選択する信号です。4 台までの FDD を制御できます。	注2
	EM0-EM3	O	FDD のスピンドル・モータの ON/OFF を補助コマンドで制御する信号です。汎用出力としても使用できます。	注2
	WE	O	FDD に書き込みデータを転送中であることを示す信号です。	注2
	WDATA	O	FDD への書き込みデータ信号です。 FM/MFM 変調でクロック・ビットとデータ・ビットが合成されています。	注2
	2SIDE	I	両面使用可能なメディアが FDD に挿入されていることを示す信号です。	注2
	WPRT	I	メディアが書き込み禁止であることを示す信号です。	注2
	TRK0	I	FDD のヘッドがシリンダ 0 に位置していることを示す信号です。	注2
	FLT	I	FDD がフォールト状態であることを示す信号です。	注2
	READY	I	FDD がレディ状態であることを示す信号です。	注2
	INDEX	I	FDD のヘッドがメディア上のトラックの物理的開始点に位置していることを示す信号です。	注2

表 4-1 レジスタ・モードでの端子機能一覧 (4/4)

分類	端子名	I/O	機能	備考
FDD インタフェース	RDATA	I	FDDからの読み出しデータです。このデータはFM/MFM変調でクロック・ビットとデータ・ビットが合成されたシリアル・データです。	注2
	DEN0, DEN1	O	設定したデータ転送速度に応じた値を出力します。FDDのデータ転送速度の制御などに利用できます。	注2
	ENIDX	I	ACTL=Lのときハイ・レベルに固定し、ACTL=Hのときロウ・レベルに固定します。	注1, 2
	LPF1, LPF2	O	メインPLLの位相誤差出力端子です。 外付け定数回路を接続します。	注1, 2
	CGP1, CGP2	O	サブPLL系の位相誤差出力端子です。 外付け定数回路を接続します。	注1, 2
電源	V _{DD}	-	+5V電源です (μPD72068)。	
	V _{DD1}	-	デジタル系の電源です (μPD72069)。	
	V _{DD2}	-	アナログ系の電源です (μPD72069)。	
グランド	GND1	-	デジタル系のグランドです。	
	GND2	-	バッファ系のグランドです (μPD72068)。 アナログ系のグランドです (μPD72069)。	
	GND3	-	バッファ系の電源です (μPD72069)。	

注1. DR2端子は、μPD72069の端子です。μPD72068にはありません。

2. ACTL=Lのとき

アクティブ・ハイでTTLコンパチブル入力、CMOSレベル出力です。

ACTL=Hのとき

アクティブ・ロウでオープン・ドレイン出力、シュミット・トリガ入力です。

4.3 ホスト・インタフェース

レジスタ・モードでのホスト・インタフェースは、IBM PC/XT, PC/AT の I/O チャンネルとのインタフェースとなります。割り当てるアドレスとして PC/XT では4アドレス、PC/AT では5アドレスを割り当てます。表4-2に I/O アドレス・マップを示します。図4-2にホスト・インタフェース回路例を示します。未使用端子の処理についても図4-2を参照してください。

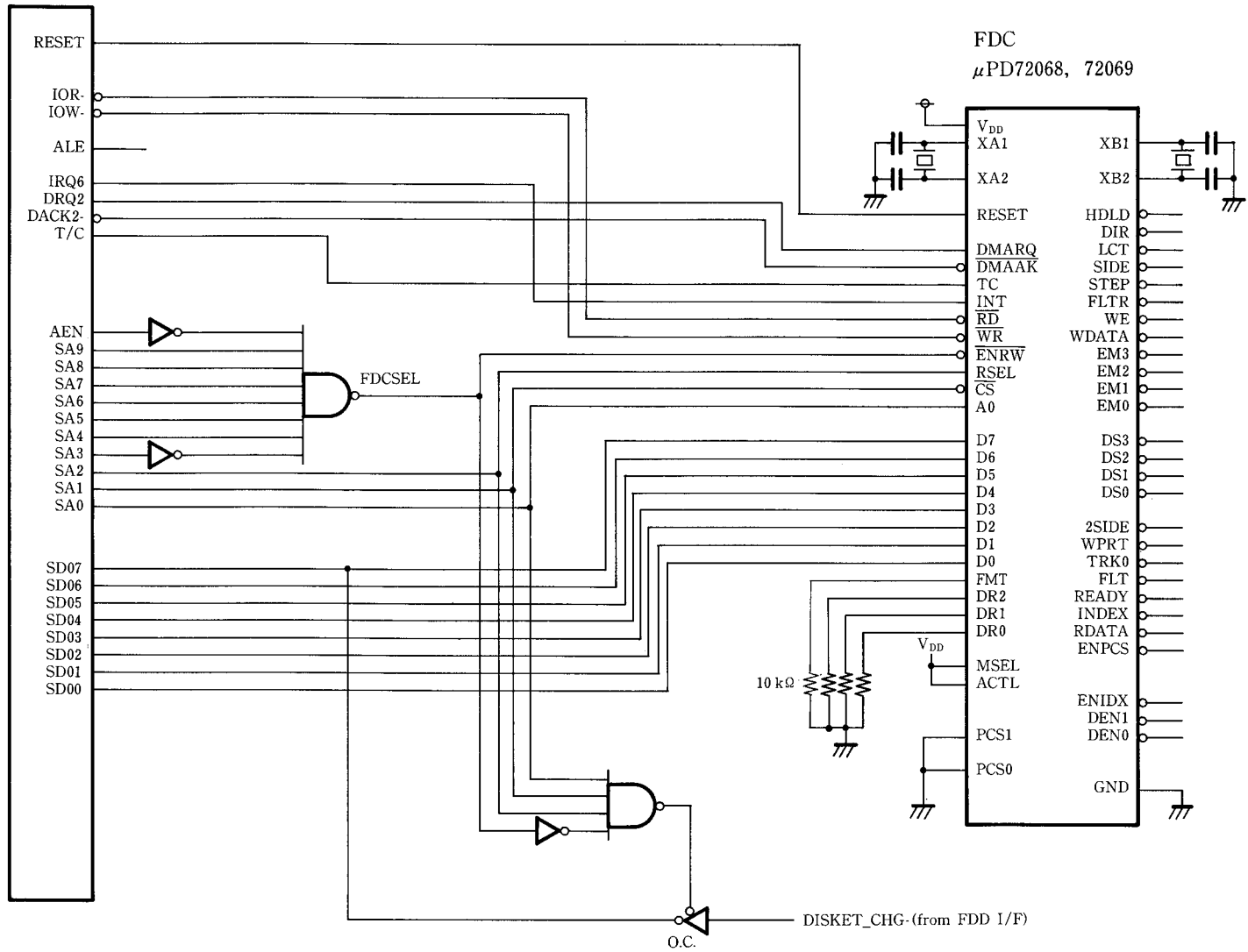
表4-2 I/O アドレス・マップの例 (レジスタ・モード)

アドレス	ENRW	RSEL	\overline{CS}	A0	\overline{RD}	\overline{WR}	選択されるレジスタ
3F4H	0	1	0	0	0	1	ステータス・レジスタ読み出し
					1	0	補助コマンド・レジスタ書き込み
1				0	1	データ・レジスタ読み出し ^注	
				1	0	データ・レジスタ書き込み ^注	
3F2H		0	1	0	1	0	デジタル・アウト・レジスタ書き込み
3F7H		1		1			コントロール・レジスタ書き込み

注 \overline{DMAACK} 信号がアクティブ (L) のときは、 \overline{CS} , A0 の状態にかかわらずデータ・レジスタが選択されます。

図 4-2 ホスト・インタフェースの回路例 (レジスタ・モード)

I/O チャンネル



注意
 DR1, DR2 端子および PCS1, PCS2 端子は、使用するデータ転送レートおよびアプリケーション量で設定してください。

4.4 クロック生成回路

FDC は、水晶発振回路を内蔵しています。水晶振動子を接続した内部発振動作と外部クロックによる動作のいずれも可能です。回路例を図4-3に示します。

4.4.1 内部発振

水晶振動子を XA1, XA2 (XB1, XB2) に接続します。配線は極力短くなるように、また配線をほかの信号が交差しないようにしてください。

150, 300, 600 kbps のデータ転送速度を使用しないときは、XB1 端子は 1 MHz 以上の外部クロックを入力し、XB2 端子はオープンにしてください。

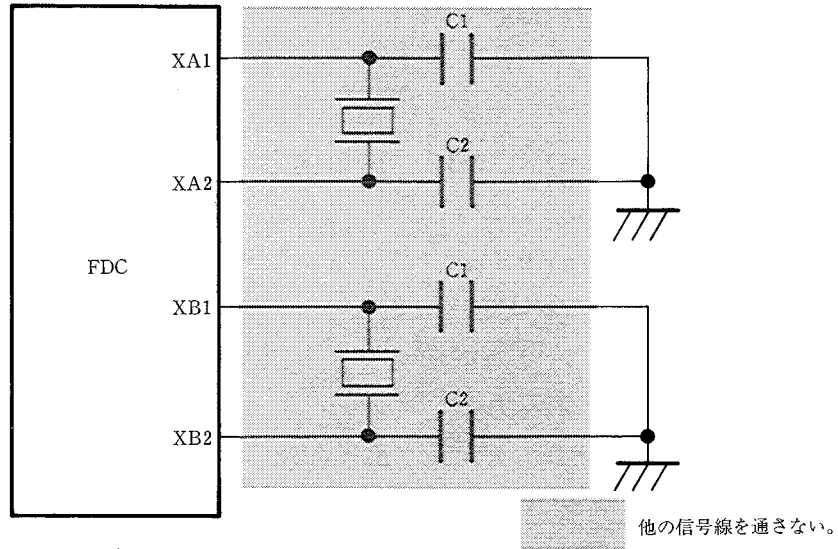
4.4.2 外部クロック入力

クロック信号を XA1 (XB1) に入力し、XA2 (XB2) は、オープンにします。クロック信号の入力レベルが、CMOS レベルであるため、注意が必要です。TTL デバイスで駆動するときは、直列にコンデンサを挿入して XA1 および XB1 に入力します。

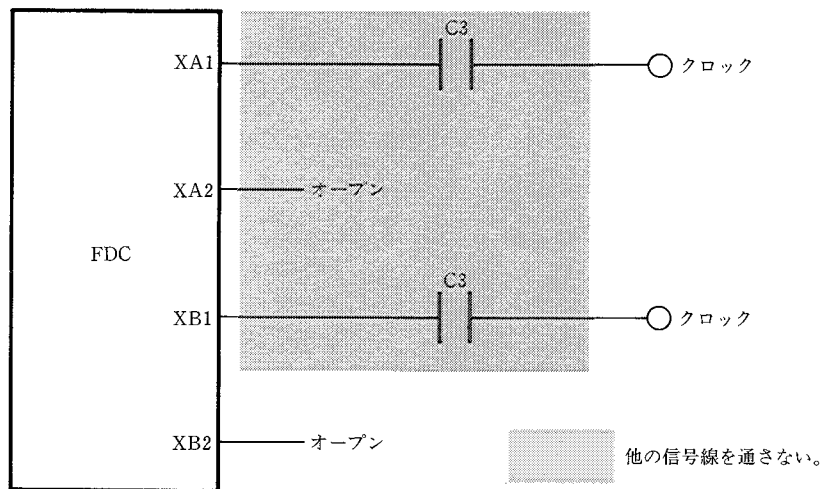
150, 300, 600 kbps のデータ転送速度を使用しないときは、XB1 端子に外部クロック (μ PD72068 では 32 MHz, μ PD72069 では 16 MHz) を入力し、XB2 端子はオープンにしてください。

図4-3 クロック回路例

(a) 内部発振の場合



(b) 外部クロック入力の場合



	周波数(MHz)	C1(pF)	C2(pF)	C3(pF)
μPD72068	32	10	10	110~10000
	19.2	16	16	110~10000
μPD72069	16	20	20	110~10000
	19.2	20	20	110~10000

使用水晶振動子

- 東洋通信機(株)製 TQC-254A-6R (32 MHz)
- TQC-253A-6R (19.2 MHz)
- TQC-XXXX-XX (16 MHz)

4.5 FDD インタフェース

FDCはFDDインタフェースに必要なほとんどの信号を備えています。またTTLインタフェース(アクティブ・ロウ)またはCMOSインタフェース(アクティブ・ハイ)の選択ができます。IBM PC/ATの場合にはDISK CHANGE信号回路が必要です。付録DにFDDインタフェースの信号表の代表例を示します。

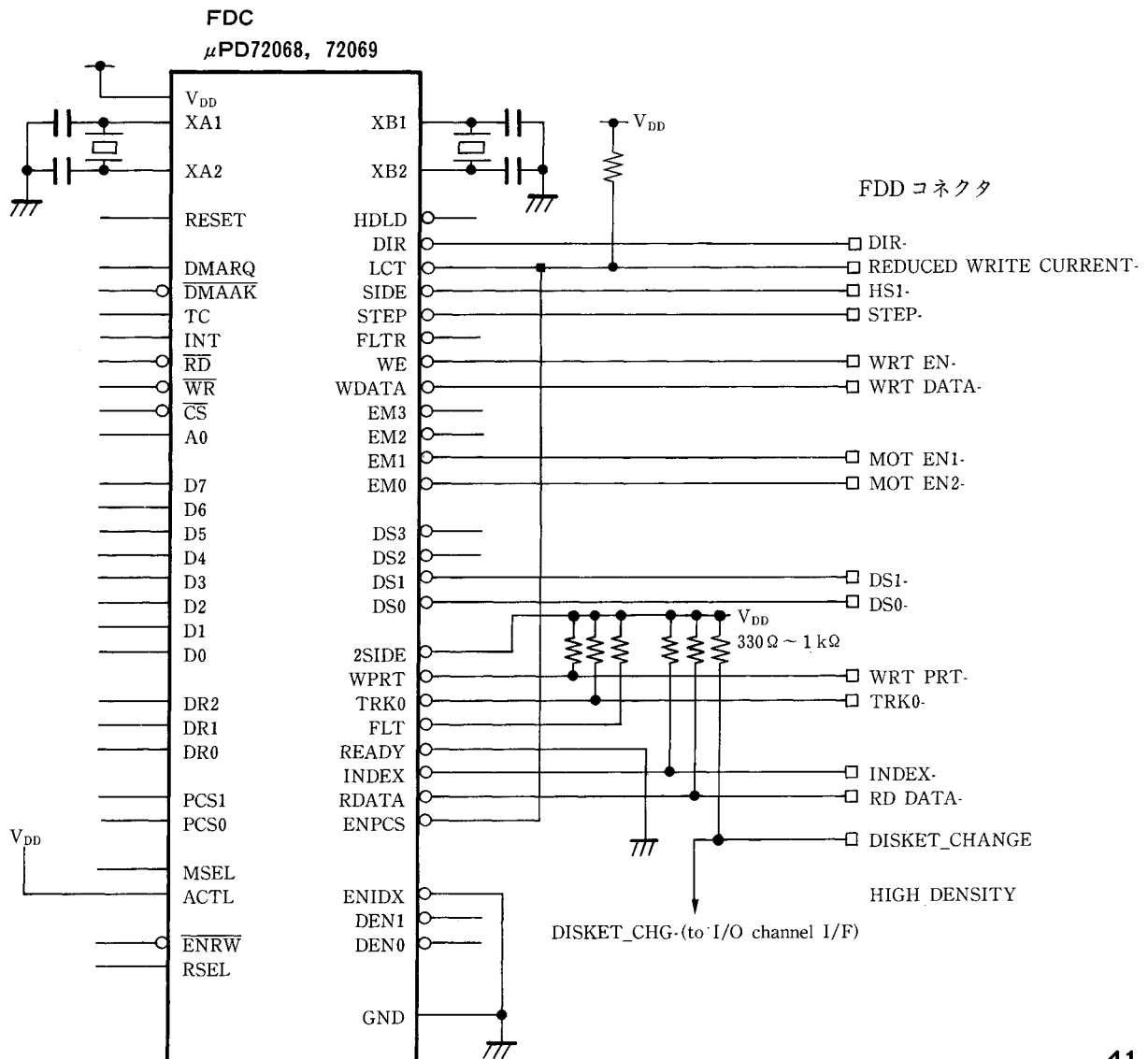
4.5.1 TTLインタフェース(アクティブ・ロウ) FDDとの接続

FDDインタフェースのアクティブ・レベルの選択は、ACTL端子で行います。ACTL端子をハイ・レベルに固定してください。出力端子はオープン・ドレイン出力(24 mAシンク)に、入力端子はシュミット・トリガ入力に設定されます。

入力端子を抵抗(330Ω~1kΩ)でプルアップしてください。

図4-4にTTLインタフェースの回路例を示します。

図4-4 FDD TTLインタフェース回路例

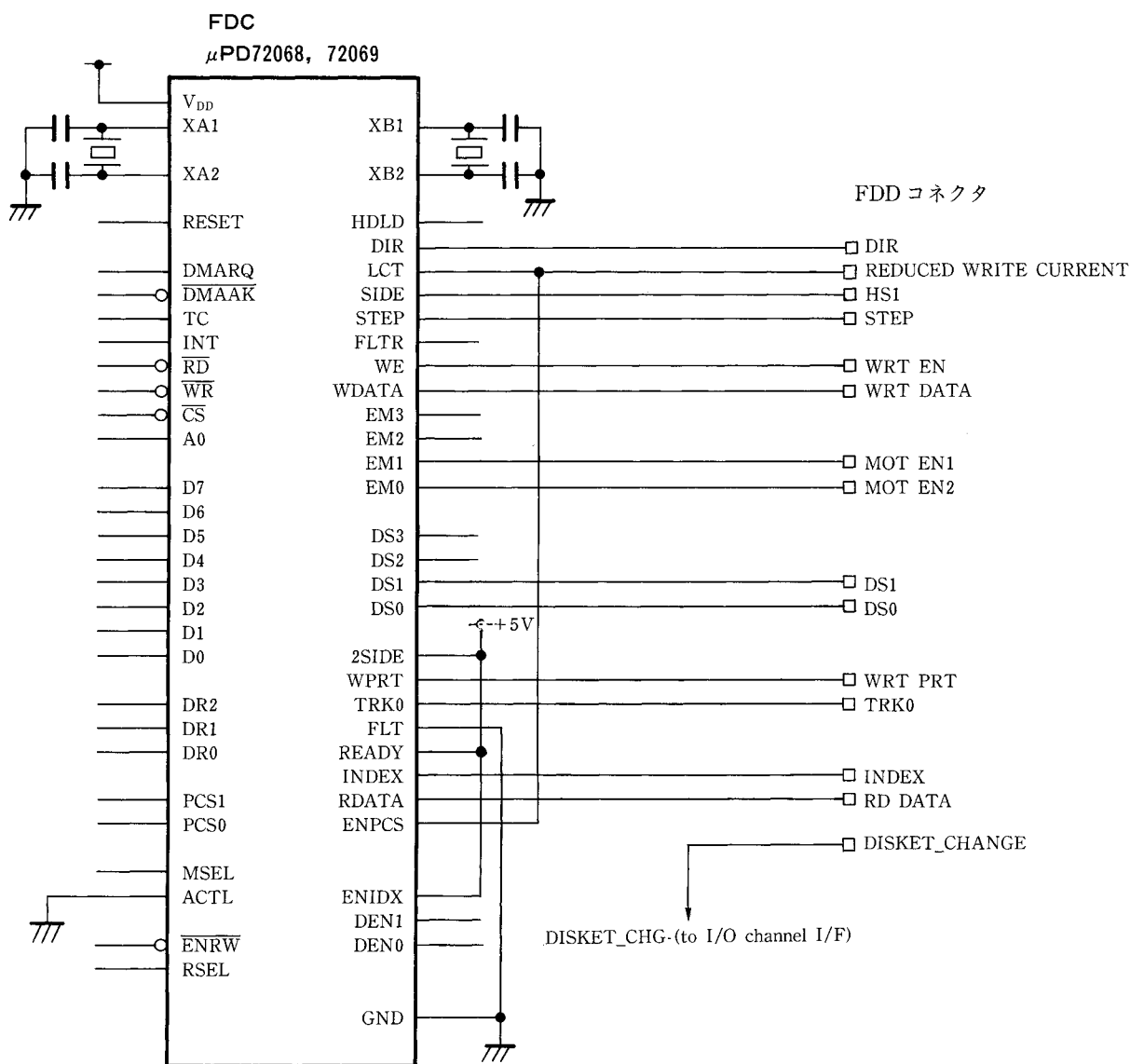


4.5.2 CMOS インタフェース (アクティブ・ハイ) FDD との接続

FDD インタフェースのアクティブ・レベルの選択は、ACTL 端子で行います。ACTL 端子をロウ・レベルに固定してください。出力端子は CMOS レベル出力に、入力端子は TTL コンパチブル入力に設定されます。

図 4-5 に CMOS インタフェースの回路例を示します。

図 4-5 FDD CMOS インタフェース回路例



4.5.3 フォーマットの選択

IBM フォーマットまたは ECMA/ISO フォーマットの選択は、FMT 端子で設定します。

FMT=L : IBM フォーマット

FMT=H : ECMA/ISO フォーマット

4.5.4 モータ ON/OFF 制御

FDD のモータ (スピンドル・モータ) ON/OFF 制御は FDC の EM0-EM3 信号を使用します。デジタル・アウト・レジスタで制御します。

第5章 設計上の注意事項

5.1 $\overline{\text{DMAAK}}$ 入力について

$\mu\text{PD72068}$, 72069 の $\overline{\text{DMAAK}}$ 入力は、データ転送速度でアクティブ・パルスの最小幅規格が変化します。DMA サイクルにウェイト・ステートの挿入が必要な場合があります。

$\mu\text{PD72069}$ では、データ転送速度に依存しません。

例 データ転送速度 = 250 kbps の場合

FDC : $\overline{\text{DMAAK}}$ 最小幅規格 = $16.5 t_{\text{CYA}}$ [516 ns]

8237 [5 MHz] :

0 ウェイト : DACK 出力最小幅規格 = 430 ns

1 ウェイト : DACK 出力最小幅規格 = 630 ns

5.2 FDD インタフェースについて

FDC 内蔵のオープン・ドレイン出力バッファのシンク電流は、最大24 mA です。これ以上の電流が必要な場合は、CMOS インタフェース (アクティブ・ハイ・レベル) を選択して外部にバッファを接続してください。

5.3 電源, グランド配線について

$\mu\text{PD72068}$ の場合、電源は1系統、グランドはデジタル系とバッファ系の2系統です。 $\mu\text{PD72069}$ の場合、電流はデジタル/バッファ系とアナログ系の2系統、グランドはデジタル系とバッファ系とアナログ系の3系統です。バッファ系のグランド電流は、200 mA 以上になることがあります。配線幅、引き回しには電源容量を考慮してください。またデジタル系、アナログ系への影響を少なくするため、各電源、グランド間にバイパス・コンデンサを設置してください。

付録 A FDC コマンド/パラメーター一覧

コ マ ン ド	Phase	R/W	D7	-----						D0	備 考		
READ DATA	C	W	1	MT	MF	SK	0	0	1	1	0	SK : Skip DDAM	
			2	×	×	×	×	×	HD	US1	US0	} 実行開始セクタの ID 情報	
			3	C									
			4	H									
			5	R									
			6	N									
			7	EOT									
			8	GSL									
			9	DTL									
	E	R	-	転送データ						データ転送			
	R	R	1	←IC→	0	0	NR	HD	US1	US0	ST0 (D7ビットは常に0)		
			2	EN	0	DE	OR	0	ND	0	MA	ST1	
			3	0	CM	DD	NC	0	0	BC	MD	ST2	
			4	C						} IC=00 のとき実行終了セクタの次のセクタ IC=01 のとき実行終了セクタ (異常発生) ただしIC=00, CM(ST2)=1, かつ SK=0 のときは実行終了セクタの ID 情報			
			5	H									
6			R										
7			N										
READ DELETED DATA	C	W	1	MT	MF	SK	0	1	1	0	0	SK : Skip DAM	
			2	×	×	×	×	×	HD	US1	US0	} READ DATA に同じ	
			3	C									
			4	H									
			5	R									
			6	N									
			7	EOT									
			8	GSL									
			9	DTL									
	E	R	-	転送データ						データ転送			



コ マ ン ド	Phase	R/W	D7					D0	備 考				
READ DELETED DATA	R	R	1	←IC→	0	0	NR	HD	US1	US0	READ DATA に同じ		
			2	EN	0	DE	OR	0	ND	0		MA	
			3	0	CM	DD	NC	0	0	BC		MD	
			4					C					
			5					H					
			6					R					
			7					N					
READ ID	C	W	1	0	MF	0	0	1	0	1	0		
			2	×	×	×	×	×	HD	US1	US0		
	R	R	1	←IC→	0	0	NR	HD	US1	US0	READ DATA に同じ E-Phase で読み出した ID 情報		
			2	EN	0	DE	OR	0	ND	0		MA	
			3	0	0	0	0	0	0	0		0	
			4					C					
			5					H					
			6					R					
			7					N					
			E	-	-								
WRITE ID	C	W	1	0	MF	0	0	1	1	0	1		
			2	×	×	×	×	×	HD	US1	US0		
			3					N					
			4					SC					
			5					GPL					
			6					D					
	E	W	-	転送データ								1トラック上のセクタ数分の ID 情報(SC×4バイト)を転送する。	
	R	R	1	←IC→	0	EC	NR	HD	US1	US0	READ DATA に同じ 無意味 C-Phase で指定したNバイト		
			2	0	0	0	OR	0	0	NW		0	
			3	0	0	0	0	0	0	0		0	
4							C						
5							H						
6							R						
7							N						



コ マ ン ド	Phase	R/W	D7							D0	備 考		
WRITE DATA	C	W	1	MT	MF	0	0	0	1	0	1	READ DATA に同じ	
			2	×	×	×	×	×	HD	US1	US0		
			3	C									
			4	H									
			5	R									
			6	N									
			7	EOT									
			8	GSL									
			9	DTL									
	E	W	-	転送データ						データ転送			
	R	R	1	←IC→	0	EC	NR	HD	US1	US0	READ DATA に同じ		
			2	EN	0	DE	OR	0	ND	NW		MA	
			3	0	0	0	NC	0	0	BC		0	
			4	C									
			5	H									
			6	R									
7			N										
WRITE DELETED DATA	C	W	1	MT	MF	0	0	1	0	0	1	READ DATA に同じ	
			2	×	×	×	×	×	HD	US1	US0		
			3	C									
			4	H									
			5	R									
			6	N									
			7	EOT									
			8	GSL									
			9	DTL									
	E	W	-	転送データ						データ転送			
	R	R	1	←IC→	0	EC	NR	HD	US1	US0	READ DATA に同じ		
			2	EN	0	DE	OR	0	ND	NW		MA	
			3	0	0	0	NC	0	0	BC		0	
			4	C									
			5	H									
			6	R									
7			N										



コ マ ン ド	Phase	R/W	D7					D0	備 考			
READ DIAGNOSTIC	C	W	1	0	MF	0	0	0	0	1	0	READ DATA に同じ (ただしRは無意味)
			2	×	×	×	×	×	HD	US1	US0	
			3	C								
			4	H								
			5	R								
			6	N								
			7	EOT								
			8	GSL								
			9	DTL								
	E	W	-	転送データ						データ転送		
	R	R	1	←IC→	0	0	NR	HD	US1	US0	READ DATA に同じ	
			2	EN	0	DE	OR	0	ND	0		MA
			3	0	CM	DD	NC	0	0	BC		MD
			4	C								
			5	H								
			6	R								
7			N									
SCAN EQUAL	C	W	1	MT	MF	SK	1	0	0	0	1	READ DATA に同じ
			2	×	×	×	×	×	HD	US1	US0	
			3	C								
			4	H								
			5	R								
			6	N								
			7	EOT								
			8	GSL								
			9	STP								
	E	W	-	転送データ						データ比較		
	R	R	1	←IC→	0	0	NR	HD	US1	US0	最終比較セクタ	
			2	EN	0	DE	OR	0	ND	0		MA
			3	0	CM	DD	NC	SH	SN	BC		MD
			4	C								
			5	H								
			6	R								
7			N									



コ マ ン ド	Phase	R/W	D7					D0	備 考				
SCAN LOW OR EQUAL	C	W	1	MT	MF	SK	1	1	0	0	1	READ DATA に同じ	
			2	×	×	×	×	×	HD	US1	US0		
			3					C					
			4					H					
			5					R					
			6					N					
			7					EOT					
			8					GSL					
			9					STP					
	E	W	-	転送データ						データ比較			
	R	R	1	←IC→	0	0	NR	HD	US1	US0	最終比較セクタ		
			2	EN	0	DE	OR	0	ND	0		MA	
			3	0	CM	DD	NC	SH	SN	BC		MD	
			4					C					
			5					H					
			6					R					
			7					N					



コ マ ン ド	Phase	R/W	D7					D0			備 考		
SCAN HIGH OR EQUAL	C	W	1	MT	MF	SK	1	1	1	0	1	READ DATA に同じ	
			2	×	×	×	×	×	HD	US1	US0		
			3	C									
			4	H									
			5	R									
			6	N									
			7	EOT									
			8	GSL									
			9	STP									
	E	W	-	転送データ							データ比較		
	R	R	1	←IC→	0	0	NR	HD	US1	US0	最終比較セクタ		
			2	EN	0	DE	OR	0	ND	0		MA	
			3	0	CM	DD	NC	SH	SN	BC		MD	
			4	C									
			5	H									
6			R										
7			N										
SEEK	C	W	1	0	0	0	0	1	1	1			
			2	×	×	×	×	×	HD	US1		US0	
			3	NCN									
E	-	-	-							シーク動作			
RECALIBRATE	C	W	1	0	0	0	0	0	1	1	1		
			2	×	×	×	×	×	×	US1	US0		
E	-	-	-							リキャリブレイト動作			
SENSE INTERRUPT STATUS	C	W	1	0	0	0	0	1	0	0	コマンド終了時のシリンドラ番号(状態遷移時 IC=11 のときは無意味)		
	R	R	1	←IC→	SC	EC	NR	0	US1	US0			
SENSE DEVICE STATUS	C	W	1	0	0	0	0	0	1	0	0		
			2	×	×	×	×	×	HD	US1	US0		
R	R	1	ST3									ドライブの状態	
SPECIFY	C	W	1	0	0	0	0	0	0	1	1		
			2	←SRT→			←HUT→						
			3	←HLT→						←ND→			
SET STANDBY	C	W	1	0	0	1	1	0	1	0	1		
RESET STANDBY	C	W	1	0	0	1	1	0	1	0	0		
	R	R	1	1	0	0	0	0	0	0	0		INVALID コマンド

コ マ ン ド	Phase	R/W	D7 ————— D0								備 考	
SOFTWARE RESET	C	W	1	0	0	1	1	0	1	1	0	
ENABLE EXTERNAL MODE	C	W	1	0	0	1	1	0	0	1	1	
	R	R	1	1	0	0	0	0	0	0	0	INVALID コマンド
CONTROL INTERNAL MODE	C	W	1	DR1	DR0	PCS1	PCS0	1	0	1	1	
	R	R	1	1	0	0	0	0	0	0	0	INVALID コマンド
ENABLE MOTORS	C	W	1	EM3	EM2	EM1	EM0	1	1	1	0	
	R	R	1	1	0	0	0	0	0	0	0	INVALID コマンド
SELECT FORMAT	C	W	1	0	1	0	FMT	1	1	1	1	
	R	R	1	1	0	0	0	0	0	0	0	INVALID コマンド
START CLOCK	C	W	1	0	1	0	0	0	1	1	1	
CONTROL DATA TRANSFER RATE	C	W	1	1	DR2	DR1	DR0	1	0	0	0	μPD72069 のみ
	R	R	1	1	0	0	0	0	0	0	0	INVALID コマンド
PRECOMPENSATION	C	W	1	1	1	PCS1	PCS0	0	0	1	1	μPD72069 のみ
	R	R	1	1	0	0	0	0	0	0	0	INVALID コマンド
VERSION	C	W	1	×	×	×	1	0	0	0	0	
	R	R	1	1	0	0	注	0	0	0	0	INVALID コマンド

注 μPD765B, 72065B, 72067 (K 規格品を除く), 72068, 72068F, 72069 では 1, その他の製品では 0 となります。

付録 B FDC リザルト一覧

表 B-1 リザルト・ステータス 0 (ST0)

ビット	名 称	略 称	内 容													
D7	Interrupt Code	IC	INT 要求が何によるかを示します。													
D6			<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="text-align: center; border-bottom: 1px solid black;"><u>D7</u></td> <td style="text-align: center; border-bottom: 1px solid black;"><u>D6</u></td> <td></td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>コマンドの正常終了 (NT)</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>コマンドの異常終了 (AT)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>起動したコマンドが無効であったため、コマンドを実行しなかったことを示します (IC)。</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>デバイスに状態遷移があったことを示します (AI)。</td> </tr> </table>	<u>D7</u>	<u>D6</u>		0	0	コマンドの正常終了 (NT)	0	1	コマンドの異常終了 (AT)	1	0	起動したコマンドが無効であったため、コマンドを実行しなかったことを示します (IC)。	1
<u>D7</u>	<u>D6</u>															
0	0	コマンドの正常終了 (NT)														
0	1	コマンドの異常終了 (AT)														
1	0	起動したコマンドが無効であったため、コマンドを実行しなかったことを示します (IC)。														
1	1	デバイスに状態遷移があったことを示します (AI)。														
D5	Seek End	SE	SEEK または RECALIBRATE コマンドによるシーク動作が、正常終了または異常終了したときにセットします。													
D4	Equipment Check	EC	デバイスから Fault 信号を受け取ったとき、または RECALIBRATE コマンドで Track0 の信号が一定時間内に検出できなかったときにセットします。													
D3	Not Ready	NR	指定したデバイスが Ready 状態でないときセットします。													
D2	Head Address	HD	INT 要求時のヘッドの状態を示します。 SENSE INTERRUPT STATUS コマンド実行時は常に 0 となっています。													
D1	Unit Select 1	US1	INT 要求時のデバイス番号を示します。													
D0	Unit Select 0	US0														

NT : Normal Terminate

AT : Abnormal Terminate

IC : Invalid Command

AI : Attention Interrupt

表 B-2 リザルト・ステータス 1 (ST1)

ビット	名 称	略 称	内 容
D7	End of Cylinder	EN	EOT で指定した最終セクタを越えてリード/ライトを続けようとした (TC 信号を入力しない) ときセットします。
D6	—	—	0
D5	Data Error	DE	ディスク上の ID またはデータの CRC エラーを検出するとセットします (READ ID を除く)。ID, データの区別は ST2 の DD ビット (D5) によります。
D4	Overrun	OR	データ転送時にメイン・システムのサービスが規定時間内に行われないとセットします。
D3	—	—	0
D2	No Data	ND	<ol style="list-style-type: none"> 次の 5 種のコマンド実行時に IDR で指定したセクタがトラック上で検出できないとセットします。 <ul style="list-style-type: none"> ・ READ DATA ・ READ DELETED DATA ・ WRITE DATA ・ WRITE DELETED DATA ・ SCAN READ ID コマンド実行トラック上に CRC エラーのない ID が見つからないとセットします。 READ DIAGNOSTIC コマンド実行時セクタ ID と指定 IDR の内容が一致しないとセットします。
D1	Not Writable	NW	ライト系コマンドでライト・プロテクト信号を検出するとセットします。
D0	Missing Address Mark	MA	<ol style="list-style-type: none"> ディスクの ID をアクセスするコマンドでインデックス・パルスを 2 回検出するまでに IDAM が見つからないとセットします。 IDAM が見つかったあと, DAM または DDAM が見つからないとセットします。このとき ST2 の MD ビットもセットします。

表 B-3 リザルト・ステータス 2 (ST2)

ビット	名 称	略 称	内 容
D7	—	—	0
D6	Control Mark	CM	READ DATA, READ DIAGNOSTIC または SCAN 実行時に DDAM を検出したとき, あるいは READ DELETED DATA 実行時に DAM を検出したときにセットします。
D5	Data Error in Data Field	DD	データの CRC エラーを検出するとセットします。
D4	No Cylinder	NC	ST1 の ND ビットに付帯して ID の C バイトが一致しないで FFH でもないときセットします (READ DIAGNOSTIC を除く)。
D3	Scan Equal Hit	SH	SCAN コマンドで Equal 条件を満足するとセットします。
D2	Scan Not Satisfied	SN	SCAN コマンドで最終セクタまで条件を満足しないとセットします。
D1	Bad Cylinder	BC	ST1 の ND ビットに付帯して ID の C バイトが FFH であるとセットします (READ DIAGNOSTIC を除く)。
D0	Missing Address Mark in Data Field	MD	ST1 の MA ビットをセットする「2.」の場合 (DAM, DDAM が見つからないとき) にセットします。

表 B-4 リザルト・ステータス 3 (ST3)

ビット	名 称	略 称	内 容
D7	Fault	FT	デバイスからの Fault 信号の状態
D6	Write Protected	WP	デバイスからの Write Protected 信号の状態
D5	Ready	RY	デバイスからの Ready 信号の状態
D4	Track0	T0	デバイスからの Track0 信号の状態
D3	Two Side	TS	デバイスからの Two Side 信号の状態
D2	Head Address	HD	デバイスへの Side Select 信号の状態
D1	Unit Select1	US1	デバイスへの Unit Select1 信号の状態
D0	Unit Select0	US0	デバイスへの Unit Select0 信号の状態

付録 C ステータス・レジスタ

ビット	名 称	略 称	内 容
D7	Request For Master	RQM	<p>メイン・システムに対してデータをやりとりする準備ができて いることを示します。DIO (D6 ビット) の状態により次の動作 をします。</p> <p>DIO=0 のとき :</p> <ul style="list-style-type: none"> ・メイン・システムが FDC へデータを送る場合で、メイン・シ ステムが FDC にデータを書き込むと RQM=0 となります。 ・そして FDC がそのデータを引き取ると RQM=1 となります。 ・ C-Phase, コマンド待ち ・ Non-DMA ライトの E-Phase ・ シーク系の E-Phase <p>DIO=1 のとき :</p> <p>FDC がメイン・システムへデータを送る場合で、FDC がデー タ・レジスタにデータをセットすると RQM=1 となり、メイ ン・システムがそのデータを読み取ると RQM=0 となります。</p> <ul style="list-style-type: none"> ・ R-Phase ・ Non-DMA リードの E-Phase (READ ID を除く)
D6	Data Input/Output	DIO	<p>メイン・システムと FDC の間でやりとりするデータの方向を示 します。</p> <p>DIO=0 のとき : メイン・システム→FDC の方向です。</p> <p>DIO=1 のとき : メイン・システム←FDC の方向です。</p>
D5	Non-DMA Mode	NDM	<p>Non-DMA モードでデータ転送中 (E-Phase) であることを示 します。C-Phase, R-Phase ではこのビットはリセットされて います。</p>
D4	FDC Busy	CB	<p>C-Phase, R-Phase またはリード/ライト系コマンドの E-Phase であることを示します。ただし、シーク系の E-Phase ではセッ トしません。</p> <p>このビットをセットしているときは次のコマンドを受け付けま せん。</p>

ビット	名 称	略 称	内 容
D3	FD3 Busy	D3B	デバイス# 3 にシーク動作させているか、またはシーク動作終了の割り込みを保留中であることを示します (E-Phase)。このビットをセットしているときには、リード/ライト系のコマンドを書き込んではいけません。
D2	FD2 Busy	D2B	デバイス# 2 について D2 ビットと同内容です。
D1	FD1 Busy	D1B	デバイス# 1 について D1 ビットと同内容です。
D0	FD0 Busy	D0B	デバイス# 0 について D0 ビットと同内容です。

付録 D FDD インタフェース信号表

NEC FD1137 (3.5インチ) の例です。I/O は、FDD 側から見たものです。

端子番号	信号名	I/O	機能
2	HIGH/NORMAL DENSITY	I/O	ディスクが高密度かノーマルの切り替え
4	HEAD LOAD	I	ヘッドを媒体に接触指示
	IN USE	I	LED点灯などに使用
6	DRIVE SELECT3	O	ドライブ番号3を選択指示
8	INDEX	O	インデックス・ホール検出パルス出力
10	DRIVE SELECT0	I	ドライブ番号0を選択指示
12	DRIVE SELECT1	I	ドライブ番号1を選択指示
14	DRIVE SELECT2	I	ドライブ番号2を選択指示
16	MOTOR ON	I	スピンドル・モータ回転指示
18	DIRECTION SELECT	I	ヘッド移動方向指示
20	STEP	I	ヘッド移動パルス (1トラック/パルス)
22	WRITE DATA	I	書き込みデータ・パルス列
24	WRITE GATE	I	データ書き込み指示
26	TRACK00	O	ヘッドがトラック00に位置
28	WRITE PROTECT	O	書き込み禁止ディスク
30	READ DATA	O	読み出しデータ・パルス列
32	SIDE SELECT	I	ディスク面の選択指示
34	READY	O	ディスク挿入, モータ回転中
	DISK CHANGE		ディスクがはずされた
奇数番号端子はすべてグランド接続			

—— お問い合わせは、最寄りのNECへ ——

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支社 郡山支社 いわき支社 長岡支社 土浦支社 水戸支社 神奈川支社 群馬支社	札幌 (011)251-5599 仙台 (022)267-8740 盛岡 (019)651-4344 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (029)226-1717 横浜 (045)682-4524 高崎 (0273)26-1255	太田支店 (0276)46-4011 宇都宮支店 (029)621-2281 小山支店 (0285)24-5011 長野支社 (0263)35-1662 甲府支店 (0552)24-4141 埼玉支社 (048)649-1415 立川支社 (0425)26-5981 千葉支社 (043)238-8116 静岡支社 (054)254-4794 北陸支社 (076)232-7303
福井支店 富山支店 三重支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 岡山支店 九州支社	福井 (0776)22-1866 富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 広島 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 岡山 (089)945-4149 福岡 (092)261-2806	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 システムマイクロ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-8891	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD72068, 72069 アプリケーション・ノート ハードウェア編
(S13138JJ2V0AN00 (第2版))

[お名前など] (さしつかえのない範囲で)

御社名 (学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価 (各欄に○をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
そ の 他 ()					
()					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他)

理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他)

理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは

NEC 販売員, 特約店販売員, NEC 半導体ソリューション技術本部員,
その他 ()

ご協力ありがとうございました。

下記あてにFAXで送信いただくか、最寄りの販売員にコピーをお渡しください。

キ
リ
ト
リ