

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8/300H Tiny シリーズ

タイマZアウトプットコンペア機能による任意の位相差のパルス出力

要旨

タイマZアウトプットコンペア機能を使用して、デューティ 50%のパルスを任意の位相差で出力します。

動作確認デバイス

H8/3687

目次

1. 仕様	2
2. 使用機能説明	3
3. 動作説明	6
4. ソフトウェア説明	7
5. フローチャート	10
6. プログラムリスト	12

1. 仕様

1. 図 1.1 に示すように、タイマ Z アウトプットコンペア機能を使用して、デューティ 50% のパルスを任意の位相差で出力します。
2. FTIOA0 出力端子および FTIOB0 出力端子から、パルスを任意の位相差で出力します。
3. パルスの周期は、ジェネラルレジスタ A0 (GRA0) により設定します。
4. FTIOA0、FTIOB0 端子から出力するパルスの位相差は、ジェネラルレジスタ B0 (GRB0) により設定します。
5. 本タスク例では、周期が 16ms、位相差が 3ms のパルスを出力します。

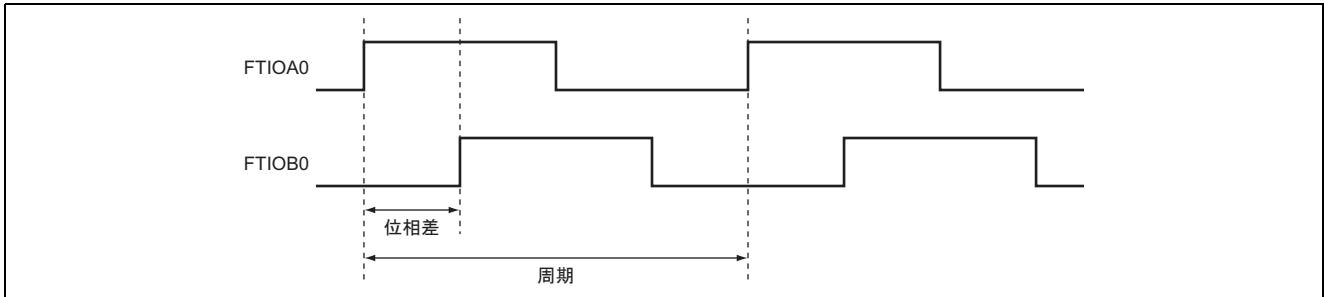


図 1.1 任意の位相差のパルス出力

2. 使用機能説明

1. 本タスク例では、タイマ Z アウトプットコンペア機能を使用して、デューティ 50% のパルスを任意の位相差で出力します。タイマ Z アウトプットコンペア機能のブロック図を図 2.1 に示します。以下にタイマ Z アウトプットコンペア機能のブロック図について説明します。
 - システムクロック (ϕ)
16MHz のクロックで、CPU および周辺機能を動作させるための基準クロックです。
 - プリスケアラ S (PSS)
 ϕ を入力とする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。
 - タイマコントロールレジスタ 0 (TCR0)
TCNT0 の入力クロック、クリア方法を選択します。本タスク例では、入力クロックを $\phi/2$ 、クロックの立ち上がりエッジでカウント、GRA0 のコンペアマッチ/インプットキャプチャで TCNT0 をクリアに設定しています。
 - タイマ I/O コントロールレジスタ A0 (TIORA0)
GRA0、GRB0 を制御します。本タスク例では、GRA0、GRB0 をアウトプットコンペアレジスタとし、FTIOA0、FTIOB0 端子は、コンペアマッチでトグルに出力します。
 - タイマステータスレジスタ 0 (TSR0)
タイマ Z の状態を表します。本タスク例では、GRA0、GRB0 コンペアマッチ時、インプットキャプチャ/コンペアマッチフラグ A、B (IMFA、IMFB) が "1" にセットされます。
 - タイマインタラプトイネーブルレジスタ (TIER0)
各割り込み要求の許可/禁止を制御します。本タスク例では、TSR0 の IMFA、IMFB フラグによる割り込み要求を許可し、それ以外の割り込みは禁止にしています。
 - タイマカウンタ 0 (TCNT0)
16 ビットのリード/ライト可能なアップカウンタで、入力する内部クロック/外部クロックによりカウントアップされます。本タスク例では、入力クロックを $\phi/2$ 、クロックの立ち上がりエッジでカウントします。
 - ジェネラルレジスタ A0 (GRA0)
16 ビットのリード/ライト可能なレジスタです。GRA0 の内容は TCNT0 と常に比較されており、両者の値が一致すると TSR0 の IMFA が "1" にセットされます。この時、TIER0 の IMIEA が "1" ならば、CPU に割り込みを要求します。
 - ジェネラルレジスタ B0 (GRB0)
16 ビットのリード/ライト可能なレジスタです。GRB0 の内容は TCNT0 と常に比較されており、両者の値が一致すると TSR0 の IMFB が "1" にセットされます。この時、TIER0 の IMIEB が "1" ならば、CPU に割り込みを要求します。
 - タイマスタートレジスタ (TSTR)
TCNT0、TCNT1 の動作/停止を選択します。本タスク例では、TCNT0 をカウント動作、TCNT1 をカウント停止に設定しています。
 - タイマモードレジスタ (TMDR)
TCNT0、TCNT1 のタイマ同期/独立を選択します。本タスク例では、TCNT0 と TCNT1 は、独立動作に設定しています。
 - タイマ PWM モードレジスタ (TPMR)
出力端子の通常動作/PWM モードを設定します。本タスク例では、全ての出力端子を通常動作に設定しています。
 - タイマファンクションコントロールレジスタ (TFCR)
各動作モードの設定や出力レベルを選択します。本タスク例では、チャンネル 0、チャンネル 1 を通常動作に設定しています。
 - タイマアウトプットマスタイネーブルレジスタ (TOER)
チャンネル 0、チャンネル 1 の出力を許可/禁止します。本タスク例では、FTIOA0 と FTIOB0 の出力を許可しています。
 - タイマアウトプットコントロールレジスタ (TOCR)
コンペアマッチが最初に発生するまでの初期出力を選択します。本タスク例では、FTIOA0 と FTIOB0 の初期出力を 0 に設定しています。

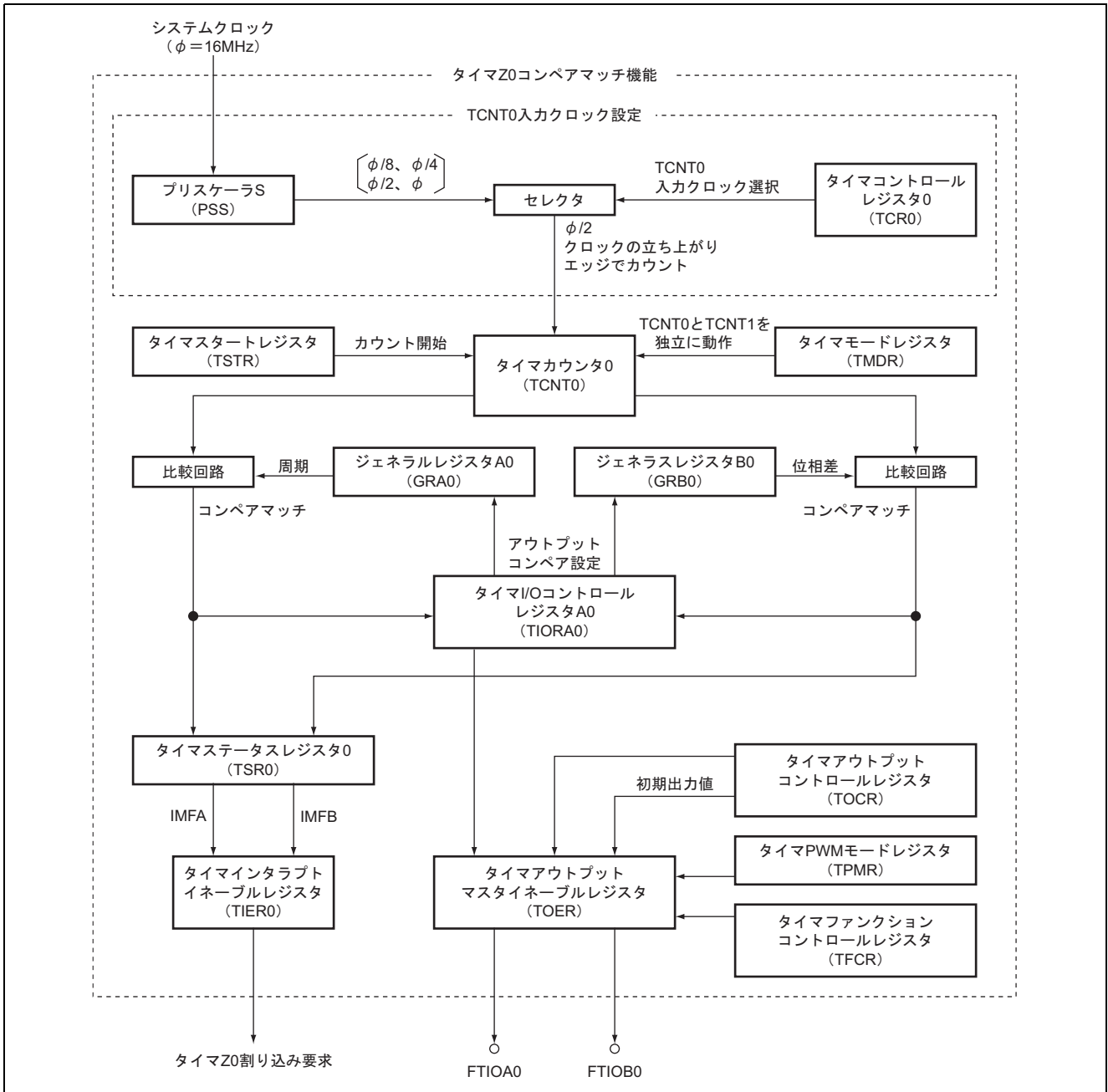


図 2.1 タイマ Z0 のブロック図

2. 出力パルスの周期、および位相差の設定方法を図 2.2 に示します。

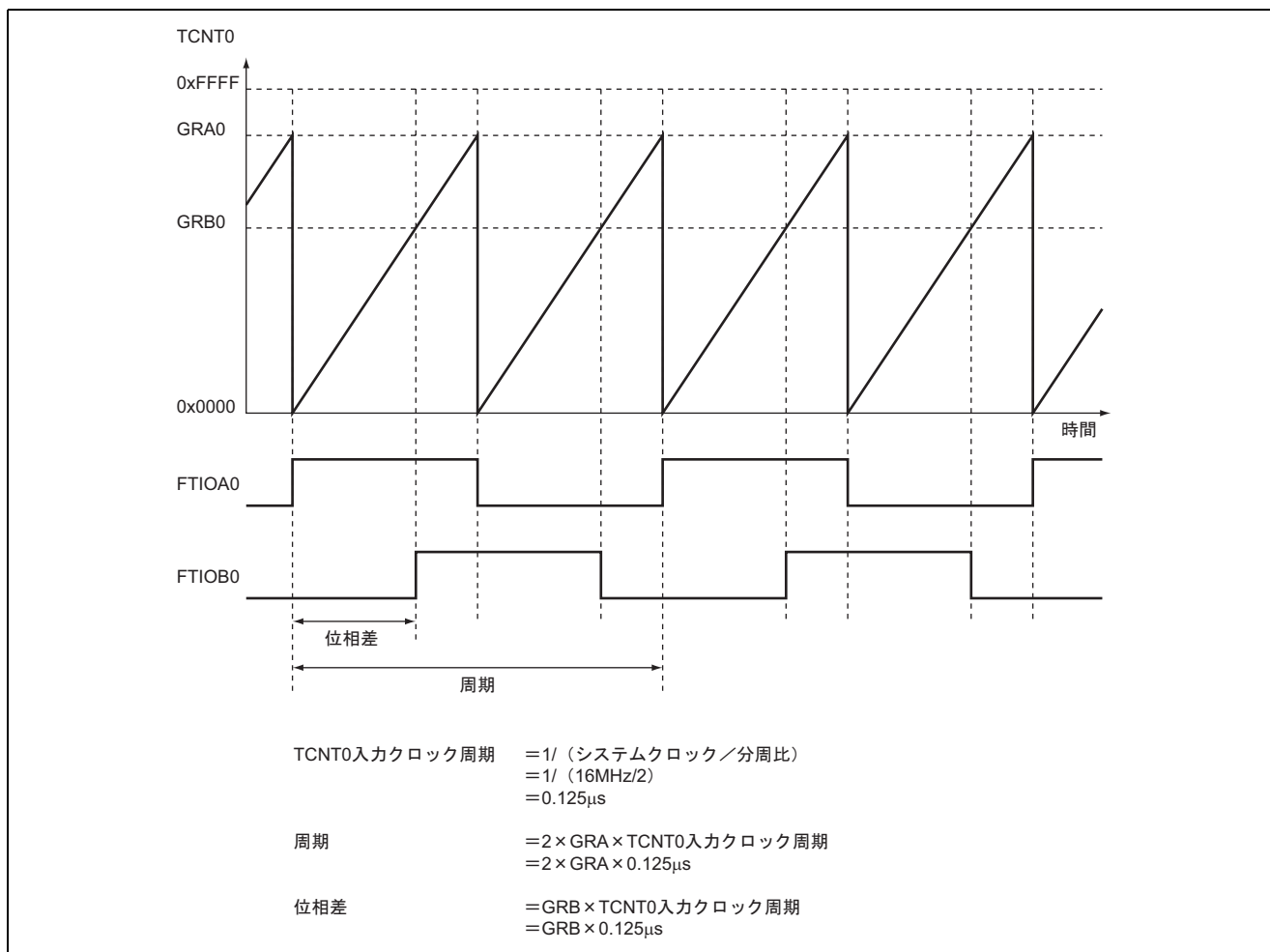


図 2.2 出力パルスの周期、および位相差の設定方法

3. 本タスク例の機能割り付けを表 2.1 に示します。表 2.1 に示すように機能を割り付け、パルスを任意の位相差で出力します。

表 2.1 機能割り付け

機能	機能割り付け
TCR0	TCNT0 入力クロックの設定
TIORA0	GRA0、GRB0 をアウトプットコンペアレジスタに設定
TSR0	GRA0、GRB0 コンペアマッチによるフラグ制御
TIER0	GRA0、GRB0 コンペアマッチによる割り込み要求の許可
TCNT0	$\phi/2$ の立ち上がりエッジでカウントする 16 ビットのカウンタ
GRA0	パルス波形の周期
GRB0	パルス波形の位相差
TSTR	TCNT0 カウントの動作/停止を制御
TMDR	TCNT0 と TCNT1 を独立動作に設定
TPMR	FTIOB 端子を通常動作に設定
TFCR	チャンネル 0、1 を通常動作に設定
TOER	FTIOA0、FTIOB0 端子の出力を許可
TOCR	FTIOA0、FTIOB0 端子の初期出力値を 0 に設定

3. 動作説明

動作説明を図 3.1 に示します。図 3.1 に示すようなハードウェア処理、およびソフトウェア処理により、タイマ Z0 アウトプットコンペア機能による任意の位相差のパルスを出力します。

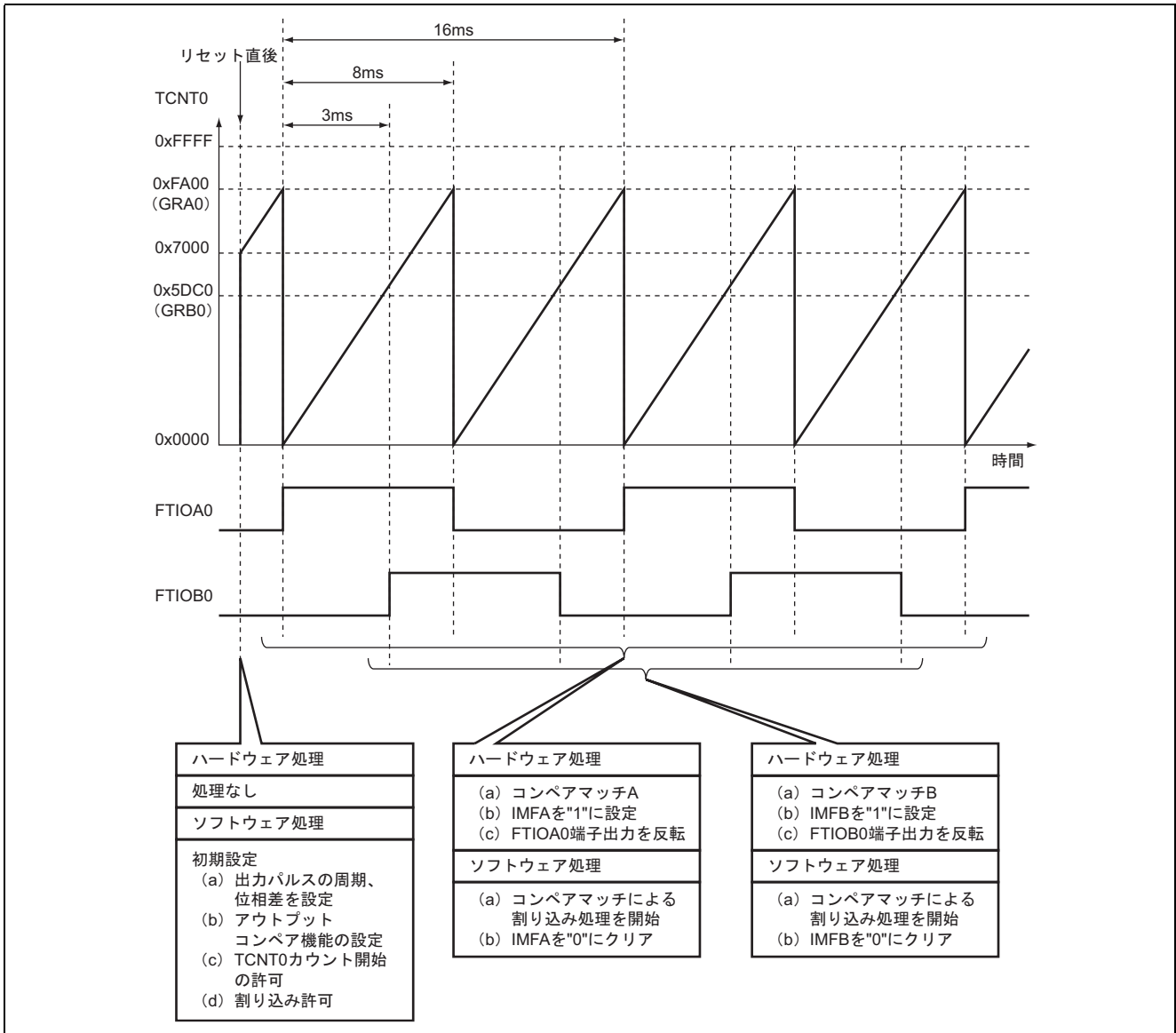


図 3.1 動作説明

4. ソフトウェア説明

4.1 モジュール説明

本タスク例のモジュールを表 4.1 に示します。

表 4.1 モジュール説明

モジュール名	ラベル名	機能
メインルーチン	main	タイマ Z0 アウトプットコンペア機能による出力パルスの周期、位相差の設定、カウンタ開始、割り込みの設定を行う。
タイマ Z0 割り込み処理	tz0int	タイマ Z0 割り込み処理。 IMFA、IMFB フラグをクリアする。

4.2 引数の説明

本タスク例では、引数を使用しません

4.3 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。

- TCR0 タイマコントロールレジスタ 0 アドレス : 0xF700

ビット	ビット名	設定値	機能
7	CCLR2	CCLR2=0	カウンタクリア 2~0 CCLR2=0、CCLR1=0、CCLR0=1 : GRA0 のコンペアマッチ/インプットキャプチャで TCNT0 クリア
6	CCLR1	CCLR1=0	
5	CCLR0	CCLR0=1	
4	CKEG1	CKEG1=0	クロックエッジ 1~0 CKEG1=0、CKEG0=0 : クロックの立ち上がりエッジでカウント
3	CKEG0	CKEG0=0	
2	TPSC2	TPSC2=0	タイマプリスケラ 2~0 TPSC2=0、TPSC1=0、TPSC0=1 : $\phi/2$ でカウント
1	TPSC1	TPSC1=0	
0	TPSC0	TPSC0=1	

- TIORA0 タイマ I/O コントロールレジスタ A0 アドレス : 0xF701

ビット	ビット名	設定値	機能
6	IOB2	IOB2=0	I/O コントロール B2~0 IOB2=0、IOB1=1、IOB0=1 : GRB をアウトプットコンペアレジスタとし、コンペアマッチにより FTIOB 端子からトグルに出力
5	IOB1	IOB1=1	
4	IOB0	IOB0=1	
2	IOA2	IOA2=0	I/O コントロール A2~0 IOA2=0、IOA1=1、IOA0=1 : GRA をアウトプットコンペアレジスタとし、コンペアマッチにより FTIOA 端子からトグルに出力
1	IOA1	IOA1=1	
0	IOA0	IOA0=1	

- TSR0 タイマステータスレジスタ 0 アドレス : 0xF703

ビット	ビット名	設定値	機能
1	IMFB	0	インプットキャプチャ/コンペアマッチフラグ B IMFB=0 : GRB0 と TCNT0 の値が一致していない IMFB=1 : GRB0 と TCNT0 の値が一致した
0	IMFA	0	インプットキャプチャ/コンペアマッチフラグ A IMFA=0 : GRA0 と TCNT0 の値が一致していない IMFA=1 : GRA0 と TCNT0 の値が一致した

- TIER0 タイマインタラプトイネーブルレジスタ 0 アドレス : 0xF704

ビット	ビット名	設定値	機 能
1	IMIEB	1	インプットキャプチャ/コンペアマッチインタラプトイネーブル B TIOB0 の IOB2=0 (アウトプットコンペア設定) 時、 IMIEB=0 : TSR0 の IMFB フラグによる割り込みを禁止 IMIEB=1 : TSR0 の IMFB フラグによる割り込みを許可
0	IMIEA	1	インプットキャプチャ/コンペアマッチインタラプトイネーブル A TIOA0 の IOA2=0 (アウトプットコンペア設定) 時、 IMIEA=0 : TSR0 の IMFA フラグによる割り込みを禁止 IMIEA=1 : TSR0 の IMFA フラグによる割り込みを許可

- TCNT0 タイマカウンタ 0 アドレス : 0xF706
機能 : $\phi/2$ の立ち上がりエッジでカウントする 16 ビットのアップカウンタ
設定値 : 0x7000
- GRA0 ジェネラルレジスタ A0 アドレス : 0xF708
機能 : GRA0 の設定値と TCNT0 のカウンタ値が一致すると、コンペアマッチが発生
設定値 : 0xFA00
- GRB0 ジェネラルレジスタ B0 アドレス : 0xF70A
機能 : GRB0 の設定値と TCNT0 のカウンタ値が一致すると、コンペアマッチが発生
設定値 : 0x5DC0

- TSTR タイマスタートレジスタ アドレス : 0xF720

ビット	ビット名	設定値	機 能
0	STR0	0	チャンネル 0 カウンタスタート STR0=0 : TCNT0 は、カウント動作停止 STR0=1 : TCNT0 は、カウント動作開始

- TMDR タイマモードレジスタ アドレス : 0xF721

ビット	ビット名	設定値	機 能
0	SYNC	0	タイマ同期 SYNC=0 : TCNT0、TCNT1 は、独立動作 SYNC=1 : TCNT0、TCNT1 は、同期動作

- TPMR タイマ PWM モードレジスタ アドレス : 0xF722

ビット	ビット名	設定値	機 能
0	PWMB0	0	PWM モード B0 FTIOB0=0 : FTIOB0 は、通常動作 FTIOB0=1 : FTIOB0 は、PWM モード

- TFCR タイマファンクションコントロールレジスタ アドレス : 0xF723

ビット	ビット名	設定値	機 能
1	CMD1	CMD1=0	コンビネーションモード 1~0 CMD1=0、CMD0=0 : チャンネル 0、1 は、通常動作
0	CMD0	CMD0=0	

- TOER タイマアウトプットマスタイネーブルレジスタ アドレス : 0xF724

ビット	ビット名	設定値	機 能
1	EB0	0	マスタイネーブル B0 EB0=0 : FTIOB0 端子の出力を許可 EB0=1 : FTIOB0 端子の出力を禁止
0	EA0	0	マスタイネーブル A0 EA0=0 : FTIOA0 端子の出力を許可 EA0=1 : FTIOA0 端子の出力を禁止

- TOCR タイマアウトプットコントロールレジスタ アドレス : 0xF725

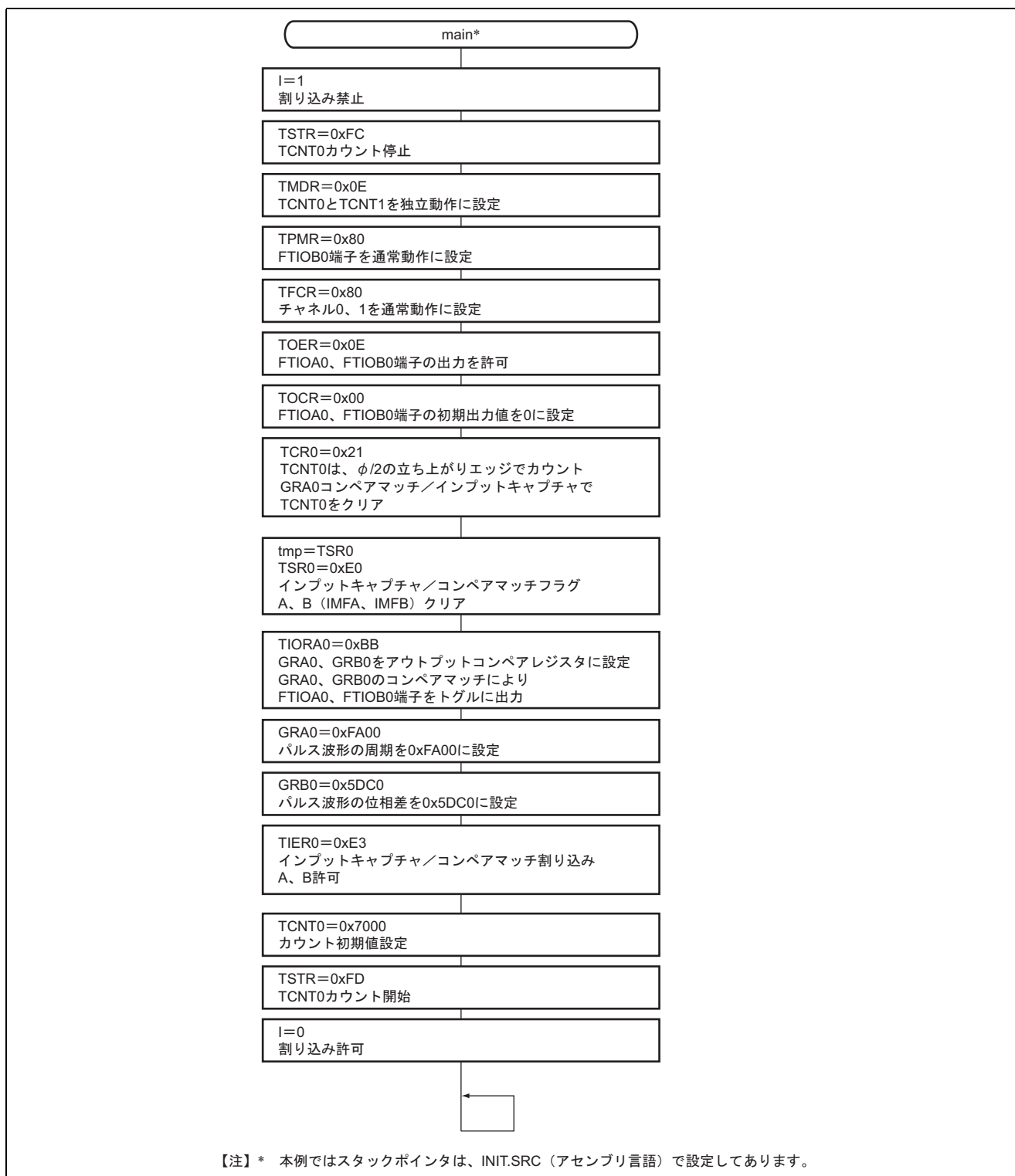
ビット	ビット名	設定値	機 能
1	TOB0	0	出力レベルセレクト B0 TOB0=0 : FTIOB0 の初期出力は 0 TOB0=1 : FTIOB0 の初期出力は 1
0	TOA0	0	出力レベルセレクト A0 TOA0=0 : FTIOA0 の初期出力は 0 TOA0=1 : FTIOA0 の初期出力は 1

4.4 使用 RAM 説明

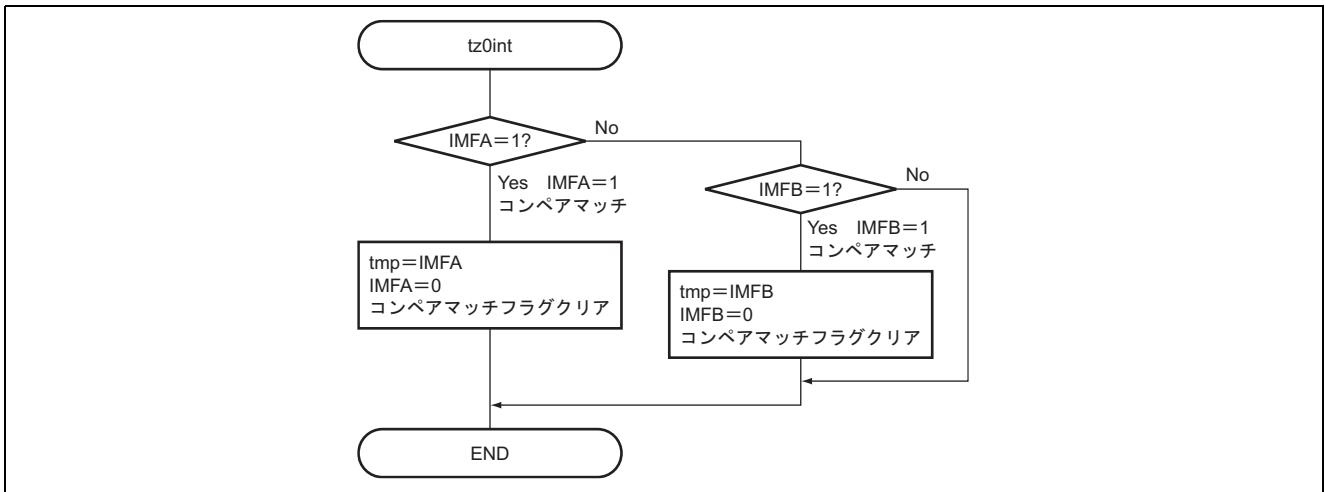
本タスク例では、RAM を使用しません。

5. フローチャート

1. メインルーチン



2. タイマ Z0 割り込み処理



6. プログラムリスト

```

/*****
/*
/* H8/300HN Series -H8/3687-
/* Application Note
/*
/* 'Pulse Output of Random Phase Difference by
/* Output Compare Function'
/*
/* Function
/* : Timer Z Output Compare
/*
/* External Clock : 16MHz
/* Internal Clock : 16MHz
/* Sub Clock : 32.768kHz
/*
*****/

#include <machine.h>

/*****
/* Symbol Definition
*****/

struct BIT {
    unsigned char b7:1; /* bit7 */
    unsigned char b6:1; /* bit6 */
    unsigned char b5:1; /* bit5 */
    unsigned char b4:1; /* bit4 */
    unsigned char b3:1; /* bit3 */
    unsigned char b2:1; /* bit2 */
    unsigned char b1:1; /* bit1 */
    unsigned char b0:1; /* bit0 */
};

#define TCR0 *(volatile unsigned char *)0xF700 /* Timer control register_0 */
#define TIORA0 *(volatile unsigned char *)0xF701 /* Timer I/O Control Register A_0 */
#define TSR0 *(volatile unsigned char *)0xF703 /* Timer status register_0 */
#define TSR0_BIT (*(struct BIT *)0xF703) /* Timer status register_0 */
#define IMFB TSR0_BIT.b1 /* Input Capture/Compare Match FlagB */
#define IMFA TSR0_BIT.b0 /* Input Capture/Compare Match FlagA */
#define TIER0 *(volatile unsigned char *)0xF704 /* Timer interrupt enable register0 */
#define TIER0_BIT (*(struct BIT *)0xF704) /* Timer interrupt enable register0 */
#define IMIEA TIER0_BIT.b0 /* Input Capture/Compare Match
/* Interrupt Enable A

#define TCNT0 *(volatile unsigned short *)0xF706 /* Timer counter_0 */
#define GRA0 *(volatile unsigned short *)0xF708 /* General register A_0 */
#define GRB0 *(volatile unsigned short *)0xF70A /* General register B_0 */
#define TSTR *(volatile unsigned char *)0xF720 /* Timer start register */
#define TMDR *(volatile unsigned char *)0xF721 /* Timer mode register */
#define TPMR *(volatile unsigned char *)0xF722 /* Timer PWM mode register */
#define TFCR *(volatile unsigned char *)0xF723 /* Timer function control register */
#define TOER *(volatile unsigned char *)0xF724 /* Timer output master enable register */
#define TOCR *(volatile unsigned char *)0xF725 /* Timer output control register

#pragma interrupt (tz0int)

```

```

/*****
/*  Function define
/*****
extern void INIT ( void )          /* SP Set
void main ( void );
void tz0int ( void );

/*****
/*  Vector Address
/*****
#pragma section V1                /* VECTOR SECTOIN SET
void (*const VEC_TBL1[])(void) = { /* 0x00 - 0x0f
    INIT                          /* 00 Reset
};
#pragma section V2                /* VECTOR SECTOIN SET
void (*const VEC_TBL2[])(void) = {
    tz0int                        /* 34 Timer Z0 Interrupt
};

#pragma section                  /* P
/*****
/*  Main Program
/*****
void main ( void )
{
    unsigned char tmp;

    set_imask_ccr(1);            /* Interrupt Disable

    TSTR = 0xFC;                /* TCNT0 count stop
    TMDR = 0x0E;                /* TCNT0,TCNT1 Single Mode
    TPMR = 0x88;                /* FTIOB0 is Normal Mode
    TFCR = 0x80;                /* Chanel 0,1 is Normal Mode
    TOER = 0xFC;                /* FTIOA0,B0 Output Enable
    TOCR = 0x00;                /* FTIOA0,B0 initial outputs is 0
    TCR0 = 0x21;                /* Rising edge, phi/2 Clock count
    tmp = TSR0;
    TSR0 = 0xE0;                /* Interrupt Flag Clear
    TIORA0 = 0xBB;              /* FTIOA0,B0 Toggle Output
    GRA0 = 0xFA00;              /* Set GRA0
    GRB0 = 0x5DC0;              /* Set GRB0
    TIER0 = 0xE3;                /* IMFA,IMFB Interrupt Enable
    TCNT0 = 0x7000;            /* Set
    TSTR = 0xFD;                /* TCNT0 count start

    set_imask_ccr(0);          /* Interrupt Enable

    while(1);
}

```

```

/*****
/*  Timer Z0 Interrupt                                     */
/*****
void tz0int ( void )
{
    unsigned char tmp;

    if(IMFA == 1){                                       /* Interrupt by IMFA flag          */
        tmp = IMFA;                                     /* Clear IMFA Flag                */
        IMFA = 0;                                       /* Interrupt by IMFB flag          */
    }
    else if(IMFB == 1){
        tmp = IMFB;                                     /* Clear IMFB Flag                */
        IMFB = 0;
    }
}

```

リンクアドレス指定

セクション名	アドレス
CV1	0x0000
CV2	0x0034
P	0x0100
B	0xFB80

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2003.09.24	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。