

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8SX ファミリ

TMR クロック入力 SCI 送受信-DMAC 処理編-

要旨

H8SX/1653 のシリアルコミュニケーションインタフェース 5, 6 (SCI_5, 6) は、調歩同期式モード時のクロックソースに 8 ビットタイマ (TMR) のコンペアマッチ出力を選択できます。本タスク例では、TMR クロック入力による、 $P\phi = 16\text{MHz}$ 時、転送レート 375kbps のデータ送受信を行ないます。

動作確認デバイス

H8SX/1653 グループ、H8SX/1638 グループ、H8SX/1648 グループ、H8SX/1658R グループ、H8SX/1668R グループ、H8SX/1663 グループ

はじめに

当アプリケーションノートのドキュメントは、H8SX/1653 グループのハードウェアマニュアルに従って記載されております。添付のプログラムは上記確認デバイス上で使用することができます。

ただし、デバイスによっては使用している機能の仕様が変更になっている場合があります。最新のハードウェアマニュアルで確認し、十分な評価を行った上でご使用ください。

目次

1. 仕様	2
2. 適用条件	3
3. 使用機能説明	4
4. 動作説明	12
5. ソフトウェア説明	17
6. 注意事項	41

1. 仕様

H8SX/1653 の SCI_5, 6 は、調歩同期式モード時のクロックソースに TMR のコンペアマッチ出力を選択できます。本タスク例では、TMR のコンペアマッチ出力を SCI_5 の基本クロックに設定して、 $P\phi = 16\text{MHz}$ 動作時に転送レート 375kbps でデータ送受信を行ないます。

- 本タスク例の接続例を図 1 に示します。
- 通信フォーマットを表 1 に示します。
- マスタ側がパワーオンリセットすると、マスタ側 P13 端子から Low トリガを出力し、マスタ側は 128 バイト同時送受信を開始します。
- マスタ側からスレーブ側 $\overline{\text{IRQ3}}$ 端子へ Low トリガが入力されると、スレーブ側は 128 バイト同時送受信を開始します。
- 本タスク例では、128 バイトの非同期送受信を割り込み起動による DMAC で制御します。

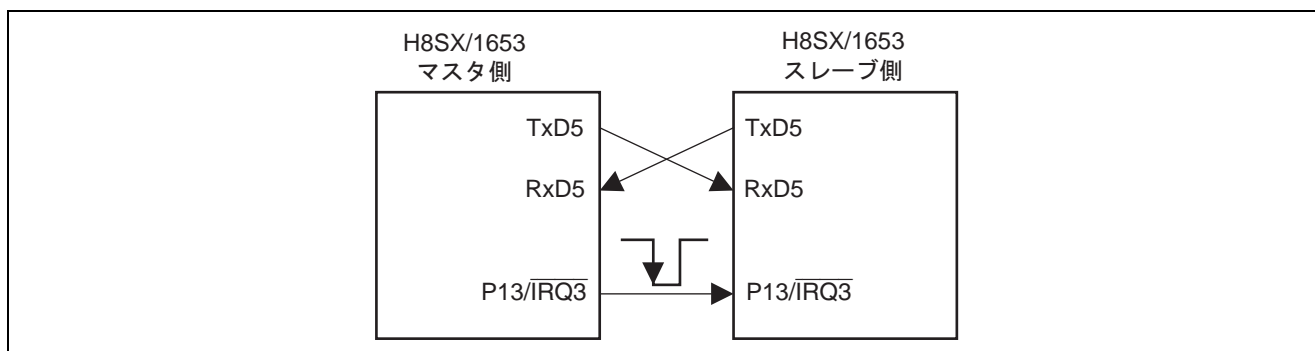


図 1 TMR クロック入力調歩同期式通信

表 1 調歩同期式シリアル送受信フォーマット

フォーマット内容	設定
$P\phi$	16MHz
シリアル通信モード	調歩同期式モード
クロックソース	TMR のコンペアマッチ出力
転送レート	375kbps
データ長	8 ビット
パリティビット	なし
ストップビット	1 ビット
シリアル/パラレル変換フォーマット	LSB ファースト

2. 適用条件

表 2 適用条件

項目	内容
動作周波数	入力クロック : 16MHz システムクロック (I ϕ) : 16MHz 周辺モジュールクロック (P ϕ) : 16MHz 外部バスクロック (B ϕ) : 16MHz
動作モード	モード 6 (MD2 = 1, MD1 = 1, MD0 = 0) MD_CLK = 0
開発ツール	High-performance Embedded Workshop Ver4.00.02
C/C++コンパイラ	ルネサス テクノロジ製 H8S, H8/300 SERIES C/C++ Compiler Ver6.01.00
コンパイルオプション	-cpu = h8sxa:24:md, -code = machinecode, -optimize = 1, -regparam = 3 -speed = (register, shift, struct, expression)

表 3 セクション設定

アドレス	セクション名	説明
H'001000	P	プログラム領域
	C	データテーブル格納領域
H'FF2000	B	未初期化データ領域 (RAM 領域)

3. 使用機能説明

3.1 概要説明

本タスク例の H8SX/1653 使用機能を図 2 に示します。以下に図 2 について説明します。

(1) SCI_5

TMR クロック入力によるデータ送受信を行ないます。

(a) SCI 送信時

- TSR_5 に空きを検出すると、TDR_5 にライトされた送信データは TSR_5 に転送され、TxD5 端子から送信します。
- TDR_5 から TSR_5 にデータが転送されたとき、TXI_5 割り込みが発生します。

(b) SCI 受信時

- RxD5 端子から 1 フレーム分のデータを受信すると、RSR_5 から受信データが RDR_5 に転送されます。
- 受信が正常終了し、RSR_5 から RDR_5 へ受信データが転送されたとき、RXI_5 割り込みが発生します。

(2) TMR ユニット 2

TMR ユニット 2 の TMR_4,5 を設定し、SCI_5 の SCK5 内部基本クロックを生成します。

(3) DMAC チャンネル 0, チャンネル 1

(a) SCI 送信時

- チャンネル 0: SCI_5 の TXI_5 (送信データエンプティ割り込み) で起動し、送信データ格納エリアのデータを TDR_5 レジスタへ転送します。

(b) SCI 受信時

- チャンネル 1: SCI_5 の RXI_5 (受信データフル割り込み) で起動し、RDR_5 のデータを受信データ格納エリアへ転送します。

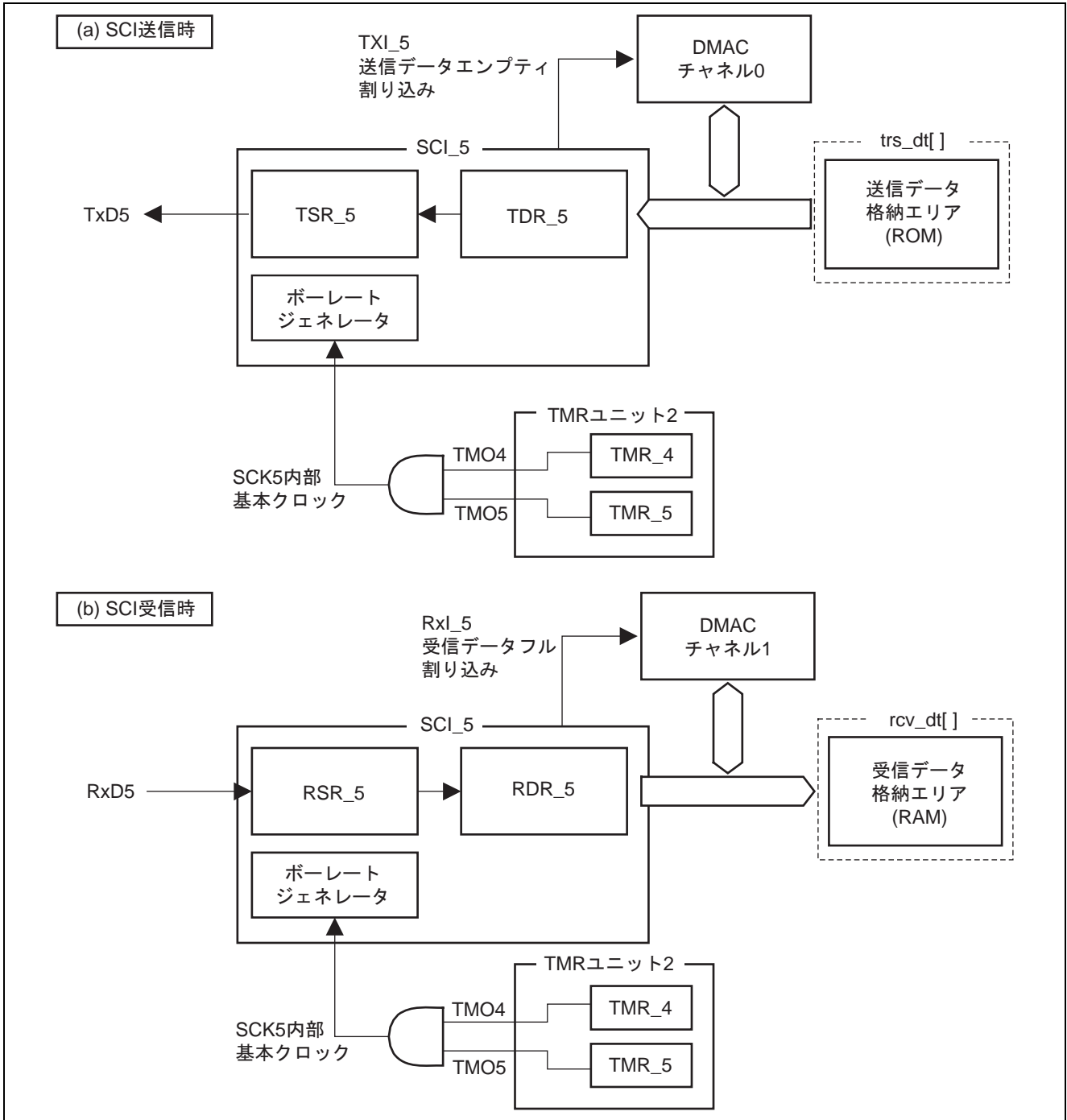


図 2 H8SX/1653 使用機能

3.2 SCI_5 説明

本タスク例では、SCI_5 を用いて、調歩同期式シリアルデータ送信を行いません。図 3 に SCI_5 のブロック図を示し、以下に図 3 についての機能説明をします。

- 内蔵周辺クロック Pφ
内蔵周辺機能を動作させるための基準クロックであり、クロック発振器により生成されます。
- レシーブシフトレジスタ_5 (RSR_5)
シリアルデータを受信するためのレジスタです。RSR_5 は、RxD5 端子からシリアルデータが入力され、1 フレーム分のデータを受信すると、データは自動的にレシーブデータレジスタ (RDR_5) へと転送されます。CPU からのアクセスは行なえません。
- レシーブデータレジスタ_5 (RDR_5)
受信データを格納する 8 ビットのレジスタです。1 フレーム分のデータを受信すると、自動的に RSR_5 からデータが転送されます。RSR_5 と RDR_5 は、ダブルバッファ構造ですので、連続受信動作が可能です。RDR_5 は、受信専用レジスタのため、CPU からのリードのみ可能です。
- トランスミットシフトレジスタ_5 (TSR_5)
シリアルデータを送信するためのレジスタです。送信の際には、トランスミットデータレジスタ (TDR_5) から TSR_5 へと転送され、TxD5 端子から送信データが出力されます。CPU からの直接アクセスは行なえません。
- トランスミットデータレジスタ_5 (TDR_5)
送信データを格納する 8 ビットのレジスタです。TDR_5 に空きを検出すると、TDR_5 にライトしたデータは、自動的に TSR_5 に転送されます。また、TDR_5 と TSR_5 はダブルバッファ構造ですので、1 フレーム分のデータを送信したときに TDR_5 に次のデータがライトされていると、TSR_5 へと転送され連続送信が可能です。TDR は、常に CPU からのリード/ライトが可能です。ライトは、シリアルステータスレジスタ (SSR_5) の TDRE ビットが 1 であることを確認して行なってください。
- シリアルモードレジスタ_5 (SMR_5)
シリアルデータ通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。
- シリアルコントロールレジスタ_5 (SCR_5)
送受信制御と割り込み制御、および送受信クロックソースの選択を行なうためのレジスタです。
- シリアルステータスレジスタ_5 (SSR_5)
SCI_5 のステータスフラグと、送受信マルチプロセッサビットで構成されています。TDRE, RDRF, ORER, PER, FER はクリアのみ可能です。
- スマートカードモードレジスタ_5 (SCMR_5)
スマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。本タスク例では、通常の調歩同期式またはクロック同期式モードに設定します。
- シリアル拡張モードレジスタ_5 (SEMR_5)
SEMR_5, 6 は、SCI_5, 6 の調歩同期式モード時のクロックソースを選択するためのレジスタです。平均転送レートの選択より基本クロックが自動設定できます。TMR ユニット 2, 3 の TMO 出力をシリアル転送ベースクロックに設定することもできます。

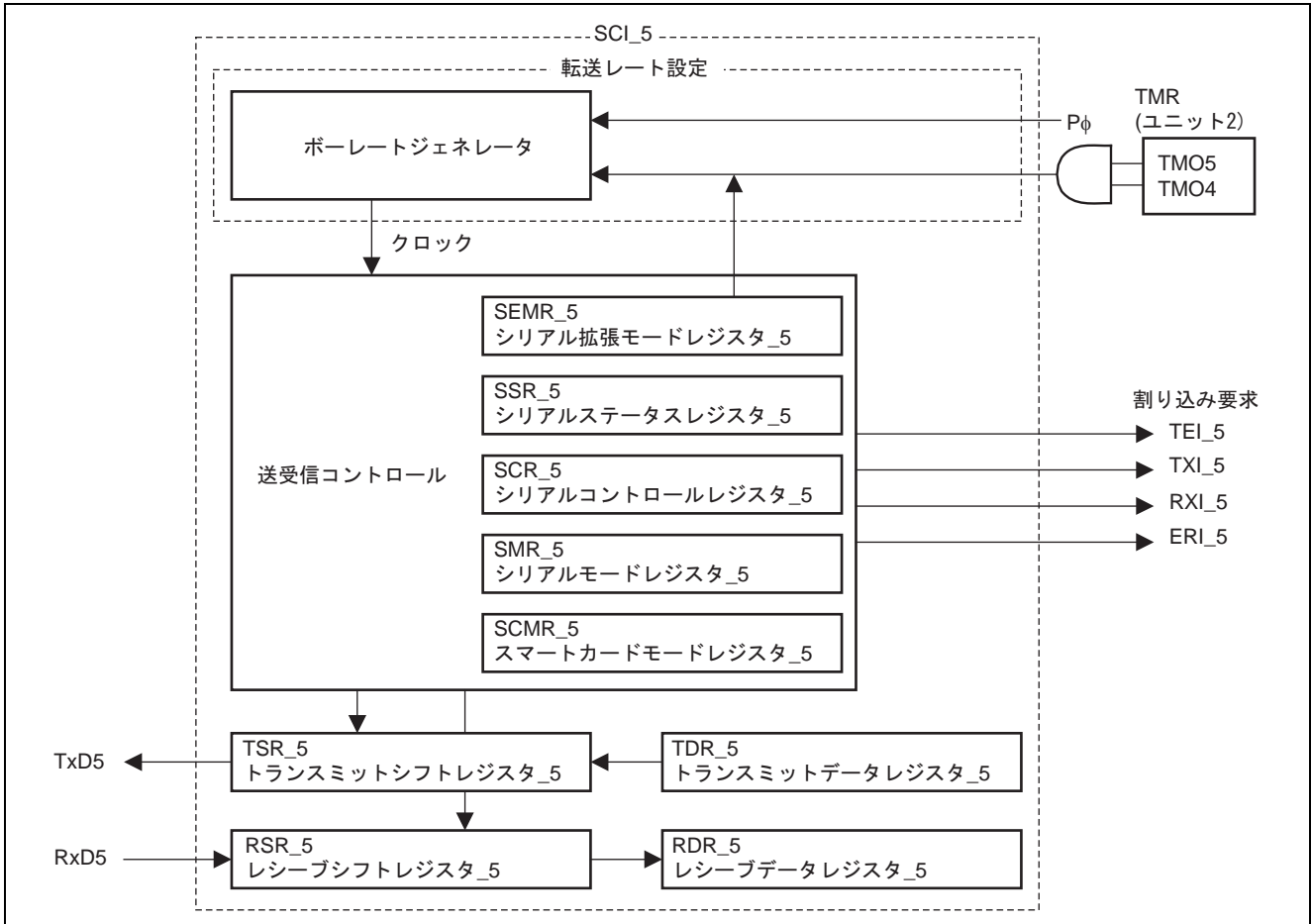


図 3 SCI_5 ブロック図

3.3 TMR ユニット 2 説明

本タスク例では、TMR ユニット 2 (TMR_4, TMR_5) の出力値を SCI_5 のクロックソースとして使用します。図 4 に TMR ユニット 2 のブロック図を示し、以下に図 4 についての機能説明をします。

- 内蔵周辺クロック Pφ
内蔵周辺機能を動作させるための基準クロックであり、クロック発振器により生成されます。
- タイマカウンタ_4 (TCNT_4)
- タイマカウンタ_5 (TCNT_5)
TCNT は 8 ビットのリード/ライト可能なアップカウンタです。クロックは、TCR の CKS2 ~ CKS0 ビット、および TCCR の ICKS1, ICKS0 ビットにより選択します。TCNT は、外部リセット入力信号またはコンペアマッチ A 信号、コンペアマッチ B 信号によりクリアすることができます。いずれの信号でクリアするかは、TCR の CCLR1, CCLR0 ビットにより選択します。TCNT の初期値は H'00 です。
- タイムコンスタントレジスタ A_4 (TCORA_4)
- タイムコンスタントレジスタ A_5 (TCORA_5)
TCORA は 8 ビットのリード/ライト可能なレジスタです。TCORA の値は TCNT と常に比較され、一致すると TCSR の CMFA が 1 にセットされます。また、この一致信号 (コンペアマッチ A) と TCSR の OS1, OS0 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORA の初期値は H'FF です。
- タイムコンスタントレジスタ B_4 (TCORB_4)
- タイムコンスタントレジスタ B_5 (TCORB_5)
TCORB は 8 ビットのリード/ライト可能なレジスタです。TCORB の値は TCNT と常に比較され、一致すると TCSR の CMFB が 1 にセットされます。また、この一致信号 (コンペアマッチ B) と TCSR の OS3, OS2 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORB の初期値は H'FF です。
- タイマコントロールレジスタ_4 (TCR_4)
- タイマコントロールレジスタ_5 (TCR_5)
TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行いません。
- タイマカウンタコントロールレジスタ_4 (TCCR_4)
- タイマカウンタコントロールレジスタ_5 (TCCR_5)
TCCR は TCNT の内部クロックの選択、外部リセット入力の制御を行いません。
- タイマコントロール/ステータスレジスタ_4 (TCSR_4)
- タイマコントロール/ステータスレジスタ_5 (TCSR_5)
TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行いません。

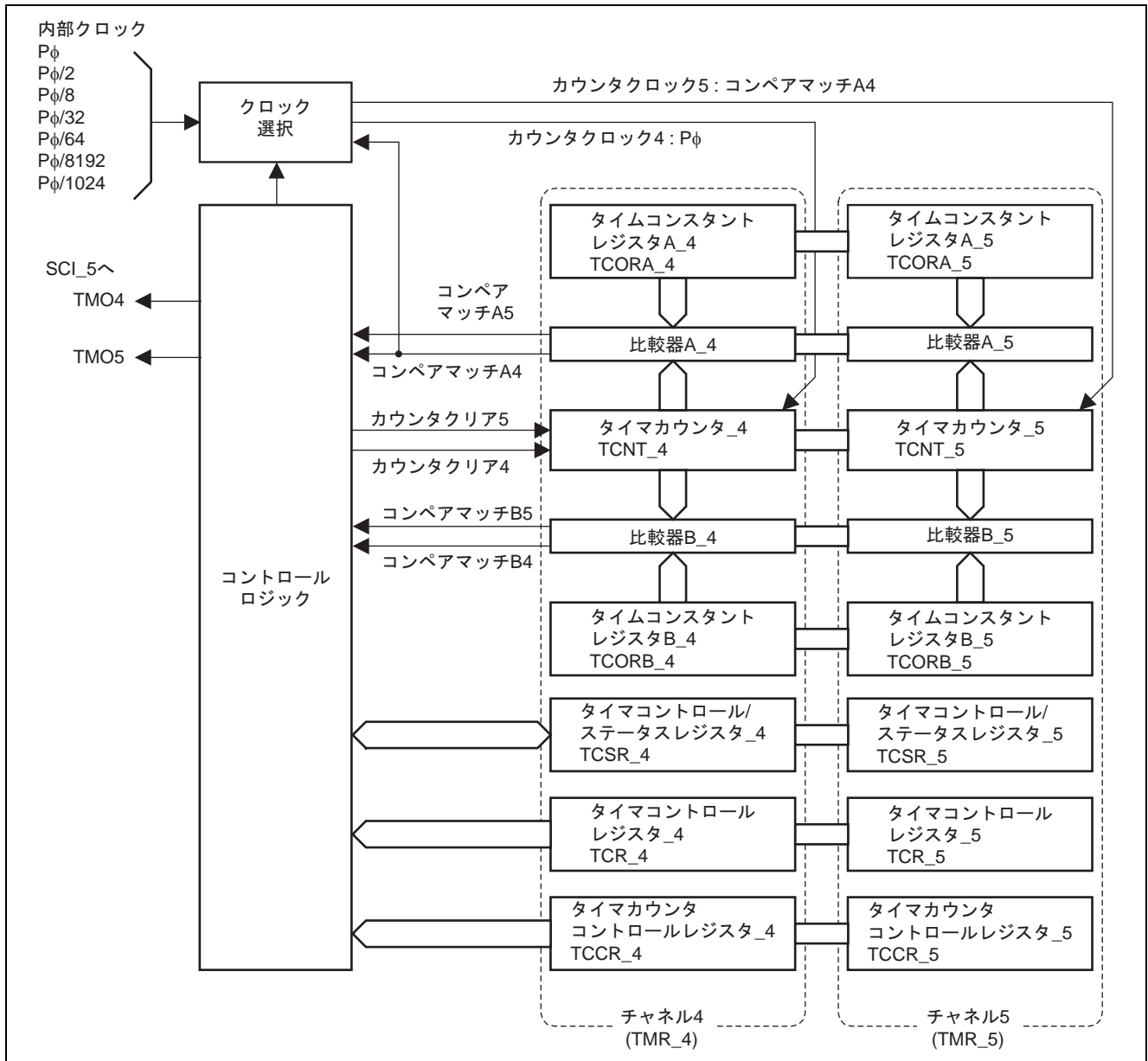


図4 TMR ユニット2ブロック図

3.4 DMAC チャンネル 0, 1

本タスク例では、SCI_5 の TXI_5 割り込みで DMAC チャンネル 0 を起動し、RXI_5 割り込みで DMAC チャンネル 1 を起動します。図 5 に DMAC のブロック図を示し、以下に図 5 について説明します。

- DMA ソースアドレスレジスタ_0 (DSAR_0)
- DMA ソースアドレスレジスタ_1 (DSAR_1)
32 ビットのリード/ライト可能なレジスタで、転送元のアドレスを指定します。アドレス更新機能を持ち、転送処理が行なわれるたびに次の転送元アドレスに更新されます。
- DMA デスティネーションアドレスレジスタ_0 (DDAR_0)
- DMA デスティネーションアドレスレジスタ_1 (DDAR_1)
32 ビットのリード/ライト可能なレジスタで、転送先のアドレスを指定します。アドレス更新機能を持ち、転送処理が行なわれるたびに次の転送先アドレスに更新されます。
- DMA 転送カウンタレジスタ_0 (DTCR_0)
- DMA 転送カウンタレジスタ_1 (DTCR_1)
32 ビットのリード/ライト可能なレジスタで、転送するデータのサイズ (総転送サイズ) を設定します。1 データ転送ごとに、転送したデータアクセスサイズに応じた値がデクリメントされます。本タスク例では、1536 バイト (H'00000600) を設定し、データアクセスサイズをバイトに設定しています。DMA 動作中は、-4 ずつデクリメントされ、残りの転送サイズを示します。
- DMA モードコントロールレジスタ_0 (DMDR_0)
- DMA モードコントロールレジスタ_1 (DMDR_1)
DMAC の動作を制御します。
- DMA アドレスコントロールレジスタ_0 (DACR_0)
- DMA アドレスコントロールレジスタ_1 (DACR_1)
動作モード、転送方法などを設定します。
- DMA モジュールリクエストセレクトレジスタ_0 (DMRSR_0)
- DMA モジュールリクエストセレクトレジスタ_1 (DMRSR_1)
起動要因を設定します。

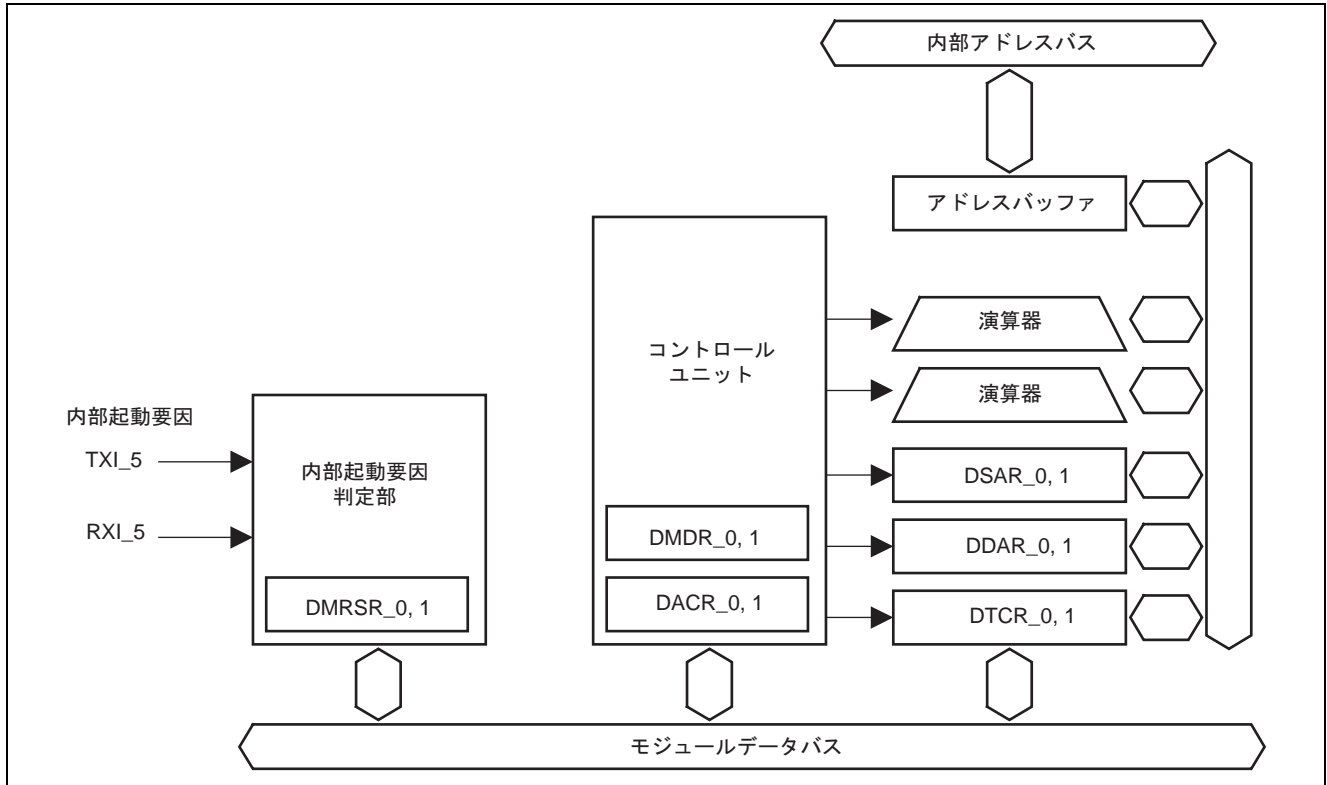


図5 DMAC のブロック図

4. 動作説明

4.1 動作概要

本タスク例の動作概要を図6に示します。マスタ側とスレーブ側で128バイトの同時送受信を行いません。

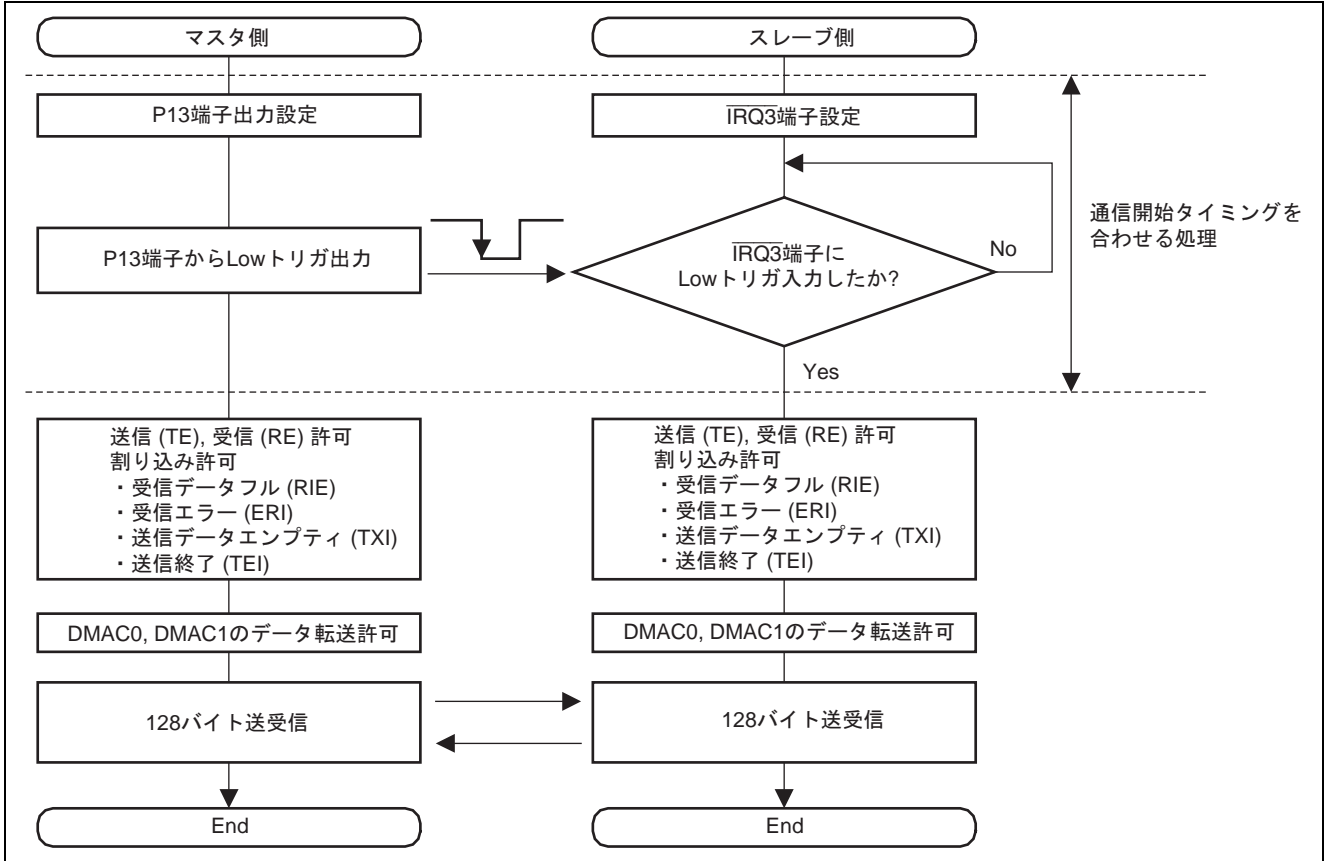


図6 動作概要

4.2 送信動作

送信動作タイミングを図7に示します。また図7の説明として、ハードウェアおよびソフトウェア処理の内容を表4に示します。

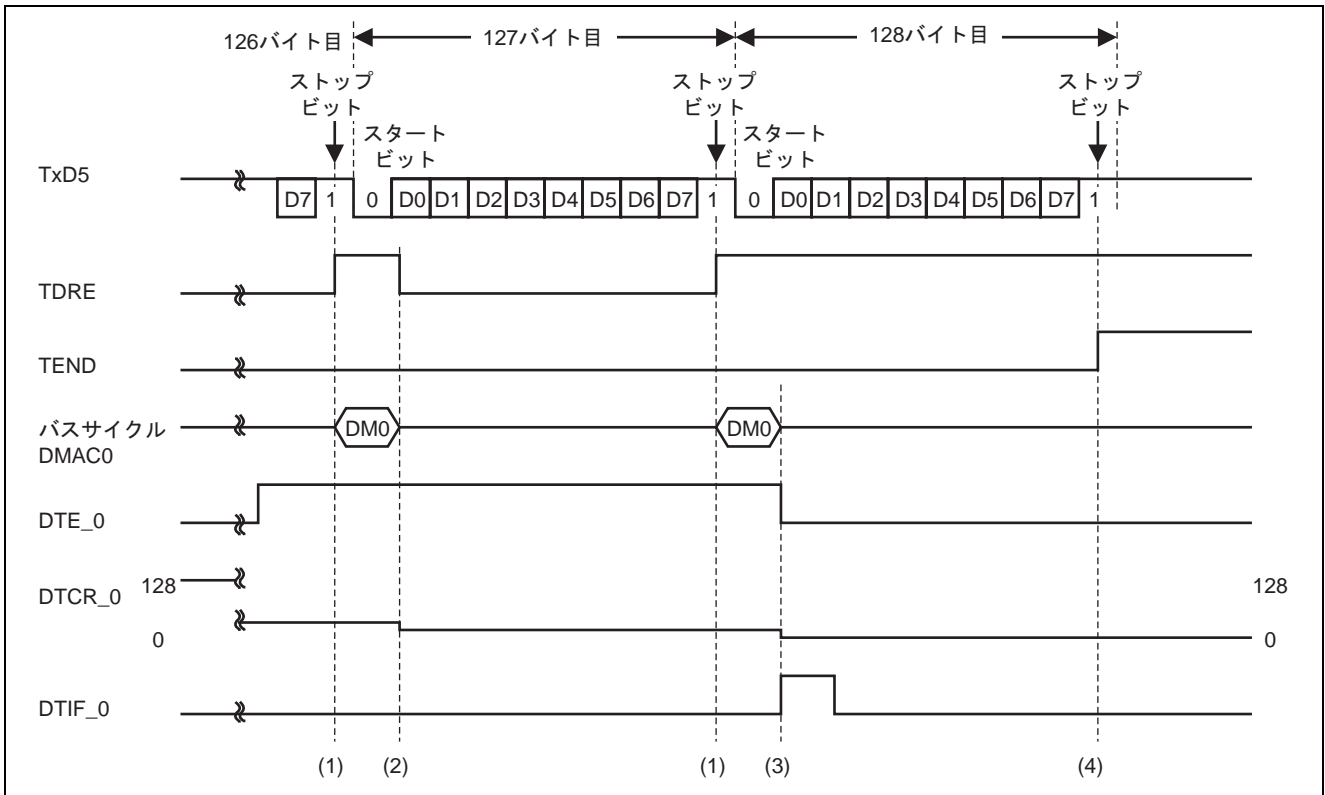


図7 送信動作タイミング

表4 処理内容

	ハードウェア処理	ソフトウェア処理
(1)	(a) TDRE に 1 をセット (b) DMAC_0 起動し, RAM から TDR_5 へ送信データを転送 (c) TDRE を 0 にクリア	処理なし
(2)	(a) DTCR_0 カウントダウン (b) TDR_5 の内容を TSR_5 へ転送 (c) TSR_5 の内容を TxD5 端子から出力	処理なし
(3)	(a) DTCR_0 カウントダウン (DTCR_0 = 0) (b) TDR_5 の内容を TSR_5 へ転送 (c) TSR_5 の内容を TxD5 端子から出力	転送終了割り込み処理 (a) 送信禁止, 送信終了割り込み禁止
(4)	(a) TEND に 1 をセット	TEI 割り込み処理 (a) TE を 0 クリア (b) TEI 割り込み禁止

4.3 受信動作

受信動作タイミングを図 8 に示します。また図 8 の説明として、ハードウェアおよびソフトウェア処理の内容を表 5 に示します。

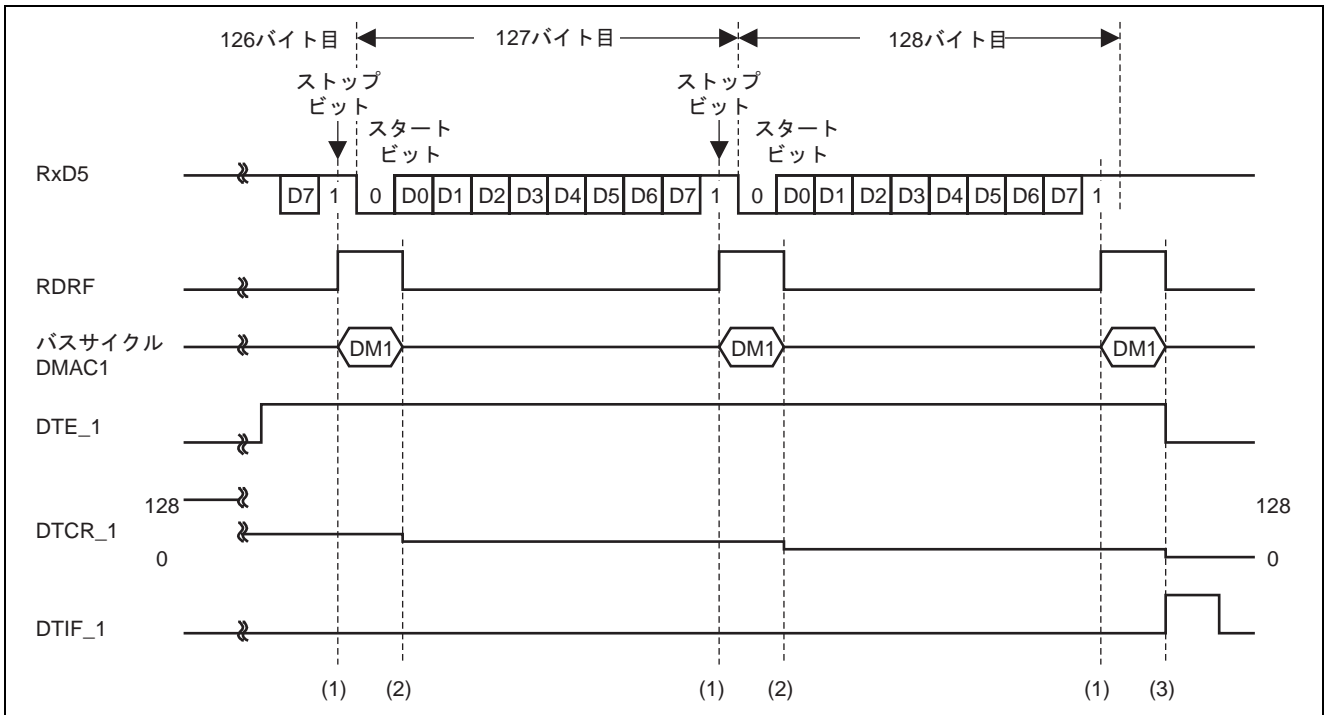


図 8 受信動作タイミング

表 5 処理内容

	ハードウェア処理	ソフトウェア処理
(1)	(a) RDRF に 1 をセット (b) 受信が正常終了し, RSR_5 から RDR_5 へ受信データを転送 (c) DMAC_1 起動し, RDR_5 から RAM へ受信データを転送 (d) RDRF5 を 0 にクリア	処理なし
(2)	(a) DTCR_1 カウントダウン	処理なし
(3)	(a) DTCR_1 カウントダウン (DTCR_1 = 0)	転送終了割り込み処理 (a) 受信禁止, 受信割り込み禁止

4.4 SCK5 内部基本クロック設定

$P\phi = 16\text{MHz}$ から内部基本クロック = 6MHz を出力し ,平均転送レート 375kbps を生成する手順を以下に示します。

(1) TMR4 の設定

TMO4 からベースクロック 8MHz を出力 (図 9 参照)

- (a) $P\phi$ の立ち上がりエッジで TCNT_4 がカウントアップされるように ,TCR_4 の CKS2~0 を B'011 , TCCR_4 の ICKS1,0 を B'10 に設定します。
- (b) TCORA_4 のコンペアマッチで TCNT_4 がクリアされるように ,TCR_4 の CCLR1,0 = B'01 にセットします。
- (c) TCORA_4 のコンペアマッチで"0"出力,TCORB_4 のコンペアマッチで"1"出力されるように ,TCSR_4 の OS3~0 ビット = B'1001 に設定します。
- (d) TCORA_4 = 1, TCORB_4 = 0 とし , TMO4 から 8MHz のベースクロックが出力されます。

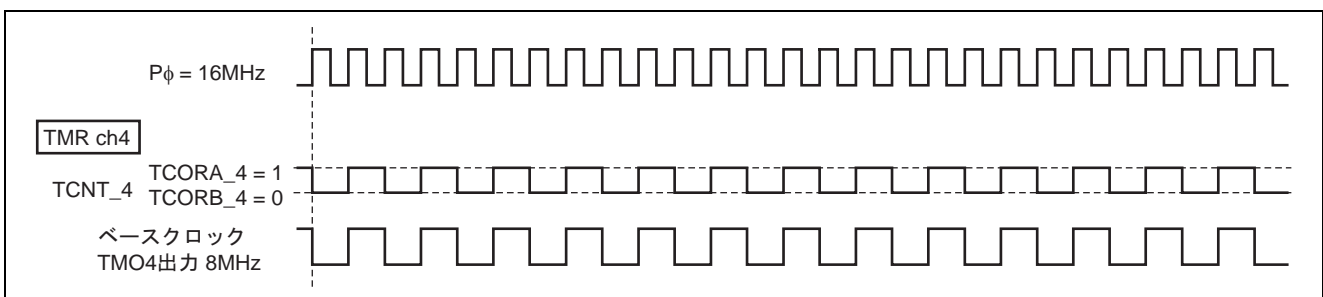


図 9 TMO4 の出力波形

(2) TMR5 の設定

TMO5 からクロックイネーブル $3/4$ を出力 (図 10 参照)

- (a) TCNT4 のコンペアマッチ A で TCNT_5 がカウントアップされるように ,TCR_5 の CKS2~0 を B'100 に設定します。
- (b) TCORA_5 のコンペアマッチで TCNT_5 がクリアされるように ,TCR_5 の CCLR1,0 = B'01 にセットします。
- (c) TCORA_5 のコンペアマッチで"0"出力,TCORB_5 のコンペアマッチで"1"出力されるように ,TCSR_5 の OS3~0 ビット = B'1001 に設定します。
- (d) TCORA_5 = 3 , TCORB_5 = 0 とし , TMO5 から $3/4$ のクロックイネーブルを生成します。

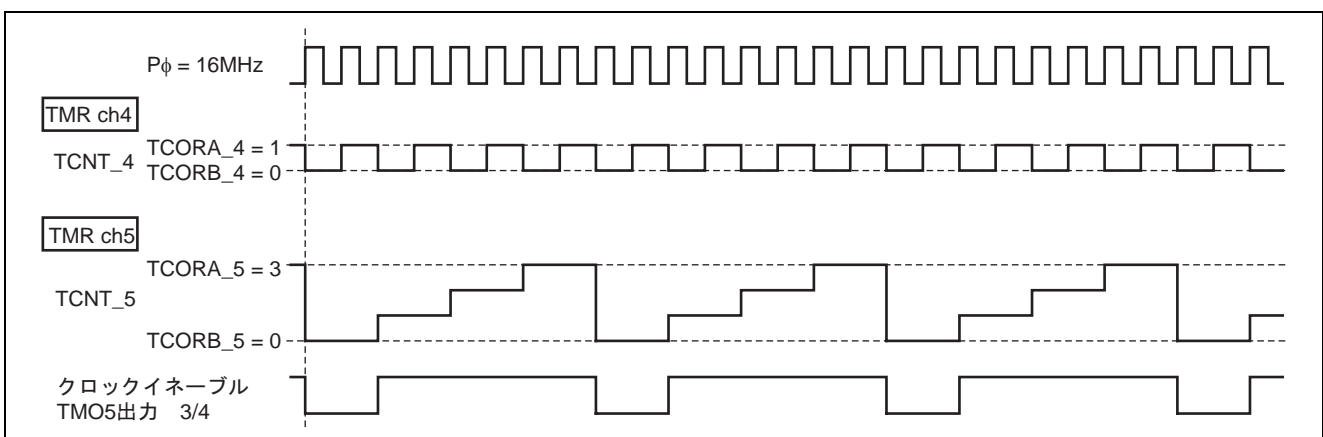


図 10 TMO5 の出力波形

(3) SCK5 の内部基本クロックと平均転送レート

TMO4 出力と TMO5 出力を AND し，SCK5 の内部基本クロック (6MHz) として入力されます。SCK5 の内部基本クロック波形を図 11 に示します。

SEMR_5 の ABCS ビット = 0 とすると，通信データの 1 ビットは内部基本クロックの 16 クロックです。このとき平均転送レートは，以下式のように 375kbps になります。

$$\text{平均転送レート} = \frac{\text{SCK5内部基本クロック}}{16\text{クロック}} = \frac{6\text{MHz}}{16} = 375\text{kbps}$$

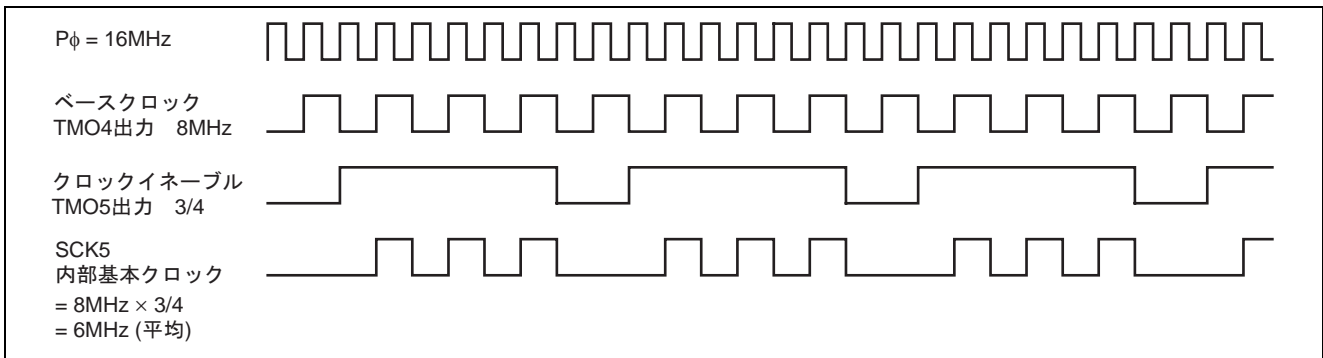


図 11 SCK5 内部基本クロック波形

4.5 通信データの 1 ビット期間

本タスク例の 1 ビット期間は，歯抜けの数により変化します。歯抜け数は 5 または 6 のため，1 ビット期間は以下のいずれかになります。

$$\text{1ビット期間の最大値: } \frac{1}{\text{ベースクロック周波数}} \times (16\text{クロック} + \text{歯抜け数}6) = \frac{1}{8\text{MHz}} \times (16 + 6) = 2.750\mu\text{s}$$

$$\text{1ビット期間の最小値: } \frac{1}{\text{ベースクロック周波数}} \times (16\text{クロック} + \text{歯抜け数}5) = \frac{1}{8\text{MHz}} \times (16 + 5) = 2.625\mu\text{s}$$

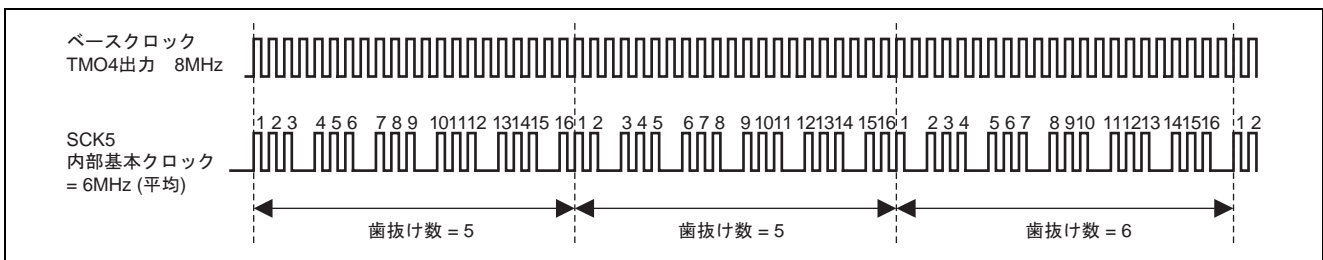


図 12 通信データの 1 ビット期間

5. ソフトウェア説明

5.1 関数一覧

本タスク例の関数を表 6 に示します。本タスク例の階層構造を図 13 に示します。

表 6 関数一覧

関数名	機能
init	初期化ルーチン モジュールストップ解除, クロック設定, main 関数のコール
main	メインルーチン SCI の初期設定を行ない, P ϕ = 16MHz 時, 転送レート 375kbps で通信する
DMAC0_trs_init	DMAC_0 初期化 TXI による ROM TDR_5 転送処理
DMAC1_rcv_init	DMAC_1 初期化 RXI による RDR_5 RAM 転送処理
dmtend0_int	DMAC_0 転送終了割り込み SCI 送信, SCI 送信割り込み禁止
dmtend1_int	DMAC_1 転送終了割り込み SCI 受信, SCI 受信割り込み禁止
eri5_int	受信エラー割り込み エラー内容を RAM へ書き込み, SSR_5 を初期化する
tei5_int	送信終了割り込み TEI 割り込み要求を禁止。endflg に 1 をセット

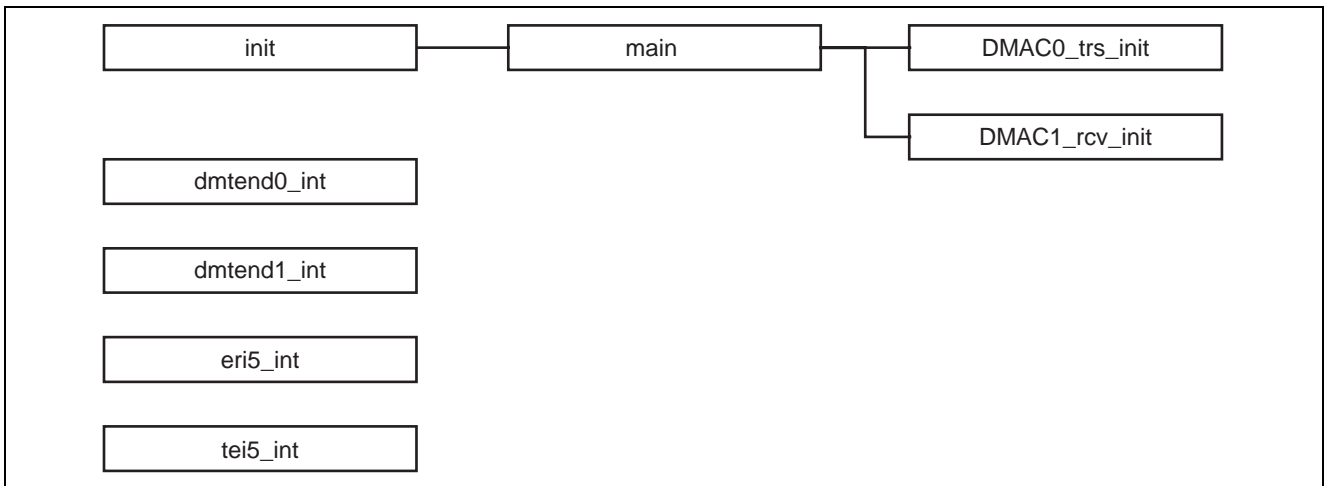


図 13 階層構造

5.2 ベクタテーブル

表 7 割り込み例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタテーブル アドレス	割り込み先関数
リセット	0	H'000000	init
DMAC_0 DMTEND0	128	H'000200	dmtend0_int
DMAC_1 DMTEND1	129	H'000204	dmtend1_int
SCI_5 ERI5	222	H'000378	eri5_int
SCI_5 TEI5	223	H'00037C	tei5_int

5.3 使用 RAM

表 8 使用 RAM

型	変数名	内容	使用関数
unsigned char	endflg	送信終了フラグ 0: 送信中 1: 送信終了	main, tei5_int
unsigned char	errbuf	受信エラーバッファ オーバーランエラー, フレーミングエラー, パリティエラーのとき, SSR_5 の内容を格納	main, eri5_int
unsigned char	tcnt	送信回数カウンタ	main, txi5_int
unsigned char	rcnt	受信回数カウンタ	main, rxi5_int
unsigned char	rcv_dt[128]	受信データ格納用 RAM エリア	main, rxi5_int

5.4 データテーブル

表 9 データテーブル

型	配列名	内容	使用関数
unsigned char	trs_dt[128]	送信データ格納用 ROM エリア H'00, H'01・・・H'7F までの 128 バイトデータ	main, txi5_int

5.5 マクロ定義

表 10 マクロ定義

識別子	内容	使用関数
MASTER	マスタ側のプログラムを生成	main
SLAVE	スレーブ側のプログラムを生成	main

5.6 関数説明

5.6.1 init 関数

(1) 機能概要

初期化ルーチン。モジュールストップ解除，クロック設定。main 関数のコール。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本タスク例で使用する内部レジスタを以下に示します。なお，設定値は本タスク例において使用している値であり，初期値とは異なります。

- システムクロックコントロールレジスタ (SCKCR) アドレス: H'FFFDC4

ビット	ビット名	設定値	R/W	機能
10	ICK2	0	R/W	システムクロック (I ϕ) セレクト CPU, DMAC, DTC モジュールとシステムクロックの周波数を選択します。 010: 入力クロック × 1
9	ICK1	1	R/W	
8	ICK0	0	R/W	
6	PCK2	0	R/W	周辺モジュールクロック (P ϕ) セレクト 周辺モジュールクロックの周波数を選択します。 010: 入力クロック × 1
5	PCK1	1	R/W	
4	PCK0	0	R/W	
2	BCK2	0	R/W	外部バスクロック (B ϕ) セレクト 外部バスクロックの周波数を選択します。 010: 入力クロック × 1
1	BCK1	1	R/W	
0	BCK0	0	R/W	

- MSTPCRA, MSTPCRB, MSTPCRC はモジュールストップモードの制御を行いません。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

- モジュールストップコントロールレジスタ A (MSTPCRA) アドレス: H'FFFDC8

ビット	ビット名	設定値	R/W	機能
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCR で制御されるすべてのモジュールがモジュールストップモードに設定された上で、CPU が SLEEP 命令を実行した場合にバスコントローラと I/O ポートも動作をストップして、消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。 0: 全モジュールクロックストップモード禁止 1: 全モジュールクロックストップモード許可
13	MSTPA13	0	R/W	DMA コントローラ (DMAC)
12	MSTPA12	1	R/W	データ転送ファコントローラ (DTC)
9	MSTPA9	1	R/W	8 ビットタイマ (TMR_3, TMR_2)
8	MSTPA8	1	R/W	8 ビットタイマ (TMR_1, TMR_0)
5	MSTPA5	1	R/W	D/A コンバータ (チャンネル 1, 0)
3	MSTPA3	1	R/W	A/D コンバータ (ユニット 0)
0	MSTPA0	1	R/W	16 ビットタイマパルスユニット (TPU チャンネル 5~0)

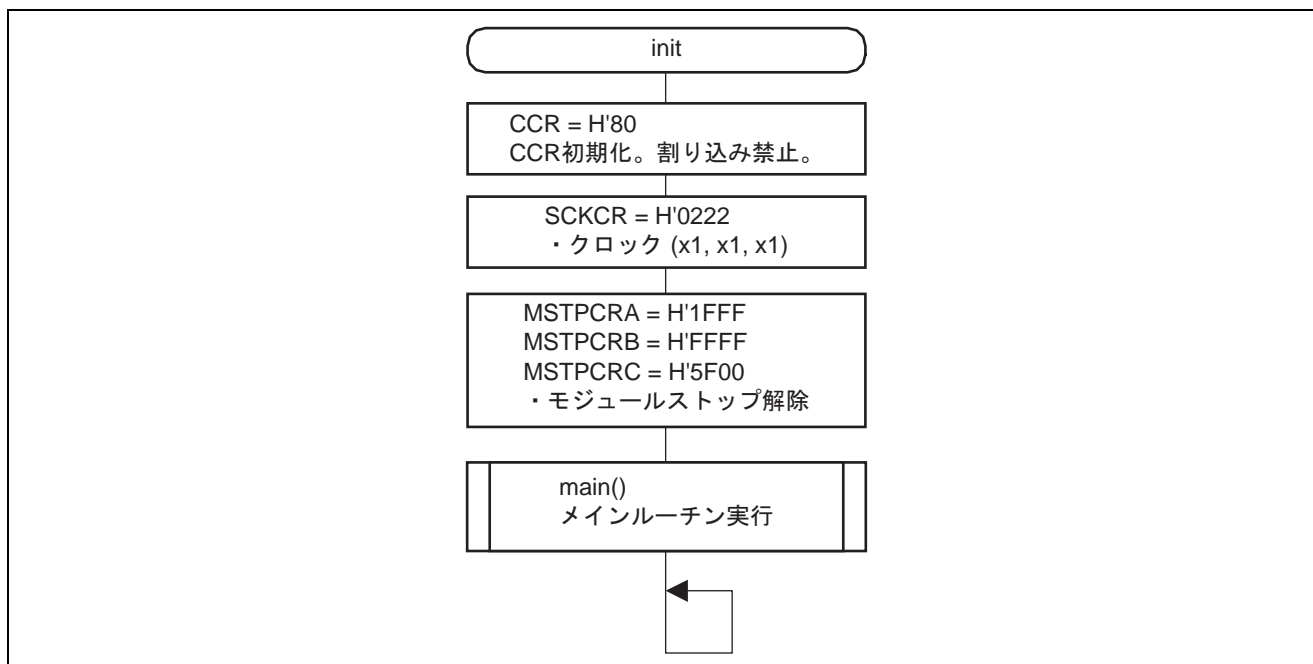
- モジュールストップコントロールレジスタ B (MSTPCRB) アドレス: H'FFFDCA

ビット	ビット名	設定値	R/W	機能
15	MSTPB15	1	R/W	プログラマブルパルスジェネレータ (PPG)
12	MSTPB12	1	R/W	シリアルコミュニケーションインタフェース_4 (SCI_4)
10	MSTPB10	1	R/W	シリアルコミュニケーションインタフェース_2 (SCI_2)
9	MSTPB9	1	R/W	シリアルコミュニケーションインタフェース_1 (SCI_1)
8	MSTPB8	1	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
7	MSTPB7	1	R/W	I ² C バスインタフェース_1 (IIC_1)
6	MSTPB6	1	R/W	I ² C バスインタフェース_0 (IIC_0)

- モジュールストップコントロールレジスタ C (MSTPCRC) アドレス: H'FFFDCC

ビット	ビット名	設定値	R/W	機能
15	MSTPC15	0	R/W	シリアルコミュニケーションインタフェース_5 (SCI_5), (IrDA)
14	MSTPC14	1	R/W	シリアルコミュニケーションインタフェース_6 (SCI_6)
13	MSTPC13	0	R/W	8 ビットタイマ (TMR_4, TMR_5)
12	MSTPC12	1	R/W	8 ビットタイマ (TMR_6, TMR_7)
11	MSTPC11	1	R/W	ユニバーサルシリアルバスインタフェース (USB)
10	MSTPC10	1	R/W	CRC 演算器
4	MSTPC4	0	R/W	内蔵 RAM_4 (H'FF2000 ~ H'FF3FFF)
3	MSTPC3	0	R/W	内蔵 RAM_3 (H'FF4000 ~ H'FF5FFF)
2	MSTPC2	0	R/W	内蔵 RAM_2 (H'FF6000 ~ H'FF7FFF)
1	MSTPC1	0	R/W	内蔵 RAM_1 (H'FF8000 ~ H'FF9FFF)
0	MSTPC0	0	R/W	内蔵 RAM_0 (H'FFA000 ~ H'FFBFFF)

(5) フローチャート



5.6.2 main 関数

(1) 機能概要

メインルーチン。TMR クロック入力設定 ,SCI の設定。DMAC0_trs_init 関数 ,DMAC1_rev_init 関数のコール。256 バイト送受信。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本タスク例で使用する内部レジスタを以下に示します。なお ,設定値は本タスク例において使用している値であり ,初期値とは異なります。

- ポート1 データディレクションレジスタ (P1DDR) アドレス: H'FFFB80

ビット	ビット名	設定値	R/W	機能
3	P13DDR	1	W	0: P13 端子は入力端子 1: P13 端子は出力端子

- ポート1 入力バッファコントロールレジスタ (P1ICR) アドレス: H'FFFB90

ビット	ビット名	設定値	R/W	機能
5	P15ICR	1	R/W	0: P15 端子の入力バッファ無効。入力信号は , High レベルに固定される。 1: P15 端子の入力バッファ有効。周辺モジュール側に端子状態が反映される。
3	P13ICR	1	R/W	0: P13 端子の入力バッファ無効。入力信号は , High レベルに固定される。 1: P13 端子の入力バッファ有効。周辺モジュール側に端子状態が反映される。

- ポートファンクションコントロールレジスタ C (PFCRC) アドレス: H'FFFBCC

ビット	ビット名	設定値	R/W	機能
3	ITS3	1	R/W	IRQ3 端子セレクト 0: P13 を $\overline{\text{IRQ3-A}}$ 入力端子として設定 1: P53 を $\overline{\text{IRQ3-B}}$ 入力端子として設定

- IRQ センスコントロールレジスタ L (ISCRL) アドレス: H'FFFD6A

ビット	ビット名	設定値	R/W	機能
7	IRQ3SR	0	R/W	IRQ3 センスコントロールライズ
6	IRQ3SF	1	R/W	IRQ3 センスコントロールフォール 01: $\overline{\text{IRQ3}}$ 入力の立ち下がりエッジで割り込み要求を発生

● タイマコントロールレジスタ_4 (TCR_4) アドレス: H'FFEA40

ビット	ビット名	設定値	R/W	機能
4	CCLR1	0	R/W	カウンタクリア 1, 0
3	CCLR0	1	R/W	01: TCORA_4 のコンペアマッチで TCNT_4 クリア
2	CKS2	0	R/W	クロックセレクト 2~0
1	CKS1	1	R/W	表 11 参照
0	CKS0	1	R/W	011, ICKS1, 0 = B'10: Pφ立ち上がりエッジでカウント

● タイマコントロールレジスタ_5 (TCR_5) アドレス: H'FFEA41

ビット	ビット名	設定値	R/W	機能
4	CCLR1	0	R/W	カウンタクリア 1, 0
3	CCLR0	1	R/W	01: TCORA_5 のコンペアマッチで TCNT_5 クリア
2	CKS2	1	R/W	クロックセレクト 2~0
1	CKS1	0	R/W	表 11 参照
0	CKS0	0	R/W	100: TCORA_4 のコンペアマッチ A でカウント

● タイマコントロール/ステータスレジスタ_4 (TCSR_4) アドレス: H'FFEA42

ビット	ビット名	設定値	R/W	機能
3	OS3	1	R/W	アウトプットセレクト 3, 2
2	OS2	0	R/W	TCORB_4 と TCNT_4 のコンペアマッチ B による TMO_4 端子の出力方法を選択します。 10: 1 出力
1	OS1	0	R/W	アウトプットセレクト 1, 0
0	OS0	1	R/W	TCORA_4 と TCNT_4 のコンペアマッチ A による TMO_4 端子の出力方法を選択します。 01: 0 出力

- タイマコントロール/ステータスレジスタ_5 (TCSR_5) アドレス: H'FFEA43

ビット	ビット名	設定値	R/W	機能
3	OS3	1	R/W	アウトプットセレクト 3, 2 TCORB_5 と TCNT_5 のコンペアマッチ B による TMO_5 端子の出力方法を選択します。 10: 1 出力
2	OS2	0	R/W	
1	OS1	0	R/W	アウトプットセレクト 1, 0 TCORA_5 と TCNT_5 のコンペアマッチ A による TMO_5 端子の出力方法を選択します。 01: 0 出力
0	OS0	1	R/W	

- タイマコンスタントレジスタ A_4 (TCORA_4) アドレス: H'FFEA44
機能: 8 ビットのリード/ライト可能なレジスタです。TCNT_4 と常に比較され,一致すると TCSR_4 の CMFA が 1 にセットされます。
設定値: H'01
- タイマコンスタントレジスタ A_5 (TCORA_5) アドレス: H'FFEA45
機能: 8 ビットのリード/ライト可能なレジスタです。TCNT_5 と常に比較され,一致すると TCSR_5 の CMFA が 1 にセットされます。
設定値: H'03
- タイマコンスタントレジスタ B_4 (TCORB_4) アドレス: H'FFEA46
機能: 8 ビットのリード/ライト可能なレジスタです。TCNT_4 と常に比較され,一致すると TCSR_4 の CMFB が 1 にセットされます。
設定値: H'00
- タイマコンスタントレジスタ B_5 (TCORB_5) アドレス: H'FFEA47
機能: 8 ビットのリード/ライト可能なレジスタです。TCNT_5 と常に比較され,一致すると TCSR_5 の CMFB が 1 にセットされます。
設定値: H'00
- タイマカウンタ_4 (TCNT_4) アドレス: H'FFEA48
機能: 8 ビットのリード/ライト可能なレジスタです。本タスク例では, TMR_4 のコンペアマッチ A 信号によりクリアされます。
設定値: H'00
- タイマカウンタ_5 (TCNT_5) アドレス: H'FFEA49
機能: 8 ビットのリード/ライト可能なレジスタです。本タスク例では, TMR_5 のコンペアマッチ A 信号によりクリアされます。
設定値: H'00
- タイマカウンタコントロールレジスタ_4 (TCCR_4) アドレス: H'FFEA4A

ビット	ビット名	設定値	R/W	機能
1	ICKS1	1	R/W	インターナルクロックセレクト 1, 0 表 11 参照
0	ICKS0	0	R/W	

- タイマカウンタコントロールレジスタ_5 (TCCR_5) アドレス: H'FFEA4B

ビット	ビット名	設定値	R/W	機能
1	ICKS1	0	R/W	インターナルクロックセレクト 1, 0 表 11 参照
0	ICKS0	0	R/W	

表 11 TCNT に入力するクロックとカウント条件 (ユニット 2, 3)

チャネル	TCR			TCCR		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
TMR_4	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック: P ϕ /8 立ち上がりエッジでカウント
				0	1	内部クロック: P ϕ /2 立ち上がりエッジでカウント
				1	0	内部クロック: P ϕ /8 立ち下がりエッジでカウント
				1	1	内部クロック: P ϕ /2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック: P ϕ /64 立ち上がりエッジでカウント
				0	1	内部クロック: P ϕ /32 立ち上がりエッジでカウント
				1	0	内部クロック: P ϕ /64 立ち下がりエッジでカウント
				1	1	内部クロック: P ϕ /32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック: P ϕ /8192 立ち上がりエッジでカウント
				0	1	内部クロック: P ϕ /1024 立ち上がりエッジでカウント
				1	0	内部クロック: P ϕ /8192 立ち上がりエッジでカウント
				1	1	内部クロック: P ϕ /1024 立ち下がりエッジでカウント
1	0	0	—	—	TCNT_5 のオーバフロー信号でカウント	
TMR_5	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック: P ϕ /8 立ち上がりエッジでカウント
				0	1	内部クロック: P ϕ /2 立ち上がりエッジでカウント
				1	0	内部クロック: P ϕ /8 立ち下がりエッジでカウント
				1	1	内部クロック: P ϕ /2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック: P ϕ /64 立ち上がりエッジでカウント
				0	1	内部クロック: P ϕ /32 立ち上がりエッジでカウント
				1	0	内部クロック: P ϕ /64 立ち下がりエッジでカウント
				1	1	内部クロック: P ϕ /32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック: P ϕ /8192 立ち上がりエッジでカウント
				0	1	内部クロック: P ϕ /1024 立ち上がりエッジでカウント
				1	0	内部クロック: P ϕ /8192 立ち上がりエッジでカウント
				1	1	内部クロック: P ϕ /1024 立ち下がりエッジでカウント
1	0	0	—	—	TCNT_4 のコンペアマッチ A でカウント	

● シリアルモードレジスタ_5 (SMR_5) アドレス: H'FFF600

ビット	ビット名	設定値	R/W	機能
7	C/A	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス 0: データ長 8 ビットで送信します。 1: データ長 7 ビットで送信します。
5	PE	0	R/W	パリティイネーブル 0: パリティなし 1: パリティあり
3	STOP	0	R/W	ストップビットレングス 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定値に関わらず、ストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。

● シリアルコントロールレジスタ_5 (SCR_5) アドレス: H'FFF602

ビット	ビット名	設定値	R/W	機能
7	TIE	0	R/W	トランスミットインタラプトイネーブル 0: TXI 割り込み禁止 1: TXI 割り込み許可
6	RIE	0	R/W	レシーブインタラプトイネーブル 0: RXI, ERI 割り込み禁止 1: RXI, ERI 割り込み許可
5	TE	0	R/W	トランスミットイネーブル 0: 送信禁止 1: 送信許可
4	RE	0	R/W	レシーブイネーブル 0: 受信禁止 1: 受信許可
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル 0: TEI 割り込み禁止 1: TEI 割り込み許可
1	CKE1	1	R/W	クロックイネーブル 1~0 クロックソースを選択します。 00: 内部ポーレートジェネレータ 1X: TMR クロック入力または、平均転送レートジェネレータ
0	CKE0	X	R/W	

【注】 X: Don't care

● シリアルステータスレジスタ_5 (SSR_5) アドレス: H'FFF604

ビット	ビット名	設定値	R/W	機能
7	TDRE	不定	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> SCR の TE が 0 のとき TDR から TSR にデータが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後, 0 をライトしたとき TXI 割り込みにより DMAC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> 受信が正常終了し, RSR から RDR へ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後, 0 をライトしたとき RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。RDRF フラグが 1 にセットされたまま次のデータを受信完了すると, オーバランエラーが発生し, 受信データが失われますので注意してください。
5	ORER	0	R/(W)*	オーバランエラー [セット条件] <ul style="list-style-type: none"> 受信時にオーバランエラーが発生したとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後, 0 をライトしたとき
4	FER	0	R/(W)*	フレーミングエラー [セット条件] <ul style="list-style-type: none"> 受信時にフレーミングエラーが発生したとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後, 0 をライトしたとき
3	PER	0	R/(W)*	パリティエラー [セット条件] <ul style="list-style-type: none"> 受信時にパリティエラーが発生したとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後, 0 をライトしたとき
2	TEND	不定	R	トランスミットエンド [セット条件] <ul style="list-style-type: none"> SCR の TE が 0 のとき 送信キャラクタの最後尾ビットの送信時, TDRE が 1 のとき [クリア条件] <ul style="list-style-type: none"> TDRE = 1 の状態をリードした後, TDRE フラグに 0 をライトしたとき TXI 割り込み要求により DMAC で TDR へ送信データをライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

● スマートカードモードレジスタ_5 (SCMR_5) アドレス: H'FFF606

ビット	ビット名	設定値	R/W	機能
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト 0: 通常の調歩同期式またはクロック同期式モードで動作 1: スマートカードインタフェースモードで動作

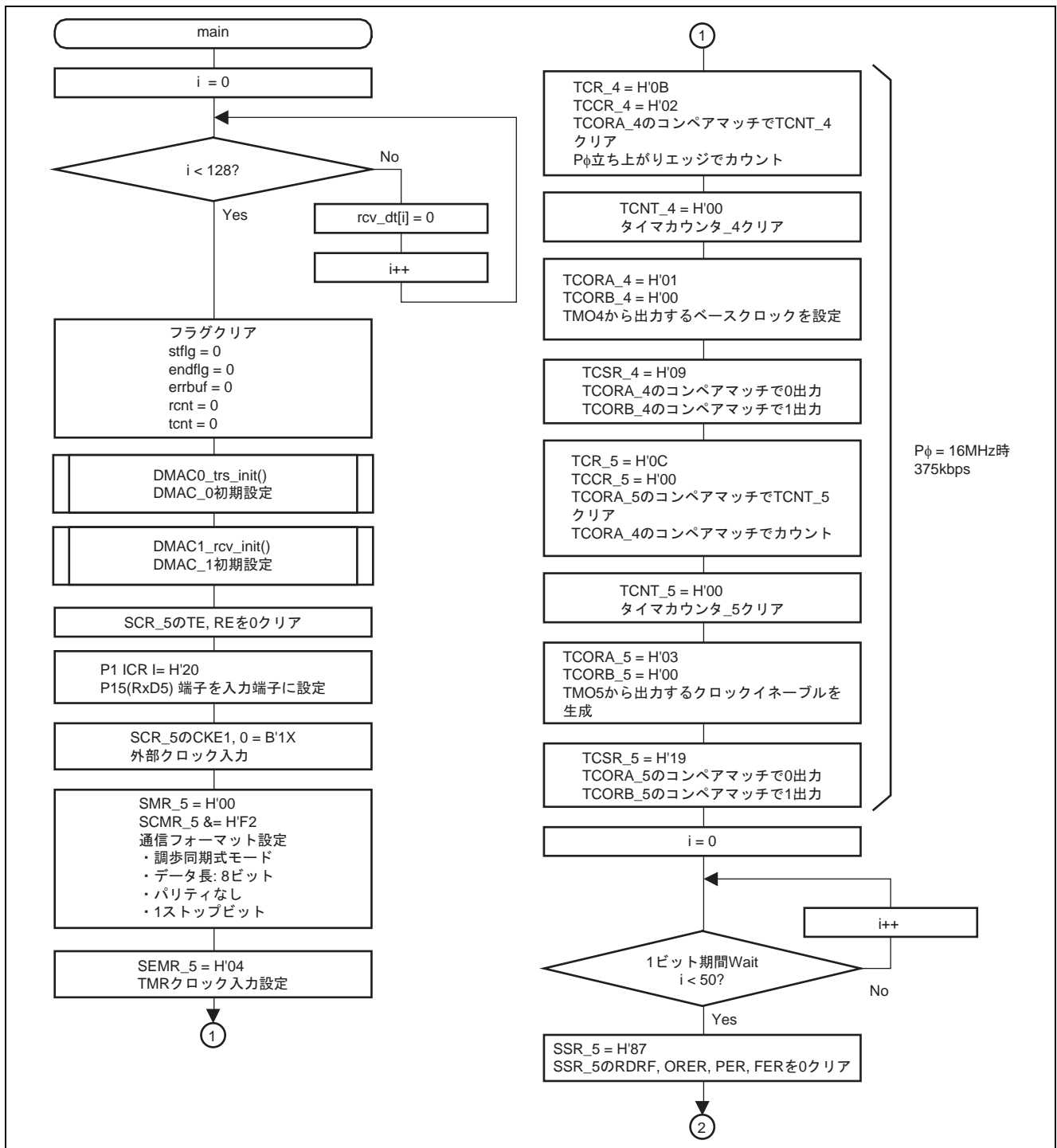
● シリアル拡張モードレジスタ_5 (SEMR_5) アドレス: H'FFF608

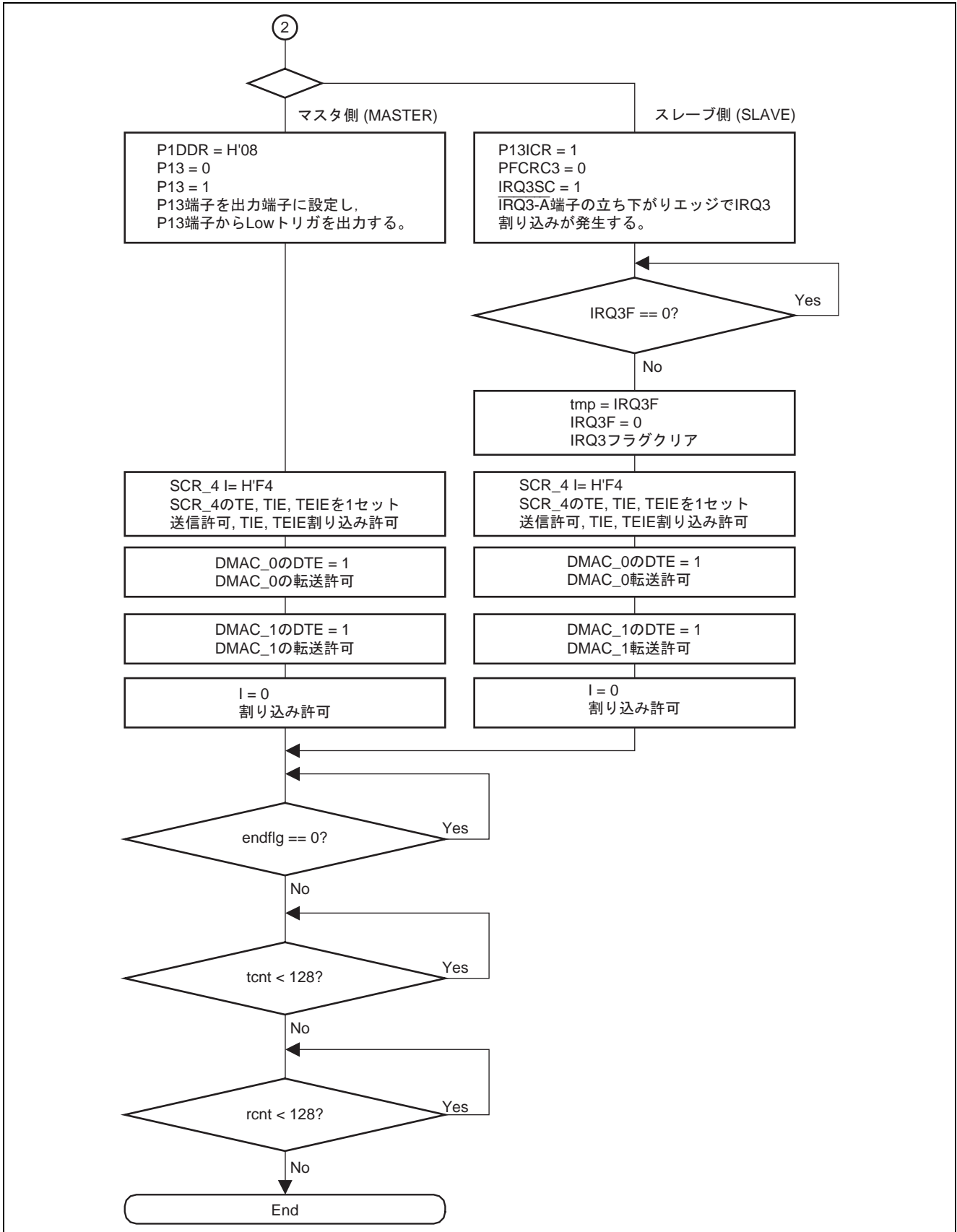
ビット	ビット名	設定値	R/W	機能
4	ABCS	0	R/W	調歩同期基本クロックセレクト (調歩同期式モードのみ有効) 1 ビット期間の基本クロックを選択します。 0: 転送レートの 16 倍の周波数の基本クロックで動作 1: 転送レートの 8 倍の周波数の基本クロックで動作
3	ACS3	0	R/W	調歩同期クロックソースセレクト
2	ACS2	1	R/W	調歩同期式モードにおける、クロックソースを選択します。表 12 参照。
1	ACS1	0	R/W	
0	ACS0	0	R/W	0100: TMR のコンペアマッチ出力をクロックソースに選択 【注 1】平均転送レートを選択したときは、SEMR_5 レジスタの ABCS ビット (調歩同期基本クロックセレクト) の設定に関係なく、基本クロックが自動設定されます。 【注 2】ACS3 ~ 0 は調歩同期式モード (SMR レジスタの C/A ビット = 0) で、外部クロック入力 (SCR レジスタの CKE1 ビット = 1) のときに設定してください。

表 12 調歩同期クロックソースセレクト設定表

ACS3 ~ 0	基本クロック	Pφ (MHz)	機能
0000	(ABCS ビットにより設定)		平均転送ジェネレータ未使用
0001	転送レートの 16 倍の周波数	10.667	平均転送レート 115.152kbps
0010	転送レートの 8 倍の周波数	10.667	平均転送レート 460.606kbps
0011	転送レートの 8 倍の周波数	16	平均転送レート 921.569kbps
		8	平均転送レート 460.784kbps
0100	(ABCS ビットにより設定)		TMR クロック入力 TMR のコンペアマッチ出力を基本クロックに設定
0101	転送レートの 16 倍の周波数	16	平均転送レート 115.196kbps
0110	転送レートの 16 倍の周波数	16	平均転送レート 460.784kbps
0111	転送レートの 8 倍の周波数	24	平均転送レート 720kbps
1000	転送レートの 16 倍の周波数	24	平均転送レート 115.132kbps
		12	平均転送レート 460.526kbps
1001	転送レートの 16 倍の周波数	24	平均転送レート 460.526kbps
1010	転送レートの 8 倍の周波数	24	平均転送レート 720kbps
1011	転送レートの 8 倍の周波数	24	平均転送レート 921.053kbps
		12	平均転送レート 460.526kbps
1100	転送レートの 16 倍の周波数	32	平均転送レート 720kbps

(5) フローチャート





5.6.3 DMAC0_trs_init 関数

(1) 機能概要

DMAC_0 初期設定。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本タスク例で使用する内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- DMA ソースアドレスレジスタ_0 (DSAR_0) アドレス: H'FFFC00
 機能: 転送元アドレスを指定する。
 設定値: &trs_dt
- DMA デスティネーションアドレスレジスタ_0 (DDAR_0) アドレス: H'FFFC04
 機能: 転送先アドレスを設定する。
 設定値: &TDR_5
- DMA 転送カウントレジスタ_0 (DTCR_0) アドレス: H'FFFC0C
 機能: 転送サイズを 128 バイトに設定する。
 設定値: 128

• DMA モードコントロールレジスタ_0 (DMDR_0) アドレス: H'FFFC14

ビット	ビット名	設定値	R/W	機能
31	DTE	0	R/W	データトランスファイネーブル 0: データ転送を禁止 1: データ転送を許可
26	NRD	0	R/W	ネクストリクエストディレイ 0: 転送中のバスサイクル終了後に、次の転送要求受け付けを開始 1: 転送中のバスサイクル終了時点から 1 サイクル後に、次の転送要求受け付けを開始
17	ESIF	0	R/(W)*	転送エスケープインタラプトフラグ 0: 転送エスケープ終了割り込み要求なし 1: 転送エスケープ終了割り込み要求発生
16	DTIF	0	R/(W)*	データトランスファインタラプトフラグ 0: 転送カウンタによる転送終了割り込み要求なし 1: 転送カウンタによる転送終了割り込み要求発生
15	DTSZ1	0	R/W	データアクセスサイズ 1, 0 00: 転送するデータアクセスサイズは、バイトサイズ (8 ビット)
14	DTSZ0	0	R/W	
13	MDS1	0	R/W	転送モードセレクト 1, 0 00: ノーマル転送モードに設定
12	MDS0	0	R/W	
9	ESIE	0	R/W	転送エスケープインタラプトイネーブル 0: 転送エスケープ割り込み要求を禁止 1: 転送エスケープ割り込み要求を許可
8	DTIE	0	R/W	データトランスファインタラプトイネーブル 0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可
7	DTF1	1	R/W	データトランスファファクタ 1, 0 10: DMAC の起動要因は、内蔵モジュール割り込み
6	DTF0	0	R/W	
5	DTA	1	R/W	データトランスファアクノリッジ DTF1, 0 = H'10 のとき、DTA ビットを"1"にセットすること

【注】 * フラグをクリアするための 1 リード後の 0 ライトのみ可能です。

• DMA アドレスコントロールレジスタ_0 (DACR_0) アドレス: H'FFFC18

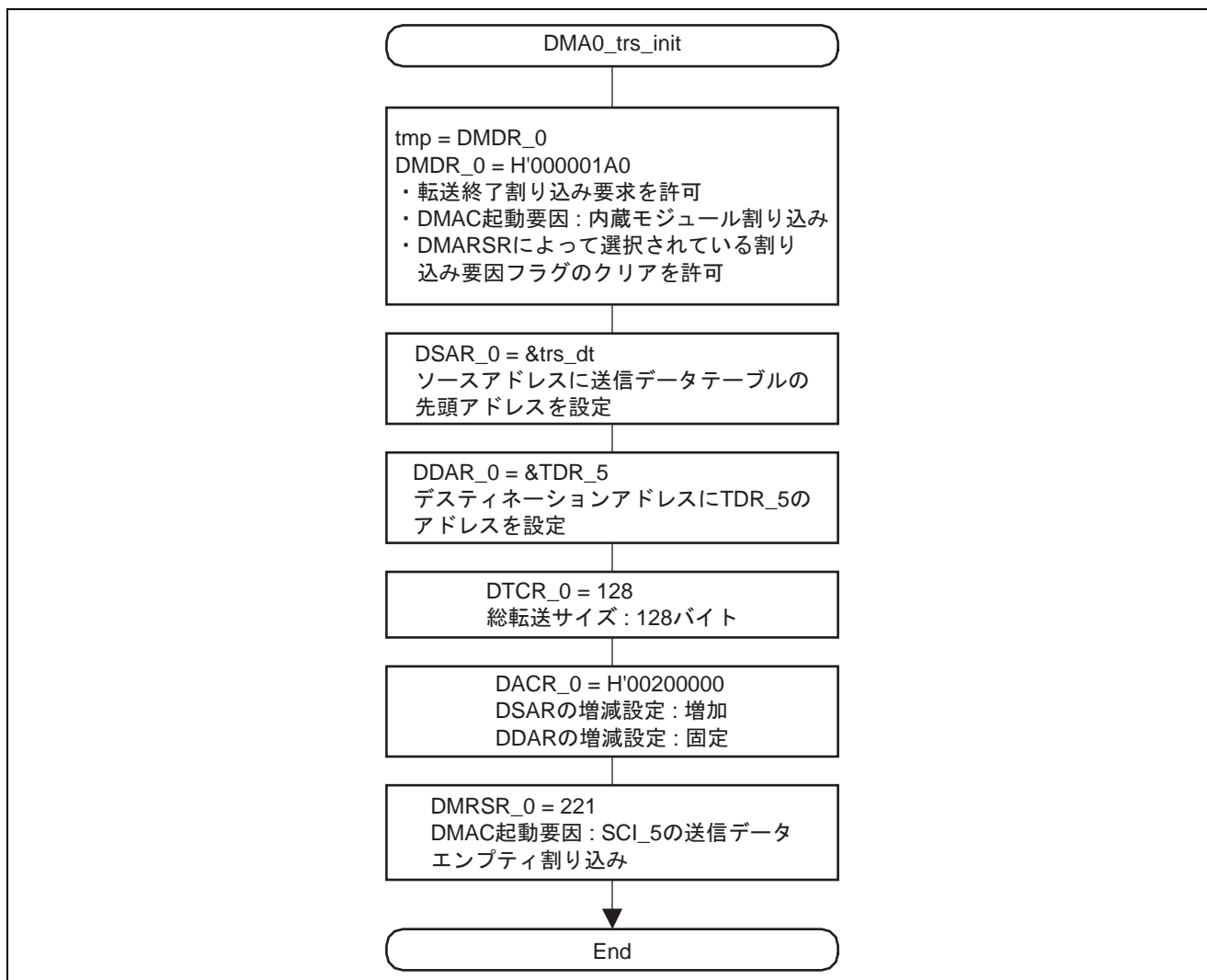
ビット	ビット名	設定値	R/W	機能
31	AMS	0	R/W	アドレスモードセレクト 0: デュアルアドレスモード 1: シングルアドレスモード
21	SAT1	1	R/W	ソースアドレス更新モード 1, 0 10: ソースアドレスは増加
20	SAT0	0	R/W	
17	DAT1	0	R/W	デスティネーションアドレス更新モード 1, 0 00: デスティネーションアドレスは固定
16	DAT0	0	R/W	

• DMA モジュールリクエストセレクトレジスタ_0 (DMRSR_0) アドレス: H'FFFD20

機能: 内蔵モジュール割り込み要因を指定する。設定値が 221 のとき、SCI_5 の送信エンプティ割り込みで DMAC が起動する。

設定値: 221

(5) フローチャート



5.6.4 DMAC1_rcv_init 関数

(1) 機能概要

DMAC チャンネル 1 初期化。SCI_5 受信レジスタの DMAC 転送設定。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本タスク例で使用する内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- DMA ソースアドレスレジスタ_1 (DSAR_1) アドレス: H'FFFC20
機能: 転送元アドレスを設定する。
設定値: &RDR_5
- DMA デスティネーションアドレスレジスタ_1 (DDAR_1) アドレス: H'FFFC24
機能: 転送先アドレスを設定する。
設定値: &rcv_dt
- DMA 転送カウントレジスタ_1 (DTCR_1) アドレス: H'FFFC2C
機能: 転送サイズを 128 バイトに設定する。
設定値: 128

● DMA モードコントロールレジスタ_1 (DMDR_1) アドレス: H'FFFC34

ビット	ビット名	設定値	R/W	機能
31	DTE	0	R/W	データトランスファイネーブル 0: データ転送を禁止 1: データ転送を許可
26	NRD	0	R/W	ネクストリクエストディレイ 0: 転送中のバスサイクル終了後に、次の転送要求受付を開始 1: 転送中のバスサイクル終了時点から 1 サイクル後に、次の転送要求受付を開始
17	ESIF	0	R/(W)*	転送エスケープインタラプトフラグ 0: 転送エスケープ終了割り込み要求なし 1: 転送エスケープ終了割り込み要求発生
16	DTIF	0	R/(W)*	データトランスファインタラプトフラグ 0: 転送カウンタによる転送終了割り込み要求なし 1: 転送カウンタによる転送終了割り込み要求発生
15	DTSZ1	0	R/W	データアクセスサイズ 1, 0
14	DTSZ0	0	R/W	00: 転送するデータアクセスサイズは、バイトサイズ (8 ビット)
13	MDS1	0	R/W	転送モードセレクト 1, 0
12	MDS0	0	R/W	00: ノーマル転送モードに設定
9	ESIE	0	R/W	転送エスケープインタラプトイネーブル 0: 転送エスケープ割り込み要求を禁止 1: 転送エスケープ割り込み要求を許可
8	DTIE	0	R/W	データトランスファインタラプトイネーブル 0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可
7	DTF1	1	R/W	データトランスファファクタ 1, 0
6	DTF0	0	R/W	10: DMAC の起動要因は、内蔵モジュール割り込み
5	DTA	1	R/W	データトランスファアクノリッジ DTF1, 0 = H'10 のとき、DTA ビットを"1"にセットすること

【注】 * フラグをクリアするための 1 リード後の 0 ライトのみ可能です。

● DMA アドレスコントロールレジスタ_1 (DACR_1) アドレス: H'FFFC38

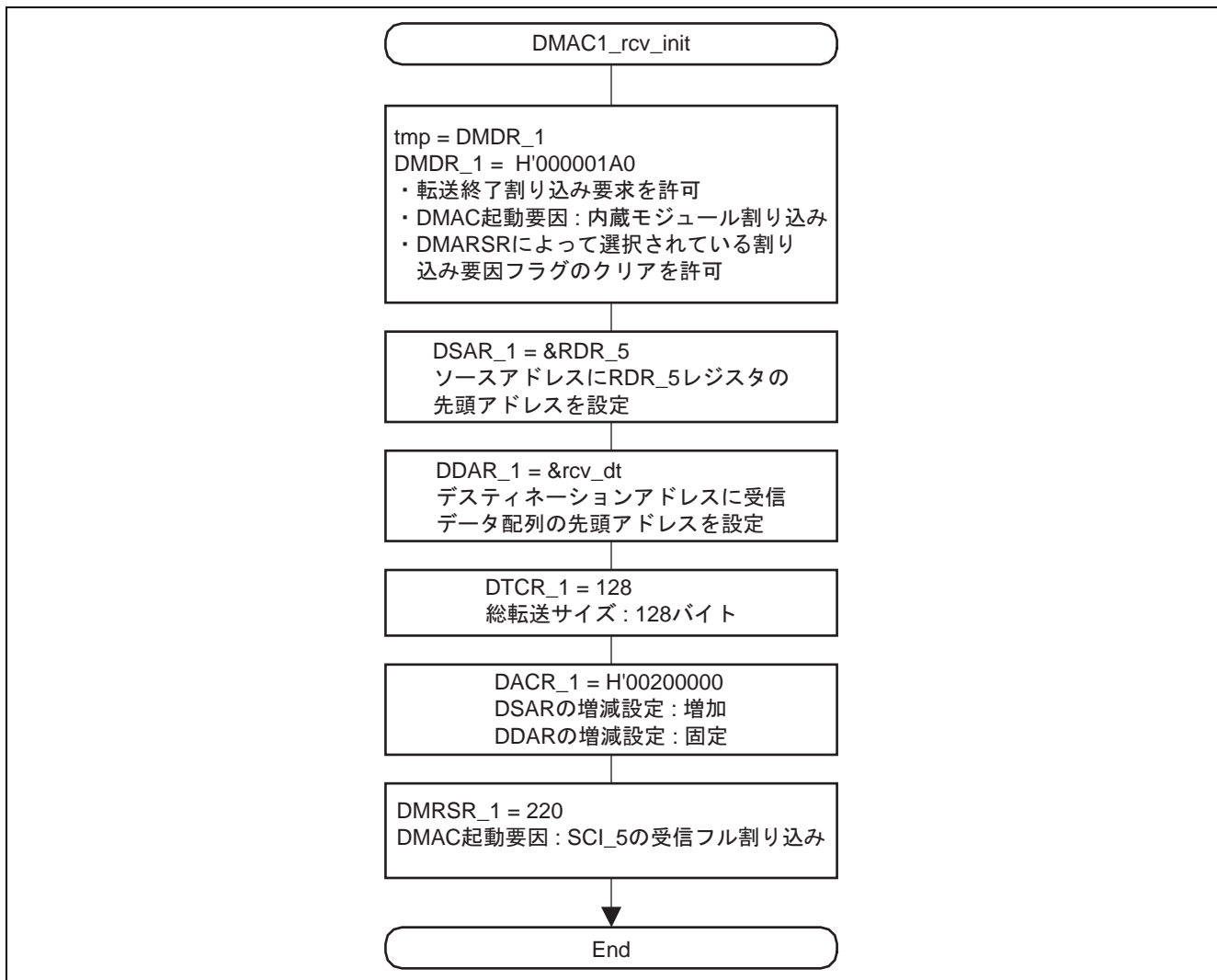
ビット	ビット名	設定値	R/W	機能
31	AMS	0	R/W	アドレスモードセレクト 0: デュアルアドレスモード 1: シングルアドレスモード
21	SAT1	0	R/W	ソースアドレス更新モード 1, 0
20	SAT0	0	R/W	00: ソースアドレスは固定
17	DAT1	1	R/W	デスティネーションアドレス更新モード 1, 0
16	DAT0	0	R/W	10: デスティネーションアドレスは増加

● DMA モジュールリクエストセレクトレジスタ_1 (DMRSR_1) アドレス: H'FFFD21

機能: 内蔵モジュール割り込み要因を指定する。設定値が 220 のとき、SCI_5 の受信データフル割り込みで DMAC が起動する。

設定値: 220

(5) フローチャート



5.6.5 dmtend0_int 関数

(1) 機能概要

DMAC_0 転送終了割り込み。SCI 送信処理を停止する。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本タスク例で使用する内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

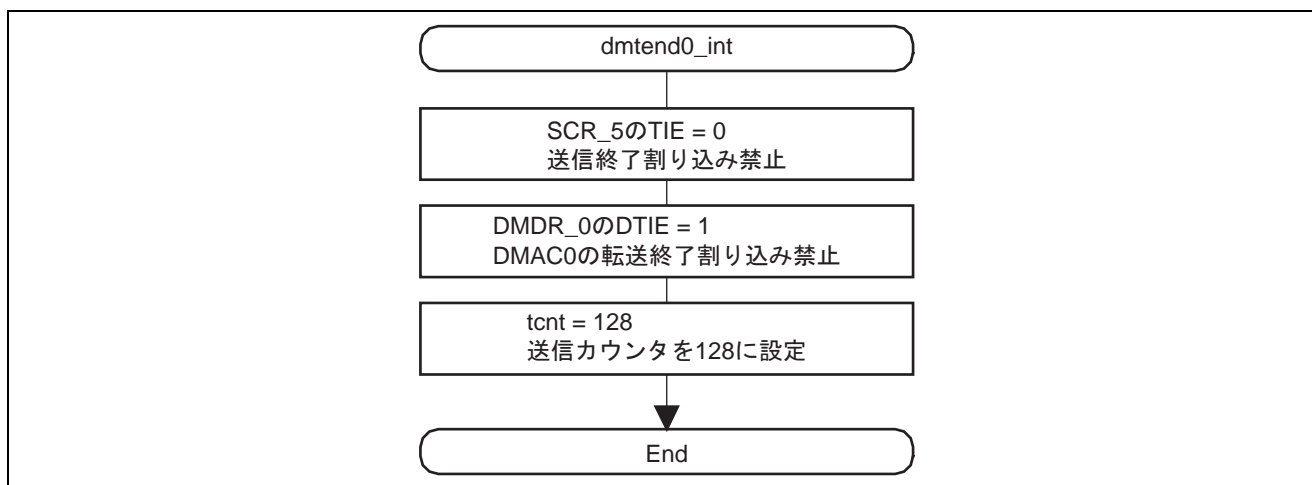
- シリアルコントロールレジスタ_5 (SCR_5) アドレス: H'FFF602

ビット	ビット名	設定値	R/W	機能
7	TIE	0	R/W	トランスミットインタラプトイネーブル 0: TXI 割り込み禁止 1: TXI 割り込み許可

- DMA モードコントロールレジスタ_0 (DMDR_0) アドレス: H'FFFC14

ビット	ビット名	設定値	R/W	機能
8	DTIE	0	R/W	データトランスファインタラプトイネーブル 0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可

(5) フローチャート



5.6.6 dmtend1_int 関数

(1) 機能概要

DMAC_1 転送終了割り込み。SCI 受信処理を停止する。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本タスク例で使用する内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

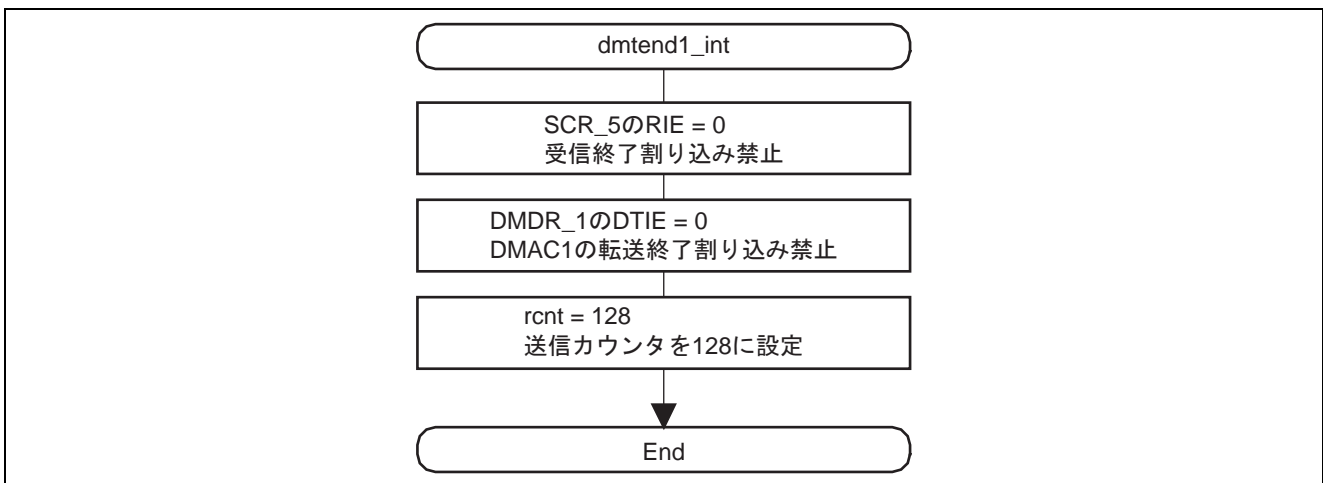
- シリアルコントロールレジスタ_5 (SCR_5) アドレス: H'FFF602

ビット	ビット名	設定値	R/W	機能
6	RIE	0	R/W	レシーブインタラプトイネーブル 0: RXI, ERI 割り込み禁止 1: RXI, ERI 割り込み許可

- DMA モードコントロールレジスタ_1 (DMDR_1) アドレス: H'FFFC34

ビット	ビット名	設定値	R/W	機能
8	DTIE	0	R/W	データトランスファインタラプトイネーブル 0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可

(5) フローチャート



5.6.7 eri5_int 関数

(1) 機能概要

受信エラー割り込み関数。1 バイト送信。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

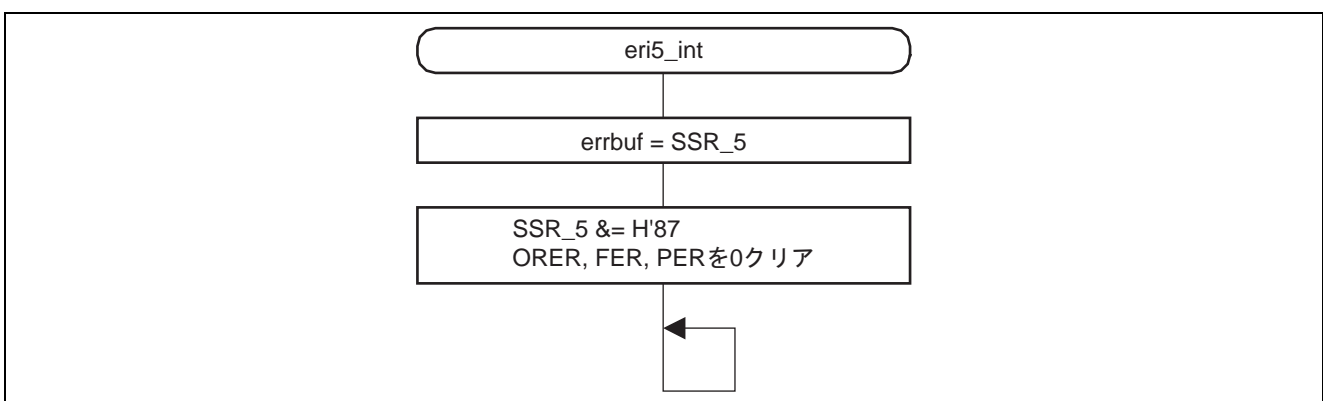
本タスク例で使用する内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- シリアルステータスレジスタ_5 (SSR_5) アドレス: H'FFF604

ビット	ビット名	設定値	R/W	機能
5	ORER	0	R/(W)*	オーバランエラー [セット条件] • 受信時にオーバランエラーが発生したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき
4	FER	0	R/(W)*	フレーミングエラー [セット条件] • 受信時にフレーミングエラーが発生したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき
3	PER	0	R/(W)*	パリティエラー [セット条件] • 受信時にパリティエラーが発生したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき

【注】 * フラグをクリアするための0ライトのみ可能です。

(5) フローチャート



5.6.8 tei5_int 関数

(1) 機能概要

送信終了割り込み関数。1 バイト送信。

(2) 引数

なし

(3) 戻り値

なし

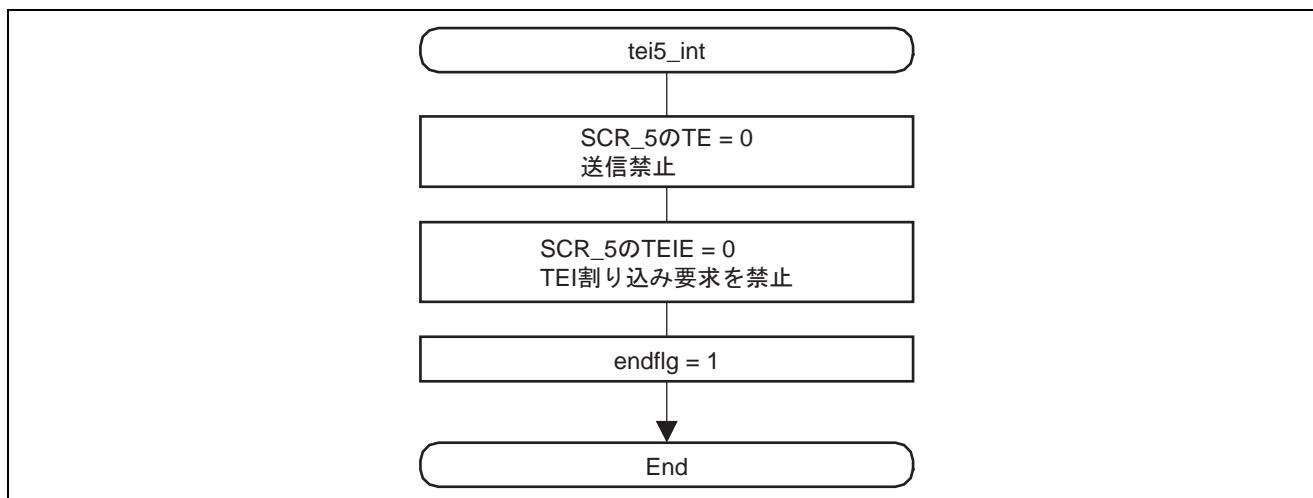
(4) 使用内部レジスタ説明

本タスク例で使用する内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- シリアルコントロールレジスタ_5 (SCR_5) アドレス: H'FFF602

ビット	ビット名	設定値	R/W	機能
5	TE	0	R/W	トランスミットイネーブル 0: 送信禁止 1: 送信許可
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル 0: TEI 割り込み禁止 1: TEI 割り込み許可

(5) フローチャート



6. 注意事項

デバイスの端子を周辺モジュールの入力端子として使用する場合は、入力バッファコントロールレジスタ (PnICR) の対応するビットを 1 にセットしてください。詳細につきましては、ハードウェアマニュアルを参照してください。

ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

csc@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.03.10	—	初版発行
2.00	2008.03.07	1	動作確認デバイスの追加
		40	注意事項の追加

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりますは、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等については弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444