
SH7722/SH7731 グループ

R01AN0669JJ0101

Rev.1.01

2011.06.09

LCD コントローラ設定例

要旨

本アプリケーションノートは、SH7722 および SH7731 の LCD コントローラ (LCDC) の使用方法と、TFT-LCD モジュールの表示例を掲載しています。

動作確認デバイス

SH7722, SH7731

目次

1. はじめに.....	2
2. LCDCの動作説明.....	4
3. システム設計におけるバス負荷の見積もり.....	23
4. 応用例の説明.....	27
5. 参考プログラム例.....	41
6. 実行結果.....	56
7. 参考ドキュメント.....	57

1. はじめに

1.1 仕様

- 本アプリケーションノートでは、2章で LCDC のハードウェアマニュアルを補足する説明を行い、3章ではシステム設計に必要な LCDC のバス負荷率について説明します。4章では、TFT-LCD モジュールに4種類の画像を交互に表示し、TFT-LCD モジュールの電源 ON/OFF を繰り返す応用例を掲載しています。

1.2 使用機能

- LCDC

1.3 適用条件

- 評価ボード: ルネサス エレクトロニクス製 SH7722 リファレンスプラットフォーム
型番 R0P7722TH001ARK
外付けメモリ (エリア 0): NOR 型フラッシュメモリ 64M バイト
Spansion 製 S29GL512N10FF1020
(エリア 3): SDRAM 64M バイト
Micron 製 MT48LC8M16A2B475
- マイコン: SH7722 (R8A77220AC266BGV)
- 動作周波数: CPU クロック: 200.00MHz
SH バスクロック: 100.00MHz
U メモリクロック: 100.00MHz
バスクロック: 50.00MHz
SDRAM 用クロック: 80.00MHz
周辺クロック: 25.00MHz

【注】 * 動作周波数は最高スペックの設定ではなく、周辺クロックが 25MHz となるように設定しています。決定方法の詳細は 4.2.2 章を参照ください。

- エリア 0 バス幅: 16 ビット (MD3 端子 = Low レベル)
- エリア 3 バス幅: 64 ビット
- クロック動作モード: モード 0 (MD0, MD1 端子 = Low レベル)
- エンディアン: リトルエンディアン (MD5 端子 = High レベル)
- ツールチェーン: ルネサス エレクトロニクス製 SuperH RISC engine Standard Toolchain Ver.9.3.0.0
- コンパイルオプション: High-performance Embedded Workshop での設定
(-cpu=sh4aldsp -endian=little -include="\$(PROJDIR)¥inc"
-object="\$(CONFIGDIR)¥\$(FILELEAF).obj" -debug -optimize=0 -gbr=auto
-chgincpath -errorpath -global_volatile=0 -opt_range=all -infinite_loop=0
-del_vacant_loop=0 -struct_alloc=1 -nologo)

1.4 本アプリケーションノートで用いる用語の説明

- フレーム:
ディスプレイに表示するイメージの通りに画素情報をメモリに配置したもので、フレーム情報が配置されたバッファをフレームバッファと呼びます。LCDC はフレームバッファから画素情報を読み出して画像を表示します。
- リフレッシュレート [Hz]:
LCDC に接続された LCD モジュールが 1 秒間に何回画面を書き換えるかを表し、LCDC が 1 秒間に出力する垂直同期信号 VSYNC の周波数に等しくなります。
- フレームレート [fps]:
画像表示システムが 1 秒間に更新する画像の枚数です。LCD モジュールが更新できる画像枚数の上限は、リフレッシュレート [Hz] と等しくなります。
フレームレートがリフレッシュレートより低い場合、例えば VSYNC が 60Hz の LCD モジュールに対してフレームレートが 30fps のとき、LCD モジュールは VSYNC60 回につき 30 回、更新された画像を表示します。

1.5 本アプリケーションノートの適用範囲

本アプリケーションノートは、OS 非搭載でフレームバッファの画像を RGB インタフェース方式の LCD モジュールに連続モードで表示する、LCDC の基本的な使用方法について説明します。以下の機能については、本アプリケーションノートの説明対象外となります。

- BEU-LCDC 連動
- YCbCr 出力
- カラーパレット
- SYS インタフェース
- サブ LCD モジュールの表示
- パーシャル画面モード
- 表示データの書き戻し
- VSYNC 入力モード
- ワンショットモード

1.6 関連アプリケーションノート

本資料の参考プログラムは、「SH7722/SH7731 グループ アプリケーションノート SH7722/SH7731 初期設定例 (RJ06B1090)」に一部変更を加えた設定条件で動作確認しています。併せて参照ください。

2. LCDCの動作説明

2.1 LCDCの概要

LCDC は外部メモリ上に配置されたフレームバッファから画像データを読み出し、TFT-LCD モジュールに出力して画像を表示させることが可能な画像系モジュールです。本アプリケーションノートでは RGB/YCbCr 形式の画像データを読み出し、RGB インタフェース方式の LCD モジュールに画像を表示させる設定例を紹介します。

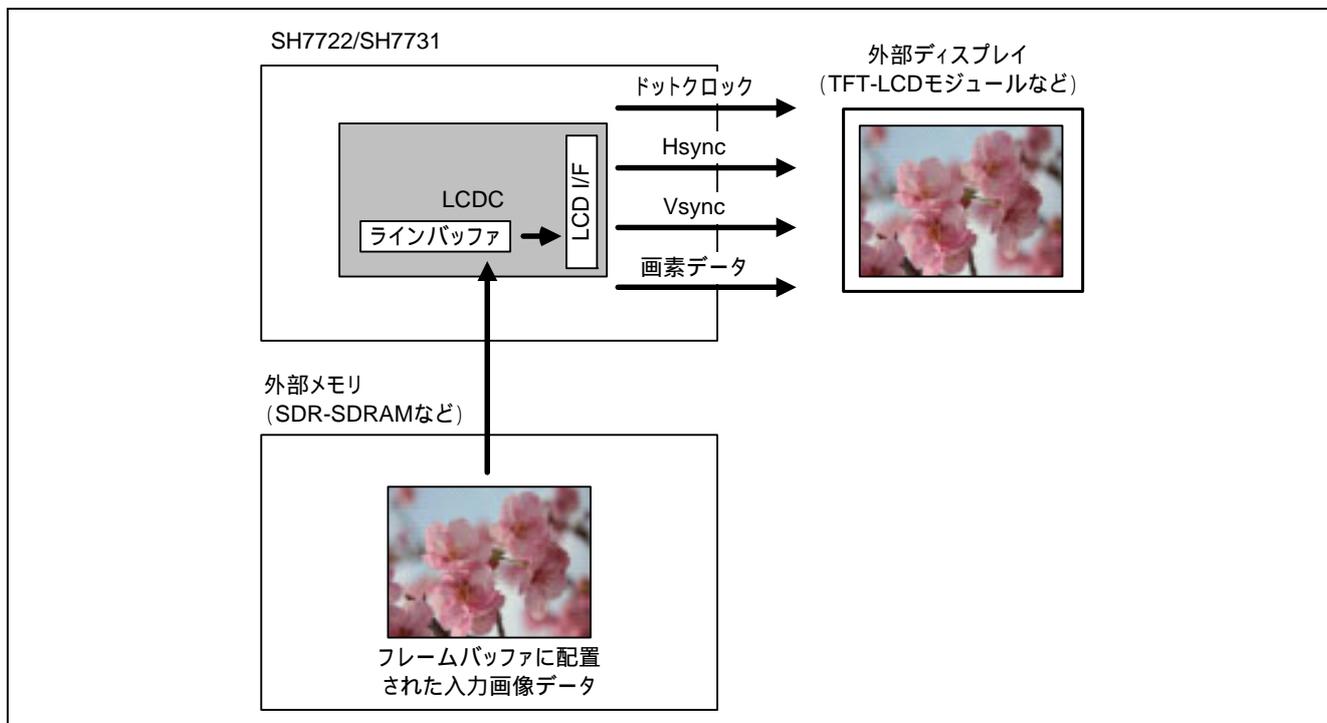


図1 LCDCの動作イメージ

2.1.1 画像データの読み出し

LCDC は、フレームバッファを画像左上の原点から右方向に1画素ずつ読み出します。画像横幅分の画素情報を1ラインと呼びます。1ライン分読み出すと1つ下の左端に戻って読み出しを続け、画像縦幅に等しいライン数を読み出すと1フレームの読み出しが完了します。次フレームの読み出しは再び原点から読み出します。

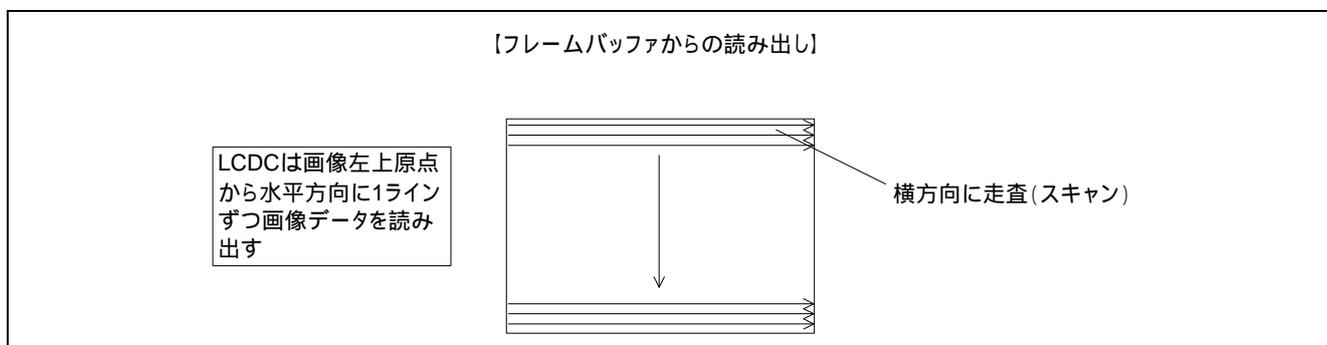


図2 画像データの入力

2.1.2 画像データの出力

LCDC は、下記の 3 つの同期信号に同期して画像データを出します。

— ドットクロック (DotCLK):

1 画素の情報はドットクロックに同期して出力します。

— 水平同期信号 (Hsync):

画像の横幅 1 ライン分の情報は水平同期信号に同期して出力します。同期信号の前後の画素情報を出力しない期間をそれぞれ水平フロントポーチ、水平バックポーチと呼びます。

— 垂直同期信号 (Vsync):

画像 1 フレーム分の情報は垂直同期信号に同期して出力します。同期信号の前後の画素情報を出力しない期間をそれぞれ垂直フロントポーチ、垂直バックポーチと呼びます。

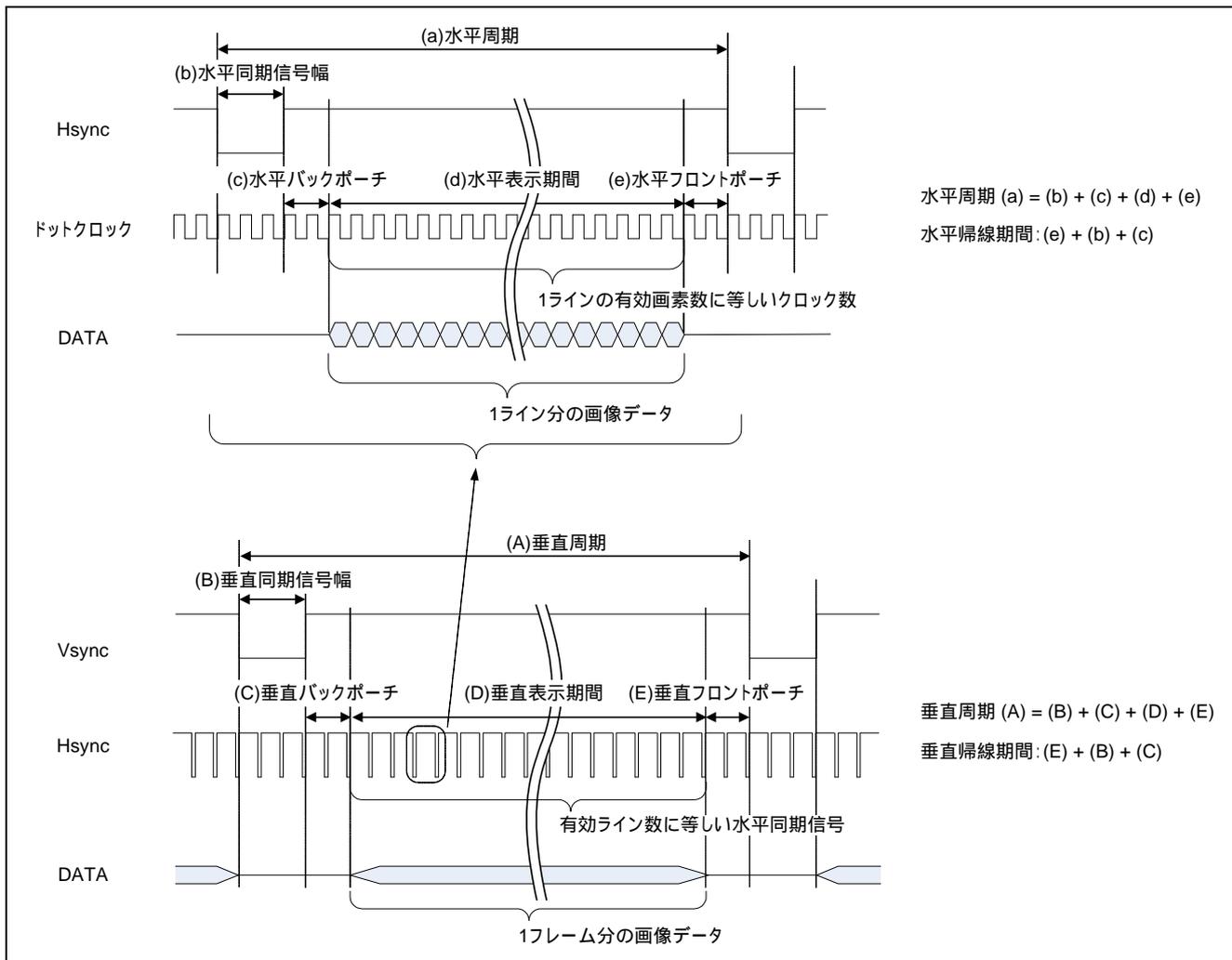


図 3 画像データと同期信号の出力

同期信号の 1 周期中に、画像の表示期間と非表示期間が存在します。水平方向の非表示期間は、左から右へと 1 ラインの表示を終了してから、左へ戻って次の 1 ラインの表示を開始するまでの期間で、水平帰線期間と呼びます。垂直方向の非表示期間は、1 フレームの表示を終了してから、次の 1 フレームの表示を開始するまでの時間で、垂直帰線期間と呼びます。

2.2 LCDCの仕様

LCDC の主な仕様を表 1 に示します。

表 1 LCDC のスペック

項目	仕様
表示可能な LCD モジュールの最大サイズ 実際の表示には、バス占有率の計算が必要です。詳細は 3 章を参照ください。	【画像横幅】 <ul style="list-style-type: none"> 出力データ形式 RGB565 16bit パック (2byte/画素) のとき 1024 画素まで 出力データ形式 RGB888 32bit パック (4byte/画素) のとき 512 画素まで 【画像縦幅】 <ul style="list-style-type: none"> 1024 画素まで
入力データ形式	RGB888 32bit パック 下詰め RGB888 32bit パック 上詰め RGB888 24bit パック (2.3.4 章【注 2】を参照ください) RGB565 16bit パック RGB666 32bit パック RGB444 16bit パック RGB666 24bit パック BGR666 24bit パック BGR888 24bit パック BGR888 32bit パック RGB565 32bit パック YCbCr444 YCbCr422 YCbCr420
出力データ形式	【RGB インタフェース】 RGB8 3cycle/pixel RGB9 2cycle/pixel RGB12a 2cycle/pixel RGB12b 1cycle/pixel RGB16 1cycle/pixel RGB18 1cycle/pixel RGB24 1cycle/pixel 【SYS インタフェース】本アプリケーションノートでは取り扱いません
表示データの書き戻し	本アプリケーションノートでは取り扱いません
LCD ドライバインタフェース	【メイン LCD・RGB インタフェース】 <ul style="list-style-type: none"> 水平同期，垂直同期信号によるインタフェース 信号の極性が設定可能 画像信号の出力幅と出力位置が設定可能 【メイン LCD・SYS インタフェース】 本アプリケーションノートでは取り扱いません 【サブ LCD・SYS インタフェースのみ】 本アプリケーションノートでは取り扱いません
ドットクロック	<ul style="list-style-type: none"> ソースクロックを 3 種類から選択し，分周して出力可能 <ul style="list-style-type: none"> — バスクロック (Bϕ) — 周辺クロック (Pϕ) — 外部入力クロック 最大 33.3MHz まで出力可能。Bϕ が 33.3MHz より遅い設定であれば，Bϕ の値がドットクロックの最大値となる 分周率は 1/1 分周 (分周しない) 設定と 1/2, 1/3 ~ 1/60 分周の設定が可能。分子が 1 以外の値になる分周 (例: 2/5 分周) は不可能

2.3 LCDCの設定

LCDC の機能およびレジスタへの設定方法を示します。

2.3.1 モジュールスタンバイの解除

SH7722/SH7731 には周辺モジュールごとにクロックを供給/停止するモジュールスタンバイ機能があります。LCDC はパワーオンリセット後にクロックが停止されているモジュールなので、LCDC レジスタを設定する前にモジュールスタンバイを解除し、クロックを供給する必要があります。

表 2 に省電力モードの設定で使用するレジスタを示します。

表 2 省電力モードの設定

機能	レジスタ名
LCDC 省電力モードの ON/OFF	モジュールストップレジスタ 2 (MSTPCR2) の MSTP200 ビット

ソフトウェアでモジュールスタンバイを解除する際は、MSTP200 ビットの読み出し値が 0 になるまでポーリングするなど、確実に解除したことを確認してから LCDC レジスタの設定を開始してください。モジュールスタンバイのまま LCDC レジスタへ書き込むことはできません。

2.3.2 データの取得先の設定

LCDC は画像データの取得先をメモリか BEU で選択できます。BEU を選択したとき、BEU と LCDC が連動して動作します。SH7731 は BEU を搭載していないため、データの取得先の設定は必要なく、必ずメモリからデータを取得します。SH7722 はデータの取得先をメモリか BEU から選択でき、BEU を選択すると BEU-LCDC 連動モードで動作します (BEU-LCDC 連動モードは本アプリケーションノートでは取り扱いません)。

表 3 にデータの取得先の設定で使用する LCDC のレジスタを示します。

表 3 データの取得先の設定

機能	レジスタ名
データの取得先の設定	LCDC 制御レジスタ 2 (LDCNT2R) <ul style="list-style-type: none"> SH7731 では必ずデータの取得先をメモリに設定してください

2.3.3 表示出力先の設定

LCDC はメイン LCD とサブ LCD の 2 つの表示先を選択できます。メイン LCD は RGB インタフェースと SYS インタフェースを選択できます。サブ LCD は SYS インタフェースのみとなります。

本アプリケーションノートではメイン LCD の RGB インタフェースのみ取り扱います。

表 3 に表示出力先の設定で使用する LCDC のレジスタを示します。

表 4 データの表示出力先の設定

機能	レジスタ名
表示出力先の設定	LCDC 制御レジスタ 1 (LDCNT1R) LCDC 制御レジスタ 2 (LDCNT2R)

2.3.4 フレームバッファの設定

LCDC がメモリから画像データを読み出す際に必要とするフレームバッファ情報を図 4 に示します。

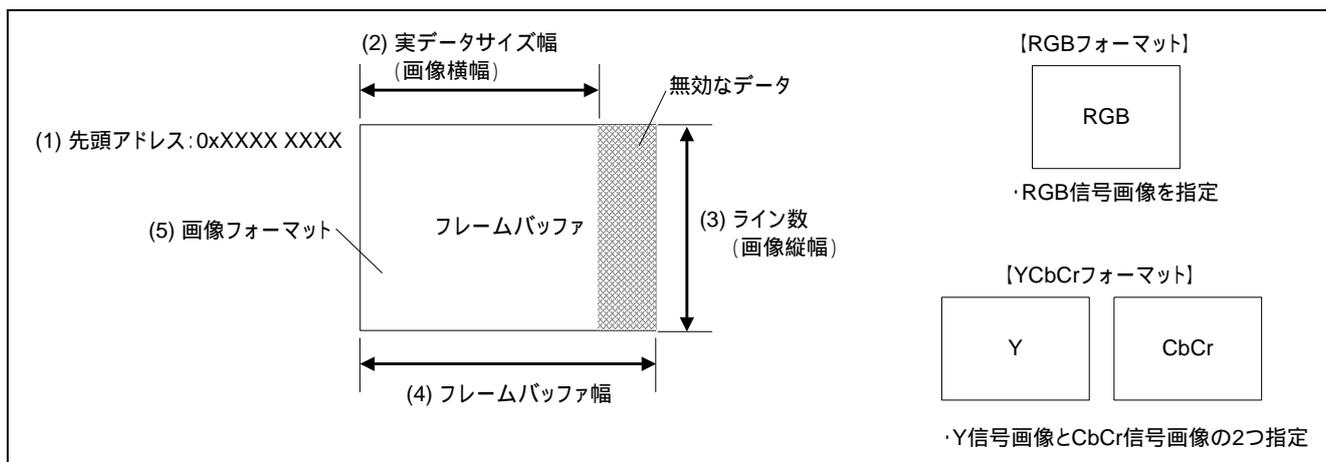


図 4 フレームバッファ構成

- (1) 先頭アドレス：フレームバッファの原点のアドレスを 8 バイトアライメントで指定します。また、アドレスは 32 ビットの上位 3 ビットが 0 の物理アドレスで設定します。
- (2) 実データサイズ幅：画像の横幅を画素単位で指定します。ただし、LCDC は水平方向についてはキャラクタ単位 (1 キャラクタ: 8 画素) で取り扱うため、8 の倍数である必要があります。
- (3) ライン数：画像の縦幅を画素単位で指定します。
- (4) フレームバッファ幅：画像横幅と独立して、フレームバッファの幅をバイト単位で指定します。フレームバッファ幅は (画像横幅 × 1 画素のバイト数) 以上である必要があります。(画像横幅 × 1 画素のバイト数) よりも大きく設定したとき、フレームバッファの右端は無効なデータとなります。
- (5) 画像フォーマット：LCDC は表 1 「入力データ形式」の画像フォーマットを取り扱えます。

— RGB フォーマットはフレームバッファが 1 つです。

— YCbCr フォーマットは Y 信号と CbCr 信号を分離して取り扱うため、フレームバッファは 2 つとなります。このとき、(1)先頭アドレスは Y 信号の先頭アドレス用レジスタと CbCr 信号の先頭アドレスレジスタにそれぞれ設定し、(2)~(4)については Y 信号のフレームバッファ情報を設定してください。

【注】 1. 画像フォーマットを YCbCr に設定したとき、RGB インタフェースへ出力される際の色変換 (YUV RGB 変換) フォーマットは、ITU-BT.601 のみ対応しています。変換式は 2 種類から選択可能です。

— エクステンション型: YCbCr BT.601 レンジ (Y: 16 ~ 235, C: 16 ~ 240) RGB フルレンジ (0 ~ 255) 変換します。

— コンプレスト型: YCbCr フルレンジ (0 ~ 255) RGB フルレンジ (0 ~ 255) 変換します。

【注】 2. 「SH7722 グループ ハードウェアマニュアル (RJJ09B0324-0200) Rev.2.00 31 章 LCD コントローラ (LCDC) 表 31.7 RGB のパック形式」または「SH7731 グループ ハードウェアマニュアル (RJJ09B0518-0100) Rev.1.00 27 章 LCD コントローラ (LCDC) 表 27.7 RGB のパック形式」において、RGB888 24bpp が記載されておりませんが、PKF[4:0] = B'00010 設定で使用可能です。

【注】 3. フレームバッファの画像フォーマットと、LCDC に接続する LCD モジュールの画像フォーマットが異なる場合、LCDC は自動で下位ビットの 0 詰め/下位ビットの切捨てを行います。例として、フレームバッファの画像フォーマットが RGB565 で LCD モジュールの画像フォーマットが RGB666 のとき、LCDC は R と B の LSB に 0 を追加して RGB666 として出力します。LCD モジュールの画像フォーマットの設定は、2.3.8 章を参照ください。

表 5 にフレームバッファの設定で使用する LCDC のレジスタを示します。

表5 フレームバッファの設定

機能	レジスタ名
先頭アドレス設定 (Y 信号/RGB 信号)	メイン LCD 表示データ取り込み開始アドレスレジスタ 1 (MLDSA1R)
先頭アドレス設定 (CbCr 信号)	メイン LCD 表示データ取り込み開始アドレスレジスタ 2 (MLDSA2R)
画像の横幅	2.3.7 章 同期信号の設定を参照ください
画像の縦幅	2.3.7 章 同期信号の設定を参照ください
フレームバッファの横幅 (ストライド)	メイン LCD 表示データ格納メモリラインサイズレジスタ (MLDMLSR)
画像フォーマット (RGB888, RGB565, YCbCr420 など) の選択 ,YCbCr RGB 変換式の選択	メイン LCD データフォーマットレジスタ (MLDDFR)

2.3.5 データスワップの設定

LCDC はビッグエンディアンで動作するモジュールです。SH7722/SH7731 をリトルエンディアンで動作させるときは、メモリ上のフレームバッファはリトルエンディアンでデータ配置されているため、画像フォーマットによって適切にデータをスワップさせる必要があります。LCDC はメモリのデータを読み込むとき、バイトスワップ、ワードスワップ、ロングワードスワップを個別に設定することが可能です。

表6 にデータスワップの設定で使用する LCDC のレジスタを示します。

表6 データスワップの設定

機能	レジスタ名
ロングワードスワップ選択	LCDC 入力画像データスワップレジスタ (LDDDSR)
ワードスワップ選択	
バイトスワップ選択	

表7 に使用頻度の高い画像フォーマットのスワップの設定例を示します。

表7 スワップの設定例

画像フォーマット	設定
RGB888 32bit パック 下詰め RGB888 32bit パック 上詰め	LDDDSR = 0x00000004 • ロングワードスワップ ON
RGB888 24bit パック YCbCr444 YCbCr422 YCbCr420	LDDDSR = 0x00000007 • ロングワードスワップ ON • ワードスワップ ON • バイトスワップ ON
RGB565 16bit パック	LDDDSR = 0x00000006 • ロングワードスワップ ON • ワードスワップ ON

2.3.6 ドットクロックの設定

使用する LCD モジュールの AC 特性にしたがい、ドットクロックを設定します。ドットクロックはソースクロックを分周して生成します。

- (1) ソースクロック: バスクロック (B ϕ), 周辺クロック (P ϕ), LCDLCLK から入力する外部入力クロックの 3 種類から選択します。分周率が整数比 (1/1, 1/2, 1/3,...) でのみ設定可能なので、所望のドットクロックの整数倍の周期のソースクロックを選択してください。また、以下の制限事項があります。
 - P ϕ 選択時、P ϕ を B ϕ より低い周波数としてください。
 - 外部入力クロックは、ジッタ込みで B ϕ 以下の周波数としてください。
- (2) 分周率: 1/1 分周で使用するか、1/1 分周以外 (1/2, 1/3,...) を選択します。「1/1 分周以外」のとき、分周率は、分周率の分母 (m) とドットクロックパターンの 2 つで決定します。

分周率の決定方法

「1/1 分周以外」を選択すると、ソースクロックに対して LCD ドットクロックパターンレジスタ 1・2 に設定したパターンが、図 5 に示すようにそのままドットクロックとして出力されます。

LCD ドットクロックパターンレジスタのビット設定とドットクロック出力レベルは、LCD モジュールタイプレジスタ 1 の DWPOL ビット設定により、以下の関係があります。

- DWPOL ビット = 1: LCD ドットクロックパターンレジスタ (0, 1) ドットクロック出力レベル (H, L)
- DWPOL ビット = 0: LCD ドットクロックパターンレジスタ (0, 1) ドットクロック出力レベル (L, H)

本章では DWPOL = 0 としたときの設定について説明いたします。DWPOL = 1 とした場合は、ドットクロック出力レベルを反転してお考えください。

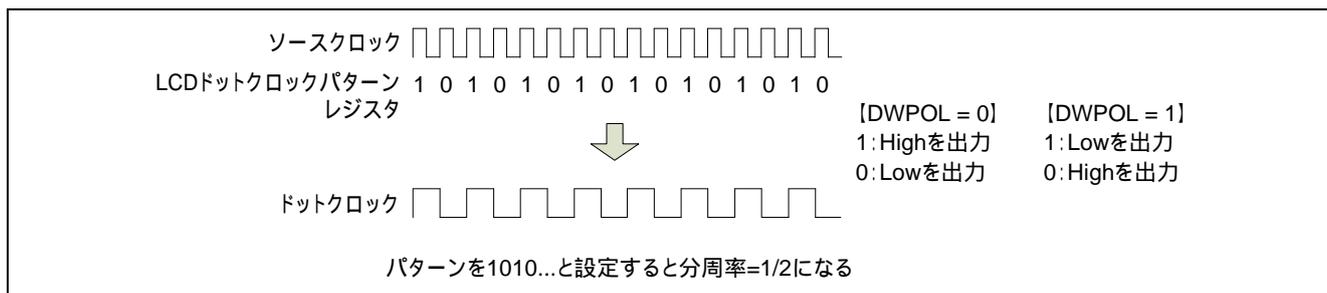


図 5 分周率の設定

通常、ドットクロックパターンは 1010... や 110110... のように 1 と 0 が交互に表れる周期的なパターンを設定します。この繰り返しの周期を "A" とします。10, 10, ... であれば A = 2, 110, 110, ... であれば A = 3 です。このとき、分周率は 1/A となります。

- (1) 分周率を 1/A としたいとき、A で割り切れる分母 (m) を 42, 48, 54, 60 のうちから選択します。m はこの 4 種類のみ選択できます。割り切れる値であれば、どの値を選択してもかまいません。
- (2) 次に、LCD ドットクロックパターンレジスタに、繰り返し周期 "A" の 1, 0 のパターンを、m の値に等しいビット数だけ設定します。A = 2 であれば 1 ビットずつ交互に 1 と 0 を並べる 1010... のパターン、A = 3 であれば 110110... または 100100... のパターンを設定します。A = 3 のように分周率を奇数にしたとき、1 と 0 の数が偏るため、クロックのデューティ比は 1:1 ではありません。ご使用になる LCD モジュールがドットクロックのデューティ比が 1:1 でなくても問題ないかご確認ください。

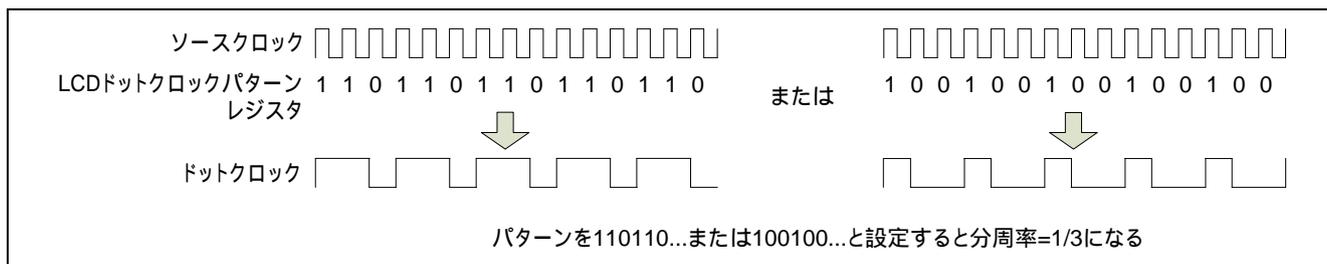


図 6 1/3 分周の設定

(3) 2/5 分周など、分子が 1 以外の値になるような設定は、クロックごとの周期幅が異なり、ジッタとなりますので設定しないでください。

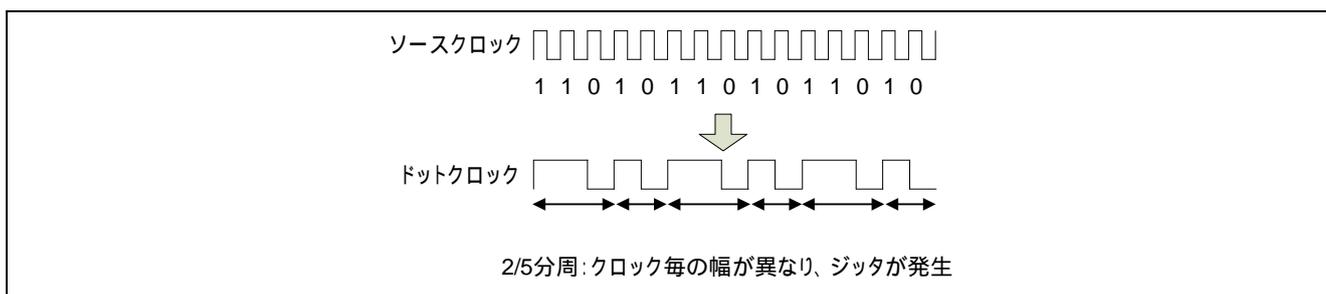


図 7 2/5 分周の設定 (設定禁止)

分周率は 1/2 ~ 1/60 まで設定可能です。分周により所望のドットクロックが得られない場合は、LCDLCLK に適切なクロック信号を入力し、ソースクロックに外部クロックを選択してください。

表 8 にドットクロックの設定で使用する LCDC のレジスタを示します。

表 8 ドットクロックの設定

機能	レジスタ名
ソースクロックの選択	LCDC ドットクロックレジスタ (LDDCKR)
1/1 分周または 1/1 分周以外の選択	
分周率の分母 (m) の選択	
ドットクロックパターンの設定	LCD ドットクロックパターンレジスタ 1 (MLDDCKPAT1R)
	LCD ドットクロックパターンレジスタ 2 (MLDDCKPAT2R)

分周率の分母 (m) は LCDC ドットクロックレジスタ (LDDCKR) の MDCDR ビットで設定します。図 8 に LCD ドットクロックパターンレジスタ 1・2 の使用ビットを示します。

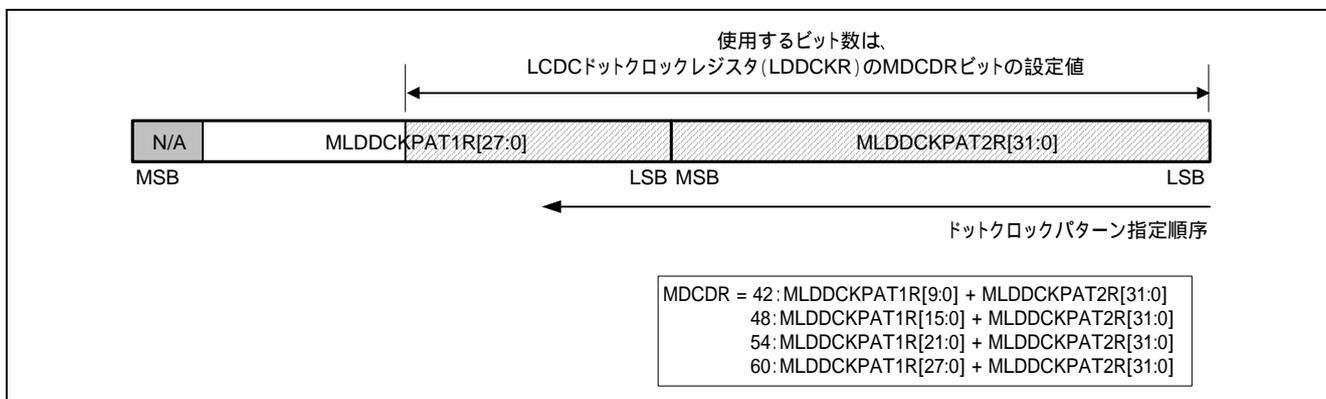


図 8 LCD ドットクロックパターンレジスタ 1・2 の使用ビット

表9 に分周率 1/2 ~ 1/8 のときのドットクロックパターン例を示します。

表9 分周率の設定例

分周率	選択可能な分母 (m)	設定するドットクロックパターン (選択可能な最小の m で例示)
1/2	42, 48, 54, 60	MLDDCKPAT1R = 0x000002AA, MLDDCKPAT2R = 0xAAAAAAAA
1/3	42, 48, 54, 60	H:L = 2:1, MLDDCKPAT1R = 0x0000036D, MLDDCKPAT2R = 0xB6DB6DB6 または H:L = 1:2, MLDDCKPAT1R = 0x00000249, MLDDCKPAT2R = 0x24924924
1/4	48, 60	MLDDCKPAT1R = 0x0000CCCC, MLDDCKPAT2R = 0xCCCCCCCC
1/5	60	H:L = 2:1, MLDDCKPAT1R = 0x0E739CE7, MLDDCKPAT2R = 0x39CE739C または H:L = 1:2, MLDDCKPAT1R = 0x0C6318C6, MLDDCKPAT2R = 0x318C6318
1/6	42, 48, 54, 60	MLDDCKPAT1R = 0x0000038E, MLDDCKPAT2R = 0x38E38E38
1/7	42, 48	H:L = 4:3, MLDDCKPAT1R = 0x000003C7, MLDDCKPAT2R = 0x8F1E3C78 または H:L = 3:4, MLDDCKPAT1R = 0x00000387, MLDDCKPAT2R = 0x0E1C3870
1/8	48	MLDDCKPAT1R = 0x0000F0F0, MLDDCKPAT2R = 0xF0F0F0F0

2.3.7 同期信号の設定

使用する LCD モジュールの、図 3 の(A)~(E), (a)~(e)の特性に合わせて、図 9 の同期信号パラメータを設定します。

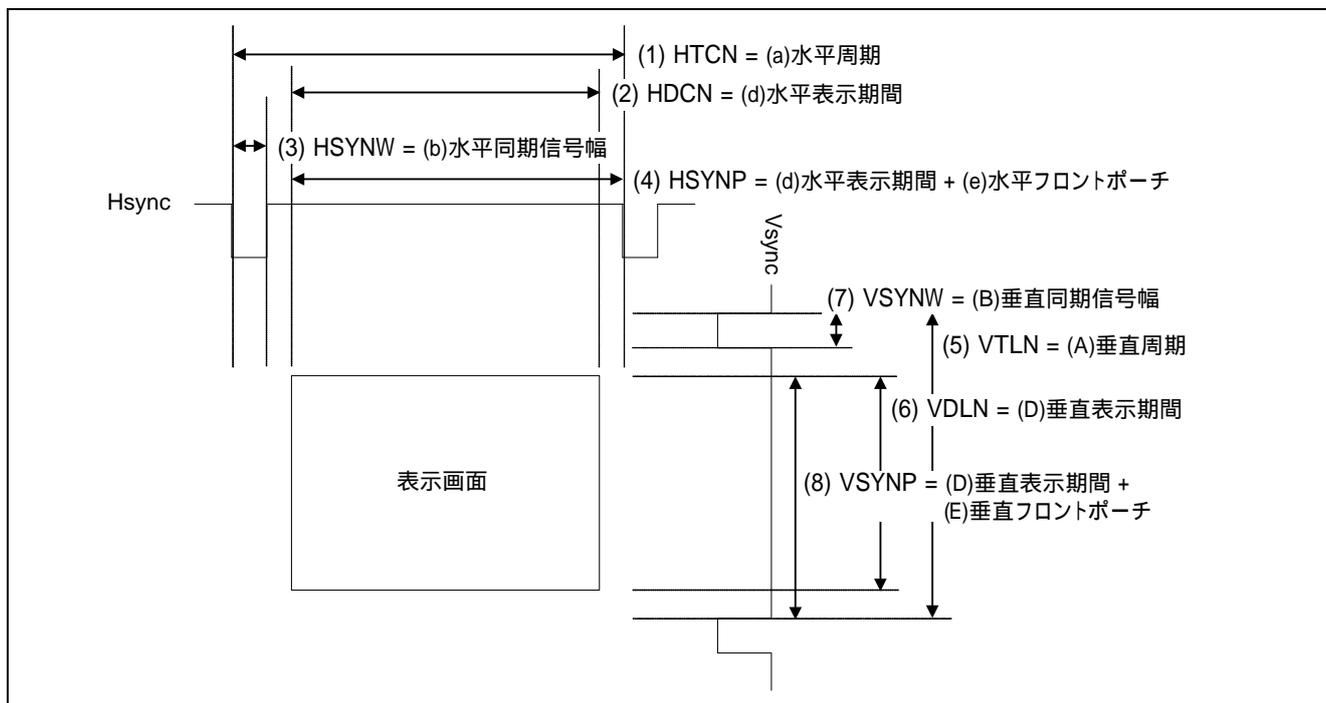


図 9 同期信号の構成

- (1) HTCEN: 水平周期をキャラクタ単位で設定します。
- (2) HDCEN: 水平表示期間をキャラクタ単位で設定します。
- (3) HSYNWN: 水平同期信号幅をキャラクタ単位で設定します。
- (4) HSYNPN: 水平表示期間+水平フロントポーチ幅をキャラクタ単位で設定します。
- (5) VTLN: 垂直周期を水平同期信号単位で設定します。
- (6) VDLN: 垂直表示期間を水平同期信号単位で設定します。
- (7) VSYNWN: 垂直同期信号幅を水平同期信号単位で設定します。
- (8) VSYNPN: 垂直表示期間+垂直フロントポーチ幅を水平同期信号単位で設定します。

水平方向の設定についての注意事項

- 1キャラクタ = 8画素 (8ドットクロック) となります。そのため、水平方向の各パラメータはドットクロック単位で8の倍数でのみ設定できます。ご使用のLCDモジュールによっては、水平方向のパラメータがドットクロック単位で8の倍数以外の値が必要になる場合がありますが、この場合、最も値に近い8の倍数を指定し、それをキャラクタ単位に直した値 (1/8にした値) を設定します。ご使用になるLCDモジュールで問題ないか、十分にご確認ください。例えば、左右どちらかの端に、表示されない範囲が発生する可能性があります。
- 水平方向の表示画素のデータ量は1ライン当たり2048バイト以内に制限されます。たとえば、RGB565 16bitパック (MLDDFR.PKF = B'00011) の場合、水平方向の画素数は1024 (キャラクタ数は128) までとなります。
- $HTCEN \geq HDCEN + 3$ の関係を満足するように設定してください。
- $HTCEN \geq HSYNPN + HSYNWN$ の関係を満足するように設定してください。
- $HSYNPN \geq HDCEN + 1$ の関係を満足するように設定してください。

垂直方向の設定についての注意事項

- $VTLN \geq VDLN + 1$ の関係を満足するように設定してください。

表 10 に同期信号の設定で使用する LCDC のレジスタを示します。

表 10 同期信号の設定

機能	レジスタ名
水平同期信号の設定	メイン LCD 水平キャラクタナンバレジスタ (MLDHCNR)
	メイン LCD 水平同期信号レジスタ (MLDHSYNR)
垂直同期信号の設定	メイン LCD 垂直ラインナンバレジスタ (MLDVLNR)
	メイン LCD 垂直同期信号レジスタ (MLDVSYNR)

2.3.8 LCDインタフェースの設定

使用する LCD モジュールの仕様により LCD モジュールインタフェース (RGB または SYS) 転送モード、信号極性などを設定します。使用する LCD モジュールのデータシートを参考に、各値を設定してください。

- (1) モジュールインタフェース: RGB インタフェースまたは SYS インタフェースを選択します。本アプリケーションノートでは、RGB インタフェースを選択した際の設定内容を示します。
- (2) メイン液晶モジュール設定: LCD モジュールの画像データのビット幅および転送サイクル数を選択します。
- (3) 同期信号極性: 垂直同期信号 (Vsync) と水平同期信号 (Hsync) をローアクティブまたはハイアクティブに設定します。ローアクティブのとき、同期信号 (2.3.7 章の HSYNW/VSYNW) の期間に Low を出力します。ハイアクティブのときは逆に High を出力します。
- (4) Hsync 信号出力制御: Vsync の帰線期間中に Hsync を出力する/しないを設定します。
- (5) ドットクロック制御: Vsync・Hsync の帰線期間中にドットクロックを出力する/しないを設定します。
- (6) ドットクロック極性: LCD モジュールが画像データをドットクロックの立ち上がりでラッチするか、ドットクロックの立ち下がりでラッチするかを選択します。
- (7) 表示イネーブル信号極性: 表示イネーブル信号 LCDDISP をローアクティブまたはハイアクティブに設定します。
- (8) 表示データ極性: 表示データをハイアクティブ (値をそのまま出力) またはローアクティブ (ビット反転して出力) に設定します。

各設定の詳細は、「SH7722 グループ ハードウェアマニュアル (RJ09B0324) 31 章. LCD コントローラ (LCDC) 31.3.8 メイン LCD モジュールタイプレジスタ 1 (MLDMT1R)」または「SH7731 グループ ハードウェアマニュアル (RJ09B0518) 27 章. LCD コントローラ (LCDC) 27.3.8 メイン LCD モジュールタイプレジスタ 1 (MLDMT1R)」をご参照ください。

表 11 に LCD インタフェースの設定で使用する LCDC のレジスタを示します。

表 11 LCD インタフェースの設定

機能	レジスタ名
<ul style="list-style-type: none"> • モジュールインタフェースの設定 • Vsync 極性 • Hsync 極性 • ドットクロック極性 	メイン LCD モジュールタイプレジスタ 1 (MLDMT1R)
SYS インタフェースで使用します。本アプリケーションノートでは取り扱いません。	メイン LCD モジュールタイプレジスタ 2 (MLDMT2R)
	メイン LCD モジュールタイプレジスタ 3 (MLDMT3R)

2.3.9 パワーマネジメントの設定

LCDC には、液晶モジュールの電源管理を行うための 3 本の制御信号を、設定したシーケンスに従って操作する機能があります。この機能を用いると、液晶モジュールの電源制御を、LCDC の表示開始と表示停止に同期させることが可能です。本機能で制御できる外部端子は、下記の 3 本です (以下、パワーマネジメント端子と表記)。

- LCDVCPWC 端子: 表示開始のとき最初に High になり、表示停止のとき最後に Low になります。
- LCDVEPWC 端子: 表示開始のとき 2 番目に High になり、表示停止のとき 2 番目に Low になります。
- LCDDON 端子: 表示開始のとき最後に High になり、表示停止のとき最初に Low になります。

表 12 にパワーマネジメントの設定で使用する LCDC のレジスタを示します。

表 12 パワーマネジメントの設定

機能	レジスタ名
パワーマネジメント端子のタイミング設定	メイン LCD パワーマネジメントレジスタ (MLDPMR)

LCDC 起動時の各パワーマネジメント端子の信号レベルの遷移を図 10 に示します。

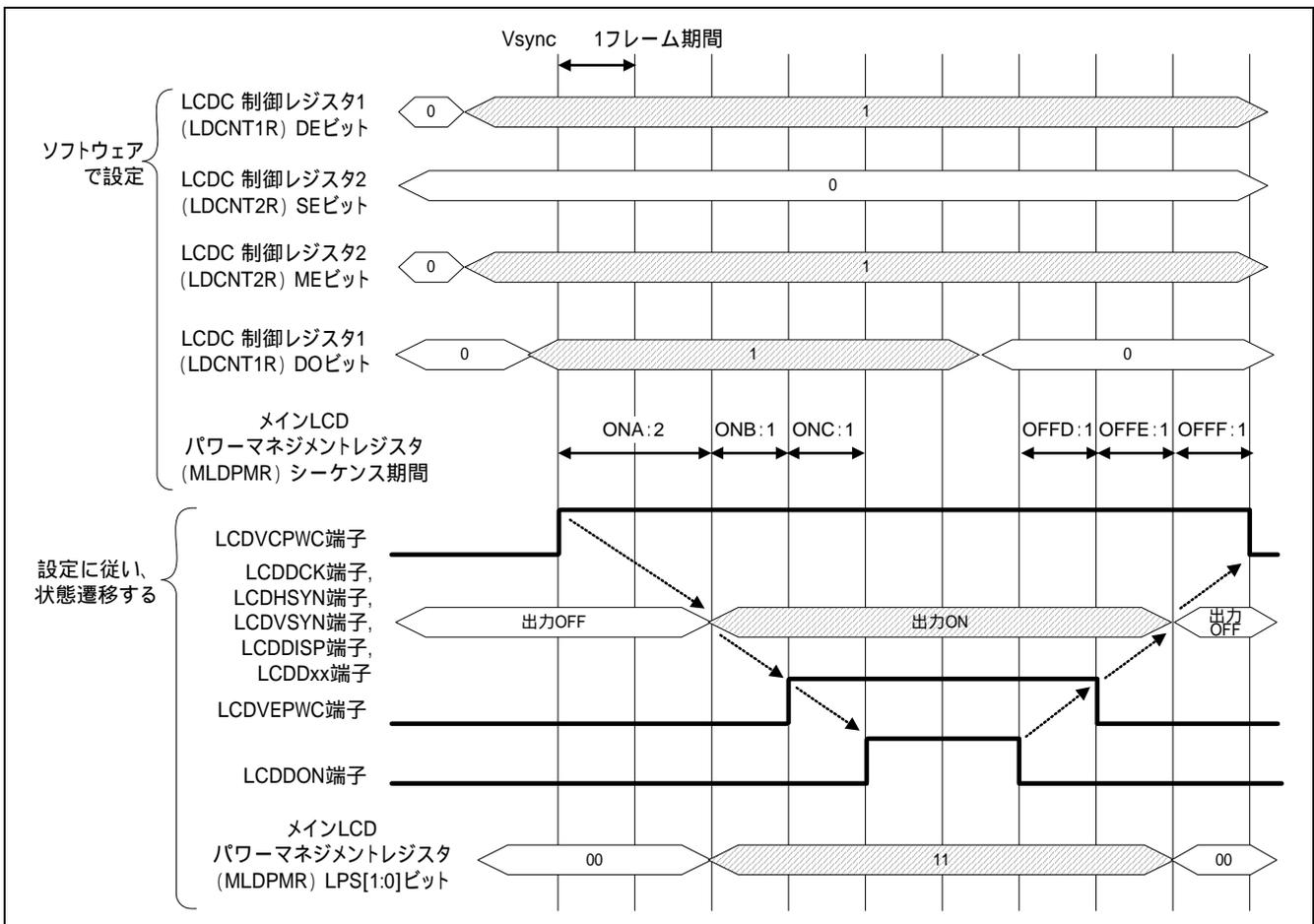


図 10 パワーマネジメント端子の遷移例

各信号間の遅延時間は、MLDPMR レジスタのシーケンス期間を設定するビットの値に等しいフレーム期間となります。詳細は「SH7722 グループ ハードウェアマニュアル (RJJ09B0324) 31 章 LCD コントローラ (LCDC) 31.3.26 メイン LCD パワーマネジメントレジスタ (MLDPMR)および 31.4.6 パワーマネジメント」または「SH7731 グループ ハードウェアマニュアル (RJJ09B0518) 27 章 LCD コントローラ (LCDC) 27.3.26 メイン LCD パワーマネジメントレジスタ (MLDPMR)および 27.4.6 パワーマネジメント」を参照ください。

2.4 LCDCの起動と停止

LCDC を起動してメイン LCD モジュールの表示を開始するフローを図 11 に示します。

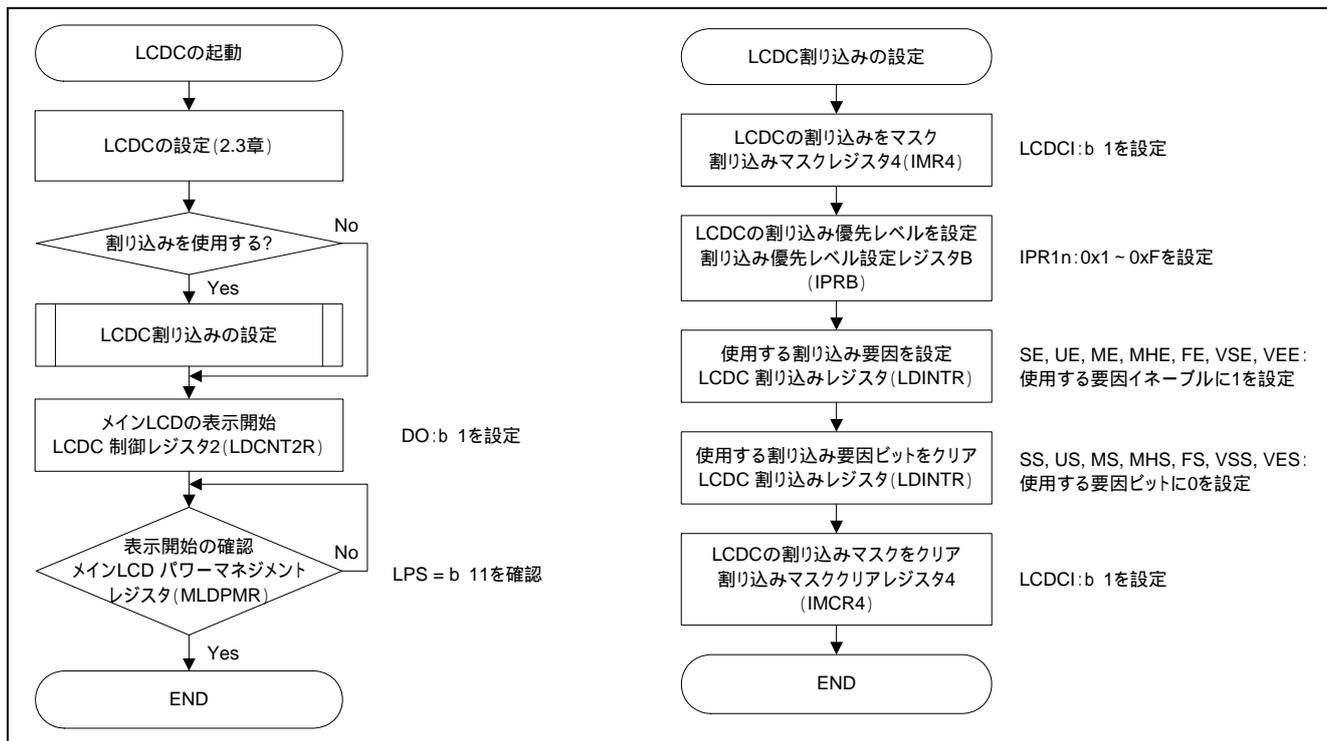


図 11 LCDC の起動フロー

LCDC を停止してメイン LCD モジュールの表示を停止するフローを図 12 に示します。

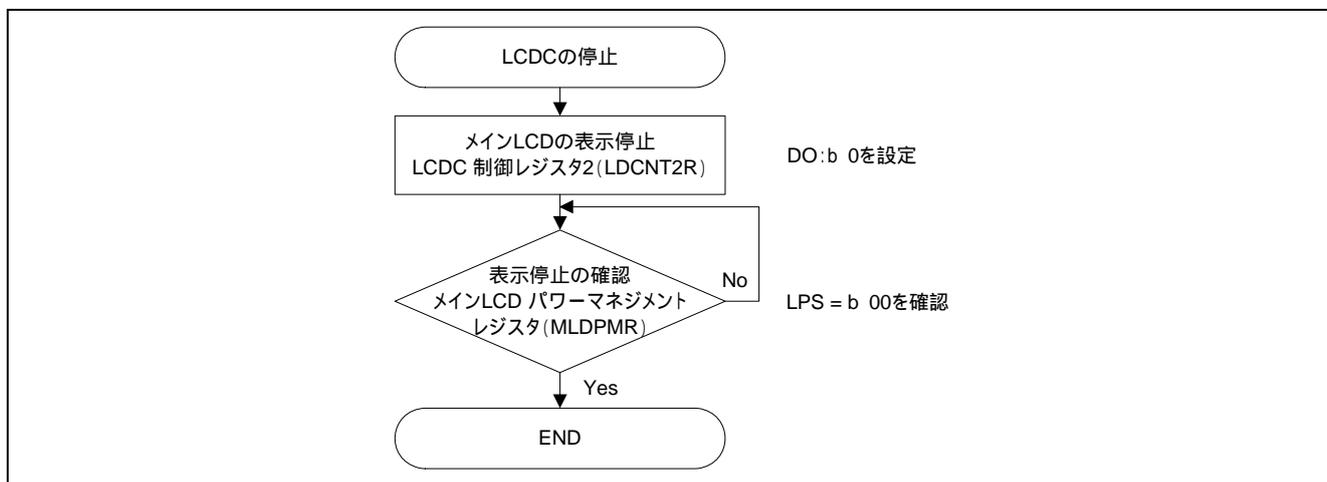


図 12 LCDC の停止フロー

- 2.3 章の LCDC の設定は、モジュールスタンバイの解除以降は順不同です。どの設定から行ってもかまいません。
- LCDC 割り込みを使用する場合は、割り込みが発生可能な状態にしてからメイン LCD の表示を開始してください。表示を開始してから LCDC の割り込み発生を許可（割り込みマスクをクリアするなど）すると、意図しないタイミングで割り込みが発生する可能性があります。
- メイン LCD の表示の ON/OFF は LCDC 制御レジスタ 2 (LDCNT2R) の DO ビットで制御します。本アプリケーションノートではメイン LCD の表示のみ取り扱うため、その他の表示イネーブル制御ビットは表 13 のように運用ください。
- 表示開始・表示停止の確認は、パワーマネジメント使用の有無に関わらず、メイン LCD パワーマネジメントレジスタ (MLDPMR) の LPS ビットで判断します。

表 13 メイン LCDC 制御時の表示イネーブルビット

LCDC レジスタ名	表示イネーブルビット	備考
LCDC 制御レジスタ 1 (LDCNT1R)	DE: ディスプレイイネーブル	常に 1 としてください。
LCDC 制御レジスタ 2 (LDCNT2R)	ME: メイン液晶イネーブル	常に 1 としてください。
	SE: サブ液晶イネーブル	常に 0 としてください。
	DO: ディスプレイオン	表示開始時に 1, 停止時に 0 としてください。

2.5 LCDCの同期設計

LCDC の表示する画像データを更新するとき、フレームバッファが1つのみだと、LCDC が読み込んでいる最中にそのフレームバッファに新しいフレーム情報を描画することになるため、ティアリングなどの画像乱れが発生します。これを避けるために、フレームバッファを複数用意しておき、次に表示するフレームバッファの描画が完了したら LCDC の読み込み先を変更するという操作が必要となります。LCDC はフレームバッファ情報を2面持つことが可能で、フレームバッファの切り替えを容易にしています。

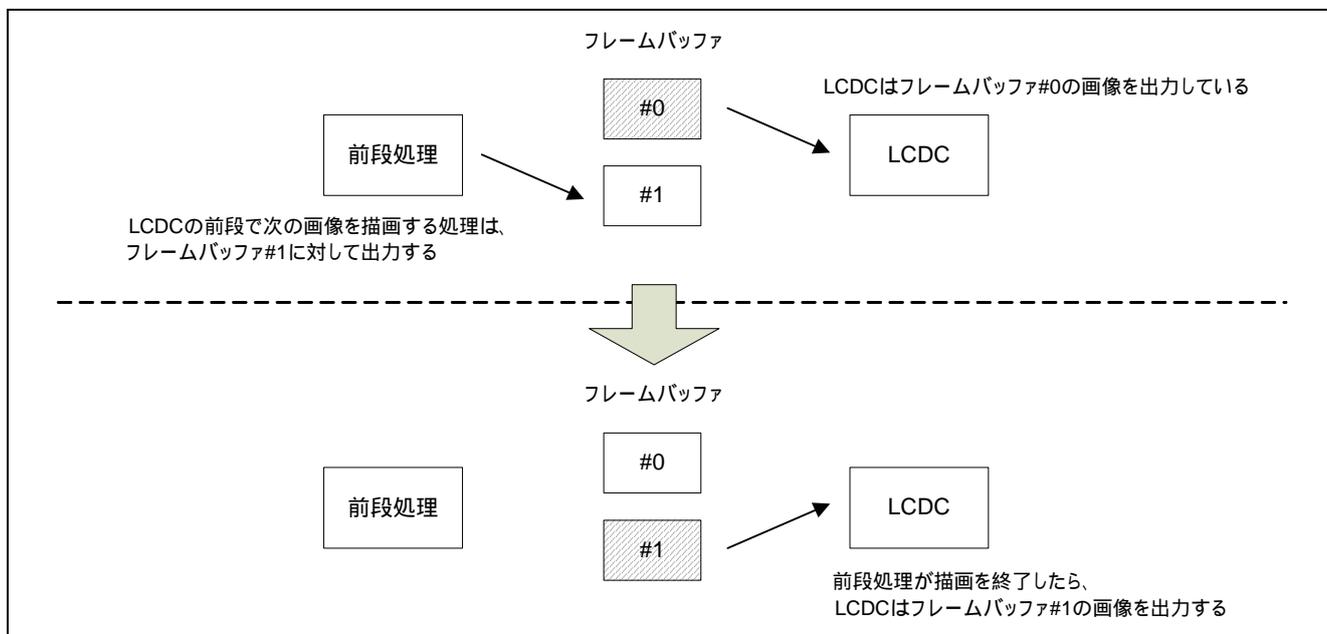


図 13 面切り替え操作の概要

2.5.1 A・Bレジスタ面使用による複数バッファの切り替え

LCDC はフレームバッファ情報を A 面, B 面の 2 面分持つことが可能です。表示中の面を使用面, 表示していない面を非使用面と呼びます。次に表示するフレームバッファの情報を非使用面に設定し, フレームバッファの描画が完了したら, 使用面と非使用面を切り替えて新しいフレームバッファを表示します。

A・B 面のレジスタのうち, アドレスレジスタ (MLDSA1R・MLDSA2R) 以外のレジスタは A・B 面共に同じ値を設定してご使用ください。LCDC 起動中は, アドレスレジスタのみ値を変更できます。

表 14 に本アプリケーションノートで取り扱う, A・B 面を持つレジスタの一覧を示します。A 面を表示するときは LCDC は A 面レジスタの設定で, B 面を表示するときは LCDC は B 面レジスタの設定で動作します。

非使用面レジスタへの設定にはミラーアドレスが使用できます。A・B 面を持つレジスタは全てミラーアドレスを持ち, ミラーアドレスのリード/ライトは非使用面へのリード/ライトになります。

表 14 本アプリケーションノートで取り扱う A・B 面を持つレジスタ

LCDC の表示イネーブルビット	備考
メイン LCD 表示データ取り込み開始アドレスレジスタ 1 (MLDSA1R)	—
メイン LCD 表示データ取り込み開始アドレスレジスタ 2 (MLDSA2R)	—
メイン LCD モジュールタイプレジスタ 1 (MLDMT1R)	A・B 面で同じ値を設定
メイン LCD データフォーマットレジスタ (MLDDFR)	A・B 面で同じ値を設定
メイン LCD 表示データ格納メモリラインサイズレジスタ (MLDMLSR)	A・B 面で同じ値を設定
メイン LCD 水平キャラクタナンバレジスタ (MLDHCNR)	A・B 面で同じ値を設定
メイン LCD 水平同期信号レジスタ (MLDHSYNR)	A・B 面で同じ値を設定
メイン LCD 垂直ラインナンバレジスタ (MLDVLNR)	A・B 面で同じ値を設定
メイン LCD 垂直同期信号レジスタ (MLDVSYNR)	A・B 面で同じ値を設定

【注】 「SH7722 グループ ハードウェアマニュアル (RJJ09B0324-0200) Rev.2.00 31 章 LCD コントローラ (LCDC) 表 31.3 レジスタ構成」または「SH7731 グループ ハードウェアマニュアル (RJJ09B0518-0100) Rev.1.00 27 章 LCD コントローラ (LCDC) 表 27.3 レジスタ構成」において, LCDC 入力画像データスワップレジスタ (LDDDSR) が A・B 面を持つと記載されておりますが, 誤記です。

面切り替えの方法

A・B面を切り替えるには、LCDCハードウェアが自動で切り替える方法と、ソフトウェアで切り替えのタイミングをLCDCに通知する方法があります。

- ソフトウェア切り替え: LCDCレジスタ面切り替え制御レジスタ(LDRCNTR)のMRSビットを0・1に反転させると、次のフレーム表示動作終了と同時に、A面・B面が切り替わります(フレーム表示動作終了と同時にフレーム終了割り込み(FE)が発生します)。MRSビットを0・1と設定したときはA面・B面、1・0と設定したときはB面・A面に切り替わります。このときLDRCNTRのMRCビットは0に設定し、ハードウェア切り替えをOFFにしておく必要があります。ソフトウェア切り替えのタイミングチャートを図14に示します。ここでは前段処理との同期を取るために、ソフトウェアによるフラグでの運用例を示しています。

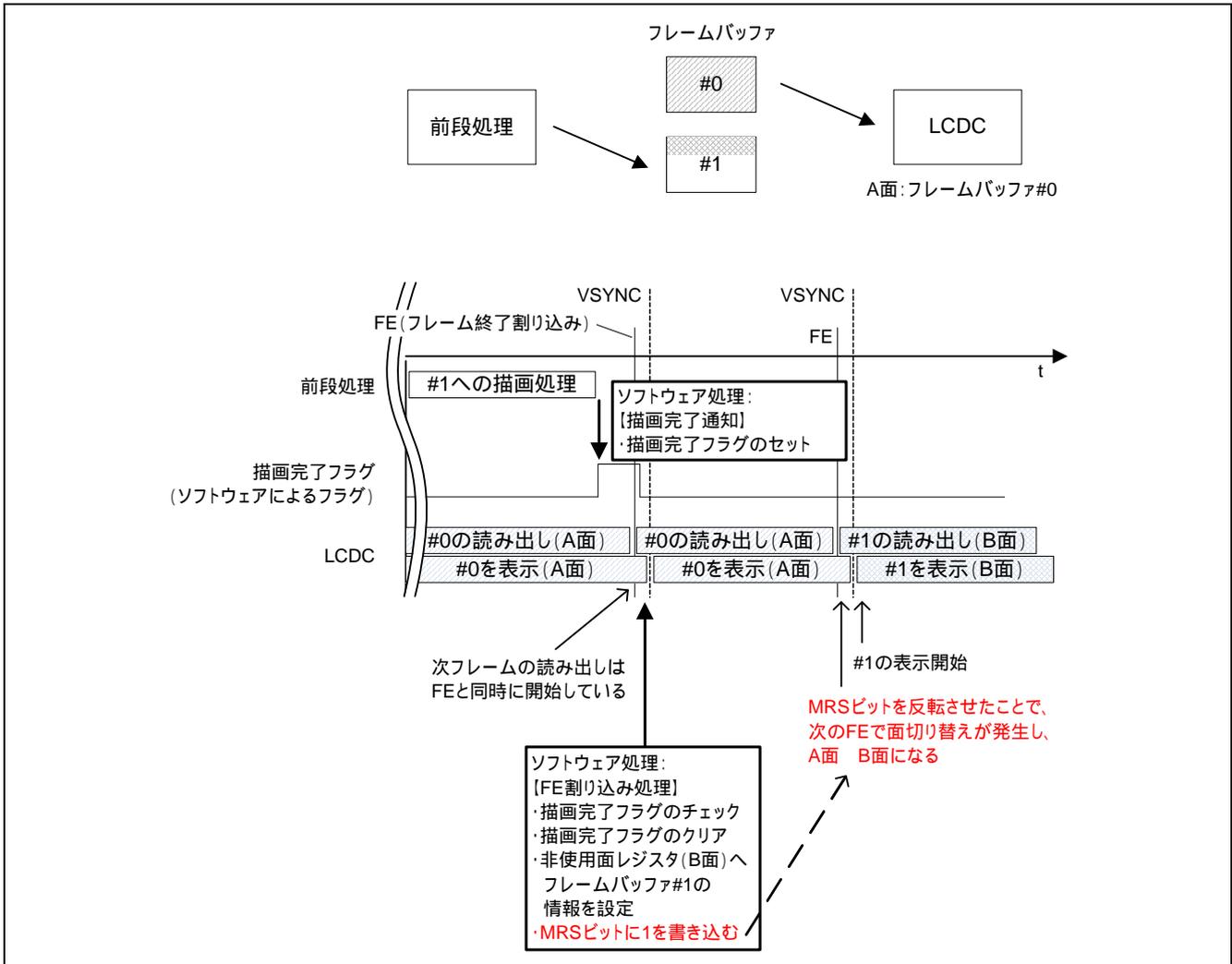


図14 ソフトウェア切り替えの発生タイミング

前段処理は描画を完了したら描画完了フラグを立てます。LCDCはフレーム終了割り込み処理で描画完了フラグを監視し、フラグが立っていれば非使用面レジスタへ次に表示するフレームバッファの情報を設定し、MRSビットを反転します。その次のフレーム終了割り込みと同時に面の切り替えが発生し、LCDCの表示する画像が更新されます。

- ハードウェア切り替え: LCDC レジスタ面切り替え制御レジスタ (LDRCNTR) の MRC ビットに 1 を設定すると、LCDC はフレーム表示動作が終了するごとに、自動で A 面 B 面を切り替えます (フレーム表示動作終了と同時にフレーム終了割り込み (FE) が発生します)。このとき、MRS ビットの設定は無効になります。
ハードウェア切り替えのタイミングチャートを図 15 に示します。

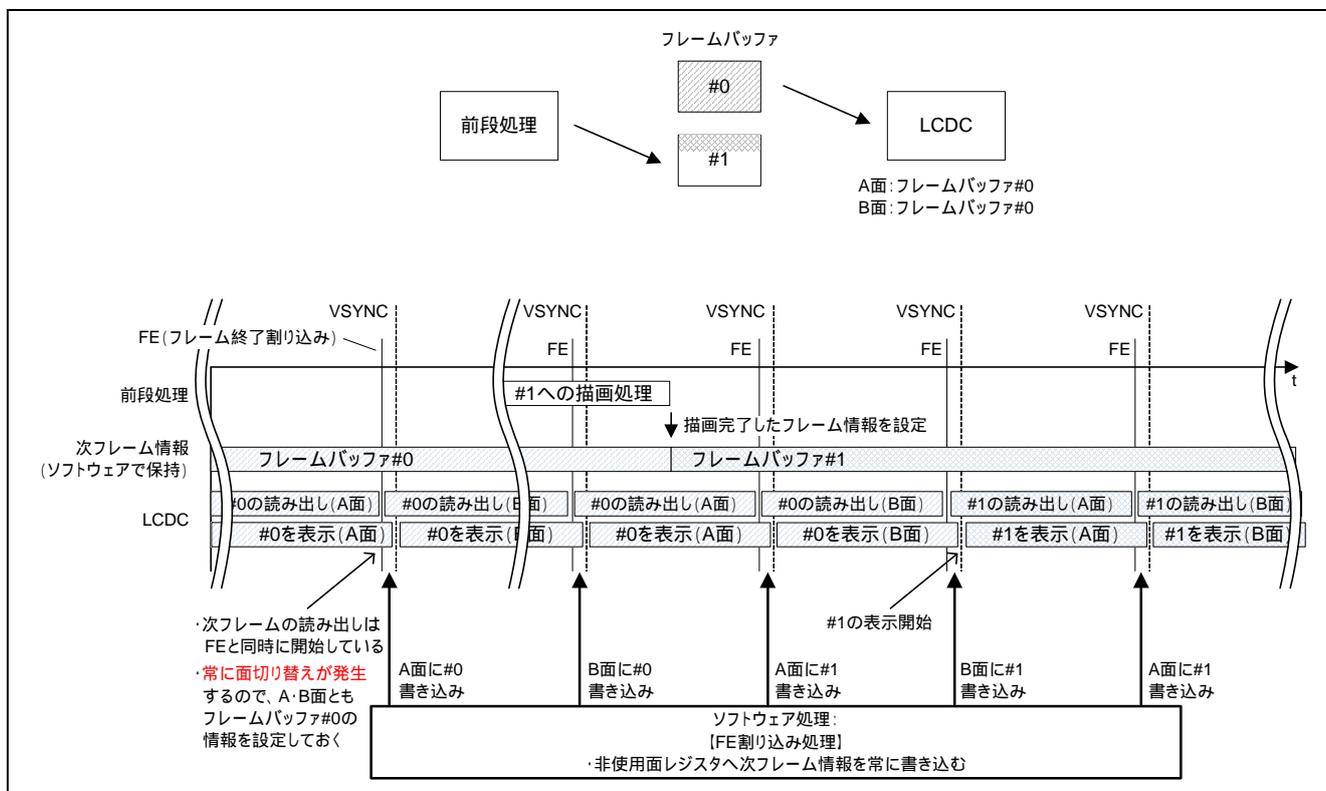


図 15 ハードウェア切り替えの発生タイミング

ハードウェア切り替えの場合はフレーム終了割り込み (FE) と同時に自動で面が切り替わるため、新しいフレームの描画が完了しない場合、A・B 面両方に同じフレーム情報が必要となります。そこで、次に表示すべきフレームバッファ情報を保持しておいて、フレーム終了割り込みで毎回、非使用面レジスタに次フレーム情報を設定するような運用例を示しています。初期状態で A・B 面に同じフレームバッファの情報を設定しておき、フレームの更新が無い場合は現在表示しているフレーム情報が非使用面に設定されます。

LCDC の起動後、前段処理が描画処理を完了するまで、LCDC は自動で A・B 面を切り替えながらフレームバッファ #0 を表示します。前段処理は描画を完了したら次フレーム情報を更新します。更新後、LCDC はフレーム終了割り込み処理で新しいフレーム情報を非使用面レジスタへ設定し、その次のフレーム終了割り込みと同時に表示する画像が更新されます。

どちらの切り替え方法においても、フレーム終了割り込みの発生と同時に面が切り替わるため、ユーザが非使用面の設定を書き換える際には、フレーム終了割り込み処理で行うのがソフトウェアにとって最も余裕のあるタイミングとなります。

2.5.2 非同期の前段処理とLCDCの複数バッファを使用した同期設計例

カメラのキャプチャ画像や動画のように、LCDC の VSYNC と非同期で画像を更新する前段処理と、その画像を LCDC で表示するシステムの運用例を示します。LCDC のフレームバッファを3面確保し、ソフトウェア切り替えで面切り替えを行います。また、LCDC のリフレッシュレートは 60Hz、前段処理のフレームレートは 30fps 程度を仮定します。

A 面にフレームバッファ#0 の情報を設定しておきます。フレーム終了割り込み処理で前段処理の描画完了フラグをチェックし、次のフレームバッファが表示可能であればミラーアドレスに次のフレームバッファ#1を設定し、LCDC レジスタ面切り替え制御レジスタ (LDRCNTR) の MRS ビットを反転させます。以降はフレーム終了割り込み処理で前段処理の描画完了フラグをチェックしながら、ミラーアドレスのレジスタ設定と MRS ビットの反転で面切り替えを運用します。

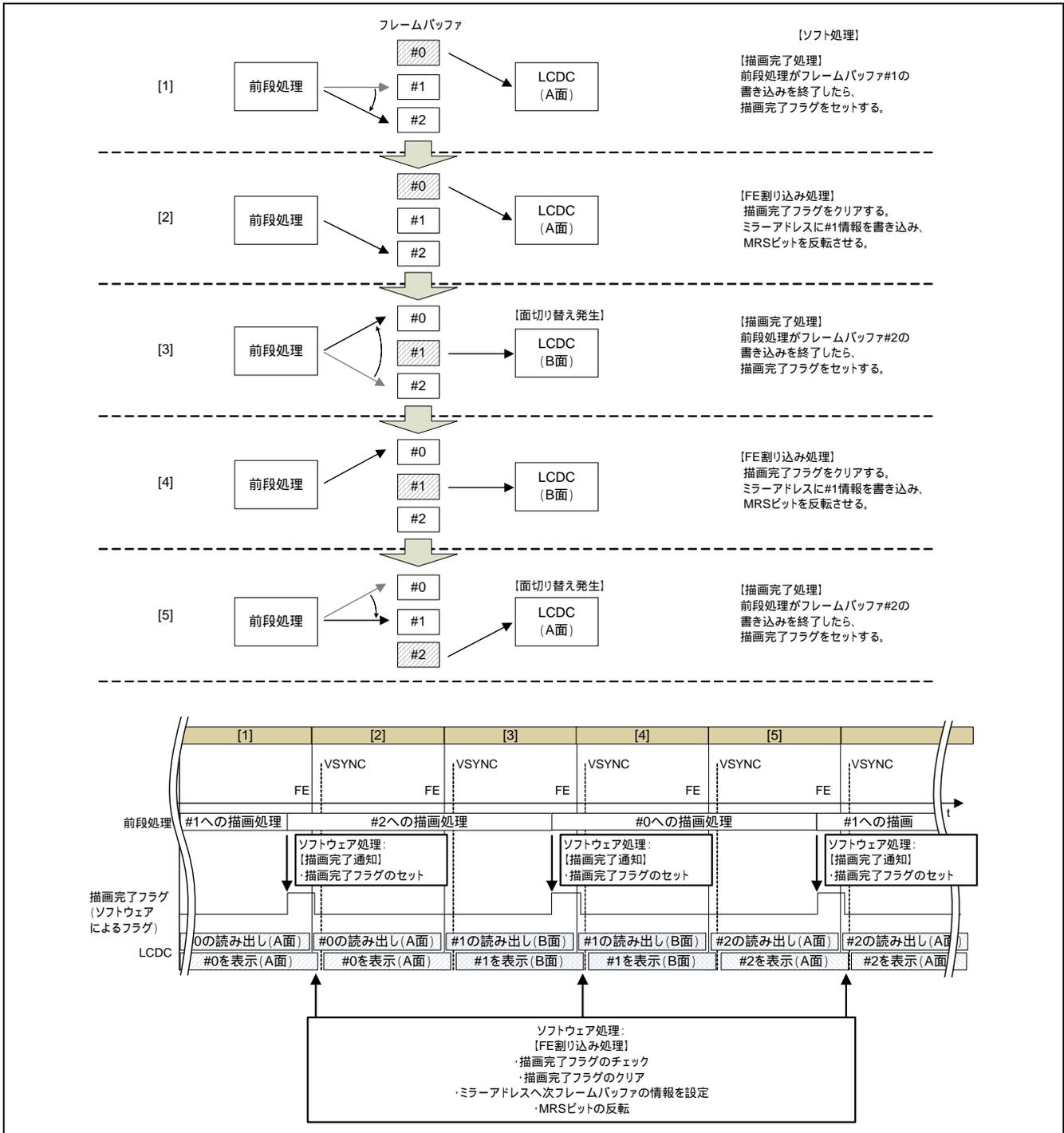


図 16 3つのフレームバッファによる動画表示システム運用例

3. システム設計におけるバス負荷の見積もり

SH7722/SH7731 は画像・音声系のモジュールと CPU が SHwy バス経由で外部メモリを共有するアーキテクチャを取っているため、各モジュールのバス負荷の合計がメモリの転送帯域を越えないよう、設計時にバス負荷の見積もりを行う必要があります。

3.1 LCDCのバス占有率について

LCDC は、機能としては表 1 の「表示可能な LCD モジュールの最大サイズ」の表示を行うことが可能です。しかし、表示される画像のイメージは CPU と共有である SHwy バス経由で外部メモリに格納されており、CPU やその他のモジュールとのメモリアクセスが競合します。LCDC は表示に間に合うように外部メモリからデータの読み出しを行う必要があります。読み出しが間に合わない場合、LCDC のバッファがアンダフローとなり、画像表示が乱れます。

LCDC はラインバッファを持ち、フレーム表示終了と同時に次のフレームの先読み出しを開始します。また、非表示期間もメモリからデータをラインバッファに読み出せます。他のメモリアクセスに邪魔されることなく、定常的に LCDC がメモリからフレームバッファを読み出せる理想的なケースを図 17 に示します。

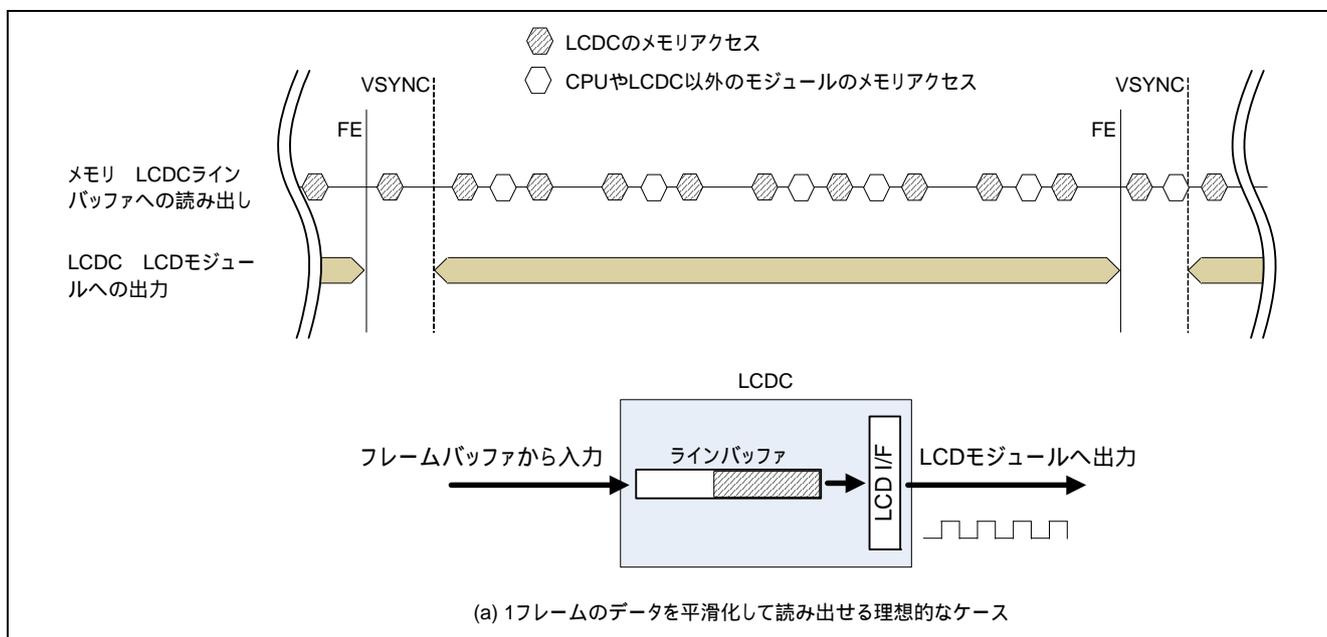


図 17 理想ケースのフレームバッファの読み出し

理想的なケースでの LCDC が必要とするバス帯域 [Byte/s] は次の式で表せます。

画像横サイズ[画素] × 画像縦サイズ[画素] × 入力画素サイズ[Byte/Pixel] × リフレッシュレート[fps]
 実際には、CPU や他モジュールとのメモリアクセスの競合が起こり、理想的には読み出せません (図 18)。

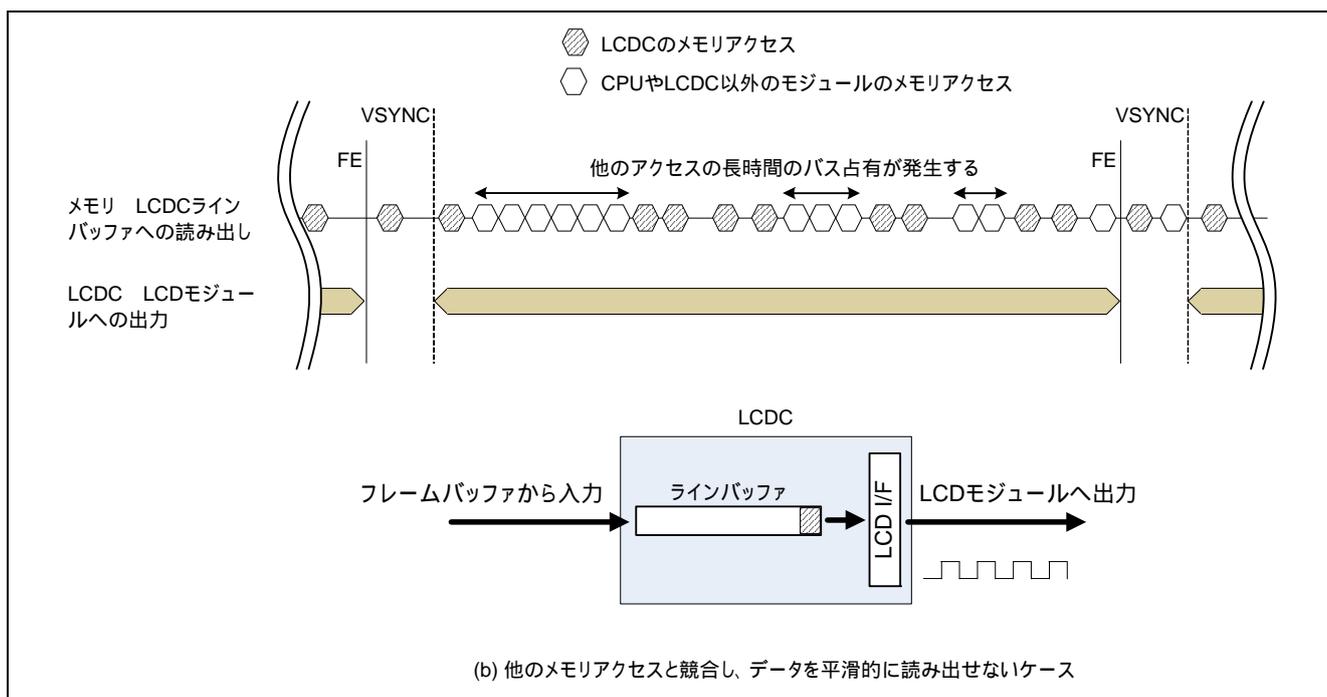


図 18 実際のフレームバッファの読み出し

最悪のケースでは、LCDC が 1 ドットクロック期間に出力するデータを、1 ドットクロック期間内にメモリから読み出せるだけのバス帯域が必要となります。これが、LCDC が必要とする最大のバス帯域です。

まず、LCDC が出力する画像データレート[Byte/s]は次の式になります。

$$\text{LCDC が出力する画像データレート[Byte/s]} = \text{LCDC ドットクロック周波数} \times (\text{出力画素サイズ/転送サイクル数} * 1)$$

【注】 *1. 転送サイクル数:

2.3.8 章のメイン液晶モジュール設定による、1 サイクル当りの転送量です。

例えば、MLDMT1R の MIFTYP[3:0] = b'0000 のとき、24bpp・3 回転送なので、(出力画素サイズ/転送サイクル数) = (24/8)/3 = 1[Byte/cyc]となります。MIFTYP[3:0] = b'1011 のときは 24bpp・1 回転送なので、(出力画素サイズ/転送サイクル数) = (24/8)/1 = 3[Byte/cyc]となります。

LCDC が必要とする最大のバス帯域は、この式で出力画素サイズを入力画素サイズに置き換えたものになります (2.3.4 章【注 3】より、入力画素サイズ = 出力画素サイズの場合は、LCDC が下位ビットの 0 詰め/下位ビットの切捨てを行い、出力画素に変換します)。

$$\text{LCDC へ入力する画像データレート[Byte/s]} = \text{LCDC ドットクロック周波数} \times (\text{入力画素サイズ/転送サイクル数})$$

LCDC のバス負荷見積もりは、最悪のケースを想定し、最大のバス帯域を満足するように他のメモリアクセスとバス占有率を調整してください。

3.2 SDRAMの実効帯域について

SH7722/SH7731 の内部バス (SHwy バス) は通常、外部メモリに対して十分に大きな転送帯域を持っているため、外部メモリの転送帯域がボトルネックとなります。フレームバッファを SDR-SDRAM (SDRAM) に置いた場合、SDRAM のピーク帯域は以下の式になります。

$$\text{SDRAM のピーク帯域} = \text{SDRAM 周波数[MHz]} \times \text{SDRAM バス幅[Byte/cyc]}$$

実際のビデオアプリケーションなどでは、複数のメモリブロックを同時にアクセスするため、実効的には SDRAM のコマンドシーケンスと CAS レイテンシがアクセスウェイトとして表面化します。

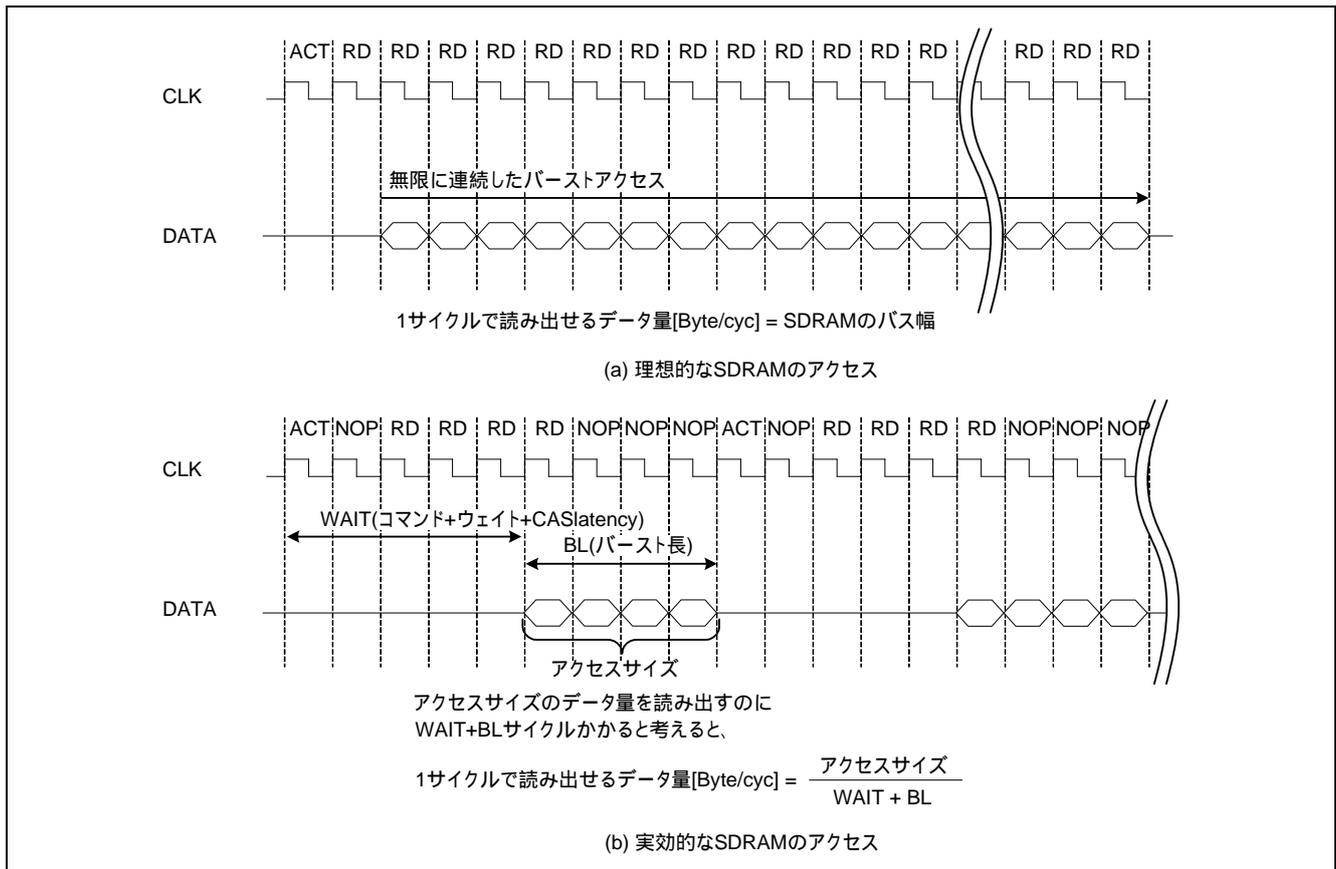


図 19 SDRAM アクセスの例

参考例として、次の条件を仮定した場合の SDRAM の実効帯域見積もりを示します。

- SDRAM 周波数: 106.66MHz
- SDRAM バス幅: 32 ビット
- 実効的なアクセスウェイト数 (WAIT): 5
(コマンドの発行と CAS レイテンシを考慮し、SBSC をバンクアクティブモードでバースト数 4 と設定した場合の想定値)
- アクセスサイズ: 16 バイト
(LCDC からのアクセスは、32 バイトのバーストアクセスが最も多く、16, 8, 4 バイトのバーストアクセスも発生します。ここでは平均として 16 バイトのバーストアクセスで計算します)
- バースト数 (BN): 4

$$\begin{aligned} \text{SDRAM の実効帯域} &= \text{SDRAM 周波数[MHz]} \times (1 \text{ サイクルで読み出せるデータ量}) [\text{Byte/cyc}] \\ &= \text{SDRAM 周波数[MHz]} \times \text{アクセスサイズ[Byte]} / (\text{WAIT} + \text{BN})[\text{cyc}] \\ &= 188\text{MB/s} \end{aligned}$$

初期設計段階では目安として、画像・音声系のバス負荷率が実効帯域の 60% 以下となるようにシステム設計を行ってください。

$$\text{SDRAM の実効帯域} \times 60\% = 190\text{MB/s} \times 0.6 = 113\text{MB/s}$$

3.3 LCDCバス負荷率の計算例

LCDC が 640×480 , RGB565 の画像を, VGA サイズ, バス幅 18bpp (RGB666), 1 回転送, ドットクロック 25MHz, リフレッシュレート 60Hz の LCD モジュールに表示する場合, 瞬間的に LCDC が必要とする最大のデータレートは,

$$25 \text{ [MHz]} \times (16 / 8) \text{ [Byte]} / 1 \text{ [回転送]} = 50.0 \text{ [MB/s]}$$

となり, 3.2 章の SDRAM の実効帯域 $\times 60\% = 113\text{MB/s}$ に対して余裕があることが分かります。

4. 応用例の説明

LCDC を使用してグラフィック画像を表示するための参考例として、端子接続例と設定例を説明します。

4.1 TFT-LCDパネルの仕様

本アプリケーションノートで使用する TFT-LCD パネルの仕様を示します。使用する LCD モジュールは、シャープ製 LS037V7DW01 です。仕様の詳細は TFT-LCD パネルによって異なりますので、使用する製品のデータシートを確認してください。

4.1.1 一般仕様

表 15 に本アプリケーションノートで使用する TFT-LCD パネルの一般仕様を示します。

表 15 TFT-LCD パネルの一般仕様 (データシートから抜粋)

項目	仕様
解像度	VGA or QVGA (本応用例では VGA で使用)
画素数	H480 × V640 (ドット数: H (480 × 3) × V640) R, G, B の 3 ドットで 1 画素となります
カラーフィルタ配置	R・G・B 縦ストライプ
入力信号	CMOS, R・G・B 各 6 ビットデジタル

4.1.2 端子機能

表 16 に本アプリケーションノートで使用する TFT-LCD パネルの端子機能を示します。

表 16 TFT-LCD パネルの端子機能 (データシートから抜粋)

項目	仕様
RESB	リセット信号
INI	パワーオン制御
DEN	表示開始信号
HSYNC	水平同期信号
VSYNC	垂直同期信号
CLKIN	ドットクロック
R5-0	赤データ信号 (6 ビット, MSB: R5, LSB: R0)
G5-0	緑データ信号 (6 ビット, MSB: G5, LSB: G0)
B5-0	青データ信号 (6 ビット, MSB: B5, LSB: B0)

4.1.3 インタフェースタイミング

表 17 に本アプリケーションノートで使用する TFT-LCD パネルのインタフェースタイミングとその特性を示します。

表 17 TFT-LCD パネルのタイミング特性 (データシートから抜粋)

項目		MODE	記号	最小	標準	最大	単位
CLK	サイクル時間	VGA	t_{CLK}	38	39.7	41.7	ns
		QVGA		152	158.8	167	
Hsync	サイクル時間	VGA	t_{HS}	—	648	—	CLK
		QVGA		—	324	—	
	水平バックポーチ時間	VGA	t_{HBP}	28	78	166	
		QVGA		14	38	82	
	水平フロントポーチ時間	VGA	t_{HFP}	0	88	138	
		QVGA		0	44	68	
	有効表示期間	VGA	t_{HHW}	—	480	—	
		QVGA		—	240	—	
同期信号幅			t_{HSW}	—	2	—	
Vsync	サイクル時間	VGA	t_{VS}	—	648	—	Hsync
		QVGA		—	324	—	
	垂直バックポーチ時間	VGA	—	—	(1)	—	
		QVGA		—	(1)	—	
	垂直フロントポーチ時間	VGA	—	—	(6)	—	
		QVGA		—	(2)	—	
	有効表示期間	VGA	—	—	640	—	
		QVGA		—	320	—	
同期信号幅			t_{VSW}	—	1	—	

【注】 垂直バックポーチ時間と垂直フロントポーチ時間は AC 特性の表には記述が無いため、タイミングチャート図より判断しています。

表 17 より算出した、VGA 表示のための LCDC のタイミング設定例を表 18 に示します。

表 18 VGA タイミングの設定例

機能	レジスタ名	ビット名	ドットクロック数	設定値例
水平方向 タイミング 設定	メイン LCD 水平キャラクタナンバ レジスタ (MLDHCNR)	HTCN: 水平周期の 1/8	648/8 = 81	0x51
		HDCN: 水平表示期間の 1/8	480/8 = 60	0x3C
	メイン LCD 水平同期信号レジスタ (MLDHSYNR)	HSYNW: 水平同期信号幅の 1/8	2/8 = 1	0x01
		HSYNP: (水平表示期間 + 水平フロントポーチ) の 1/8	568/8 = 71	0x47
垂直方向 タイミング 設定	メイン LCD 垂直ラインナンバ レジスタ (MLDVLNR)	VTLN: 垂直周期	648	0x288
		VDLN: 垂直表示期間	640	0x280
	メイン LCD 垂直同期信号レジスタ (MLDVSYNR)	VSYNW: 垂直同期信号幅	1	0x01
		VSYNP: 垂直表示期間 + 垂直フロントポーチ	646	0x286

水平同期信号幅はデータシートにより 2 クロックですが、LCDC で設定できる最低の水平同期信号幅は 8 クロック (1 キャラクタ) であるため、水平バックポーチ時間を標準の 78 クロックより 6 クロック短い 72 クロックとしています。

4.2 TFT-LCDパネル接続回路例

4.2.1 端子接続例

図 20 に本アプリケーションノートにおける TFT-LCD パネルの接続回路例を示します。

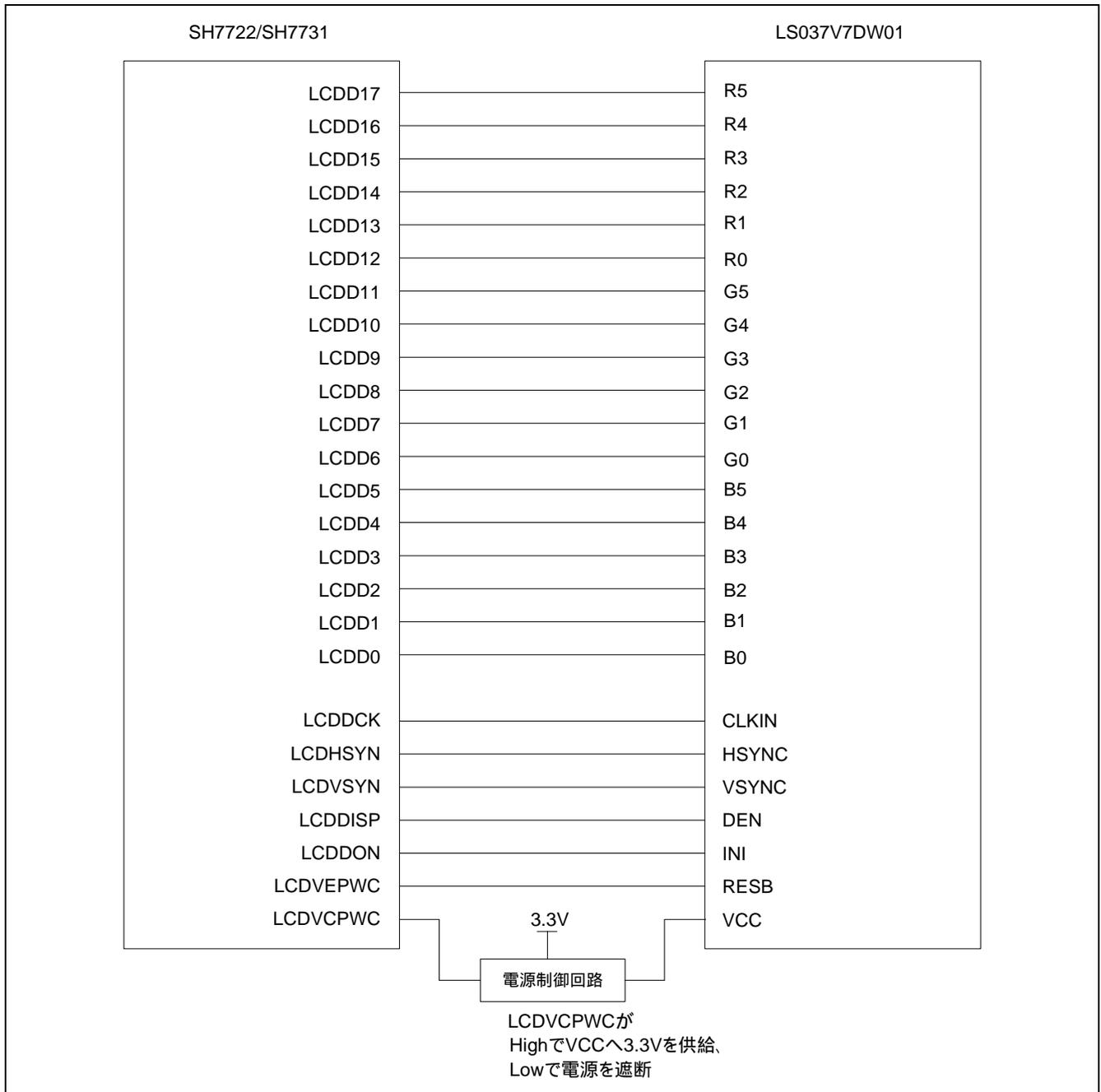


図 20 TFT-LCD パネルの接続回路例

4.2.2 クロック設定

本応用例で使用する TFT-LCD パネルは VGA 動作時に 25MHz のドットクロックを供給する必要があります。SH7722 リファレンスプラットフォームは LCDLCLK 端子に外部クロックを実装していない仕様のため、B ϕ または P ϕ より 25MHz を生成する必要があります。「SH7722/SH7731 グループ アプリケーションノート SH7722/SH7731 初期設定例 (RJJ06B1090)」の条件だと B ϕ = 66MHz, P ϕ = 33MHz となり、分周しても 25MHz を生成できません。そこで、1.3 章の適用条件に示したように動作周波数を設定し、P ϕ をソースクロックとして選択しています。

4.2.3 パワーマネジメント設定

本応用例で使用する TFT-LCD パネルの電源制御タイミング要件より、LCDC のパワーマネジメント機能を以下のように設定します。

電源 ON 時

要件(1): VCC (+3.3V) を 2 フレーム期間で安定させる:

電源投入シーケンス期間 A (ONA) を 2 に設定し、VCC の安定期間を 2 フレーム取っておく。

要件(2): 同期信号出力と RGB データ出力を INI を High にする前に出力する:

電源投入シーケンス期間 B (ONB) + 電源投入シーケンス期間 C (ONC) が 1 以上であれば OK。本応用例では ONB を 1 に設定する。

要件(3): RESB 信号は VCC (+3.3V) が安定した後に 20 μ s 期間以上 Low にする:

ONB を 1 に設定する。

要件(4): RESB は INI の前に High にする:

ONC を 1 に設定する。

電源 OFF 時

要件(5): INI を Low にしてから 5 フレーム期間後に同期信号停止・RGB データ停止・RESB を Low にする:

電源遮断シーケンス期間 A (OFFD) を 5 に設定する。

要件(6): TFT-LCD パネルの仕様上は規定は無いが、本応用例では電源遮断シーケンス期間 B (OFFE), 電源遮断シーケンス期間 C (OFFF) を 1 に設定する。

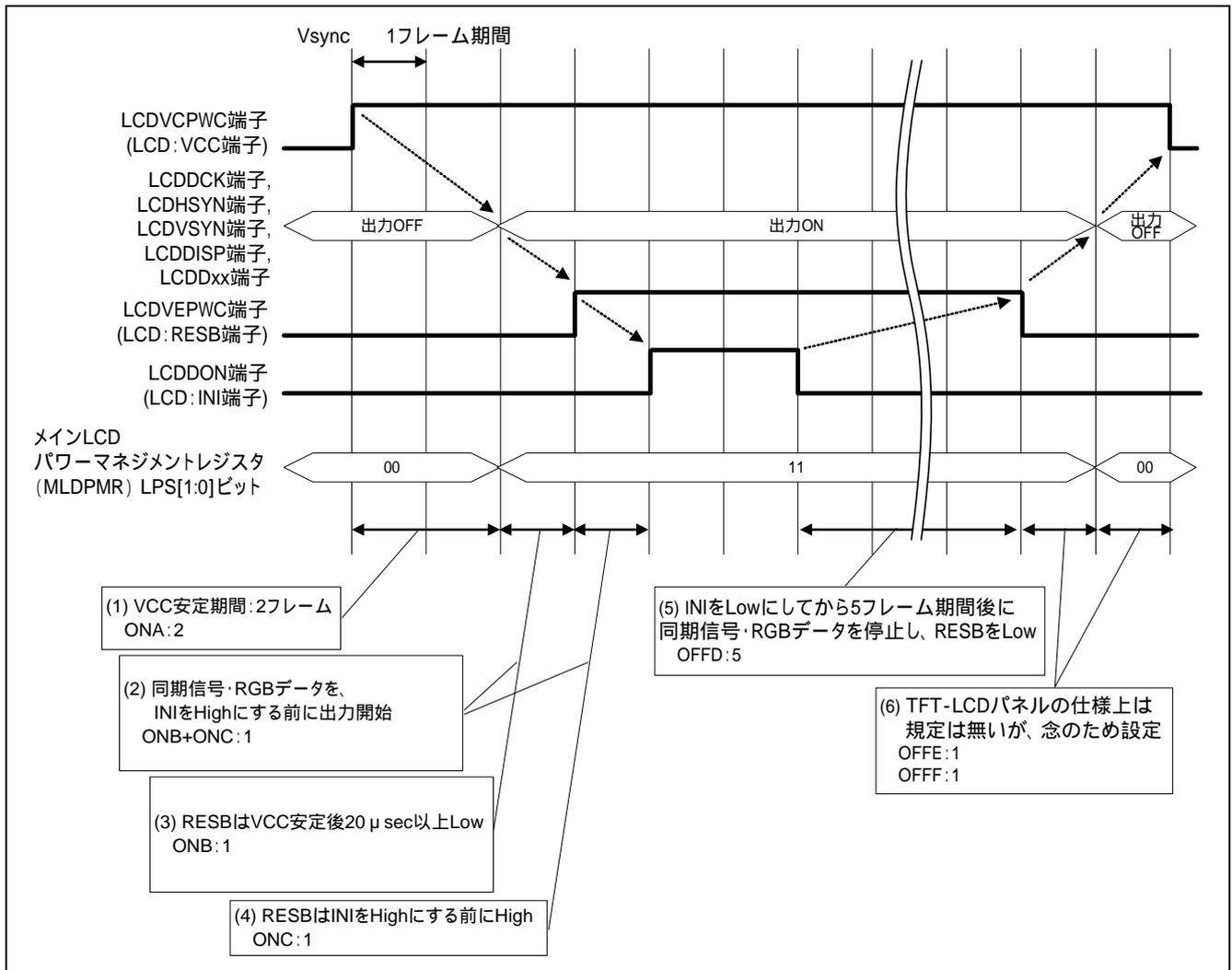


図 21 パワーマネジメント設定例

4.3 参考プログラムの仕様

ここでは参考プログラムの仕様と各処理のフローチャートを説明します。

4.3.1 仕様

- (1) 縦型 VGA サイズ (W480×H640) の TFT-LCD パネルへ、CPU により描画した 4 種類のグレースケール・赤・緑・青のグラデーション画像を交互に表示します。
- (2) LCDC を起動して 4 面のフレームバッファの面切り替えをしながら順番に表示した後、LCDC を停止します。
- (3) (2)の操作を無限ループします。
- (4) 面切り替えはソフトウェア切り替えで運用します。

4.3.2 参考プログラムメインフロー

図 22 に参考プログラムのメインフローを示します。

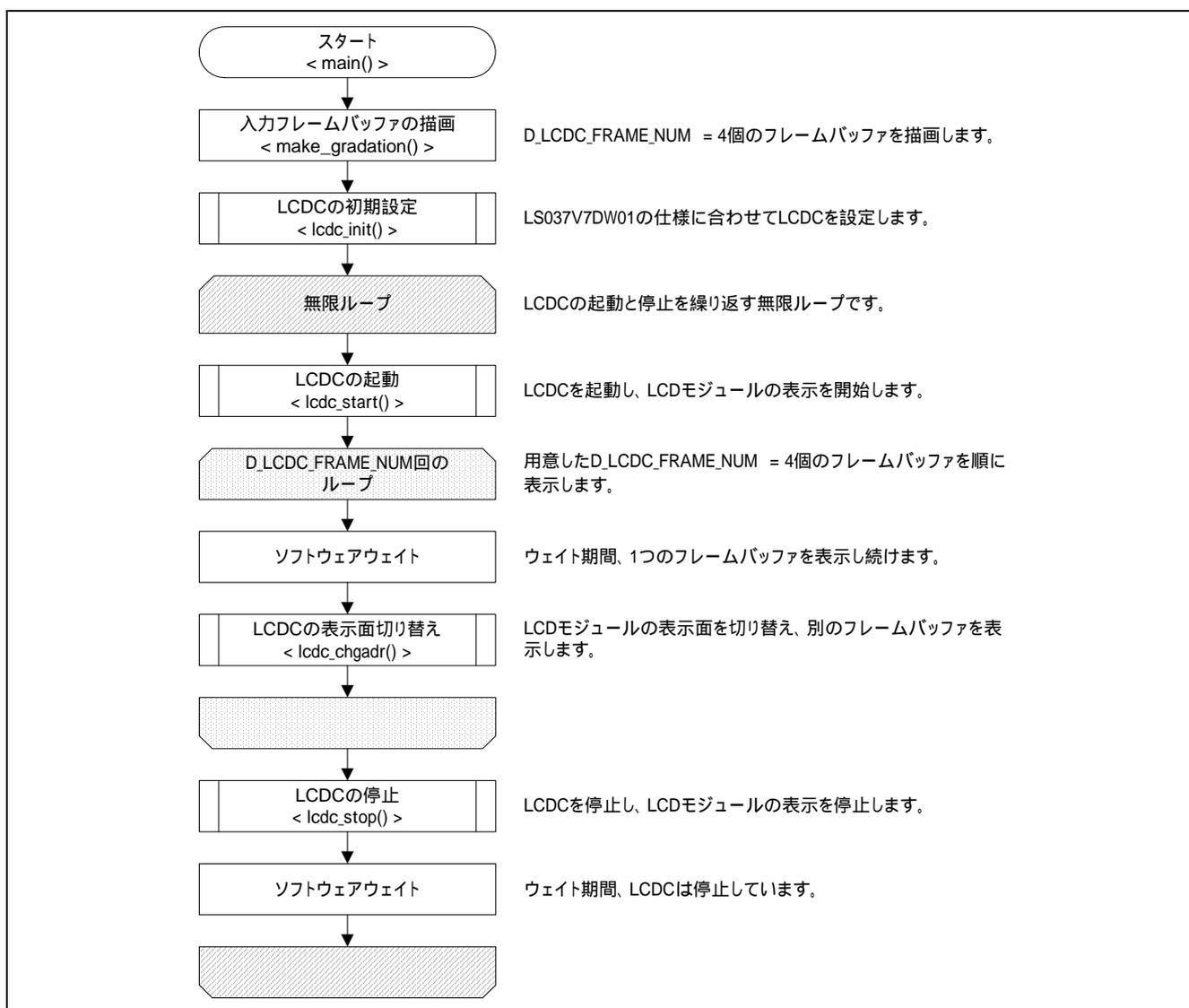


図 22 参考プログラムメインフロー

4.3.3 LCDCの初期設定

図 23 に LCDC の初期設定フローを示します。

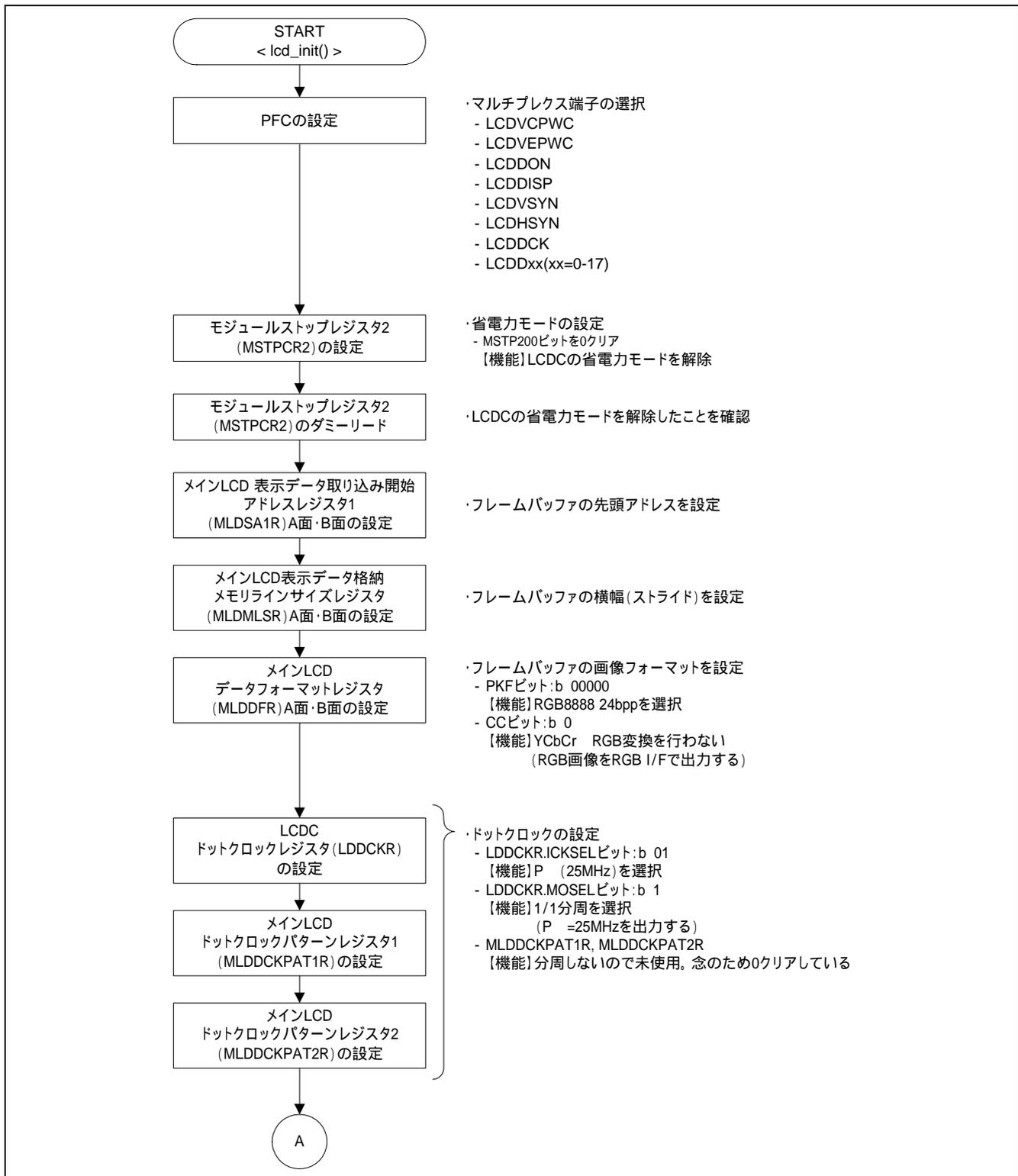


図 23 参考プログラム LCDC の初期設定フロー (1)

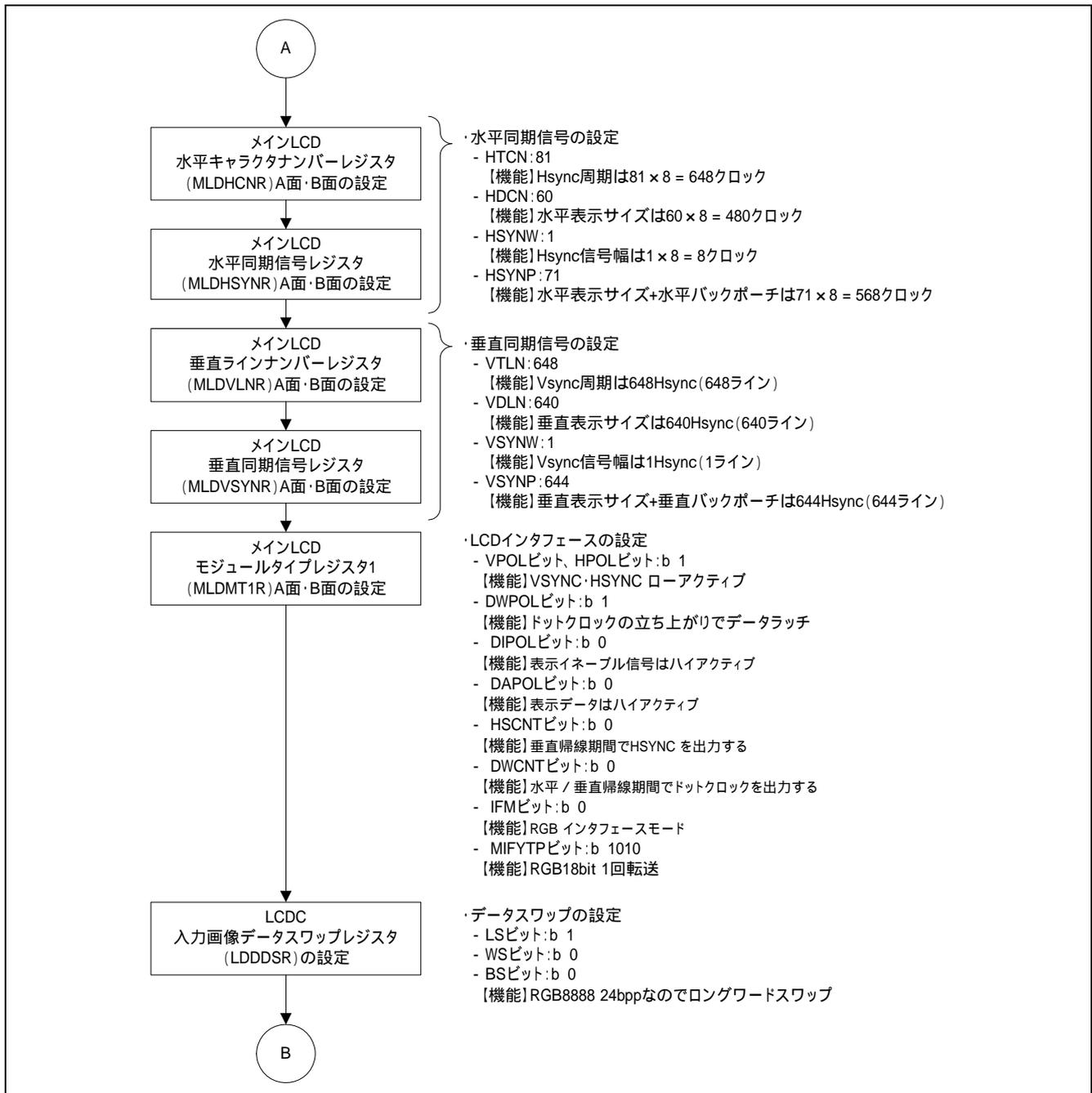


図 23 参考プログラム LCDC の初期設定フロー (2)

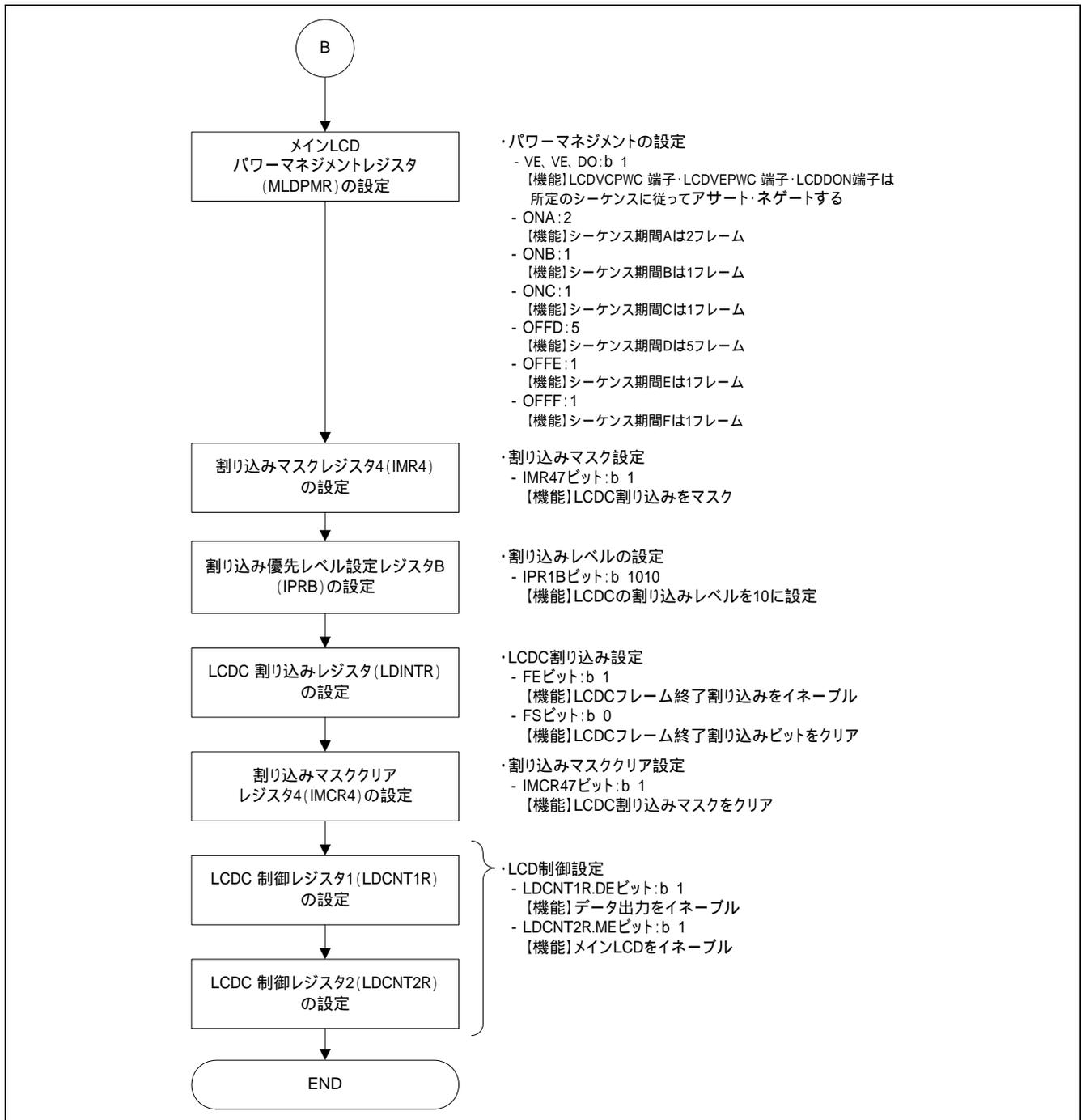


図 23 参考プログラム LCDC の初期設定フロー (3)

4.3.4 LCDC表示開始・終了設定

図 24 に LCDC の表示開始フローを示します。

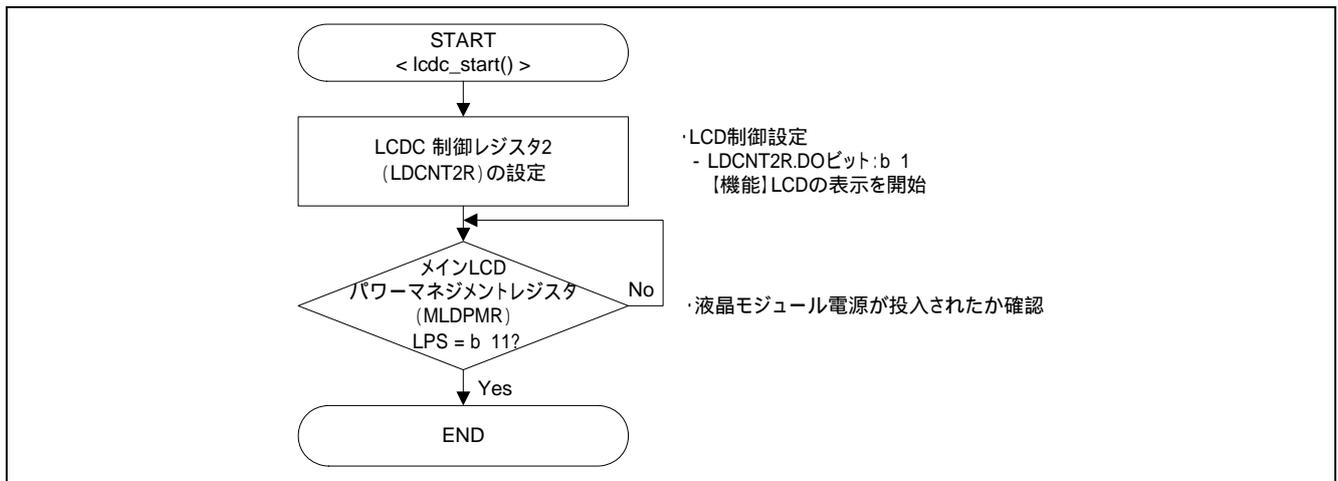


図 24 参考プログラム LCDC の起動フロー

図 25 に LCDC 表示終了フローを示します。

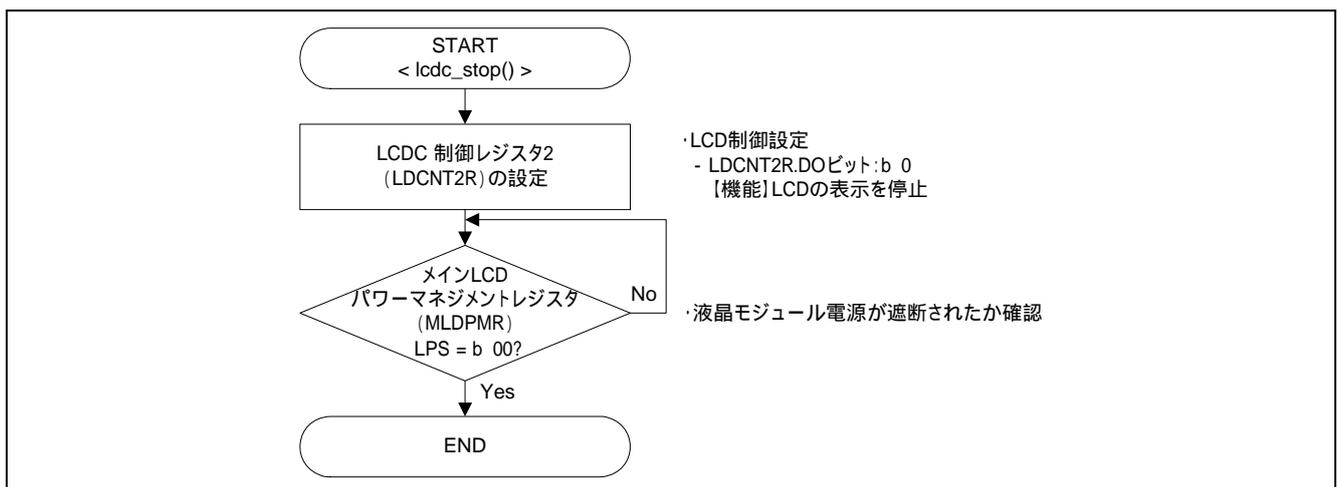


図 25 参考プログラム LCDC の起動フロー

4.3.5 LCDC面切り替え設定

図 26 に LCDC の面切り替えフローを示します。本フローでは面切り替えフラグをセットします。LCDC への面切り替え設定はフレーム終了割り込み処理で行います。

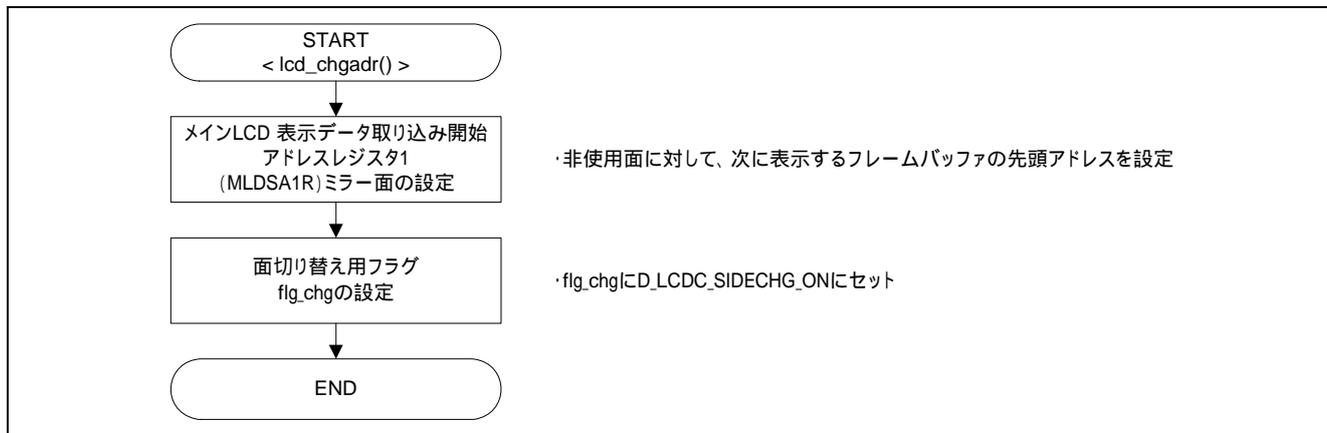


図 26 参考プログラム LCDC の面切り替えフロー

4.3.6 LCDCフレーム終了割り込み設定

図 27 に LCDC のフレーム終了割り込みを示します。面切り替えのフラグがセットされていれば、LCDC に面切り替えを設定します。実際の面切り替えは次のフレーム終了時に発生します。終了割り込みビット FS のクリアが INTC に反映されるよう、INTC の優先順位判定時間 (Pφで5クロック) だけ WAIT を挿入します。

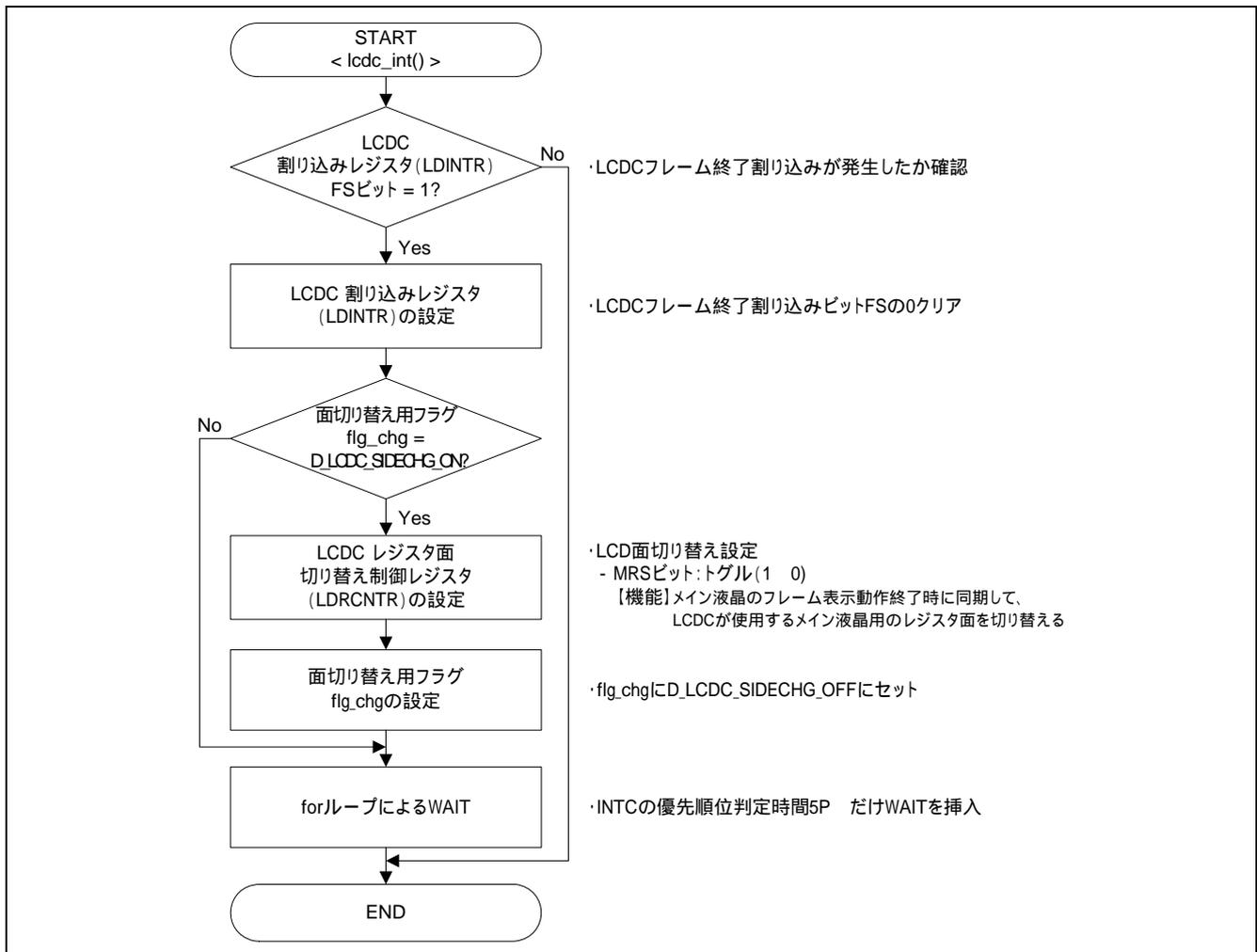


図 27 参考プログラム LCDC の面切り替えフロー

4.3.7 セクション配置

表 19 に本応用例での各セクション配置を示します。

表 19 セクション配置

セクション名	セクション用途	領域	配置アドレス (仮想アドレス)	
P	プログラム領域 (指定なしの場合)	ROM	0x00003000	P0 領域 (キャッシング可能 ,MMU アドレス変換可能)
C	定数領域	ROM		
C\$BSEC	未初期化データ領域用アドレス構造体	ROM		
C\$DSEC	初期化データ領域用アドレス構造体	ROM		
D	初期化データ (初期値)	ROM		
PROMC	ROM 化プログラム領域	ROM		
B	未初期化データ領域	RAM	0x0C000000	
R	初期化データ領域	RAM		
RAMC	ROM 化プログラムコピー領域	RAM		
INTHRAM	例外/割り込みハンドラコピー領域	RAM		
INTPRAM	割り込み関数コピー領域	RAM		
S	スタック領域	RAM		
PINTHandler	例外/割り込みハンドラ	ROM	0x80000800	P1 領域 (キャッシング可能 ,MMU アドレス変換不可)
VECTTBL	リセットベクタテーブル 割り込みベクタテーブル	ROM		
INTTBL	割り込みマスクテーブル	ROM		
PIntPRG	割り込み関数	ROM		
B_LCD_BUFF	LCDC フレームバッファ	RAM		
SP_S	TLB ミスハンドラ専用スタック	RAM		
RSTHandler	リセットハンドラ	ROM	0xA0000000	P2 領域 (キャッシング不可 ,MMU アドレス変換不可)
PResetPRG	リセットプログラム	ROM		
PnonCACHE	プログラム領域 (キャッシュ無効アクセス)	ROM		

5. 参考プログラム例

(1) サンプルプログラムリスト"sh7731.c"

```

1  /*****
2  * DISCLAIMER
3
4  * This software is supplied by Renesas Electronics Corporation. and is only
5  * intended for use with Renesas products. No other uses are authorized.
6
7  * This software is owned by Renesas Electronics Corporation. and is protected under
8  * all applicable laws, including copyright laws.
9
10 * THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 * REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 * INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 * PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 * DISCLAIMED.
15
16 * TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 * ELECTRONICS CORPORATION. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 * FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 * FOR ANY REASON RELATED TO THE THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 * AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21
22 * Renesas reserves the right, without notice, to make changes to this
23 * software and to discontinue the availability of this software.
24 * By using this software, you agree to the additional terms and
25 * conditions found by accessing the following link:
26 * http://www.renesas.com/disclaimer
27 *****/
28 /* Copyright (C) 2010. Renesas Electronics Corporation. All Rights Reserved. */
29 /*"FILE COMMENT"***** Technical reference data *****/
30 * System Name : SH7722/SH7731 Sample Program
31 * File Name : SH7731_ini.c
32 * Abstract : SH7722/SH7731 LCDC の表示例
33 * Version : Ver 1.00
34 * Device : SH7722/SH7731
35 * Tool-Chain : High-performance Embedded Workshop (Version 4.05.01.001)
36 * : C/C++ Compiler Package for SuperH Family (V.9.03 release00)
37 * OS : None
38 * H/W Platform : R0P7722TH001ARK for SH7722 Reference Platform
39 * Description : SH7722/SH7731 LCDC の表示例
40 * :
41 * Operation :
42 * Limitation :
43 * :
44 *****/
45 * History : 21.Oct.2009 Ver. 1.00 First Release
46 /*"FILE COMMENT END"*****/
47
48 #include <machine.h>
49 #include "iodefine.h"
50 #include "lcdc.h"
51 #include "framebuf.h"
52
53 /* ==== プロトタイプ宣言 ==== */
54 void main(void);
55
56
57 /*"FUNC COMMENT"*****/
58 * ID :
59 * Outline : サンプルプログラムメイン

```

```

60  *           : (LCDC の表示)
61  * Include           :
62  * Declaration       : void main(void)
63  * Description       : メイン LCD に VGA 画像を表示し、(WAIT_LCDC_CHGSIDE)のソフトウェア後に
64  *                   : A・B 面画像の切り替えを (TIMES_LCDC_CHGSIDE) 回繰り返した後、表示を停止します。
65  *                   : (WAIT_LCDC_STOP)のソフトウェア後に表示を再開します。
66  *                   :
67  * Limitation        :
68  *                   :
69  * Argument          : none
70  * Return Value      : none
71  * Calling Functions :
72  *""FUNC COMMENT END""*****/
73  void main(void)
74  {
75      unsigned long i;
76      unsigned long j;
77
78      /* フレームバッファに画像を描画 */
79      make_gradation();
80
81      /* LCDC 初期設定:メイン LCD VGA 表示 */
82      lcdc_init( tbl_lcdc_buf[D_LCDC_FRAME_NUM-1] );
83
84      while(1)
85      {
86          /* LCDC の起動:メイン LCD 表示開始 */
87          lcdc_start();
88
89          for(i=0;i<D_LCDC_FRAME_NUM;i++)
90          {
91              for(j=0;j<D_LCDC_WAIT_CHGSIDE;j++)
92              {
93                  /* ウェイト */
94              }
95
96              /* LCDC の表示面切り替え */
97              lcdc_chgadr( tbl_lcdc_buf[i] );
98          }
99          /* LCDC の停止:メイン LCD 表示停止 */
100         lcdc_stop();
101         for(j=0;j<D_LCDC_WAIT_STOP;j++)
102         {
103             /* ウェイト */
104         }
105     }
106
107
108 }
109
110 /* End of File */

```

(2) サンプルプログラムリスト"framebuf.c"

```

1  /*****
2  * DISCLAIMER
3
4  * This software is supplied by Renesas Electronics Corporation. and is only
5  * intended for use with Renesas products. No other uses are authorized.
6
7  * This software is owned by Renesas Electronics Corporation. and is protected under
8  * all applicable laws, including copyright laws.
9
10 * THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 * REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 * INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 * PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 * DISCLAIMED.
15
16 * TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 * ELECTRONICS CORPORATION. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 * FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 * FOR ANY REASON RELATED TO THE THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 * AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21
22 * Renesas reserves the right, without notice, to make changes to this
23 * software and to discontinue the availability of this software.
24 * By using this software, you agree to the additional terms and
25 * conditions found by accessing the following link:
26 * http://www.renesas.com/disclaimer
27 *****/
28 /* Copyright (C) 2010. Renesas Electronics Corporation. All Rights Reserved. */
29 /*"FILE COMMENT"***** Technical reference data *****/
30 * System Name : SH7722/SH7731 Sample Program
31 * File Name : framebuf.c
32 * Abstract : SH7722/SH7731 LCDC の表示例
33 * Version : Ver 1.00
34 * Device : SH7722/SH7731
35 * Tool-Chain : High-performance Embedded Workshop (Version 4.05.01.001)
36 * : C/C++ Compiler Package for SuperH Family (V.9.03 release00)
37 * OS : None
38 * H/W Platform : R0P7722TH001ARK for SH7722 Reference Platform
39 * Description : SH7722/SH7731 LCDC の表示例
40 * :
41 * Operation :
42 * Limitation :
43 * :
44 *****/
45 * History : 21.Oct.2009 Ver. 1.00 First Release
46 /*"FILE COMMENT END"*****
47
48
49 #include <machine.h>
50 #include "iodefine.h"
51 #include "framebuf.h"
52
53 /* ==== フレームバッファ ==== */
54 #pragma section _LCD_BUFF
55 unsigned long g_lcdc_buf0[D_LCDC_HEIGHT][D_LCDC_WIDTH];
56 unsigned long g_lcdc_buf1[D_LCDC_HEIGHT][D_LCDC_WIDTH];
57 unsigned long g_lcdc_buf2[D_LCDC_HEIGHT][D_LCDC_WIDTH];
58 unsigned long g_lcdc_buf3[D_LCDC_HEIGHT][D_LCDC_WIDTH];
59 #pragma section
60
61 /* ==== フレームバッファテーブル ==== */
62 void* pg_tbl_lcdc_buf[4] = {

```

```
63     g_lcdc_buf0,
64     g_lcdc_buf1,
65     g_lcdc_buf2,
66     g_lcdc_buf3
67 };
68
69
70 /* ==== プロトタイプ宣言 ==== */
71 void make_gradation(void);
72
73
74 /*"FUNC COMMENT"*****
75 * ID           :
76 * Outline      : サンプルプログラムメイン
77 *             : (LCDC の表示)
78 * Include      :
79 * Declaration  : void make_gradation(void)
80 * Description  : フレームバッファに RGB8888 24bpp のグラデーション画像を描画します
81 *             :
82 * Limitation   :
83 *             :
84 * Argument     : none
85 * Return Value : none
86 * Calling Functions :
87 *"FUNC COMMENT END"*****/
88 void make_gradation(void)
89 {
90     static unsigned long i;
91     static unsigned long j;
92     unsigned long pixel0 = 0;
93     unsigned long pixel1 = 0;
94     unsigned long pixel2 = 0;
95     unsigned long pixel3 = 0;
96
97     for(i=0;i<D_LCDC_HEIGHT;i++)
98     {
99         for(j=0;j<D_LCDC_WIDTH;j++)
100        {
101            g_lcdc_buf0[i][j] = pixel0;
102            g_lcdc_buf1[i][j] = pixel1;
103            g_lcdc_buf2[i][j] = pixel2;
104            g_lcdc_buf3[i][j] = pixel3;
105
106            if( ( j != 0 ) && ( (j%60) == 0 ) )
107            {
108                pixel0 += D_LCDC_PATTERN0;
109                pixel1 += D_LCDC_PATTERN1;
110                pixel2 += D_LCDC_PATTERN2;
111                pixel3 += D_LCDC_PATTERN3;
112            }
113        }
114        pixel0 = 0;
115        pixel1 = 0;
116        pixel2 = 0;
117        pixel3 = 0;
118    }
119 }
120
121
122 /* End of File */
```

(3) サンプルプログラムリスト"framebuf.h"

```

1  /*****
2  * DISCLAIMER
3
4  * This software is supplied by Renesas Electronics Corporation. and is only
5  * intended for use with Renesas products. No other uses are authorized.
6
7  * This software is owned by Renesas Electronics Corporation. and is protected under
8  * all applicable laws, including copyright laws.
9
10 * THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 * REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 * INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 * PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 * DISCLAIMED.
15
16 * TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 * ELECTRONICS CORPORATION. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 * FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 * FOR ANY REASON RELATED TO THE THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 * AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21
22 * Renesas reserves the right, without notice, to make changes to this
23 * software and to discontinue the availability of this software.
24 * By using this software, you agree to the additional terms and
25 * conditions found by accessing the following link:
26 * http://www.renesas.com/disclaimer
27 *****/
28 /* Copyright (C) 2010. Renesas Electronics Corporation. All Rights Reserved.      */
29 /*"FILE COMMENT"***** Technical reference data ***** */
30 * System Name   : SH7722/SH7731 Sample Program
31 * File Name    : framebuf.h
32 * Abstract     : SH7722/SH7731 LCDC の表示例
33 * Version      : Ver 1.00
34 * Device       : SH7722/SH7731
35 * Tool-Chain   : High-performance Embedded Workshop (Version 4.05.01.001)
36 *              : C/C++ Compiler Package for SuperH Family (V.9.03 release00)
37 * OS           : None
38 * H/W Platform : R0P7722TH001ARK for SH7722 Reference Platform
39 * Description  : SH7722/SH7731 LCDC の表示例
40 *              :
41 * Operation    :
42 * Limitation   :
43 *              :
44 *****/
45 * History      : 21.Oct.2009 Ver. 1.00 First Release
46 /*"FILE COMMENT END"***** */
47
48 #ifndef _FRAMEBUF_H_
49 #define _FRAMEBUF_H_
50
51 /* ==== マクロ定義 ==== */
52 #define D_LCDC_FRAME_NUM      4
53
54 #define D_LCDC_WIDTH          480 /* 画像横幅 */
55 #define D_LCDC_HEIGHT         640 /* 画像縦幅 */
56 #define D_LCDC_BPP            4 /* 1画素のバイト数 */
57 #define D_LCDC_STRIDE         ( D_LCDC_WIDTH * D_LCDC_BPP )
58
59 #define D_LCDC_PATTERN0 0x00200000
60 #define D_LCDC_PATTERN1 0x00002000
61 #define D_LCDC_PATTERN2 0x00000020
62 #define D_LCDC_PATTERN3 0x00202020

```

```
63
64  /* ==== フレームバッファ ==== */
65  extern void* pg_tbl_lcd_buf[D_LCDC_FRAME_NUM];
66
67  #endif /* _FRAMEBUF_H_ */
68  /* End of File */
```

(4) サンプルプログラムリスト"lcdc.c"

```

1  /*****
2  * DISCLAIMER
3
4  * This software is supplied by Renesas Electronics Corporation. and is only
5  * intended for use with Renesas products. No other uses are authorized.
6
7  * This software is owned by Renesas Electronics Corporation. and is protected under
8  * all applicable laws, including copyright laws.
9
10 * THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 * REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 * INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 * PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 * DISCLAIMED.
15
16 * TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 * ELECTRONICS CORPORATION. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 * FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 * FOR ANY REASON RELATED TO THE THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 * AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21
22 * Renesas reserves the right, without notice, to make changes to this
23 * software and to discontinue the availability of this software.
24 * By using this software, you agree to the additional terms and
25 * conditions found by accessing the following link:
26 * http://www.renesas.com/disclaimer
27 *****/
28 /* Copyright (C) 2010. Renesas Electronics Corporation. All Rights Reserved. */
29 /*"FILE COMMENT"***** Technical reference data *****/
30 * System Name   : SH7722/SH7731 Sample Program
31 * File Name     : lcdc.c
32 * Abstract      : SH7722/SH7731 LCDC の表示例
33 * Version       : Ver 1.00
34 * Device        : SH7722/SH7731
35 * Tool-Chain    : High-performance Embedded Workshop (Version 4.05.01.001)
36 *               : C/C++ Compiler Package for SuperH Family (V.9.03 release00)
37 * OS            : None
38 * H/W Platform  : R0P7722TH001ARK for SH7722 Reference Platform
39 * Description   : SH7722/SH7731 LCDC の表示例
40 *               :
41 * Operation     :
42 * Limitation    :
43 *               :
44 *****/
45 * History       : 21.Oct.2009 Ver. 1.00 First Release
46 /*"FILE COMMENT END"******/
47
48
49 #include <machine.h>
50 #include "iodefine.h"
51 #include "lcdc.h"
52 #include "framebuf.h"
53
54 long g_flg_chg = D_LCDC_SIDECHG_OFF;
55
56 /*"FUNC COMMENT"*****
57 * ID           :
58 * Outline      : サンプルプログラムメイン
59 *              : (LCDC の表示)
60 * Include      :
61 * Declaration  : void lcdc_init(void* framebuf_adr)
62 * Description  : LCDC を初期化します。

```

```

63  *           : メイン LCD を表示可能な状態にします。
64  *           :
65  *           :
66  *           :
67  * Limitation :
68  *           :
69  * Argument   : none
70  * Return Value : none
71  * Calling Functions :
72  * "FUNC COMMENT END"*****/
73  void lcdc_init(void* framebuf_adr)
74  {
75      unsigned long dummy;
76
77      /* PFC の設定 */
78      /* MSEL->PSEL->PCR->HiZ の順序で設定 */
79      PFC.MSELCRB.BIT.MSELB8 = 0;
80      PFC.PSELD.WORD = ~0x000D;
81      PFC.PHCR.WORD = 0;
82      PFC.PLCR.WORD = 0;
83      PFC.PMCR.WORD = 0;
84      PFC.PRCR.WORD &= ~0x000F;
85      PFC.HIZCRA.WORD &= ~0x01C0;
86
87      /* 省電力モードの解除 */
88      LOWP.MSTPCR2 &= ~0x00000001;
89      dummy = LOWP.MSTPCR2; /* ダミーリードして、省電力解除を確定する */
90
91      /* フレームバッファの設定 */
92      LCDCA.MLDSA1R = (unsigned long)D_LCDC_PHY_ADR(framebuf_adr);
93      LCDCB.MLDSA1R = (unsigned long)D_LCDC_PHY_ADR(framebuf_adr);
94
95      LCDCA.MLDMLSR = D_LCDC_STRIDE;
96      LCDCB.MLDMLSR = D_LCDC_STRIDE;
97
98      LCDCA.MLDDFR.BIT.CC = 0; /* YCbCr RGB 変換を行わない */
99      LCDCA.MLDDFR.BIT.PKF = 0; /* RGB8888 24bpp */
100     LCDCB.MLDDFR.BIT.CC = 0;
101     LCDCB.MLDDFR.BIT.PKF = 0;
102
103     /* ドットクロックの設定 */
104     LCDCA.LDDCKR.BIT.ICKSEL = 1; /* Pp */
105     LCDCA.LDDCKR.BIT.MOSEL = 1; /* 1/1 分周 */
106     LCDCA.MLDDCKPAT1R = 0x00000000;
107     LCDCA.MLDDCKPAT2R = 0x00000000;
108
109     /* 同期信号の設定 */
110     LCDCA.MLDHCNR.BIT.HTCN = 81;
111     LCDCA.MLDHCNR.BIT.HDCN = 60;
112     LCDCA.MLDHSYNR.BIT.HSYNW = 1;
113     LCDCA.MLDHSYNR.BIT.HSYNP = 71;
114     LCDCA.MLDVLR.BIT.VTLN = 648;
115     LCDCA.MLDVLR.BIT.VDLN = 640;
116     LCDCA.MLDVSYNR.BIT.VSYNW = 1;
117     LCDCA.MLDVSYNR.BIT.VSYNP = 646;
118
119     LCDCB.MLDHCNR.BIT.HTCN = 81;
120     LCDCB.MLDHCNR.BIT.HDCN = 60;
121     LCDCB.MLDHSYNR.BIT.HSYNW = 1;
122     LCDCB.MLDHSYNR.BIT.HSYNP = 71;
123     LCDCB.MLDVLR.BIT.VTLN = 648;
124     LCDCB.MLDVLR.BIT.VDLN = 640;
125     LCDCB.MLDVSYNR.BIT.VSYNW = 1;
126     LCDCB.MLDVSYNR.BIT.VSYNP = 646;

```

```

127
128 /* LCD インタフェースの設定 */
129 LCDCA.MLDMT1R.LONG = 0x1C00000A; /* Main LCD:RGB interface/18bit/active_low */
130 LCDCA.MLDMT1R.LONG = 0x1C00000A;
131
132 /* データスワップの設定 */
133 LCDCA.LDDDSR.LONG = 0x00000004; /* ロングワードスワップ */
134
135 /* パワーマネジメントの設定 */
136 LCDCA.MLDPMR.BIT.ONA = 2;
137 LCDCA.MLDPMR.BIT.ONB = 1;
138 LCDCA.MLDPMR.BIT.ONC = 1;
139 LCDCA.MLDPMR.BIT.OFFD = 5;
140 LCDCA.MLDPMR.BIT.OFFE = 1;
141 LCDCA.MLDPMR.BIT.OFFF = 1;
142 LCDCA.MLDPMR.BIT.VC = 1;
143 LCDCA.MLDPMR.BIT.VE = 1;
144 LCDCA.MLDPMR.BIT.DO = 1;
145
146 /* 割り込みの設定 */
147 /* LCDC の割り込みをマスク */
148 INTC0.IMR4.BYTE |= D_LCDC_INT_MASK;
149 /* 使用する LCDC 割り込みをイネーブル */
150 INTC0.IPRB = 0x0100; /* 割り込みレベル 1 */
151 LCDCA.LDINTR.LONG = D_LCDC_INT_FE_ON; /* フレーム終了割り込みイネーブル */
152 /* LCDC 割り込み要因のクリア */
153 LCDCA.LDINTR.LONG &= ~D_LCDC_INT_FS_FLG;
154 /* LCDC の割り込みマスクをクリア */
155 INTC0.IMCR4 = D_LCDC_INT_MASK;
156
157 /* メイン LCD イネーブル */
158 LCDCA.LDCNT1R.LONG = 0x00000001; /* ディスプレイイネーブル */
159 LCDCA.LDCNT2R.LONG = 0x00000002; /* メイン LCD イネーブル */
160 }
161
162 /*"FUNC COMMENT"*****
163 * ID :
164 * Outline : サンプルプログラムメイン
165 * : (LCDC の表示)
166 * Include :
167 * Declaration : void lcdc_start(void)
168 * Description : LCDC を起動します。
169 * :
170 * Limitation :
171 * :
172 * Argument : none
173 * Return Value : none
174 * Calling Functions :
175 *"FUNC COMMENT END"*****/
176 void lcdc_start(void)
177 {
178 /*DO = 1*/
179 LCDCA.LDCNT2R.LONG |= 0x00000001; /* メイン LCD 表示開始 */
180
181 /* ステータスが表示中になるまで待つ */
182 while( LCDCA.MLDPMR.BIT.LPS != 0x00000003 )
183 {
184 /* DO NOTHING */
185 }
186 }
187
188 /*"FUNC COMMENT"*****
189 * ID :
190 * Outline : サンプルプログラムメイン

```

```
191 *           : (LCDC の表示)
192 * Include           :
193 * Declaration       : void lcdc_chgadr(unsigned long mirror_adr)
194 * Description       : LCDC を初期化します。
195 *           :
196 * Limitation        :
197 *           :
198 * Argument          : none
199 * Return Value      : none
200 * Calling Functions :
201 * "FUNC COMMENT END"*****/
202 void lcdc_chgadr(void* mirror_adr)
203 {
204     /* ミラーアドレスの設定 */
205     LCDCM.MLDSA1R = (unsigned long)D_LCDC_PHY_ADR(mirror_adr);
206     g_flg_chg = D_LCDC_SIDECHG_ON;
207 }
208
209 /*"FUNC COMMENT"*****
210 * ID           :
211 * Outline      : サンプルプログラムメイン
212 *           : (LCDC の表示)
213 * Include      :
214 * Declaration  : void lcdc_stop(void)
215 * Description  : LCDC を停止します。
216 *           :
217 * Limitation   :
218 *           :
219 * Argument     : none
220 * Return Value : none
221 * Calling Functions :
222 * "FUNC COMMENT END"*****/
223 void lcdc_stop(void)
224 {
225     /*DO = 0*/
226     LCDCA.LDCNT2R.LONG &= ~0x00000001; /* メイン LCD 表示停止 */
227
228     /* ステータスが停止になるまで待つ */
229     while( LCDCA.MLDPMR.BIT.LPS != 0x00000000 )
230     {
231         /* DO NOTHING */
232     }
233 }
234
235 /* End of File */
```

(5) サンプルプログラムリスト"lcdc.h"

```

1  /*****
2  * DISCLAIMER
3
4  * This software is supplied by Renesas Electronics Corporation. and is only
5  * intended for use with Renesas products. No other uses are authorized.
6
7  * This software is owned by Renesas Electronics Corporation. and is protected under
8  * all applicable laws, including copyright laws.
9
10 * THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 * REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 * INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 * PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 * DISCLAIMED.
15
16 * TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 * ELECTRONICS CORPORATION. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 * FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 * FOR ANY REASON RELATED TO THE THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 * AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21
22 * Renesas reserves the right, without notice, to make changes to this
23 * software and to discontinue the availability of this software.
24 * By using this software, you agree to the additional terms and
25 * conditions found by accessing the following link:
26 * http://www.renesas.com/disclaimer
27 *****/
28 /* Copyright (C) 2010. Renesas Electronics Corporation. All Rights Reserved. */
29 /*"FILE COMMENT"***** Technical reference data *****/
30 * System Name : SH7722/SH7731 Sample Program
31 * File Name : lcdc.h
32 * Abstract : SH7722/SH7731 LCDC の表示例
33 * Version : Ver 1.00
34 * Device : SH7722/SH7731
35 * Tool-Chain : High-performance Embedded Workshop (Version 4.05.01.001)
36 * : C/C++ Compiler Package for SuperH Family (V.9.03 release00)
37 * OS : None
38 * H/W Platform : R0P7722TH001ARK for SH7722 Reference Platform
39 * Description : SH7722/SH7731 LCDC の表示例
40 * :
41 * Operation :
42 * Limitation :
43 * :
44 *****/
45 * History : 21.Oct.2009 Ver. 1.00 First Release
46 /*"FILE COMMENT END"*****
47
48 #ifndef _LCDC_H_
49 #define _LCDC_H_
50
51 /* ==== マクロ定義 ==== */
52 #define D_LCDC_WAIT_CHGSIDE (200000000/2*1) /* 周波数 ÷ (for ループの命令数) × 秒 */
53 #define D_LCDC_WAIT_STOP (200000000/2*1) /* 周波数 ÷ (for ループの命令数) × 秒 */
54
55 #define D_LCDC_PHY_ADR(x) ((unsigned long)(x) & ~0xE0000000)
56
57 #define D_LCDC_INT_FE_ON 0x00000400
58 #define D_LCDC_INT_FS_FLG 0x00000004
59 #define D_LCDC_INT_MASK 0x01
60
61 enum {
62 D_LCDC_SIDECHG_OFF = 0,

```

```
63     D_LCDC_SIDECHG_ON,  
64     };  
65  
66     /* ==== 関数宣言 ==== */  
67     void lcdc_init(void* framebuf_adr);  
68     void lcdc_start(void);  
69     void lcdc_chgadr(void* mirror_adr);  
70     void lcdc_stop(void);  
71     void lcdc_int(void);  
72  
73     /* ==== 変数宣言 ==== */  
74     extern long g_flg_chg;  
75  
76     #endif /* _LCDC_H_ */  
77     /* End of File */
```

(6) サンプルプログラムリスト"vhandler.src"

「SH7722/SH7731 グループ アプリケーションノート SH7722/SH7731 初期設定例 (RJJ06B1090)」から一部修正しています。

- CPG の設定値を 1.3 章の適用条件となるように変更しています。
- B3φ = 80MHz となるため、SBSC のタイミング設定値を変更しています。

設定値の詳細についてはソースコードを参照ください。

```

1    ...途中省略...
2
3        mov.l    #H'A4150000,r0 ;set FRQCR address
4        mov.l    #H'05022538,r1 ; * Clockin = 33.333MHz, CKIO = 66.6MHz,
5                                     ; * I Clock = 200MHz, U Clock = 100MHz,
6                                     ; * SH Clock = 100MHz, B Clock = 50MHz,
7                                     ; * B3 Clock = 80MHz, P Clock = 25MHz
8
9        mov.l    r1,@r0
10
11   ...途中省略...
12   SDRAM_INIT:
13       mov.l    #H'FE400008,r0 ;set SDCR0 address
14       mov.l    #H'00020809,r1 ;set for SDRAM(Micron MT48LC8M16A2B475)
15                                     ;64bit bus-width, row 12bit, column 9bit
16       mov.l    r1,@r0
17
18       mov.l    #H'FE40000C,r0 ;set SDWCR address
19       mov.l    #H'0014248A,r1 ;tRRD 2cyc
20                                     ;tRAS 4cyc
21                                     ;tRP 2cyc
22                                     ;tRCD 2cyc
23                                     ;CL 2cyc
24                                     ;tWR 2cyc
25                                     ;tRC 6cyc
26       mov.l    r1,@r0
27
28       mov.l    #H'FE400010,r0 ;set SDPCR address
29       mov.l    #H'00000087,r1 ;default
30       mov.l    r1,@r0
31
32       mov.l    #H'FE400018,r0 ;set RTCNT address
33       mov.l    #H'a55a0000,r1
34       mov.l    r1,@r0
35
36       mov.l    #H'FE40001C,r0 ;set RTCOR address
37       mov.l    #H'a55a004C,r1 ;refresh rate
38       mov.l    r1,@r0
39
40       mov.l    #H'A4050186,r0 ;set SBSCR address
41       mov.W    #H'0000,r1      ;Low speed
42       mov.W    r1,@r0
43
44
45       mov.l    #H'000030d4,r0
46   LOOP1:
47       dt      r0
48       bf      LOOP1 ;200us wait
49       nop
50       nop
51
52       mov.l    #H'FE400014,r0 ;set RTCSR address
53       mov.l    #H'a55a0010,r1 ;B3φ/16
54       mov.l    r1,@r0

```

```
55
56         mov.l   #H'FE500100,r0 ;set SDMR3(64bit bus-width, CL=2, burstR/W(burst length=1))
57         mov.b   #H'00,r1
58         mov.b   r1,@r0
59
60         mov.l   #SDRAM_INIT_END,r0
61         jmp     @r0
62         nop
63
64         .pool
```

(7) サンプルプログラムリスト"vecttbl.src"

LCDC 割り込み処理実行時の割り込み優先度を設定しています。

LCDC 割り込みの優先度を 1 に設定しているため、LCDC 割り込み処理中に新たな LCDC 割り込みが発生しないように優先度に 1 を設定しています。

```
1
2     ...途中省略...
3
4     ;LCDC
5         ; H'580 LCDC LCDCI
6         .data.b   H'10
7
8     ...途中省略...
```

(8) サンプルプログラムリスト"intprg.c"

LCDC 割り込み処理関数を割り込みハンドラに登録しています。

```

1
2  ..途中省略...
3
4  #define I_DIV_P      8 /* Iφ:Pφ = 8:1 */
5  #define INST_NUM    2 /* instruction number of for loop */
6  #define PCLK_5CYC   ( 5 * I_DIV_P / 2)
7
8  ..途中省略...
9
10 /* H'580 LCD Controler interrupt */
11 /*"FUNC COMMENT"*****
12 * ID                :
13 * Outline           : サンプルプログラムメイン
14 *                  : (LCDC の表示)
15 * Include          :
16 * Declaration      : void lcdc_int(void)
17 * Description      : LCDC を初期化します。
18 *                  : メイン LCD を表示可能な状態にします。
19 *                  :
20 *                  :
21 *                  :
22 * Limitation       :
23 *                  :
24 * Argument         : none
25 * Return Value     : none
26 * Calling Functions :
27 *"FUNC COMMENT END"*****/
28 void INT_LCDC_LCDCI(void)
29 {
30     unsigned long i;
31
32     if( LCDCA.LDINTR.LONG & D_LCDC_INT_FS_FLG)
33     {
34         LCDCA.LDINTR.LONG &= ~D_LCDC_INT_FS_FLG;
35
36         if( g_flg_chg == D_LCDC_SIDECHG_ON )
37         {
38             LCDCA.LDRCNTR.LONG ^= 0x00000002; /* MRS を反転する */
39             g_flg_chg = D_LCDC_SIDECHG_OFF;
40         }
41
42         /* INTC の優先順位判定時間だけ WAIT */
43         for(i=0;i<PCLK_5CYC;i++)
44         {
45             /* DO NOTHING */
46         }
47     }
48 }
..途中省略...

```

6. 実行結果

上記サンプルプログラムを実行すると、

- LCD モジュールの電源投入
- グレーのグラデーションパターン表示
- 赤のグラデーションパターン表示
- 緑のグラデーションパターン表示
- 青のグラデーションパターン表示
- LCD モジュールの電源遮断
- LCD モジュールの電源投入 (以降無限ループ)

が繰り返し実行されます。

7. 参考ドキュメント

- ソフトウェアマニュアル
SH-4A ソフトウェアマニュアル (RJJ09B0090)
(最新版をルネサス エレクトロニクスホームページから入手してください。)
- ハードウェアマニュアル
SH7722 グループ ハードウェアマニュアル (RJJ09B0324)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.04.20	—	初版発行
1.01	2011.06.09	9 26	表 6 のタイトルを修正 LCDC が必要とする最大のデータレートの例式を修正

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違っていると、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連して発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/inquiry>