
SH7262/SH7264 グループ

R01AN0611JJ0102

Rev. 1.02

2011.03.23

ビデオディスプレイコントローラ 3 映像表示例

要旨

本アプリケーションノートは、SH7262/SH7264 のビデオディスプレイコントローラ 3 (VDC3) を使用した映像表示例について説明します。

動作確認デバイス

SH7264

目次

1. はじめに.....	2
2. 応用例の説明.....	3
3. 参考プログラムリスト.....	22
4. 参考ドキュメント.....	34

1. はじめに

1.1 仕様

入力した映像を TFT-LCD パネルに表示します。

デジタルビデオデコーダでデコードした NTSC ビデオ信号を、ビデオディスプレイコントローラ 3 (VDC3) に入力します。入力した映像は、VDC3 に接続した TFT-LCD パネルに表示します。

1.2 使用機能

- ビデオディスプレイコントローラ 3 (VDC3)
- 汎用入出力ポート
- I²Cバスインタフェース 3 (IIC3)

1.3 適用条件

マイコン	SH7262/SH7264
動作周波数	内部クロック : 144 MHz バスクロック : 72 MHz 周辺クロック : 36 MHz
統合開発環境	ルネサスエレクトロニクス製 High-performance Embedded Workshop Ver.4.07.00
C コンパイラ	ルネサスエレクトロニクス製 SuperH RISC engine ファミリ C/C++コンパイラパッケージ Ver.9.03 Release00
コンパイルオプション	High-performance Embedded Workshop でのデフォルト設定 (-cpu=sh2afpu -fpu=single -object="\$(CONFIGDIR)¥\$(FILELEAF).obj" -debug -gbr=auto -chgincpath -errorpath -global_volatile=0 -opt_range=all -infinite_loop=0 -del_vacant_loop=0 -struct_alloc=1 -nologo)

1.4 関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。合わせて参照してください。

- SH7262/SH7264 グループ 初期設定例
- SH7262/SH7264 グループ ビデオディスプレイコントローラ 3 TFT-LCD パネル表示例
- SH7262/SH7264 グループ ビデオディスプレイコントローラ 3 映像録画例
- SH7262/SH7264 グループ ビデオディスプレイコントローラ 3 αブレンド窓機能の使用例

1.5 "L"アクティブ端子 (信号) の表記について

端子名(信号名)末尾の #は"L"アクティブ端子(信号)であることを示します。

2. 応用例の説明

本応用例は VDC3 を使用して映像を表示するための端子接続例と初期設定例を説明します。

2.1 VDC3 の動作概要

本モジュールには動画像を表示または録画する映像表示と録画機能がありますが、本アプリケーションノートでは映像表示機能について説明します。

2.1.1 概要

VDC3 には以下の 4 つの機能があります。映像表示に関連する機能は「映像表示機能」です。なお映像録画機能は映像表示機能と同時に使用することはできません。

1. 映像表示機能：入力映像を縮小後、メモリにバッファし、パネル表示する機能
2. 映像録画機能：入力映像を大容量内蔵 RAM または SDRAM に設定フィールド数分を保存する機能
3. 入力映像にグラフィックス画像（2 面）を重ね合わせる機能
4. TFT-LCD パネル向けの制御信号出力機能

2.1.2 特長

表 1にVDC3 の特長を示します。

表1 VDC3 の特長

項目	機能	備考
動作周波数	映像入力クロック : 27MHz パネルクロック : 4~36MHz (パネル仕様に依存)	映像入力 関連
入力映像規格	ITU-R BT.656 規格準拠 8bit 入力 (27MHz) ITU-R BT.601 規格準拠 8bit シリアル入力に対応 (27MHz)	
映像録画機能	RGB565 形式にて 1/2 フィールドのレート (NTSC : 30fps、PAL : 25fps) で映像を保存	
映像画質調整機能	コントラスト調整、ブライツ調整	
映像スケーリング処理	垂直 1/2、1/3、1/4 倍 水平 2/3、1/2、1/3、1/4 倍 PAL 対応のため、さらに、各スケール値を 6/7 倍にすることが可能	
出力映像サイズ*	640pixel × 480line (VGA) サイズ 480pixel × 240line (WQVGA) サイズ 320pixel × 240line (QVGA) サイズ横長 240pixel × 320line (QVGA) サイズ縦長	パネル出力 関連
出力映像形式	RGB565 プログレッシブ映像出力 (16bit のパラレル出力)	
同期信号出力	TFT-LCD パネル向けの制御信号を出力します	
割り込み出力	ライン割り込み出力 (任意のラインにて出力可能) BT.601、BT.656 映像入力の VSYNC 周期乱れ検出信号 フィールド書き込み完了信号 内部バッファのオーバ/アンダフロー検出信号	その他
グラフィックス画像	2 面 (レイヤ 1、レイヤ 2) RGB565 プログレッシブ形式 (α : なし、R : 5bit、G : 6bit、B : 5bit の計 16bit) α RGB4444 プログレッシブ形式 (α : 4bit、R : 4bit、G : 4bit、B : 4bit の計 16bit)	
グラフィックス機能	<ul style="list-style-type: none"> α ブレンド窓機能 : 設定した領域にて、入力映像、レイヤ 1、レイヤ 2 を透過率 α に基づき Mixing (フェードイン、フェードアウト機能あり) クロマキー機能 : 設定した RGB 色にて透過率 α に基づき Mixing ドット α 機能 : α RGB4444 形式のグラフィックス画像のとき透過率 α に基づき Mixing 上記機能の α 値の優先順位は α ブレンド窓 > クロマキー > ドット α	

【注】 * 入力映像の最大表示可能領域は、NTSC:480pixel × 240line , PAL:480pixel × 288lineです。

2.1.3 入出力端子

表 2にVDC3 の入出力端子を示します。

表2 VDC3 モジュールの入出力端子

端子名	入出力	名称	説明	備考
DV_CLK	入力	映像入力クロック	BT.601、BT.656 のクロックを入力します。	映像入力 関連
DV_VSYNC	入力	VSYNC 入力	BT.601 の VSYNC 信号を入力します。	
DV_HSYNC	入力	HSYNC 入力	BT.601 の HSYNC 信号を入力します。	
DV_DATA7~0	入力	BT.601、BT.656 入力	BT.601、BT.656 のデータ信号を入力します。	
LCD_CLK	出力	パネルクロック	パネルクロック出力端子です。	パネル出力 関連
LCD_EXCLK	入力	パネルクロックソース	パネルクロックソース入力端子です。	
LCD_VSYNC	出力	パネル用 VSYNC 出力	パネル用垂直同期信号出力端子です。	
LCD_HSYNC	出力	パネル用 HSYNC 出力	パネル用水平同期信号出力端子です。	
LCD_DE	出力	パネル用データ イネーブル出力	パネル用データイネーブル信号または データ開始位置パルス信号の出力端子 です。	
LCD_DATA15~0	出力	パネル用データ出力	パネル用データの出力端子です。 MSB LSB MSB LSB [15 : 11] : Red[4 : 0] [10 : 5] : Green[5 : 0] [4 : 0] : Blue[4 : 0]	
LCD_M_DISP	出力	パネル用制御信号	パネル用交流化信号	

2.1.4 構成

図 1にVDC3 の全体ブロック図を示します。各機能ブロックの概要は表 3を参照してください。

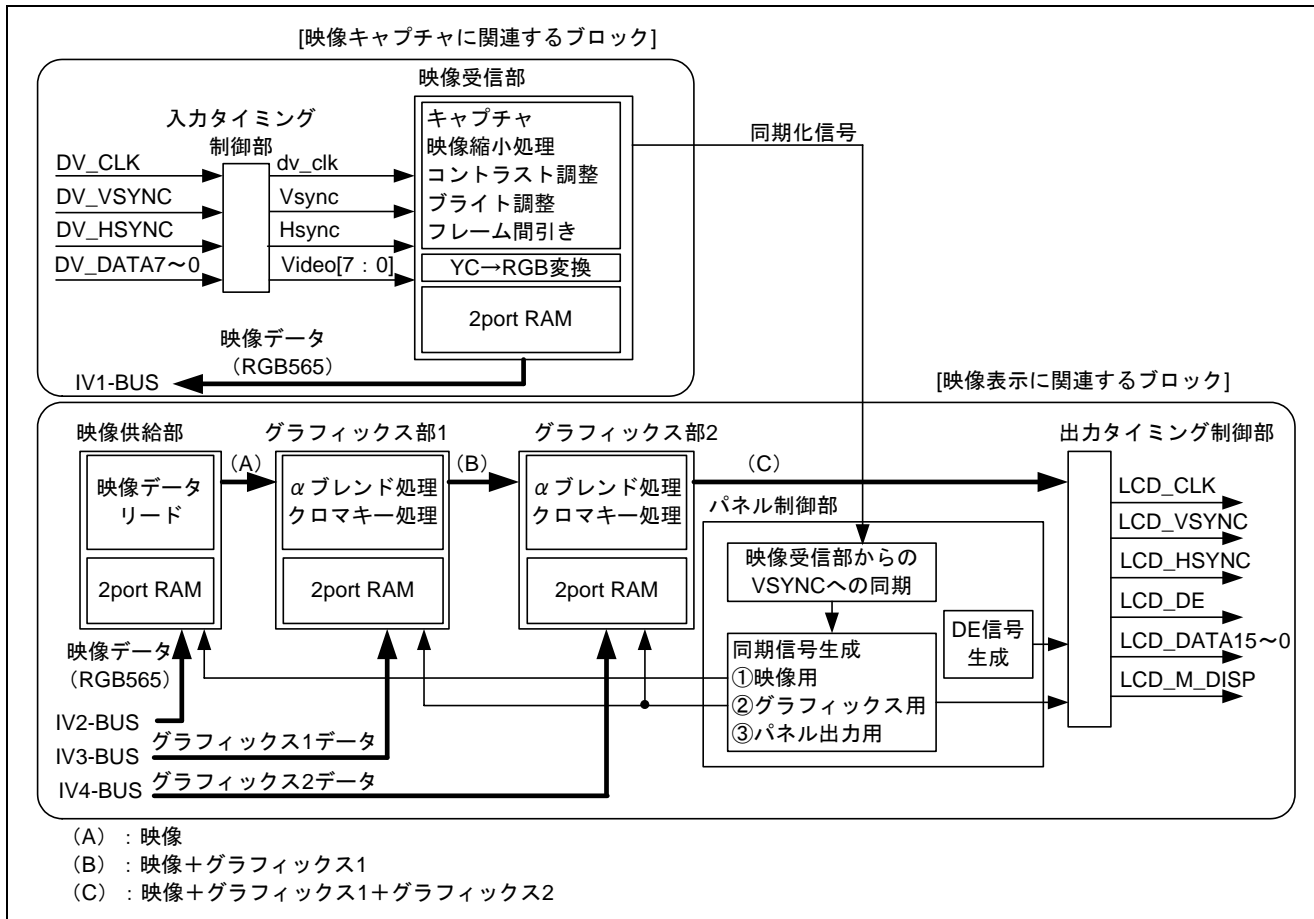


図1 VDC3 の全体ブロック図

表3 VDC3 の機能ブロック

ブロック名	機能概要
入力タイミング制御部	入力同期信号のクロック立ち上がり／立ち下がりエッジのタイミング選択、極性を制御します。BT.601、BT.656 映像入力のクロック立ち上がり／立ち下がりエッジのタイミングを制御します。
映像受信部	(1) 入力映像をキャプチャし、スケーリング、コントラスト、ブライツ処理します。 (2) YC を RGB565 形式に変換しデータ IV1-BUS 経由で保存します。 (3) フィールド間引きを行い、RGB565 形式でデータを IV1-BUS 経由で保存します。
映像供給部	IV2-BUS 経由で映像データの読み出しを行います。
グラフィックス部 1	メモリに格納されたグラフィックス画像（レイヤ 1）を IV3-BUS 経由で読み出し、映像供給部の映像とオーバーレイ処理を行い、グラフィックス部 2 に出力します。
グラフィックス部 2	メモリに格納されたグラフィックス画像（レイヤ 2）を IV4-BUS 経由で読み出し、グラフィックス部 1 の出力とオーバーレイ処理を行い、出力タイミング制御部に出力します。
パネル制御部	パネル出力用の同期信号を生成します。
出力タイミング制御部	出力同期信号のクロック立ち上がり／立ち下がりエッジのタイミング選択、極性を制御します。RGB565 映像出力のクロック立ち上がり／立ち下がりエッジのタイミングを制御します。

2.1.5 入力映像

VDC3 では BT.601 入力または BT.656 入力のいずれかの入力映像フォーマットを選択できます。ここでは VDC3 の入力映像フォーマットについて説明します。

なお VDC3 は入力映像のライン数を、525 ライン (NTSC) と 625 ライン (PAL) から選択できますが、本応用例では 525 ライン (NTSC) の場合を説明します。

(1) BT.601 入力

BT.601 は、アナログテレビジョン放送標準方式である NTSC や PAL 向けに標準化された規格です。アナログビデオ信号をデジタル化するための変換式やサンプリング周波数などを規定しています。表 4 に BT.601 の概要を示します。詳細は BT.601 の規格書を参照してください。

表4 BT.601 の概要 (NTSC の場合)

項目	内容	
総走査線数	525 本 (2:1 インタレース)	
フレームレート	60 fps	
アスペクト比	4:3 または 16:9	
サンプル構造	4:2:2	4:4:4
色形式	Y、Cr、Cb	Y、Cr、Cb または R、G、B
水平総サンプル数	858 (Y)、429 (Cr、Cb)	858
サンプリング周波数	13.5 MHz (Y)、6.75 MHz (Cr、Cb)	13.5 MHz
符号化形式	8 または 10 ビット/サンプル	
水平有効サンプル数	720 (Y)、360 (Cr、Cb)	720
データ範囲 (8 ビット符号化の場合)	16~235 (Y)、16~240 (Cr、Cb)	16~240

BT.601 入力を選択した場合は、DV_DATA7~0 端子および DV_VSYNC 端子、DV_HSYNC 端子、DV_CLK 端子を映像入力端子として使用します。データ信号を DV_DATA7~0 端子に入力し、垂直方向の同期信号を DV_VSYNC 端子、水平方向の同期信号を DV_HSYNC 端子に入力してください。

図 2 に BT.601 入力のキャプチャタイミングを示します。DV_VSYNC 信号から有効データ領域までの期間は VIDEO_VSTART レジスタで設定することが可能です。同様に、DV_HSYNC 信号から有効データ領域までの期間は VIDEO_HSTART レジスタで設定します。また DV_VSYNC 信号および DV_HSYNC 信号の極性を VIDEO_TIM_CNT レジスタで変更することもできます。

なお、入力映像は 2:1 インタレースのため、フィールド 1 (TOP) とフィールド 2 (BOTTOM) を識別する必要がありますが、VDC3 は VIDEO_TIM_CNT レジスタの FIELD_SKEW[9:0] ビットの設定値に従って両者を識別します。図 3 に BT.601 入力におけるフィールドの識別方法を示します。

入力映像のデータフォーマットは YC422 形式です。図 4 にデータ入力フォーマットを示します。

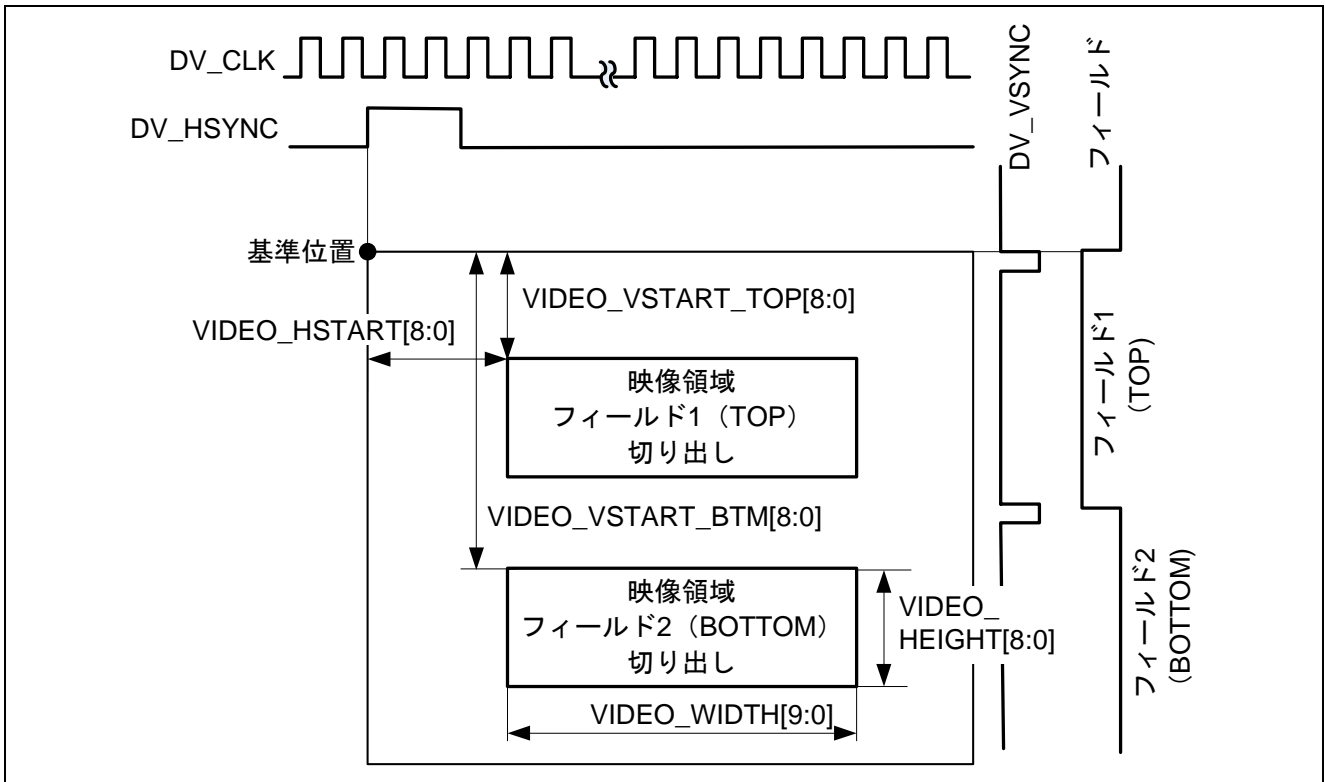


図2 BT.601 入力のキャプチャタイミング

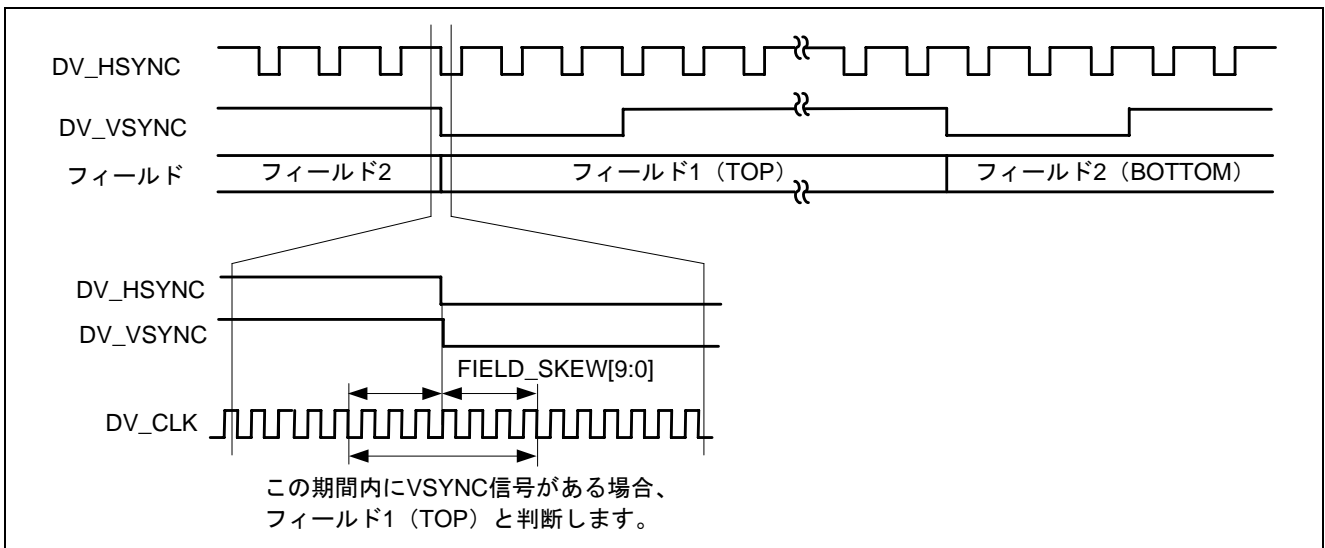


図3 BT.601 入力のフィールドの識別方法

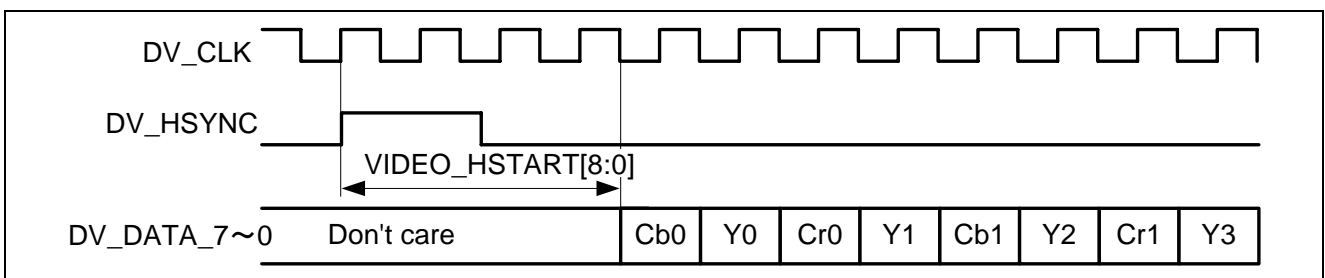


図4 BT.601 入力のデータ入力フォーマット

(2) BT.656 入力

BT.656 は、BT.601 で定義されたデジタルビデオ信号のデータ構造を規定した規格です。データ信号の構造やリファレンスコードが規定されています。ブランキング期間のデータ出力をリファレンスコードに置き換えることでVsync信号とHsync信号のタイミングやフィールド情報を取得することができます。表 5 にリファレンスコードの各ビットの役割を示します。

表5 リファレンスコード (8 ビットデータの場合)

ビット番号	第 1 バイト (H'FF)	第 2 バイト (H'00)	第 3 バイト (H'00)	第 4 バイト (H'XX)
7	全て 1	全て 0	全て 0	1 固定
6				0 : 第 1 フィールド、1 : 第 2 フィールド
5				垂直帰線期間中は 1、他の期間 0
4				0 : SAV (Start of Active Video) 1 : EAV (End of Active Video)
3				保護ビット ^{※1}
2				保護ビット ^{※1}
1				保護ビット ^{※1}
0				保護ビット ^{※1}

【注】^{※1} ビット 6~4 に応じた特定の値が規格で定められています。

BT.656 入力を選択した場合は、DV_DATA7~0 端子のみを使用します。垂直/水平方向の同期情報はデータ信号に埋め込まれるリファレンスコードから取得しますので、BT.656 に準拠したデータ信号を入力してください。

図 5 に BT.656 入力におけるキャプチャタイミングと入力データフォーマットを示します。

		1H期間														
		EAV				Hブランク	SAV				有効エリア					
		1	2	3	4		273	274	275	276	277	278	279	280	1716	
フィールド2 BOTTOM	1	FF	00	00	F1		FF	00	00	EC	ブランキングデータ領域					
	2	FF	00	00	F1		FF	00	00	EC						
	3	FF	00	00	F1		FF	00	00	EC						
フィールド1 TOP	4	FF	00	00	B6		FF	00	00	AB	ブランキングデータ領域					
	19	FF	00	00	B6		FF	00	00	AB						
	20	FF	00	00	9D		FF	00	00	80	Cb0 Y0 Cr0 Y1	Cb359 Y718 Cr359 Y719				
		FF	00	00	9D		FF	00	00	80	有効画素データ領域					
		FF	00	00	9D		FF	00	00	80						
		FF	00	00	9D		FF	00	00	80						
		FF	00	00	9D		FF	00	00	80						
	263	FF	00	00	9D		FF	00	00	80						
	264	FF	00	00	B6		FF	00	00	AB	ブランキングデータ領域					
	265	FF	00	00	B6		FF	00	00	AB						
フィールド2 BOTTOM	266	FF	00	00	F1		FF	00	00	EC	ブランキングデータ領域					
		FF	00	00	F1		FF	00	00	EC						
	282	FF	00	00	F1		FF	00	00	EC						
	283	FF	00	00	DA		FF	00	00	C7	Cb0 Y0 Cr0 Y1	Cb359 Y718 Cr359 Y719				
		FF	00	00	DA		FF	00	00	C7	有効画素データ領域					
		FF	00	00	DA		FF	00	00	C7						
		FF	00	00	DA		FF	00	00	C7						
525	FF	00	00	DA		FF	00	00	C7							

図5 BT.656 入力のキャプチャタイミングとデータ入力フォーマット (NTSC の場合)

2.1.6 映像表示機能

ここでは、キャプチャした映像を TFT-LCD パネルに表示するまでの流れを説明します。

映像受信部はフィールド 1 またはフィールド 2 をキャプチャします。キャプチャした映像は、縮小処理、コントラスト/ブライツ調整、YC→RGB 変換した後、一旦メモリ（ラインバッファ）に格納します。ラインバッファのデータは適時、映像供給部が読み出します。

次に、DV_CLK 信号を元に生成した映像用同期信号に合わせて、映像供給部が映像データをグラフィックス部 1 へ転送します。グラフィックス部 1 は映像データをグラフィックス部 2 へ転送します。映像データにグラフィックス 1 を加えることも可能です。同様に、グラフィックス部 2 も出力タイミング制御部へ映像データを転送します。

出力タイミング制御部は、パネル制御部が生成したパネル出力用同期信号に合わせて TFT-LCD パネルに映像データと制御信号を出力します。

図 6 に映像・グラフィックス画像処理の概要を示します。

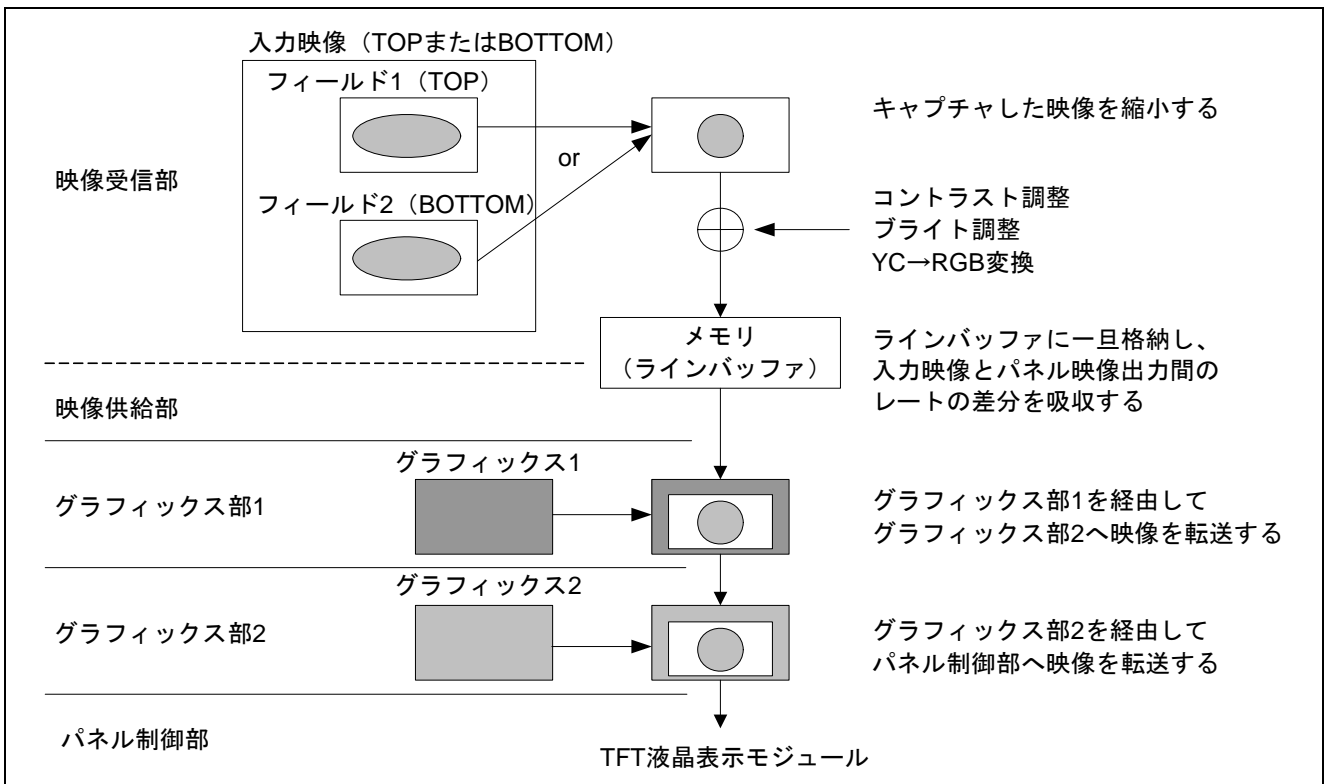


図6 映像・グラフィックス画像処理の概要

2.1.7 入力映像とパネル表示間のデータレート調整

映像表示機能はラインバッファに映像データを一旦格納します。これは入力映像のデータレートとパネル表示のデータレート間の差を吸収するためです。ここでは入力映像とパネル表示間のデータレート調整方法について説明します。

データレートの調整はラインバッファの容量を1フィールド分以上にすることで不要となりますが、メモリ容量を削減する場合はここで示す計算で必要容量を求めます。

図7にパネル表示にかかる時間が入力映像のキャプチャ時間より短い場合の考え方を示します。

まず基準Vsyncの位置を決めます。映像をキャプチャする前に表示することはできないため、キャプチャ完了時に映像表示が完了するタイミングを設定します。次にラインバッファの容量を求めます。映像表示の開始までキャプチャした入力映像を保存しますので、図7の「保存が必要な期間」が求めるラインバッファの容量となります。

なお実際の計算ではマージンを考慮する必要があります。計算式を表6～表8に示しますので参照してください。

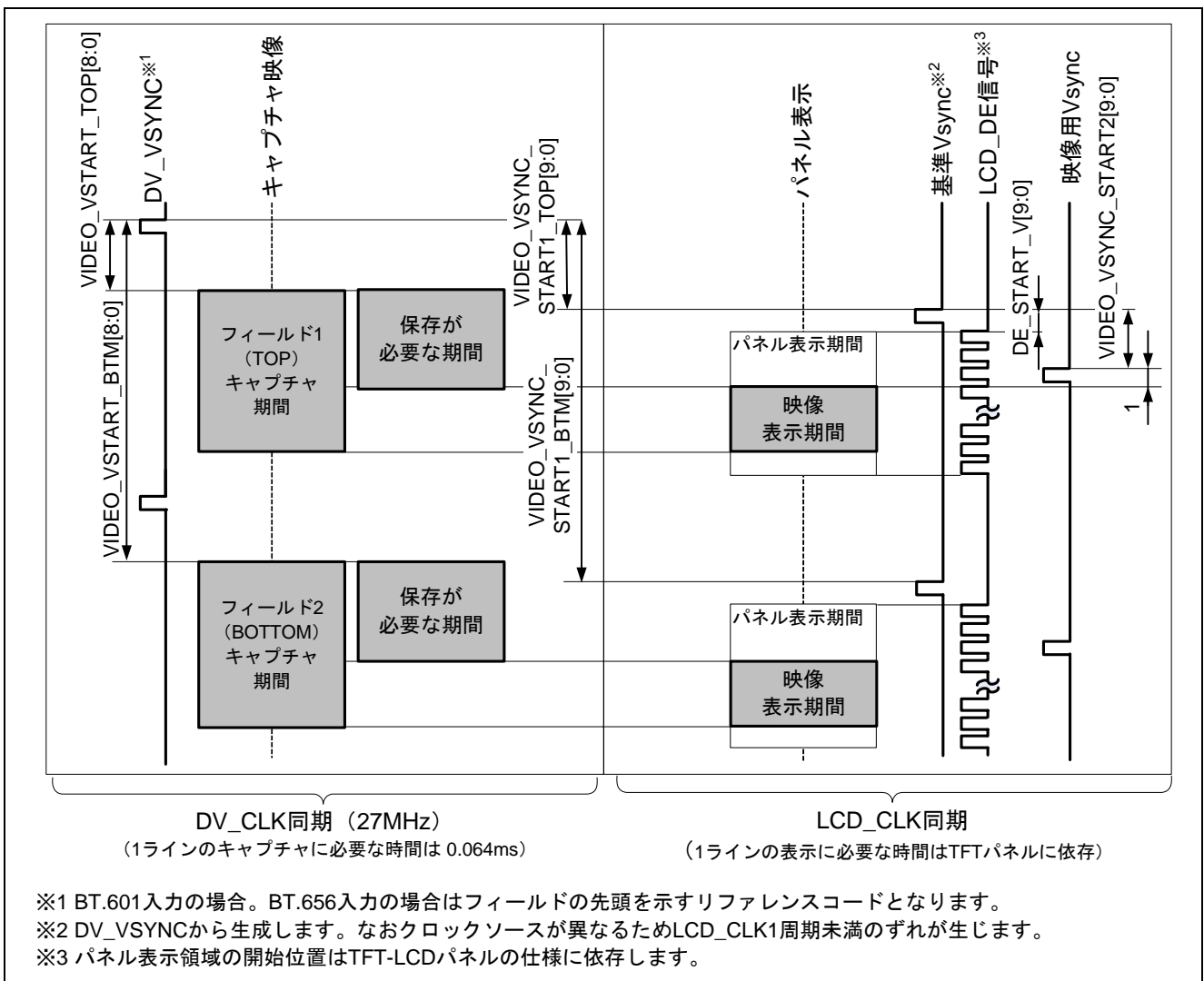


図7 データレート調整の考え方（パネル表示にかかる時間がキャプチャ時間より短い場合）

図 8にパネル表示にかかる時間が入力映像のキャプチャ時間より長い場合の考え方を示します。

図 7と同様に、まず基準Vsyncの位置を決めます。データのアンダフローは起こらないため、キャプチャ開始と同時に表示が開始するタイミングを設定します。次にラインバッファの容量を求めます。キャプチャ完了時に残っている表示データを保存しますので、図 8の「保存が必要な期間」が求めるラインバッファの容量となります。計算式は表 6～表 8を参照してください。

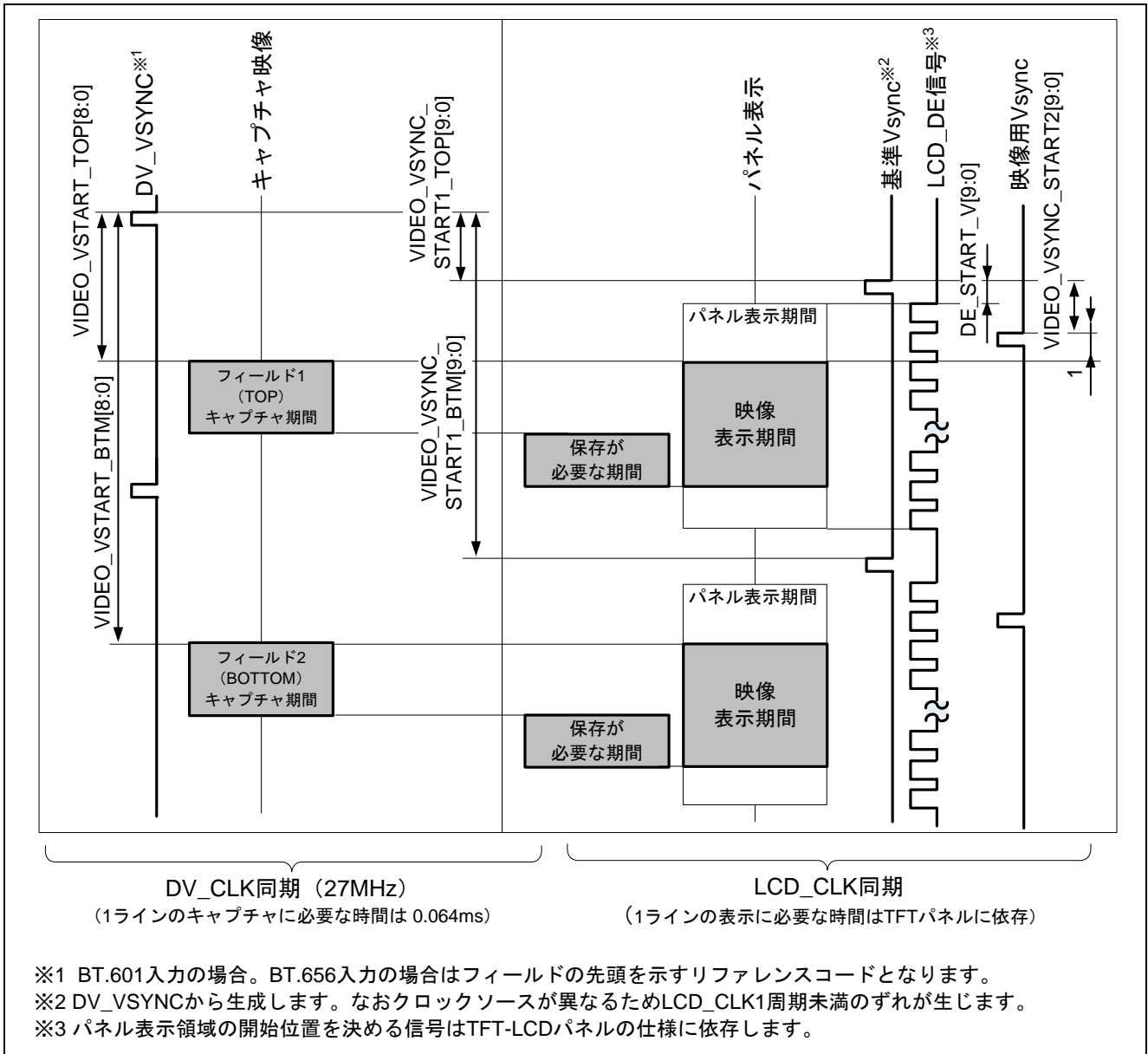


図8 データレート調整の考え方 (パネル表示にかかる時間がキャプチャ時間より長い場合)

表6 データレート調整のためのパラメータ一覧

パラメータ一覧			
No.	説明	レジスタ/値	単位
①	入力映像の HSYNC 周期	0.064	ms
②	有効映像の垂直方向サイズ	VIDEO_SIZE レジスタ (VIDEO_HEIGHT[8:0]ビット)	ライン
③	TFT-LCD パネルの HSYNC 周期	パネル仕様に依存	ms
④	表示する映像の垂直方向のサイズ	VIDEO_DISP_SIZE レジスタ (VIDEO_DISP_HEIGHT[8:0]ビット)	ライン
⑤	ラインバッファのマージン	6 以上を設定	ライン
⑥	TOP フィールドの有効映像の垂直方向の開始位置	VIDEO_VSTART レジスタ (VIDEO_VSTART_TOP[8:0]ビット)	ライン
⑦	BOTTOM フィールドの有効映像の垂直方向の開始位置	VIDEO_VSTART レジスタ (VIDEO_VSTART_BTM[8:0]ビット)	ライン
⑧	基準 Vsync から表示可能領域までのライン数	パネル仕様に依存	ライン

表7 データレート調整のための計算式 (パネルの上辺へ表示する場合)

計算式			
No.	説明	レジスタ/値	単位
⑨	VIDEO_VSYNC_TIM2 レジスタ (VIDEO_VSYNC_START2[9:0]ビット)	⑧-1	ライン
⑩	入力映像とパネル出力の時間差 (データ保存が必要な時間)	①×②-③×④	ms
⑪	ライン数に換算 (データ保存が必要なライン数) プラス: 図 7 の「保存が必要な期間」 マイナス: 図 8 の「保存が必要な期間」	⑩がプラスの場合: ⑩/① ⑩がマイナスの場合: ⑩/③	ライン
⑫	VIDEO_LINE_BUFF_NUM レジスタ マージンを挿入	⑪+⑤	ライン
⑬	VIDEO_VSYNC_TIM1 レジスタ (VIDEO_VSYNC_START1_TOP[9:0]ビット)	⑩がプラスの場合: ⑥+⑪-⑧+⑤/2 ⑩がマイナスの場合: ⑥-⑧+⑤/2	ライン
⑭	VIDEO_VSYNC_TIM1 レジスタ (VIDEO_VSYNC_START1_BTM[9:0]ビット)	⑩がプラスの場合: ⑦+⑪-⑧+⑤/2 ⑩がマイナスの場合: ⑦-⑧+⑤/2	ライン

表8 表示位置の変更方法

計算式			
No.	説明	レジスタ/値	単位
⑮	VIDEO_VSYNC_TIM2 レジスタ	⑨+表示開始したいライン	ライン
⑯	入力映像のライン数に換算	③×表示開始したいライン/①	ライン
⑰	VIDEO_VSYNC_TIM1 レジスタ (VIDEO_VSYNC_START1_TOP[9:0]ビット)	⑬-⑯	ライン
⑱	VIDEO_VSYNC_TIM1 レジスタ (VIDEO_VSYNC_START1_BTM[9:0]ビット)	⑭-⑯	ライン

2.1.8 パネル向け制御信号出力タイミング

TFT-LCDパネルに映像を表示するためには、パネル向け制御信号のタイミングをTFT-LCDパネルに合わせて出力する必要があります。図9に映像用同期信号を含めたパネル向け制御信号のタイミングを示します。パネル向け制御信号タイミングの詳細はアプリケーションノート「SH7262/SH7264 グループ ビデオディスプレイコントローラ 3 TFT-LCDパネル表示例」にも記載されています。合わせて参照してください。

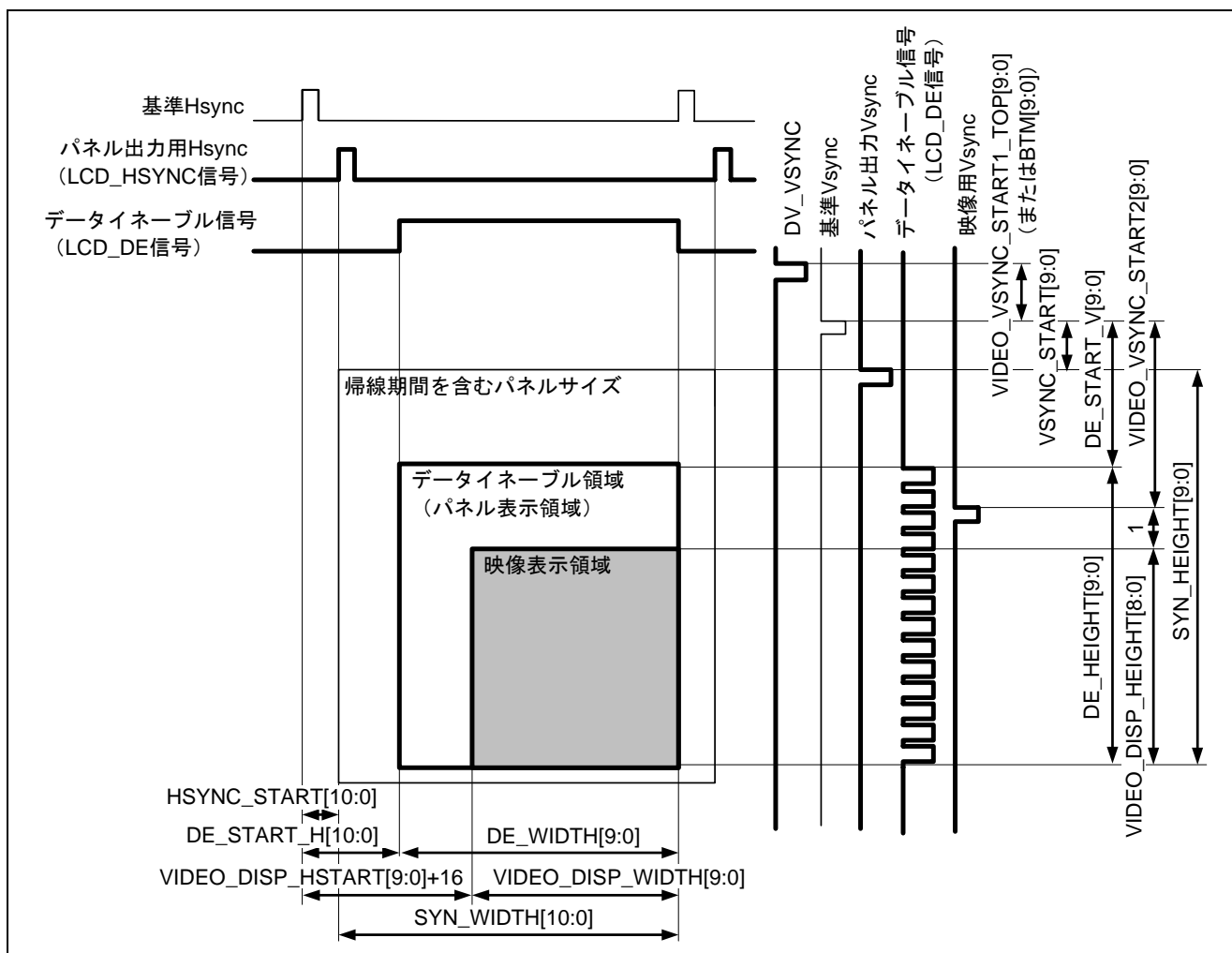


図9 パネル向け制御信号の同期タイミング

2.2 デジタルビデオデコーダの仕様

アナログNTSCビデオ信号を使用する場合は外部にデジタルビデオデコーダを接続し、2.1.5節で示した入力映像フォーマットで出力するよう設定します。

ここでは、本応用例で使用するデジタルビデオデコーダ（AK8851）の仕様を参考例として示します。

2.2.1 仕様概要

表 9に本応用例で使用するデジタルビデオデコーダの仕様概要を示します。

表9 デジタルビデオデコーダの仕様概要

項目	仕様
入力アナログ信号	NTSC、PAL、SECAM（コンポジットビデオ信号） Sビデオ信号（コンポーネントビデオ信号）
出力デジタル信号	ITU-R BT.601・BT.656 規格準拠の Y、Cb、Cr 信号
出力クロック	27MHz
アナログ入力端子	6ch
出力データバス幅	8bit 平行出力（16bit 出力可）
制御方法	I ² Cコントロール

2.2.2 デジタルビデオデコーダ接続回路例

図 10に本応用例で使用するデジタルビデオデコーダの接続回路例を示します。

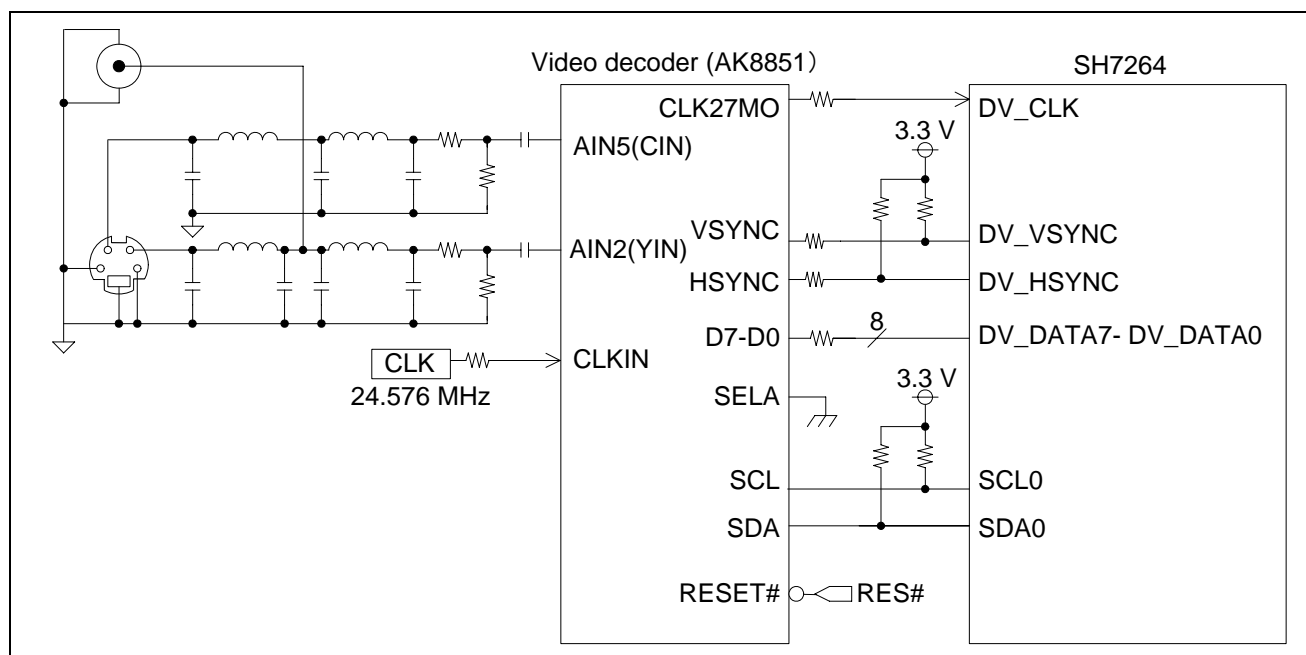


図10 デジタルビデオデコーダ接続回路例

2.3 TFT-LCD パネルの仕様

本応用例で使用する TFT-LCD パネルの仕様と接続例はアプリケーションノート「SH7262/SH7264 グループ ビデオディスプレイコントローラ 3 TFT-LCD パネル表示例」に記載しています。合わせて参照してください。

2.4 参考プログラムの仕様

ここでは参考プログラムの仕様と各処理のフローチャートを説明します。

2.4.1 仕様

- NTSC 映像を入力し、QVGA サイズ（縦 320×横 240）の TFT-LCD パネルへ表示します。
- 映像は縦 1/3、横 1/3 に縮小し、縦 160×横 240 のサイズでパネル中央に表示します。
（入力映像の HSYNC 周期 0.064ms に対して、TFT-LCD パネル出力の HSYNC 周期は 0.045ms です。）
- 入力映像のフォーマットは BT.656 入力を選択します。

2.4.2 参考プログラムのメインフロー

図 11 に参考プログラムのメインフローを示します。図 12～図 16 に示す初期化処理を実行して TFT-LCD パネルに入力映像を表示します。

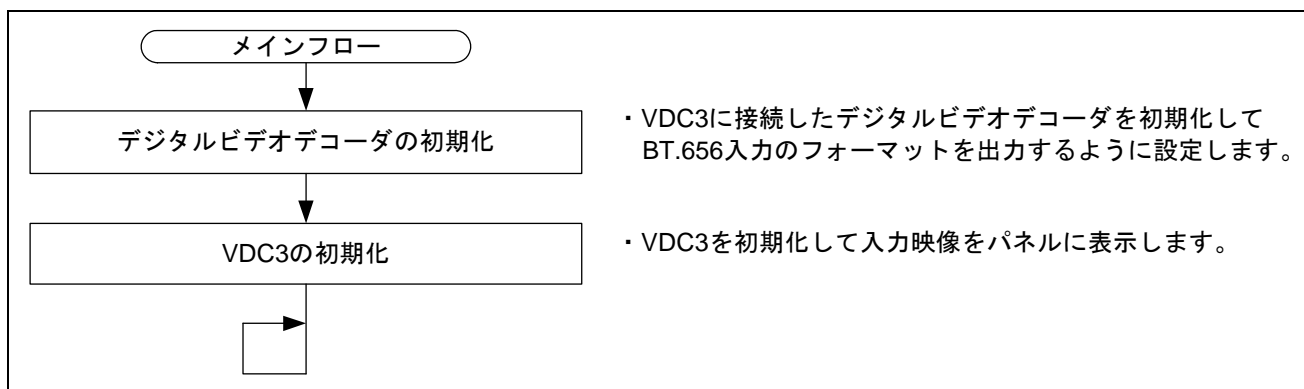


図11 参考プログラムのメインフロー

2.4.3 入力映像のフォーマット設定フロー

図 12 に入力映像のフォーマットを指定する設定例を示します。本応用例では BT.656 入力を選択します。

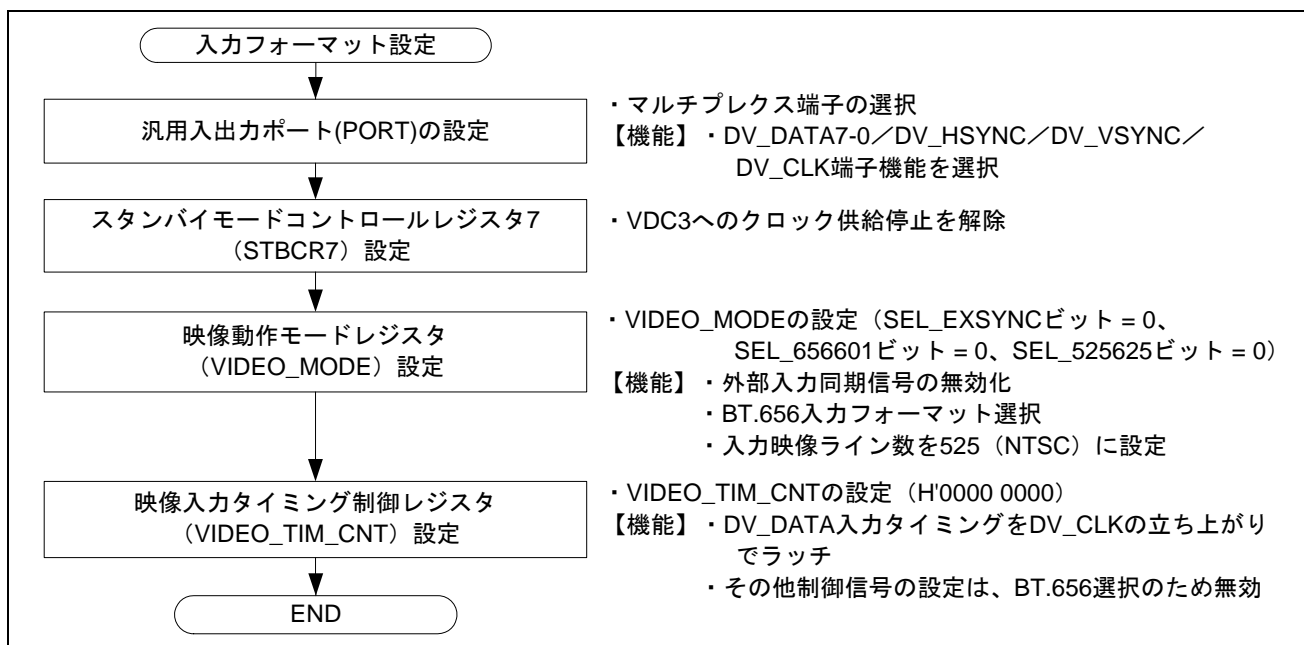


図12 入力映像フォーマット設定例

2.4.4 映像表示機能の設定フロー

図 13および図 14に映像表示機能の設定例を示します。本設定でキャプチャした映像を出力タイミング制御部に転送することが可能です。

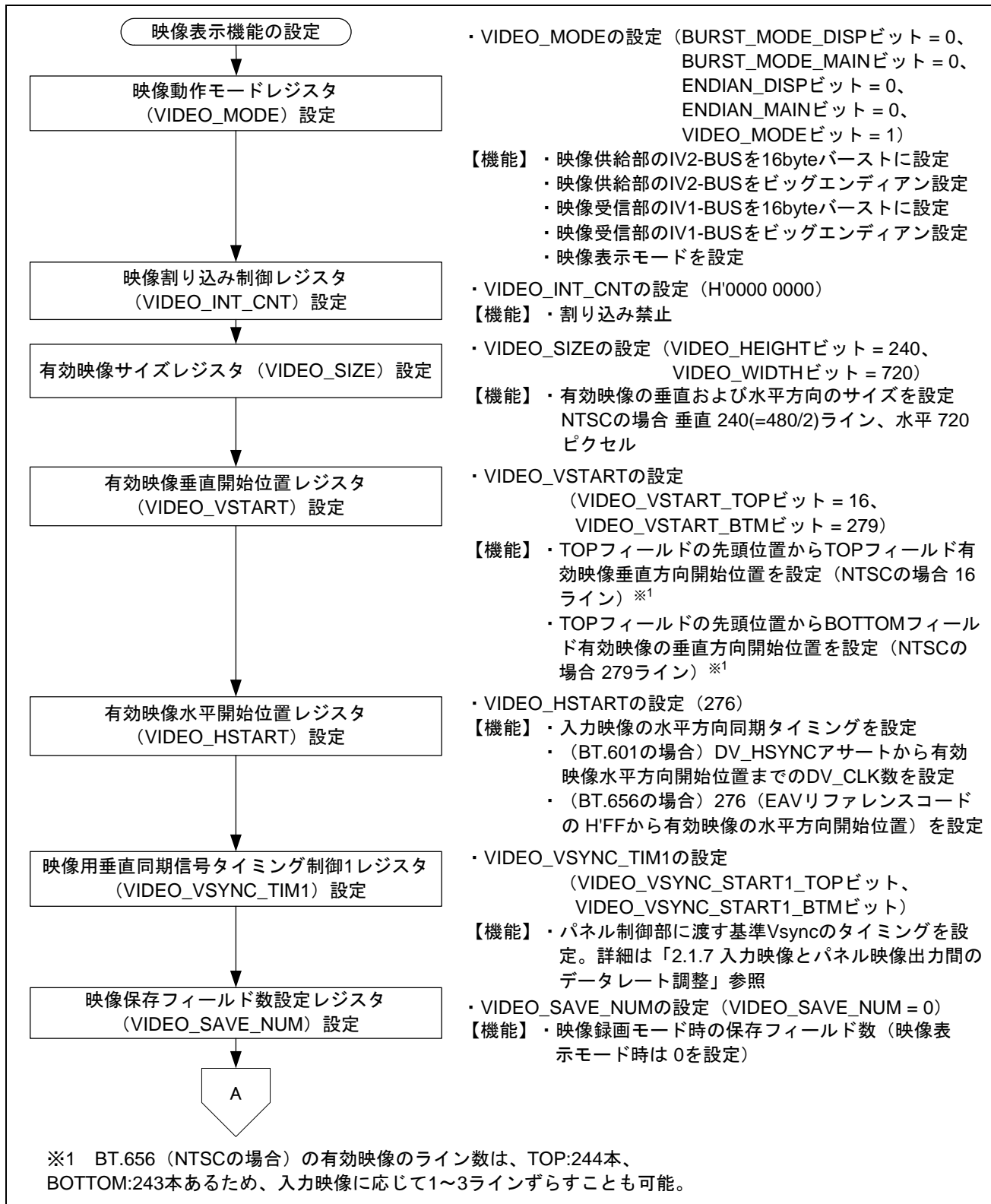


図13 映像表示機能の設定例 1



図14 映像表示機能の設定例 2

2.4.5 パネル制御信号出力の使用方法

図 15 と図 16 にパネル制御信号出力機能の設定例を示します。本設定でTFT-LCDパネルの制御信号出力設定を行うことが可能です。

なお図 15 と図 16 の設定は、本応用例で使用するTFT-LCDパネルの仕様に合わせています。使用するTFT-LCDパネルの仕様に合わせた設定値を検討してください。

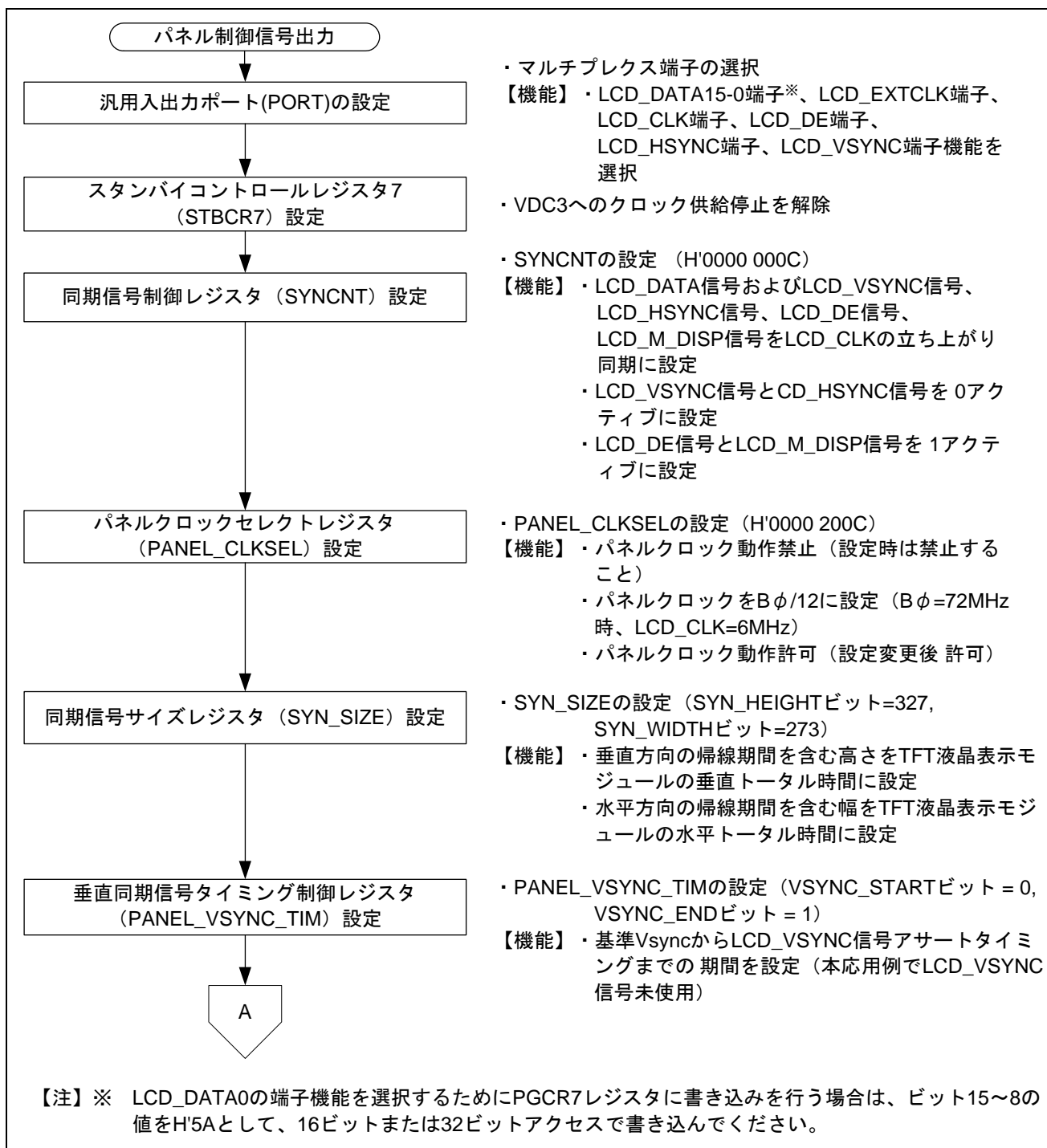


図15 パネル制御信号出力設定例 1

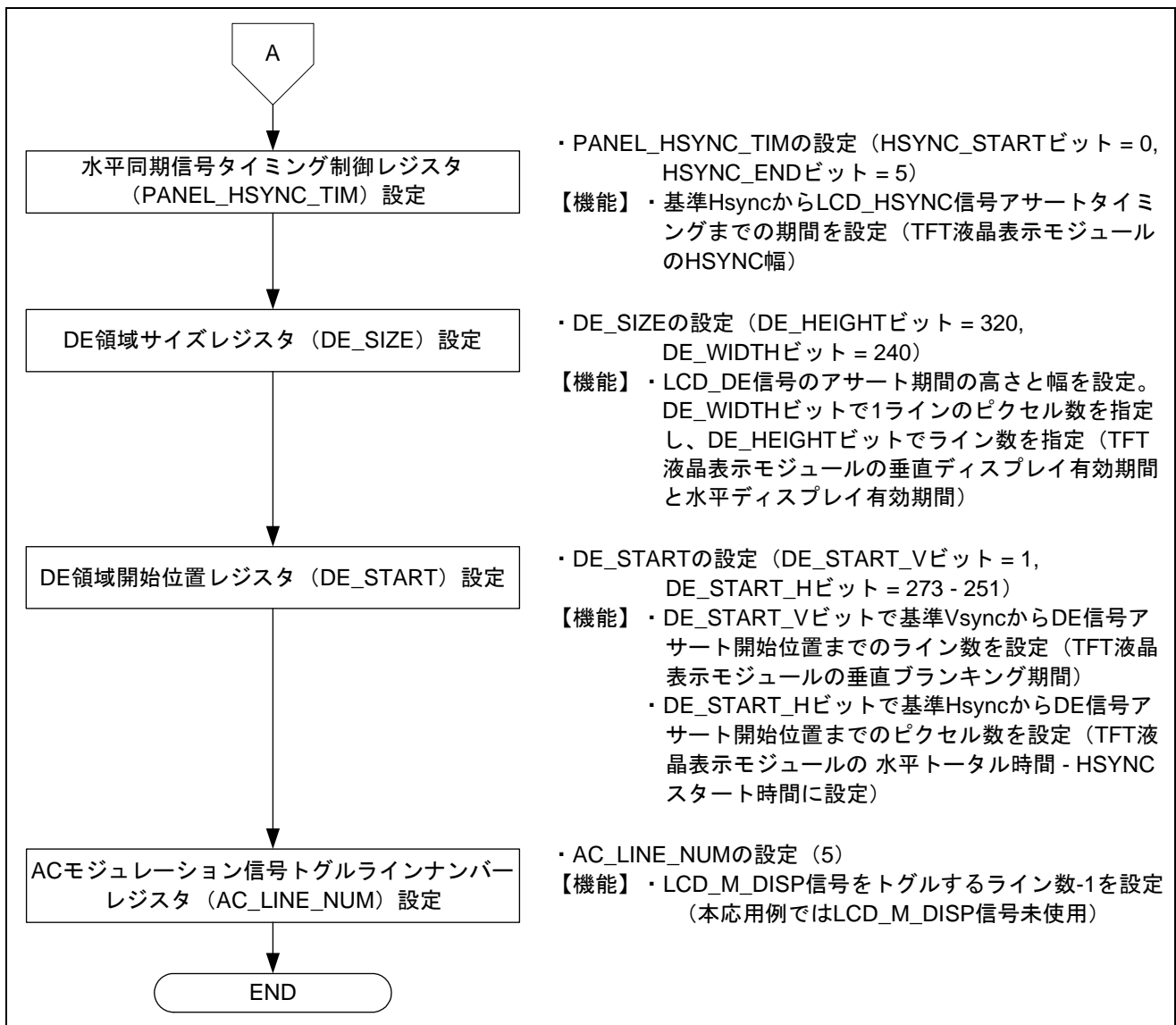


図16 パネル制御信号出力設定例 2

3. 参考プログラムリスト

3.1 参考プログラムについての補足

SH7264 は、製品によって大容量内蔵 RAM の容量が 1MB または 640KB と異なるため、参考プログラムのセクション配置やレジスタの設定を一部変更する必要があります。そのため本アプリケーションノートでは 1MB 用と 640KB 用の 2 つのワークスペースを用意しています。

640KB 版はライトプロテクトを解除しなければ保持用内蔵 RAM へ書き込むことができないため、640KB 版のワークスペースは、システムコントロールレジスタ 5 (SYSCR5) にライトプロテクトの解除を設定しています。

使用する製品を確認した上で、対応するワークスペースを使用してください。

3.2 サンプルプログラムリスト"main.c" (1)

```
1  /*****
2  *   DISCLAIMER
3  *
4  *   This software is supplied by Renesas Electronics Corporation and is only
5  *   intended for use with Renesas products. No other uses are authorized.
6  *
7  *   This software is owned by Renesas Electronics Corporation and is protected under
8  *   all applicable laws, including copyright laws.
9  *
10 *   THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 *   REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 *   INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 *   PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 *   DISCLAIMED.
15 *
16 *   TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 *   ELECTRONICS CORPORATION NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 *   FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 *   FOR ANY REASON RELATED TO THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 *   AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21 *
22 *   Renesas reserves the right, without notice, to make changes to this
23 *   software and to discontinue the availability of this software.
24 *   By using this software, you agree to the additional terms and
25 *   conditions found by accessing the following link:
26 *   http://www.renesas.com/disclaimer
27 *****/
28 /* Copyright (C) 2009(2010,2011) Renesas Electronics Corporation. All Rights Reserved.*/
29 /*****
30 *   System Name : SH7264 Sample Program
31 *   File Name   : main.c
32 *   Abstract    : VDC3 映像表示例
33 *   Version     : 2.00.00
34 *   Device      : SH7264
35 *   Tool-Chain  : High-performance Embedded Workshop (Ver.4.07.00).
36 *               : C/C++ compiler package for the SuperH RISC engine family
37 *               :                               (Ver.9.03 Release00).
38 *   OS          : None
39 *   H/W Platform: M3A-HS64G50(CPU board), M3A-HS64G02(Option board)
40 *   Description :
41 *****/
42 *   History     : Jan.30,2009 Ver.1.00.00
43 *               : Jan.14,2010 Ver.1.01.00 ヘッダファイルのフォーマット変更
44 *               : Feb.28,2011 Ver.2.00.00 VDC3 のコード修正に対応
45 *****/
46
```

3.3 サンプルプログラムリスト"main.c" (2)

```
47  /*****
48  Includes <System Includes> , "Project Includes"
49  *****/
50  #include <stdio.h>
51  #include "io_vdc3_video_disp.h"
52
53  /*****
54  Exported global variables and functions (to be accessed by other files)
55  *****/
56  /* ==== Global functions ==== */
57  void main(void);
58
59  /*****
60  * ID          :
61  * Outline     : 映像表示メイン処理
62  * Include     :
63  * Declaration : void main(void);
64  * Description : BT.656 の入力映像を TFT-LCD パネルに表示します。
65  * Argument    : void
66  * Return Value : void
67  *****/
68  void main(void)
69  {
70      /* ==== デジタルビデオデコーダの初期化 ==== */
71      init_video_decoder();
72
73      /* ==== VDC3 の初期化 ==== */
74      io_vdc3_init();
75
76      while(1){
77          /* loop */
78          }
79
80  }
81
82  /* End of File */
```


3.4 サンプルプログラムリスト"io_vdc3_video_disp.c" (1)

```
1  /*****
2  *  DISCLAIMER
3  *
4  *  This software is supplied by Renesas Electronics Corporation and is only
5  *  intended for use with Renesas products. No other uses are authorized.
6  *
7  *  This software is owned by Renesas Electronics Corporation and is protected under
8  *  all applicable laws, including copyright laws.
9  *
10 *  THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 *  REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 *  INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 *  PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 *  DISCLAIMED.
15 *
16 *  TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 *  ELECTRONICS CORPORATION NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 *  FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 *  FOR ANY REASON RELATED TO THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 *  AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21 *
22 *  Renesas reserves the right, without notice, to make changes to this
23 *  software and to discontinue the availability of this software.
24 *  By using this software, you agree to the additional terms and
25 *  conditions found by accessing the following link:
26 *  http://www.renesas.com/disclaimer
27 *****/
28 /* Copyright (C) 2011 Renesas Electronics Corporation. All Rights Reserved.*/
29 /*****
30 *  System Name : SH7264 Sample Program
31 *  File Name   : io_vdc3_video_disp.c
32 *  Abstract    : VDC3 映像表示例
33 *  Version     : 1.00.00
34 *  Device      : SH7264
35 *  Tool-Chain  : High-performance Embedded Workshop (Ver.4.07.00).
36 *              : C/C++ compiler package for the SuperH RISC engine family
37 *              :                      (Ver.9.03 Release00).
38 *  OS          : None
39 *  H/W Platform: M3A-HS64G50(CPU board), M3A-HS64G02(Option board)
40 *  Description :
41 *****/
42 *  History     : Feb.28,2011 Ver.1.00.00 VDC3 の既存サンプルコードを統合して作成
43 *****/
44
45
```

3.5 サンプルプログラムリスト"io_vdc3_video_disp.c" (2)

```
46  /*****
47  Includes <System Includes> , "Project Includes"
48  *****/
49  #include "iodefine.h"
50  #include "io_vdc3_video_disp.h"
51
52  /*****
53  Exported global variables and functions (to be accessed by other files)
54  *****/
55  /* ==== Global functions ==== */
56  void io_vdc3_init(void);
57
58  /* ==== Global variables ==== */
59  #pragma section VLINE_BUFF /* バッファはキャッシュ無効空間の 128 バイトまたは 16 バイト境界に配置 */
60  unsigned short video_line_buffer[VOUT_LINEBUF_NUM][(VOUT_LINE_OFFSET / BYTES_PER_PIXEL)];
61  #pragma section
62
63  /*****
64  Private global variables and functions
65  *****/
66  /* ==== Private fuctions ==== */
67  static void io_vdc3_init_video_in(void);
68  static void io_vdc3_init_video_out(void);
69  static void io_vdc3_init_disp(void);
70  static void io_vdc3_start(void);
71
```

3.6 サンプルプログラムリスト"io_vdc3_video_disp.c" (3)

```

72  /*****
73  * ID      :
74  * Outline : VDC3 の初期化
75  * Include :
76  * Declaration : void io_vdc3_init(void);
77  * Description : 本関数は映像表示機能を行うために VDC3 を初期化します。
78  * Argument  : void
79  * Return Value : void
80  *****/
81 void io_vdc3_init(void)
82 {
83     /* ==== PORT ==== */
84     /* ---- Video (in) ---- */
85     PORT.PFCR1.BIT.PF7MD = 3;      /* DV_DATA7 */
86     PORT.PFCR1.BIT.PF6MD = 3;      /* DV_DATA6 */
87     PORT.PFCR1.BIT.PF5MD = 3;      /* DV_DATA5 */
88     PORT.PFCR1.BIT.PF4MD = 3;      /* DV_DATA4 */
89     PORT.PFCR0.BIT.PF3MD = 3;      /* DV_DATA3 */
90     PORT.PFCR0.BIT.PF2MD = 3;      /* DV_DATA2 */
91     PORT.PFCR0.BIT.PF1MD = 3;      /* DV_DATA1 */
92     PORT.PFCR0.BIT.PF0MD = 3;      /* DV_DATA0 */
93     PORT.PECCR1.BIT.PE5MD = 3;      /* DV_HSYNC */
94     PORT.PECCR1.BIT.PE4MD = 3;      /* DV_VSYNC */
95     PORT.PFCR2.BIT.PF8MD = 3;      /* DV_CLK */
96
97     /* ---- Display (out) ---- */
98     PORT.PGCR7.WORD = 0x5A01u;      /* LCD_DATA0 書き込み時はビット操作不可 */
99     PORT.PGCR5.BIT.PG20MD = 1;      /* LCD_EXTCLK */
100    PORT.PGCR4.WORD = 0x1111u;      /* LCD_CLK, LCD_DE, LCD_HSYNC, LCD_VSYNC */
101    PORT.PGCR3.WORD = 0x1111u;      /* LCD_DATA15-12 */
102    PORT.PGCR2.WORD = 0x1111u;      /* LCD_DATA11-08 */
103    PORT.PGCR1.WORD = 0x1111u;      /* LCD_DATA07-04 */
104    PORT.PGCR0.BIT.PG3MD = 1;      /* LCD_DATA03 */
105    PORT.PGCR0.BIT.PG2MD = 1;      /* LCD_DATA02 */
106    PORT.PGCR0.BIT.PG1MD = 1;      /* LCD_DATA01 */
107
108    /* ==== CPG ==== */
109    CPG.STBCR7.BIT.MSTP74 = 0;      /* VDC3 のクロック供給許可 */
110
111    /* ==== VDC3 ==== */
112    /* ---- 入力タイミング制御部、映像受信の初期化 ---- */
113    io_vdc3_init_video_in();
114
115    /* ---- 映像供給部の初期化 ---- */
116    io_vdc3_init_video_out();
117
118    /* ---- パネル制御部、出力タイミング制御部の初期化 ---- */
119    io_vdc3_init_disp();
120
121    /* ---- 動作開始 ---- */
122    io_vdc3_start();
123 }

```

3.7 サンプルプログラムリスト"io_vdc3_video_disp.c" (4)

```
124
125 /*****
126  * ID      :
127  * Outline  : 入力タイミング制御部、映像受信の初期化
128  * Include  : iodef.h
129  * Declaration : static void io_vdc3_init_video_in(void);
130  * Description : 本関数は映像入力を行うためにVDC3を初期化します。
131  *          : 入力映像の規格は、BT.656として設定します。
132  * Argument  : void
133  * Return Value : void
134  *****/
135 static void io_vdc3_init_video_in(void)
136 {
137     /* ---- 入力映像フォーマットの設定 ---- */
138     VDC3.VIDEO_MODE.BIT.SEL_EXSYNC = 0;          /* 外部入力の同期信号を無効化 */
139     VDC3.VIDEO_MODE.BIT.SEL_656601 = 0;         /* BT.656 入力を選択 */
140     VDC3.VIDEO_MODE.BIT.SEL_525625 = 0;         /* 入力映像のライン数：525ライン(NTSC) */
141     VDC3.VIDEO_TIM_CNT.LONG = 0x00000000ul;     /* DV_DATA 入力信号を立ち上がりでラッチ */
142                                                  /* その他は BT656 のため設定不要 */
143 }
144
145 /*****
146  * ID      :
147  * Outline  : 映像供給部の初期化
148  * Include  : iodef.h
149  * Declaration : static void io_vdc3_init_video_out(void);
150  * Description : 本関数は映像表示を行うためにVDC3を初期化します。
151  *          : 入力映像の規格は、BT.656として設定します。
152  * Argument  : void
153  * Return Value : void
154  *****/
```

3.8 サンプルプログラムリスト"io_vdc3_video_disp.c" (5)

```

155 static void io_vdc3_init_video_out(void)
156 {
157     /* ---- 映像表示モードの設定( NTSC, BT.656 ) ---- */
158     VDC3.VIDEO_MODE.BIT.BURST_MODE_DISP = 0;          /* 映像供給部のバス:16byte バースト転送 */
159     VDC3.VIDEO_MODE.BIT.BURST_MODE_MAIN = 0;         /* 映像受信部のバス:16byte バースト転送 */
160     VDC3.VIDEO_MODE.BIT.ENDIAN_DISP   = 0;          /* 映像供給部のバス:ビッグエンディアン */
161     VDC3.VIDEO_MODE.BIT.ENDIAN_MAIN   = 0;          /* 映像受信部のバス:ビッグエンディアン */
162     VDC3.VIDEO_MODE.BIT.VIDEO_MODE    = 1;          /* 映像表示機能を選択 */
163     VDC3.VIDEO_INT_CNT.LONG            = 0x00000000ul; /* 映像割り込み不許可 */
164     VDC3.VIDEO_SIZE.BIT.VIDEO_HEIGHT  = VIN_INPUT_HEIGHT;
165     VDC3.VIDEO_SIZE.BIT.VIDEO_WIDTH   = VIN_INPUT_WIDTH;
166                                         /* 入力有効映像のライン数とピクセル数を設定 */
167     VDC3.VIDEO_VSTART.BIT.VIDEO_VSTART_TOP = VIN_VSTART_VALIDDATA_TOP;
168     VDC3.VIDEO_VSTART.BIT.VIDEO_VSTART_BTM = VIN_VSTART_VALIDDATA_BTM;
169     VDC3.VIDEO_HSTART.BIT.VIDEO_HSTART   = VIN_HSTART_VALIDDATA;
170                                         /* 垂直方向の入力有効映像開始位置(TOP)
171                                         垂直方向の入力有効映像開始位置(BOTTOM)
172                                         水平方向の入力有効映像開始位置 */
173     VDC3.VIDEO_VSYNC_TIM1.BIT.VIDEO_VSYNC_START1_TOP
174     = VIN_VSTART_VALIDDATA_TOP+VOUT_IO_DFLINE-TFT_DE_START_V+(VOUT_BUF_MARGIN/2)
-VOUT_DISP_POS_IO_DF;
175     VDC3.VIDEO_VSYNC_TIM1.BIT.VIDEO_VSYNC_START1_BTM
176     = VIN_VSTART_VALIDDATA_BTM+VOUT_IO_DFLINE-TFT_DE_START_V+(VOUT_BUF_MARGIN/2)
-VOUT_DISP_POS_IO_DF;
177                                         /* TOP フィールドの基準 Vsync 位置と
178                                         BOTTOM フィールドの基準 Vsync 位置を設定 */
179     VDC3.VIDEO_SAVE_NUM.BIT.FIELD_SAVE_NUM = 0;      /* 保存フィールド数(映像表示機能では0を設定) */
180     VDC3.VIDEO_IMAGE_CNT.LONG = 0x80800311ul;      /* 輝度コントラスト調整なし */
181                                         /* 輝度ブライト調整なし */
182                                         /* 輝度クリップ有効 */
183                                         /* 色差クリップ有効 */
184                                         /* 垂直方向スケーリング:1/3 */
185                                         /* 水平方向スケーリング:1/3 */
186     VDC3.VIDEO_BASEADR.LONG              = (unsigned long)video_line_buffer;
187     VDC3.VIDEO_LINE_OFFSET.LONG          = VOUT_LINE_OFFSET;
188     VDC3.VIDEO_FIELD_OFFSET.LONG         = 0;        /* フィールドオフセット(映像表示機能では無効) */
189     VDC3.VIDEO_LINEBUFF_NUM.BIT.VIDEO_LINEBUFF_NUM = VOUT_LINEBUF_NUM;
190                                         /* ラインバッファのアドレス、
191                                         ラインオフセット(ライン当りのバイト数)、
192                                         使用ライン数 を設定 */
193     VDC3.VIDEO_DISP_SIZE.BIT.VIDEO_DISP_HEIGHT = VOUT_DISP_SZ_Y;
194     VDC3.VIDEO_DISP_SIZE.BIT.VIDEO_DISP_WIDTH  = VOUT_DISP_SZ_X;
195     VDC3.VIDEO_DISP_HSTART.BIT.VIDEO_DISP_HSTART = (TFT_DE_START_H-16);
196                                         /* 表示する映像データの垂直/水平方向サイズ、
197                                         水平方向開始位置 を設定 */
198     VDC3.SG.MODE.BIT.EX_SYNC_MODE = 1;            /* 基準 Vsync を、映像入力 Vsync に同期 */
199     VDC3.VIDEO_VSYNC_TIM2.LONG           = (TFT_DE_START_V + VOUT_DISP_POS_Y - 1);
200                                         /* 映像表示用 Vsync のタイミングを設定 */
201 }
202

```

3.9 サンプルプログラムリスト"io_vdc3_video_disp.c" (6)

```
203  /*****
204  * ID      :
205  * Outline : パネル制御部、出力タイミング制御部の初期化
206  * Include : iodef.h
207  * Declaration : static void io_vdc3_init_disp(void);
208  * Description : 本関数はパネル制御部と出力タイミング制御部の初期化処理をします。
209  * Argument  : void
210  * Return Value : void
211  *****/
212  static void io_vdc3_init_disp(void)
213  {
214      /* ---- パネル向け制御信号出力の設定 ---- */
215      VDC3.SYNCNT.LONG = 0x0000000Cul; /* 全信号を立ち上がり同期で出力 */
216                                      /* LCD_VSYNC/LCD_HSYNC 信号：反転出力 */
217      VDC3.PANEL_CLKSEL.BIT.ICKEN = 0; /* パネルクロックブロックの動作禁止 */
218      VDC3.PANEL_CLKSEL.LONG = 0x0000200Cul; /* クロックソース：Bφ(72MHz) */
219                                      /* クロック周波数：6MHz */
220      VDC3.PANEL_CLKSEL.BIT.ICKEN = 1; /* パネルクロックブロックの動作許可 */
221      VDC3.SYN_SIZE.BIT.SYN_HEIGHT= TFT_TOTAL_SZ_V; /* 帰線期間を含めた垂直方向ライン数 */
222      VDC3.SYN_SIZE.BIT.SYN_WIDTH = TFT_TOTAL_SZ_H; /* 帰線期間を含めた水平方向ピクセル数 */
223      VDC3.PANEL_VSYNC_TIM.LONG = TFT_VSYNC_WDTH; /* パネル出力用 VSYNC のタイミング設定 */
224      VDC3.PANEL_HSYNC_TIM.LONG = TFT_HSYNC_WDTH; /* パネル出力用 HSYNC のタイミング設定 */
225      VDC3.DE_SIZE.BIT.DE_HEIGHT = TFT_DISP_SZ_V; /* データイネーブル領域の高さ */
226      VDC3.DE_SIZE.BIT.DE_WIDTH  = TFT_DISP_SZ_H; /* データイネーブル領域の幅 */
227      VDC3.DE_START.BIT.DE_START_V= TFT_DE_START_V; /* 垂直方向のデータイネーブル領域の開始位置 */
228      VDC3.DE_START.BIT.DE_START_H= TFT_DE_START_H; /* 水平方向のデータイネーブル領域の開始位置 */
229  }
230
```

3.10 サンプルプログラムリスト"io_vdc3_video_disp.c" (7)

```
231  /*****
232  * ID      :
233  * Outline : VDC3 の動作開始
234  * Include : iodef.h
235  * Declaration : static void io_vdc3_start(void);
236  * Description : 本関数はVDC3 の動作開始設定を行います。
237  *             : VDC3 の各種レジスタを設定した後に本関数を実行します。
238  *             : レジスタ設定は次の Vsync 同期にて更新されます。
239  * Argument : void
240  * Return Value : void
241  *****/
242  static void io_vdc3_start(void)
243  {
244      /* ---- 映像受信部の動作許可 ---- */
245      VDC3.VIDEO_MODE.BIT.VIDEO_MAIN_EXE = 1;
246
247      /* ---- 映像供給部の動作許可 ---- */
248      VDC3.VIDEO_MODE.BIT.VIDEO_DISP_EXE = 1;
249
250      /* ---- グラフィックス部 2 の表示許可 ---- */
251      VDC3.GRCMEN2.LONG = 0x80000001ul; /* カレントレイヤ:禁止、下位レイヤ:許可 */
252
253      /* ---- グラフィックス部 1 の表示許可 ---- */
254      VDC3.GRCMEN1.LONG = 0x80000001ul; /* カレントレイヤ:禁止、下位レイヤ:許可 */
255
256  }
257  /* End of File */
258
```

3.11 サンプルプログラムリスト"io_vdc3_video_disp.h" (1)

```
1  /*****
2  *   DISCLAIMER
3  *
4  *   This software is supplied by Renesas Electronics Corporation and is only
5  *   intended for use with Renesas products. No other uses are authorized.
6  *
7  *   This software is owned by Renesas Electronics Corporation and is protected under
8  *   all applicable laws, including copyright laws.
9  *
10 *   THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 *   REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 *   INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 *   PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 *   DISCLAIMED.
15 *
16 *   TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 *   ELECTRONICS CORPORATION NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 *   FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 *   FOR ANY REASON RELATED TO THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 *   AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21 *
22 *   Renesas reserves the right, without notice, to make changes to this
23 *   software and to discontinue the availability of this software.
24 *   By using this software, you agree to the additional terms and
25 *   conditions found by accessing the following link:
26 *   http://www.renesas.com/disclaimer
27 *****/
28 /* Copyright (C) 2011 Renesas Electronics Corporation. All Rights Reserved.*/
29 /*****
30 *   System Name : SH7264 Sample Program
31 *   File Name   : io_vdc3_video_disp.h
32 *   Abstract    : VDC3 映像表示例
33 *   Version     : 1.00.00
34 *   Device      : SH7264
35 *   Tool-Chain  : High-performance Embedded Workshop (Ver.4.07.00).
36 *               : C/C++ compiler package for the SuperH RISC engine family
37 *               :                               (Ver.9.03 Release00).
38 *   OS          : None
39 *   H/W Platform: M3A-HS64G50(CPU board), M3A-HS64G02(Option board)
40 *   Description :
41 *****/
42 *   History     : Feb.28,2011 Ver.1.00.00 VDC3 の既存サンプルコードを統合して作成
43 *****/
44
45
```


3.12 サンプルプログラムリスト"io_vdc3_video_disp.h" (2)

```

46  /*****
47  Macro definitions
48  *****/
49  #define BYTES_PER_PIXEL      2      /* 1ピクセル当たりのバイト数 */
50  #define RGB565_BLACK        0x0000u /* 黒 */
51  #define RGB565_WHITE        0xFFFFu /* 白 */
52  #define RGB565_GREEN        0x07E0u /* 緑 */
53  #define RGB565_BLUE         0x001Fu /* 青 */
54
55  /* ---- 映像入力パラメータ ---- */
56  #define VIN_VSTART_VALIDDATA_TOP 16 /* TOP領域の垂直方向キャプチャタイミング */
57  #define VIN_VSTART_VALIDDATA_BTM 279 /* BOTTOM領域の垂直方向キャプチャタイミング */
58  #define VIN_HSTART_VALIDDATA    276 /* 水平方向のキャプチャタイミング */
59  #define VIN_INPUT_HEIGHT        240 /* 入力有効映像のライン数 */
60  #define VIN_INPUT_WIDTH         720 /* 入力有効映像のピクセル数 */
61
62  /* ---- 映像表示パラメータ ---- */
63  #define VOUT_DISP_SZ_Y         160 /* 映像表示領域の高さ */
64  #define VOUT_DISP_SZ_X         240 /* 映像表示領域の幅 */
65  #define VOUT_BUF_MARGIN        6 /* ラインバッファのマージン(6以上) */
66  #define VOUT_IO_DFLINE         127 /* 入力周期と表示周期の差分ライン数 */
67                                     /* = VIN_INPUT_HEIGHT - (VOUT_DISP_SZ_Y * (0.045/0.064)) */
68  #define VOUT_LINEBUF_NUM       (VOUT_IO_DFLINE + VOUT_BUF_MARGIN) /* ラインバッファのライン数 */
69  #define VOUT_LINE_OFFSET       ((VOUT_DISP_SZ_X * BYTES_PER_PIXEL) + 15) & 0xFFFFFFFF0ul
70                                     /* 1ライン当たりのバイト数 */
71  #define VOUT_DISP_POS_Y        80 /* 垂直方向の映像表示開始位置(パネル最上部から) */
72  #define VOUT_DISP_POS_X        0 /* 水平方向の映像表示開始位置(パネル最左部から) */
73  #define VOUT_DISP_POS_IO_DF    56 /* VOUT_DISP_POS_Yを入力映像のライン数に換算した値 */
74                                     /* = VOUT_DISP_POS_Y * (0.045/0.064) */
75
76  /* ---- TFT液晶表示モジュールパラメータ ---- */
77  #define TFT_TOTAL_SZ_V         327 /* 帰線期間を含めた垂直方向ライン数 */
78  #define TFT_TOTAL_SZ_H         273 /* 帰線期間を含めた水平方向ピクセル数 */
79  #define TFT_DISP_SZ_V          320 /* 垂直ディスプレイ有効区間 */
80  #define TFT_DISP_SZ_H          240 /* 水平ディスプレイ有効区間 */
81  #define TFT_VSYNC_WDTH         1 /* LCD_VSYNCのパルス幅(ライン) */
82  #define TFT_HSYNC_WDTH         5 /* LCD_HSYNCのパルス幅(ピクセル) */
83  #define TFT_DE_START_V         1 /* 基準Vsyncから有効区間までのライン数 */
84  #define TFT_DE_START_H         (TFT_TOTAL_SZ_H - 251)
85                                     /* 基準Hsyncから有効区間までのピクセル数 */
86
87  /*****
88  Imported global variables and functions (from other files)
89  *****/
90  /* ==== Global functions ==== */
91  extern void io_vdc3_init(void);
92
93  /* ==== Global variables ==== */
94  extern unsigned short
95  video_line_buffer[VOUT_LINEBUF_NUM][VOUT_LINE_OFFSET/BYTES_PER_PIXEL];
96  /* End of File */

```

4. 参考ドキュメント

- ソフトウェアマニュアル
SH-2A、SH2A-FPU ソフトウェアマニュアル Rev.3.00
(最新版をルネサスエレクトロニクスのホームページから入手してください。)
- ハードウェアマニュアル
SH7262 グループ、SH7264 グループ ハードウェアマニュアル Rev.2.00
(最新版をルネサスエレクトロニクスのホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/inquiry>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.02.06	—	初版発行
1.01	2010.01.19	20	図 15 注意事項追加、誤記修正
		22	参考プログラムについての補足を追加（640KB 版に対応）
		27	PGCR7 への書き込み方法を修正
		23~29	ヘッダファイルのフォーマット変更
1.02	2011.03.23	18~33	ソースコードの構成を変更

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連して発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続きを行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/inquiry>