

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

SH7262/SH7264 グループ

初期設定例

要旨

本アプリケーションノートは、SH7262/SH7264 を起動する際に必要な設定項目の例について説明します。

動作確認デバイス

SH7262/SH7264

以下、総称して「SH7264」として説明します。

目次

1. はじめに.....	2
2. 応用例の説明.....	3
3. 参考プログラムリスト.....	7
4. 参考ドキュメント.....	28

1. はじめに

1.1 仕様

リセット解除後に、クロックパルス発振器 (CPG)、バスステートコントローラ (BSC)、ピンファンクションコントローラ (PFC)、およびキャッシュの初期設定を行います。

1.2 使用機能

- クロックパルス発振器 (CPG)
- バスステートコントローラ (BSC)
- ピンファンクションコントローラ (PFC)
- キャッシュ

1.3 適用条件

マイコン	SH7262/SH7264
動作周波数	内部クロック : 144 MHz バスクロック : 72 MHz 周辺クロック : 36 MHz
統合開発環境	ルネサステクノロジ製 High-performance Embedded Workshop Ver.4.07.00
C コンパイラ	ルネサステクノロジ製 SuperH RISC engine ファミリ C/C++コンパイラパッケージ Ver.9.03 Release00
コンパイルオプション	High-performance Embedded Workshop でのデフォルト設定 (-cpu=sh2afpu -fpu=single -object="\$(CONFIGDIR)¥\$(FILELEAF).obj" -debug -gbr=auto -chgincpath -errorpath -global_volatile=0 -opt_range=all -infinite_loop=0 -del_vacant_loop=0 -struct_alloc=1 -nologo)

1.4 関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。合わせて参照してください。

- SH7262/SH7264 グループ SDRAM インタフェース設定例
- SH7262/SH7264 グループ NOR フラッシュメモリ接続例

2. 応用例の説明

C 言語で作成されたメイン関数を実行するためには、パワーオンリセット後に、メモリの初期化など最低限のハードウェア初期化処理を行う初期設定プログラムが必要です。本アプリケーションノートでは初期設定プログラムにおける初期設定例を説明します。

SH7264 の各アプリケーションノートでは、本アプリケーションノートで説明する参考プログラムを初期設定プログラムとして使用することを前提としています。

2.1 参考プログラムの説明

初期設定プログラムは、PowerON_Reset_PC 関数が記述された `resetprg.c` と、H/W 初期化関数が記述された `hwsetup.c` などの複数のソースファイルで構成されています。主要なソースファイルは以下の通りです。

- `resetprg.c`
`resetprg.c`は、High-performance Embedded Workshopの自動生成ファイルを元に作成したもので、PowerON_Reset_PC関数が記述されています。PowerON_Reset_PC関数とは、リセット解除後最初に行われる関数で、`vecttbl.c`で定義するリセットベクタに関数の先頭アドレスが設定されています。図 1にPowerON_Reset_PC関数のフローを示します。
- `hwsetup.c`
`hwsetup.c`は、PowerON_Reset_PC関数からコールされるHardwareSetup関数が記述されています。HardwareSetup関数は、クロックパルス発振器(CPG)、バスステートコントローラ(BSC)、キャッシュを設定する関数をコールして、システムに最低限必要なハードウェア設定を行います。図 2にHardwareSetup関数の処理フローを示します。

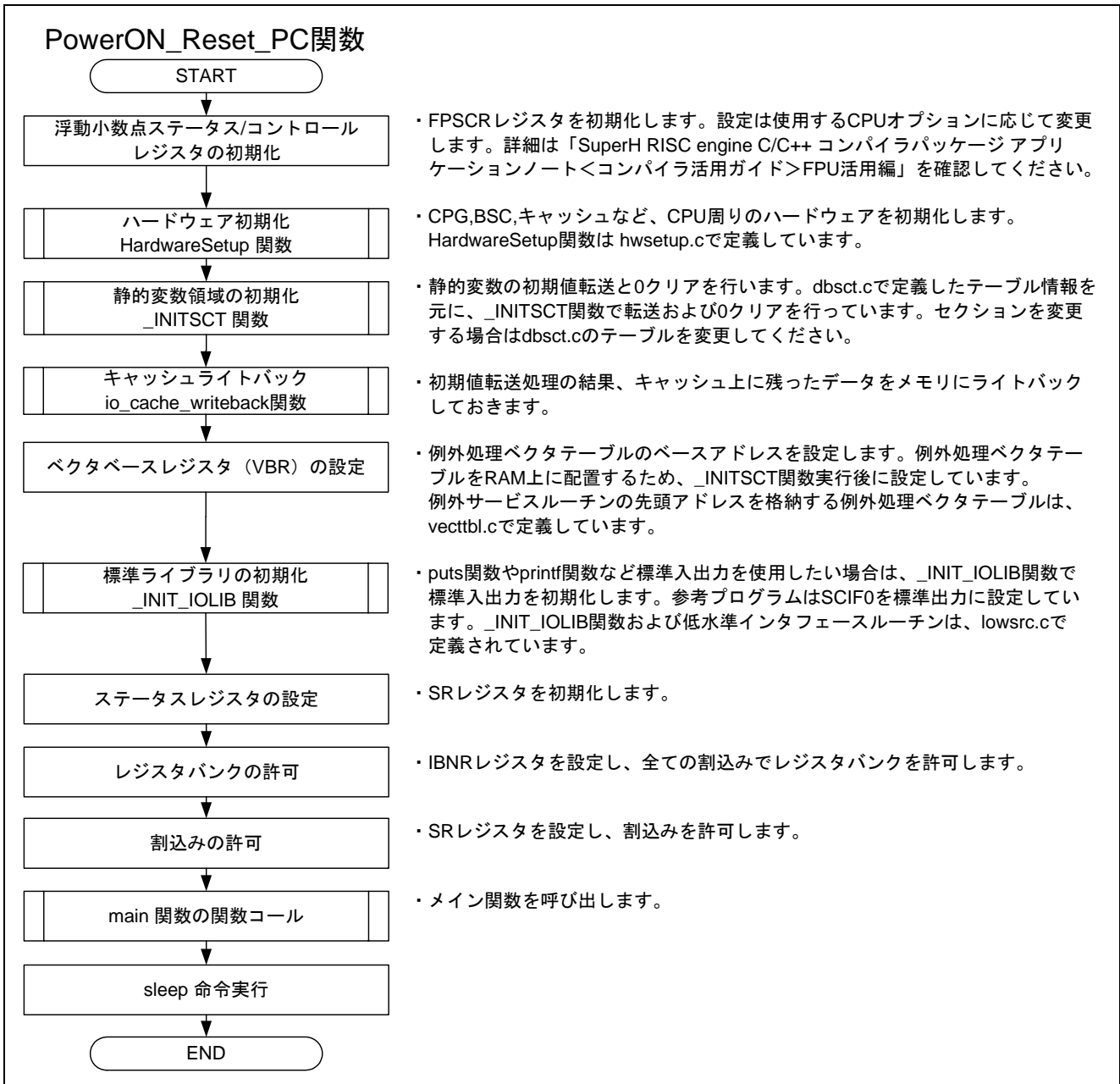


図1 リセットプログラムの処理フロー

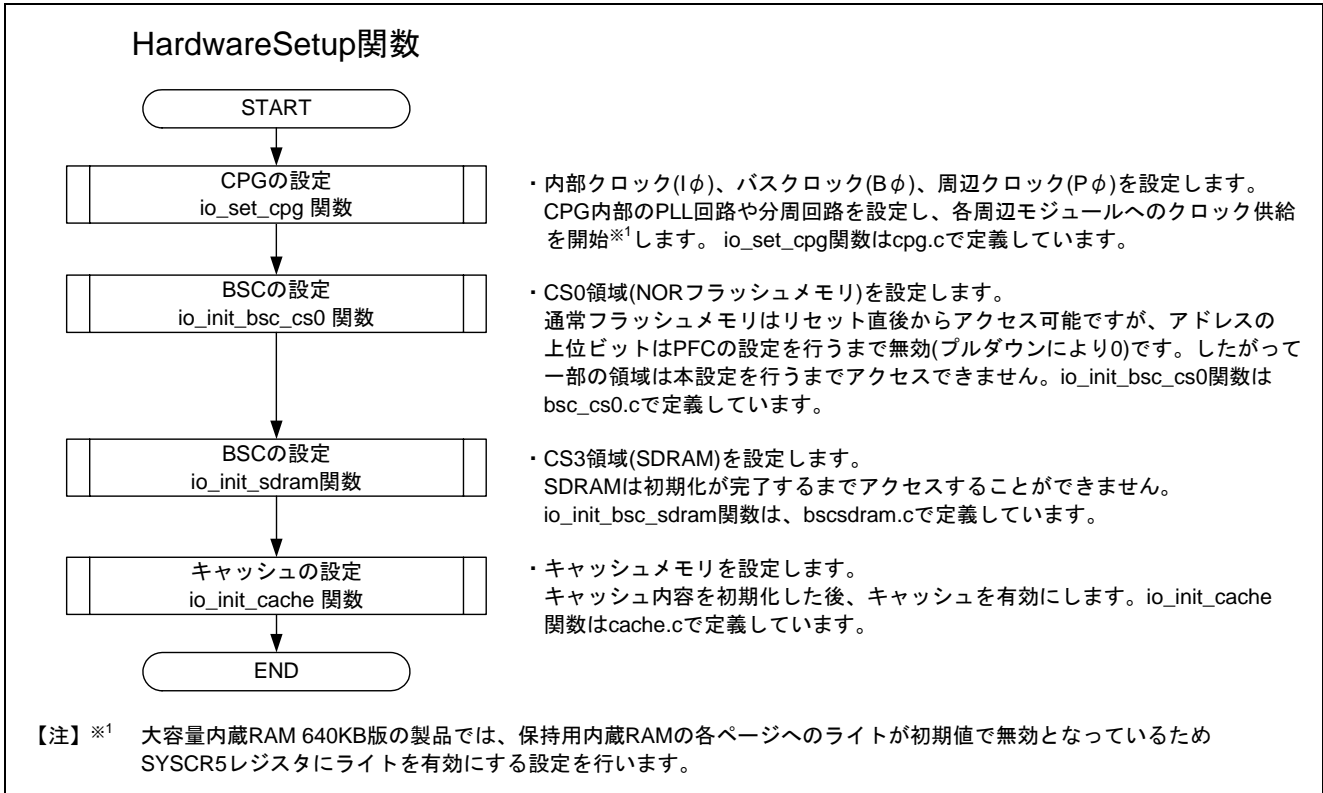


図2 ハードウェア初期化関数の処理フロー

2.2 参考プログラムにおける設定内容

表 1に参考プログラムでの設定を示します。

表1 参考プログラムでの設定

モジュール	設定内容
FPU	単精度 0 方向への丸め誤差
CPG	内部クロック : 144MHz バスクロック : 72MHz 周辺クロック : 36MHz (Clockin = 18MHz) 各周辺モジュールへのクロック供給を開始 保持用内蔵 RAM へのライトプロテクトを解除(640KB 版のみ)
BSC	CS0 : フラッシュメモリ データバス幅 : 16 ビット アクセスウェイトサイクル数 : 6 サイクル CS3 : SDRAM データバス幅 : 16 ビット ロウアドレスビット : 12 ビット カラムアドレスビット : 9 ビット CAS レイテンシ : 2 サイクル
PFC	CS0 および CS3 で使用するアドレスバス、データバス、およびバス制御端子を設定
キャッシュ	命令キャッシュ有効 オペランドキャッシュ有効
SCIF	標準出力として設定 ・チャンネル 0 ・非同期/データ 8 ビット/パリティなし/1 ストップビット ・57600bps

2.3 参考プログラム使用時の注意点

- SDRAM へのアクセスは初期化後に行ってください。
参考プログラムは、HardwareSetup 関数でバスステートコントローラを初期化した後に、SDRAM 上の領域を使用しています。初期化されていない SDRAM を使用した場合は正常に動作しませんのでご注意ください。
- スタック領域である S セクションは SDRAM 上に配置しないでください。
スタックポインタ(R15)の初期値は、リセットベクタに設定されている値(S セクションの最終番地+1)が設定されます。参考プログラムは S セクションを内蔵メモリ上に配置していますが、SDRAM 上に配置すると初期設定プログラム内の関数実行時に、初期化されていない SDRAM にアクセスしてしまいます。
- 静的変数領域へのアクセスは_INITSCT 関数実行後に行ってください。
C 言語の静的変数領域は、_INITSCT 関数の実行によって初期化されます。それ以前にアクセスした場合は値が不定となりますのでご注意ください。

3. 参考プログラムリスト

3.1 参考プログラムについての補足

SH7264 は、製品によって大容量内蔵 RAM の容量が 1MB または 640KB と異なるため、参考プログラムのセクション配置やレジスタの設定を一部変更する必要があります。そのため本アプリケーションノートでは 1MB 用と 640KB 用の 2 つのワークスペースを用意しています。

640KB 版はライトプロテクトを解除しなければ保持用内蔵 RAM へ書き込むことができないため、640KB 版のワークスペースは、システムコントロールレジスタ 5 (SYSCR5) にライトプロテクトの解除を設定しています。

使用する製品を確認した上で、対応するワークスペースを使用してください。

3.2 サンプルプログラムリスト"resetprg.c" (1)

```

1  /*****
2  *  DISCLAIMER
3  *
4  *  This software is supplied by Renesas Technology Corp. and is only
5  *  intended for use with Renesas products. No other uses are authorized.
6  *
7  *  This software is owned by Renesas Technology Corp. and is protected under
8  *  all applicable laws, including copyright laws.
9  *
10 *  THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 *  REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 *  INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 *  PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 *  DISCLAIMED.
15 *
16 *  TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 *  TECHNOLOGY CORP. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 *  FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 *  FOR ANY REASON RELATED TO THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 *  AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21 *
22 *  Renesas reserves the right, without notice, to make changes to this
23 *  software and to discontinue the availability of this software.
24 *  By using this software, you agree to the additional terms and
25 *  conditions found by accessing the following link:
26 *  http://www.renesas.com/disclaimer
27 *****/
28 *  Copyright (C) 2008(2009). Renesas Technology Corp., All Rights Reserved.
29 *  "FILE COMMENT"***** Technical reference data *****
30 *  System Name : SH7264 Sample Program
31 *  File Name   : resetprg.c
32 *  Abstract    : Reset Program
33 *  Version     : 1.01.00
34 *  Device      : SH7262/SH7264
35 *  Tool-Chain  : High-performance Embedded Workshop (Ver.4.07.00).
36 *               : C/C++ compiler package for the SuperH RISC engine family
37 *               :                               (Ver.9.03 Release00).
38 *  OS          : None
39 *  H/W Platform: M3A-HS64G50(CPU board)
40 *  Description :
41 *****/
42 *  History     : Dec.03,2008 Ver.1.00.00
43 *               : Jun.29,2009 Ver.1.01.00 Changed FILE FORMAT
44 *  "FILE COMMENT END"*****/
    
```

3.3 サンプルプログラムリスト"resetprg.c" (2)

```

45  #include <machine.h>
46  #include <_h_c_lib.h>
47  #include "stacksct.h"
48  #include "iodefine.h"
49
50  #define FPSCR_Init    0x00040001
51
52  #define SR_Init      0x000000F0
53  #define INT_OFFSET  0x10
54
55  extern unsigned int INT_Vectors;
56  void PowerON_Reset_PC(void);
57  void Manual_Reset_PC(void);
58
59  extern void main(void);
60  extern void HardwareSetup(void);
61  extern void io_cache_writeback(void);
62  extern void _INIT_IOLIB(void);
63
64
65
66  //extern void srand(unsigned int);    // Remove the comment when you use rand()
67  //extern char *_slpstr;                // Remove the comment when you use strtok()
68
69  /*==== Switch section name to ResetPRG ====*/
70  #pragma section ResetPRG
71
72  /*==== Specify the entry function ====*/
73  #pragma entry PowerON_Reset_PC
74
75  /*"FUNC COMMENT"*****
76  * ID          :
77  * Outline     : CPU initialization function
78  *-----
79  * Include     : iodefine.h
80  *-----
81  * Declaration : void PowerON_Reset_PC(void);
82  *-----
83  * Description : It is the CPU initialization process to register the power on
84  *              : reset exception vector table.
85  *              : This function is firstly executed after power on reset.
86  *              : Enable the processes that are commented depending on its needs.
87  *-----
88  * Argument    : void
89  *-----
90  * Return Value : void
91  *-----
92  * Note        : None
93  *"FUNC COMMENT END"*****

```

3.4 サンプルプログラムリスト"resetprg.c" (3)

```

94 void PowerON_Reset_PC(void)
95 {
96     set_fpscr(FPSCR_Init);
97
98     /*==== HardwareSetup function====*/
99     HardwareSetup();          // Use Hardware Setup
100
101     /*==== B and D sections initialization ====*/
102     _INIT_SCT();
103     io_cache_writeback();
104
105     /*==== Vector base register (VBR) setting ====*/
106     set_vbr((void *)((char *)&INT_Vectors - INT_OFFSET));
107
108     _INIT_IOLIB();           // Use stdio I/O
109
110     //errno=0;                // Remove the comment when you use errno
111     //srand(1);               // Remove the comment when you use rand()
112     //_slp_ptr=NULL;          // Remove the comment when you use strtok()
113
114     /*==== Status register setting ====*/
115     set_cr(SR_Init);
116     nop();
117
118     /* ==== Bank number register setting ==== */
119     INTC.IBNR.BIT.BE = 0x01; /* Use the register bank in all interrupts */
120
121     /* ==== Interrupt mask level change ==== */
122     set_imask(0);
123
124     /*==== Function call of main function ====*/
125     main();
126
127     /*==== sleep instruction execution ====*/
128     sleep();
129 }
130

```

以下、省略

3.5 サンプルプログラムリスト"hwsetup.c" (1)

```

1  /*****
2  *  DISCLAIMER
3  *
4  *  This software is supplied by Renesas Technology Corp. and is only
5  *  intended for use with Renesas products. No other uses are authorized.
6  *
7  *  This software is owned by Renesas Technology Corp. and is protected under
8  *  all applicable laws, including copyright laws.
9  *
10 *  THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 *  REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 *  INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 *  PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 *  DISCLAIMED.
15 *
16 *  TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 *  TECHNOLOGY CORP. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 *  FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 *  FOR ANY REASON RELATED TO THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 *  AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21 *
22 *  Renesas reserves the right, without notice, to make changes to this
23 *  software and to discontinue the availability of this software.
24 *  By using this software, you agree to the additional terms and
25 *  conditions found by accessing the following link:
26 *  http://www.renesas.com/disclaimer
27 *****/
28 *  Copyright (C) 2009. Renesas Technology Corp., All Rights Reserved.
29 *  "FILE COMMENT"***** Technical reference data *****
30 *  System Name : SH7264 Sample Program
31 *  File Name   : hwsetup.c
32 *  Abstract    : Hardware initialization function
33 *  Version     : 1.01.00
34 *  Device      : SH7262/SH7264
35 *  Tool-Chain  : High-performance Embedded Workshop (Ver.4.07.00).
36 *              : C/C++ compiler package for the SuperH RISC engine family
37 *              :                               (Ver.9.03 Release00).
38 *  OS          : None
39 *  H/W Platform: M3A-HS64G50(CPU board)
40 *  Description :
41 *****/
42 *  History     : Jan.13,2009 Ver.1.00.00
43 *              : Jun.29,2009 Ver.1.01.00 Changed FILE FORMAT
44 *  "FILE COMMENT END"*****/
45 #include "iodefine.h"
    
```

3.6 サンプルプログラムリスト"hwsetup.c" (2)

```

46  /* ==== Prototype declaration ==== */
47  void HardwareSetup(void);
48
49  /* ==== referenced external Prototype declaration ==== */
50  extern void io_set_cpg(void);
51  extern void io_init_bsc_cs0(void);
52  extern void io_init_sdram(void);
53  extern void io_init_cache(void);
54  static void init_puram_section(void);
55  void set_acswr(void);
56
57  #pragma section ResetPRG
58  /*"FUNC COMMENT"*****
59  * ID          :
60  * Outline     : Hardware initialization function
61  *-----
62  * Include     : iodef.h
63  *-----
64  * Declaration : void HardwareSetup(void);
65  *-----
66  * Description : The initial settings of CPG, PFC, and BSC (Flash memory
67  *              : access control and SDRAM initialization) are processed.
68  *-----
69  * Argument    : void
70  *-----
71  * Return Value : void
72  *-----
73  * Note        : None
74  *"FUNC COMMENT END"*****
75  void HardwareSetup(void)
76  {
77      /*====CPG setting====*/
78      io_set_cpg();
79
80      /*====CS0 initialization====*/
81      io_init_bsc_cs0();
82
83      /*====SDRAM area initialization====*/
84      /* ---- Switches AC characteristics ---- */
85      init_puram_section();
86      set_acswr();
87
88      io_init_sdram();
89
90      /*====Cache setting====*/
91      io_init_cache();
92  }
93

```

3.7 サンプルプログラムリスト"hwsetup.c" (3)

```

94  /*"FUNC COMMENT"*****
95  * ID      :
96  * Outline : URAM section transfer from ROM to internal RAM
97  *-----
98  * Include : iodef.h
99  *-----
100 * Declaration : static void init_puram_section(void);
101 *-----
102 * Description : Transfers the program in the URAM section from
103 *              : ROM to internal RAM.
104 *              : Transfer must be executed before setting the SDRAM.
105 *              : This function transfers the URAM section separately before
106 *              : initializing other sections.
107 *-----
108 * Argument  : void
109 *-----
110 * Return Value : void
111 *-----
112 * Note      : None
113 *"FUNC COMMENT END"*****/
114 static void init_puram_section(void)
115 {
116     unsigned long *src, *end, *dst;
117
118     src = (unsigned long *)__sectop("PURAM");
119     end = (unsigned long *)__secend("PURAM");
120     dst = (unsigned long *)__sectop("RPURAM");
121
122     while(src < end){
123         *dst++ = *src++;
124     }
125 }
126

```

3.8 サンプルプログラムリスト"hwsetup.c" (4)

```

127 #pragma section URAM
128 /*"FUNC COMMENT"*****
129 * ID      :
130 * Outline : AC characteristics switch function
131 *-----
132 * Include : iodef.h
133 *-----
134 * Declaration : void set_acswr(void);
135 *-----
136 * Description : Extends the AC characteristics delay time.
137 *-----
138 * Argument   : void
139 *-----
140 * Return Value : void
141 *-----
142 * Note       : None
143 *"FUNC COMMENT END"*****/
144 void set_acswr(void)
145 {
146     volatile unsigned long reg;
147
148     /* ==== Sequence to write to the ACSWR register ==== */
149     do{
150         BSC.ACKEYR = 0;
151         BSC.ACKEYR = 0;
152         BSC.ACSWR.LONG = 0x2;          /* Extends the delay time */
153     }while(BSC.ACSWR.LONG != 0x2 ); /* Checks ACSWR register correctly written */
154
155 }
156
157 /* End of File */
158

```


3.9 サンプルプログラムリスト"cpq.c" (1) (1MB 版)

```

1  /*****
2  *  DISCLAIMER
3  *
4  *  This software is supplied by Renesas Technology Corp. and is only
5  *  intended for use with Renesas products. No other uses are authorized.
6  *
7  *  This software is owned by Renesas Technology Corp. and is protected under
8  *  all applicable laws, including copyright laws.
9  *
10 *  THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 *  REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 *  INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 *  PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 *  DISCLAIMED.
15 *
16 *  TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 *  TECHNOLOGY CORP. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 *  FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 *  FOR ANY REASON RELATED TO THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 *  AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21 *
22 *  Renesas reserves the right, without notice, to make changes to this
23 *  software and to discontinue the availability of this software.
24 *  By using this software, you agree to the additional terms and
25 *  conditions found by accessing the following link:
26 *  http://www.renesas.com/disclaimer
27 *****/
28 *  Copyright (C) 2008(2009). Renesas Technology Corp., All Rights Reserved.
29 *  "FILE COMMENT"***** Technical reference data *****
30 *  System Name : SH7264 Sample Program
31 *  File Name   : cpq.c
32 *  Abstract    : CPG setting process
33 *  Version     : 1.01.00
34 *  Device      : SH7262/SH7264
35 *  Tool-Chain  : High-performance Embedded Workshop (Ver.4.07.00).
36 *               : C/C++ compiler package for the SuperH RISC engine family
37 *               :                               (Ver.9.03 Release00).
38 *  OS          : None
39 *  H/W Platform: M3A-HS64G50(CPU board)
40 *  Description :
41 *****/
42 *  History     : Oct.28,2008 Ver.1.00.00
43 *               : Jun.29,2009 Ver.1.01.00 Changed FILE FORMAT
44 *  "FILE COMMENT END"*****/
45 #include "iodefine.h"
46
47
48 /* ==== Prototype Declaration ==== */
49 void io_set_cpq(void);
    
```

3.10 サンプルプログラムリスト"cpq.c" (2) (1MB 版)

```

50 #pragma section ResetPRG
51 /*"FUNC COMMENT"*****
52  * ID          :
53  * Outline     : CPG settings
54  *-----
55  * Include     : iodefine.h
56  *-----
57  * Declaration : void io_set_cpg(void);
58  *-----
59  * Description : Clock pulse generator (CPG) is set to set to the internal clock
60  *              : (I Clock), peripheral clock (P Clock), bus clock (B Clock), and
61  *              : I Clock = 144MHz, B Clock = 72MHz, P Clock = 36MHz.
62  *              : This setting example is the case that the function's input clock
63  *              : is 18MHz and clock mode is 2.
64  *-----
65  * Argument    : void
66  *-----
67  * Return Value : void
68  *-----
69  * Note        : None
70  *"FUNC COMMENT END"*****/
71 void io_set_cpg(void)
72 {
73     /* ==== CPG Setting ==== */
74     CPG.FRQCR.WORD = 0x1003u;      /* PLL1(x8),I:B:P= 8:4:2
75                                   * CKIO:Output at time usually,Output when bus right is
76                                   * opened,output at standby"L"
77                                   * Clockin = 18MHz, CKIO = 72MHz
78                                   * I Clock = 144MHz, B Clock = 72MHz,
79                                   * P Clock = 36MHz
80                                   */
81
82
83     /* ---- The clock of all modules is permitted. ---- */
84     CPG.STBCR3.BYTE = 0x02u;      /* Port level is keep in standby mode */
85                                   /* IEBus, MTU2,SDHI0, SDHI1, A/D, [1], RTClock */
86     CPG.STBCR4.BYTE = 0x00u;      /* SCIF0, SCIF1, SCIF2, SCIF3, SCIF4, SCIF5, SCIF6, SCIF7*/
87     CPG.STBCR5.BYTE = 0x10u;      /* I2C30, I2C31, I2C32, [1], RCAN0, RCAN1, RSPI0, RSPI1 */
88     CPG.STBCR6.BYTE = 0x00u;      /* SSI0, SSI1, SSI2, SSI3, CD-ROMDEC, SRC0, SRC1, USB */
89     CPG.STBCR7.BYTE = 0x2au;      /* SIOF, RSPDIF, [1], VDC3, [1], CMT, [1], NAND */
90     CPG.STBCR8.BYTE = 0x7eu;      /* PWM, [1], [1], [1], [1], [1], [1], DECOMP */
91
92 }
93
94 /* End of File */
95

```

3.11 サンプルプログラムリスト"cpq.c" (1) (640KB 版)

```

1  /*****
2  *  DISCLAIMER
3  *
4  *  This software is supplied by Renesas Technology Corp. and is only
5  *  intended for use with Renesas products. No other uses are authorized.
6  *
7  *  This software is owned by Renesas Technology Corp. and is protected under
8  *  all applicable laws, including copyright laws.
9  *
10 *  THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 *  REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 *  INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 *  PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 *  DISCLAIMED.
15 *
16 *  TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 *  TECHNOLOGY CORP. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 *  FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 *  FOR ANY REASON RELATED TO THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 *  AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21 *
22 *  Renesas reserves the right, without notice, to make changes to this
23 *  software and to discontinue the availability of this software.
24 *  By using this software, you agree to the additional terms and
25 *  conditions found by accessing the following link:
26 *  http://www.renesas.com/disclaimer
27 *****/
28 *  Copyright (C) 2009. Renesas Technology Corp., All Rights Reserved.
29 *  "FILE COMMENT"***** Technical reference data *****
30 *  System Name : SH7264 Sample Program
31 *  File Name   : cpq.c
32 *  Abstract    : CPG setting process
33 *  Version     : 1.00.00
34 *  Device      : SH7262(640KB)/SH7264(640KB)
35 *  Tool-Chain  : High-performance Embedded Workshop (Ver.4.07.00).
36 *               : C/C++ compiler package for the SuperH RISC engine family
37 *               :                               (Ver.9.03 Release00).
38 *  OS          : None
39 *  H/W Platform: M3A-HS64G60(CPU board)
40 *  Description :
41 *****/
42 *  History     : Jun.30,2009 Ver.1.00.00
43 *  "FILE COMMENT END"*****
44 #include "iodefine.h"
45
46
47 /* ==== Prototype Declaration ==== */
48 void io_set_cpq(void);
49

```

3.12 サンプルプログラムリスト"cpq.c" (2) (640KB 版)

```

50 #pragma section ResetPRG
51 /*"FUNC COMMENT"*****
52  * ID          :
53  * Outline     : CPG settings
54  *-----
55  * Include     : iodefine.h
56  *-----
57  * Declaration : void io_set_cpg(void);
58  *-----
59  * Description : Clock pulse generator (CPG) is set to set to the internal clock
60  *              : (I Clock), peripheral clock (P Clock), bus clock (B Clock), and
61  *              : I Clock = 144MHz, B Clock = 72MHz, P Clock = 36MHz.
62  *              : This setting example is the case that the function's input clock
63  *              : is 18MHz and clock mode is 2.
64  *-----
65  * Argument    : void
66  *-----
67  * Return Value : void
68  *-----
69  * Note        : None
70  *"FUNC COMMENT END"*****/
71 void io_set_cpg(void)
72 {
73     /* ==== CPG Setting ==== */
74     CPG.FRQCR.WORD = 0x1003u;      /* PLL1(x8),I:B:P= 8:4:2
75                                   * CKIO:Output at time usually,Output when bus right is
76                                   * opened,output at standby"L"
77                                   * Clockin = 18MHz, CKIO = 72MHz
78                                   * I Clock = 144MHz, B Clock = 72MHz,
79                                   * P Clock = 36MHz
80                                   */
81
82
83     /* ---- The clock of all modules is permitted. ---- */
84     CPG.STBCR3.BYTE = 0x02u;      /* Port level is keep in standby mode */
85                                   /* IEBus, MTU2,SDHI0, SDHI1, A/D, [1], RTClock */
86     CPG.STBCR4.BYTE = 0x00u;      /* SCIF0, SCIF1, SCIF2, SCIF3, SCIF4, SCIF5, SCIF6, SCIF7*/
87     CPG.STBCR5.BYTE = 0x10u;      /* I2C30, I2C31, I2C32, [1], RCAN0, RCAN1, RSPI0, RSPI1 */
88     CPG.STBCR6.BYTE = 0x00u;      /* SSI0, SSI1, SSI2, SSI3, CD-ROMDEC, SRC0, SRC1, USB */
89     CPG.STBCR7.BYTE = 0x2au;      /* SIOF, RSPDIF, [1], VDC3, [1], CMT, [1], NAND */
90     CPG.STBCR8.BYTE = 0x7eu;      /* PWM, [1], [1], [1], [1], [1], [1], DECOMP */
91
92     /* ---- Writing to large-capacity RAM is enabled. ---- */
93     CPG.SYSCR5.BYTE = 0x0fu;
94
95 }
96
97 /* End of File */
    
```

3.13 サンプルプログラムリスト"bsc_cs0.c" (1)

```

1  /*****
2  *  DISCLAIMER
3  *
4  *  This software is supplied by Renesas Technology Corp. and is only
5  *  intended for use with Renesas products. No other uses are authorized.
6  *
7  *  This software is owned by Renesas Technology Corp. and is protected under
8  *  all applicable laws, including copyright laws.
9  *
10 *  THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 *  REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 *  INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 *  PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 *  DISCLAIMED.
15 *
16 *  TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 *  TECHNOLOGY CORP. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 *  FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 *  FOR ANY REASON RELATED TO THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 *  AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21 *
22 *  Renesas reserves the right, without notice, to make changes to this
23 *  software and to discontinue the availability of this software.
24 *  By using this software, you agree to the additional terms and
25 *  conditions found by accessing the following link:
26 *  http://www.renesas.com/disclaimer
27 *****/
28 *  Copyright (C) 2008(2009). Renesas Technology Corp., All Rights Reserved.
29 *  "FILE COMMENT"***** Technical reference data *****
30 *  System Name : SH7264 Sample Program
31 *  File Name   : bsc_cs0.c
32 *  Abstract    : SH7264 Initial Settings
33 *  Version     : 1.01.00
34 *  Device      : SH7262/SH7264
35 *  Tool-Chain  : High-performance Embedded Workshop (Ver.4.07.00).
36 *              : C/C++ compiler package for the SuperH RISC engine family
37 *              :                      (Ver.9.03 Release00).
38 *  OS          : None
39 *  H/W Platform: M3A-HS64G50(CPU board)
40 *  Description :
41 *****/
42 *  History     : Dec.11,2008 Ver.1.00.00
43 *              : Jun.29,2009 Ver.1.01.00 Changed FILE FORMAT
44 *  "FILE COMMENT END"*****/
45 #include "iodefine.h"
46
47
48 /* CS0 PAGEMODE setting */
49 //#define PAGEMODE
50
51 /* ==== Prototype Declaration ==== */
52 void io_init_bsc_cs0(void);
    
```

3.14 サンプルプログラムリスト"bsc_cs0.c" (2)

```

53  #pragma section ResetPRG
54  /*****"FUNC COMMENT"*****
55  * ID      :
56  * Outline : CS0 setting
57  *-----
58  * Include : iodef.h
59  *-----
60  * Declaration : void io_init_bsc_cs0(void);
61  *-----
62  * Description : Pin function controller (PFC) and bus state controller (BSC)
63  *              : are set, and the access timing to the Flash Memory of CS0 space
64  *              : is set.
65  *              : The PFC setting is set by bit manipulation not to change the PFC
66  *              : set value which is set by other process.
67  *-----
68  * Argument  : void
69  *-----
70  * Return Value : void
71  *-----
72  * Note      : None
73  *****/
74  void io_init_bsc_cs0(void)
75  {
76      /* ==== PFC settings ==== */
77      PORT.PBCR5.BIT.PB21MD = 1u; /* Set A21 */
78      PORT.PBCR5.BIT.PB20MD = 1u; /* Set A20 */
79      PORT.PCCR0.BIT.PC3MD  = 1u; /* Set WE0# */
80
81
82      #ifdef PAGEMODE
83
84          /* ==== CS0WCR settings ==== */
85          BSC.CS0WCR.BROM_ASY.LONG = 0x002303c0ul;
86                                  /* Number of Burst: 4-4 or 2-4-2      */
87                                  /* Number of Burst Wait Cycles: 3 cycles */
88                                  /* Number of Access Wait Cycles: 8 cycles */
89
90
91
92          /* ==== CS0BCR settings ==== */
93          BSC.CS0BCR.LONG = 0x30001400ul;
94                                  /* Idle Cycles between Write-read Cycles */
95                                  /* and Write-write Cycles: 4 idle cycles */
96                                  /* Type: Burst ROM (ASY) */
97                                  /* Data Bus Size: 16-bit */
98
99      #else /* PAGEMODE */
100

```

3.15 サンプルプログラムリスト"bsc_cs0.c" (3)

```

101
102     /* ==== CS0WCR settings ==== */
103     BSC.CS0WCR.NORMAL.LONG = 0x00000b41ul;
104                                     /* Number of Delay Cycles from Address, */
105                                     /* CS0# Assertion to RD#,WEn Assertion */
106                                     /* : 1.5 cycles */
107                                     /* Number of Access Wait Cycles: 6 cycles */
108                                     /* Delay Cycles from RD,WEn# negation to */
109                                     /* Address,CSn# negation: 1.5 cycles */
110
111
112     /* ==== CS0BCR settings ==== */
113     BSC.CS0BCR.LONG = 0x12400400ul;
114                                     /* Idle Cycles between Write-read Cycles */
115                                     /* and Write-write Cycles : 1 idle cycle */
116                                     /* and read-write Cycles : 1 idle cycle */
117                                     /* Data Bus Size: 16-bit */
118
119     #endif /* PAGEMODE */
120 }
121
122     /* End of File */
123
    
```

3.16 サンプルプログラムリスト"bcsdram.c" (1)

```

1  /*****
2  *  DISCLAIMER
3  *
4  *  This software is supplied by Renesas Technology Corp. and is only
5  *  intended for use with Renesas products. No other uses are authorized.
6  *
7  *  This software is owned by Renesas Technology Corp. and is protected under
8  *  all applicable laws, including copyright laws.
9  *
10 *  THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 *  REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 *  INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 *  PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 *  DISCLAIMED.
15 *
16 *  TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 *  TECHNOLOGY CORP. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 *  FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 *  FOR ANY REASON RELATED TO THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 *  AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21 *
22 *  Renesas reserves the right, without notice, to make changes to this
23 *  software and to discontinue the availability of this software.
24 *  By using this software, you agree to the additional terms and
25 *  conditions found by accessing the following link:
26 *  http://www.renesas.com/disclaimer
27 *****/
28 *  Copyright (C) 2008(2009). Renesas Technology Corp., All Rights Reserved.
29 *"FILE COMMENT"***** Technical reference data *****
30 *  System Name : SH7264 Sample Program
31 *  File Name   : bcsdram.c
32 *  Abstract    : SH7264 Initial Settings
33 *  Version     : 1.01.00
34 *  Device      : SH7262/SH7264
35 *  Tool-Chain  : High-performance Embedded Workshop (Ver.4.07.00).
36 *              : C/C++ compiler package for the SuperH RISC engine family
37 *              :                      (Ver.9.03 Release00).
38 *  OS          : None
39 *  H/W Platform: M3A-HS64G50(CPU board)
40 *  Description :
41 *****/
42 *  History     : Feb.02,2008 Ver.1.00.00
43 *              : Jun.29,2009 Ver.1.01.00 Changed FILE FORMAT
44 *"FILE COMMENT END"*****/
45 #include "iodefine.h"
46
47 /* ==== Macro name definition ==== */
48 /* The address when writing in a SDRAM mode register */
49 #define SDRAM_MODE      (*(volatile unsigned short *)0xfffc5040)
50
51 /* ==== Prototype Declaration ==== */
52 void io_init_sdram(void);
    
```


3.17 サンプルプログラムリスト"bscsdram.c" (2)

```

53 #pragma section ResetPRG
54 /*"FUNC COMMENT"*****
55 * ID      :
56 * Outline : SDRAM 16 bit bus width connection settings
57 *-----
58 * Include : iodefine.h
59 *-----
60 * Declaration : void io_init_sdram(void);
61 *-----
62 * Description : A connection setup to SDRAM of CS3 space.
63 *             : The PFC setting is set by bit manipulation not to change the PFC
64 *             : set value which is set by other process.
65 *-----
66 * Argument  : void
67 *-----
68 * Return Value : void
69 *-----
70 * Note      : None
71 *"FUNC COMMENT END"*****
72 void io_init_sdram(void)
73 {
74     volatile int j = 133;          /* 200usec wait count */
75
76     /* ==== PFC settings ==== */
77     PORT.PCCR2.BIT.PC8MD = 1u;    /* CS3#    */
78     PORT.PCCR1.BIT.PC7MD = 1u;    /* CKE     */
79     PORT.PCCR1.BIT.PC6MD = 1u;    /* CAS#    */
80     PORT.PCCR1.BIT.PC5MD = 1u;    /* RAS#    */
81     PORT.PCCR1.BIT.PC4MD = 1u;    /* DQMU#   */
82     PORT.PCCR0.BIT.PC3MD = 1u;    /* DQML#   */
83     PORT.PCCR0.BIT.PC2MD = 1u;    /* RD/WR#  */
84
85     /* ==== 200us interval elapsed ? ==== */
86     while(j-- > 0){
87         /* wait */
88     }
89
90     /* ==== CS3BCR settings ==== */
91     BSC.CS3BCR.LONG = 0x00004400ul;
92
93     /*
94     Idle Cycles between Write-read Cycles
95     and Write-write Cycles : 0 idle cycles
96     Memory type :SDRAM
97     Data Bus Size : 16-bit
98     */

```

3.18 サンプルプログラムリスト"bscsdram.c" (3)

```

99     /* ==== CS3WCR settings ==== */
100     BSC.CS3WCR.SDRAM.LONG = 0x0000288aul;
101     /*
102         Precharge completion wait cycles: 1 cycle
103         Wait cycles between ACTV command
104         and READ(A)/WRITE(A) command : 2 cycles
105         CAS latency for Area 3 : 2 cycles
106         Auto-precharge startup wait cycles : 1 cycle
107         Idle cycles from REF command/self-refresh
108         Release to ACTV/REF/MRS command
109         : 5 cycles
110     */
111
112
113     /* ==== SDCR settings ==== */
114     BSC.SDCR.LONG = 0x00000809ul;
115     /*
116         Refresh Control :Refresh
117         RMODE :Auto-refresh is performed
118         BACTV :Auto-precharge mode
119         Row address for Area 3 : 12-bit
120         Column Address for Area 3 : 9-bit
121     */
122
123     /* ==== RTCOR settings ==== */
124     BSC.RTCOR.LONG = 0xa55a0046ul; /*
125         15.625us/222ns
126         = 70(0x46)cycles per refresh
127     */
128
129
130
131
132     /* ==== RTCSR settings ==== */
133     BSC.RTCSR.LONG = 0xa55a0010ul;
134     /*
135         Initialization sequence start
136         Clock select B-phy/16
137         Refresh count :Once
138     */
139
140     /* ==== Written in SDRAM Mode Register ==== */
141     SDRAM_MODE = 0; /*
142         The writing data is arbitrary
143         SDRAM mode register setting CS3 space
144         Burst read (burst length 1)./Burst write
145     */
146 }
147
148 /* End of File */
    
```

3.19 サンプルプログラムリスト"cache.c" (1)

```

1      /*****
2      *   DISCLAIMER
3      *
4      *   This software is supplied by Renesas Technology Corp. and is only
5      *   intended for use with Renesas products. No other uses are authorized.
6      *
7      *   This software is owned by Renesas Technology Corp. and is protected under
8      *   all applicable laws, including copyright laws.
9      *
10     *   THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11     *   REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12     *   INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13     *   PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14     *   DISCLAIMED.
15     *
16     *   TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17     *   TECHNOLOGY CORP. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18     *   FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19     *   FOR ANY REASON RELATED TO THIS SOFTWARE, EVEN IF RENESAS OR ITS
20     *   AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21     *
22     *   Renesas reserves the right, without notice, to make changes to this
23     *   software and to discontinue the availability of this software.
24     *   By using this software, you agree to the additional terms and
25     *   conditions found by accessing the following link:
26     *   http://www.renesas.com/disclaimer
27     *****/
28     *   Copyright (C) 2008(2009). Renesas Technology Corp., All Rights Reserved.
29     *   "FILE COMMENT" ***** Technical reference data *****
30     *   System Name : SH7264 Sample Program
31     *   File Name   : cache.c
32     *   Abstract    : sample of cache register
33     *   Version     : 1.01.00
34     *   Device      : SH7262/SH7264
35     *   Tool-Chain  : High-performance Embedded Workshop (Ver.4.07.00).
36     *                 : C/C++ compiler package for the SuperH RISC engine family
37     *                 :                 (Ver.9.03 Release00).
38     *   OS          : None
39     *   H/W Platform: M3A-HS64G50(CPU board)
40     *   Description :
41     *****/
42     *   History     : Dec.03,2008 Ver.1.00.00
43     *                 : Jun.29,2009 Ver.1.01.00 Changed FILE FORMAT
44     *   "FILE COMMENT END" *****/
45     #include <machine.h>
46     #include "iodefine.h"
47
48
49     /* ==== Prototype Declaration ==== */
50     void io_init_cache(void);
51     int io_cache_writeback(void);
    
```

3.20 サンプルプログラムリスト"cache.c" (2)

```

52  #pragma section CACHE      /* It is placed in the CS0 cache-disabled space */
53  /*"FUNC COMMENT"*****
54  * ID          :
55  * Outline    : Cache initialization
56  *-----
57  * Include    : iodefne.h
58  *-----
59  * Declaration : void io_init_cache(void);
60  *-----
61  * Description : Instruction/operand cache are flushed and enabled.
62  *             : The section name of this function is changed to be placed in
63  *             : the cache-disabled.
64  *             : When this function is used only in the state of interrupt level 15,
65  *             : the setting and clearing of interrupt mask need not be processed.
66  *-----
67  * Argument   : void
68  *-----
69  * Return Value : void
70  *-----
71  * Note       : None
72  *"FUNC COMMENT END"*****/
73  void io_init_cache(void)
74  {
75      volatile unsigned long reg;
76      int mask;
77
78      /* ==== Interrupt mask setting ==== */
79      mask = get_imask();
80      set_imask(15);          /* Set to the level 15 */
81
82      /* ==== Cache register setting ==== */
83      CCNT.CCR1.LONG = 0x0909ul; /* Write back ON */
84
85                          /*
86                          ICF=1:Instruction cache flushed
87                          ICE=1:Instruction cache enabled
88                          OCF=1:Operand cache flushed
89                          OCE=1:Operand cache enabled
90                          */
91      /* ==== Reading cache register ==== */
92      reg = CCNT.CCR1.LONG ;
93
94      /* ==== Clearing interrupt mask ==== */
95      set_imask(mask);      /* Set to the original level */
96
97  }
98

```

3.21 サンプルプログラムリスト"cache.c" (3)

```

99  /*"FUNC COMMENT"*****
100  * ID      :
101  * Outline : Write-back of cache
102  *-----
103  * Include : iodef.h
104  *-----
105  * Declaration : int io_cache_writeback(void);
106  *-----
107  * Description : All lines of operand cache are disabled, and the contents of
108  *              : cache memory are written back to the external memory.
109  *              : It has nothing to do with the write-through mode.
110  *-----
111  * Argument  : void
112  *-----
113  * Return Value : 0 : Normal completion
114  *-----
115  * Note       : None
116  *"FUNC COMMENT END"*****/
117  int io_cache_writeback(void)
118  {
119      volatile unsigned long *array;
120      unsigned int i,j;
121      int mask;
122
123      /* ==== Interrupt mask setting ==== */
124      mask = get_imask();
125      set_imask(15);          /* Set to the level 15 */
126
127      /* ==== All entries disabled ==== */
128      for(i=0u; i <4u; i++){
129          for(j=0u; j < 128u; j++){
130              /* ---- Creating an address array address ---- */
131              array = (volatile unsigned long *) (0xf0800000 | (i<<11) | (j<<4));
132              /* ---- Write U=0 and V=0 in the address array ---- */
133              *array &= 0xfffffffcul;    /* V=0,U=0 */
134          }
135      }
136
137      /* ==== Interrupt mask recovery ==== */
138      set_imask(mask);          /* Set to the original level */
139
140      return 0;
141  }
142
143
144  /* End of File */
145

```

4. 参考ドキュメント

- ソフトウェアマニュアル
SH-2A/SH-2A-FPU ソフトウェアマニュアル Rev.3.00
(最新版をルネサス テクノロジホームページから入手してください。)
- ハードウェアマニュアル
SH7262 グループ、SH7264 グループ ハードウェアマニュアル Rev.2.00
(最新版をルネサス テクノロジホームページから入手してください。)

ホームページとサポート窓口

ルネサステクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

csc@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.1.22	—	初版発行
1.01	2009.10.9	—	640KB 版の参考プログラムを追加

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりますは、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会ください。

D039444