

SH7262/SH7264 グループ ハードウェアデザインガイド

 RJJ06B1153-0100
Rev.1.00
2010.04.15

要旨

本アプリケーションノートは、SH7262/SH7264 搭載システムの設計を始める際の参考資料として、設計のポイントとなる項目をまとめたものです。

動作確認デバイス

SH7262/SH7264

目次

1. 電源	2
2. リセット	6
3. 発振回路	6
4. 動作モードコントロール	6
5. 外部 ROM	6
6. 端子処理	6
7. 内蔵資源へのアクセス	6
8. エンディアン	6
9. 低消費電力モード	6
10. 参考ドキュメント	6

関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。合わせて参照してください。

- SH7262/SH7264 グループ USB 基板設計ガイド
- SH7262/SH7264 グループ 低消費電力モード ディープスタンバイ処理例
- SH7262/SH7264 グループ NOR フラッシュメモリ接続例
- SH7262/SH7264 グループ ルネサスシリアルペリフェラルインタフェース シリアルフラッシュメモリ接続例

"L"アクティブ端子（信号）の表記について

端子名（信号名）末尾の # は "L" アクティブ端子（信号）であることを示します。

1. 電源

1.1 電源

電源の電圧範囲は 1.1V~1.3V (コア用) および 3.0V~3.6V (端子入出力用) です。また、本 LSI にはデジタル系電源とアナログ系電源があります。ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。

表 1 にデジタル系電源を、表 2 にアナログ系電源を示します。また図 1 に PLL 発振回路使用時の注意を示します。

表1 デジタル系電源

電源端子名	名称	電圧範囲	説明
Vcc	電源	1.1V~1.3V	電源端子です。すべてのVcc端子をシステムの電源に接続してください。開放端子があると動作しません。
Vss	グランド	0V	グランド端子です。すべてのVss端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
PVcc	入出力回路用電源	3.0V~3.6V	入出力端子用の電源端子です。すべてのPVcc端子をシステムの電源に接続してください。開放端子があると動作しません。
USBDPVcc ^{※2}	トランシーバ部 デジタル端子電源	3.0V~3.6V	USB端子用電源です。
USBDPVss ^{※3}	トランシーバ部 デジタル端子グランド	0V	USB端子用グランドです。
USBDVcc ^{※1}	トランシーバ部 デジタルコア電源	1.1V~1.3V	USBコア用電源です。
USBDVss ^{※3}	トランシーバ部 デジタルコアグランド	0V	USBコア用グランドです。
USBVcc ^{※1}	USB2.0ホスト/ファンク ションモジュール 480MHz用電源	1.1V~1.3V	480MHz動作部電源です。
USBVss ^{※3}	USB2.0ホスト/ファンク ションモジュール 480MHz用グランド	0V	480MHz動作部グランドです。

【注】 ※1 USBVcc、USBDVcc、USBVss は Vcc と同電位にしてください。

※2 USBAPVcc、USBDPVcc は PVcc と同電位にしてください。

※3 USBVss、USBDVss、USBVss、USBAPVss、USBDPVss は Vss と同電位にしてください。

表2 アナログ系電源

電源端子名	名称	電圧範囲	説明
PLL V_{cc}	PLL用電源	1.1V~1.3V	内蔵PLL発振器用の電源です。
PLL V_{ss}	PLL用グランド	0V	内蔵PLL発振器用のグランド端子です。
USBAP V_{cc} ^{※2※4}	トランシーバ部アナログ端子電源	3.0V~3.6V	USB端子用電源です。
USBAP V_{ss} ^{※3※4}	トランシーバ部アナログ端子グランド	0V	USB端子用グランドです。
USBA V_{cc} ^{※1※4}	トランシーバ部アナログコア電源	1.1V~1.3V	USBコア用電源です。
USBA V_{ss} ^{※3※4}	トランシーバ部アナログコアグランド	0V	USBコア用グランドです。
AV cc ^{※5※7}	アナログ電源	3.0V~3.6V	A/D変換器の電源端子です。
AV ss ^{※5※7}	アナロググランド	0V	A/D変換器のグランド端子です。
AV ref ^{※6※7}	アナログ基準電圧	3.0V~3.6V	A/D変換器の基準電圧端子です。

- 【注】 ※1 USB $A_{V_{cc}}$ 、USB $D_{V_{cc}}$ 、USB $U_{V_{cc}}$ は V_{cc} と同電位にしてください。
- ※2 USBAP V_{cc} 、USB $D_{P_{V_{cc}}}$ は PV_{cc} と同電位にしてください。
- ※3 USB $A_{V_{ss}}$ 、USB $D_{V_{ss}}$ 、USB $U_{V_{ss}}$ 、USBAP V_{ss} 、USB $D_{P_{V_{ss}}}$ は、 V_{ss} と同電位にしてください。
- ※4 アナログ電源 (USB $A_{V_{cc}}$ 、USB $A_{V_{ss}}$ 、USBAP V_{cc} 、USBAP V_{ss}) はデジタル電源と分離してください。
- ※5 AV cc は $PV_{cc} - 0.3V \leq AV_{cc} \leq PV_{cc}$ を満たす電位にしてください。AV ss は V_{ss} と同電位にしてください。
さらに、A/D変換器を使用しないときやソフトウェアスタンバイモード時でも、AV cc 、AV ss 端子をオープンにしないでください。使用しないときは、必ず AV cc は PV_{cc} に、AV ss は V_{ss} に接続してください。
- ※6 AV ref 端子によるリファレンス電圧範囲は $3.0V \leq AV_{ref} \leq AV_{cc}$ にしてください。
- ※7 AV ref 、AV cc (および A/D 変換器のアナログ入力端子) は、AV ss でデジタル回路と分離してください。さらに AV ss は、ボード上の安定したデジタルグランド (V_{ss}) に一点接続してください。

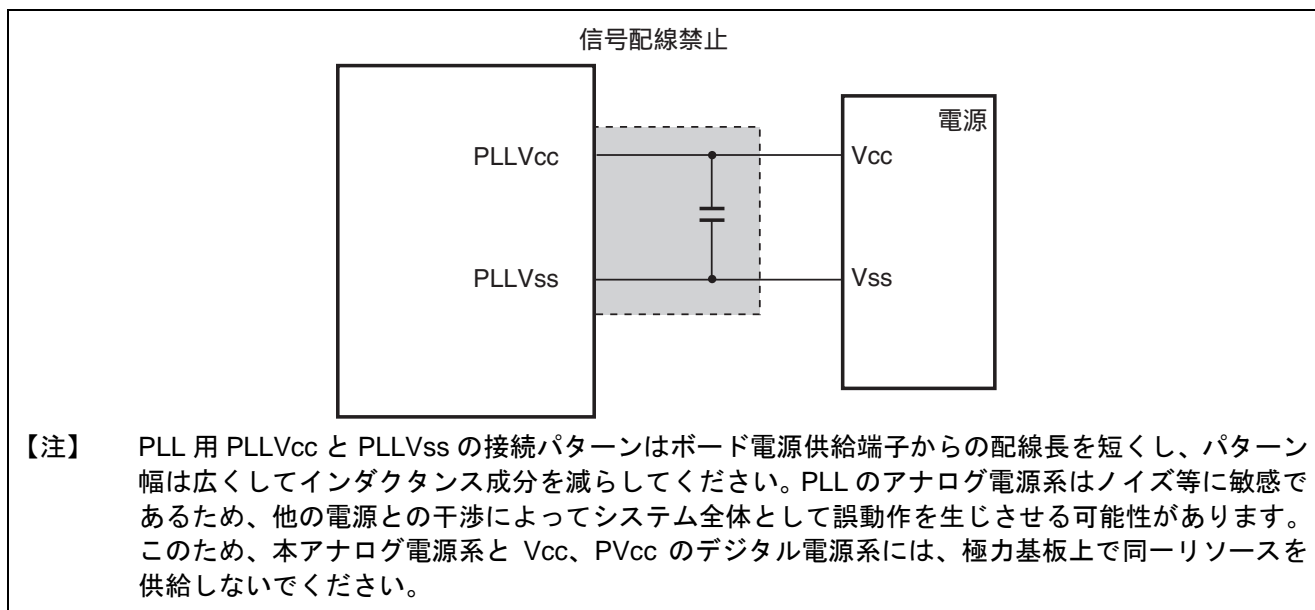


図1 PLL 発振回路使用時の注意

1.2 バイパスコンデンサ

電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして接続してください。バイパスコンデンサはできるかぎりLSIの電源端子の近くに実装してください。コンデンサの容量値は0.1 μ F~0.33 μ F（推奨値）を使用してください。

図 2に SH7262 の外付けコンデンサ配置例、図 3に SH7264 の外付けコンデンサ配置例を示します。

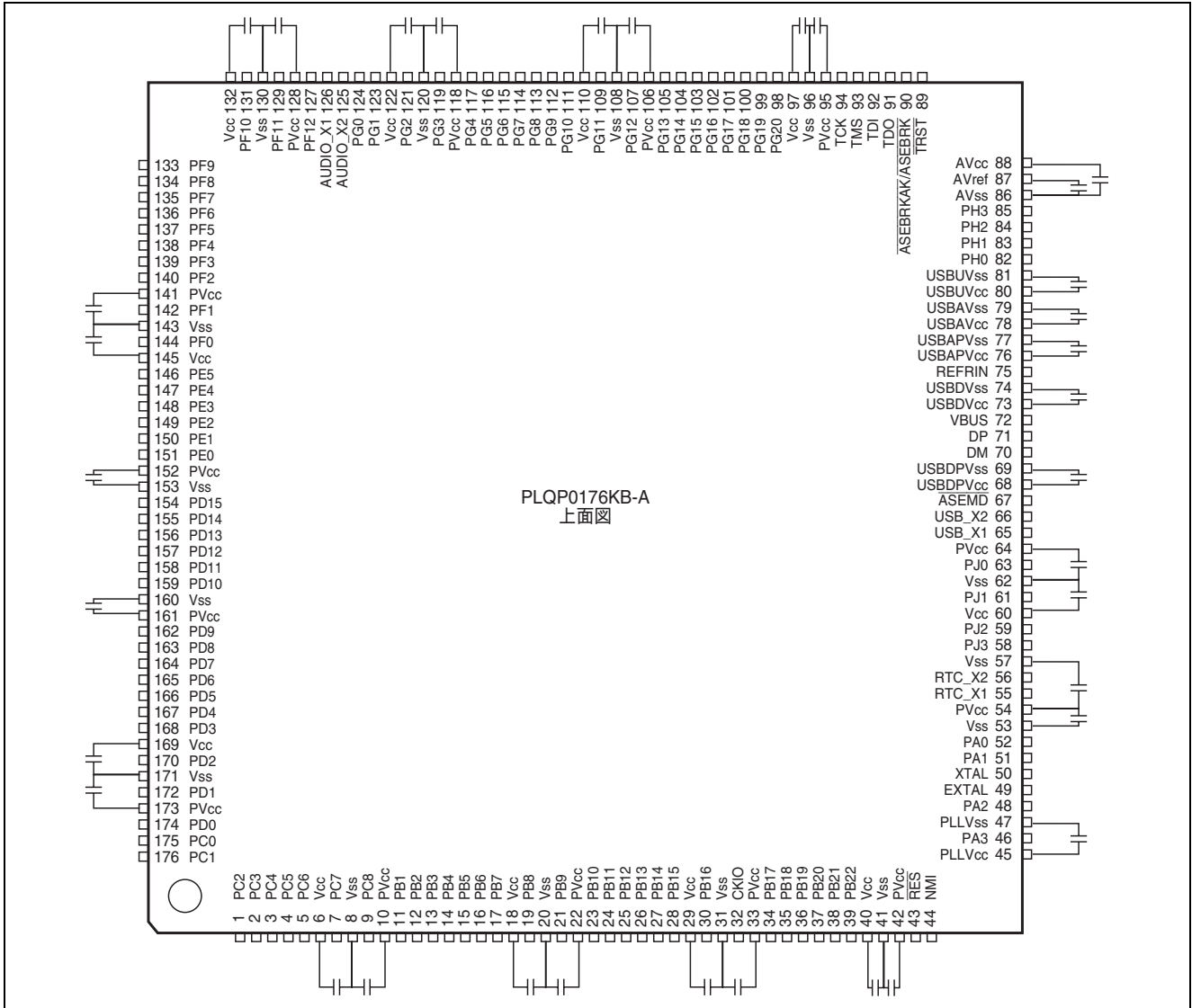


図2 SH7262 の外付けコンデンサ配置例

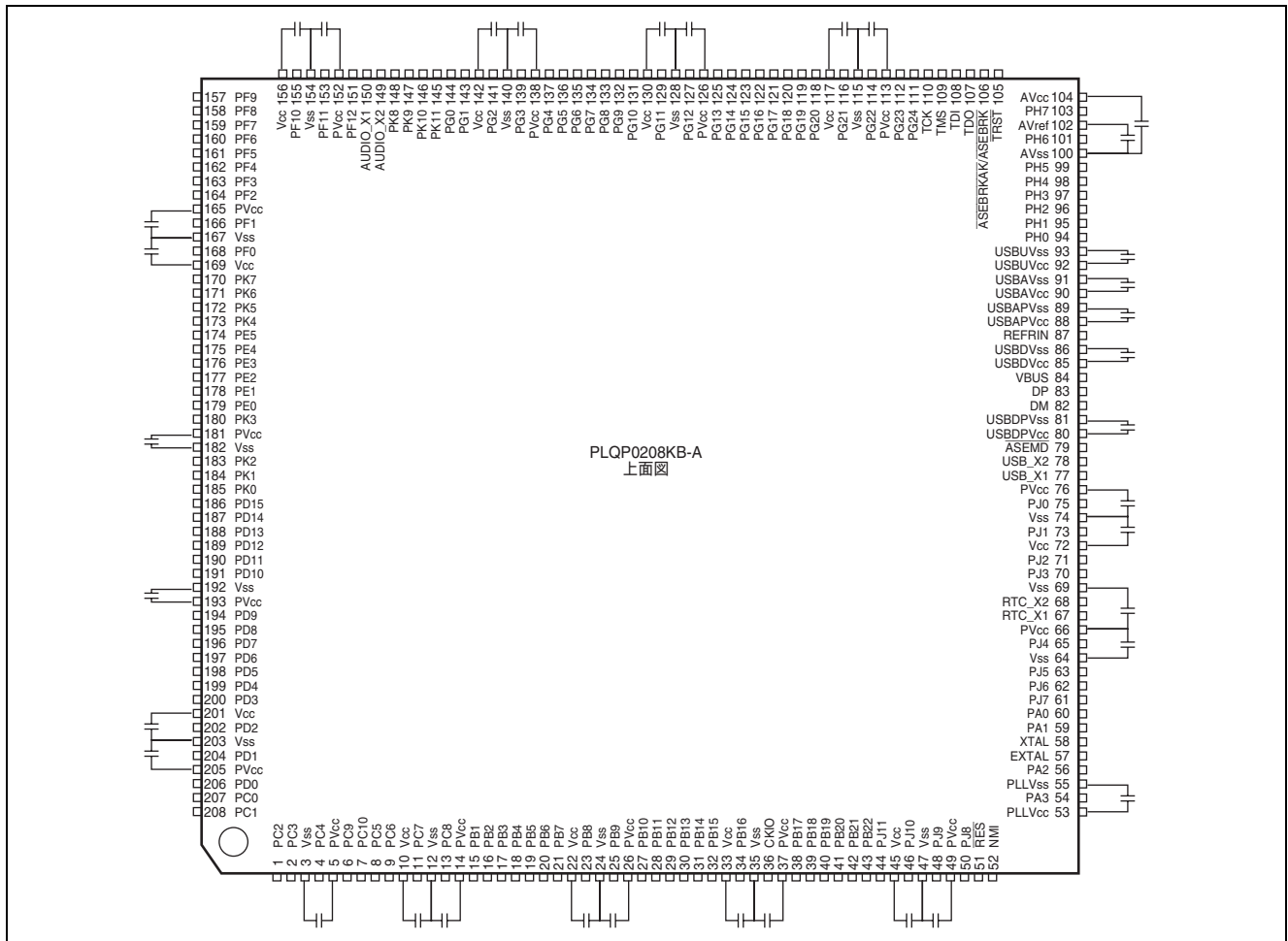


図3 SH7264 の外付けコンデンサ配置例

2. リセット

2.1 電源投入・切断シーケンス

1.2V 系電源 (Vcc、PLLVcc、USBAVcc、USBVcc、USBVcc) と 3.3V 系電源 (PVcc、AVcc、USBAPVcc、USBPDVcc) のどちらを先に投入・切断することも可能です。

電源の投入時は、必ず TRST#端子をローレベル、かつ RES#端子をローレベルにしてください。これが守られない場合、出力端子および入出力端子の出力が不定となり、それによってシステム全体に誤動作を生じる可能性があります。

電源の切断時も、上記が問題となる可能性がある場合は、TRST#端子をローレベル、かつ RES#端子をローレベルにしてください。

2.2 発振安定期間

RES#端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために、電源投入時は発振安定期間の間 RES#端子をローレベルに保持してください。また、ソフトウェアスタンバイモードおよびディープスタンバイモードからリセットで復帰する場合も、同様に発振安定期間の間 RES#端子をローレベルに保持してください。クロックが動作している状態で RES#端子をローレベルにする場合は、最低 20tcyc の間 RES#端子をローレベルに保持してください。

パワーオン発振安定期間 (t_{osc1}) は 10ms です。パワーオン発振安定期間は Vcc が Vcc Min.以上になってから RES#端子が V_{IL} 以上になるまでの時間で規定されます。図 4 に電源投入/切断とクロック、リセット信号の関係を示します。ルネサスエレクトロニクス製 RNA51957BFP などの外部電源電圧を検出することが可能な IC を使うことにより、以下の図で示すようなタイミング制御が可能です。

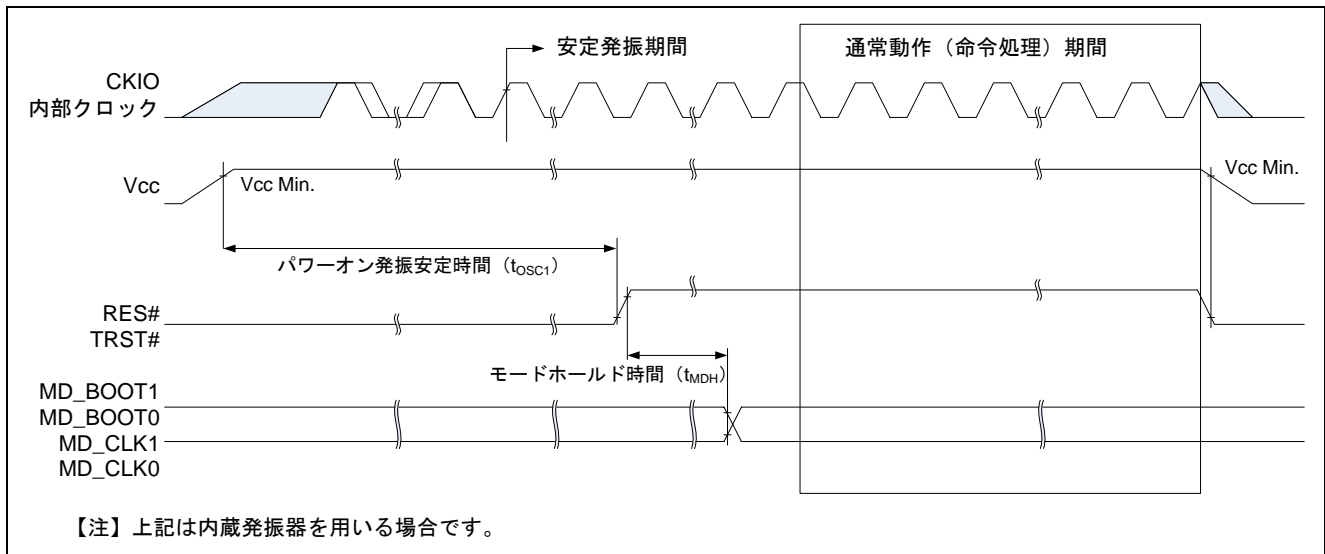


図4 電源投入/切断とクロック、リセット信号の関係

2.3 パワーオンリセット

本 LSI のリセット例外処理には、パワーオンリセットとマニュアルリセットの 2 種類があります。パワーオンリセット例外処理の発生要因を以下に示します。

2.3.1 RES#端子によるパワーオンリセット

RES#端子をローレベルにすると、パワーオンリセット状態になり、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます^{*}。パワーオンリセット状態で、RES#端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。RES#端子をローレベルに保持する時間についての詳細は「2.2 発振安定期間」を参照してください。

2.3.2 ユーザデバッグインタフェース (H-UDI) リセットアサートコマンドによるパワーオンリセット

H-UDI リセットアサートコマンドをセットすると、パワーオンリセット状態になり、RES#端子によるパワーオンリセットと同様に、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます^{*}。H-UDI リセットネゲートコマンドをセットすると、パワーオンリセット例外処理が開始されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために RES#端子をローレベルに保持する時間と同じです。

2.3.3 ウォッチドッグタイマ (WDT) によるパワーオンリセット

ウォッチドッグタイマモード時のリセットの種類をパワーオンリセットに設定して、WDT のウォッチドッグタイマカウンタ (WTCNT) がオーバフローするとパワーオンリセット状態になり、パワーオンリセット例外処理が開始されます。

このとき、WDT のウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR)、クロックパルス発振器 (CPG) の周波数制御レジスタ (FRQCR) は初期化されません^{*}。

【注】※ レジスタ状態の詳細については、SH7262 グループ、SH7264 グループ ハードウェアマニュアル「36.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

2.4 マニュアルリセット

マニュアルリセット例外処理の発生要因を以下に示します。

2.4.1 ウォッチドッグタイマ (WDT) によるマニュアルリセット

ウォッチドッグタイマモード時のリセットの種類をマニュアルリセットに設定して、WDT の WTCNT がオーバフローするとマニュアルリセット状態になり、マニュアルリセット例外処理が開始されます。

ただし、バス権解放中やダイレクトメモリアクセスコントローラ (DMAC) バースト転送中に、マニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。

また、マニュアルリセットでは CPU および割り込みコントローラ (INTC) のバンク番号レジスタ (IBNR) の BN ビットを初期化しますが、FPU やその他のモジュールは初期化されません^{*}。

【注】※ レジスタ状態の詳細については、SH7262 グループ、SH7264 グループ ハードウェアマニュアル「36.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

3. 発振回路

3.1 クロック端子

表 3に水晶発振子の接続またはクロック入力可能な端子を示します。

表3 クロック端子

Xin 端子 (水晶発振子を接続 または外部クロック 入力端子として使用)	Xout 端子 (水晶発振子を接続)	備考
EXTAL	XTAL	10MHz~18MHz
USB_X1	USB_X2	<ul style="list-style-type: none"> • ハイスピード動作時 : 48MHz±100ppm • 非ハイスピード動作、かつホスト動作時 : 48MHz±500ppm • 非ハイスピード動作、かつファンクション動作時 : 48MHz±2500ppm
AUDIO_X1	AUDIO_X2	<ul style="list-style-type: none"> • 水晶発振子接続時 : 10MHz~25MHz • 外部クロック入力時 : 1MHz~25MHz
RTC_X1	RTC_X2	32.768kHz

3.2 外部クロック接続例

図 5に外部クロックの接続例を示します。Xout 端子を開放状態にする場合、寄生容量は 10pF 以下にしてください。

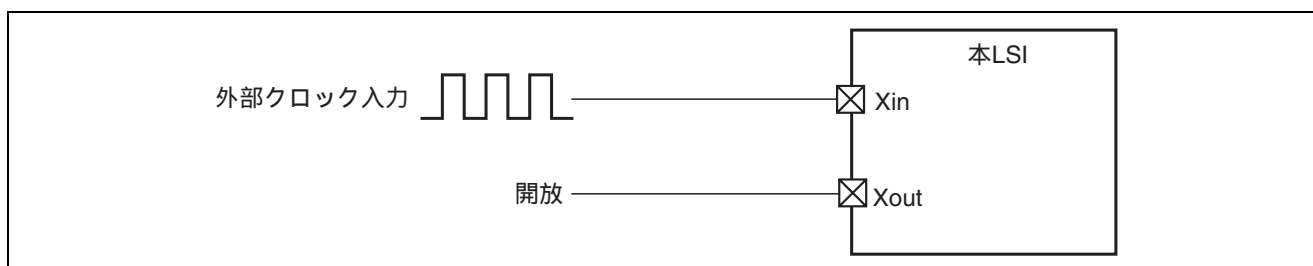


図5 外部クロックの接続例

3.3 水晶発振子接続例

図 6に水晶発振子の接続例を示します。

水晶発振子と容量 CL1、CL2 は、できるだけ X_{in} 端子と X_{out} 端子の近くに配置してください。また、誘導を避け、正しい発振を行うために、水晶発振子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

水晶発振子に関する諸特性は、ボード設計に密接に関係するため、図 6に示す水晶発振子の接続例を参考に、システムとして十分な評価を実施して使用してください。水晶発振子の回路定格は、水晶発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカーと十分相談の上決定してください。クロック端子に印加される電圧が最大定格を超えないようにしてください。帰還抵抗を内蔵していますが、水晶発振子の特性によっては外付け帰還抵抗が必要になる場合があります。十分な評価を実施して、パラメータ（抵抗、容量値）を設定してください。

未使用時は、X_{in} 端子は固定（プルアップ／プルダウン／電源接続／グランド接続）、X_{out} 端子は開放にしてください。

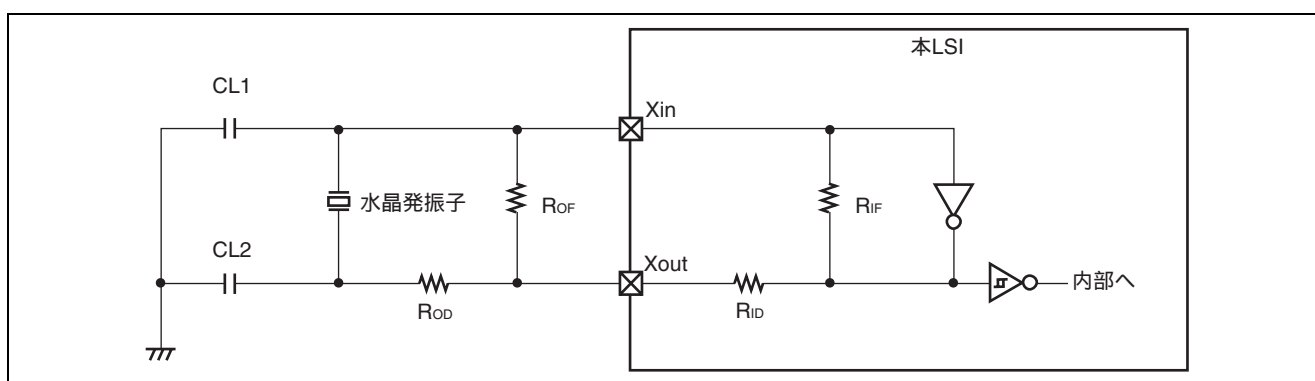


図6 水晶発振子の接続例

4. 動作モードコントロール

本 LSI には、4 つのブートモードと 4 つのクロック動作モードがあり、MD_BOOT1 端子および、MD_BOOT0 端子、MD_CLK1 端子、MD_CLK0 端子により設定します。

4.1 ブートモード

4.1.1 ブートモードを決定する外部端子設定

本 LSI は、RES#がローレベルの時に外部端子を用いてブートモードを決定することができます。

表 4 に外部端子とブートモードの関係を示します。

表4 外部端子とブートモードの関係

MD_BOOT1	MD_BOOT0	ブートモード
0	0	CS0 空間に接続されたメモリからブートします。(ブートモード 0)
0	1	ルネサスシリアルペリフェラルインタフェースのチャンネル 0 に接続されたシリアルフラッシュメモリから高速通信でブートします。(ブートモード 1)
1	0	NAND フラッシュメモリコントローラに接続された NAND フラッシュメモリからブートします。(ブートモード 2)
1	1	ルネサスシリアルペリフェラルインタフェースのチャンネル 0 に接続されたシリアルフラッシュメモリから低速通信でブートします。(ブートモード 3)

4.1.2 ブートモード 0

CS0 空間に接続されたメモリからブートします。ブートモード 0 の起動フローを以下に示します。

(1) 例外処理ベクタテーブルから実行開始アドレスを取得

パワーオンリセット解除後、CS0 空間に接続されたメモリに配置されている例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値およびスタックポインタ (SP) の初期値を取り出します。

(2) プログラムの実行を開始

取り出した PC のアドレスからプログラムの実行を開始します。

4.1.3 ブートモード 1、ブートモード 3

ルネサスシリアルペリフェラルインタフェース (RSPI) のチャンネル 0 に接続されたシリアルフラッシュメモリからブートします。ブートモード 1、3 の起動フローを以下に示します。

(1) ブート起動用内蔵 ROM プログラムの実行

パワーオンリセット解除後、CPU はブート起動用内蔵 ROM (非公開) に入っているプログラムを実行します。

(2) ローダプログラムの転送

RSPI のチャンネル 0 に接続されたシリアルフラッシュメモリの先頭アドレスから高速内蔵 RAM の先頭アドレスにローダプログラム 8KB を転送します。

ブートモード 1 の場合はバスクロック (B ϕ) の 1/2 の速度、ブートモード 3 の場合は 1/4 の速度で通信を行います。接続されたシリアルフラッシュメモリの仕様に応じてブートモードを決定してください。

ローダプログラム転送終了後、CPU は転送したローダプログラムの実行を開始するために、高速内蔵 RAM へジャンプします。

(3) アプリケーションプログラムの転送 (任意)

ローダプログラム中で RSPI を使用して、展開したいデータをシリアルフラッシュメモリから内蔵 RAM もしくは外部 RAM へデータをロードします。

図 7 にブートモード 1、3 の仕様概略図を示します。

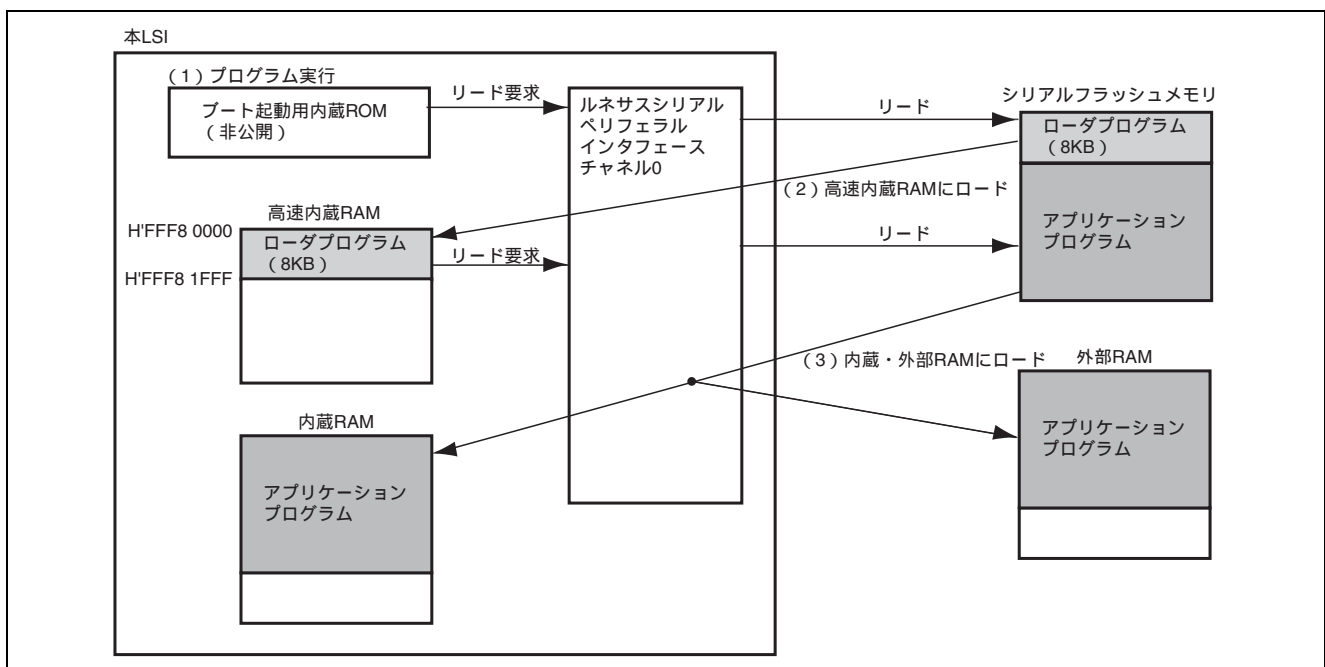


図7 ブートモード 1、3 の仕様概略図

4.1.4 ブートモード 2

NAND フラッシュメモリコントローラに接続された NAND フラッシュメモリからブートします。使用可能な NAND フラッシュメモリは、ラージブロック (2048+64) サイズで 5 バイトアドレス (2G ビット以上の容量) 品です。また、エラー訂正は 4 箇所までです。ブートモード 2 の起動フローを以下に示します。

(1) ブート起動用内蔵 ROM プログラムの実行

パワーオンリセット解除後、CPU はブート起動用内蔵 ROM (非公開) に入っているプログラムを実行します。

(2) ローダプログラムの転送

NAND フラッシュメモリコントローラに接続された NAND フラッシュメモリからローダプログラム 8KB を高速内蔵 RAM の先頭アドレスに転送します。ローダプログラムは以下の順番で転送およびチェックされます。

- (a) ローダプログラム格納ブロックの検索 (BlockAddress0~1023max)
- (b) ローダプログラム 8KB (16 セクタ) の読み出し、高速内蔵 RAM へ転送
- (c) ECC チェック
- (d) エラー訂正 (4 箇所)

ローダプログラム転送終了後、CPU は転送したローダプログラムの実行を開始するために、高速内蔵 RAM へジャンプします。

(3) アプリケーションプログラムの転送 (任意)

ローダプログラム中で NAND フラッシュメモリコントローラを使用して、展開したいデータを NAND フラッシュメモリから内蔵 RAM または外部 RAM へデータをロードします。

図 8 にブートモード 2 の仕様概略図を示します。

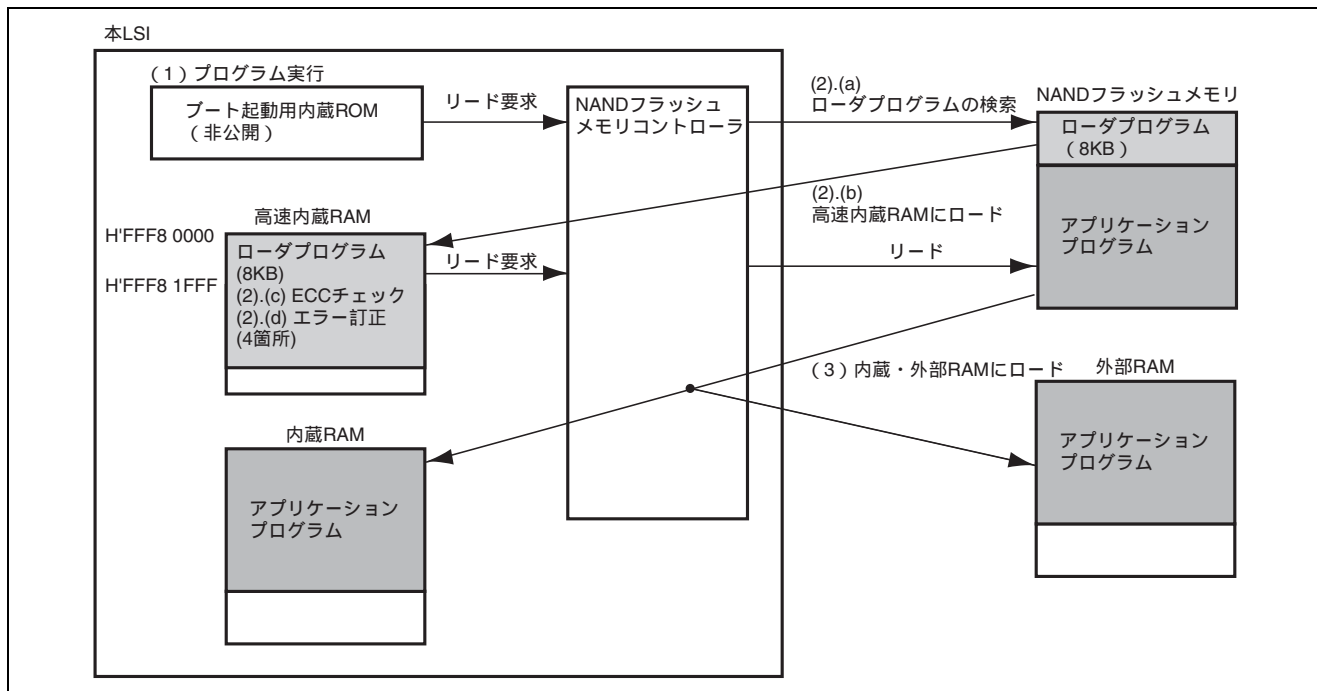


図8 ブートモード 2 の仕様概略図

4.2 クロック動作モード

4.2.1 クロック動作モードを決定する外部端子設定

本 LSI は、RES#がローレベルの時に外部端子を用いてクロック動作モードを決定することができます。
表 5に外部端子とクロック動作モードの関係を示します。

表5 外部端子とクロック動作モードの関係

モード	端子組み合わせ		クロック入出力		分周器 1	PLL 回路	CKIO の周波数
	MD_CLK1	MD_CLK0	供給源	出力			
0	0	0	EXTAL/水晶発振子	CKIO	1	ON (x12)	(EXTAL/水晶) x4
1	0	1	USB_X1/水晶発振子	CKIO	1/4	ON (x12)	(USB_X1/水晶)
2	1	0	EXTAL/水晶発振子	CKIO	1	ON (x8)	(EXTAL/水晶) x4
3	1	1	USB_X1/水晶発振子	CKIO	1/3	ON (x8)	(USB_X1/水晶) x4/3

4.2.2 モード 0

モード 0 では EXTAL 端子または水晶発振子からクロックを入力します。PLL 回路で波形成形および周波数通倍を行い、本 LSI に供給します。発振周波数が 10MHz から 12MHz までの EXTAL 端子入力および水晶発振子を使用することが可能です。CKIO の周波数の範囲は 40MHz から 48MHz です。なお、消費電流低減のため、USB2.0 ホスト/ファンクションモジュールを使用しないときは、USB_X1 端子を固定（プルアップ/プルダウン/電源接続/グランド接続）し、USB_X2 端子は開放としてください。

4.2.3 モード 1

モード 1 では USB_X1 端子または水晶発振子からクロックを入力します。この端子の外部クロックを入力して、PLL 回路で波形成形および周波数制御レジスタ (FRQCR) の設定により周波数通倍を行い、本 LSI に供給します。CKIO の周波数は、(USB_X1/水晶) (48MHz) です。なお、消費電流低減のため、モード 1 で使用する場合には、EXTAL 端子を固定（プルアップ/プルダウン/電源接続/グランド接続）し、XTAL 端子は開放としてください。

4.2.4 モード 2

モード 2 では EXTAL 端子または水晶発振子からクロックを入力します。PLL 回路で波形成形および周波数通倍を行い、本 LSI に供給します。発振周波数が 10MHz から 18MHz まで EXTAL 端子入力および水晶発振子を使用することが可能です。CKIO の周波数の範囲は 40MHz から 72MHz です。なお、消費電流低減のため、USB2.0 ホスト/ファンクションモジュールを使用しないときは、USB_X1 端子を固定（プルアップ/プルダウン/電源接続/グランド接続）し、USB_X2 端子は開放としてください。

4.2.5 モード 3

モード 3 では USB_X1 端子または水晶発振子からのクロックを入力します。この端子の外部クロックを入力して、PLL 回路で波形成形および FRQCR の設定により周波数通倍を行い、本 LSI に供給します。CKIO の周波数は、(USB_X1/水晶発振子) x4/3 (64MHz) です。なお、消費電流低減のため、モード 3 で使用する場合には、EXTAL 端子を固定（プルアップ/プルダウン/電源接続/グランド接続）し、XTAL 端子は開放としてください。

4.2.6 設定可能な周波数範囲

表 6にクロック動作モードと設定可能な周波数範囲を示します。表 6以外の周波数設定で本 LSI を使用しないでください。

表6 クロック動作モードと設定可能な周波数範囲

クロック動作モード	FRQCR レジスタ設定値 ※1	PLL 通倍率 PLL 回路	内部 クロック比 (I:B:P) ※2	設定可能な周波数範囲 (MHz)				
				入力 クロック ※3	出カクロック (CKIO 端子)	内部クロック (Iφ)	バスクロック (Bφ)	周辺クロック (Pφ)
0	H'x104	ON (x12)	12 : 4 : 2	10~12	40~48	120~144	40~48	20~24
	H'x106	ON (x12)	12 : 4 : 1	10~12	40~48	120~144	40~48	10~12
	H'x124	ON (x12)	4 : 4 : 2	10~12	40~48	40~48	40~48	20~24
	H'x126	ON (x12)	4 : 4 : 1	10~12	40~48	40~48	40~48	10~12
1	H'x104	ON (x12)	3 : 1 : 1/2	48	48	144	48	24
	H'x106	ON (x12)	3 : 1 : 1/4	48	48	144	48	12
	H'x124	ON (x12)	1 : 1 : 1/2	48	48	48	48	24
	H'x126	ON (x12)	1 : 1 : 1/4	48	48	48	48	12
2	H'x003	ON (x8)	8 : 4 : 2	10~18	40~72	80~144	40~72	20~36
	H'x004	ON (x8)	8 : 4 : 4/3	10~18	40~72	80~144	40~72	13.3~24
	H'x005	ON (x8)	8 : 4 : 1	10~18	40~72	80~144	40~72	10~18
	H'x006	ON (x8)	8 : 4 : 2/3	10~18	40~72	80~144	40~72	6.7~12
	H'x013	ON (x8)	4 : 4 : 2	10~18	40~72	40~72	40~72	20~36
	H'x014	ON (x8)	4 : 4 : 4/3	10~18	40~72	40~72	40~72	13.3~24
	H'x015	ON (x8)	4 : 4 : 1	10~18	40~72	40~72	40~72	10~18
	H'x016	ON (x8)	4 : 4 : 2/3	10~18	40~72	40~72	40~72	6.7~12
3	H'x003	ON (x8)	8/3:4/3:2/3	48	64	128	64	32
	H'x004	ON (x8)	8/3:4/3:4/9	48	64	128	64	21.3
	H'x005	ON (x8)	8/3:4/3:1/3	48	64	128	64	16
	H'x006	ON (x8)	8/3:4/3:2/9	48	64	128	64	10.7
	H'x013	ON (x8)	4/3:4/3:2/3	48	64	64	64	32
	H'x014	ON (x8)	4/3:4/3:4/9	48	64	64	64	21.3
	H'x015	ON (x8)	4/3:4/3:1/3	48	64	64	64	16
	H'x016	ON (x8)	4/3:4/3:2/9	48	64	64	64	10.7

【注】 ※1 FRQCR レジスタの設定値の x は、ビット 14、13、12 の設定値によります。

※2 入力クロック周波数を 1 としたときのクロック比です。

※3 モード 0、2 のとき、EXTAL 端子からのクロック入力または水晶発振子の周波数です。
モード 1、3 のとき、USB_X1 端子からのクロック入力または水晶発振子の周波数です。

5. 外部 ROM

5.1 NOR 型フラッシュメモリ

図 9 に NOR 型フラッシュメモリの接続回路例を示します。

詳細についてはアプリケーションノート「SH7262/SH7264 グループ NOR フラッシュメモリ接続例」を参照してください。

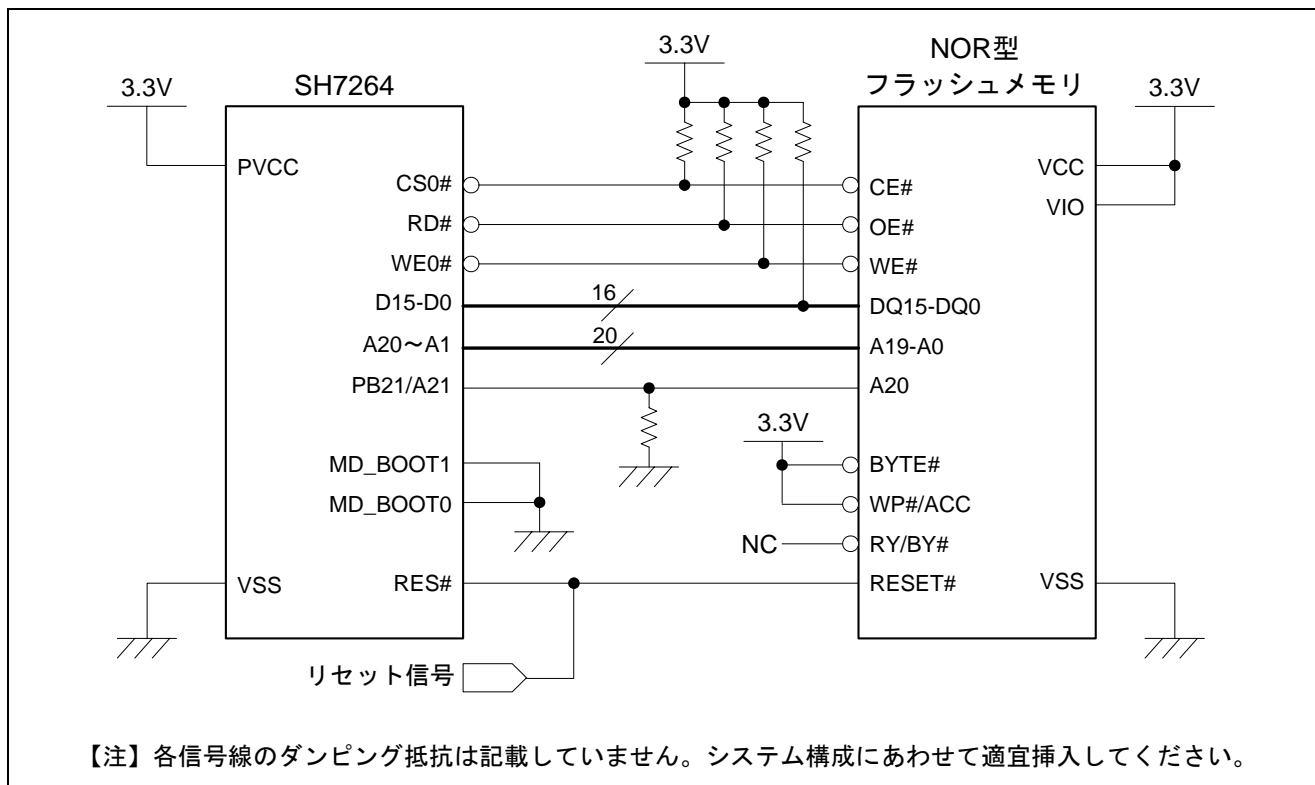


図9 NOR 型フラッシュメモリの接続回路例

【補足 1】 データバス幅とブートモードについて

SH7264 の CS0 空間（エリア 0）は 16 ビットバス幅固定です。そのため、SH7264 の CS0 空間に接続する NOR 型フラッシュメモリは 16 ビットバス幅で接続します。NOR 型フラッシュメモリのデータバス幅を 16 ビット固定とするため NOR 型フラッシュメモリの BYTE# 端子はハイレベルに固定します。

また NOR 型フラッシュメモリでブートするためには SH7264 の MD_BOOT0/MD_BOOT1 端子はローレベルに固定します（ブートモード 0）。ブートモード 0 の場合、A20~A1 端子はアドレスバスに設定されます。ただし、A21~A25 端子は汎用入出力ポートに設定されますので注意してください。

【補足 2】 制御信号端子の外付け抵抗によるプルアップ/プルダウン処理について

A21~A25 端子、WE0#端子の各制御端子は初期状態が汎用入力ポートのため、端子の初期状態が決まらず不定となります。不定状態の回避とメモリ動作を安定させるために、これらの制御信号は外付け抵抗によるプルアップ/プルダウン処理を推奨します。

A21~A25 端子は、パワーオンリセット時に NOR 型フラッシュメモリの 0 番地にアクセスできるようにプルダウンします。なお、図 9 は A22~A25 端子を使用しない場合の接続回路例です。

制御信号に対するプルアップ/プルダウン処理の選択については、一般的には動作をより安定させる状態を選択しますので、CS0#、RD#、WE0#端子については外付け抵抗でプルアップ処理を行い、ハイレベルにすることを推奨します。

5.2 シリアルフラッシュメモリ

シリアルフラッシュメモリはSH7264内蔵のルネサスシリアルペリフェラルインタフェース (RSPI) に接続します。図10にシリアルフラッシュメモリの接続回路例を示します。SH7264の端子機能については、表7のマルチプレクス端子に従い設定してください。

詳細についてはアプリケーションノート「SH7262/SH7264 グループ ルネサスシリアルペリフェラルインタフェース シリアルフラッシュメモリ接続例」を参照してください。

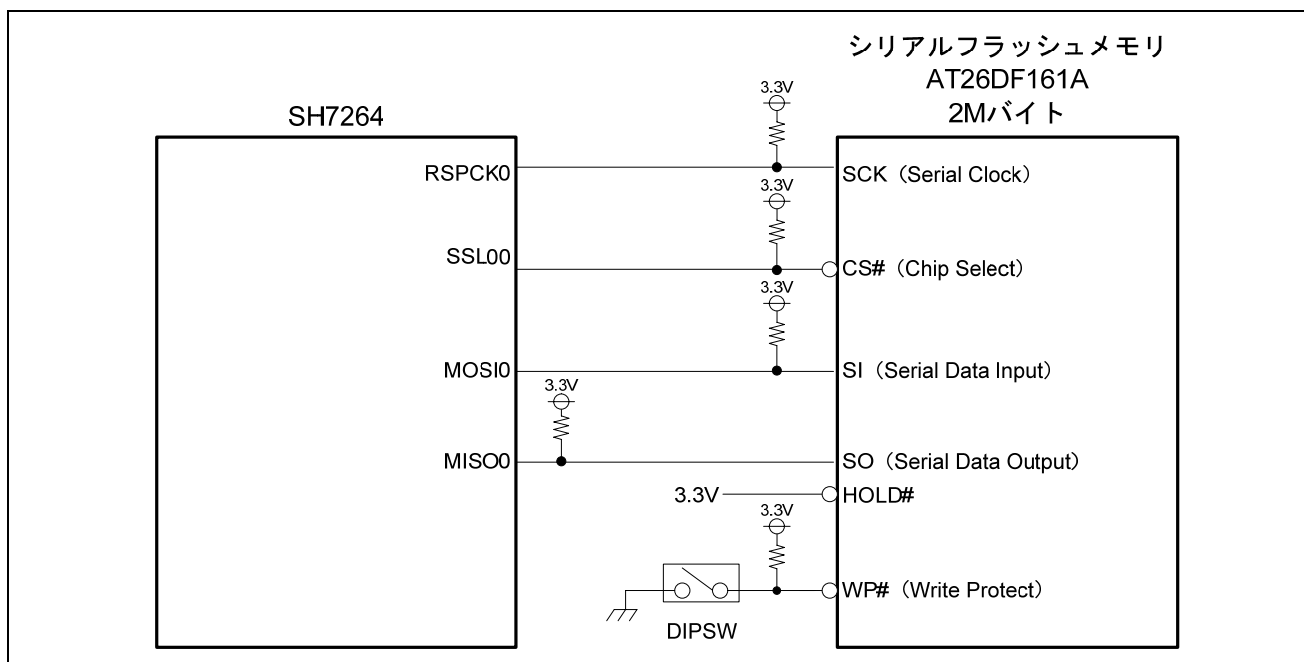


図10 シリアルフラッシュメモリ接続回路例

【注】 制御信号端子の外付け抵抗によるプルアップ/プルダウン処理について
制御信号に対するプルアップ/プルダウン処理は、マイコンの端子状態が高インピーダンスの場合でも、外部デバイスが誤動作しないように信号線のレベルを決定します。SSL00端子については外付け抵抗でプルアップ処理を行い、ハイレベルにしています。RSPCK0端子とMOSI0端子はプルアップまたはプルダウン処理をおこなってください。またMISO0端子は入力のためプルアップまたはプルダウン処理により中間電位になることを防ぎます。

表7 マルチプレクス端子

周辺機能	使用端子名	SH7264 ポートコントロールレジスタ		SH7264 マルチプレクス端子名
		レジスタ名	MDビット設定値	
RSPI	MISO0	PF0CR3	PF12MD[2:0] = B'011	PF12/BS#/MISO0/TIOC3D/SPDIF_OUT
	MOSI0	PF0CR2	PF11MD[2:0] = B'011	PF11/A25/SSIDATA3/MOSI0/TIOC3C/SPDIF_IN
	SSL00	PF0CR2	PF10MD[2:0] = B'011	PF10/A24/SSIWS3/SSL00/TIOC3B/FCE#
	RSPCK0	PF0CR2	PF9MD[2:0] = B'011	PF9/A23/SSISCK3/RSPCK0/TIOC3A/FRB

【注】 SH7264のマルチプレクス端子について
MISO0、MOSI0、SSL00、RSPCK0端子はマルチプレクス端子であり、初期状態は汎用入出力ポートになっています。そのため、シリアルフラッシュメモリにアクセスする前に、汎用入出力ポートのコントロールレジスタでRSPI端子機能に設定する必要があります。

5.3 NAND 型フラッシュメモリ

図 11に、NAND 型フラッシュメモリとの接続回路例を示します。SH7264 の端子機能については、表 8のマルチプレクス端子に従い設定してください。

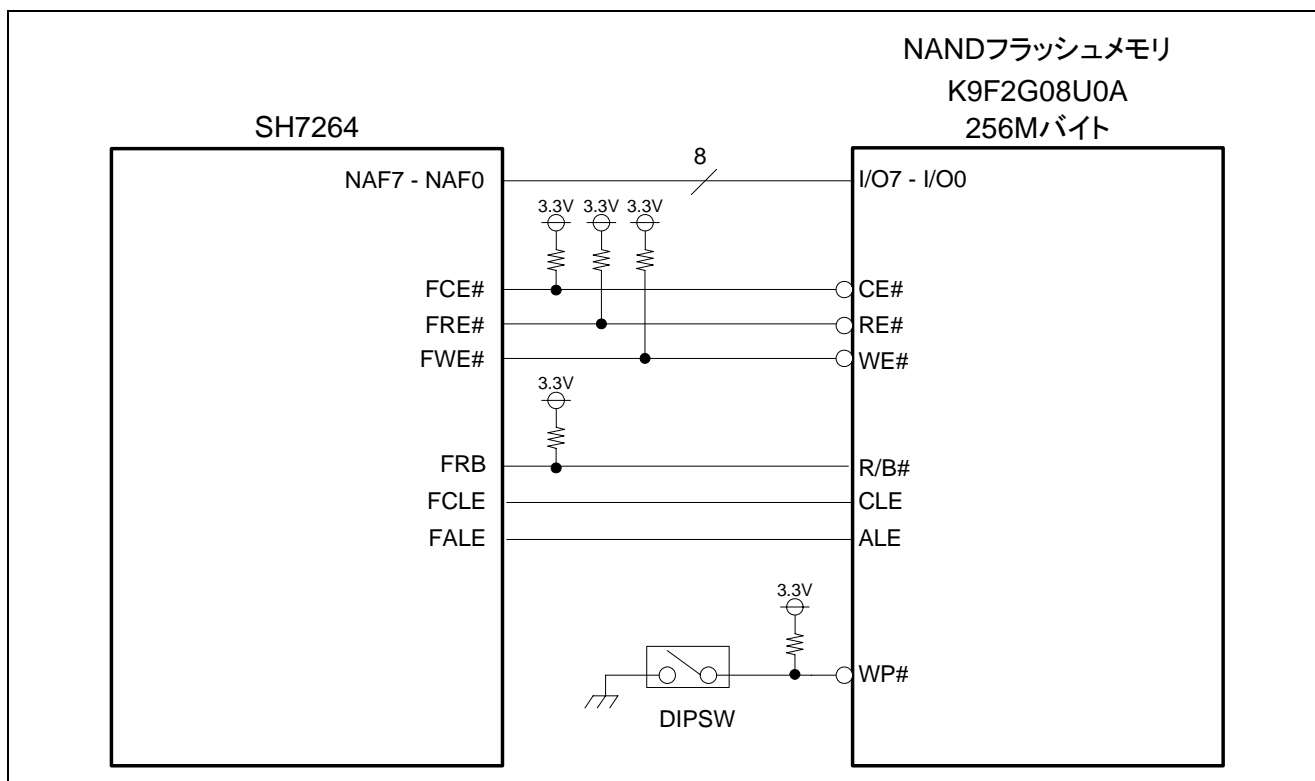


図11 NAND 型フラッシュメモリ接続回路例

【注】 制御信号端子の外付け抵抗によるプルアップ/プルダウン処理について
 制御信号に対するプルアップ/プルダウン処理は、マイコンの端子状態が高インピーダンスの場合でも、外部デバイスが誤動作しないように信号線のレベルを決定します。FCE#端子、FRE#端子およびFWE#端子については外付け抵抗でプルアップ処理を行いハイレベルにしています。またFRB端子も、ローレベル状態ではコマンドを発行できないため、外付け抵抗でプルアップ処理を行いハイレベルにしています。

表8 マルチプレクス端子

周辺機能	使用端子名	SH7264 ポートコントロールレジスタ		SH7264 マルチプレクス端子名
		レジスタ名	MD ビット設定値	
NAND フラッシュ メモリ コントローラ	NAF4~ NAF7*	PDCR3	PD15MD[1:0] = B'01 PD14MD[1:0] = B'01 PD13MD[1:0] = B'01 PD12MD[1:0] = B'01	PD15/D15/NAF7/PWM2H PD14/D14/NAF6/PWM2G PD13/D13/NAF5/PWM2F PD12/D12/NAF4/PWM2E
	NAF0~ NAF3*	PDCR2	PD11MD[1:0] = B'01 PD10MD[1:0] = B'01 PD9MD[1:0] = B'01 PD8MD[1:0] = B'01	PD11/D11/NAF3/PWM2D PD10/D10/NAF2/PWM2C PD9/D9/NAF1/PWM2B PD8/D8/NAF0/PWM2A
	FWE#*	PDCR1	PD7MD[1:0] = B'01	PD7/D7/FWE#/PWM1H
	FALE*	PDCR1	PD6MD[1:0] = B'01	PD6/D6/FALE/PWM1G
	FCLE*	PDCR1	PD5MD[1:0] = B'01	PD5/D5/FCLE/PWM1F
	FRE#*	PDCR1	PD4MD[1:0] = B'01	PD4/D4/FRE#/PWM1E
	FCE#	PFCR2	PF10MD[2:0] = B'101	PF10/A24/SSIWS3/SSL00/TIOC3B/FCE#
	FRB	PFCR2	PF9MD[2:0] = B'101	PF9/A23/SSISCK3/RSPCK0/TIOC3A/FRB

【注】* バスステートコントローラの機能 (D4~D15) と NAND フラッシュメモリコントローラの機能 (NAF0~NAF7、FWE#、FALE、FCLE、FRE#) は、自動的に切り替わります。また、ブートモード 0 を使用する場合は、初期値で D0/NAF0~D7/NAF7 機能が選択されますが、ブートモード 1~3 を使用する場合は、初期値で入出力ポート機能が選択されます。

6. 端子処理

6.1 ASEMD#端子の処理

ASEMD#端子は、ユーザデバッグインタフェース（H-UDI）関連端子の機能を選択します。

RES#端子アサート期間中に、ASEMD#端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると製品チップモードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。ASEMD#端子への入力レベルは、RES#端子ネゲート後、最低 1 サイクル保持してください。

【注】エミュレータを使用しない場合は、ハイレベルに固定してください。

6.2 TRST#端子の処理

TRST#端子は、H-UDI の初期化信号入力端子です。H-UDI のシリアルデータ入出力用クロック端子（TCK）とは非同期で入力を受け付け、ローレベルで H-UDI をリセットします。H-UDI の使用の有無にかかわらず、電源投入時に TRST#を一定期間、具体的には発振安定期間分ローレベルにしなければなりません。

6.3 E10A-USB コネクタへの信号配線

E10A-USB を使用する場合の H-UDI 信号配線を図 12および図 13に示します。

詳細については「SuperH™ ファミリ用 E10A-USB エミュレータユーザズマニュアル別冊 SH7264、SH7262、SH7266、SH7267 ご使用時の補足説明」を参照してください。

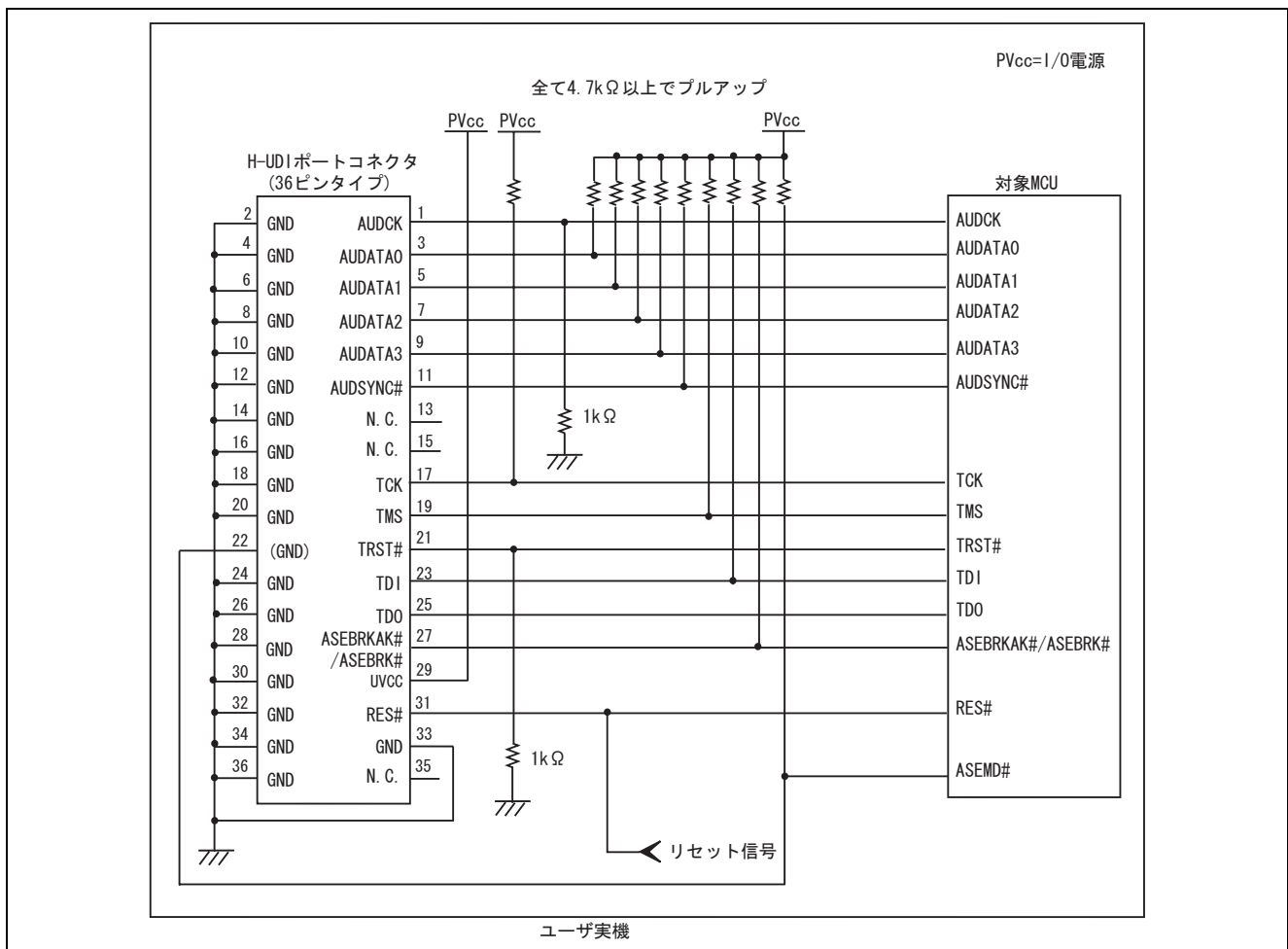


図12 E10A-USB 使用時の H-UDI ポートコネクタチップ間の推奨接続例(36 ピンタイプ)

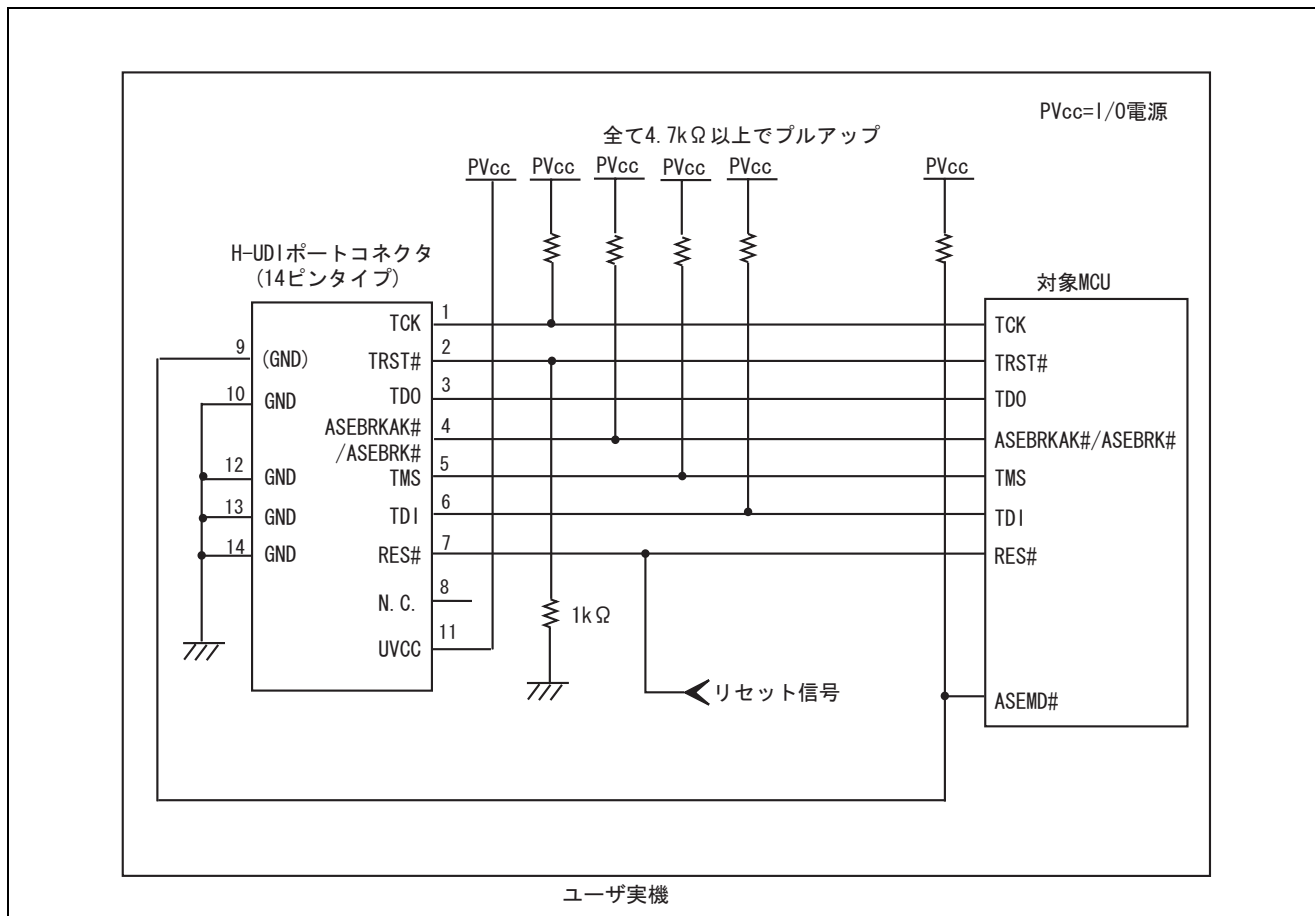


図13 E10A-USB 使用時の H-UDI ポートコネクタチップ間の推奨接続例(14ピンタイプ)

6.4 アナログ端子

6.4.1 ボード設計時の注意事項

アナログ端子 AN0~AN7 はマルチプレクスされている PH0~PH7 ポートの場合も含めて入力専用端子です。

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、アナログ回路の信号は優先的に配線し、デジタル回路の信号配線と交差させたり、近接させたりするようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 (AN0~AN7)、アナログ基準電圧 (AVref)、アナログ電源 (AVcc)、アナロググランド (AVss) は、デジタル回路と必ず分離してください。さらに AVss は、ボード上の安定したデジタルグランド (Vss) に一点接続してください。

【注】 SH7262 はアナログ入力端子 0~3 (AN0~AN3) のみ使用可能です。

6.4.2 アナログ端子の保護回路

アナログ入力端子 (AN0~AN7) には、過大なサージなどの異常電圧による破壊を防ぐために、図 14 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまで設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

【注】 SH7262 はアナログ入力端子 0~3 (AN0~AN3) のみ使用可能です。

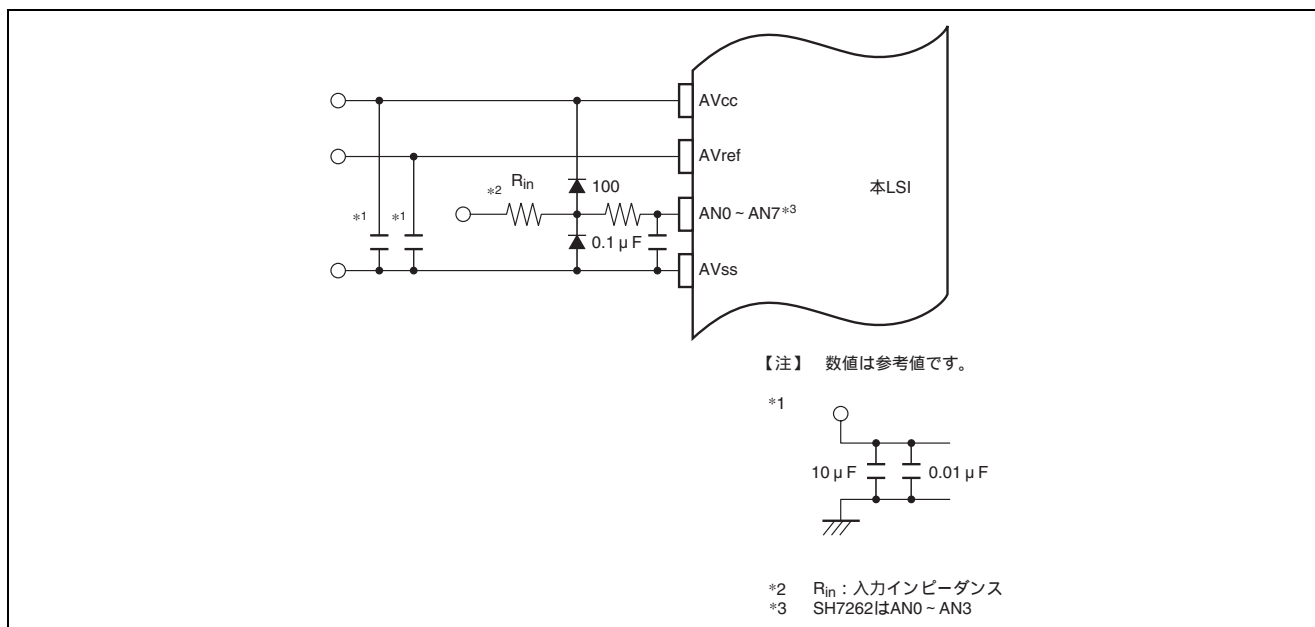


図14 アナログ入力端子の保護回路の例

6.4.3 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $5k\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5k\Omega$ を超える場合、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $3k\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタのため、微分係数の大きなアナログ信号 (たとえば $5mV/\mu s$ 以上) には追従できないことがあります。

高速のアナログ信号を変換する場合やスキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

図 15 にアナログ入力回路の例を示します。

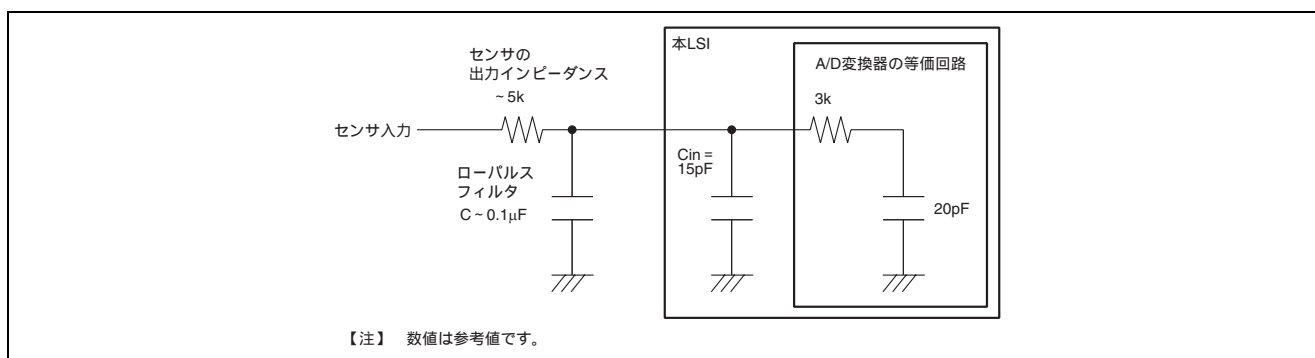


図15 アナログ入力回路の例

6.5 USB 関連端子

USB2.0 ホスト/ファンクションモジュール (USB モジュール) を使用する場合の端子処理については、アプリケーションノート「SH7262/SH7264 グループ Hi-Speed USB 2.0 基板設計ガイドライン」に詳細を記載していますので、こちらも合わせて参照してください。

6.6 未使用端子の処理

表 9 に未使用端子の処理を示します。

表9 未使用端子の処理

端子	処理
NMI	ハイレベル固定 (プルアップ/電源接続)
DP、DM、VBUS	USBDPVss に接続
REFRIN	5.6k Ω \pm 20%の抵抗を介して USBAPVcc に接続
USB 専用電源 (USBAPVcc、USBAPVss、USBDPVcc、USBDPVss、USBAVcc、USBAVss、USBDVcc、USBDVss、USBVcc、USBVss)	電源、グラウンドに接続
AVref	AVcc に接続
A/D 専用電源 (AVcc、AVss)	電源、グラウンドに接続
上記以外の入力専用端子	固定 (プルアップ/プルダウン/電源接続/グラウンド接続)
上記以外の入出力専用端子	入力端子設定にして固定 (プルアップ/プルダウン) または出力設定にしてオープン
出力専用端子	オープン
ASEMD#	ハイレベル固定 (プルアップ/電源接続)
TRST#	ローレベル固定 (プルダウン/グラウンド接続)
TCK、TMS、TDI	固定 (プルアップ/プルダウン/電源接続/グラウンド接続)
TDO、ASEBRKAK#/ASEBRK#	オープン

【注】 プルアップ/プルダウンの抵抗は 4.7k Ω ~ 100k Ω を推奨します。

7. 内蔵資源へのアクセス

本 LSI の内蔵資源には、高速内蔵 RAM および大容量内蔵 RAM、内蔵周辺モジュールがあります。

表 10 に内蔵資源へのアクセスサイクル数を示します。高速内蔵 RAM へのアクセスは使用するバスによってサイクル数が異なります。各内蔵資源に接続されているバスについては「SH7262 グループ、SH7264 グループ ハードウェアマニュアル 1.3 ブロック図」を参照してください。

表10 内蔵資源のアクセスサイクル数

リード/ ライト	高速内蔵 RAM*				大容量内蔵 RAM*	内蔵周辺 レジスタ
	CPU 命令 フェッチバス (Fバス)	CPU メモリ アクセスバス (Mバス)	内部 DMA バス (ID バス)			
			Iφ:Bφ クロック比	アクセス サイクル数		
リード	1Iφ	1Iφ	1:1	3Bφ	1Bφ	2Pφ以上
			2:1	2Bφ		
			3:1	2Bφ		
			4:1	2Bφ		
			6:1	1Bφ		
			8:1	1Bφ		
ライト	1Iφ	1Iφ	1:1	2Bφ	1Bφ	2Pφ以上
			2:1	2Bφ		
			3:1	2Bφ		
			4:1	2Bφ		
			6:1	1Bφ		
			8:1	1Bφ		

【注】 ※ 高速内蔵 RAM および大容量内蔵 RAM は複数のページから構成されています。各ページには読み出し/書き込みのためのポートがありますが、同じページに対して異なるバスから同時にアクセス要求が発生するとページ競合が起こり、性能が低下します。そのため、バスごとに異なるページにアクセスするなどのソフトウェアでの対策を推奨します。

8. エンディアン

本 LSI では、バイトデータの並び方を上位バイト (MSB) が 0 番地側になるビッグエンディアン、下位バイト (LSB) が 0 番地側になるリトルエンディアンのいずれもサポートしています。全エリアでパワーオンリセット後の初期状態はビッグエンディアンとなります。対象空間にアクセスしていない場合に、CSn 空間バスコントロールレジスタ (CSnBCR) の設定でエンディアンの変更ができます。

また、データバス幅は、通常メモリ、バイト選択付き SRAM インタフェースの場合は 8 ビットおよび 16 ビット幅の 2 種類から選ぶことが可能で、SDRAM は 16 ビット幅固定となります。PCMCIA インタフェースの場合は、8 ビットおよび 16 ビット幅の 2 種類から選択できます。MPX-I/O インタフェースは、8 ビットまたは 16 ビット幅固定、もしくはアクセスするアドレスにより 8 ビットまたは 16 ビットの可変となります。

なお、エンディアン指定、データバス幅はブートモードに伴う制限があります。表 11 にブートモードとエリア別初期状態を示します。

16 ビットバス幅の場合、ストロブ信号の番地対応が、ビッグエンディアンとリトルエンディアンで異なることに注意してください。たとえば、16 ビットバス幅でビッグエンディアン時には、WE1 が 0 番地側を示し、リトルエンディアン時には、WE0 が 0 番地側を示します。

命令フェッチは 32 ビットアクセスと 16 ビットアクセスが混在し、リトルエンディアン領域への配置は難しいため、命令実行はビッグエンディアン領域から行ってください。

表11 ブートモードとエリア別初期状態

ブートモード	項目	エリア 0	エリア 1~6
0	データバス幅	16 ビットバス幅に固定。変更不可	初期値は 16 ビットバス幅。プログラムで変更可能
	エンディアン指定	ビッグエンディアン指定に固定。変更不可	初期値はビッグエンディアン指定。プログラムで変更可能
	バスステートコントローラ関連端子設定	ROM 接続想定アドレス、データ、CS0#、RD#などの最低限の端子機能は自動設定。それ以外の端子はプログラムで設定が必要。	
1、2、3	データバス幅	初期値は 16 ビットバス幅。プログラムで変更可能	
	エンディアン指定	初期値はビッグエンディアン指定。プログラムで変更可能	
	バスステートコントローラ関連端子設定	初期値は汎用ポート機能。外部バスアクセスを行う場合、必要端子すべてのプログラム設定が必要	

9. 低消費電力モード

本 LSI の低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. ディープスタンバイモード
4. モジュールスタンバイ機能

低消費電力モードでは、CPU、クロック、内蔵メモリ、一部内蔵周辺モジュール等の機能を停止したり、電源をオフにしたりすることにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込み等によって解除されます。

表 12 にプログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、および各モードの解除方法を示します。レジスタ状態については、SH7262 グループ、SH7264 グループハードウェアマニュアル「36.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

表 12 低消費電力モードの状態

低消費電力モード	遷移条件	状態 ^{*1}									解除方法
		CPG	CPU	CPU レジスタ	高速内蔵 RAM キャッシュ メモリ	大容量 内蔵 RAM (保持用内蔵 RAM 含む)	内蔵周辺 モジュール	リアル タイム クロック	電源	外部 メモリ	
スリープ モード	STBCR1 の STBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止	保持	動作	動作	動作	動作 ^{*2}	動作	オート リフレッシュ してください	・割り込み ・マニュアルリセット ・パワーオンリセット ・DMA アドレスエラー
ソフトウェア スタンバイ モード	STBCR1 の STBY ビットが 1、DEEP ビットが 0 の状態で SLEEP 命令を実行	停止	停止	保持	停止 (内容は 保持) ^{*5*}	停止 (内容は 保持) ^{*5*}	停止	動作 ^{*2}	動作	セルフ リフレッシュ してください	・NMI 割り込み ・IRQ 割り込み ・パワーオンリセット
ディープ スタンバイ モード	STBCR1 の STBY ビットと DEEP ビッ トが 1 の状態で SLEEP 命令を実行	停止	停止	停止	停止 (内容は 非保持)	停止 (保持用 内蔵 RAM の 内容は保持 ^{*3})	停止	動作 ^{*2}	停止	セルフ リフレッシュ してください	・NMI 割り込み ^{*4} ・パワーオンリセット ^{*4} ・リアルタイムクロック アラーム割り込み ^{*4} ・解除用端子の変化 ^{*4}
モジュール スタンバイ モード	STBCR2、STBCR3、 STBCR4、STBCR5、 STBCR6、STBCR7、 STBCR8 の MSTP ビットを 1 とする	動作	動作	保持	動作	動作	指定 モジュール が停止	停止	動作	オート リフレッシュ してください	・MSTP ビットを 0 に クリア ・パワーオンリセット (ただし H-UDI、DMAC のみ)

【注】 ^{*1} 端子状態は、保持またはハイインピーダンスです。

^{*2} リアルタイムクロックは RCR2 レジスタの START ビットが 1 のとき動作します。なお、パワーオンリセットによりディープスタンバイモードを解除した場合、動作状態を保持することができません。再度、リアルタイムクロックの初期設定を行ってください。

^{*3} RRAMKP レジスタの RRAMKP3~RRAMKP0 ビットを 1 にセットすると保持用内蔵 RAM の対象エリアの内容を、ディープスタンバイモード遷移時に保持することができます。ただし、パワーオンリセットによりディープスタンバイモードを解除した場合、保持している内容は初期化されます。RRAMKP3、RRAMKP2 ビットは、640KB 版でのみ使用できます。

^{*4} ディープスタンバイモードは、割り込み (NMI、リアルタイムクロックアラーム割り込み)、リセット (パワーオンリセット) および解除用端子 (PC8~PC5、PG11、PG10、PJ3、PJ1) の変化により解除されます。ただし、リセット以外によってディープスタンバイモードを解除する場合も、割り込み例外処理ではなくパワーオンリセット例外処理が実行されます。PG11、PG10 は、640KB 版でのみ解除用端子として動作します。

^{*5} パワーオンリセットによりソフトウェアスタンバイモードを解除した場合、保持している内容は初期化されます。

^{*6} 高速内蔵 RAM は、SYSCR1 レジスタの RAME ビット、または SYSCR2 レジスタの RAMWE ビットをディスエーブルにすることにより、パワーオンリセットでソフトウェアスタンバイモードを解除した場合でも保持し続けることができます。

^{*7} 大容量内蔵 RAM (保持用内蔵 RAM 含む) は、SYSCR3 レジスタの VRAME ビット、または SYSCR4 レジスタの VRAMWE ビットをディスエーブルにすることにより、パワーオンリセットでソフトウェアスタンバイモードを解除した場合でも、保持し続けることができます。

9.1 スリープモード

スリープモードは、CPU のみが動作停止するモードです。

STBCR1 レジスタの STBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO 端子からのクロック出力は続行されます。

9.2 ソフトウェアスタンバイモード

ソフトウェアスタンバイモードは、本 LSI 全体が動作停止するモードです。

スタンバイコントロールレジスタ 1 (STBCR1) の STBY ビットが 1、DEEP ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CKIO 端子からのクロック出力も停止します。

CPU およびキャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタは初期化されるものがあります。

また、CPU は、STBCR1 への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR1 への書き込み値を SLEEP 命令に確実に反映するためには、STBCR1 を読み出してから SLEEP 命令を実行してください。

9.3 ディープスタンバイモード

ディープスタンバイモードは、本 LSI 全体が動作停止するだけでなく、電源をオフにするモードです。

STBCR1 の STBY ビットと DEEP ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からディープスタンバイモードに遷移します。ディープスタンバイモードでは、CPU、クロック、および内蔵周辺モジュールが停止するだけでなく、保持用内蔵 RAM 保持エリア指定レジスタ (RRAMKP) の RRAMKP3~RRAMKP0 ビットの設定により保持となる保持用内蔵 RAM エリア、リアルタイムクロックを除き電源がオフになり、消費電力を大幅に低減することができます。そのため CPU およびキャッシュのレジスタ内容、内蔵周辺モジュールのレジスタの値は保持されません。ただし、端子の状態はディープスタンバイモードに遷移する直前の値を保持することができます。

CPU は、ディープスタンバイ解除要因フラグレジスタ (DSFR) への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から DSFR への書き込み値を SLEEP 命令に確実に反映するためには、DSFR を読み出してから SLEEP 命令を実行してください。

ディープスタンバイモードについては、アプリケーションノート「SH7262/SH7264 グループ 低消費電力モード ディープスタンバイ処理例」に詳細を記載していますので、こちらも合わせて参照してください。

9.4 モジュールスタンバイ機能

モジュールスタンバイ機能は、内蔵周辺モジュールごとに動作を停止させる機能です。

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、プログラム実行状態およびスリープモード時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にした後で、モジュールスタンバイ状態にしてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは行わないでください。

9.5 低消費電力モード時の端子状態

9.5.1 スリープモード時の端子状態

スリープモード時は、周辺モジュールは動作していますので、各端子の状態は周辺モジュールの動作に合わせて変化します。

9.5.2 モジュールスタンバイ状態の端子状態

汎用入出力ポートで端子機能として選択されているモジュールに対しモジュールスタンバイ機能を使用した場合、モジュールスタンバイ機能時にレジスタが初期化されるモジュールの端子は各端子機能の初期状態になり、レジスタが初期化されないモジュールの場合は、モジュールスタンバイ直前の状態を保持します。

9.5.3 ソフトウェアスタンバイモード時およびディープスタンバイモード時の端子状態

ソフトウェアスタンバイモード時、およびディープスタンバイモード時の端子状態は端子機能や設定により異なります。

表 13～表 15にソフトウェアスタンバイモード時およびディープスタンバイモード時の端子状態を示します。

表13 ソフトウェアスタンバイモード時およびディープスタンバイモード時の端子状態 (1)

端子		説明		
外部バス 関連端子	CKIO	CKOEN[1:0]ビットで指定 (FRQCR レジスタ)		
		設定値	ソフトウェア スタンバイモード時	ディープ スタンバイモード時
		B'00	Hi-Z	ローまたはハイ
		B'01	ロー	ローまたはハイ
		B'10	不安定なクロック出力	ローまたはハイ
		B'11	Hi-Z	Hi-Z
	A25～A0、CS6#～CS0#、CE1A#、 CE1B#、CE2A#、CE2B#、RD#、 RD/WR#、BS#、ICIOWR#/AH#、 ICIO RD#、WE1#/DQMLU/WE#、 WE0#/DQMLL	HIZMEM ビットで指定 (CMNCR レジスタ) 1: 出力状態 0: ハイインピーダンス		
	RAS#、CAS#、CKE	HIZCNT ビットで指定 (CMNCR レジスタ) 1: 出力状態 0: ハイインピーダンス		
	D15～D0、WAIT#、IOIS16#	ハイインピーダンス		

表14 ソフトウェアスタンバイモード時およびディープスタンバイモード時の端子状態 (2)

端子	説明	
その他の出力端子、入出力端子	AUDIO_XOUT (640KB 版のみ) DACK1、DACK0、TEND1、TEND0、 TIOC0A~TIOC0D、TIOC1A、TIOC1B、 TIOC2A、TIOC2B、TIOC3A~TIOC3D、 TIOC4A~TIOC4D、 TxD7~TxD0、SCK3~SCK0、RTS1#、CTS1#、 RTS3#、CTS3#、MOSI0、MISO0、MISO1、MOSI1、 RSPCK1、RSPCK0、SSL10、SSL00、 SSITxD0、SSIDATA3~SSIDATA0、 SSISCK3~SSISCK0、SSIWS3~SSIWS0、 SIOFCK、SIOFSYNC、SIOFTxD、 CTx1、CTx0、 IETxD、 FCE#、FALE、FRE#、FCLE、FWE#、NAF7~NAF0 LCD_DATA15~LCD_DATA0、LCD_DE、 LCD_CLK、LCD_VSYNC、LCD_HSYNC、 LCD_M_DISP、 SD_CLK、SD_CMD、SD_D3~SD_D0、 PA3~PA0、PB22~PB1、PC10~PC0、PD15~ PD0、PF12~PF0、PG24~PG0、PJ11~PJ0、PK11 ~PK0、 PWM1A~PWM1H、PWM2A~PWM2H	HIZ ビットで指定 (STBCR3 レジスタ) 1: ハイインピーダンス 0: 出力端子および出力設定された入出力端子の 場合は端子状態を保持、入力設定された入出力端子はハイインピーダンス 【注】 AUDIO_XOUT が端子状態を保持する場合、 ハイレベルまたはローレベルを出力し発振は 行いません。
WDTOVF#	ハイレベル	
XTAL、AUDIO_X2、 USB_X2	ローレベル 【注】 RCKSEL ビット=1 の場合、XTAL は出力状態)	
BACK#、 SCL2~SCL0、SDA2~SDA0、 PE5~PE0、PH7~PH0	ハイインピーダンス	
DP、DM	ソフトウェアスタンバイモード時：端子状態を保持 ディープスタンバイモード時：ハイインピーダンス	
RTC_X2	RTCEN ビットで指定 (RCR2 レジスタ) 1: 出力状態 (RTC_X1 は動作) 0: ハイレベル (RTC_X1 は停止)	

【注】 ディープスタンバイモードの解除用端子は汎用入出力ポートの機能設定にかかわらず入力状態となります。

表15 ソフトウェアスタンバイモード時およびディープスタンバイモード時の端子状態 (3)

端子		説明		
入力端子	EXTAL	クロック 動作モード	ソフトウェア スタンバイ モード時	ディープ スタンバイ モード時
		0、2	入力状態	Hi-Z (RCKSEL=1 の 場合は入力)
		1、3	Hi-Z	
	AUDIO_CLK、AUDIO_X1、 BREQ#、 PINT7~PINT0、 DREQ1、DREQ0、 TCLKA~TCLKD、 AN7~AN0、ADTRG#、 FRB、 USB_X1、 LCD_EXTCLK、DV_CLK、DV_DATA7~ DV_DATA0、DV_VSYNC、DV_HSYNC、 SD_CD、SD_WP	ハイインピーダンス		
	RxD7~RxD0、 SSIRxD0、 SIOFRxD	ハイインピーダンス		
	RES#、 ASEMD#、 NMI、 VBUS、REFRIN	入力状態		
RTC_X1	RTCEN ビットで指定 (RCR2 レジスタ) 1: 入力状態 (RTC_X1 は動作) 0: ハイインピーダンス (RTC_X1 は停止)			
IRQ7~IRQ0、 IERxD、 CRx1、CRx0	ソフトウェアスタンバイモード時: 入力状態 ディープスタンバイモード時: ハイインピーダンス			

【注】 ディープスタンバイモードの解除用端子は汎用入出力ポートの機能設定にかかわらず入力状態となります。

9.5.4 ディープスタンバイモード解除後の端子状態

ディープスタンバイモード解除後は、IOKEEP ビットがクリアされるまで端子状態が保持されます。ただし、EBUSKEEPE ビットを 0 に設定している場合は、ディープスタンバイモード解除直後に外部メモリ制御端子の保持状態が解除されます。保持状態が解除される端子は使用するブートモードにより異なります。

表 16 に EBUSKEEPE ビットの設定が有効となる外部メモリ制御端子の一覧を示します。

表 16 EBUSKEEPE ビットの設定が有効となる外部メモリ制御端子の一覧

ブートモード 0 (CS0 空間)	ブートモード 2 (NAND フラッシュメモリ)	ブートモード 1、3 (シリアルフラッシュメモリ)
A20~A1 D15~D0 CS0#、RD#、CKIO	NAF7~NAF0 FRE#、FCLE、FALE、 FWE#、FCE#、FRB	RSPCK0、SSL00、MOSI0、MISO0

10. 参考ドキュメント

- ソフトウェアマニュアル
SH-2A、SH2A-FPU ソフトウェアマニュアル Rev.3.00
(最新版をルネサスエレクトロニクスのホームページから入手してください。)
- ハードウェアマニュアル
SH7262 グループ、SH7264 グループ ハードウェアマニュアル Rev.2.00
(最新版をルネサスエレクトロニクスのホームページから入手してください。)
- エミュレータマニュアル
SuperH™ファミリ用 E10A-USB エミュレータ ユーザーズマニュアル別冊 (SH7264 SH7262 SH7266 SH7267 ご使用時の補足説明) Rev.3.00
(最新版をルネサスエレクトロニクスのホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/inquiry>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.04.15	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違っていると、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連して発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続きを行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/inquiry>