

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## SH7211 グループ

### SCIF クロック同期式シリアルデータ送受信機能

#### 要旨

本アプリケーションノートは、SH7211 の FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) の送信 FIFO データエンプティ割り込み要因と受信 FIFO データフル割り込み要因を利用したシリアル送受信機能の設定例について説明しています。

#### 動作確認デバイス

SH7211

#### 目次

|                   |    |
|-------------------|----|
| 1. はじめに .....     | 2  |
| 2. 応用例の説明 .....   | 3  |
| 3. 参考ドキュメント ..... | 17 |

## 1. はじめに

### 1.1 仕様

本アプリケーションノートでは、FIFO 付きクロック同期式シリアル転送機能を使用して 256 バイトデータの送受信動作を行います。図 1 に構成を示します。

- SCIF のチャンネル 1 を使用します。
- 送受信データの通信フォーマットは、8 ビットデータ長固定です。
- ビットレートは 100k (bit/s) です。
- 受信トリガ数を 8 とし、受信 FIFO データフル割り込み要因を用いて、256 バイトのデータを受信します。
- 送信トリガ数を 8 とし、送信 FIFO データエンpty 割り込み要因を用いて、256 バイトのデータを送信します。
- 256 バイトの送受信が完了すると送受信動作を停止します

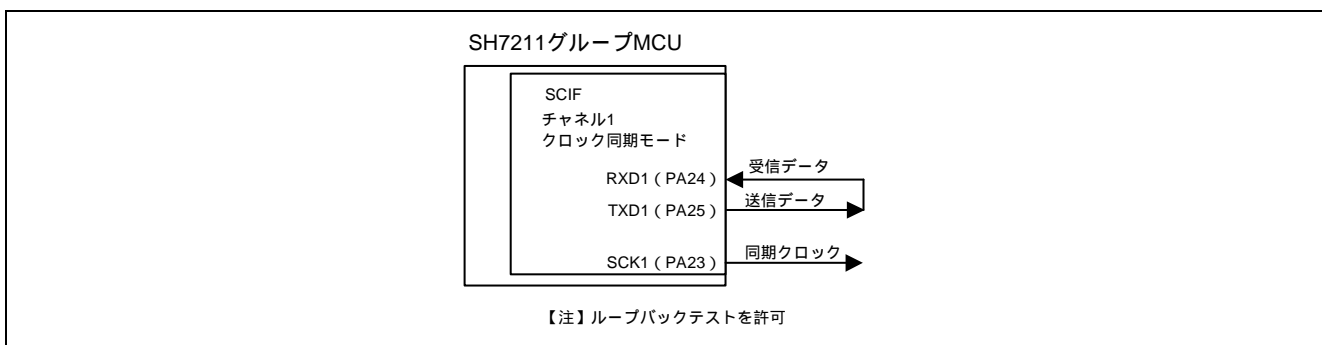


図 1 FIFO 付きクロック同期式シリアルデータ送受信動作

### 1.2 使用機能

FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF チャンネル 1)

### 1.3 適用条件

|            |  |
|------------|--|
| マイコン       | SH7211   |
| 動作周波数      | 内部クロック : I = 160MHz<br>バスクロック : B = 40MHz<br>周辺クロック : P = 40MHz<br>MTU2S クロック : M = 80MHz<br>AD クロック : A = 40MHz   |
| MCU 動作モード  | シングルチップモード   |
| 統合開発環境     | ルネサステクノロジ製   |
| C コンパイラ    | High-performance Embedded Workshop Ver.4.05.01.001<br>ルネサステクノロジ製 SuperH RISC engine ファミリ   |
| コンパイルオプション | C/C++ コンパイラパッケージ Ver.9.03 Release00<br>High-performance Embedded Workshop でのデフォルト設定<br>(-cpu=sh2a -include="\$(WORKSPDIR)¥inc"<br>-object="\$(CONFIGDIR)¥\$(FILELEAF).obj" -debug -gbr=auto -chgincpath<br>-errorpath -global_volatile=0 -opt_range=all -infinite_loop=0 -del_vacant_loop=0<br>-struct_alloc=1 -nologo ) |

## 2. 応用例の説明

本アプリケーションノートでは、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) の送信 FIFO データエンプティ割り込み要因と受信 FIFO データフル割り込み要因を用いて、クロック同期式シリアルデータ送受信を行います。

### 2.1 使用機能の動作概要

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

SCIF についての詳細は、「SH7211 グループ ハードウェアマニュアル (RJJ09B0338)」の「FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)」の章を参照してください。

表 1 に FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) の概要を示します。また、図 2 に SCIF のブロック図を示します。

表 1 クロック同期式シリアル通信の概要

| 項目        | 内容  |
|-----------|---|
| チャンネル数    | 3 チャンネル (チャンネル 0 から 3)  |
| クロックソース   | 内部クロック / 外部クロック選択可能<br>内部クロック: ポーレートジェネレータのクロックで動作<br>外部クロック: SCK 端子クロック入力                          |
| データフォーマット | 転送データ長: 8 ビットデータ固定<br>パリティビット付加はできません   |
| ビットレート    | 内部クロック選択時: 500bps ~ 2Mbps (P = 40MHz 動作時)<br>外部クロック選択時: 最大 3.3Mbps<br>(P = 40MHz、外部入力クロック 3.3MHz 時) |
| エラー検出     | オーバーランエラー   |
| 割り込み要求    | 送信 FIFO エンプティ割り込み (TXI)<br>受信 FIFO データフル割り込み (RXI)<br>受信エラー割り込み (ERI)<br>ブレーク割り込み (BRI)             |

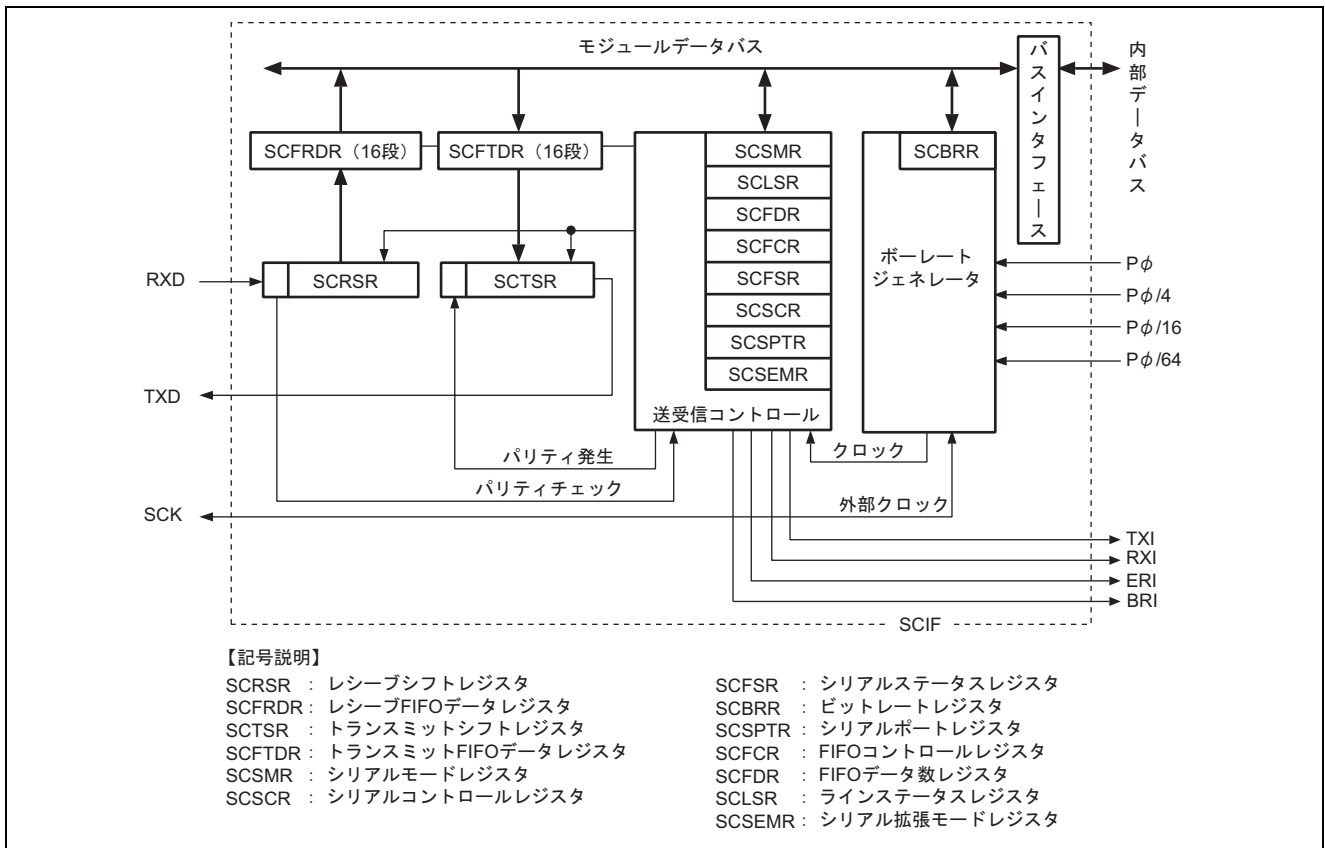


図 2 SCIF のブロック図

FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) のレジスタ機能を示します。

- レシーブシフトレジスタ (SCRSR) は、シリアルデータを受信するためのレジスタです。SCIF は SCRSR に RXD 端子から入力されたシリアルデータを LSB(ビット 0)から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO データレジスタ (SCFRDR) へ転送されます。CPU から直接読み出し/書き込みをすることはできません。
- レシーブ FIFO データレジスタ (SCFRDR) は、受信したシリアルデータを格納する 8 ビット 16 段の FIFO レジスタです。1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込むことはできません。レシーブ FIFO データレジスタに受信データがない状態で読み出すと値は不定になります。このレジスタが受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。
- トランスミットシフトレジスタ (SCTSR) は、シリアルデータを送信するためのレジスタです。SCIF は、トランスミット FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB(ビット 0)から順に TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。CPU から、直接 SCTSR の読み出し/書き込みをすることはできません。
- トランスミット FIFO データレジスタ (SCFTDR) は、シリアル送信するデータを格納する 8 ビット 16 段 FIFO レジスタです。SCIF は、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。SCFTDR は、常に CPU による書き込みが可能です。SCFTDR が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことはできません。書き込みを試みてもデータは無視されます。
- シリアルモードレジスタ (SCSMR) は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。SCSMR は、常に CPU による読み出し/書き込みが可能です。
- シリアルコントロールレジスタ (SCSCR) は、SCIF の送信/受信動作、割り込み要求の許可/禁止、および送信/受信クロックソースの選択を行う 16 ビットのレジスタです。SCSCR は、常に CPU による読み出し/書き込みが可能です。
- シリアルステータスレジスタ (SCFSR) は、16 ビットのレジスタです。上位 8 ビットはレシーブ FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示すステータスフラグを示します。SCFSR は常に CPU から読み出し/書き込みが可能です。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。
- ビットレートレジスタ (SCBRR) は、シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータのクロックソースと合わせて、シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。SCBRR は、常に CPU による読み出し/書き込みが可能です。SCBRR は、パワーオンリセット時に H'FF に初期化されます。
- FIFO コントロールレジスタ (SCFCR) は、トランスミット FIFO データレジスタおよびレシーブ FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行う 16 ビットのレジスタです。またループバックテストの許可ビットを含んでいます。SCFCR は、常に CPU による読み出し/書き込みが可能です。
- FIFO データ数レジスタ (SCFDR) は、トランスミット FIFO データレジスタ (SCFTDR) およびレシーブ FIFO データレジスタ (SCFRDR) に格納されているデータ数を示す 16 ビットのレジスタです。上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU からの読み出しが可能です。
- ラインステータスレジスタ (SCLSR) は、常に CPU による読み出し/書き込みが可能な 16 ビットのレジスタです。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。このフラグを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。

## 2.2 参考プログラムの動作

表 2 にクロック同期式モード送受信動作の設定条件を示します。

表 2 クロック同期式モード送受信動作の設定

| 項目        | 内容   |
|-----------|--|
| 使用チャンネル   | SCIF チャンネル 1   |
| 使用端子      | RXD1 ( PA24 ) : 受信データ入力端子<br>TXD1 ( PA25 ) : 送信データ出力端子<br>SCK1 ( PA23 ) : 同期クロック出力端子 |
| 通信モード     | クロック同期式モード   |
| 通信速度      | 100kbps  |
| 送受信データ    | 256 バイト  |
| データ長      | 8 ビット  |
| ビット順序     | LSB ファースト  |
| 同期クロック    | 内部クロック/SCK 端子は同期クロック出力   |
| 受信トリガ     | 8  |
| 送信トリガ     | 8  |
| 割り込み      | 送信 FIFO データエンpty割り込み ( TXI )<br>受信 FIFO データフル割り込み ( RXI )<br>ブレーク割り込み ( BRI )        |
| ループバックテスト | 許可 ( TXD1 と RXD1 端子を内部で接続 )  |



図3に送受信動作を示します。参考プログラムでは、256バイトの送信データの送信を行います。ループバッケストの機能を許可にして、送信データをそのまま受信します。256バイトの送受信が完了後、送受信動作を終了します。

送受信動作を開始すると、トランスミット FIFO データレジスタ (SCFTDR) の格納データが 8 バイト以下で発生する送信 FIFO エンプティ割り込みが発生します。この割り込み処理で送信データを SCFTDR に書き込みます。送信データは、トランスミットシフトレジスタ (SCTSR) に転送後、シリアルデータに変換され TXD1 端子から出力されます。

RXD1 端子で受信したシリアルデータは、レシーブシフトレジスタ (SCRSR) でパラレルデータに変換され、レシーブ FIFO データレジスタ (SCFRDR) に 1 バイトずつ転送されます。SCFRDR に 8 バイトのデータが格納されると、レシーブ FIFO データフル割り込みが発生します。この割り込み処理で、受信データを SCFRDR から受信バッファに格納します。

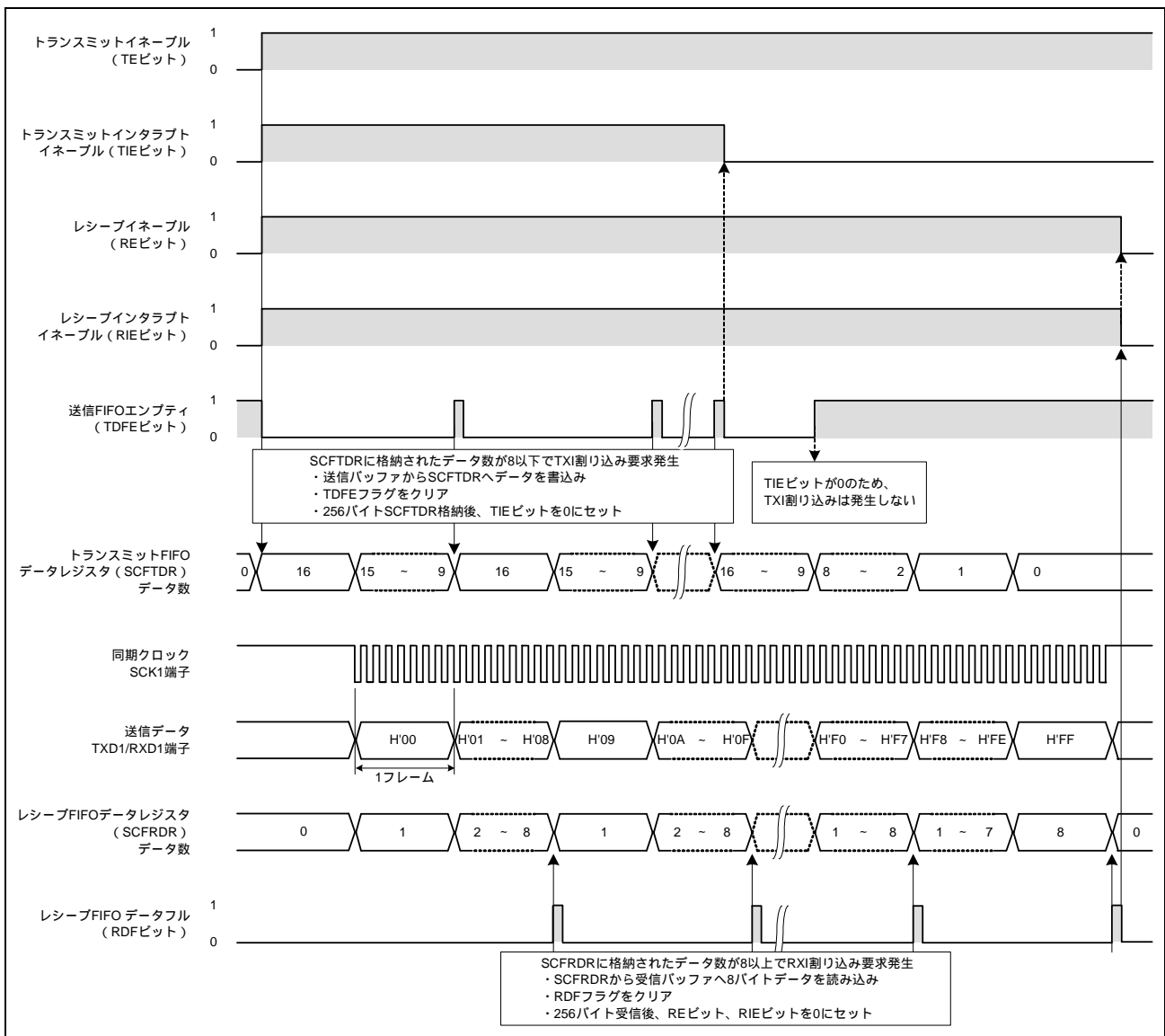


図3 送受信動作

## 2.3 参考プログラム構成

### 2.3.1 使用関数

表 3 に参考プログラムで使用するモジュールを示します。

表 3 使用モジュール

| モジュール名                          | ラベル              | 機能  |
|---------------------------------|------------------|---|
| メイン関数                           | main ()          | 各モジュールの初期設定の実行<br>FIFO 内蔵シリアルコミュニケーションインタフェース ( SCIF ) の初期設定<br>SCIF の送受信の動作を許可 |
| スタンバイ設定関数                       | stbcr_init ()    | SCIF のモジュールスタンバイの解除設定   |
| PFC 初期設定関数                      | pfc_init ()      | ピンファンクションコントローラ ( PFC ) の初期設定<br>SCIF 端子機能に設定                                   |
| SCIF 初期設定関数                     | scif_init()      | SCIF の初期設定  |
| SCIF 送信 FIFO データエン<br>プティ割り込み関数 | Int_scif_txif()  | SCIF 送信 FIFO データエンプティ割り込み処理   |
| SCIF 受信 FIFO データフル<br>割り込み関数    | Int_scif_rxif () | SCIF 受信 FIFO データフル割り込み処理  |
| SCIF ブレーク割り込み関数                 | Int_scif_brif () | SCIF ブレーク割り込み処理 ( オーバランエラー処理 )  |

### 2.3.2 使用変数

表 4 に参考プログラムで使用する変数を示します。

表 4 使用変数

| ラベル名                         | 機能                     | 使用モジュール          |
|------------------------------|------------------------|------------------|
| unsigned int DataNum         | 送信データ数                 | Int_scif_txif () |
| unsigned long Trns_Count     | 送信済データ数                |                  |
| unsigned char Trns_Data[256] | 送信バッファ                 |                  |
| unsigned long Txif_Count     | 送信 FIFO データエンプティ割り込み回数 |                  |
| unsigned long Rcv_Count      | 受信済データ数                | Int_scif_rxif () |
| unsigned char Rcv_Data[256]  | 受信バッファ                 |                  |
| unsigned long Rxif_Count     | 受信 FIFO データフル割り込み回数    |                  |
| unsigned long Brif_Count     | ブレーク割り込み回数             | Int_scif_brif () |

## 2.4 使用機能の設定手順

参考プログラムの処理フローを示します。

### 2.4.1 メイン関数

図 4 にメイン関数の処理フローを示します。

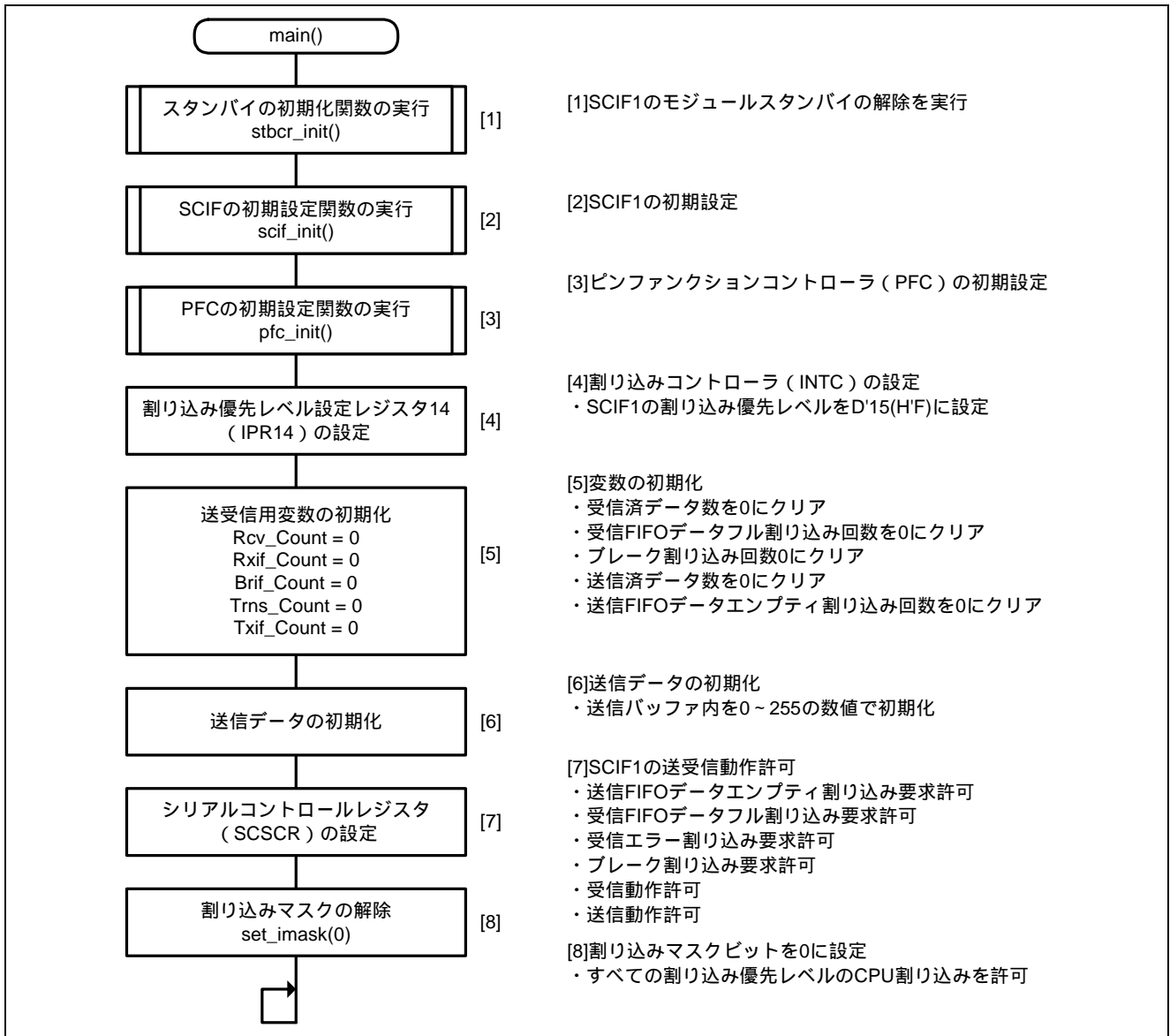


図 4 メイン関数の処理フロー

## 2.4.2 スタンバイの初期設定

図 5 にスタンバイの初期設定の処理フローを示します。

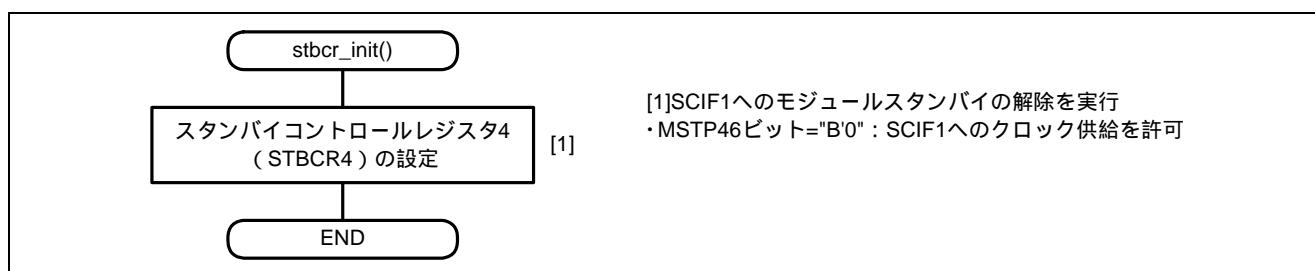


図 5 スタンバイの初期設定処理フロー

## 2.4.3 ピンファンクションコントローラ (PFC) の初期設定

図 6 にピンファンクションコントローラ (PFC) の初期設定の処理フローを示します。

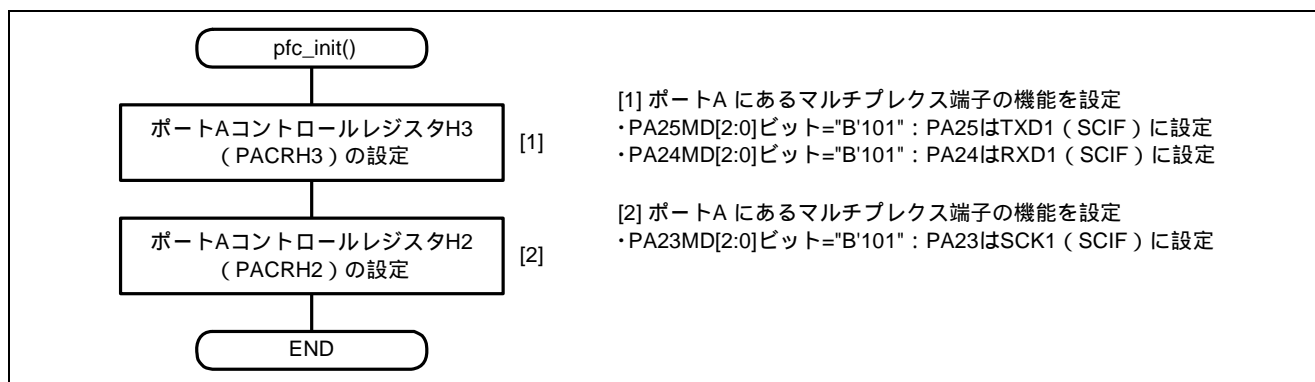


図 6 ピンファンクションコントローラ (PFC) の初期設定処理フロー

2.4.4 SCIF 初期設定関数

図 7 に SCIF 初期設定関数の処理フローを示します。

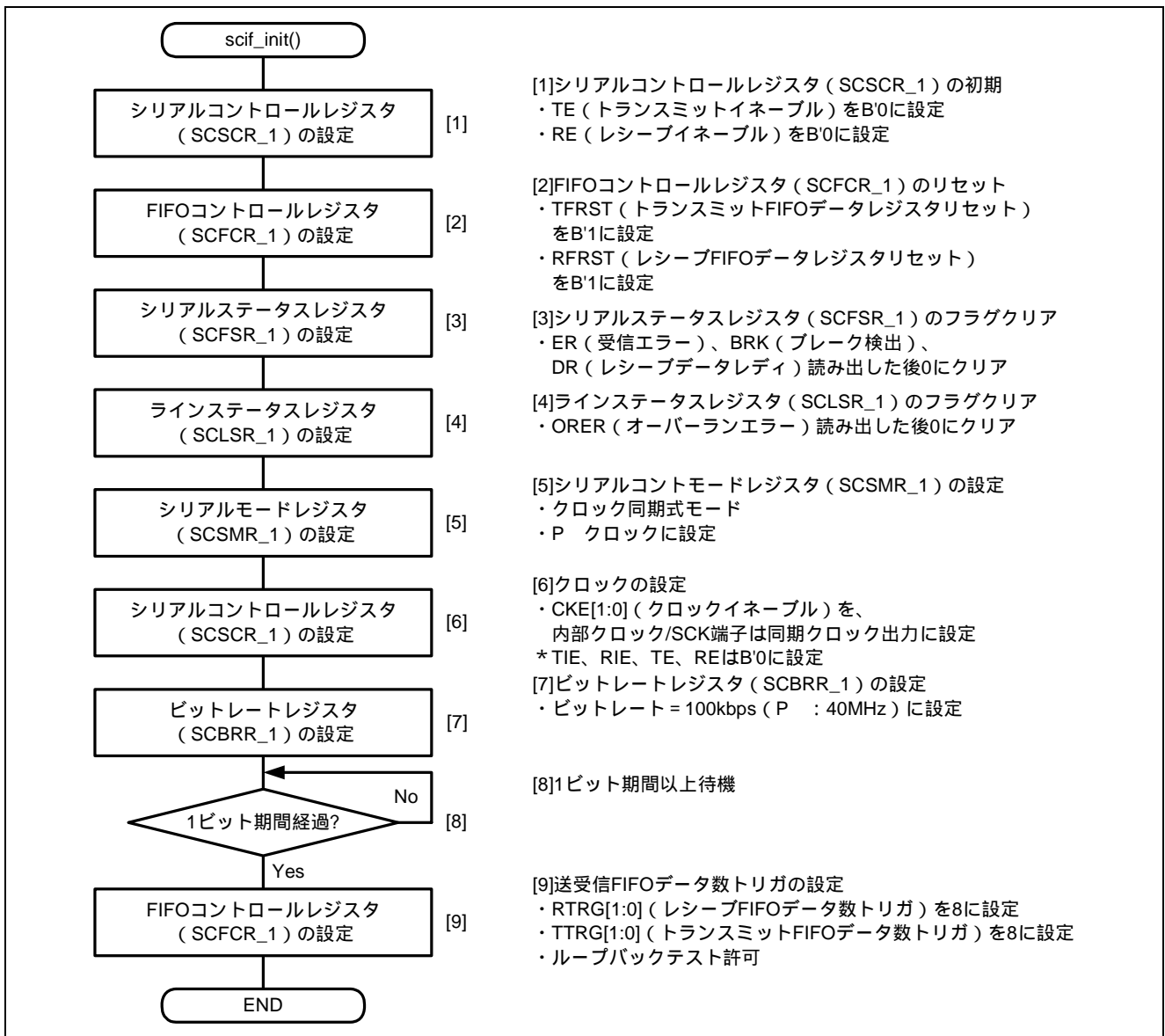


図 7 SCIF 初期設定関数の処理フロー

2.4.5 SCIF 受信 FIFO データフル割り込み関数

図 8 に SCIF 受信 FIFO データフル割り込み関数の処理フローを示します。

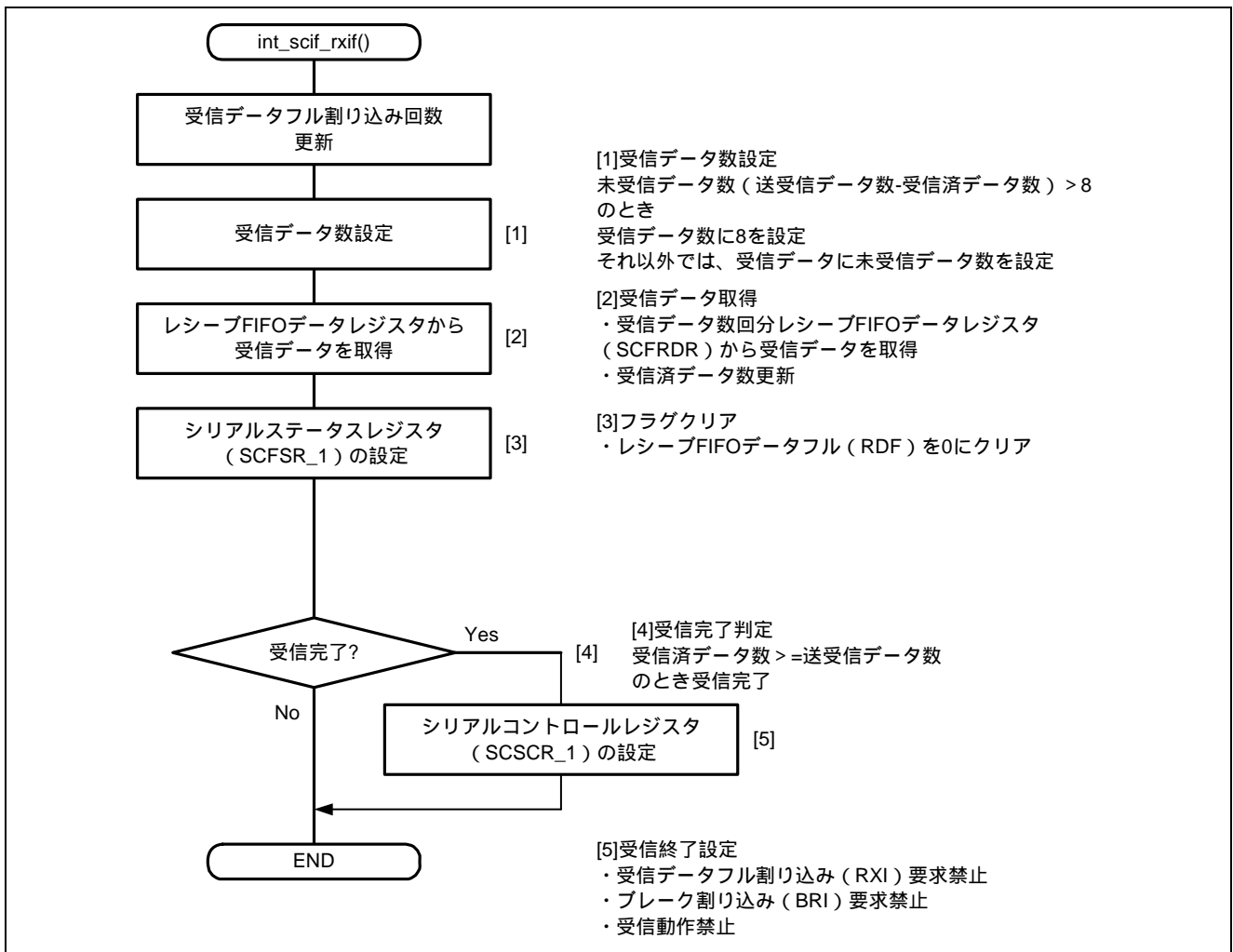


図 8 SCIF 受信 FIFO データフル割り込み関数の処理フロー

2.4.6 SCIF ブレーク割り込み関数（オーバランエラー処理）

図 9 に SCIF ブレーク割り込み関数（オーバランエラー処理）の処理フローを示します。

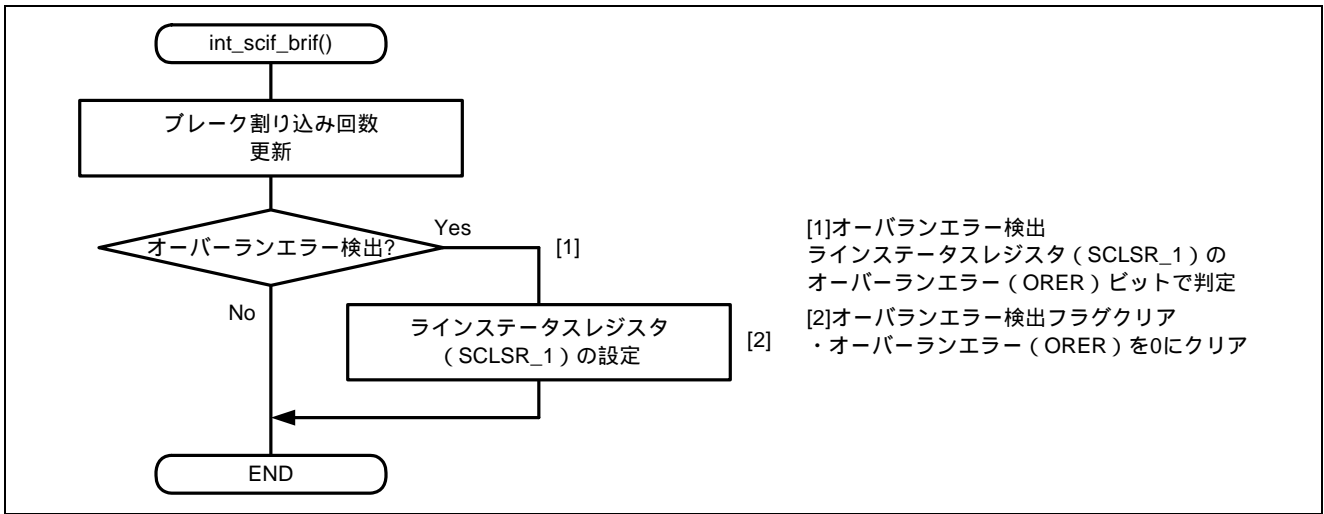


図 9 SCIF ブレーク割り込み関数（オーバランエラー処理）の処理フロー

2.4.7 SCIF 送信 FIFO データエンプティ割り込み関数

図 10 に SCIF 送信 FIFO データエンプティ割り込み関数の処理フローを示します。

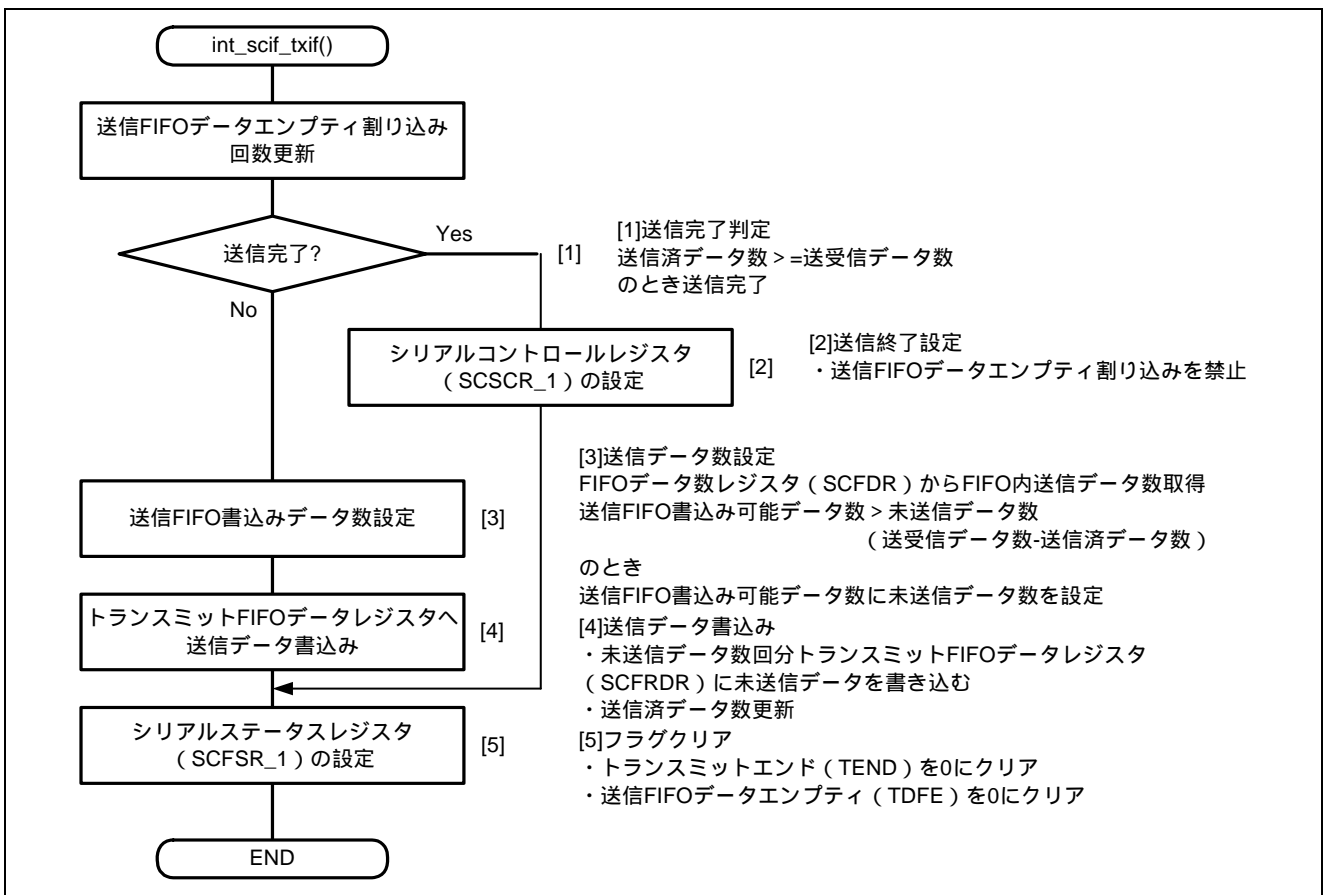


図 10 SCIF 送信 FIFO データエンプティ割り込み関数の処理フロー

## 2.5 参考プログラムのレジスタ設定

参考プログラムで使用するレジスタの設定値を示します。

### 2.5.1 クロックパルス発振器 (CPG)

表 5 にクロックパルス発振器 (CPG) のレジスタ設定を示します。

表 5 クロックパルス発振器 (CPG)

| レジスタ名                | アドレス       | 設定値    | 機能   |
|----------------------|------------|--------|--|
| 周波数制御レジスタ<br>(FRQCR) | H'FFFE0010 | H'1303 | クロック出力設定と動作周波数の分周率を指定<br>・CKOEN="B'1" : CK 端子ローレベル固定<br>・STC[1:0]="B'11" : ×2 PLL 回路 1<br>・IFC[2:0]="B'000" : ×1、内部クロック (I )<br>・RNGS="B'0" : 高周波数モード<br>・PFC[2:0]= "B'011" : ×1/4、周辺クロック (P ) |

### 2.5.2 低消費電力モード

表 6 に低消費電力モードのレジスタ設定を示します。

表 6 低消費電力モード

| レジスタ名                             | アドレス       | 設定値  | 機能  |
|-----------------------------------|------------|------|---|
| スタンバイコント<br>ロールレジスタ 4<br>(STBCR4) | H'FFFE040C | H'B6 | 各モジュールの動作を設定<br>・MSTP47="B'1" : SCIF0 へのクロック供給を停止<br>・MSTP46="B'0" : SCIF1 は動作<br>・MSTP45="B'1" : SCIF2 へのクロック供給を停止<br>・MSTP44="B'1" : SCIF3 へのクロック供給を停止<br>・MSTP42="B'1" : CMT へのクロック供給を停止<br>・MSTP41="B'1" : WAVEIF へのクロック供給を停止 |



## 2.5.3 FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 7 に FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) のレジスタ設定を示します。

表 7 FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

| レジスタ名                          | アドレス       | 設定値    | 機能   |
|--------------------------------|------------|--------|--|
| シリアルモードレジスタ_1<br>(SCSMR_1)     | H'FFFE8800 | H'0080 | SCIF_1 のモード設定<br><ul style="list-style-type: none"> <li>• C/A = "B'1" : クロック同期式モード</li> <li>• CHR = "B'0" : 8 ビットデータ</li> <li>• PE = "B'0" : パリティビット付加およびチェック禁止</li> <li>• STOP = "B'0" : 1 ストップビット</li> <li>• CKS[1:0] = "B'00" : P クロック</li> </ul>   |
| ビットレートレジスタ_1(SCBRR_1)          | H'FFFE8804 | H'61   | ビットレート : 100kbps   |
| シリアルコントロールレジスタ_1<br>(SCSCR_1)  | H'FFFE8808 | H'00F0 | 初期設定<br><ul style="list-style-type: none"> <li>• TIE = "B'1" : 送信 FIFO データエンpty割り込み (TXI) 要求を許可</li> <li>• RIE = "B'1" : 受信 FIFO データフル割り込み要求 (RXI) 受信エラー割り込み要求 (ERI) ブレーク割り込み要求 (BRI) 要求を許可</li> <li>• TE = "B'1" : 送信動作を許可</li> <li>• RE = "B'1" : 受信動作を許可</li> <li>• REIE = "B'0" : 受信エラー割り込み要求 (ERI) ブレーク割り込み要求 (BRI) 要求を禁止</li> <li>• CKE[1:0] = "B'00" : 内部クロック/SCK 端子同期クロック出力</li> </ul>   |
| シリアルステータスレジスタ_1<br>(SCFSR_1)   | H'FFFE8810 | H'0060 | 初期値<br><ul style="list-style-type: none"> <li>• PER[3:0] = パリティエラー数</li> <li>• FER[3:0] = フレーミングエラー数</li> <li>• ER = "B'0" : 受信中、または正常に受信完了</li> <li>• TEND = "B'1" : 送信が終了</li> <li>• TDFE = "B'1" : SCFTDR に書き込んだデータ数が指定送信トリガより少ない</li> <li>• BRK = "B'0" : ブレーク信号なし</li> <li>• FER = "B'0" : フレーミングエラーなし</li> <li>• PER = "B'0" : パリティエラーなし</li> <li>• RDF = "B'0" : SCFRDR 受信データ数が指定トリガ数より少ない</li> <li>• DR = "B'0" : 受信中であるか、正常に受信後 SCFRDR に受信データが残っていない</li> </ul> |
| FIFO コントロールレジスタ_1<br>(SCFCR_1) | H'FFFE8818 | H'0081 | <ul style="list-style-type: none"> <li>• RTRG[1:0] = "B'10" : レシーブ FIFO データトリガ数=8</li> <li>• TTRG[1:0] = "B'00" : トランスミット FIFO データトリガ数=8</li> <li>• TFRST = "B'0" : トランスミット FIFO データレジスタのリセット動作を禁止</li> <li>• RFRST = "B'0" : レシーブ FIFO データレジスタのリセット動作を禁止</li> <li>• LOOP = "B'1" : ループバックテストを許可</li> </ul>  |

### 2.5.4 割り込みコントローラ (INTC)

表 8 に割り込みコントローラ (INTC) のレジスタ設定を示します。

表 8 割り込みコントローラ (INTC)

| レジスタ名                      | アドレス       | 設定値    | 機能   |
|----------------------------|------------|--------|--|
| 割り込み優先レベル設定レジスタ 14 (IPR14) | H'FFFE0C10 | H'0F00 | 割り込みの優先順位 (レベル 0 ~ 15) を設定<br>・ Bit 15-12 = "B'0000" : SCIF_0 割り込みレベル=0<br>・ Bit 11-8 = "B'1111" : SCIF_1 割り込みレベル=15<br>・ Bit 7-4 = "B'0000" : SCIF_2 割り込みレベル=0<br>・ Bit 3-0 = "B'0000" : SCIF_3 割り込みレベル=0 |

### 2.5.5 ピンファンクションコントローラ (PFC)

表 9 にピンファンクションコントローラ (PFC) のレジスタ設定を示します。

表 9 ピンファンクションコントローラ (PFC)

| レジスタ名                        | アドレス       | 設定値    | 機能   |
|------------------------------|------------|--------|--|
| ポート A コントローラレジスタ H3 (PACRH3) | H'FFFE380A | H'0055 | ポート A のマルチプレクス端子の機能を設定<br>・ PA25MD[2:0]="B'101" : PA25 は、TXD1 出力 (SCIF)<br>・ PA24MD[2:0]="B'101" : PA24 は、RXD1 入力 (SCIF) |
| ポート A コントローラレジスタ H2 (PACRH2) | H'FFFE380C | H'5000 | ポート A のマルチプレクス端子の機能を設定<br>・ PA23MD[2:0]="B'101" : PA23 は、SCK1 出力 (SCIF)  |

### 3. 参考ドキュメント

- ハードウェアマニュアル  
SH7211 グループ ハードウェアマニュアル [RJJ09B0338]  
(最新版はルネサステクノロジのホームページから入手してください)
  
- ソフトウェアマニュアル  
SH-2A/SH2A-FPU ソフトウェアマニュアル [RJJ09B0086]  
(最新版はルネサステクノロジのホームページから入手してください)

### ホームページとサポート窓口

- ルネサステクノロジホームページ  
<http://japan.renesas.com/>
  
- お問い合わせ先  
<http://japan.renesas.com/inquiry>  
[csc@renesas.com](mailto:csc@renesas.com)

### 改訂記録

| Rev. | 発行日        | 改訂内容 |      |
|------|------------|------|------|
|      |            | ページ  | ポイント |
| 1.00 | 2009.09.01 | —    | 初版発行 |
|      |            |      |      |
|      |            |      |      |
|      |            |      |      |
|      |            |      |      |
|      |            |      |      |
|      |            |      |      |

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承ください。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444