

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# SH7080/SH7146/SH7125/SH7200 シリーズ

## MTU2 による A/D 変換器の遅延起動

### 要旨

本アプリケーションノートは、相補 PWM 波形 3 相出力時における A/D 変換器の遅延起動について述べます。

### 動作確認デバイス

- ・マイコン : SH7085 (R5F7085)
- ・動作周波数 : 内部クロック 80 MHz
  - : バスクロック 40 MHz
  - : 周辺クロック 40 MHz
  - : MTU2 クロック 40 MHz
  - : MTU2S クロック 80 MHz
- ・C コンパイラ : ルネサステクノロジ製 Ver.7.1.04

### 目次

1. 仕様 .....	2
2. 使用機能説明 .....	3
3. 動作説明 .....	6
4. ソフトウェア説明 .....	7
5. フローチャート .....	15
6. ホームページとサポート窓口 .....	17

### 1. 仕様

本タスク例では、MTU2 のチャンネル 3, 4 (ch3, 4) から相補 PWM 波形 3 相出力時、A/D 変換器を任意のタイミングで起動します。以下に、本タスク例の基本仕様を示します。

- MTU2 ch3, 4 は、デッドタイムのある 3 相の相補 PWM 波形を出力し、TIOC3A 端子から PWM 周期に同期したトグル出力を行います。
- A/D 変換器は、TCNT\_4 のアップカウント時、TCNT\_4 と TADCORA\_4 のコンペアマッチで起動します。
- A/D 変換起動タイミングは、ch3 のコンペアマッチ割り込みで更新します。
- A/D 変換器は、シングルモードで動作します。
- A/D 変換結果は、A/D 変換終了割り込みで内蔵 RAM に格納します。

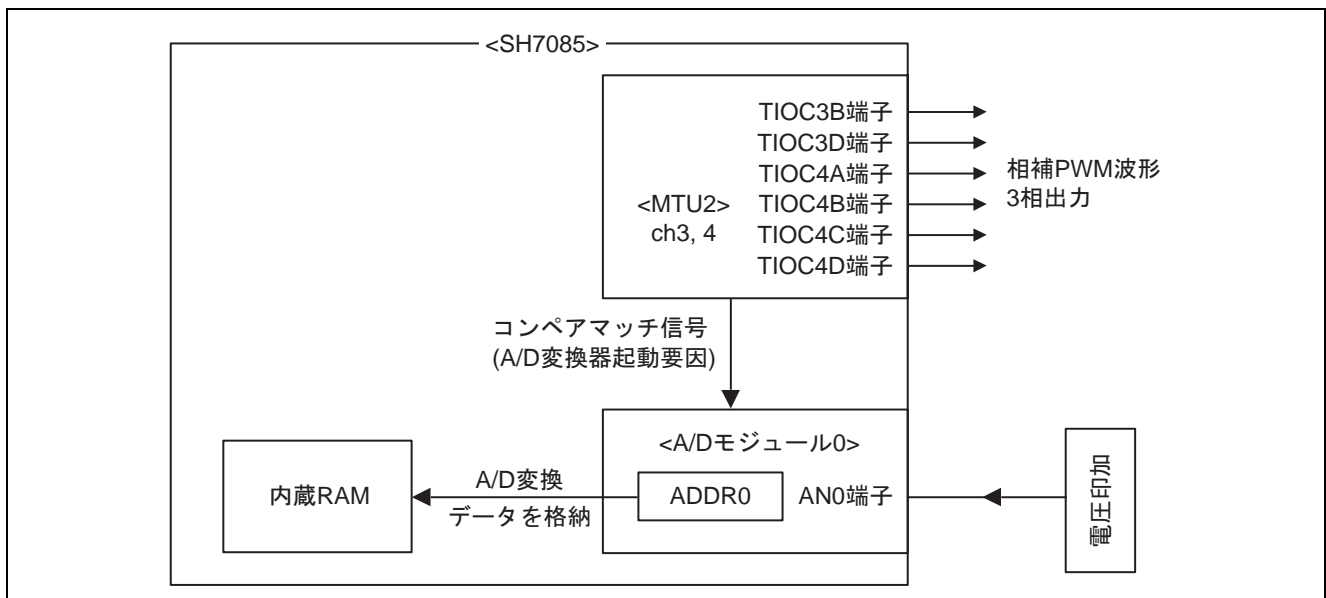


図 1 MTU2 による A/D 変換ブロック図

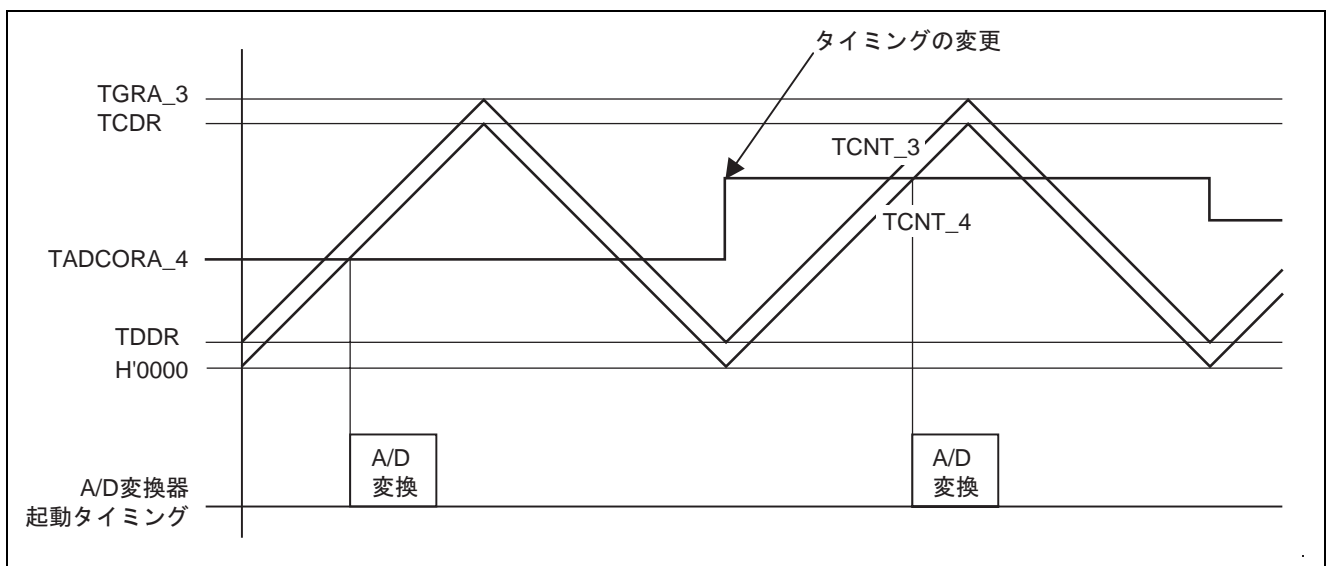


図 2 A/D 変換器の起動

2. 使用機能説明

本タスク例では、MTU2 の A/D 変換開始要求ディレイド機能により、A/D 変換器を起動します。

2.1 MTU2 (Multi Function Timer Pulse Unit 2)

図 3 に割り込み間引き機能使用時の MTU2 (ch3, ch4) のブロック図を示し、以下に機能説明をします。

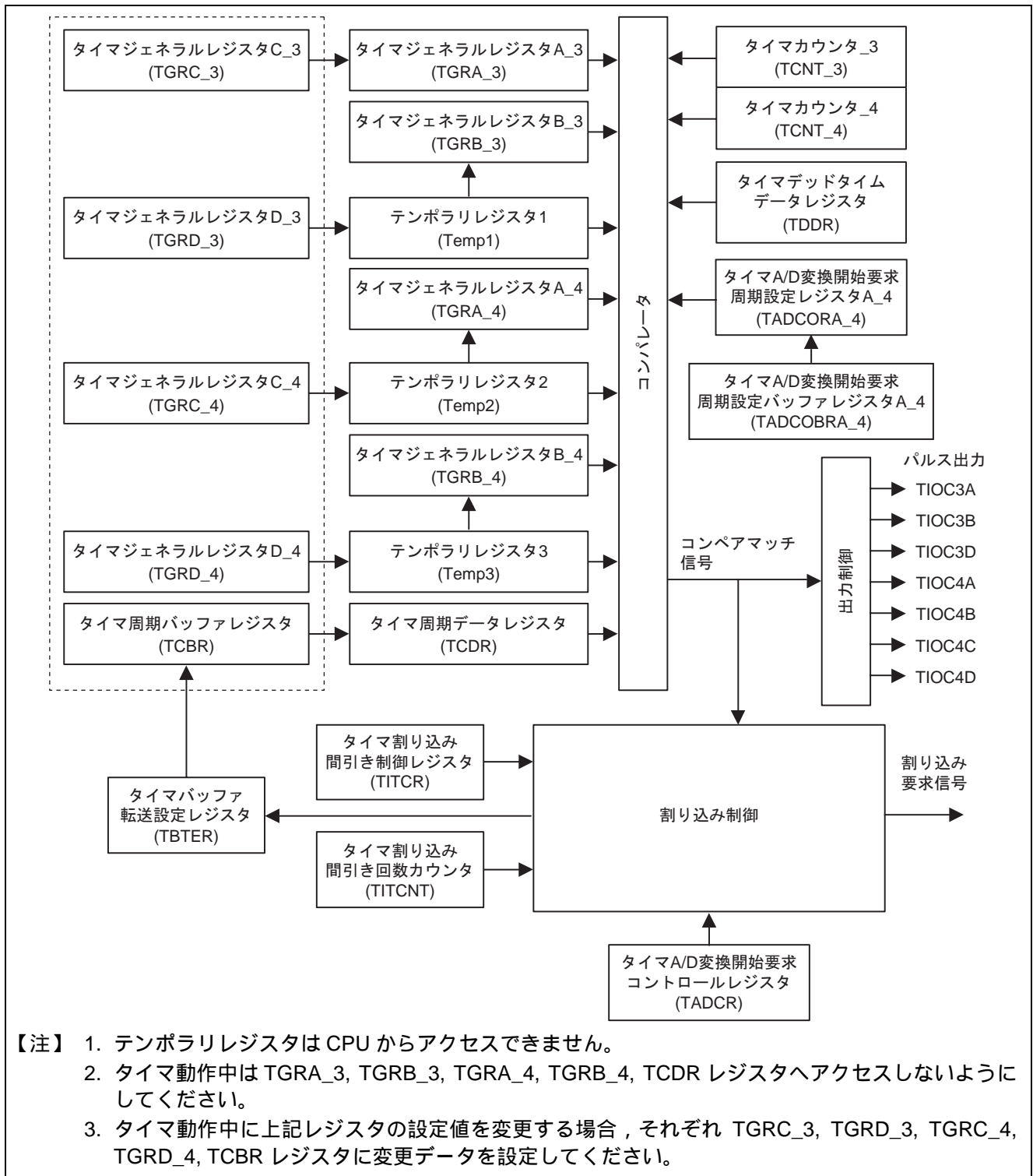


図 3 割り込み間引き機能使用時の MTU2 (ch3, ch4) のブロック図

- タイマジェネラルレジスタ A<sub>3</sub> (TGRA<sub>3</sub>) は、コンペアレジスタとして動作します。TGRA<sub>3</sub> には、PWM 周期の 1/2 となる値を設定します。また、タイマ動作中に設定値を変更する場合、タイマジェネラルレジスタ C<sub>3</sub> (TGRC<sub>3</sub>) に変更する値を設定します。
- タイマジェネラルレジスタ B<sub>3</sub> (TGRB<sub>3</sub>) は、コンペアレジスタとして動作します。TGRB<sub>3</sub> には、TIOC3B, TIOC3D 端子から出力する PWM 波形のデューティを設定します。また、タイマ動作中に設定値を変更する場合、タイマジェネラルレジスタ D<sub>3</sub> (TGRD<sub>3</sub>) に変更する値を設定します。
- タイマジェネラルレジスタ C<sub>3</sub> (TGRC<sub>3</sub>) は、TGRA<sub>3</sub> のバッファレジスタとして動作します。タイマ動作中は、TGRC<sub>3</sub> の設定値が TGRA<sub>3</sub> に反映されます。
- タイマジェネラルレジスタ D<sub>3</sub> (TGRD<sub>3</sub>) は、TGRB<sub>3</sub> のバッファレジスタとして動作します。タイマ動作中に TGRD<sub>3</sub> の値を変更すると、テンポラリレジスタ (TEMP1) に転送され、TGRB<sub>3</sub> に反映されます。
- タイマジェネラルレジスタ A<sub>4</sub> (TGRA<sub>4</sub>) は、コンペアレジスタとして動作します。TGRA<sub>4</sub> には、TIOC4A, TIOC4C 端子から出力する PWM 波形のデューティを設定します。また、タイマ動作中に設定値を変更する場合、タイマジェネラルレジスタ C<sub>4</sub> (TGRC<sub>4</sub>) に変更する値を設定します。
- タイマジェネラルレジスタ B<sub>4</sub> (TGRB<sub>4</sub>) は、コンペアレジスタとして動作します。TGRB<sub>4</sub> には、TIOC4B, TIOC4D 端子から出力する PWM 波形のデューティを設定します。また、タイマ動作中に設定値を変更する場合、タイマジェネラルレジスタ D<sub>4</sub> (TGRD<sub>4</sub>) に変更する値を設定します。
- タイマジェネラルレジスタ C<sub>4</sub> (TGRC<sub>4</sub>) は、TGRA<sub>4</sub> のバッファレジスタとして動作します。タイマ動作中は、TGRC<sub>4</sub> の設定値が TGRA<sub>4</sub> に反映されます。
- タイマジェネラルレジスタ D<sub>4</sub> (TGRD<sub>4</sub>) は、TGRB<sub>4</sub> のバッファレジスタとして動作します。タイマ動作中は、TGRD<sub>4</sub> の設定値が TGRB<sub>4</sub> に反映されます。
- テンポラリレジスタ 1, 2, 3 (TEMP1, 2, 3) は、バッファレジスタとコンペアレジスタの間にあります。バッファレジスタに書き込んだデータは、テンポラリレジスタに転送され、コンペアレジスタへと転送されます。テンポラリレジスタは、CPU からアクセスできません。
- タイマカウンタ<sub>3</sub> (TCNT<sub>3</sub>) は、16 ビットのリード / ライト可能なカウンタです。TCNT<sub>3</sub> は、TGRA<sub>3</sub> とのコンペアマッチでダウンカウントとなり、タイマデッドタイムデータレジスタ (TDDR) とのコンペアマッチでアップカウントとなります。
- タイマカウンタ<sub>4</sub> (TCNT<sub>4</sub>) は、16 ビットのリード / ライト可能なカウンタです。TCNT<sub>4</sub> は、タイマ周期データレジスタ (TCDR) とのコンペアマッチでダウンカウントとなり、H'0000 になるとアップカウントとなります。
- タイマデッドタイムデータレジスタ (TDDR) は、16 ビットのリード / ライト可能なレジスタです。TDDR には、PWM 波形のデッドタイムを設定します。
- タイマ周期データレジスタ (TCDR) は、16 ビットのリード / ライト可能なレジスタです。TCDR には、PWM キャリア周期の 1/2 を設定します。
- タイマ周期バッファレジスタ (TCBR) は、TCDR のバッファレジスタとして動作します。タイマ動作中は、TCBR の設定値が TCDR に反映されます。
- タイマ割り込み間引き制御レジスタ (TITCR) は、割り込み間引きの禁止 / 許可および間引き回数を設定します。間引きが可能なのは、相補 PWM モード時の TCNT<sub>3</sub> のコンペアマッチ割り込み (TGIA<sub>3</sub>) および TCNT<sub>4</sub> のアンダフロー割り込み (TCIV<sub>4</sub>) です。間引き回数は、最大 7 回まで設定可能です。
- タイマ割り込み間引き回数カウンタ (TITCNT) は、間引きを行う割り込みの発生回数をカウントします。TITCNT のカウント値は、TITCR で設定した間引き回数と一致するとクリアされます。

- タイマバッファ転送設定レジスタ (TBTER) は、バッファレジスタからテンポラリレジスタへの転送を抑制する / しないを設定します。また、転送を抑制しない場合、割り込み間引き機能と連動する / しないを設定します。
- タイマ A/D 変換開始要求コントロールレジスタ (TADCR) は、16 ビットのリード / ライト可能なレジスタです。A/D 変換開始要求の許可 / 禁止および、割り込み間引き機能と連動する / しないを設定します。
- タイマ A/D 変換開始要求周期設定レジスタ A\_4 (TADCORA\_4) は、16 ビットのリード / ライト可能なレジスタです。TCNT\_4 と一致したとき、対応する A/D 変換開始要求を発生します。
- タイマ A/D 変換開始要求周期設定バッファレジスタ A\_4 (TADCOBRA\_4) は、TADCORA\_4 のバッファレジスタとして動作します。タイマ動作中は、TADCOBRA\_4 の設定値が TADCORA\_4 に反映されます。

## 2.2 A/D 変換器

本タスク例では、A/D モジュール 0 を MTU2 による A/D 変換開始トリガ (TRG4AN) で起動し、シングルモードで A/D 変換を行います。図 4 に A/D0 モジュールのブロック図を示し、以下に機能説明をします。

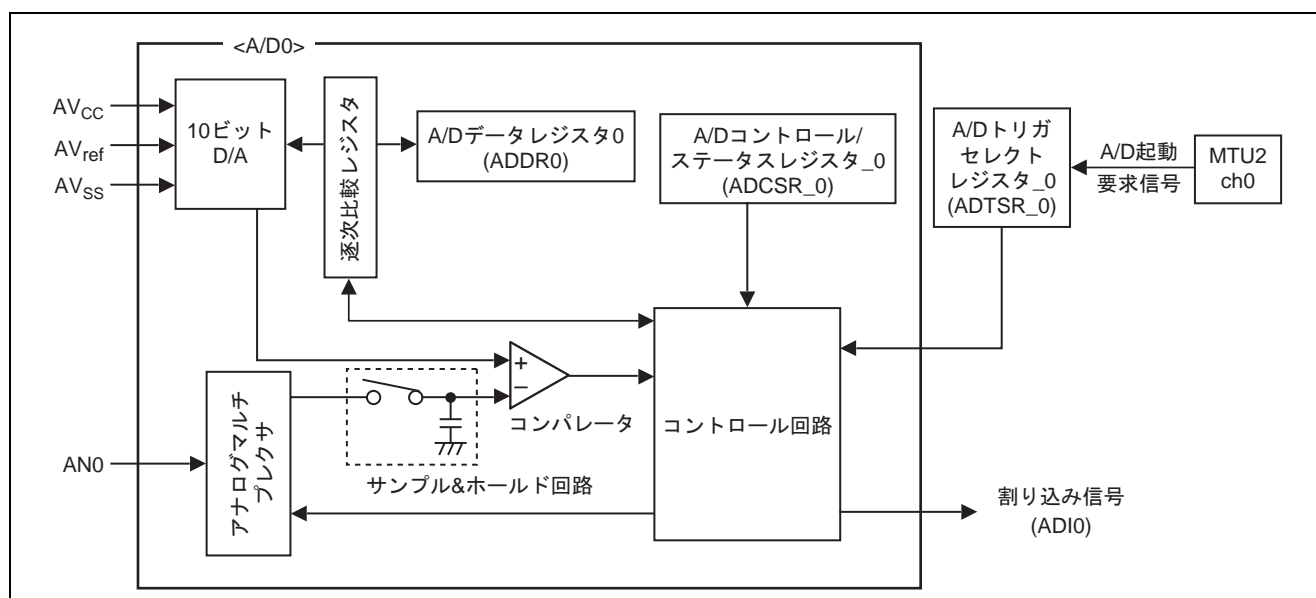


図 4 A/D モジュール 0 のブロック図

- A/D データレジスタ 0 (ADDR0) は、アナログ入力チャネル (AN0) の変換結果を格納する、16 ビットのリード専用レジスタです。変換データは、ADDR のビット 15 からビット 6 に格納され、下位 6 ビットは常に 0 になります。
- A/D コントロール / ステータスレジスタ\_0 (ADCSR\_0) は、A/D 変換動作を制御します。
- A/D トリガセレクトレジスタ\_0 (ADTSR\_0) は、A/D 変換開始要求の外部トリガを選択します。

### 3. 動作説明

図 5 に動作説明を、表 1 にソフトウェアおよびハードウェア処理説明を示します。

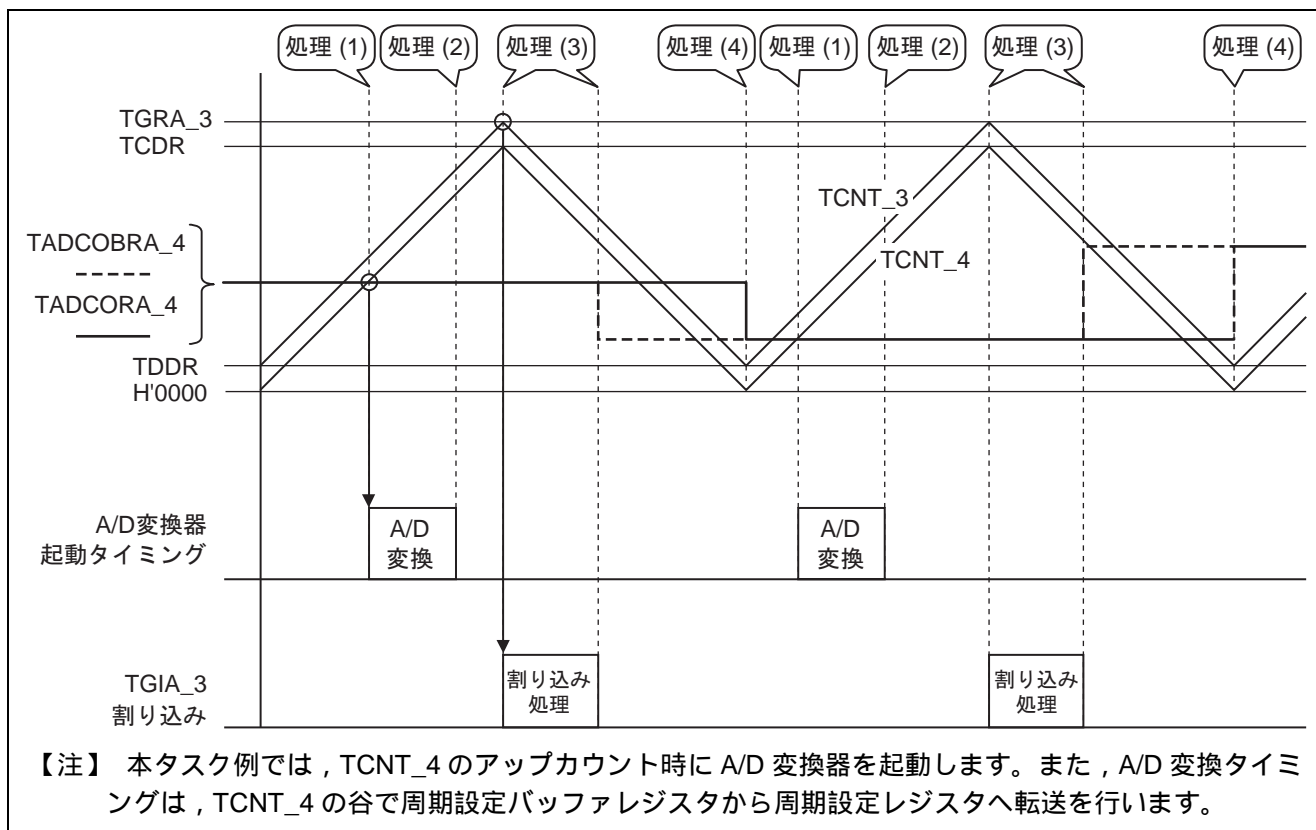


図 5 動作説明

表 1 ソフトウェアおよびハードウェア処理説明

	ソフトウェア処理	ハードウェア処理
処理 (1)	—	<ul style="list-style-type: none"> <li>TCNT_4 と TADCORA_4 レジスタのコンペアマッチ発生</li> <li>A/D 変換開始要求信号 (TRG4AN) を A/D 変換器へ出力</li> <li>A/D 変換開始</li> </ul>
処理 (2)	<ul style="list-style-type: none"> <li>A/D 変換終了割り込みフラグ (ADF) クリア</li> <li>A/D 変換結果を内蔵 RAM に格納</li> </ul>	A/D 変換終了割り込み発生
処理 (3)	<ul style="list-style-type: none"> <li>コンペアマッチ割り込みフラグ (TGFA_3) クリア</li> <li>デューティおよび A/D 変換起動タイミングの更新</li> </ul>	TGRA_3 コンペアマッチ割り込み発生
処理 (4)	—	TADCOBRA_4 (周期設定バッファ) レジスタから TADCORA_4 (周期設定) レジスタへデータ転送



## 4. ソフトウェア説明

### 4.1 モジュール説明

表 2 に本タスク例のモジュール説明を示します。

表 2 モジュール説明

モジュール名	ラベル名	機能
メインルーチン	main ()	MTU2 の初期設定およびタイマカウントスタート
TGRA_3 コンペアマッチ 割り込みルーチン	int_tgia3 ()	デューティの変更および A/D 変換タイミングの更新
A/D 変換終了割り込み ルーチン	int_ad0 ()	A/D 変換結果の内蔵 RAM への格納

### 4.2 内蔵レジスタ説明

表 3 に本タスク例で使用するレジスタを示します。なお、設定例は本タスク例において使用している値であり、初期値とは異なります。

表 3 使用内部レジスタ説明

レジスタ名	ビット		機能	設定値
	ビット	ビット名		
FRQCR			周波数制御レジスタ PLL 回路の出力周波数に対しての動作周波数の分周率を指定 FRQCR = H'0241 のとき以下の分周率に設定 内部クロック : ×1    バスクロック : × 1/2 周辺クロック : × 1/2    MTU2S クロック : × 1 MTU2 クロック : × 1/2	H'0241
STBCR4			スタンバイコントロールレジスタ 4	H'BE
	6	MSTP22	モジュールストップビット 22 MSTP22 = b'0 のとき MTU2 ヘクロックを供給	0
	0	MSTP16	モジュールストップビット 16 MSTP16 = b'0 のとき A/D_0 ヘクロックを供給	0
PECRL3			ポート E コントロールレジスタ L3	H'1011
	15	—	リザーブビット	0
	14	PE11MD2	PE11 モードビット	0
	13	PE11MD1	PE11MD [2-0] = b'001 のとき端子機能を TIOC3D に設定	0
	12	PE11MD0		1
	11	—	リザーブビット	0
	10	PE10MD2	PE10 モードビット	0
	9	PE10MD1	PE10MD [2-0] = b'000 のとき端子機能を PE10 (汎用入出力) に設定	0
	8	PE10MD0		0
	7	—	リザーブビット	0
	6	PE9MD2	PE9 モードビット	0
	5	PE9MD1	PE9MD [2-0] = b'001 のとき端子機能を TIOC3B に設定	0
	4	PE9MD0		1
	3	—	リザーブビット	0
	2	PE8MD2	PE8 モードビット	0
	1	PE8MD1	PE8MD [2-0] = b'001 のとき端子機能を TIOC3A に設定	0
	0	PE8MD0		1

表 3 使用内部レジスタ説明 (つづき)

	レジスタ名		機能	設定値
	ビット	ビット名		
PECRL4			ポート E コントロールレジスタ L4	H'1111
	15	—	リザーブビット	0
	14	PE15MD2	PE15 モードビット	0
	13	PE15MD1	PE15MD [2-0] = b'001 のとき端子機能を TIOC4D に設定	0
	12	PE15MD0		1
	11	—	リザーブビット	0
	10	PE14MD2	PE14 モードビット	0
	9	PE14MD1	PE14MD [2-0] = b'001 のとき端子機能を TIOC4C に設定	0
	8	PE14MD0		1
	7	—	リザーブビット	0
	6	—		0
	5	PE13MD1	PE13 モードビット	0
	4	PE13MD0	PE13MD [1-0] = b'01 のとき端子機能を TIOC4B に設定	1
	3	—	リザーブビット	0
	2	PE12MD2	PE12 モードビット	0
	1	PE12MD1	PE12MD [2-0] = b'001 のとき端子機能を TIOC4A に設定	0
	0	PE12MD0		1
PEIORL			ポート E I/O レジスタ L PWM 出力用端子 (TIOC3A, TIOC3B, TIOC3D, TIOC4A, TIOC4B, TIOC4C, TIOC4D) を出力に設定	H'FB00
IPRE			インタラプトプライオリティレジスタ E MTU2 の TGIA_3 割り込みレベルを 10 に設定	H'00A0
IPRK			インタラプトプライオリティレジスタ K A/D の ADI_0 割り込みレベルを 10 に設定	H'A000

表 3 使用内部レジスタ説明 (つづき)

レジスタ名		機能	設定値
ビット	ビット名		
TCR_3		タイマコントロールレジスタ_3	H'01
7	CCLR2	カウンタクリア 2, 1, 0	0
6	CCLR1	CCLR [2-0] = b'000 のとき TCNT_3 のクリア禁止	0
5	CCLR0		0
4	CKEG1	クロックエッジ 1, 0	0
3	CKEG0	CKEG [1-0] = b'00 のとき内部クロックの立ち上がりエッジでカウント	0
2	TPSC2		0
1	TPSC1	TPSC [2-0] = b'001 のとき TCNT_3 は MPφ/4 でカウント	0
0	TPSC0		1
TCR_4		タイマコントロールレジスタ_4	H'01
7	CCLR2	カウンタクリア 2, 1, 0	0
6	CCLR1	CCLR [2-0] = b'000 のとき TCNT_4 のクリア禁止	0
5	CCLR0		0
4	CKEG1	クロックエッジ 1, 0	0
3	CKEG0	CKEG [1-0] = b'00 のとき内部クロックの立ち上がりエッジでカウント	0
2	TPSC2		0
1	TPSC1	TPSC [2-0] = b'001 のとき TCNT_4 は MPφ/4 でカウント	0
0	TPSC0		1
TCNT_3		タイマカウンタ_3 チャンネル 3 のタイマカウンタ タイマデッドタイムデータレジスタ (TDDR) と同じ値を設定	Dead_time
TCNT_4		タイマカウンタ_4 チャンネル 4 のタイマカウンタ H'0000 を設定	H'0000
TGRA_3		タイマジェネラルレジスタ A_3 TCNT_3 は TGRA_3 とのコンペアマッチでダウンカウント開始キャリア周期の 1/2 + デッドタイムを設定	Pul_cycle
TGRB_3		タイマジェネラルレジスタ B_3 TIOC3B, TIOC3D 端子から出力する PWM 波形のデューティを設定	Pul_duty3d
TGRC_3		タイマジェネラルレジスタ C_3 TGRA_3 のバッファレジスタ タイマ動作中に TGRA_3 の設定値を変更するとき TGRC_3 に値を設定初期値は TGRA_3 と同じ値を設定	Pul_cycle
TGRD_3		タイマジェネラルレジスタ D_3 TGRB_3 のバッファレジスタ タイマ動作中に TGRB_3 の設定値を変更するとき TGRD_3 に値を設定初期値は TGRB_3 と同じ値を設定	Pul_duty3d

表 3 使用内部レジスタ説明 (つづき)

レジスタ名		機能	設定値
ビット	ビット名		
TGRA_4		タイマジェネラルレジスタ A_4 TIOC4A, TIOC4C 端子から出力する PWM 波形のデューティを設定	Pul_duty4c
TGRB_4		タイマジェネラルレジスタ B_4 TIOC4B, TIOC4D 端子から出力する PWM 波形のデューティを設定	Pul_duty4d
TGRC_4		タイマジェネラルレジスタ C_4 TGRA_4 のバッファレジスタ タイマ動作中に TGRA_4 の設定値を変更するとき TGRC_4 に値を設定初期値は TGRA_4 と同じ値を設定	Pul_duty4c
TGRD_4		タイマジェネラルレジスタ D_4 TGRB_4 のバッファレジスタ タイマ動作中に TGRB_4 の設定値を変更するとき TGRD_4 に値を設定初期値は TGRB_4 と同じ値を設定	Pul_duty4d
TDDR		タイマデッドタイムデータレジスタ デッドタイムを設定	Dead_time
TCDR		タイマ周期データレジスタ キャリア周期の 1/2 を設定	C_cycle
TCBR		タイマ周期バッファレジスタ タイマ周期データレジスタのバッファレジスタタイマ動作中に TCDR の設定値を変更するとき TCBR に値を設定	C_cycle
TOCR1		タイマアウトプットコントロールレジスタ 1	H'40
7	—	リザーブビット	0
6	PSYE	PWM 同期出力イネーブル PSYE = b'1 のとき TIOC3A 端子の PWM 周期に同期したトグル出力を許可	1
5	—	リザーブビット	0
4	—	リザーブビット	0
3	TOCL	TOC レジスタ書き込み禁止ビット TOCL = b'0 のとき TOCR1 レジスタの TOCS, OLSN, OLSP ビットへの書き込みを許可	0
2	TOCS	TOC セレクトビット TOCS = b'0 のとき TOCR1 レジスタの設定が有効	0
1	OLSN	出力レベルセレクト N 逆相の出力レベルを選択	0
0	OLSP	出力レベルセレクト P 正相の出力レベルを選択	0

表 3 使用内部レジスタ説明 (つづき)

レジスタ名		機能	設定値
ビット	ビット名		
TMDR_3		タイマモードレジスタ_3	H'3F
7	—	リザーブビット	0
6	BFR	バッファ動作 E チャンネル 3 ではリザーブビット	0
5	BFB	バッファ動作 B BFB = b'1 のとき TGRB_3 と TGRD_3 はバッファ動作	1
4	BFA	バッファ動作 A BFA = b'1 のとき TGRA_3 と TGRC_3 はバッファ動作	1
3	MD3	モード 3, 2, 1, 0	1
2	MD2	タイマの動作モードを設定	1
1	MD1	MD [3-0] = b'1111 のとき相補 PWM モード 3 で動作	1
0	MD0		1
TOER		タイマアウトプットイネーブルレジスタ	H'FF
7	—	リザーブビット	1
6	—	リザーブビット	1
5	OE4D	タイマイネーブル TIOC4D OE4D = b'1 のとき TIOC4D 端子からの出力を許可	1
4	OE4C	タイマイネーブル TIOC4C OE4C = b'1 のとき TIOC4C 端子からの出力を許可	1
3	OE3D	タイマイネーブル TIOC3D OE3D = b'1 のとき TIOC3D 端子からの出力を許可	1
2	OE4B	タイマイネーブル TIOC4B OE4B = b'1 のとき TIOC4B 端子からの出力を許可	1
1	OE4A	タイマイネーブル TIOC4A OE4A = b'1 のとき TIOC4A 端子からの出力を許可	1
0	OE3B	タイマイネーブル TIOC3B OE3B = b'1 のとき TIOC3B 端子からの出力を許可	1
TIER_3		タイマインタラプトイネーブルレジスタ_3	H'01
7	TTGE	A/D 変換開始要求イネーブル TTGE = b'0 のとき TGRA による A/D 変換開始要求の発生を禁止	0
6	TTGE2	A/D 変換開始要求イネーブル 2 チャンネル 3 ではリザーブビット	0
5	TCIEU	アンダフローインタラプトイネーブル チャンネル 3 ではリザーブビット	0
4	TCIEV	オーバフローインタラプトイネーブル TCIEV = b'0 のとき TCFV フラグによる割り込み要求を禁止	0
3	TGIED	TGR インタラプトイネーブル D TGIED = b'0 のとき TGFD ビットによる割り込み要求を禁止	0
2	TGIEC	TGR インタラプトイネーブル C TGIEC = b'0 のとき TGFC ビットによる割り込み要求を禁止	0
1	TGIEB	TGR インタラプトイネーブル B TGIEB = b'0 のとき TGFB ビットによる割り込み要求を禁止	0
0	TGIEA	TGR インタラプトイネーブル A TGIEA = b'1 のとき TGFA ビットによる割り込み要求を許可	1

表 3 使用内部レジスタ説明 (つづき)

レジスタ名		機能	設定値
ビット	ビット名		
TADCOBRA_4		タイマ A/D 変換開始要求周期設定バッファレジスタ_4 TADCORA のバッファレジスタ	Ad_timing
TADCORA_4		タイマ A/D 変換開始要求周期設定レジスタ_4 A/D 変換器起動タイミングを設定	Ad_timing
TADCR		タイマ A/D 変換開始要求コントロールレジスタ	H'8080
15	BF1	TADCOBRA/B_4 転送タイミングセレクト BF [1-0] = b'10 のとき TCNT_4 の谷で TADCOBRA_4 から TADCORA_4 へ転送	1
14	BF0		0
13	—	リザーブビット	0
12	—		0
11	—		0
10	—		0
9	—		0
8	—		0
7	UT4AE		アップカウント TRG4AN イネーブル UT4AE = b'1 のとき TCNT_4 のアップカウント時 TRG4AN* を許可
6	DT4AE	ダウンカウント TRG4AN イネーブル DT4AE = b'0 のとき TCNT_4 のダウンカウント時 TRG4AN* を禁止	0
5	UT4BE	アップカウント TRG4BN イネーブル UT4BE = b'0 のとき TCNT_4 のアップカウント時 TRG4BN* を禁止	0
4	DT4BE	ダウンカウント TRG4BN イネーブル DT4BE = b'0 のとき TCNT_4 のダウンカウント時 TRG4BN* を禁止	0
3	ITA3AE	TGI3A 割り込み間引き連動イネーブル ITA3AE = b'1 のとき TRG4AN*を TGIA_3 割り込み間引きと 連動しない	0
2	ITA4VE	TCI4V 割り込み間引き連動イネーブル ITA4VE = b'0 のとき TRG4AN*を TCIV_4 割り込み間引きと 連動しない	0
1	ITB3AE	TGI3A 割り込み間引き連動イネーブル ITB3AE = b'0 のとき TRG4BN*を TGIA_3 割り込み間引きと 連動しない	0
0	ITB4VE	TCI4V 割り込み間引き連動イネーブル ITB4VE = b'0 のとき TRG4BN*を TCIV_4 割り込み間引きと 連動しない	0

【注】 \* TRG4AN , TRG4BN は , A/D 変換開始要求ディレイド機能による A/D 変換開始要求です。

表 3 使用内部レジスタ説明 (つづき)

レジスタ名		機能	設定値
ビット	ビット名		
TSTR		タイマスタートレジスタ	H'CO
7	CTS4	カウンタスタート 4 CTS4 = b'1 のとき TCNT_4 はカウント動作開始	1
6	CTS3	カウンタスタート 3 CTS3 = b'1 のとき TCNT_3 はカウント動作開始	1
5	—	リザーブビット	0
4	—		0
3	—		0
2	CTS2	カウンタスタート 2 CTS2 = b'0 のとき TCNT_2 はカウント動作停止	0
1	CTS1	カウンタスタート 1 CTS1 = b'0 のとき TCNT_1 はカウント動作停止	0
0	CTS0	カウンタスタート 0 CTS0 = b'0 のとき TCNT_0 はカウント動作停止	0
ADCSR_0		A/D コントロール / ステータスレジスタ_0	H'5880
15	ADF	A/D エンドフラグ	0
14	ADIE	A/D インタラプトイネーブル ADIE = b'1 のとき ADI 割り込みを許可	1
13	—	リザーブビット	0
12	OPON	オペアンプ ON OPON = b'1 のときオペアンプは有効	1
11	TRGE	トリガイネーブル TRGE = b'1 のとき外部または MTU2 (MTU2S) のトリガにより A/D 変換開始	1
10	—	リザーブビット	0
9	CONADF	ADF コントロール 本タスク例ではシングルモードのため本ビットの設定は無効	0
8	STC	ステートコントロール STC = b'0 のとき A/D 変換時間を 50 ステートに設定	0
7	CKSL1	クロックセレクト 1, 0	1
6	CKSL0	CKSL [1,0] = b'10 のとき A/D 変換用クロックを $P\phi/2$ に設定	0
5	ADM1	A/D モード 1, 0	0
4	ADM0	ADM [1,0] = b'00 のとき動作モードをシングルに設定	0
3	ADCS	A/D 連続スキャン ADCS = b'0 のとき 1 サイクルスキャンに設定	0
2	CH2	チャンネルセレクト 2, 1, 0	0
1	CH1	CH [2-0] = b'000 のとき A/D 変換するアナログ入力チャンネルを AN0 に設定	0
0	CH0		0
ADTSR_0		A/D トリガセレクトレジスタ_0 A/D モジュール 0 の A/D 変換開始トリガを MTU2 A/D 変換開始要求ディレイド (TRG4AN) に設定	H'0003

### 4.3 使用変数説明

表 4 に本タスク例で使用する変数の説明をします。

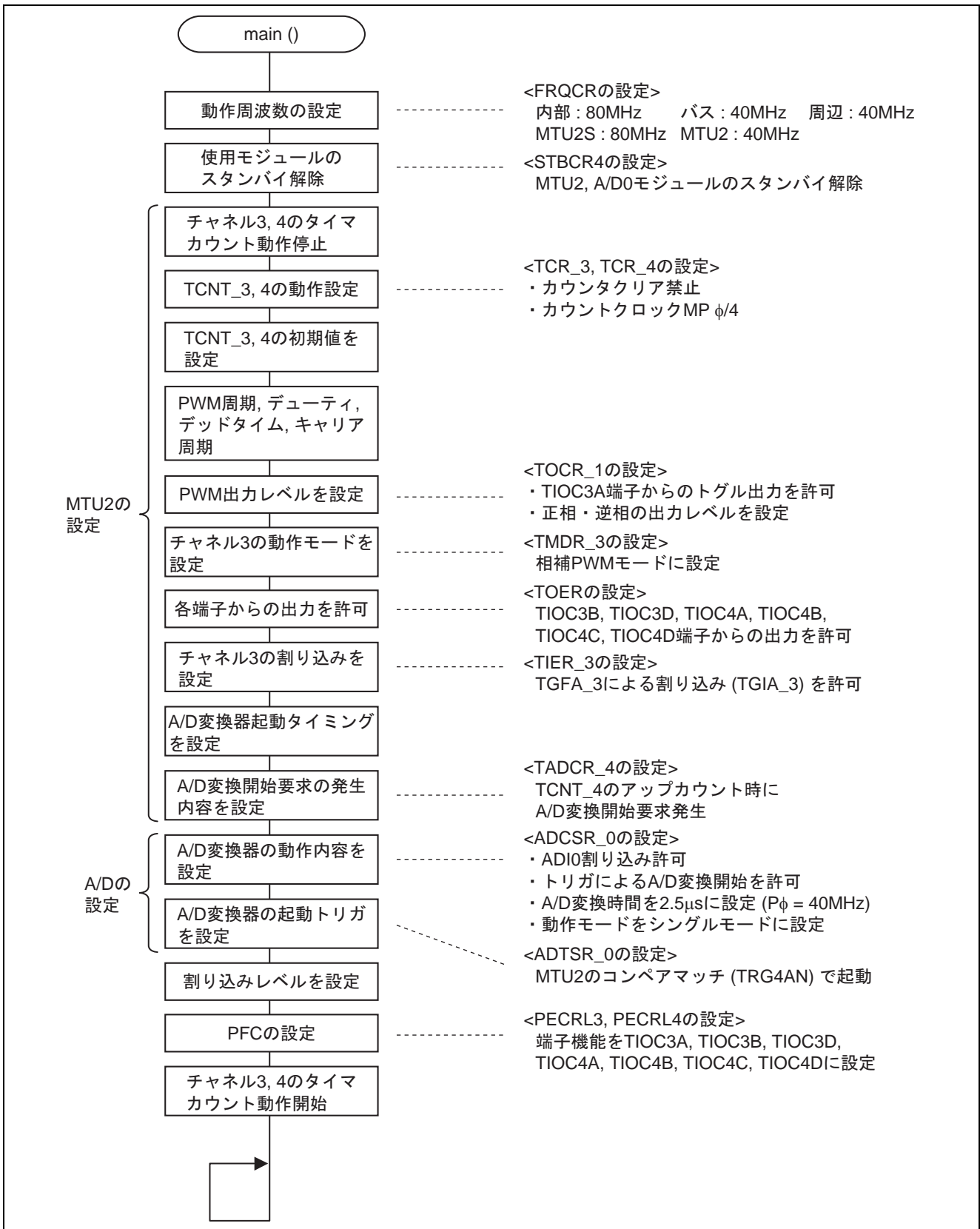
表 4 使用変数説明

ラベル名	機能	使用モジュール
Pul_duty3d	TIOC3D 端子から出力する PWM 波形のデューティ (TGRD_3 に設定)	メインルーチン TGRA_3 コンペアマッチ 割り込みルーチン
Pul_duty4c	TIOC4C 端子から出力する PWM 波形のデューティ (TGRC_4 に設定)	
Pul_duty4d	TIOC4D 端子から出力する PWM 波形のデューティ (TGRD_4 に設定)	
Ad_start	A/D 変換開始タイミング (TADCOBRA_4 に設定)	
Dead_time	デッドタイム (TDDR に設定)	メインルーチン
C_cycle	PWM キャリア周期の 1/2 (TCBR に設定)	
Pul_cycle	パルスの 1/2 周期 + デッドタイム (TGRC_3 に設定)	
Ad_data	A/D 変換結果の格納	A/D 変換終了割り込みルーチン

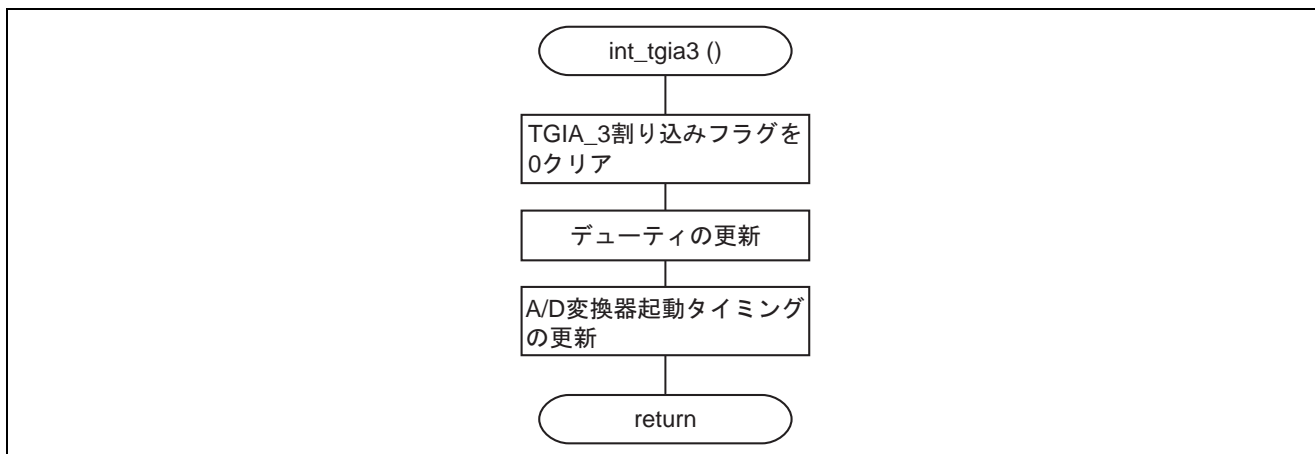


### 5. フローチャート

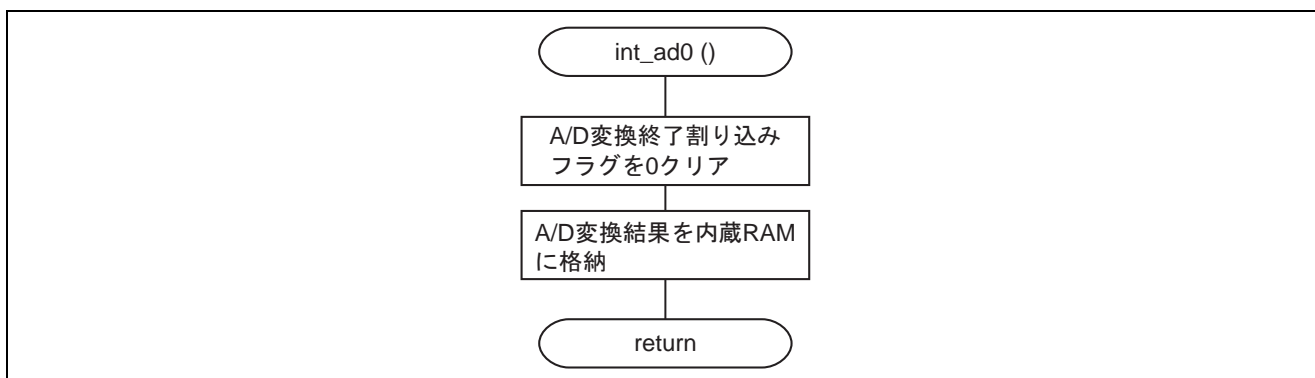
#### 5.1 メインルーチン



5.2 TGRA\_3 コンペアマッチ割り込みルーチン



5.3 A/D 変換終了割り込みルーチン



## 6. ホームページとサポート窓口

ルネサステクノロジホームページ

<http://www.renesas.com/>

カスタマサポートセンタ

E-mail : [csc@renesas.com](mailto:csc@renesas.com)

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.03.16	—	初版発行

## 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。