

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

---

## 資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

---

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日  
株式会社ルネサス テクノロジ  
カスタマサポート部

## ご注意

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

# SH7020/30 シリーズ SH7604 インタフェース編

アプリケーションノート

ルネサスSuperH RISC engine

---

## はじめに

---

SHシリーズマイクロコンピュータは、RISC方式のCPUにより、高性能な演算処理を実現します。それに加えて、システム構成に必要な周辺機能を集積すると同時に、マイコン応用機器に不可欠な低消費電力を実現する、新世代RISCマイコンです。

SHシリーズアプリケーションノート(インタフェース編)は、SH7020/30シリーズ及びSH7604と周辺LSIのインタフェース例を紹介しております。ユーザにてハードウェア設計の際、ご参考として役立てていただけるような構成となっております。

本アプリケーションノートでは、このうちSH7034とSH7604の2品種を代表例として、以下インタフェース例をまとめております。SH7034に関しては、SH7020/7030シリーズの各製品にも応用できます。

なお、本アプリケーションノートに掲載されているタスク例は動作確認しておりますが、  
実際にご使用になる場合には、必ず動作確認の上ご使用くださいますようお願い致します。

---

## 目 次

---

1. SH7032、34/SH7604 シリーズアプリケーションノート使用手引	1
1.1 インタフェース編構成	3
2. SH7034 インタフェース例	5
2.1 SRAMインタフェース	7
2.2 SRAMインタフェース	11
2.3 EPROMインタフェース	15
2.4 DRAMインタフェース	18
2.5 プログラマブル・タイマ・カウンタインタフェース	25
2.6 P I Oインタフェース	29
3. SH7604 インタフェース例	35
3.1 EPROMインタフェース	37
3.2 SRAMインタフェース	42
3.3 DRAMインタフェース	48
3.4 SDRAMインタフェース	60
3.5 シリアル・コントロール・ユニットインタフェース	69
3.6 プログラマブル・タイマ・カウンタインタフェース	74
3.7 パラレル・インタフェース・ユニットインタフェース	80

---

1. SH7032,34 / SH7604

アプリケーションノート使用手引

---

## 第1章 目次

1.1 インタフェース編構成 .....	3
----------------------	---



## 1.1 インタフェース編構成

インタフェース編は図1.1に示す構成で周辺LSI（ROM、RAM、タイマ用LSI等）とのインタフェース方法について説明しています。

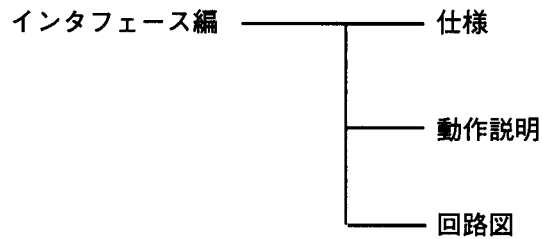


図1.1 インタフェース編構成

### (1) 仕様

接続する周辺LSI名およびメモリマップ等の回路仕様について説明しています。

### (2) 動作説明

回路の動作をタイミングチャートを使用し説明しています。

### (3) 回路図

周辺LSIとインタフェースする回路図を示します。

---

## 2. SH7034 インタフェース例

---

### 第2章 目次

2.1	SRAMインタフェース	7
2.2	SRAMインタフェース	11
2.3	EPROMインタフェース	15
2.4	DRAMインタフェース	18
2.5	プログラマブル・タイマ・カウンタインタフェース	25
2.6	PIOインタフェース	29

## 2. 1 SRAMインタフェース

SRAM(HM628512FP-7)インタフェース	MCU	SH7034	使用機能	BSC (バスステートコントローラ)
仕様				

(1) 図1に示すように、SH7034とSRAM (HM628512FP-7) のインタフェースを行います。

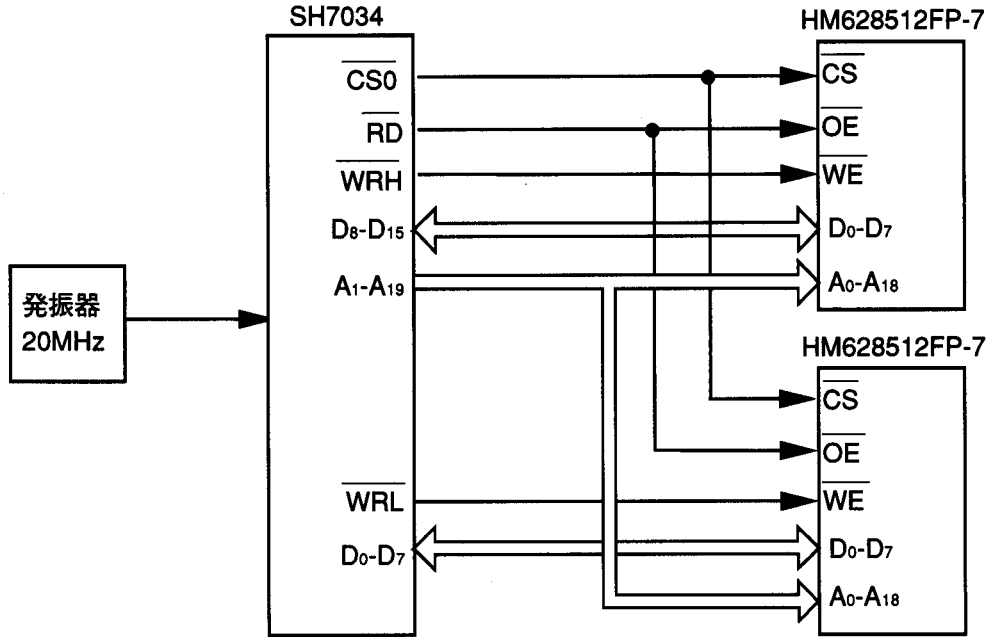


図1 SH7034およびHM628512FP-7接続ブロック図

(2) 図2に示すように、SH7034のメモリ空間のうち、エリア0 (H' 0100000 ~ H' 017FFFF) に割り付けます。また、エリア0のバスステートコントローラを以下のように設定します。

アクセスステート数：1ステート+ロングウェイトステート+WAITによるウェイトステート  
 ロングウェイトステート数：1ステート

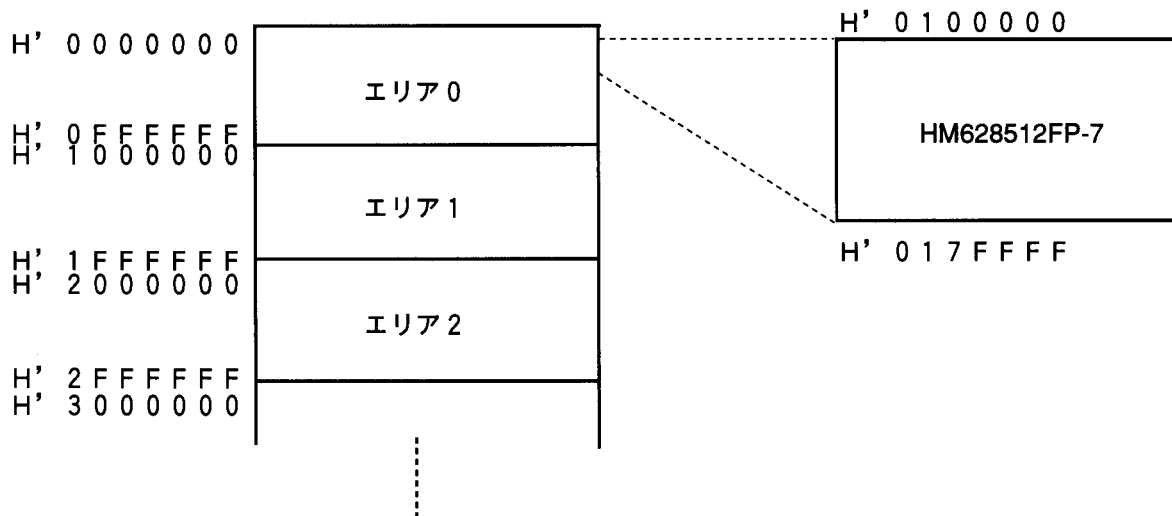


図2 メモリマップ

## 2.1 SRAMインタフェース

SRAM(HM628512FP-7)インタフェース	MCU	SH7034	使用機能	BSC (ハステートコントローラ)
---------------------------	-----	--------	------	-------------------

### 動作説明

#### (1) データのリード/ライト

図3にデータのリード/ライトタイミングチャートを示します。SH7034とHM628512FP-7を直接接続する場合、SH7034の $t_{ACC2}$ 、 $t_{RDAC2}$ （リードデータアクセス時間）、 $t_{RDH}$ （リードデータホールド時間）およびHM628512FP-7の $t_{DW}$ （データセットアップ時間）、 $t_{DH}$ （データホールド時間）、 $t_{CW}$ （チップセレクト時間）、 $t_{WP}$ （ライトパルス幅）が満足されているかを確認します。

図3から各タイミングは以下のようになります。

#### (a) SH7034の $t_{ACC2}$ および $t_{RDAC2}$

$$\begin{aligned} t_{ACC2} &= t_{CO(max)} \\ &= \underline{70\text{ ns} \leq 70\text{ ns}} \text{ (SH7034 } t_{ACC2}) \\ t_{RDAC2} &= t_{OE(max)} \\ &= \underline{35\text{ ns} \leq 55\text{ ns}} \text{ (SH7034 } t_{RDAC2}) \end{aligned}$$

#### (b) SH7034の $t_{RDH}$

$$\begin{aligned} t_{RDH} &= t_{OHZ(min)} \\ &= \underline{10\text{ ns} \geq 0\text{ ns}} \text{ (SH7034 } t_{RDH}) \end{aligned}$$

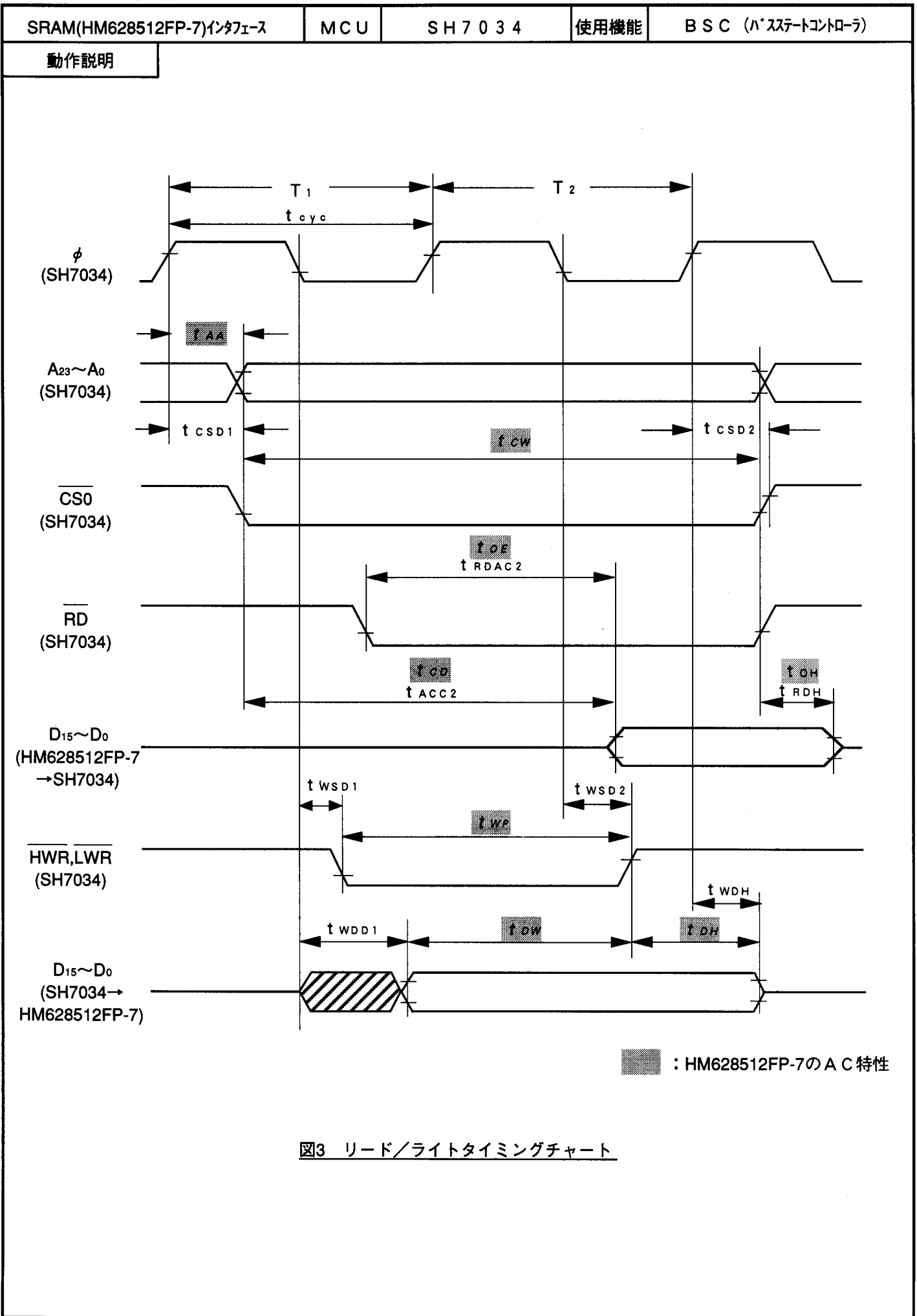
#### (c) HM628512FP-7の $t_{DW}$ および $t_{DH}$

$$\begin{aligned} t_{DW} &= t_{cyc} + t_{WSD2(min)} - t_{WDD1(max)} \\ &= 50 + 0 - 35 \\ &= \underline{15\text{ ns} \geq 30\text{ ns}} \text{ (HM628512FP-7 } t_{DW}) \\ t_{DH} &= t_{WDH(min)} \\ &= \underline{0\text{ ns} \geq 0\text{ ns}} \text{ (HM628512FP-7 } t_{DH}) \end{aligned}$$

#### (d) HM628512FP-7の $t_{CW}$ および $t_{WP}$

$$\begin{aligned} t_{CW} &= T1 + T2 + t_{CSD2(min)} - t_{CSD1(max)} \\ &= 50 + 50 + 0 - 25 \\ &= \underline{75\text{ ns} \geq 60\text{ ns}} \text{ (HM628512FP-7 } t_{CW}) \\ t_{WP} &= t_{cyc} + t_{WSD2(min)} - t_{WSD1(max)} \\ &= 50 + 0 - 20 \\ &= \underline{30\text{ ns} \geq 50\text{ ns}} \text{ (HM628512FP-7 } t_{WP}) \end{aligned}$$

2. 1 SRAMインタフェース



## 2.1 SRAMインタフェース

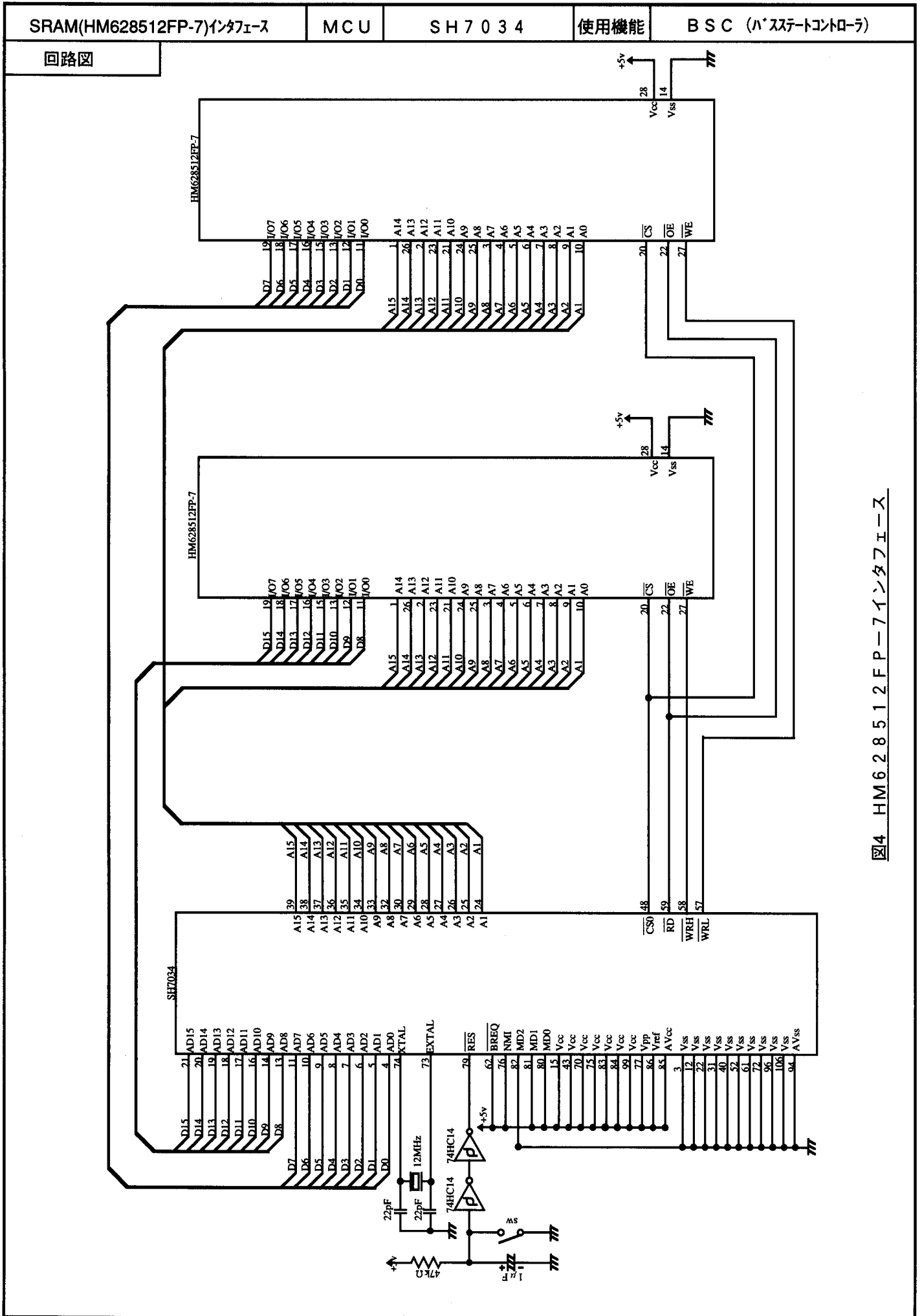


図4 HM628512FP-7インタフェース

## 2. 2 SRAMインタフェース

SRAM(HM621664HJP-17)インタフェース	MCU	SH7034	使用機能	BSC (バスステートコントローラ)
仕様				

(1) 図1に示すように、SH7034とSRAM (HM621664HJP-17) のインタフェースを行います。

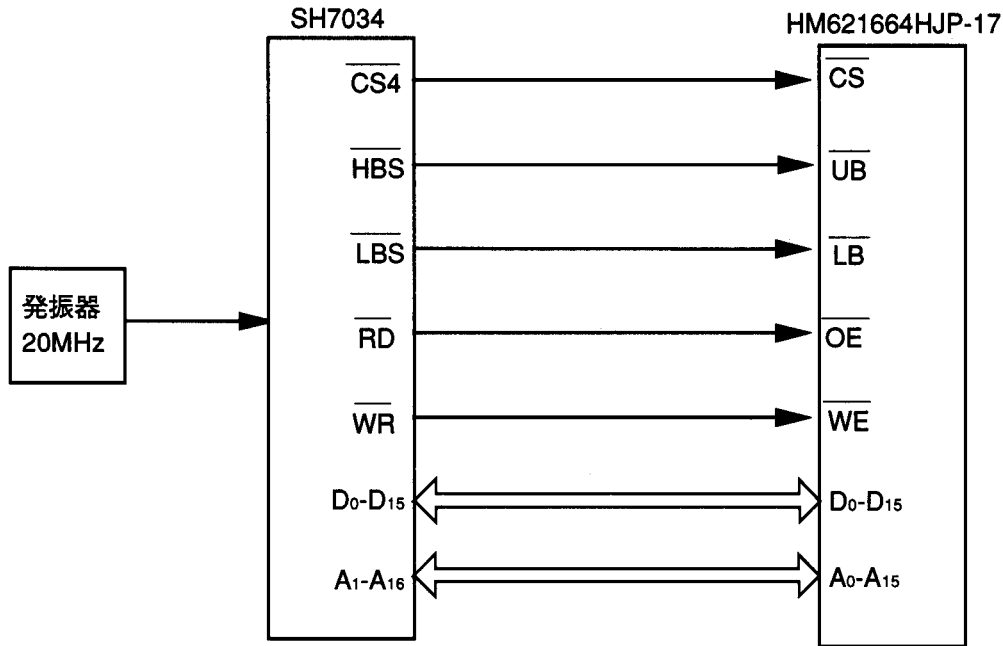


図1 SH7034およびHM621664HJP-17接続ブロック図

(2) 図2に示すように、SH7034のメモリ空間のうち、エリア4 (H' C0000000 ~ H' C01FFFFF) に割り付けます。また、エリア4のバスステートコントローラを以下のように設定します。

バイトアクセス制御信号：WR、HBS、LBS信号

アクセスステート数：2ステート+WAIT信号によるウェイトステート

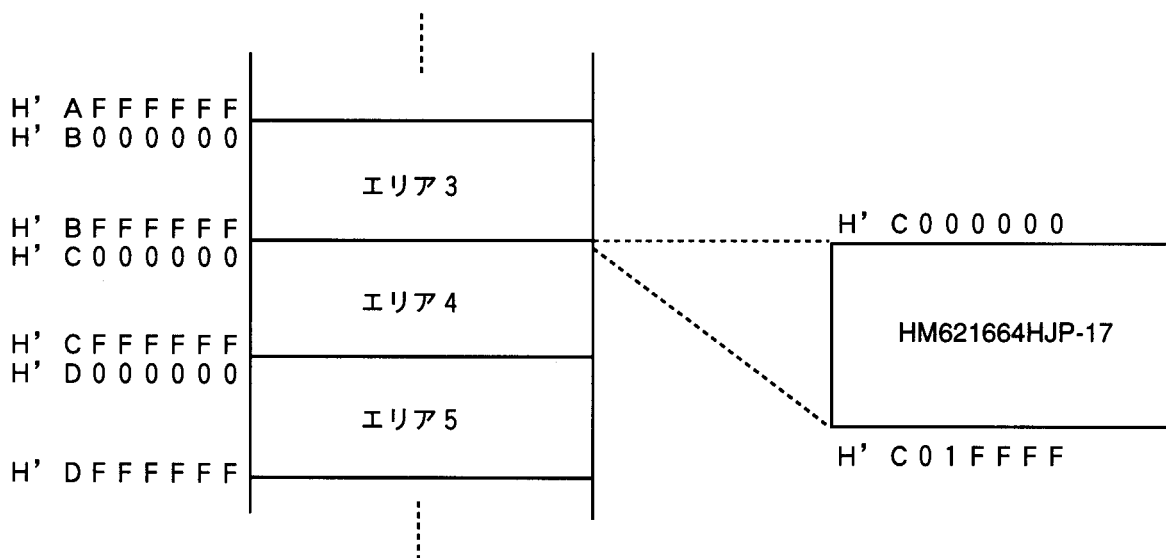


図2 メモリマップ

## 2.2 SRAMインタフェース

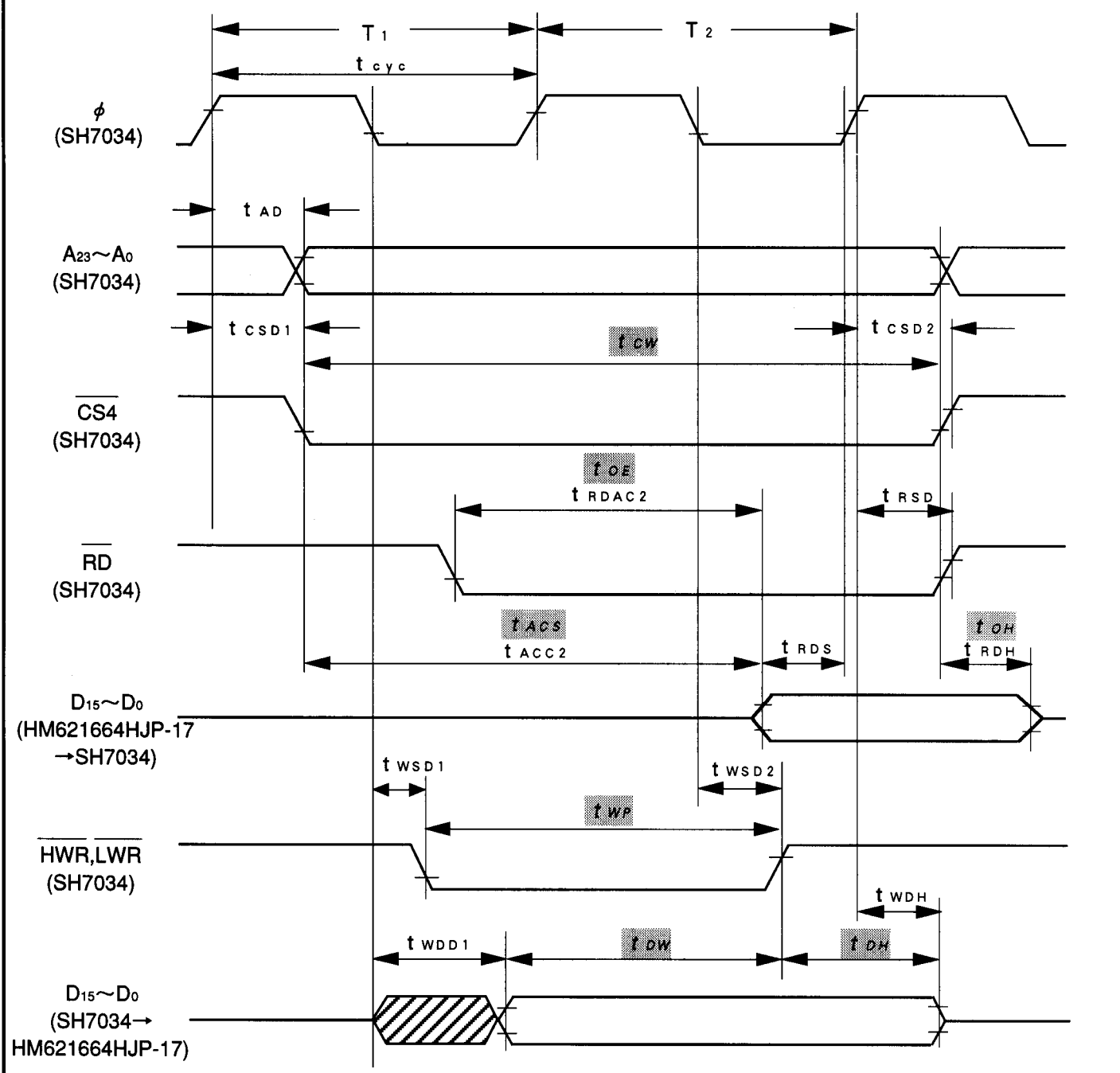
SRAM(HM621664HJP-17)インタフェース	MCU	SH7034	使用機能	BSC (ハステートコントローラ)
動作説明				
<p>(1) データのリード/ライト</p> <p>図3にデータのリード/ライトタイミングチャートを示します。SH7034とHM621664HJP-17を直接接続する場合、SH7034の<math>t_{ACC2}</math>、<math>t_{RDAC2}</math> (リードデータアクセス時間)、<math>t_{RDH}</math> (リードデータホールド時間) およびHM621664HJP-17の<math>t_{ACS}</math> (チップセレクトアクセス時間)、<math>t_{OH}</math> (データホールド時間)、<math>t_{CW}</math> (チップセレクト時間)、<math>t_{WP}</math> (ライトパルス幅) が満足されているかを確認します。</p> <p>図3から各タイミングは以下のようになります。</p> <p>(a) SH7034の<math>t_{ACC2}</math>および<math>t_{RDAC2}</math></p> $t_{ACC2} = t_{ACS(max)}$ $= 17ns \leq 70ns \text{ (SH7034 } t_{ACC2})$ $t_{RDAC2} = t_{OE(max)}$ $= 8ns \leq 55ns \text{ (SH7034 } t_{RDAC2})$ <p>(b) SH7034の<math>t_{RDH}</math></p> $t_{RDH} = t_{OH(min)}$ $= 0ns \geq 0ns \text{ (SH7034 } t_{RDH})$ <p>(c) HM621664HJP-17の<math>t_{DW}</math>および<math>t_{DH}</math></p> $t_{DW} = t_{CYC} + t_{WSD2(min)} - t_{WDD1(max)}$ $= 50 + 0 - 35$ $= 15ns \geq 8ns \text{ (HM621664HJP-17 } t_{DW})$ $t_{DH} = t_{CL(min)} + t_{WDH(min)} - t_{WSD2(max)}$ $= 20 + 0 - 20$ $= 0ns \geq 0ns \text{ (HM621664HJP-17 } t_{DH})$ <p>(d) HM621664HJP-17の<math>t_{CW}</math>および<math>t_{WP}</math></p> $t_{CW} = T_1 + T_2 + t_{CSD2(min)} - t_{CSD1(max)}$ $= 50 + 50 + 0 - 25$ $= 75ns \geq 10ns \text{ (HM621664HJP-17 } t_{CW})$ $t_{WP} = t_{CYC} + t_{WSD2(min)} - t_{WSD1(max)}$ $= 50 + 0 - 20$ $= 30ns \geq 10ns \text{ (HM621664HJP-17 } t_{WP})$				



2.2 SRAMインタフェース

SRAM(HM621664HJP-17)インタフェース	MCU	SH7034	使用機能	BSC (ハステートコントローラ)
-----------------------------	-----	--------	------	-------------------

動作説明



■ : HM621664HJP-17のAC特性

図3 リード/ライトタイミングチャート

2. 2 SRAMインタフェース

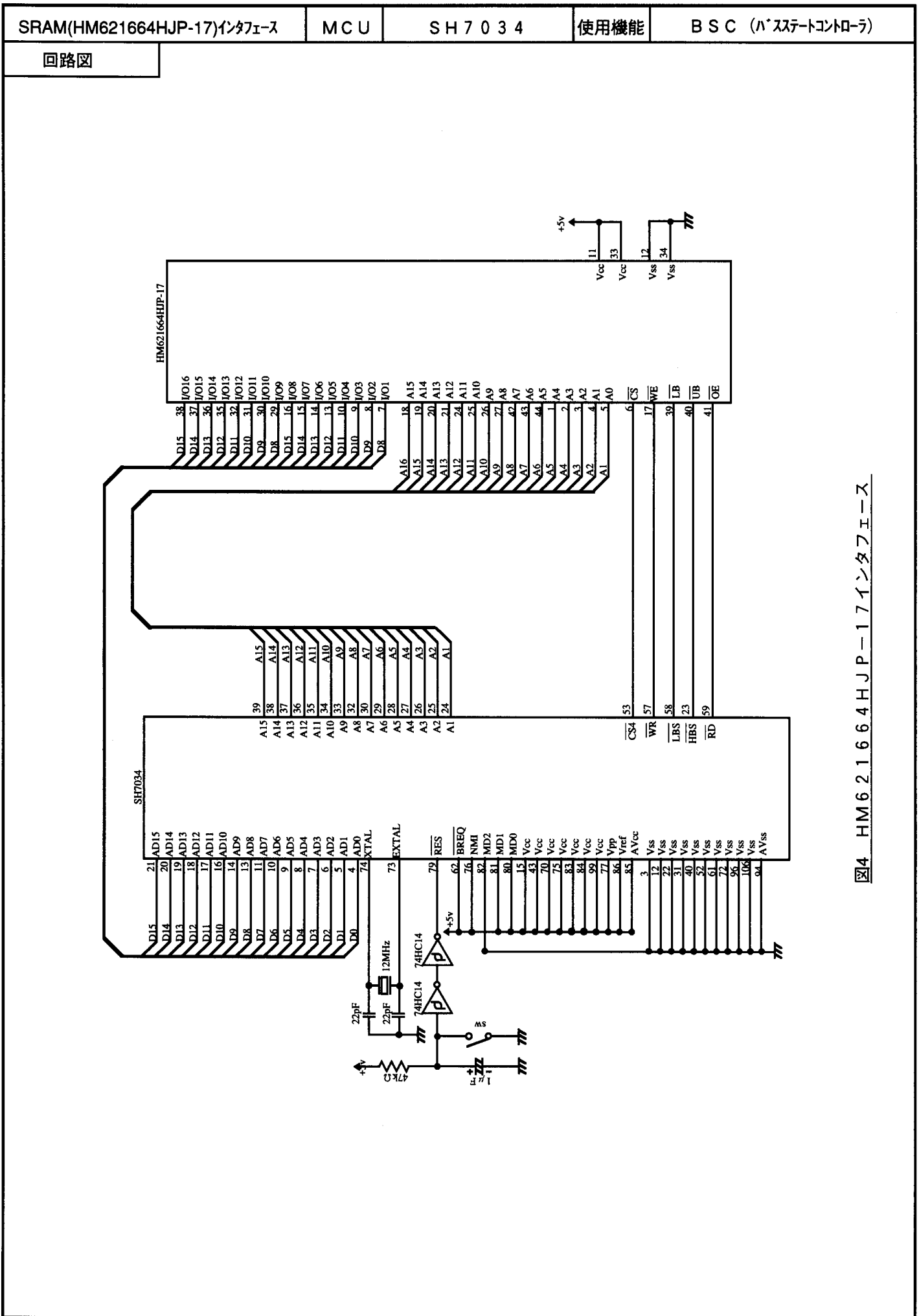


図4 HM621664HJP-17インタフェース

## 2.3 EPROMインタフェース

EPROM(HN27C4096G-10)インタフェース	MCU	SH7034	使用機能	BSC (バスステートコントローラ)
-----------------------------	-----	--------	------	--------------------

仕様

- (1) 図1に示すように、SH7034とEPROM (HN27C4096G-10) とインタフェースを行います。

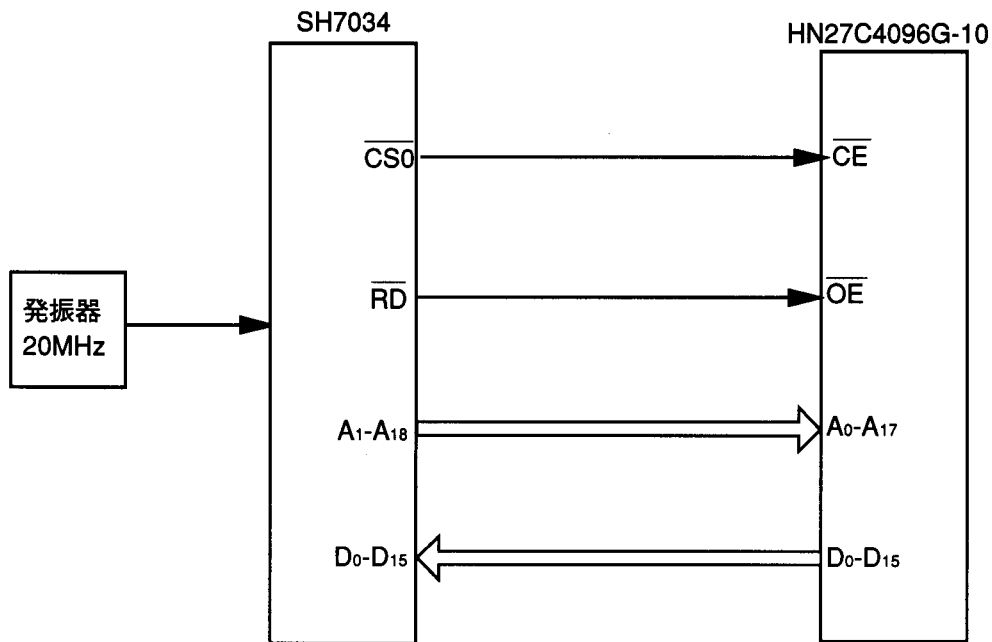


図1 SH7034およびHN27C4096G-10接続ブロック図

- (2) 図2に示すように、SH7034のメモリ空間のうち、エリア0 (H' 00000000 ~ H' 007FFFFF)に割り付けます。また、エリア0のバスステートコントローラを以下のように設定します。

アクセスステート数：1ステート+ロングウェイトステート

ロングウェイトステート数：1ステート

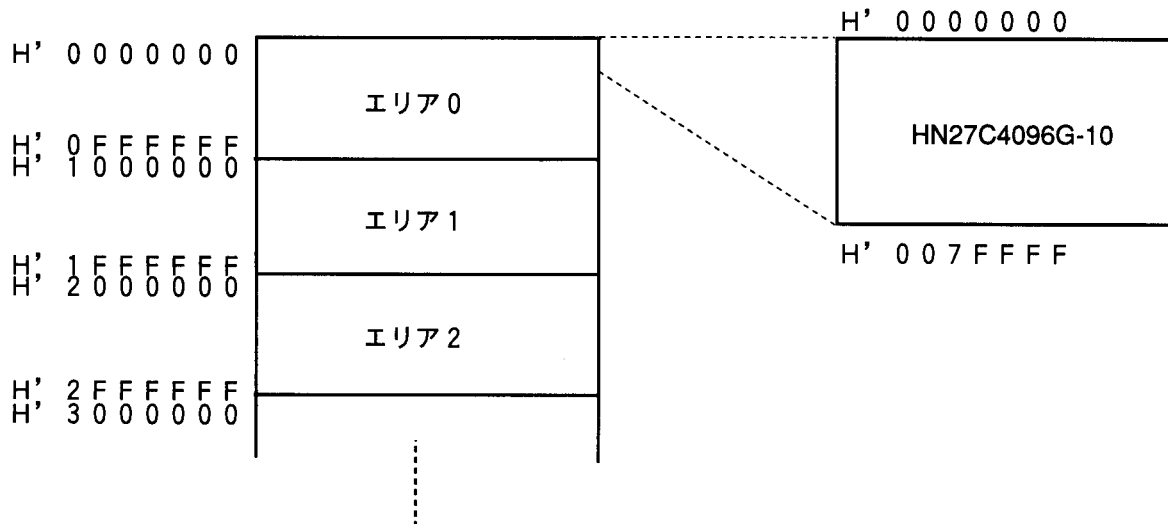


図2 メモリマップ

## 2.3 EPROMインタフェース

EPROM(HN27C4096G-10)インタフェース	MCU	SH7034	使用機能	BSC (ハステートコントローラ)
-----------------------------	-----	--------	------	-------------------

### 動作説明

#### (1) データのリード

図3にデータのリードタイミングチャートを示します。SH7034とHM27C4096G-10を直接接続する場合、SH7034の $t_{ACC2}$  (リードデータアクセス時間)、 $t_{RDAC2}$  (リードストロープからのアクセス時間) および $t_{RDH}$  (リードデータホールド時間) が満足されているかを確認します。

図3から各タイミングは以下のようになります。

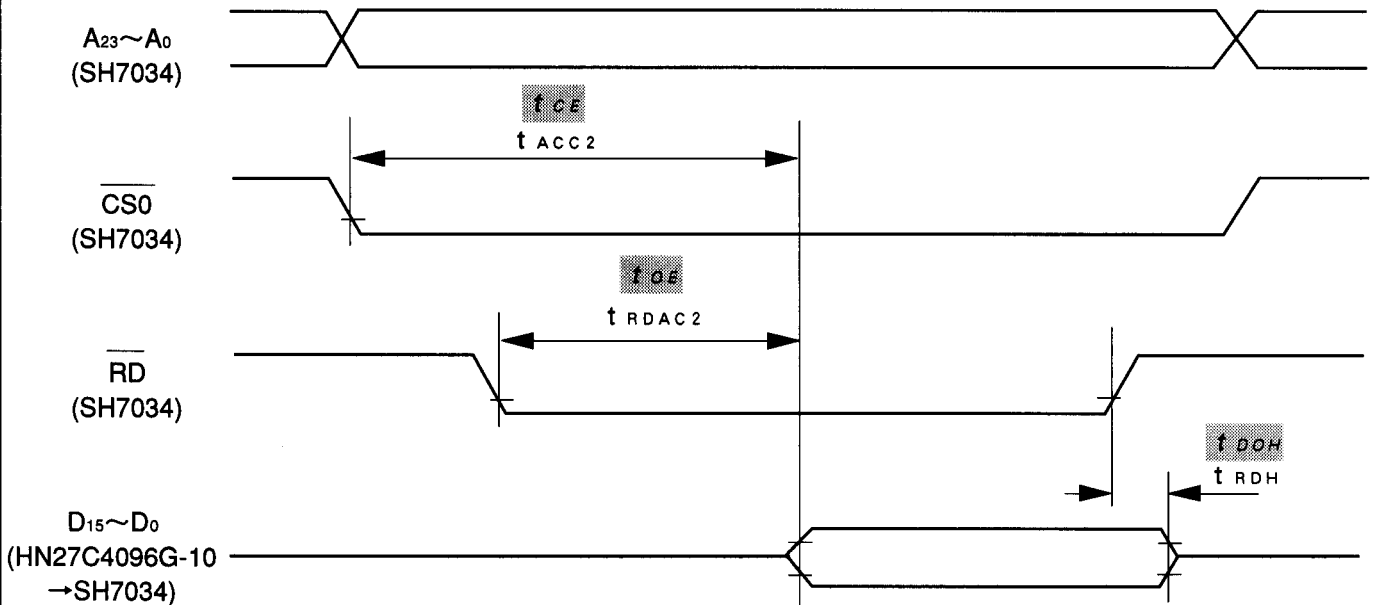
#### (a) SH7034の $t_{ACC2}$ および $t_{RDAC2}$

$$t_{ACC2} = t_{CE(max)} \\ = 100ns \leq 120ns \text{ (SH7034 } t_{ACC2})$$

$$t_{RDAC2} = t_{OE(max)} \\ = 60ns \leq 112.5ns \text{ (SH7034 } t_{RDAC2})$$

#### (b) SH7034の $t_{RDH}$

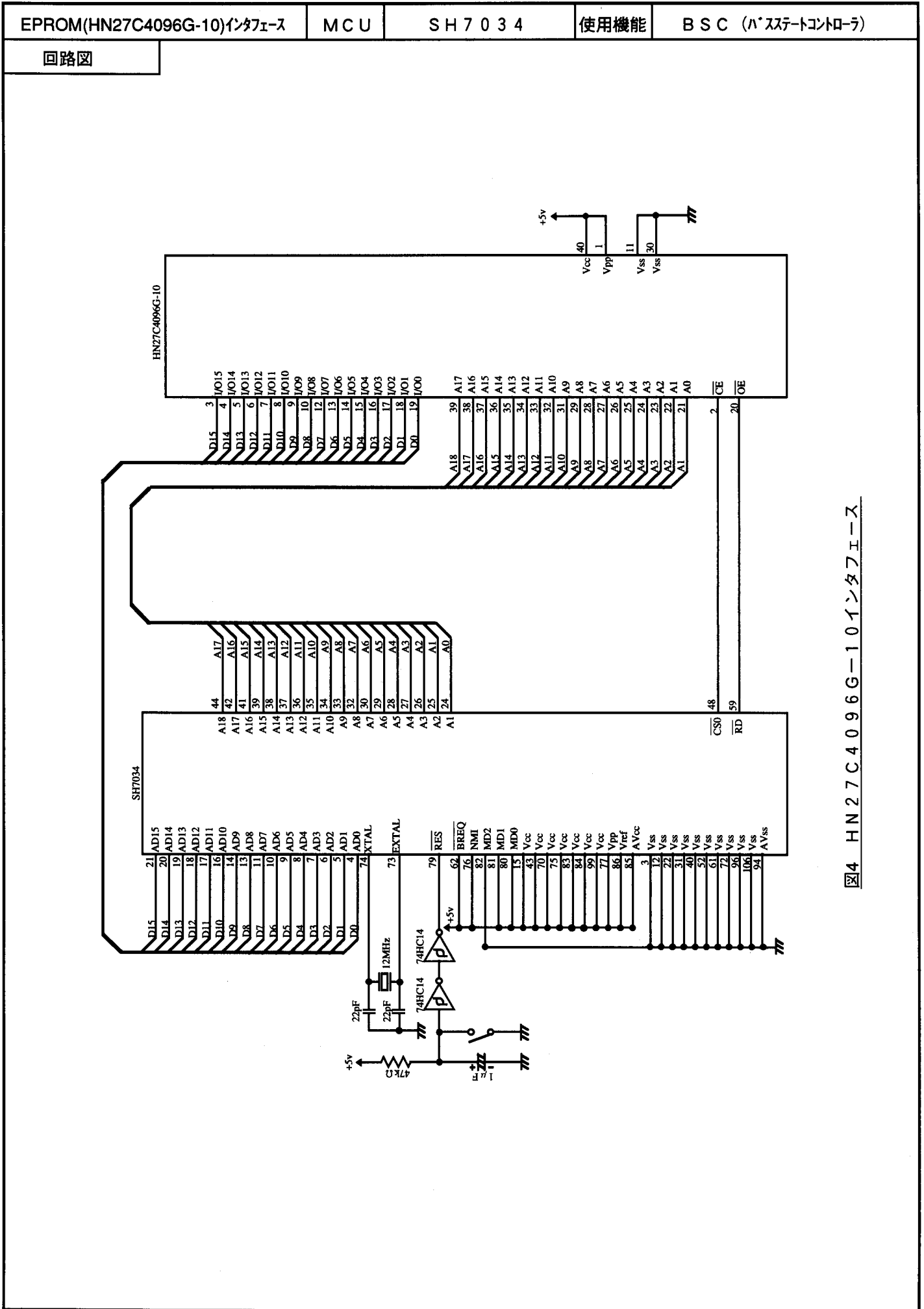
$$t_{RDH} = t_{OH(min)} \\ = 5ns \geq 0ns \text{ (SH7034の } t_{RDH})$$



■ : HN27C4096-10のAC特性

図3 リードタイミングチャート

2. 3 EPROMインタフェース



## 2.4 DRAMインターフェース

DRAM(HM514260AJ-7)インターフェース	MCU	SH7034	使用機能	BSC (バスステートコントローラ)
仕様				

(1) 図1に示すようにSH7034とDRAM (HM514260AJ-7) のインターフェースを行います。

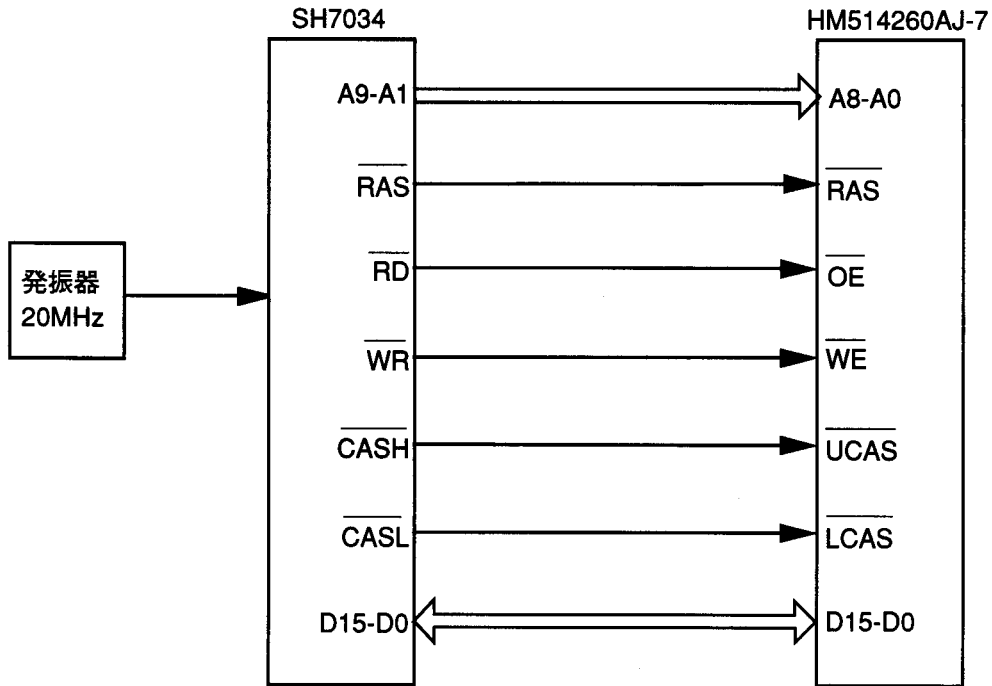


図1 SH7034およびHM514260AJ-7接続ブロック図

(2) 図2に示すように、SH7034のメモリ空間のうち、エリア1 (H' 9000000 ~ H' 9FFFFFFF) に割り当てます。また、エリア1のバスコントローラを以下のように設定します。

DRAMイネーブル：エリア1をDRAM空間  
 カラムアドレスサイクル：ロングピッチ  
 16ビットバスアクセス方式：CAS2本方式  
 RASプリチャージサイクル数：2ステート  
 リフレッシュモード：CASビフォRASリフレッシュ

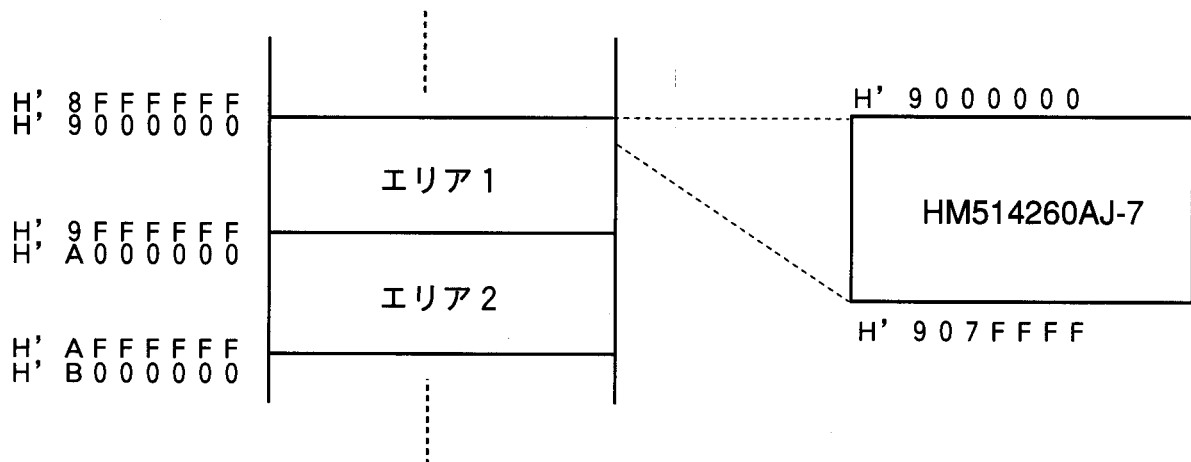


図2 メモリマップ

## 2.4 DRAMインタフェース

DRAM(HM514260AJ-7)インタフェース	MCU	SH7034	使用機能	BSC (バスステートコントローラ)
動作説明				
<p>(1) データのリード/ライト</p> <p>図3にデータのリード/ライトタイミングチャートを示します。SH7034とHN514260-7を直接接続する場合SH7034の<math>t_{CAC}</math> (CASアクセス時間)、<math>t_{AA}</math> (アドレスアクセス時間)、<math>t_{RAC}</math> (RASアクセス時間)、<math>t_{RDH}</math> (リードデータホールド時間) および、HN514260-7の<math>t_{DS}</math> (データ入力セットアップ時間)、<math>t_{DH}</math> (データ入力ホールド時間)、<math>t_{RC}</math> (ランダムリード/ライトサイクル時間)、<math>t_{RP}</math> (RASプリチャージ時間) が満足されていることを確認します。</p> <p>また、DRAMはアドレスマルチプレクス方式を採用しているためHN514260-7の<math>t_{ASR}</math> (ロウアドレスセットアップ時間)、<math>t_{RAH}</math> (ロウアドレスホールド時間)、<math>t_{ASC}</math> (カラムアドレスセットアップ時間)、<math>t_{CAH}</math> (カラムアドレスホールド時間) が満足されていることも確認します。</p> <p>図3から各タイミングは以下のようになります。</p> <p>(a) SH7034の<math>t_{CAC}</math>、<math>t_{ACC2}</math>、<math>t_{RAC2}</math>および<math>t_{RDH}</math></p> $t_{CAC2} = t_{CAC(max)} = \underline{20ns \leq 25ns (SH7034 \quad t_{CAC2})}$ $t_{ACC2} = t_{AA(max)} = \underline{35ns \leq 70ns (SH7034 \quad t_{ACC2})}$ $t_{RAC2} = t_{RAC(max)} = \underline{70ns \leq 105ns (SH7034 \quad t_{RAC2})}$ $t_{RDH} = t_{OFF1(min)} = \underline{0ns \geq 0ns (SH7034 \quad t_{RDH})}$ <p>(b) HM514260AJ-7の<math>t_{DS}</math>、<math>t_{DH}</math>、<math>t_{RC}</math>および<math>t_{RP}</math></p> $t_{DS} = t_{DS(min)} = \underline{0ns \geq 0ns (HM514260AJ-7 \quad t_{DS})}$ $t_{DH} = T3 + t_{WDH(min)} - t_{CASD2(max)} = 50 + 0 - 20 = \underline{30ns \geq 15ns (HM514260AJ-7 \quad t_{DH})}$ $t_{RP} = TP1 + TP2 + t_{CH(min)} + t_{RASD1(min)} - t_{RASD2(max)} = 50 + 50 + 20 + 0 - 30 = \underline{90ns \geq 50ns (HM514260AJ-7 \quad t_{RP})}$ $t_{RC} = t_{CL(min)} + TC1 + TC2 + TP1 + TP2 + t_{CH(min)} + t_{RASD1(min)} - t_{RASD1(max)} = 20 + 50 + 50 + 50 + 50 + 20 + 0 - 30 = \underline{210ns \geq 130ns (HM514260AJ-7 \quad t_{RC})}$				

## 2. 4 DRAMインタフェース

DRAM(HM514260AJ-7)インタフェース	MCU	SH7034	使用機能	BSC (ハスステートコントローラ)
動作説明				
<p>(c) HM514260AJ-7の <math>t_{ASR}</math>、<math>t_{RAH}</math>、<math>t_{ASC}</math>および<math>t_{CAH}</math></p> $t_{ASR} = t_{CH}(\min) + t_{RASD1}(\min) - t_{AD}(\min)$ $= 20 + 0 - 20$ $= 0 \text{ ns} \geq 0 \text{ ns} \quad (\text{HM514260AJ-7} \quad t_{ASR})$ $t_{RAH} = t_{CL}(\min) + t_{AD}(\min) - t_{RASD1}(\min)$ $= 20 + 0 - 20$ $= 10 \text{ ns} \geq 10 \text{ ns} \quad (\text{HM514260-7} \quad t_{RAH})$ $t_{ASC} = TC1 + t_{CASD2}(\min) - t_{AD}(\max)$ $= 50 + 0 - 20$ $= 30 \text{ ns} \geq 0 \text{ ns} \quad (\text{HM514260-7} \quad t_{ASC})$ $t_{CAH} = T2 - t_{CASD2}(\max)$ $= 50 - 20$ $= 30 \text{ ns} \geq 15 \text{ ns} \quad (\text{HM514260-7} \quad t_{CAH})$ <p>(d) HM514260-7の <math>t_{RAS}</math>、<math>t_{CAS}</math>、<math>t_{CSH}</math>および<math>t_{RSH}</math></p> $t_{RAS} = t_{CL}(\min) + TC1 + TC2 + t_{RASD2}(\min) - t_{RASD1}(\max)$ $= 20 + 50 + 50 + 0 - 20$ $= 100 \text{ ns} \geq 70 \text{ ns} \quad (\text{HM514260-7} \quad t_{RAS})$ $t_{CAS} = TC2 + t_{CASD3}(\min) - t_{CASD2}(\max)$ $= 50 + 0 - 20$ $= 30 \text{ ns} \geq 20 \text{ ns} \quad (\text{HM514260-7} \quad t_{CAS})$ $t_{CSH} = t_{CL}(\min) + TC1 + TC2 + t_{CASD3}(\min) - t_{RASD1}(\max)$ $= 20 + 50 + 50 + 0 - 20$ $= 100 \text{ ns} \geq 70 \text{ ns} \quad (\text{HM514260-7} \quad t_{CSH})$ $t_{RSH} = TC2 + t_{RASD2}(\min) - t_{CASD3}(\max)$ $= 50 + 0 - 20$ $= 30 \text{ ns} \geq 20 \text{ ns} \quad (\text{HM514260-7} \quad t_{RSH})$				



2. 4 DRAMインタフェース

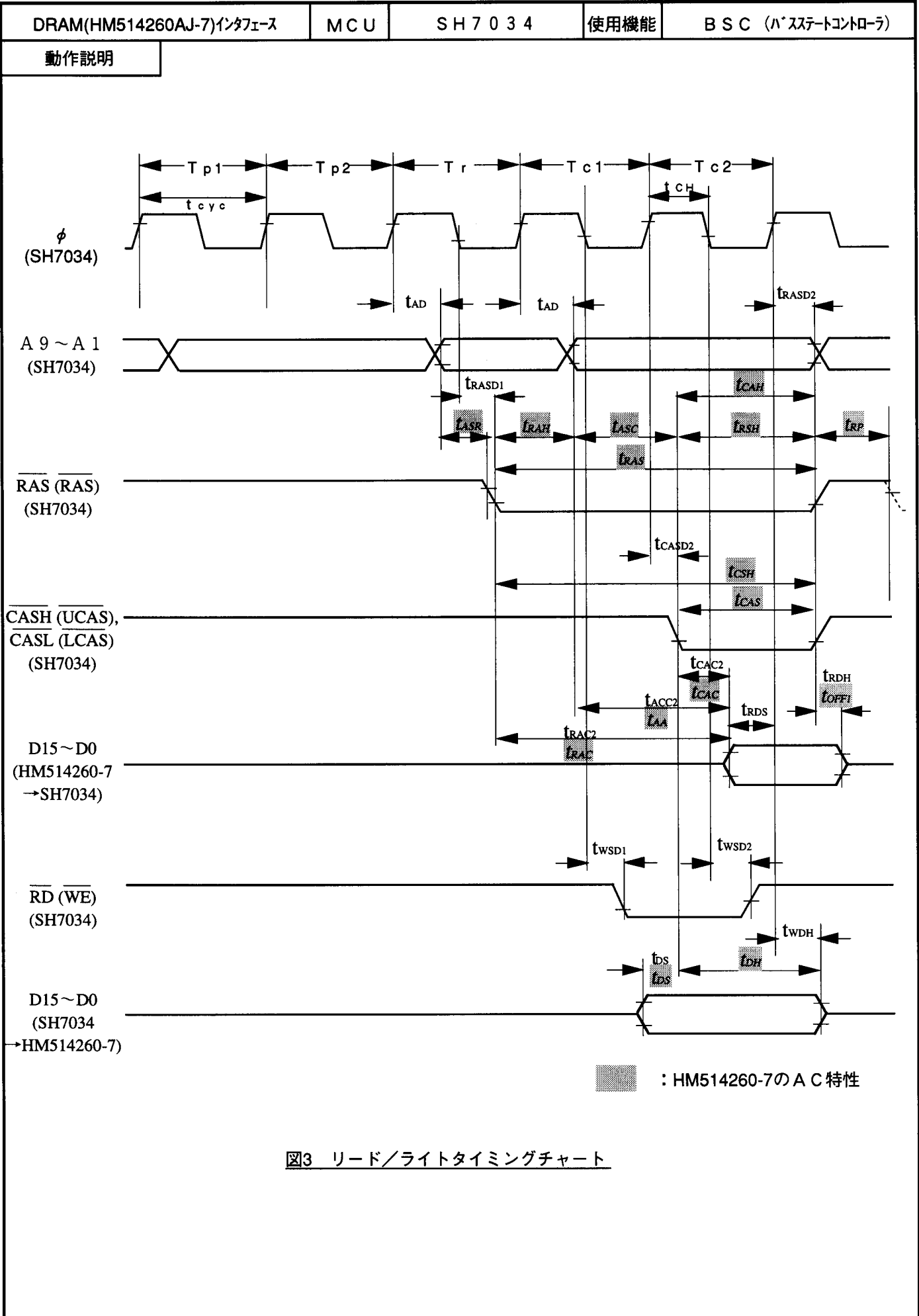


図3 リード/ライトタイミングチャート

## 2.4 DRAMインタフェース

DRAM(HM514260AJ-7)インタフェース	MCU	SH7034	使用機能	BSC (ハスレートコントローラ)
動作説明				
<p>(2) リフレッシュ</p> <p>図4にCASビフォRASリフレッシュタイミングチャートを示します。SH7034とHN514260-7を直接接続する場合、HN514260-7の <math>t_{CSR}</math> (CASセットアップ時間)、<math>t_{CHR}</math> (CASホールド時間)、<math>t_{CPN}</math> (CASプリチャージ時間)、<math>t_{RC}</math> (ランダムリード/ライトサイクル時間)、<math>t_{RAS}</math> (RASパルス幅) が満足されていることを確認します。</p> <p>図4から各タイミングは以下のようになります。</p> <p>(a) HM514260-7の <math>t_{CSR}</math>、<math>t_{CHR}</math>、<math>t_{CPN}</math>、<math>t_{RC}</math>および <math>t_{RAS}</math></p> $t_{CSR} = t_{CSR(\min)} = 10\text{ ns} \geq 10\text{ ns (HM514260-7 } t_{CSR})$ $t_{CHR} = t_{CL(\min)} + TC1 + TC2 + t_{CASD3(\min)} - t_{RASD1(\max)} = 20 + 50 + 50 + 0 - 25 = 95\text{ ns} \geq 10\text{ ns (HM514260-7 } t_{CHR})$ $t_{CPN} = TP1 + TP2 + Tr + TC1 + t_{CASD2(\min)} - t_{CASD3(\max)} = 50 + 50 + 50 + 50 + 0 - 20 = 180\text{ ns} \geq 10\text{ ns (HM514260-7 } t_{CPN})$ $t_{RC} = t_{CL(\min)} + TC1 + TC2 + TP1 + TP2 + t_{CH(\min)} + t_{RASD1(\min)} - t_{RASD1(\max)} = 20 + 50 + 50 + 50 + 50 + 20 + 0 - 20 = 220\text{ ns} \geq 130\text{ ns (HM514260-7 } t_{RC})$ $t_{RAS} = t_{CL(\min)} + TC1 + TC2 + t_{RASD2(\min)} - t_{RASD1(\max)} = 20 + 50 + 50 + 0 - 25 = 95\text{ ns} \geq 70\text{ ns (HM514260-7 } t_{RAS})$				

2. 4 DRAMインタフェース

DRAM(HM514260AJ-7)インタフェース	MCU	SH7034	使用機能	BSC (バスステートコントローラ)
---------------------------	-----	--------	------	--------------------

動作説明

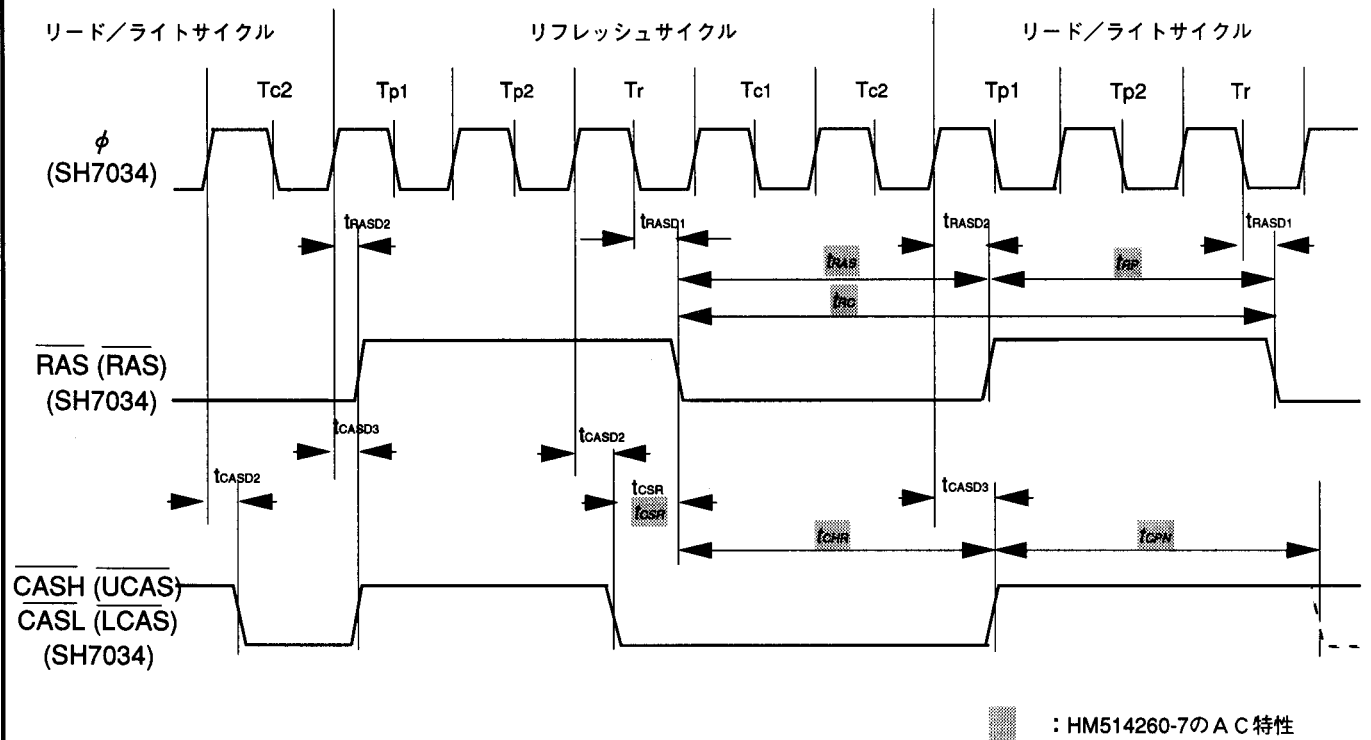


図4 リフレッシュタイミング

## 2. 4 DRAMインターフェース

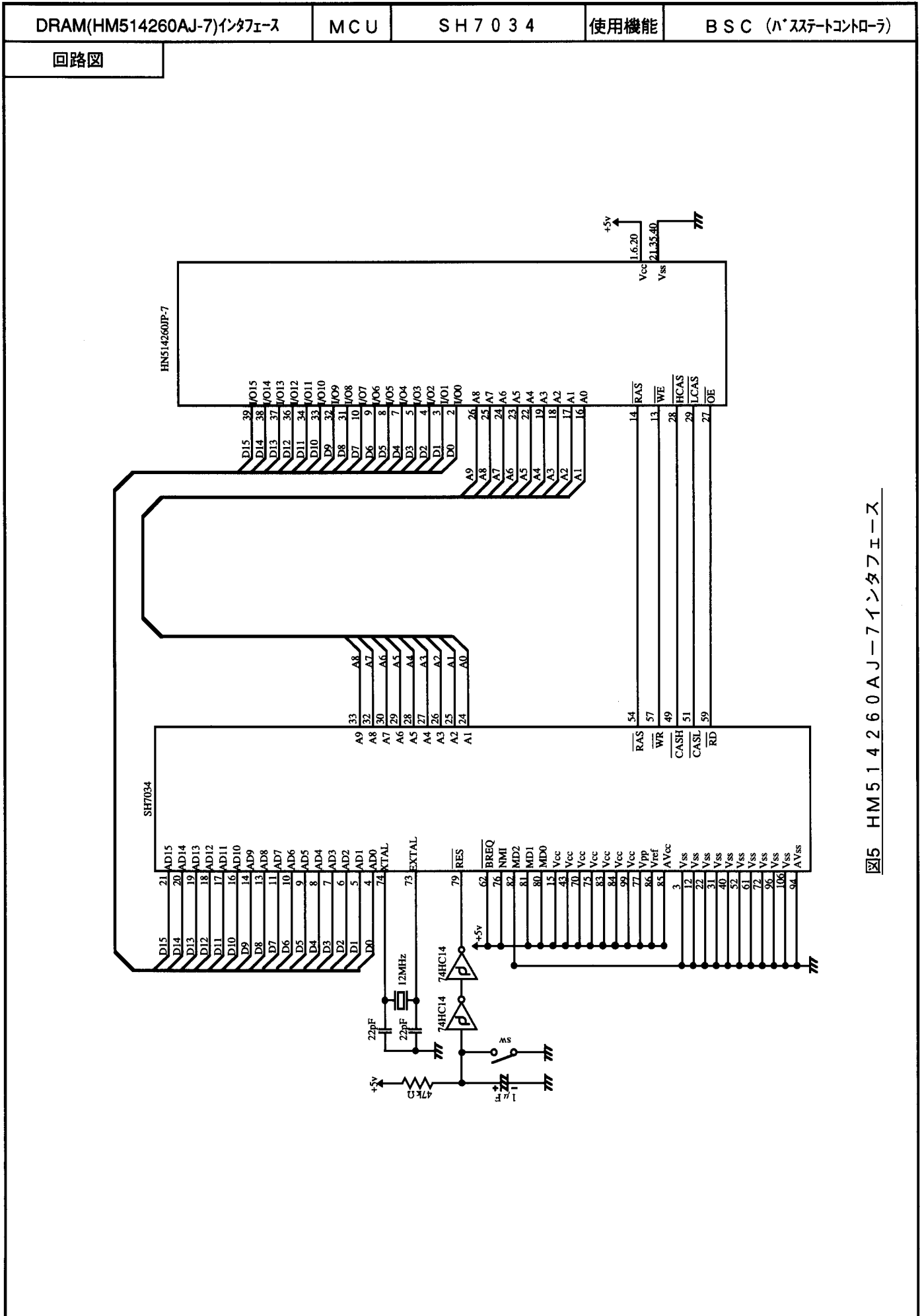


図5 HM514260AJ-7インターフェース

## 2. 5 プログラマブル・タイマ・カウンタインタフェース

タイマLSI( $\mu$ PD71054GB)インタフェース	MCU	SH7034	使用機能	BSC (ハスステートコントローラ)
仕様				

(1) 図1に示すように、SH7034とタイマ( $\mu$ PD71054GB)のインタフェースを行います。

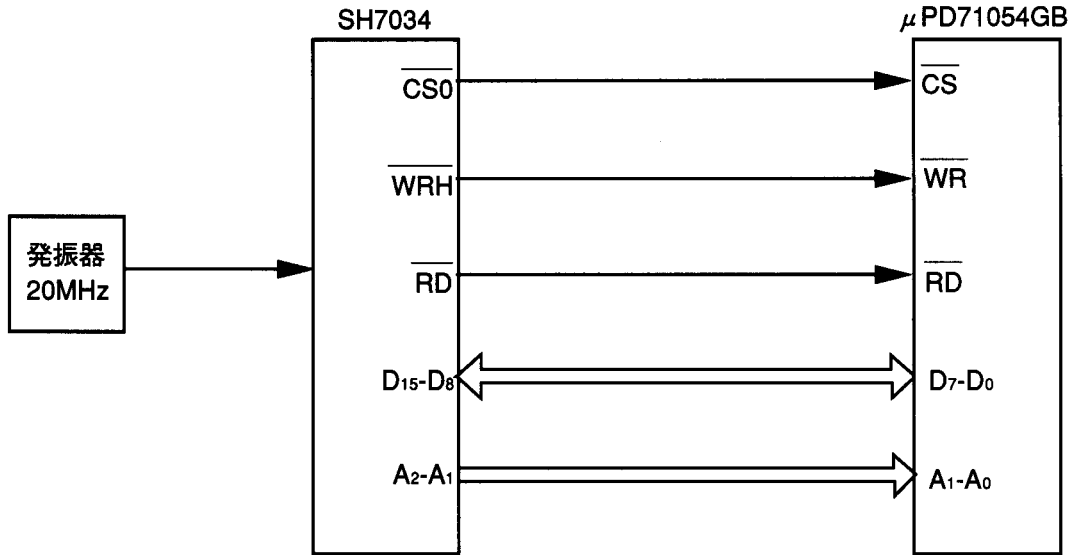


図1 SH7034および $\mu$ PD71054GB接続ブロック図

(2) 図2に示すように、SH7034のメモリ空間のうち、エリア0 (H' 0240000 ~ H' 0280000) に割り付けます。また、エリア0のバスコントローラを以下のように設定します。

アクセスステート数：1ステート+ロングウェイトステート+WAITによるウェイトステート  
ロングウェイトステート数：4ステート

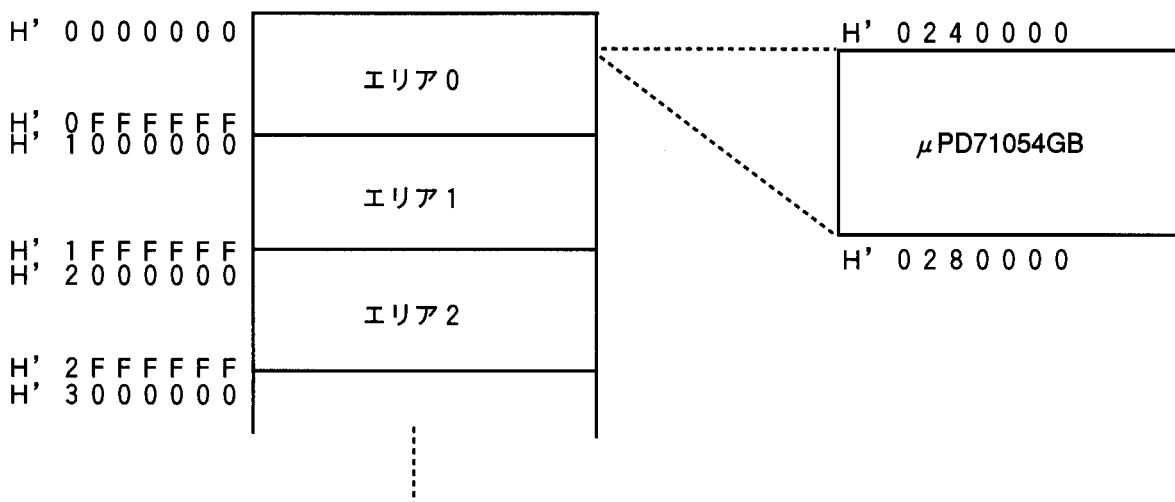


図2 メモリマップ

## 2. 5 プログラマブル・タイマ・カウンタインタフェース

マイクンタ(μPD71054GB)インタフェース	MCU	SH7034	使用機能	BSC (バスステートコントローラ)
動作説明				
<p>(1) データのリード/ライト</p> <p>図3にデータのリード/ライトタイミングチャートを示します。SH7034とμPD71054GBを直接接続する場合、SH7034の<math>t_{ACC2}</math> (リードデータアクセス時間)、<math>t_{RDH}</math> (リードデータホールド時間) およびμPD71054GBの<math>t_{SDW}</math> (入力データセットアップ時間)、<math>t_{HWD}</math> (入力データホールド時間)、<math>t_{SAR}</math> (リード時のアドレスセットアップ時間)、<math>t_{SAW}</math> (ライト時のアドレスセットアップ時間) が満足されているかを確認します。図3から各タイミングは以下ようになります。</p> <p>(a) SH7034の<math>t_{ACC2}</math>および<math>t_{RDH}</math></p> $t_{ACC2} = t_{DAD(max)} = 185 ns \leq 220 ns \text{ (SH7034 } t_{ACC2})$ $t_{RDH} = t_{FRD(min)} = 10 ns \geq 0 ns \text{ (SH7034 } t_{RDH})$ <p>(b) μPD71054GBの<math>t_{SDW}</math>および<math>t_{HWD}</math></p> $t_{SDW} = t_{CL(min)} + T_{LW1} + T_{LW2} + T_{LW3} + t_{CH(min)} + t_{WSD2(min)} - t_{WDD1(max)} = 20 + 50 + 50 + 50 + 20 + 0 - 35 = 155 ns \geq 95 ns \text{ (μPD71054GB } t_{SDW})$ $t_{HWD} = t_{CL(min)} + t_{WDH(min)} - t_{WSD2(max)} = 20 + 0 - 20 = 0 ns \geq 0 ns \text{ (μPD71054GB } t_{HWD})$ <p>(c) μPD71054GBの<math>t_{SAR}</math>および<math>t_{SAW}</math></p> $t_{SAR} = t_{RDD(min)} - t_{AD(max)} = 0 - 20 = -20 ns \geq 20 ns \text{ (μPD71054GB } t_{SAR})$ $t_{SAW} = t_{CH(min)} + t_{WSD1(min)} - t_{AD1(max)} = 20 + 0 - 20 = 0 ns \geq 0 ns \text{ (μPD71054GB } t_{SAW})$				

2. 5 プログラマブル・タイマ・カウンタインタフェース

タイマLSI( $\mu$ PD71054GB)インタフェース	MCU	SH7034	使用機能	BSC (バスステートコントローラ)
---------------------------------	-----	--------	------	--------------------

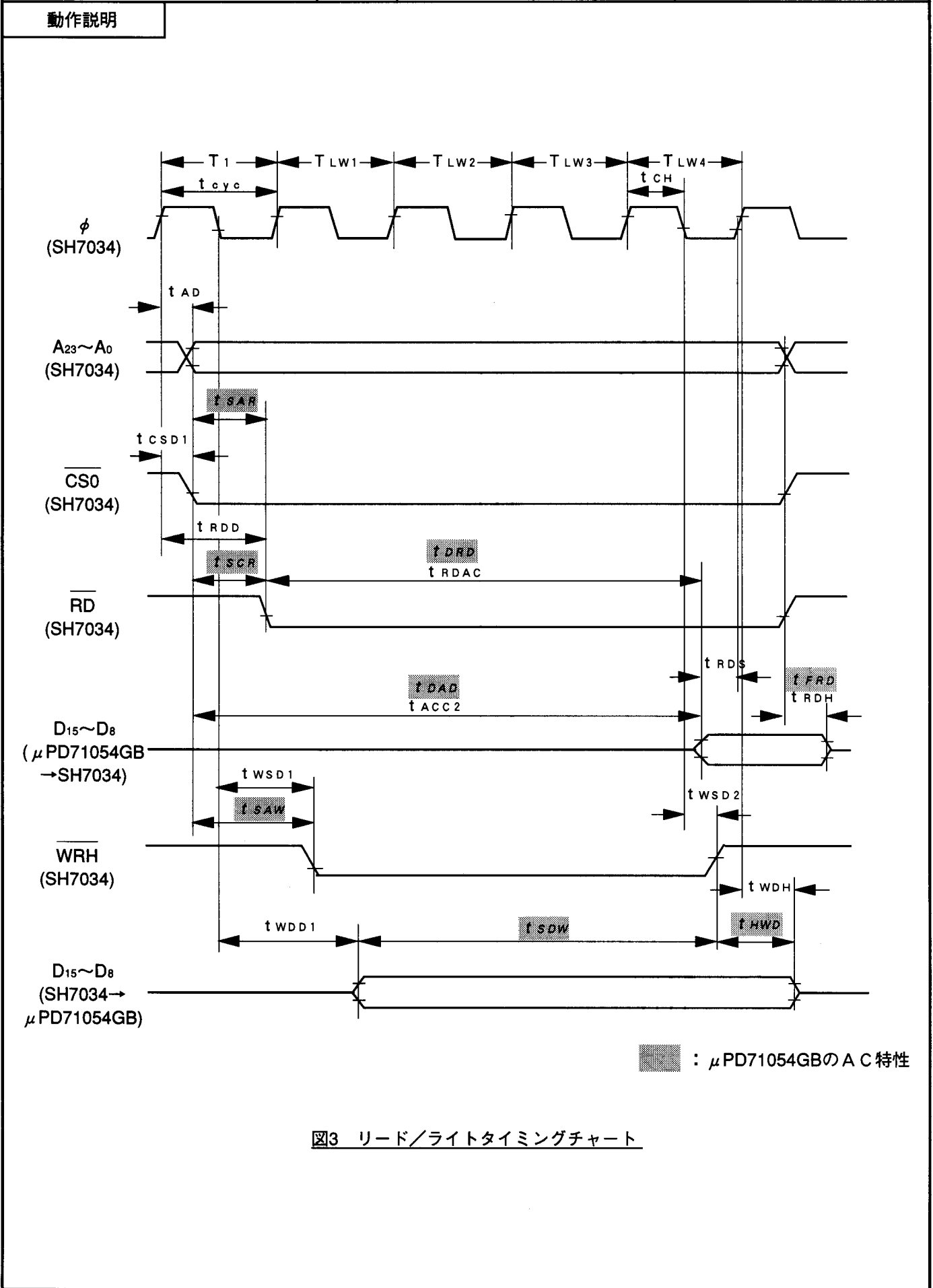


図3 リード/ライトタイミングチャート

2. 5 プログラマブル・タイマ・カウンタインタフェース

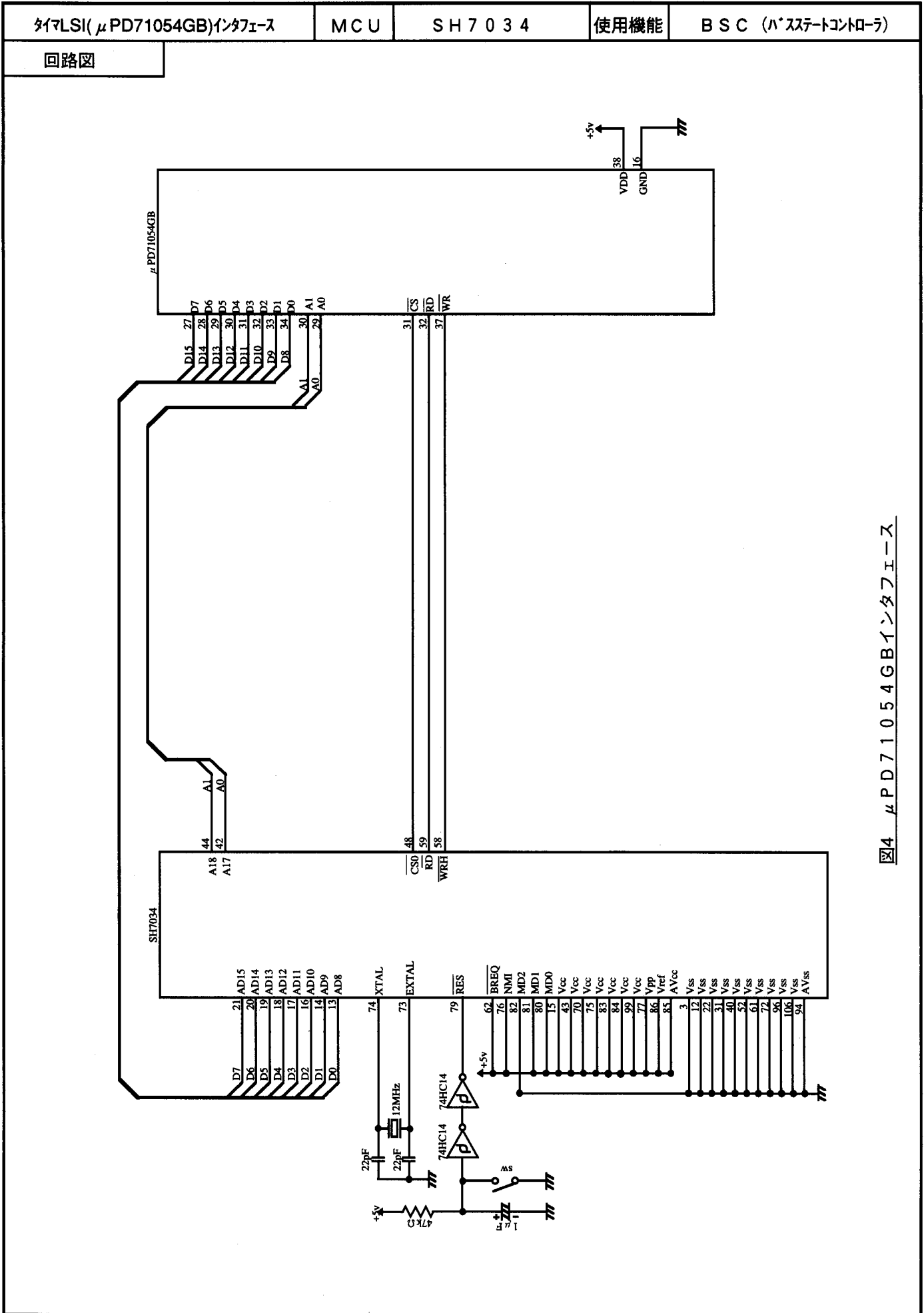


図4 μPD71054GBインタフェース



## 2.6 PIOインターフェース

PIO(M5M82C255ASP)インターフェース	MCU	SH7034	使用機能	BSC (バスステートコントローラ)
---------------------------	-----	--------	------	--------------------

仕様

- (1) 図1に示すように、SH7034とPIO (M5M82C255ASP) とインターフェースを行います。

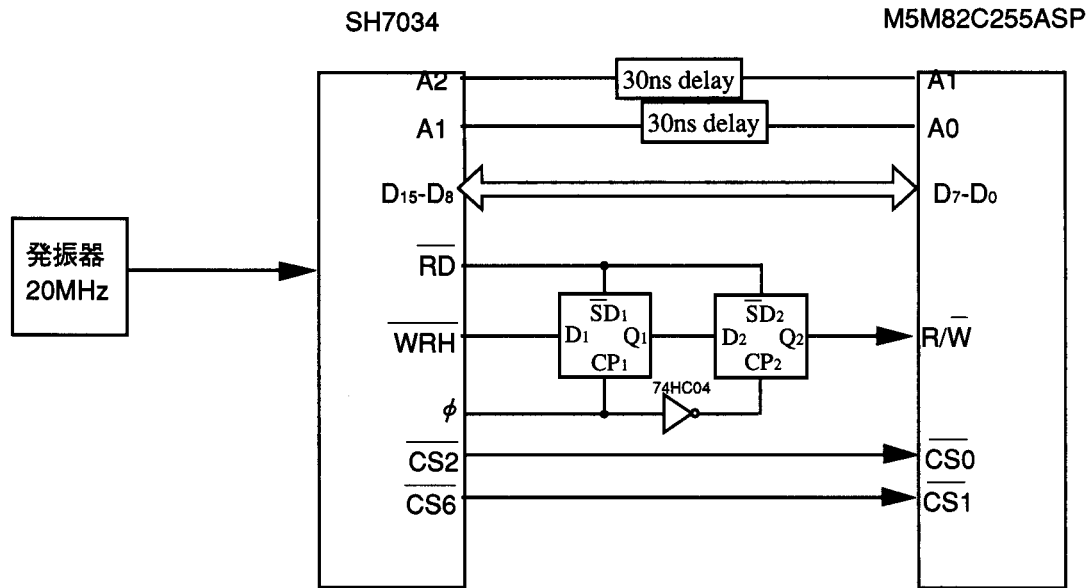


図1 SH7034およびM5M82C255ASP接続ブロック図

- (2) 図2に示すように、SH7034のメモリ空間のうち、エリア2 (H' A000000 ~H' AFFFFFFF)、エリア6 (H' E000000 ~H' EFFFFFFF) に割り付けます。また、エリア2とエリア6のバスコントローラを以下のように設定します。

エリア選択：エリア6を外部メモリ空間に選択

アクセスステート数：1ステート+ロングウェイトステート

ロングウェイトステート数：4ステート

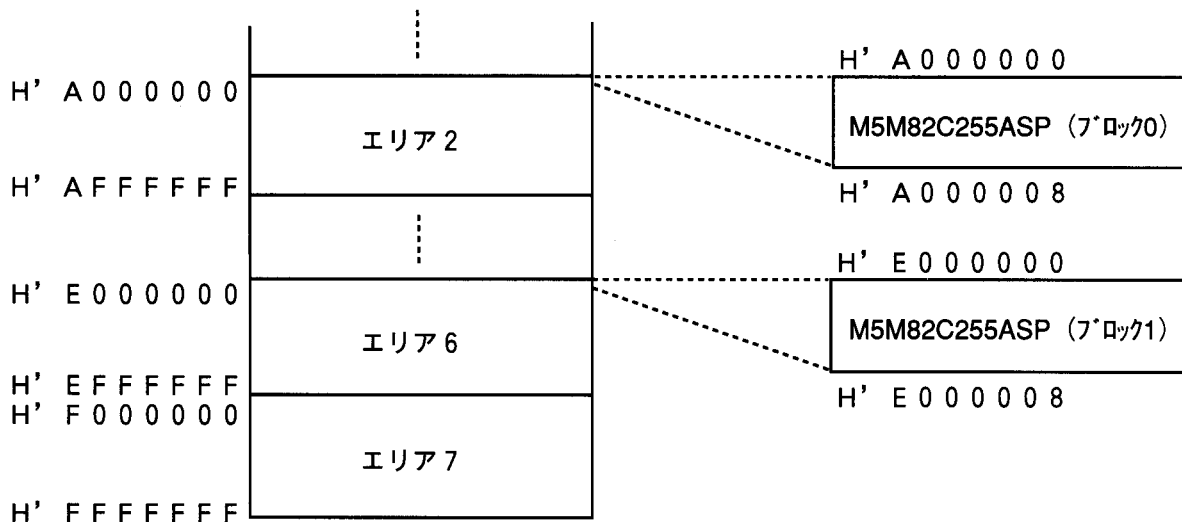


図2 メモリマップ

## 2.6 PIOインタフェース

PIO(M5M82C255ASP)インタフェース	MCU	SH7034	使用機能	BSC (ハステートコントローラ)
動作説明				
<p>(1) データのリード/ライト</p> <p>図3,4にデータのリード/ライトタイミングチャートを示します。SH7034とM5M82C255ASPを直接接続する場合、SH7034の <math>t_{ACC2}</math> (リードデータアクセス時間)、<math>t_{RDH}</math> (リードデータホールド時間) およびM5M82C255ASPの <math>t_{SU(AI-CS)}</math> (リード前アドレスセットアップ時間)、<math>t_{H(CS-AI)}</math> (リード後アドレスホールド時間)、<math>t_{W(CS)}</math> (リード時チップセレクト幅)、<math>t_{SU(DO-W)}</math> (ライト前データセットアップ時間)、<math>t_{H(W-DO)}</math> (ライト後データホールド時間)、<math>t_{SU(AI-W)}</math> (ライト前アドレスセットアップ時間)、<math>t_{H(W-AI)}</math> (ライト後アドレスホールド時間)、<math>t_{SU(CS-W)}</math> (ライト前チップセレクトセットアップ時間)、<math>t_{H(W-CS)}</math> (ライト後チップセレクトホールド時間)、<math>t_{W(R/W)}</math> (ライト時R/Wパルス幅) が満足されているかを確認します。</p> <p>図3,4から各タイミングは以下のようになります。</p> <p>(a) SH7034の <math>t_{ACC2}</math> および <math>t_{RDH}</math></p> $t_{ACC2} = t_{PZV(CS-DO)}$ $= \underline{120\text{ ns} \leq 220\text{ ns}} \text{ (SH7034 } t_{ACC2(\text{min})})$ $t_{RDH} = t_{PVZ(CS-DO)}$ $= \underline{10\text{ ns} \geq 0\text{ ns}} \text{ (SH7034 } t_{RDH(\text{min})})$ <p>(b) M5M82C255ASPの <math>t_{SU(AI-CS)}</math> および <math>t_{H(CS-AI)}</math> および <math>t_{W(CS)}</math></p> $t_{SU} = t_{AD(\text{min})} + t_{ADdelay(\text{min})} - t_{CSD1(\text{max})}$ $= 0 + 27 - 25$ $= \underline{2\text{ ns} \geq 0\text{ ns}} \text{ (M5M82C255ASP } t_{SU(\text{min})})$ $t_{H} = t_{ADdelay(\text{min})} - t_{CSD2(\text{max})}$ $= 27 - 25$ $= \underline{2\text{ ns} \geq 0\text{ ns}} \text{ (M5M82C255ASP } t_{H(\text{min})})$ $t_{W} = T_1 + TLW1 + TLW2 + TLW3 + TLW4 + T_{CSD2(\text{min})} - t_{CSD1(\text{max})}$ $= 50 + 50 + 50 + 50 + 50 + 0 - 25$ $= \underline{225\text{ ns} \geq 160\text{ ns}} \text{ (M5M82C255ASP } t_{W(\text{min})})$ <p>(c) M5M82C255ASPの <math>t_{SU(DO-W)}</math> および <math>t_{H(W-DO)}</math></p> $t_{SU} = T_{CL} + TLW1 + TLW2 + TLW3 + T_{CH} + T_{WSD2(\text{min})} + t_{PLH(\text{min}, AC32)} - t_{WDD1(\text{max})}$ $= 20 + 50 + 50 + 50 + 20 + 0 + 1 - 35$ $= \underline{156\text{ ns} \geq 100\text{ ns}} \text{ (M5M82C255ASP } t_{SU(\text{min})})$ $t_{H} = T_{CL} + t_{WDH(\text{min})} - t_{PLH(\text{max}, AC32)} - t_{WSD2(\text{max})}$ $= 20 + 0 - 7.5 - 20$ $= \underline{-7.5\text{ ns} \geq 0\text{ ns}} \text{ (M5M82C255ASP } t_{H(\text{min})})$				

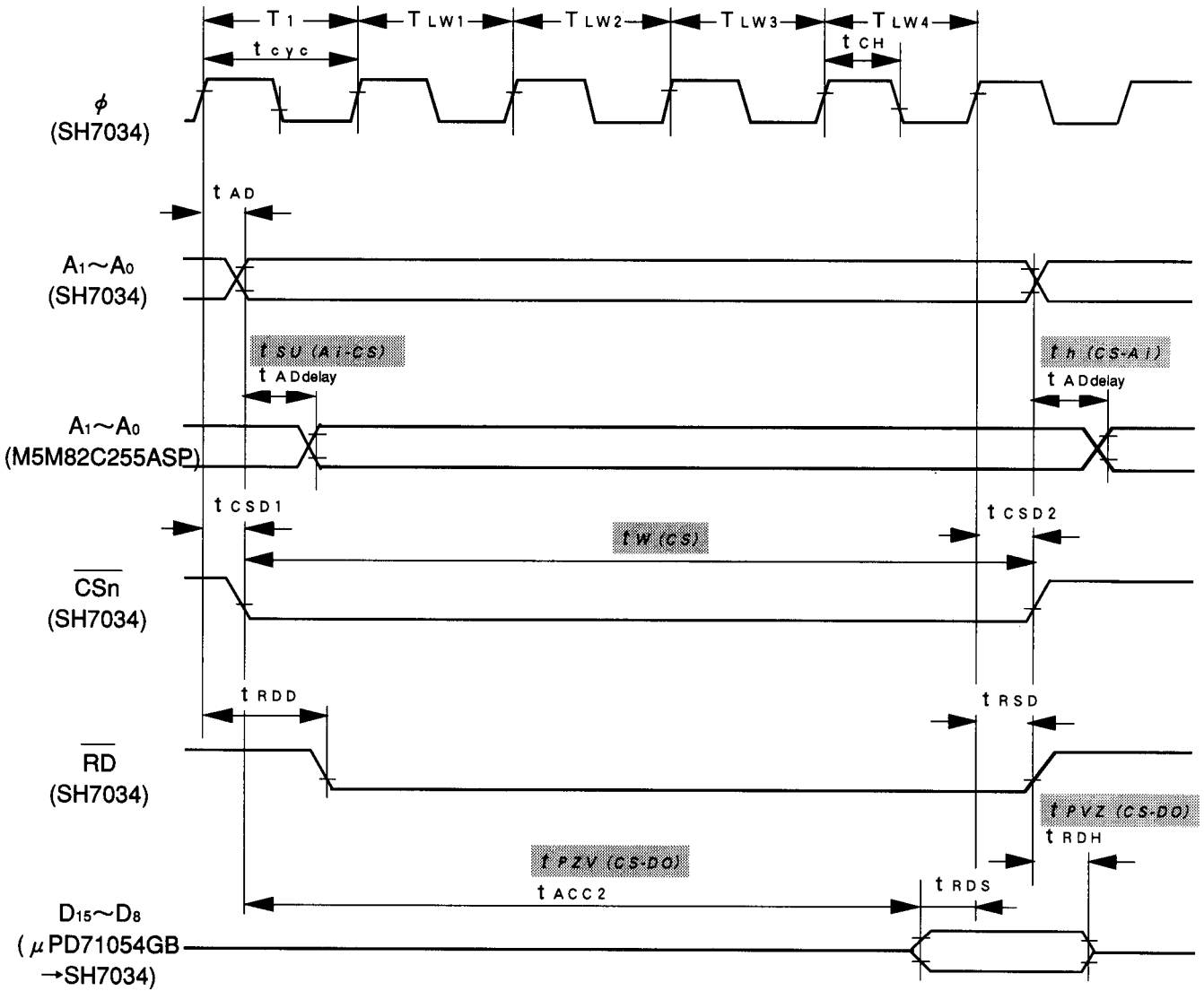
## 2.6 PIOインタフェース

PIO(M5M82C255ASP)インタフェース	MCU	SH7034	使用機能	BSC (ハステートコントローラ)
動作説明				
<p>(d) M5M82C255ASPの <math>t_{SU(Ai-W)}</math> および <math>t_{h(W-Ai)}</math></p> $t_{SU} = T_1 + T_{CH} + t_{PHL(\min, AC04+AC74)} - t_{AD(\max)} - t_{ADdelay(\max)}$ $= 50 + 20 + 3 - 20 - 33$ $= 20 \text{ ns} \geq 30 \text{ ns (M5M82C255ASP } t_{SU(\min)})$ $t_h = T_{CL} + t_{AD(\min)} + t_{ADdelay(\min)} - t_{WSD2(\max)} - t_{PLH(\max, AC32)}$ $= 20 + 0 + 27 - 20 - 7.5$ $= 19.5 \text{ ns} \geq 0 \text{ ns (M5M82C255ASP } t_{h(\min)})$ <p>(e) M5M82C255ASPの <math>t_{SU(CS-W)}</math> および <math>t_{h(CS-W)}</math> および <math>t_{W(R/W)}</math></p> $t_{SU} = T_1 + T_{CH} + t_{PHL(\min, AC04+AC74)} - t_{CSD1(\max)}$ $= 50 + 20 + 2 - 25$ $= 47 \text{ ns} \geq 30 \text{ ns (M5M82C255ASP } t_{SU(\min)})$ $t_h = T_{CL} + t_{CSD2(\min)} - t_{WSD2(\max)} - t_{PLH(\max, AC32)}$ $= 20 + 0 - 20 - 7.5$ $= -7.5 \text{ ns} \geq 0 \text{ ns (M5M82C255ASP } t_{h(\min)})$ $t_w = T_{CL} + T_{LW2} + T_{LW3} + T_{CH} + t_{WSD2(\min)} + t_{PLH(\min, AC32)} - t_{PHL(\max, AC74)}$ $= 20 + 50 + 50 + 20 + 0 + 1 - 6.5 - 10$ $= 124.5 \text{ ns} \geq 120 \text{ ns (M5M82C255ASP } t_{W(\min)})$				

2.6 PIOインターフェース

PIO(M5M82C255ASP)インターフェース	MCU	SH7034	使用機能	BSC (ハスステートコントローラ)
---------------------------	-----	--------	------	--------------------

動作説明



■ : M5M82C255ASPのAC特性

図3 リードタイミングチャート

2.6 PIOインタフェース

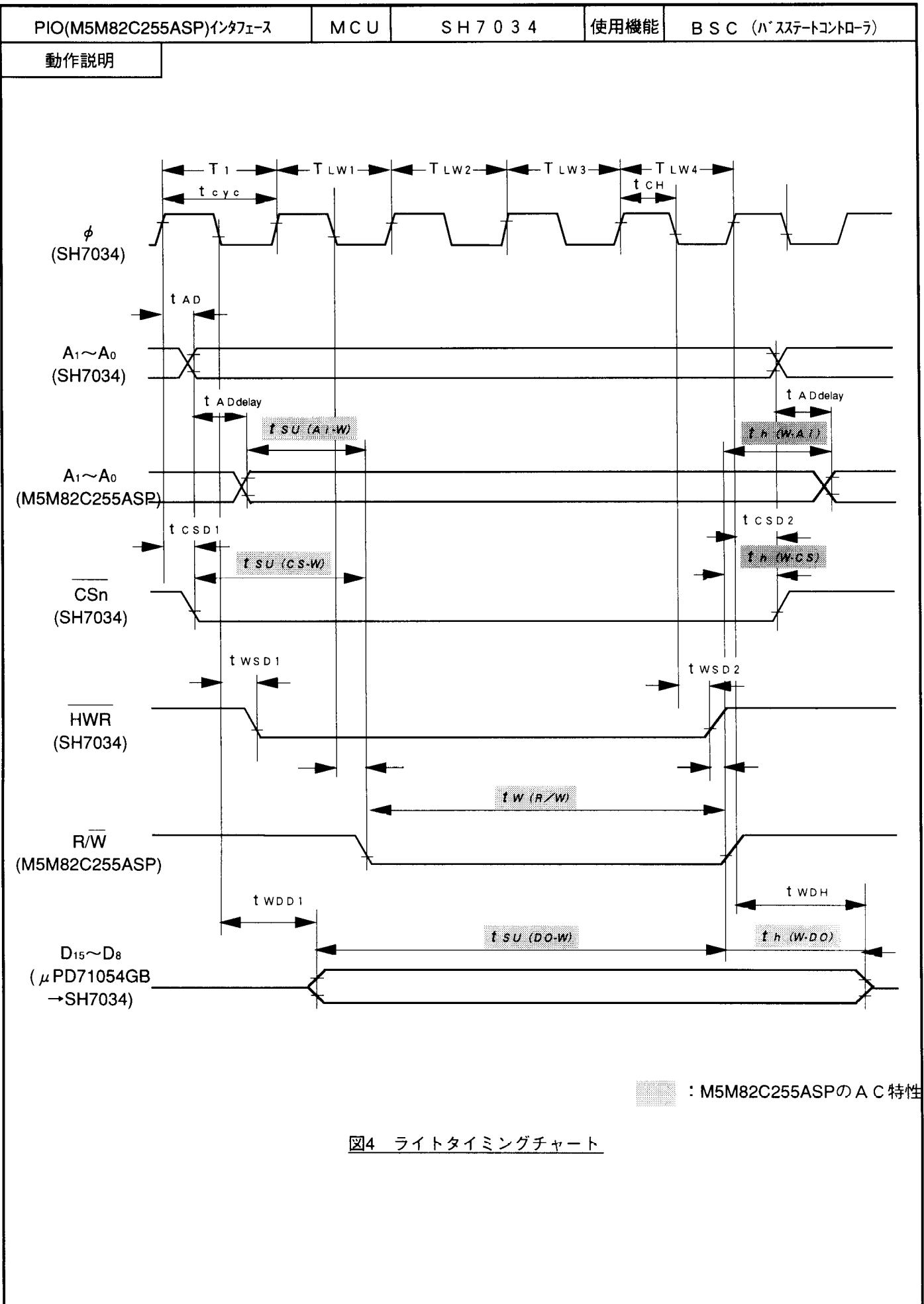


図4 ライトタイミングチャート

2. 6 P I Oインターフェース

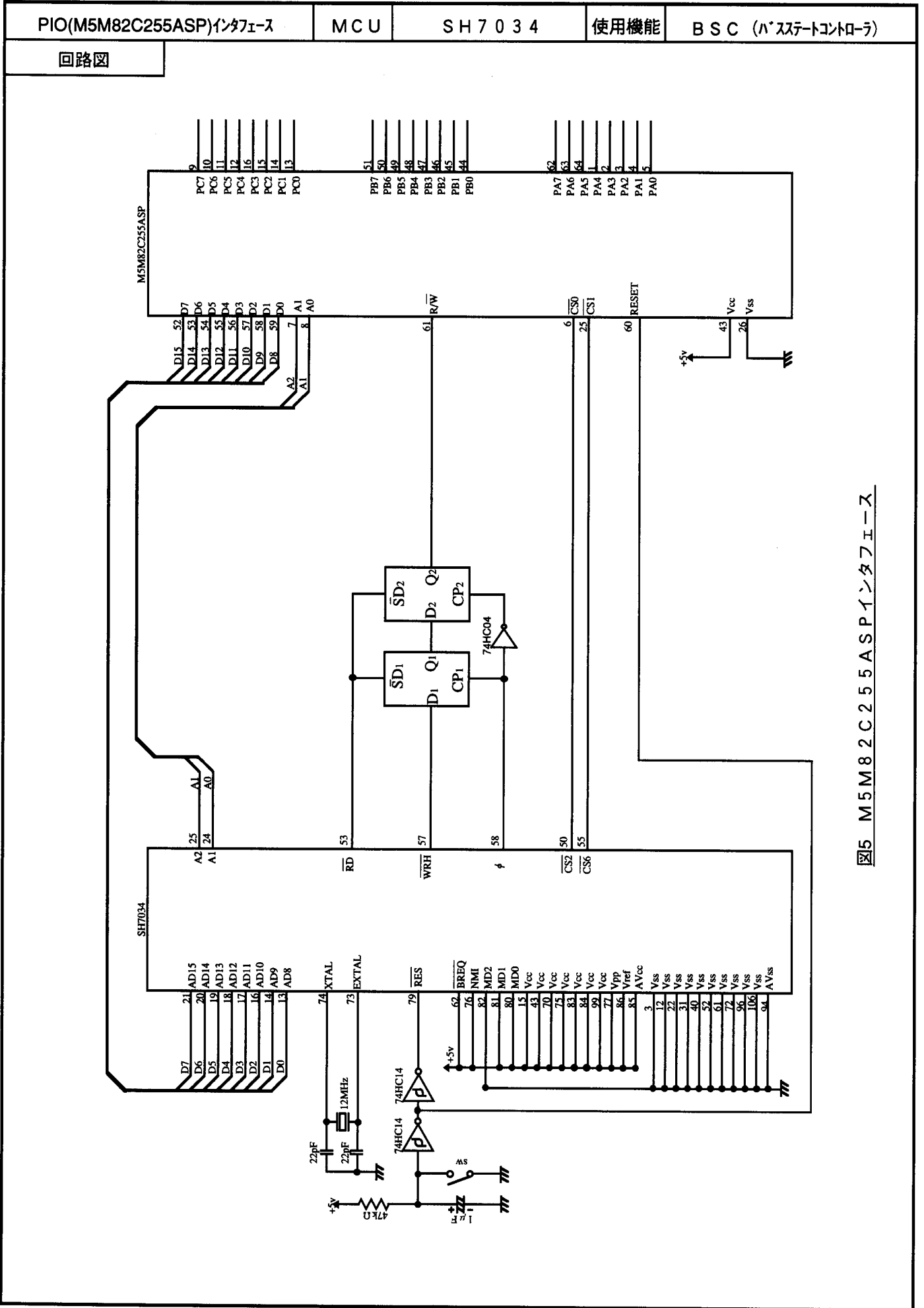


図5 M5M82C255ASPインタフェース

---

## 3. SH7604 インタフェース例

---

### 第3章 目次

3.1	EPROMインタフェース	37
3.2	SRAMインタフェース	42
3.3	DRAMインタフェース	48
3.4	SDRAMインタフェース	60
3.5	シリアル・コントロール・ユニットインタフェース	69
3.6	プログラマブル・タイマ・カウンタインタフェース	74
3.7	パラレル・インタフェース・ユニットインタフェース	80

### 3. 1 EPROMインタフェース

HN27C4096HGインタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
--------------------	-----	------------------	------	-----

仕様

(1) 下の図のように、SH7604とEPROM HN27C4096HG (256k×16bit構成) との16ビットデータ幅インタフェースを行います。

BCR1で通常空間に設定した空間は、ROM,SRAM直結を考慮した空間になります。ROM,SRAMはCS0～CS3空間に接続可能です。

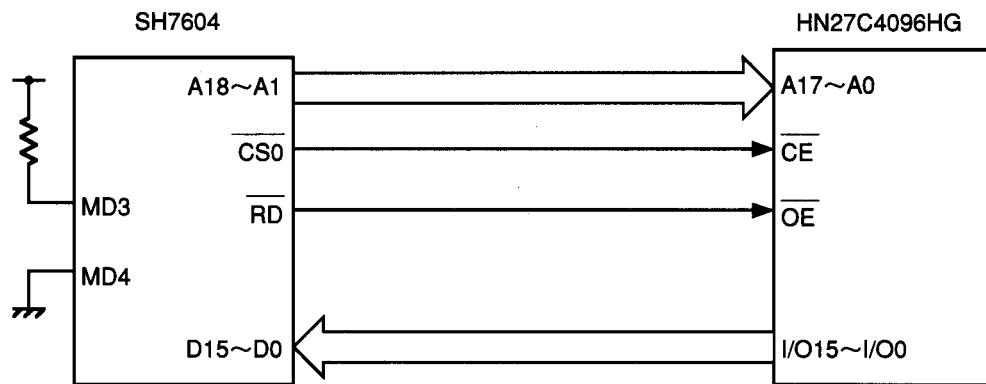


図1 SH7604,HN27C4096HG接続ブロック図

CS0空間（ブートROM）のバス幅は、SH7604のMD4,MD3端子を使用し、8,16,32bitバス幅に設定できます。各端子の組み合わせを、以下の表に示します。

表1 CS0空間のバス幅指定

端子		バス幅 (bit)
MD4	MD3	
0	0	8
0	1	16
1	0	32
1	1	設定禁止



### 3. 1 EPROMインタフェース

HN27C4096HGインタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
--------------------	-----	------------------	------	-----

仕様

(2) 下図に示すように、SH7604の実メモリ空間のうち、CS0空間 (H'00000000~H'01FFFFFF) にEPROMを割付けます。

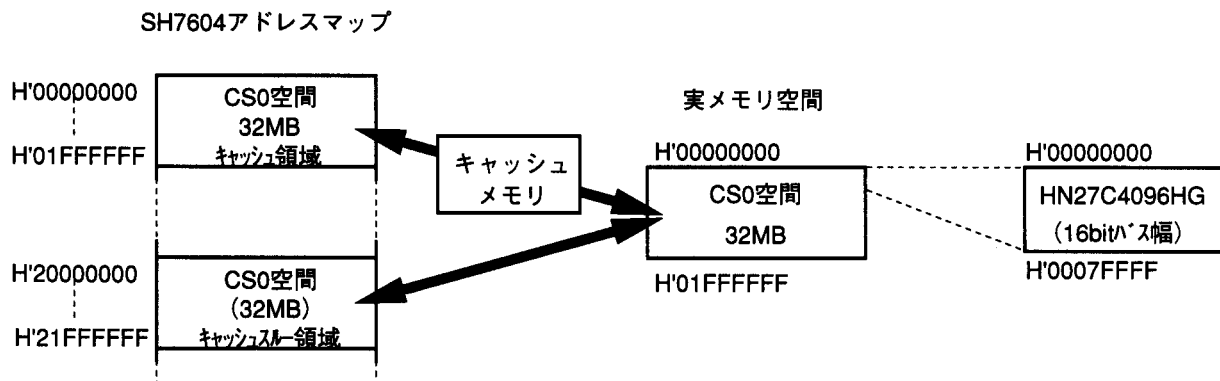


図2 メモリマップ

また、BSCの各レジスタを以下のように設定します。

- BCR1 エリア0バーストROMイネーブル (BSTROM) : 0 (エリア0を通常にアクセスする)
- WCR ウェイトコントロール (W01,W00) : 10 (2ウェイト)

### 3. 1 EPROMインタフェース

HN27C4096HGインタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
--------------------	-----	------------------	------	-----

#### 動作説明

図3にデータのリード/ライトタイミングチャートを示します。SH7604にEPROM HN27C4096HG-85を直結する場合、 $t_{ACC}$  (アクセス時間)、 $t_{\overline{CE}}$  (CE出力遅延時間)、 $t_{\overline{OE}}$  (OE出力遅延時間)、 $t_{OH}$  (出力保持時間) が満足されていることを確認します。

n : ウェイトステート=2

- $t_{ACC}$  (アクセス時間)

$$t_{ACC} = t_{cyc} \times (n+2) - t_{AD(max)} - t_{RDS1(min)}$$

$$= 94.0ns \geq 85ns \text{ (HN27C4096HG-85 } t_{ACC(max)})$$

- $t_{\overline{CE}}$  ( $\overline{CE}$ 出力遅延時間)

$$t_{\overline{CE}} = t_{cyc} \times (n+2) - t_{CSD1(max)} - t_{RDS1(min)}$$

$$= 91.0ns \geq 85ns \text{ (HN27C4096HG-85 } t_{\overline{CE}(max)})$$

- $t_{\overline{OE}}$  ( $\overline{OE}$ 出力遅延時間)

$$t_{\overline{OE}} = t_{cyc} \times (n+2) - t_{RSD1(max)} - t_{RDS1(min)}$$

$$= 78.5ns \geq 40ns \text{ (HN27C4096HG-85 } t_{\overline{OE}(max)})$$

- $t_{OH}$  (出力保持時間)

$$t_{OH} = t_{RDH2(min)}$$

$$= 0ns \leq 5ns \text{ (HN27C4096HG-85 } t_{OH(min)})$$

前述のようにBSCを設定してください。4ステート (139.4ns) でアクセス可能です。

### 3.1 EPROMインタフェース

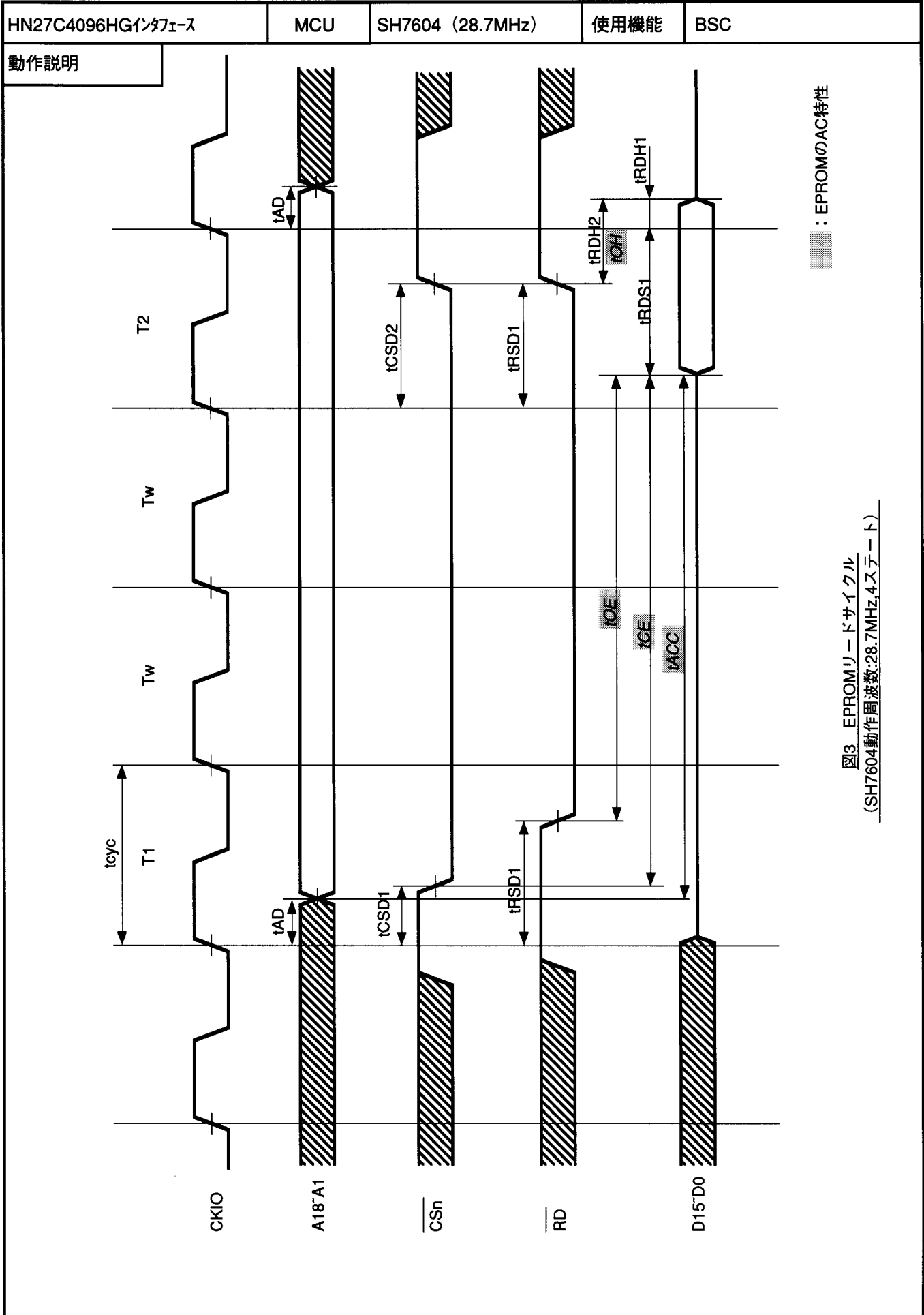
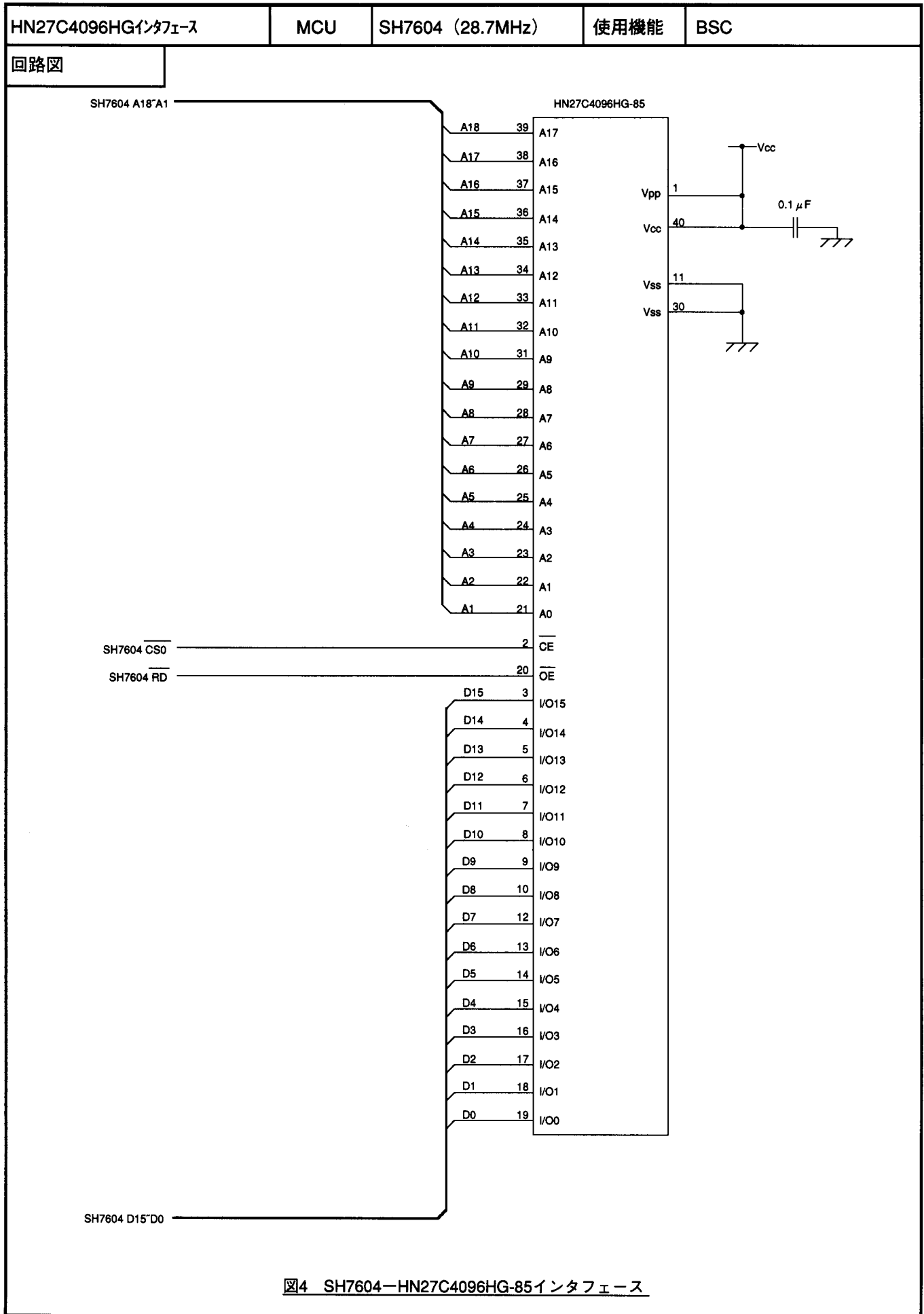


図3 EPROMリードサイクル  
(SH7604動作周波数:28.7MHz,4ステート)

### 3.1 EPROMインタフェース



### 3. 2 SRAMインタフェース

HM628512FP-5インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
---------------------	-----	------------------	------	-----

仕様

(1) 下の図のように、SH7604とSRAM HM628512FP (512k×8bit構成) との32ビットデータ幅インタフェースを行います。

BCR1で通常空間に設定した空間は、SRAM直結を考慮した空間になります。SRAMは CS0～CS3空間に接続可能です。

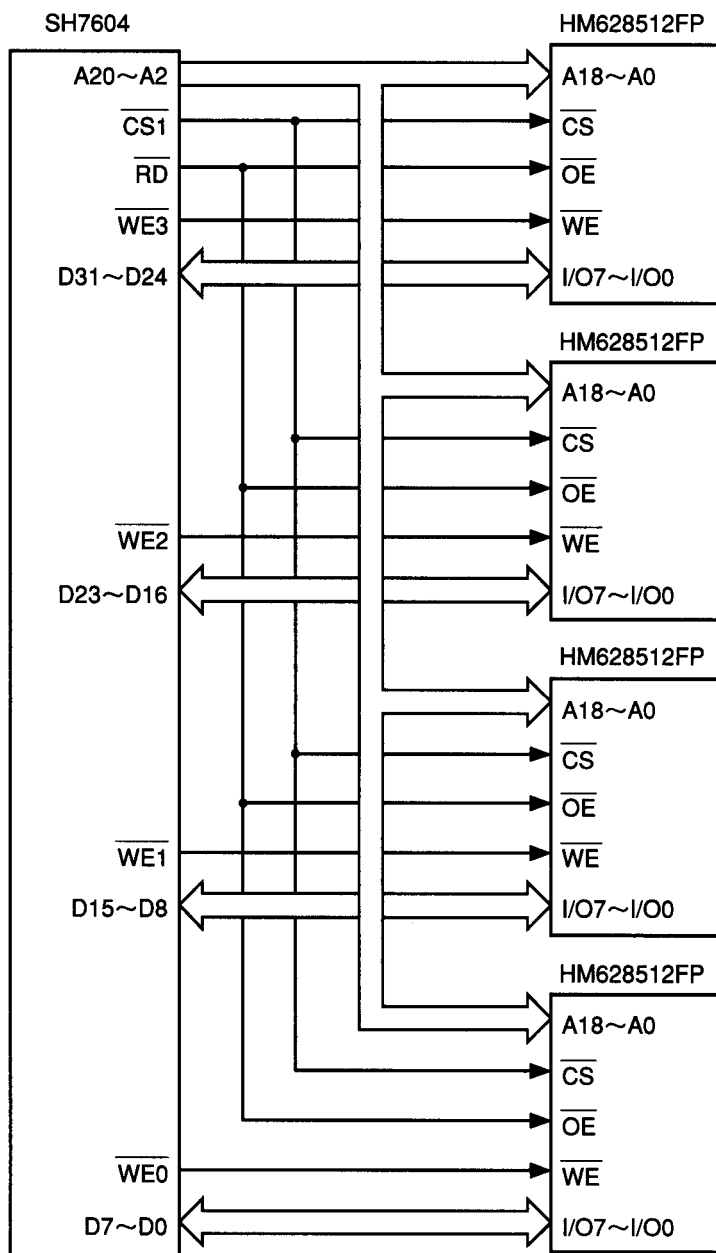


図1 SH7604, HM628512FP接続ブロック図

### 3. 2 SRAMインタフェース

HM628512FP-5インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
---------------------	-----	------------------	------	-----

仕様

(2) 下図に示すように、SH7604の実メモリ空間のうち、CS1空間 (H'02000000~H'03FFFFFF) にSRAMを割付けます。

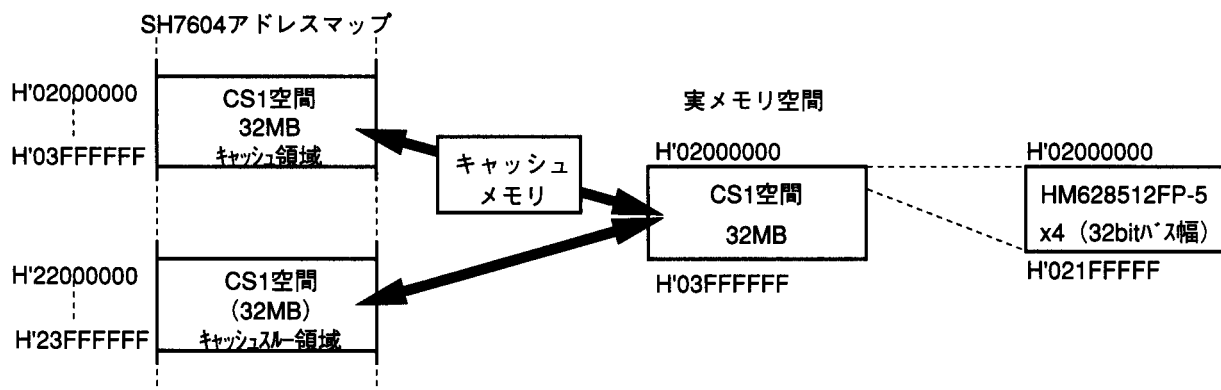


図2 メモリマップ

また、BSCの各レジスタを以下のように設定します。

- BCR2 エリア1のバスサイズ指定 (A1SZ1,0) : 11 (ロングワード (32bit) )
- WCR ウェイトコントロール (W11,W10) : 01 (1ウェイト)

### 3. 2 SRAMインタフェース

HM628512FP-5インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
---------------------	-----	------------------	------	-----

#### 動作説明

##### (1) データのリード/ライト

図3,4にデータのリード/ライトタイミングチャートを示します。SH7604にSRAM HM628512FP-5を直結する場合、SH7604のtCO (チップセレクトアクセス時間)、tOE (出カインエーブルアクセス時間)、tOH (出力保持時間) およびHM628512FP-5のtCW (チップ選択時間)、tWP (ライトパルス幅)、tDW (入力データセット時間)、tDH (入力データ保持時間) が満足されていることを確認します。

n: ウェイトステート=1

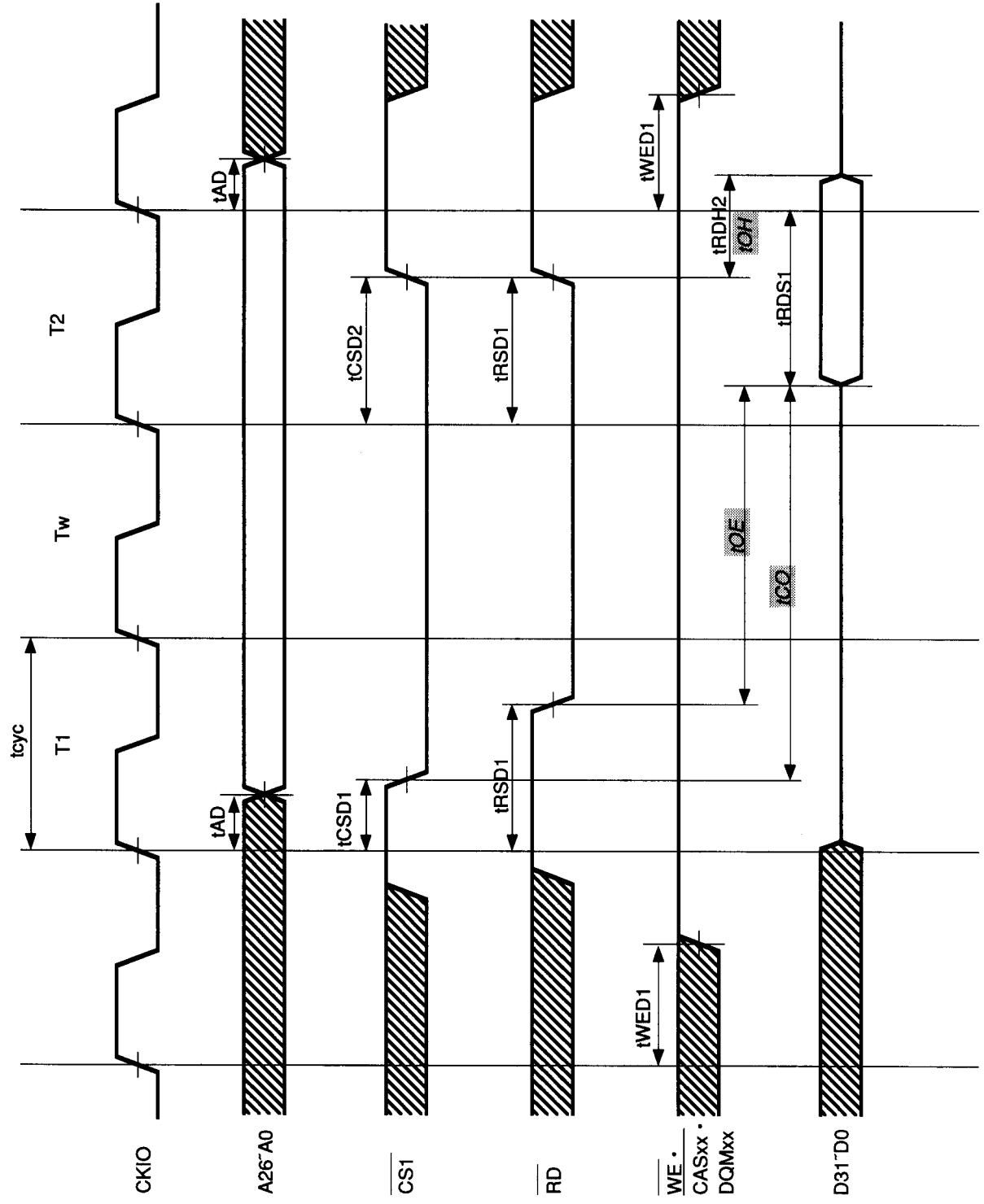
- tCO (チップセレクトアクセス時間)  
 $tACS = t_{cyc} \times (n+2) - t_{CSD1}(\max) - t_{RDS1}(\min)$   
 $= 56.1ns \geq 55ns$  (HM628512FP-5 tCO(max))
- tOE (出カインエーブルアクセス時間)  
 $tOE = t_{cyc} \times (n+2) - t_{RSD1}(\max) - t_{RDS1}(\min)$   
 $= 43.7ns \geq 25ns$  (HM628512FP-5 tOE(max))
- tOH (出力保持時間)  
 $tOH = t_{RDH2}(\min)$   
 $= 0ns \leq 10ns$  (HM628512FP-5 tOH(min))
- tCW (チップ選択時間)  
 $tCW = t_{cyc} \times (n+1) - t_{CSD1}(\max) + t_{CSD2}(\min)$   
 $= 66.1ns \geq 50ns$  (HM628512FP-5 tCW(min))
- tWP (ライトパルス幅)  
 $tWP = t_{cyc} \times (n+1) - t_{WED1}(\max) + t_{WED1}(\min)$   
 $= 54.7ns \geq 40ns$  (HM628512FP-5 tWP(min))
- tDW (入力データセット時間)  
 $tDW = t_{cyc} \times (n+1) - t_{WDD}(\max) + t_{WED1}(\min)$   
 $= 72.1ns \geq 25ns$  (HM628512FP-5 tDW(min))
- tDH (入力データ保持時間)  
 $tDH = t_{cyc} - t_{WED1}(\max) + t_{WDH1}(\min)$   
 $= 2.4ns \geq 0ns$  (HM628512FP-5 tDH(min))

前述のようにBSCを設定してください。3ステート (104.5ns) でアクセス可能です。

### 3. 2 SRAMインタフェース

HM628512FP-5インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
---------------------	-----	------------------	------	-----

動作説明



■ : SRAMのAC特性

図3 SRAMリードサイクル  
(SH7604動作周波数:28.7MHz,3ステート)



### 3. 2 SRAMインタフェース

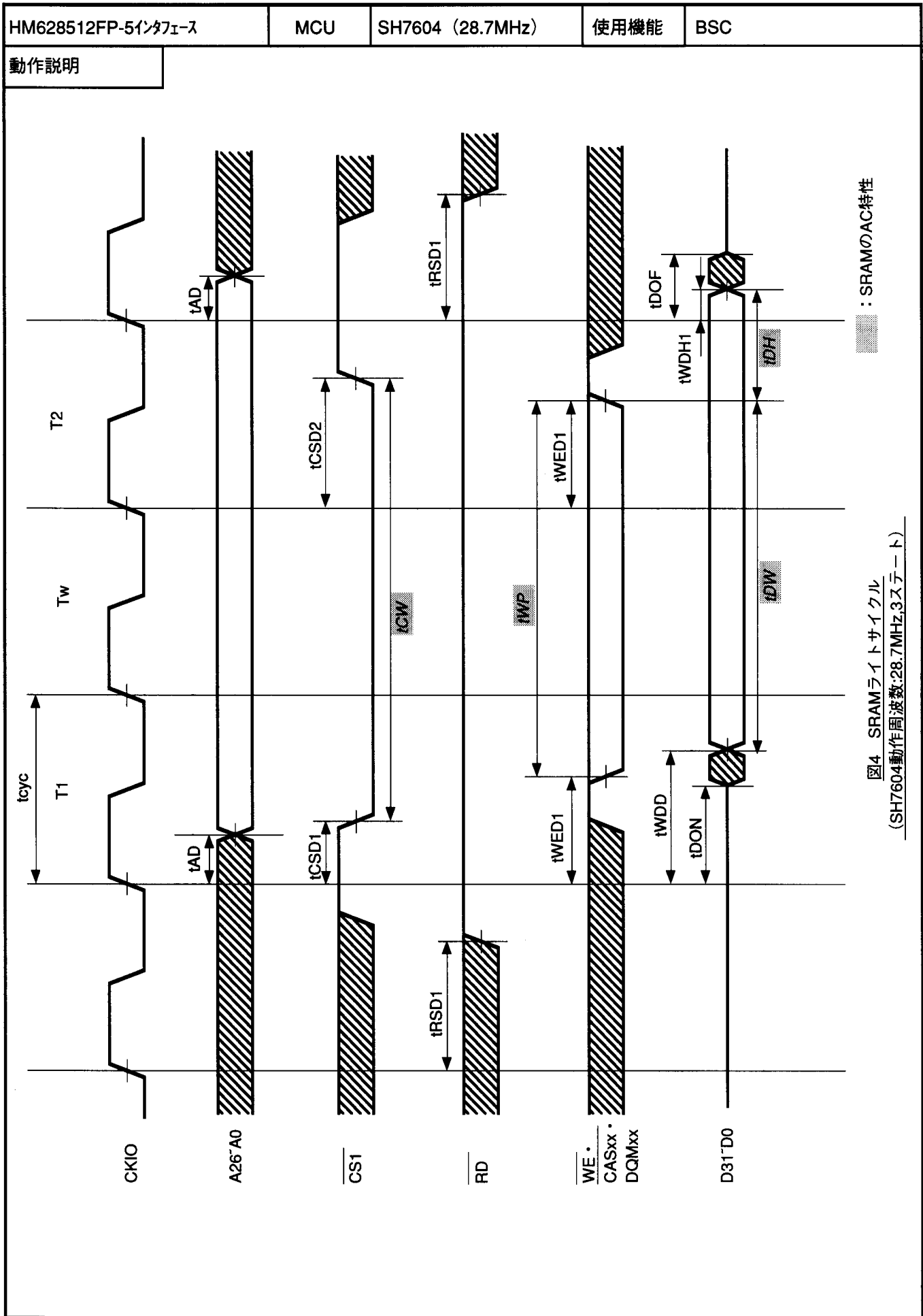


図4 SRAMライトサイクル  
(SH7604動作周波数:28.7MHz,3ステート)

### 3. 2 SRAMインタフェース

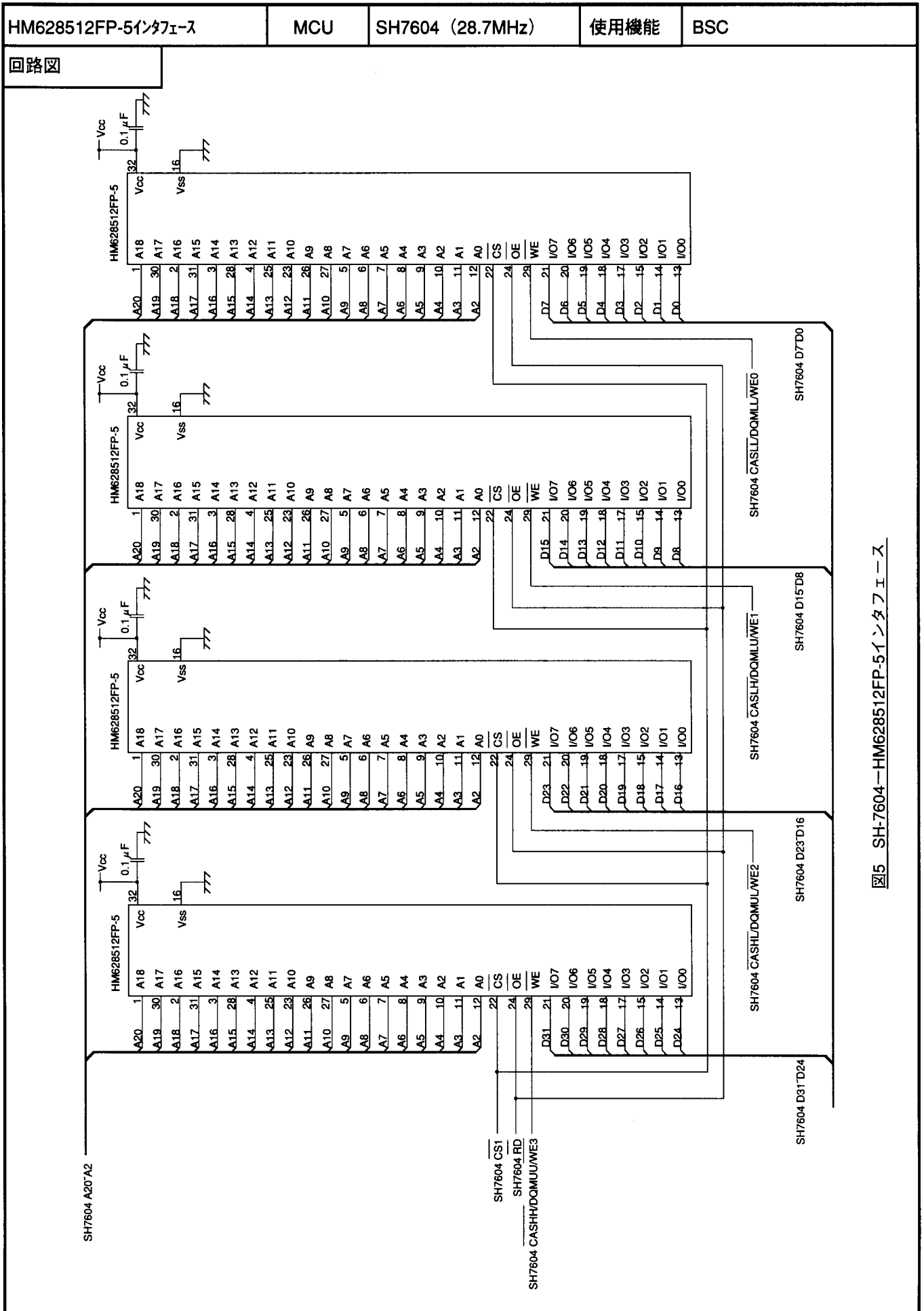


図5 SH-7604-HM628512FP-5インタフェース

### 3. 3 DRAMインタフェース

HM514260AJ-7インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
---------------------	-----	------------------	------	-----

仕様

(1) 下図に示すように、SH7604とDRAM HM514260AJ (256k×16bit構成) との32ビットデータ幅インタフェースを行います。

BCR1のDRAM他メモリネーブルビットを010に設定すると、CS3空間がDRAM空間となり、SH7604とDRAMを直結させるためのDRAMインタフェース機能が使用できます。16ビットデータ幅のときにはCASHH,CASHLは使用しません。

また、DRAMとSDRAMは、どちらかを選択して接続してください。

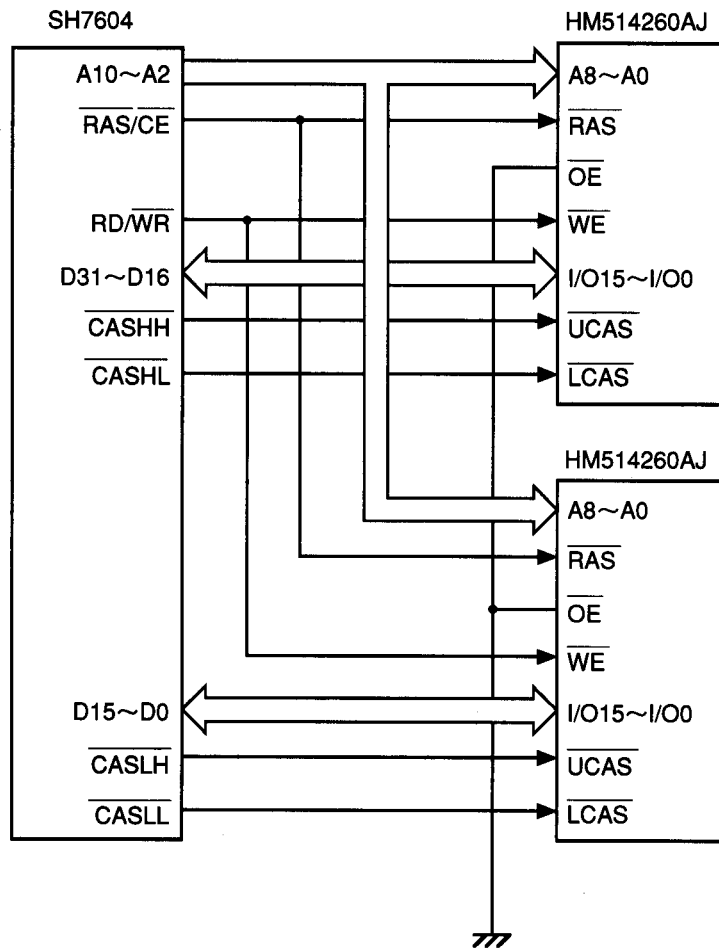


図1 SH7604, HM514260AJ接続ブロック図

### 3. 3 DRAMインタフェース

HM514260AJ-7インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
---------------------	-----	------------------	------	-----

仕様

(2) 下図に示すように、SH7604の実メモリ空間のうち、CS3空間 (H'06000000~H'07FFFFFF) にDRAMを割付けます。

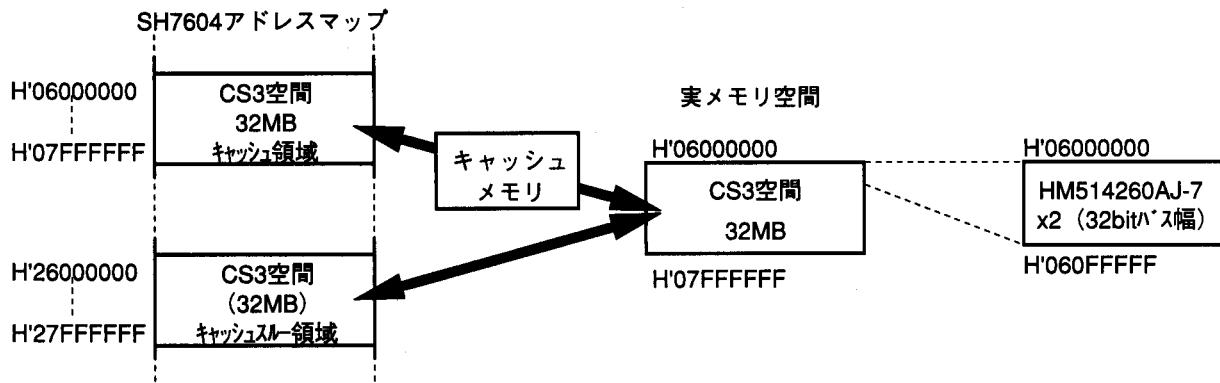


図2 メモリマップ

また、BSCの各レジスタを以下のように設定します。

BCR1	DRAM他メモリエネーブル (DRAM2~0)	: 010 (CS2空間を通常空間,CS3空間をDRAM空間にする)
WCR	ウェイトコントロール (W31,W30)	: 10 (2ウェイト)
MCR	RASプリチャージ期間 (TRP)	: 1 (2サイクル)
	RAS-CAS遅延 (RCD)	: 0 (1サイクル)
	CAS $\overline{t}$ for RASリフレッシュRAS $\overline{t}$ サート期間 (TRAS1,0)	: 01 (3サイクル)
	アドレスマルチプレクス (AMX2~0)	: 001 (カラムアドレス9bit品)
	メモリデータサイズ (SZ)	: 1 (ロングワード (32bit) )
	リフレッシュ制御 (RFSH)	: 1 (する)
	リフレッシュモード (RMODE)	: 0 (通常のリフレッシュを行う (CBR) )
	バーストイネーブル (BE)	: 1 (高速ページモードをイネーブル)
	バンクアクティブモード (RASD)	: 1 (RASダウンモードをイネーブル)
RTCSR	クロックセレクトビット (CKS2~0)	: 011 (CLK/64)
RTCOR	リフレッシュタイムコンスタントレジスタ	: 7サイクル (15.6 $\mu$ s毎にリフレッシュ)

※注意:

DRAMの高速ページモード、RASダウンモードを使用するように設定する場合はこれらのビットを1にします。DRAMをSH7604に直結した場合、RASダウン中に通常空間に対して書き込みを行なうと、DRAMに対する誤ったライトアクセスも起動してしまいます。

### 3. 3 DRAMインタフェース

HM514260AJ-7インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
動作説明				
(1) データのリード/ライト				
<p>図3,4にデータのリード/ライトタイミングチャートを示します。SH7604のCS3空間にDRAM HM514260AJ-7を直結する場合、SH7604のtCAC (CASからのアクセス時間)、tAA (アドレスからのアクセス時間)、tRAC (RASからのアクセス時間)、tRDH (リードデータホールド時間) およびHM514260AJ-7のtDS (データ入力セットアップ時間)、tDH (データ入力ホールド時間)、tRC (ランダムリード/ライトサイクル時間)、tRP (RASプリチャージ時間) が満足されていることを確認します。</p> <p>また、DRAMはアドレスマルチプレクス方式を採用しているため、HM514260AJ-7のtASR (ロウアドレスセットアップ時間)、tRAH (ロウアドレスホールド時間)、tASC (カラムアドレスセットアップ時間)、tCAH (カラムアドレスホールド時間) が満足されていることも確認します。</p>				
<p>(a) SH7604のtCAC,tAA,tRACおよびtRDH</p>				
<p>・ tCAC (CASからのアクセス時間)</p> $tCAC = t_{cyc} \times (n+1) - t_{CASD2}(\max) - t_{RDS1}(\min)$ $= 41.7ns \geq 20ns \text{ (HM514260AJ-7 tCAC(max))}$				
<p>・ tAA (アドレスからのアクセス時間)</p> $tAA = t_{cyc} \times (n+1) - t_{AD}(\max) - t_{RDS1}(\min)$ $= 59.1ns \geq 35ns \text{ (HM514260AJ-7 tAA(max))}$				
<p>・ tRAC (RASからのアクセス時間)</p> $tRAC = t_{cyc} \times (n + RCD + 1) - t_{RASD2}(\max) - t_{RSD1}(\min)$ $= 111.4ns \geq 70ns \text{ (HM514260AJ-7 tRAS(max))}$				
<p>・ tRDH (リードデータホールド時間)</p> $tRDH = t_{RDH5}(\min)$ $= 0ns \geq 0ns \text{ (HM514260AJ-7 tOFF1(min))}$				
<p>(b) HM514260AJ-7のtDS,tDH,tRCおよびtRP</p>				
<p>・ tDS (データ入力セットアップ時間)</p> $tDS = t_{CASD2}(\min) - t_{WDD}(\max)$ $= 2.4ns \geq 0ns \text{ (HM514260AJ-7 tDS(min))}$				
<p>・ tDH (データ入力ホールド時間)</p> $tDH = t_{cyc} \times (n+1) - t_{CASD2}(\max) + t_{WDH1}(\min)$ $= 72.1ns \geq 15ns \text{ (HM514260AJ-7 tDH(min))}$				
<p>・ tRC (ランダムリード/ライトサイクル時間)</p> $tRC = t_{cyc} \times (n + TRP + RCD)$ $= 209.1ns \geq 130ns \text{ (HM514260AJ-7 tRC(min))}$				
<p>・ tRP (RASプリチャージ時間)</p> $tRP = t_{cyc} \times TRP - t_{RASD2}(\max) + t_{RASD2}(\min)$ $= 54.7ns \geq 50ns \text{ (HM514260AJ-7 tRP(min))}$				

n : CASアサットサイクル数=2  
RCD : RAS-CAS遅延サイクル数=2  
TRP : RAS<sup>7</sup>リチャージ期間=2  
TRAS : CBR RASアサット期間=3

### 3. 3 DRAMインタフェース

HM514260AJ-7インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
動作説明	<p>(c) HM514260AJ-7のtASR,tRAH,tASCおよびtCAH</p> <ul style="list-style-type: none"> <li>• tASR (ロウアドレスセットアップ時間)           <math display="block">tASR = tRASD2(\min) - tAD(\max)</math> <math display="block">= \underline{2.4ns \geq 0ns} \text{ (HM514260AJ-7 tASR(\min))}</math> </li> <li>• tRAH (ロウアドレスホールド時間)           <math display="block">tRAH = tcyc \times RCD - tRASD2(\max) + tAD(\min)</math> <math display="block">= \underline{37.3ns \geq 10ns} \text{ (HM514260AJ-7 tRAH(\min))}</math> </li> <li>• tASC (カラムアドレスセットアップ時間)           <math display="block">tASC = tCASD2(\min) - tAD(\max)</math> <math display="block">= \underline{2.4ns \geq 0ns} \text{ (HM514260AJ-7 tASC(\min))}</math> </li> <li>• tCAH (カラムアドレスホールド時間)           <math display="block">tCAH = tcyc \times (n+1) - tCASD2(\max) + tAD(\min)</math> <math display="block">= \underline{72.1ns \geq 15ns} \text{ (HM514260AJ-7 tCAH(\min))}</math> </li> </ul> <p>(d) HM514260AJ-7のtRAS,tCAS,tCSHおよびtRSH</p> <ul style="list-style-type: none"> <li>• tRAS (<math>\overline{RAS}</math>パルス幅)           <math display="block">tRAS = tcyc \times (n+1) - tRASD2(\max) + tRASD2(\min)</math> <math display="block">= \underline{89.5ns \geq 70ns} \text{ (HM514260AJ-7 tRAS(\min))}</math> </li> <li>• tCAS (<math>\overline{CAS}</math>パルス幅)           <math display="block">tCAS = tcyc \times n - tCASD2(\max) + tCASD2(\min)</math> <math display="block">= \underline{54.7ns \geq 20ns} \text{ (HM514260AJ-7 tCAS(\min))}</math> </li> <li>• tCSH (<math>\overline{CAS}</math>ホールド時間)           <math display="block">tCSH = tcyc \times (n+RCD) - tRASD2(\max) + tCASD2(\min)</math> <math display="block">= \underline{124.4ns \geq 70ns} \text{ (HM514260AJ-7 tCSH(\min))}</math> </li> <li>• tRSH (<math>\overline{RAS}</math>ホールド時間)           <math display="block">tRSH = tcyc \times n - tCASD2(\max) + tRASD2(\min)</math> <math display="block">= \underline{54.7ns \geq 20ns} \text{ (HM514260AJ-7 tRSH(\min))}</math> </li> </ul> <p>前述のようにBSCを設定してください。次頁に示すように <u>7ステート (243.9ns) でアクセス可能</u> です。</p>			







### 3. 3 DRAMインタフェース

HM514260AJ-7インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
動作説明				
<p>(2) 高速ページモード</p> <p>次項に高速ページモードのタイミングチャートを示します。SH7604とHM514260AJ-7を直接接続する場合、HM514260AJ-7のtPC（高速ページモードサイクル時間）、tCP（高速ページモードのプリチャージ時間）、tACP（CASプリチャージからのアクセス時間）、tRHCP（CASプリチャージからのRASホールド時間）が満足されていることを確認します。</p> <p>(a) HM514260AJ-7のtPC,tCP,tACPおよびtRHCP</p> <ul style="list-style-type: none"> <li>・ tPC（高速ページモードサイクル時間）           <math display="block">tPC = tcyc \times (n+1) - tCASD2(max) + tCASD2(min)</math> <math display="block">= 89.5ns \geq 45ns \text{ (HM514260AJ-7 tPC(min))}</math> </li> <li>・ tCP（高速ページモードのプリチャージ時間）           <math display="block">tCP = tcyc - tCASD2(max) + tCASD2(min)</math> <math display="block">= 19.8ns \geq 10ns \text{ (HM514260AJ-7 tCP(min))}</math> </li> <li>・ tACP（CASプリチャージからのアクセス時間）           <math display="block">tACP = tcyc \times (n+2) - tCASD2(max) + tRDS1(min)</math> <math display="block">= 104.0ns \geq 40ns \text{ (HM514260AJ-7 tACP(min))}</math> </li> <li>・ tRHCP（CASプリチャージからのRASホールド時間）           <math display="block">tRHCP = tcyc \times (n+1) - tCASD2(max) + tRASD2(min)</math> <math display="block">= 89.5ns \geq 40ns \text{ (HM514260AJ-7 tRHCP(min))}</math> </li> </ul>				

### 3. 3 DRAMインタフェース

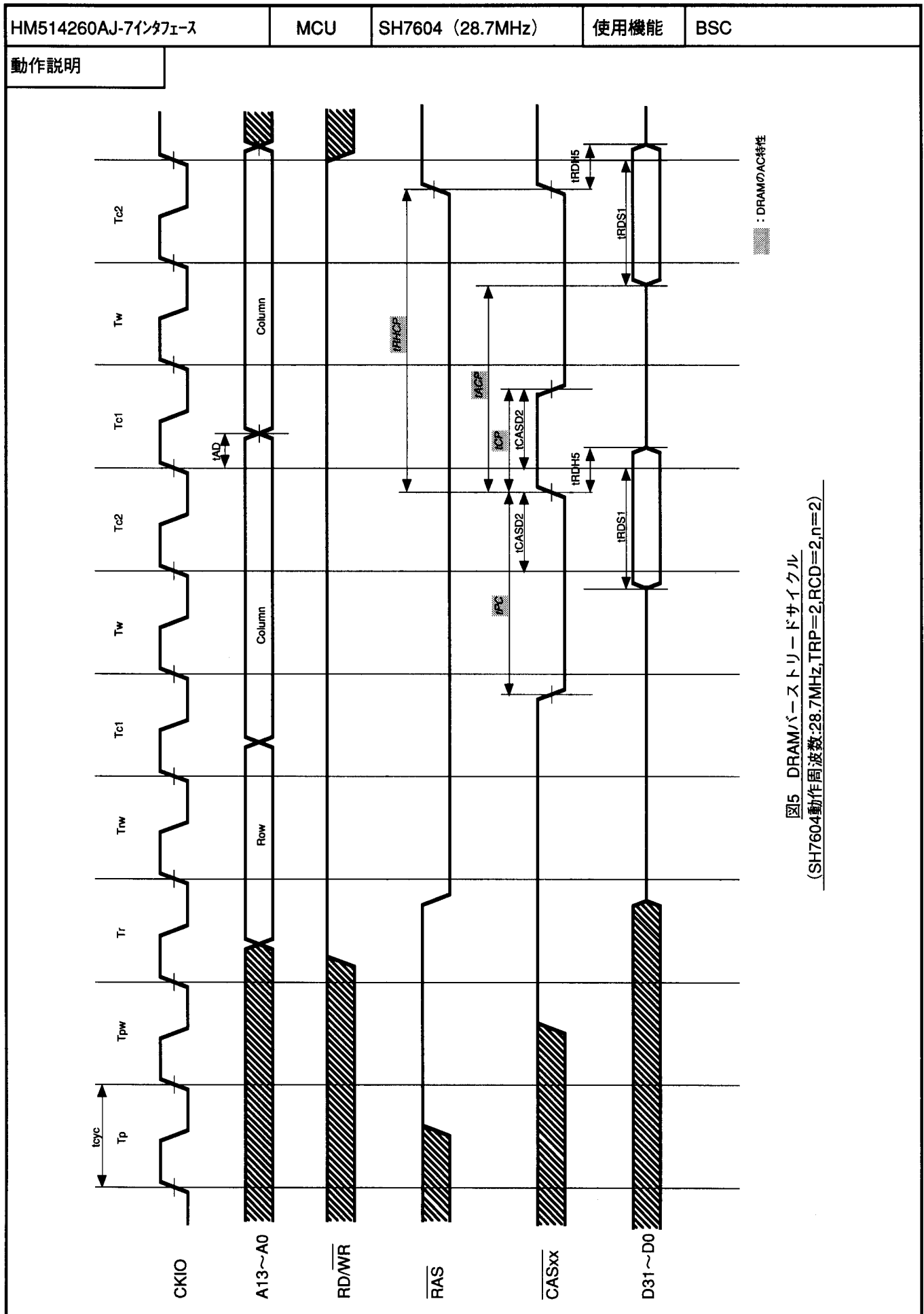
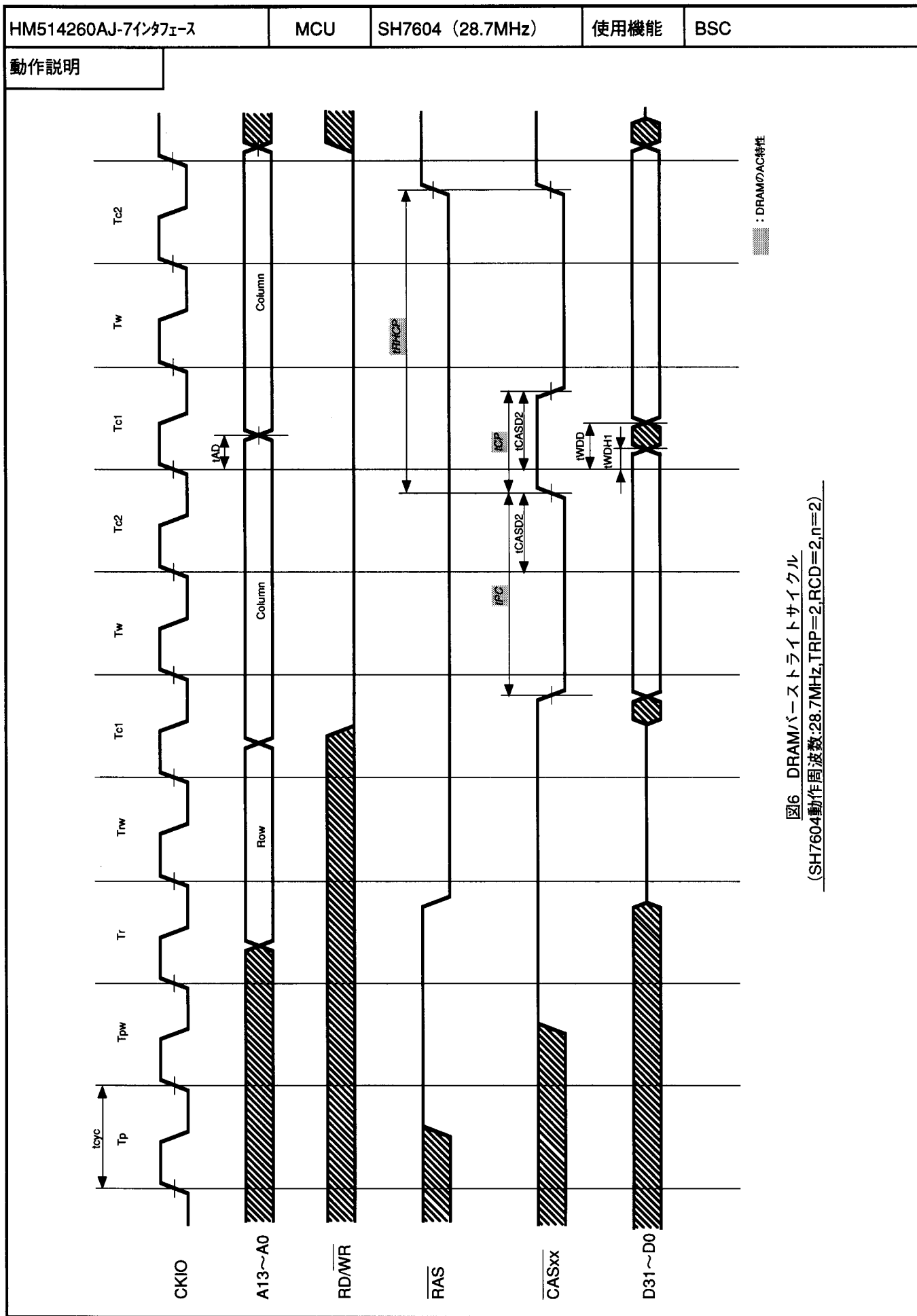


図5 DRAMバーストリードサイクル  
(SH7604動作周波数:28.7MHz, TRP=2, RCD=2, n=2)

### 3. 3 DRAMインタフェース



### 3. 3 DRAMインタフェース

HM514260AJ-7インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
動作説明				
<p>(3) リフレッシュ</p> <p>次項に<math>\overline{\text{CAS}}</math>ピフォ<math>\overline{\text{RAS}}</math>リフレッシュタイミングチャートを示します。SH7604とHM514260AJ-7を直接接続する場合、HM514260AJ-7の<math>t_{\text{CSR}}</math> (CASセットアップ時間)、<math>t_{\text{CHR}}</math> (CASホールド時間)、<math>t_{\text{CPN}}</math> (CASプリチャージ時間)、<math>t_{\text{RC}}</math> (ランダムリード/ライトサイクル時間)、<math>t_{\text{RAS}}</math> (RASパルス幅) が満足されていることを確認します。</p> <p>(a) HM514260AJ-7の<math>t_{\text{CSR}}</math>, <math>t_{\text{CHR}}</math>, <math>t_{\text{CPN}}</math>, <math>t_{\text{RC}}</math>および<math>t_{\text{RAS}}</math></p> <ul style="list-style-type: none"> <li>• <math>t_{\text{CSR}}</math> (<math>\overline{\text{CAS}}</math>セットアップ時間)           <math display="block">t_{\text{CSR}} = t_{\text{cyc}} - t_{\text{CASD2}}(\text{max}) + t_{\text{RASD2}}(\text{min})</math> <math display="block">= 19.8\text{ns} \geq 10\text{ns} \text{ (HM514260AJ-7 } t_{\text{CSR}}(\text{min}))</math> </li> <li>• <math>t_{\text{CHR}}</math> (<math>\overline{\text{CAS}}</math>ホールド時間)           <math display="block">t_{\text{CHR}} = t_{\text{cyc}} \times \text{TRAS} - t_{\text{RASD2}}(\text{max}) + t_{\text{CASD2}}(\text{min})</math> <math display="block">= 89.5\text{ns} \geq 10\text{ns} \text{ (HM514260AJ-7 } t_{\text{CHR}}(\text{min}))</math> </li> <li>• <math>t_{\text{CPN}}</math> (<math>\overline{\text{CAS}}</math>プリチャージ時間)           <math display="block">t_{\text{CPN}} = t_{\text{cyc}} - t_{\text{CASD2}}(\text{max}) + t_{\text{CASD2}}(\text{min})</math> <math display="block">= 19.8\text{ns} \geq 10\text{ns} \text{ (HM514260AJ-7 } t_{\text{CPN}}(\text{min}))</math> </li> <li>• <math>t_{\text{RC}}</math> (ランダムリード/ライトサイクル時間)           <math display="block">t_{\text{RC}} = t_{\text{cyc}} \times (n + \text{TRP} + \text{RCD})</math> <math display="block">= 209.1\text{ns} \geq 130\text{ns} \text{ (HM514260AJ-7 } t_{\text{RC}}(\text{min}))</math> </li> <li>• <math>t_{\text{RAS}}</math> (<math>\overline{\text{RAS}}</math>パルス幅)           <math display="block">t_{\text{RAS}} = t_{\text{cyc}} \times (n + \text{RCD}) - t_{\text{RASD2}}(\text{max}) + t_{\text{RASD2}}(\text{min})</math> <math display="block">= 124.4\text{ns} \geq 70\text{ns} \text{ (HM514260AJ-7 } t_{\text{RAS}}(\text{min}))</math> </li> </ul>				



### 3. 3 DRAMインタフェース

HM514260AJ-7インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
---------------------	-----	------------------	------	-----

#### 回路図

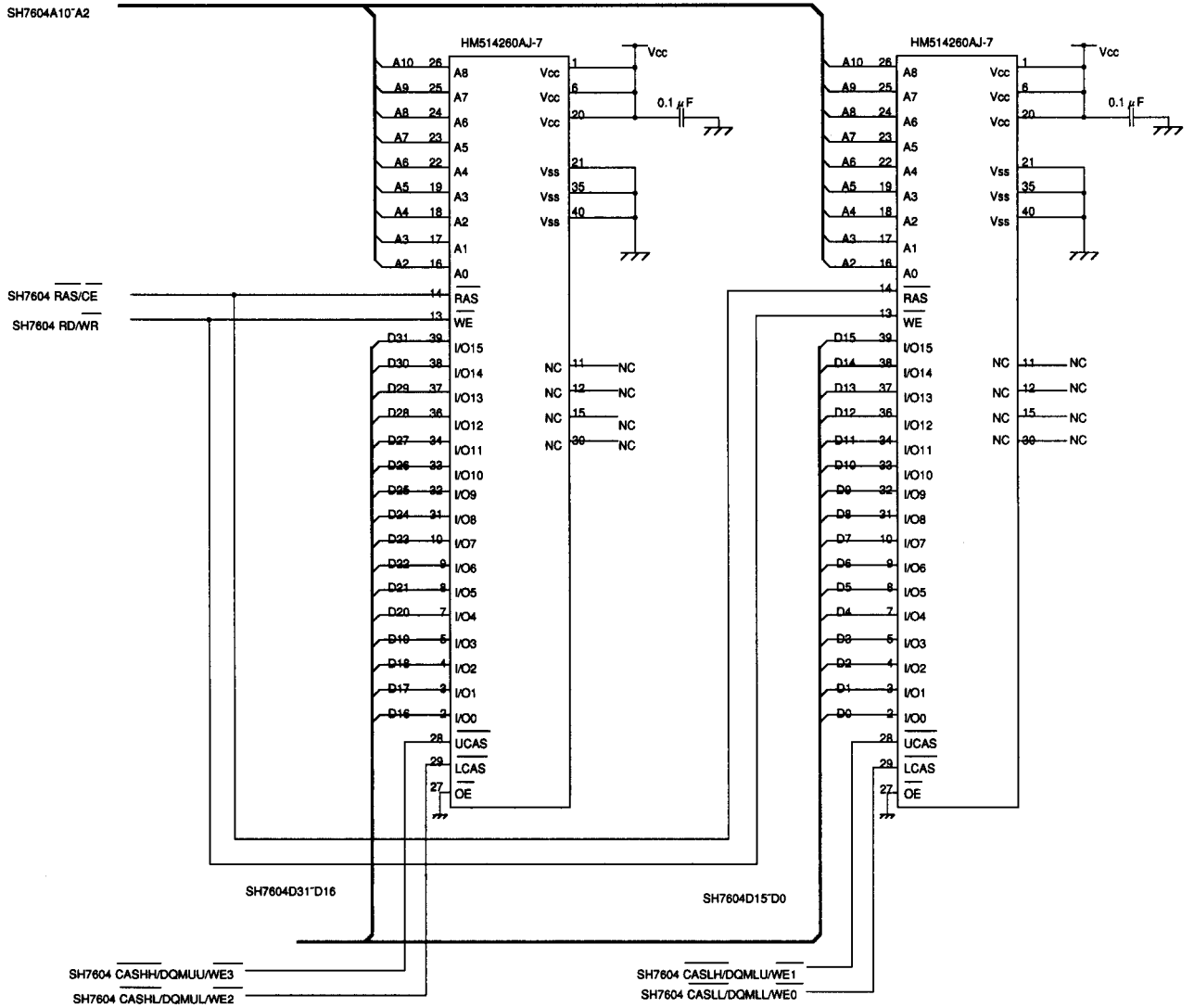


図8 SH7604-HM514260AJ-7インタフェース

### 3. 4 SDRAMインタフェース

HM5241605TT-15インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
-----------------------	-----	------------------	------	-----

仕様

(1) 下の図のように、SH7604とSDRAM HM5241605TT (128k×16bit×2bank構成) との32ビットデータ幅インタフェースを行ないます。

BCR1のDRAM他メモリネーブルビットを001に設定するとCS3空間、100に設定するとCS2空間、101に設定するとCS2空間とCS3空間が、SDRAM空間になります。

データバス幅の設定は、BSCのMCR (個別メモリコントロールレジスタ) の ビット6 (SZ) にて、ワード、ロングワードの設定を行なってください。 16ビットデータ幅のときにはDQMUU,DQMULは使用しません。

データリード時のバースト長はデータバス幅に依存し、16ビットバス幅のときには8バースト、32ビットバス幅のときには4バーストを使用し、合計で16バイトデータをリードします。

また、SDRAMとDRAMは、どちらかを選択して接続してください。

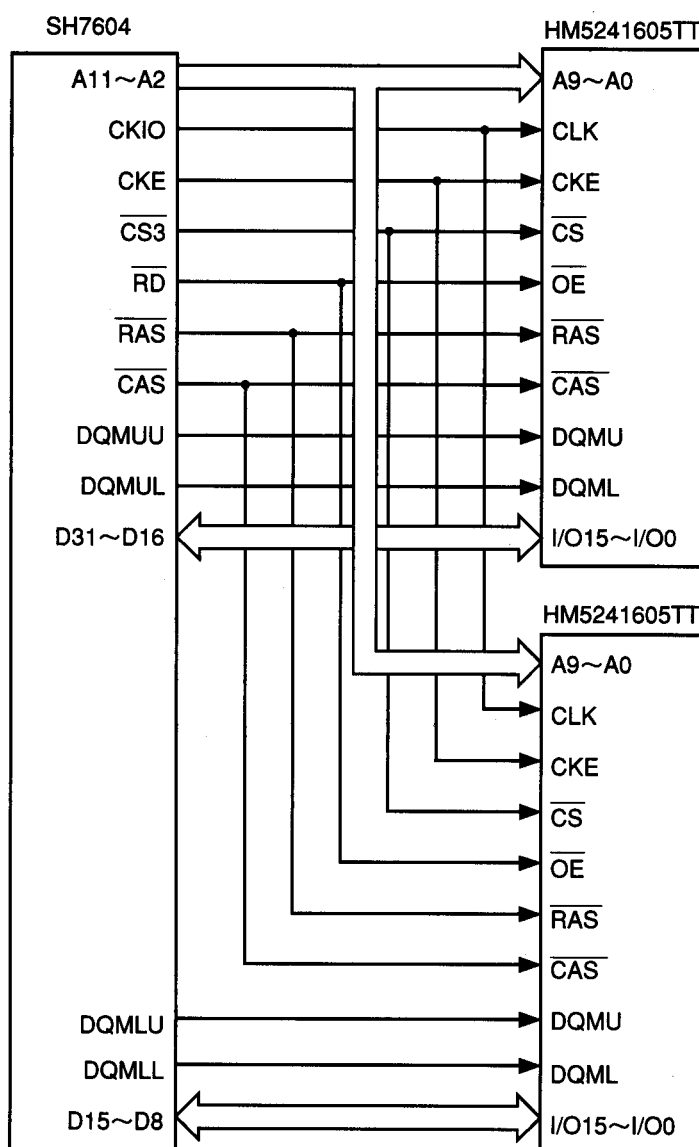


図1 SH7604, HM5241605TT接続ブロック図

### 3. 4 SDRAMインタフェース

HM5241605TT-15インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
-----------------------	-----	------------------	------	-----

仕様

(2) 下図に示すように、SH7604の実メモリ空間のうち、CS3空間 (H'06000000~H'07FFFFFF) にSDRAMを割付けます。

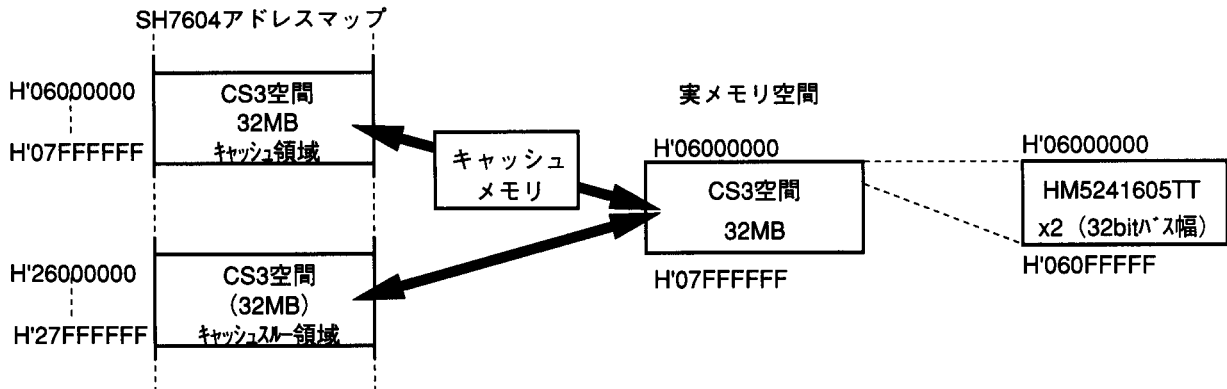


図2 メモリマップ

また、BSCの各レジスタを以下のように設定します。

BCR1	DRAM他メモリーネーブル (DRAM2~0)	: 001 (CS2空間を通常空間,CS3空間をSDRAM空間にする)
WCR	CASレイテンシ (W31,W30)	: 01 (2サイクル)
MCR	プリチャージ・バンクアクティブコマンド・最小サイクル数 (TRP)	: 0 (1サイクル)
	バンクアクティブコマンド・リード/ライトコマンド・サイクル数 (RCD)	: 0 (1サイクル)
	ライタープリチャージ遅延 (TRWL)	: 0 (1サイクル)
	リフレッシュコマンド・一次アクセスまでの期間 (TRAS1,0)	: 00 (2サイクル)
	アドレスマルチプレクス (AMX2~0)	: 011 (256k×16bit)
	メモリデータサイズ (SZ)	: 1 (ロングワード (32bit))
	リフレッシュ制御 (RFSH)	: 1 (する)
	リフレッシュモード (RMODE)	: 0 (通常のリフレッシュを行う (オートリフレッシュ))
RTCSR	クロックセレクトビット (CKS2~0)	: 111 (CLK/4096)
RTCOR	リフレッシュタイムコンスタントレジスタ	: 56サイクル (8.0ms毎にリフレッシュ)

SDRAMはモードレジスタ (SDRAMの動作を決定するレジスタ) を持っています。このモードレジスタは、電源投入時には不定になっているので、モードレジスタセットコマンドを実行して、ライトモード、CASレイテンシ、ラップタイプ、バースト長の設定を行なう必要があります。この例では、H'FFFF8888番地に任意のデータを書き込む ことにより、以下に示すように設定されます。

バーストリード/シングルライト  
CASレイテンシ=2  
ラップタイプ=シーケンシャル (バーストリード時のアドレスが連続的に進む)  
バースト長=4



### 3. 4 SDRAMインタフェース

HM5241605TT-15インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
-----------------------	-----	------------------	------	-----

仕様

また、SH7604にSDRAMを接続するときには、下に示す図のように、PLL回路1によりSH7604内部に供給されるクロックの位相を90°（1/4サイクル）遅延させるモード（モード1、モード5）を使用して安定したマージンが確保できるようにしてください。

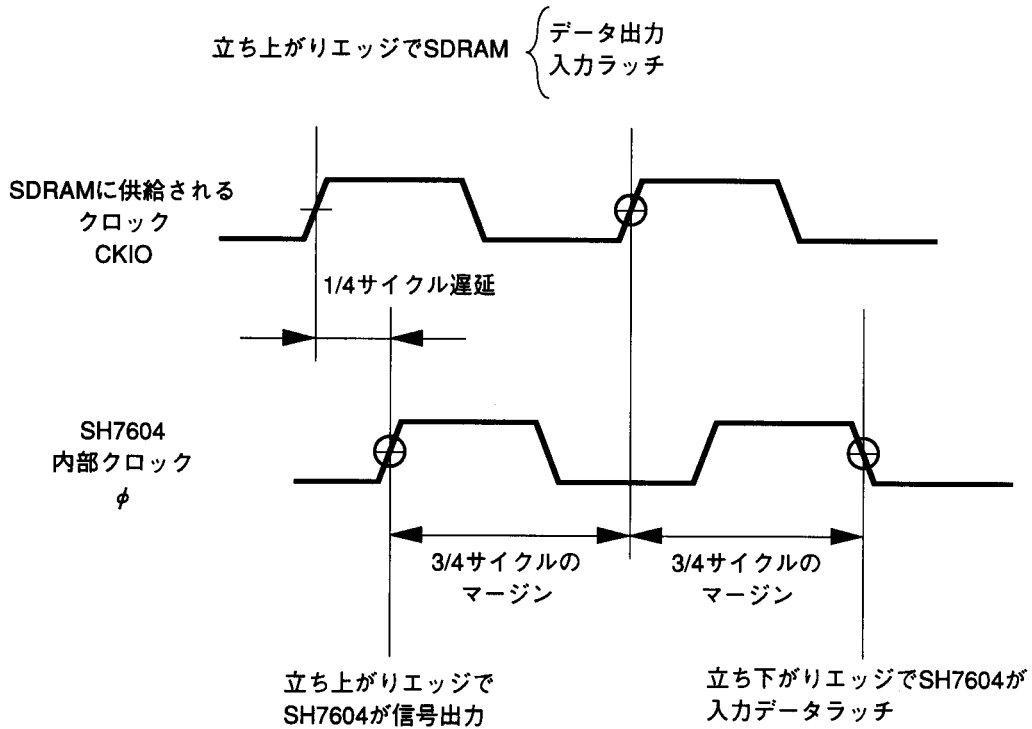


図3 PLLによる位相シフト

### 3. 4 SDRAMインタフェース

HM5241605TT-15インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
動作説明				
<p>(1) データのリード/ライト</p> <p>SH7604にSDRAM HM5241605TT-15を直結する場合、tAS (アドレスセットアップ時間)、tAH (アドレスホールド時間)、tCS (コマンドセットアップ時間)、tCH (コマンドホールド時間)、tRCD (アクティブ、カラムコマンド遅延時間)、tRP (プリチャージ時間)、tAC (CLKからのアクセス時間)、tACK (リードコマンドからのアクセス時間)、tOH (出力データホールド時間)、tHZ (出力バッファターンオフ時間)、tDS (データ入力セットアップ時間)、tDH (データ入力ホールド時間)、tRWL (最終データ入力、プリチャージリード時間) が満足されていることを確認します。</p> <ul style="list-style-type: none"> <li> <p>・ tAS (アドレスセットアップ時間)</p> <math display="block">tAS = tcyc - tAD(max)</math> <math display="block">= 8.1ns \geq 4ns \text{ (HM5241605TT-15 tAS(min))}</math> </li> <li> <p>・ tAH (アドレスホールド時間)</p> <math display="block">tAH = tAD(min)</math> <math display="block">= 11.7ns \geq 2ns \text{ (HM5241605TT-15 tAH(min))}</math> </li> <li> <p>・ tCS (コマンドセットアップ時間)</p> <math display="block">tCS = tcyc - tCSD1(max)</math> <math display="block">= 5.1ns \geq 4ns \text{ (HM5241605TT-15 tCS(min))}</math> </li> <li> <p>・ tCH (コマンドホールド時間)</p> <math display="block">tCH = tDQMD(min)</math> <math display="block">= 8.7ns \geq 2ns \text{ (HM5241605TT-15 tCH(min))}</math> </li> <li> <p>・ tRCD (アクティブ、カラムコマンド遅延時間)</p> <math display="block">tRCD = tcyc \times RCD</math> <math display="block">= 34.8ns \geq 30ns \text{ (HM5241605TT-15 tRCD(min))}</math> </li> <li> <p>・ tRP (プリチャージ時間)</p> <math display="block">tRP = tcyc \times TRP</math> <math display="block">= 34.8ns \geq 34ns \text{ (HM5241605TT-15 tRP(min))}</math> </li> <li> <p>・ tAC (CLKからのアクセス時間)</p> <math display="block">tAC = tcyc - tRDS3(min)</math> <math display="block">= 18.1ns \geq 14ns \text{ (HM5241605TT-15 tAC(max), CL=2のとき)}</math> </li> <li> <p>・ tACK (リードコマンドからのアクセス時間)</p> <math display="block">tACK = tcyc \times CL - tRDS3(min)</math> <math display="block">= 53.0ns</math> </li> <li> <p>・ tOH (出力データホールド時間)</p> <math display="block">tOH = tRDH4(min)</math> <math display="block">= 0ns \leq 3ns \text{ (HM5241605TT-15 tOH(min), CL=2のとき)}</math> </li> <li> <p>・ tHZ (出力バッファターンオフ時間)</p> <math display="block">tHZ = 0 \text{ (Don't care)}</math> </li> </ul> <div style="float: right; margin-top: 20px;"> <p>RCD : ACTVコマンドリード/ライトコマンド発行サイクル数=1  TRP : プリチャージ後,ACTVコマンド出力までの最小サイクル数=1  CL : CASレイテンシ=2  TRWL : ライトプリチャージ遅延=1  TRAS : リフレッシュコマンド一次アクセスまでのサイクル数=2</p> </div>				

### 3. 4 SDRAMインタフェース

HM5241605TT-15インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
動作説明				
<ul style="list-style-type: none"> <li>• tDS (データ入力セットアップ時間)           <ul style="list-style-type: none"> <li>tDS=tcyc-tWDD(max)</li> <li>=<u>8.1ns<math>\geq</math>4ns (HM5241605TT-15 tDS(min))</u></li> </ul> </li> <li>• tDH (データ入力ホールド時間)           <ul style="list-style-type: none"> <li>tDH=tWDH1(min)</li> <li>=<u>11.7ns<math>\geq</math>2ns (HM5241605TT-15 tDH(min))</u></li> </ul> </li> <li>• tRWL (最終データ入力、プリチャージリード時間)           <ul style="list-style-type: none"> <li>tRWL=tcyc<math>\times</math>(TRWL+1)</li> <li>=<u>69.7ns<math>\geq</math>30ns (HM5241605TT-15 tRWL(min))</u></li> </ul> </li> </ul> <p>(2) リフレッシュ</p> <ul style="list-style-type: none"> <li>• tCES (CKEセットアップ時間)           <ul style="list-style-type: none"> <li>tCES=tcyc-tCKED(max)</li> <li>=<u>5.1ns<math>\geq</math>4ns (HM5241605TT-15 tCES(min))</u></li> </ul> </li> <li>• tCEH (CKEホールド時間)           <ul style="list-style-type: none"> <li>tCEH=tCKED(min)</li> <li>=<u>8.7ns<math>\geq</math>2ns (HM5241605TT-15 tCEH(min))</u></li> </ul> </li> <li>• tRC (アクティブ、アクティブ遅延時間)           <ul style="list-style-type: none"> <li>tRC=tcyc<math>\times</math>(TRAS+2)</li> <li>=<u>139.4ns<math>\geq</math>110ns (HM5241605TT-15 tRC(min))</u></li> </ul> </li> </ul>				
<p>前述のようにBSCを設定してください。 <u>8ステート (278.7ns) で4バーストリード、3ステート (104.5ns) でシングルライトアクセスが可能です。</u></p>				

### 3.4 SDRAMインターフェース

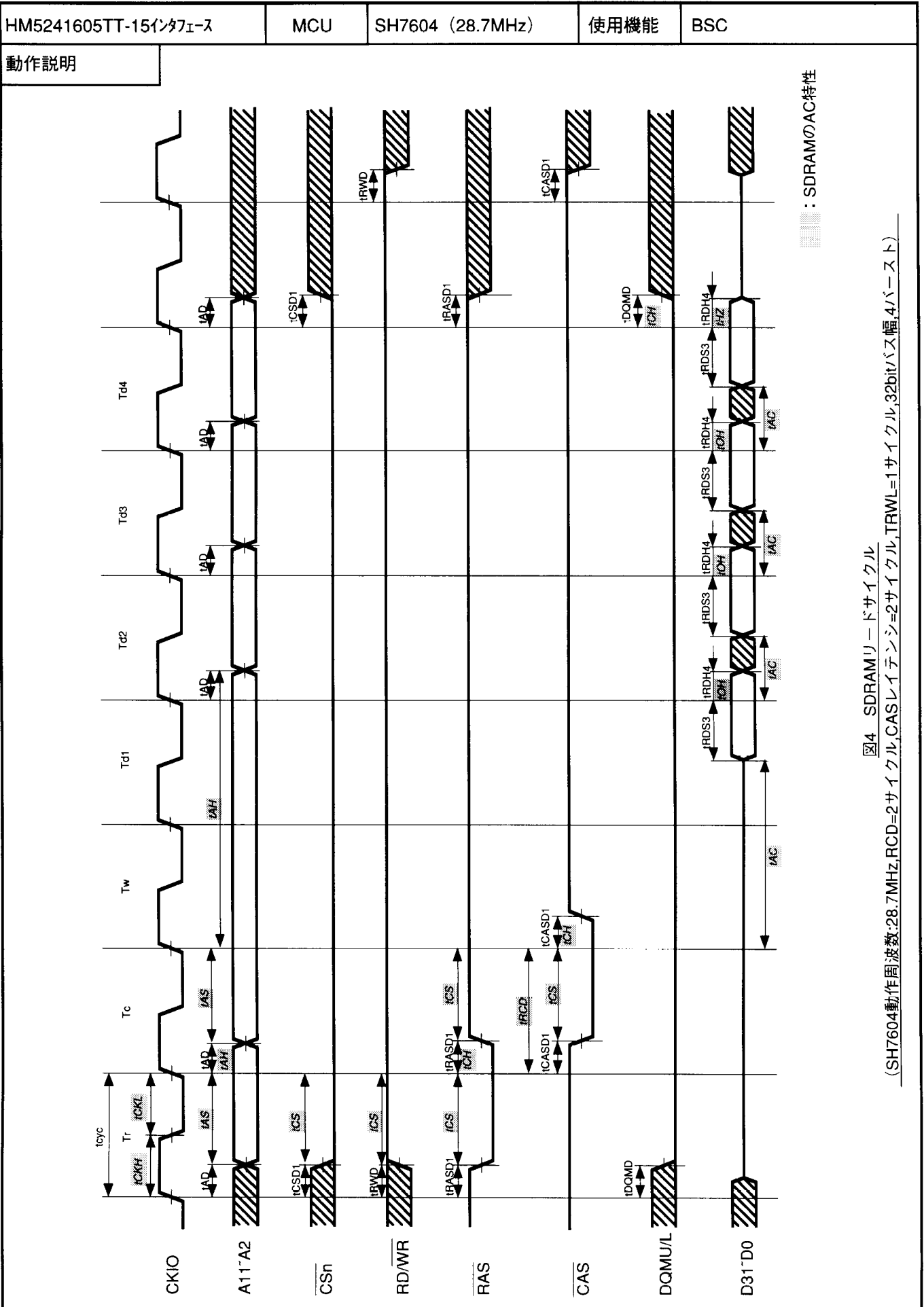
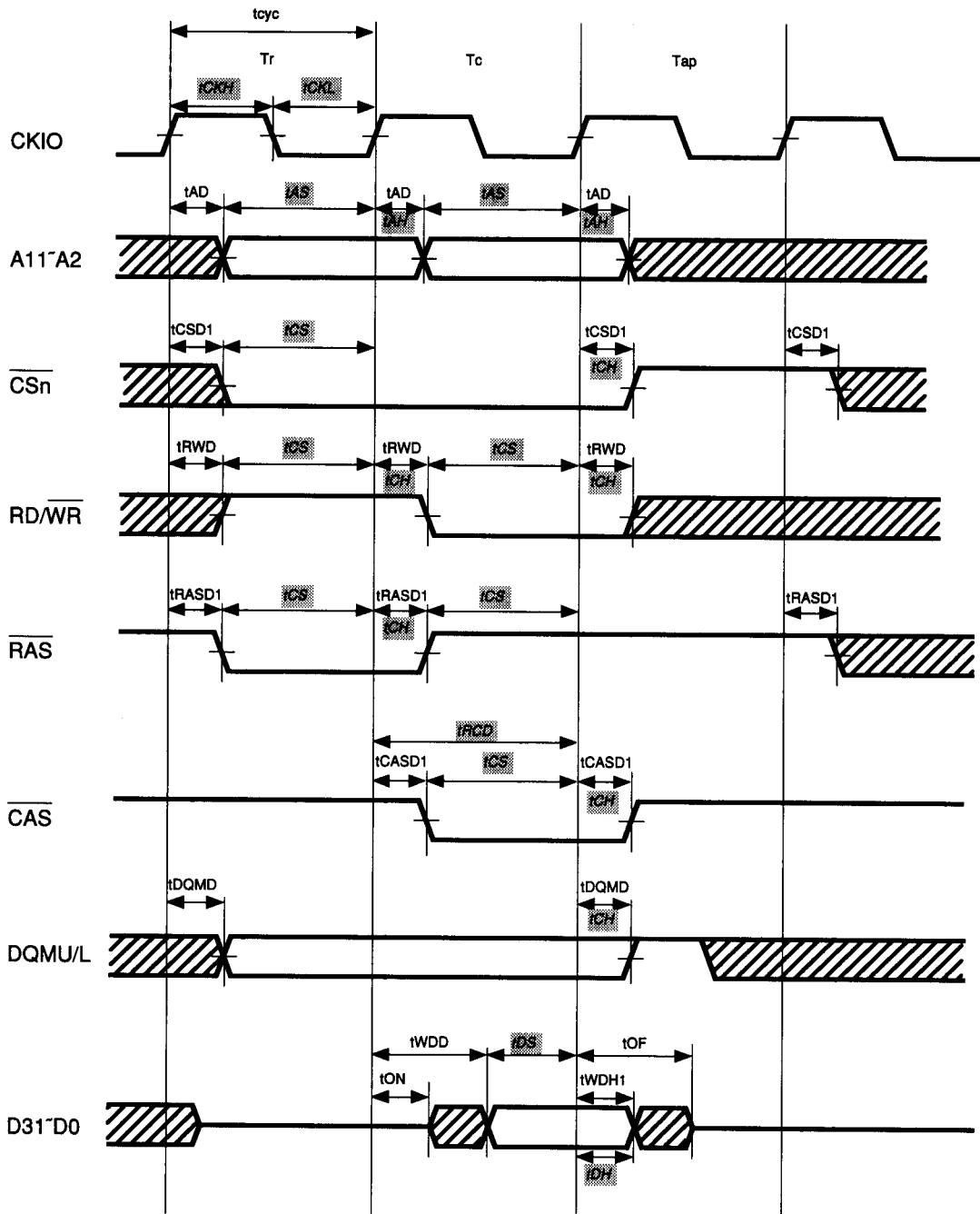


図4 SDRAMリードサイクル  
 (SH7604動作周波数:28.7MHz,RCD=2サイクル,CASレイテンシ=2サイクル,TRWL=1サイクル,32bitバス幅,4バースト)

### 3. 4 SDRAMインタフェース

HM5241605TT-15インタフェース	MCU	SH7604 (28.7MHz)	使用機能	BSC
-----------------------	-----	------------------	------	-----

動作説明



■ : SDRAMのAC特性

図5 SDRAMライトサイクル

(SH7604動作周波数:28.7MHz,RCD=2サイクル,CASレイテンシ=2サイクル,TRWL=1サイクル)

### 3. 4 SDRAMインターフェース

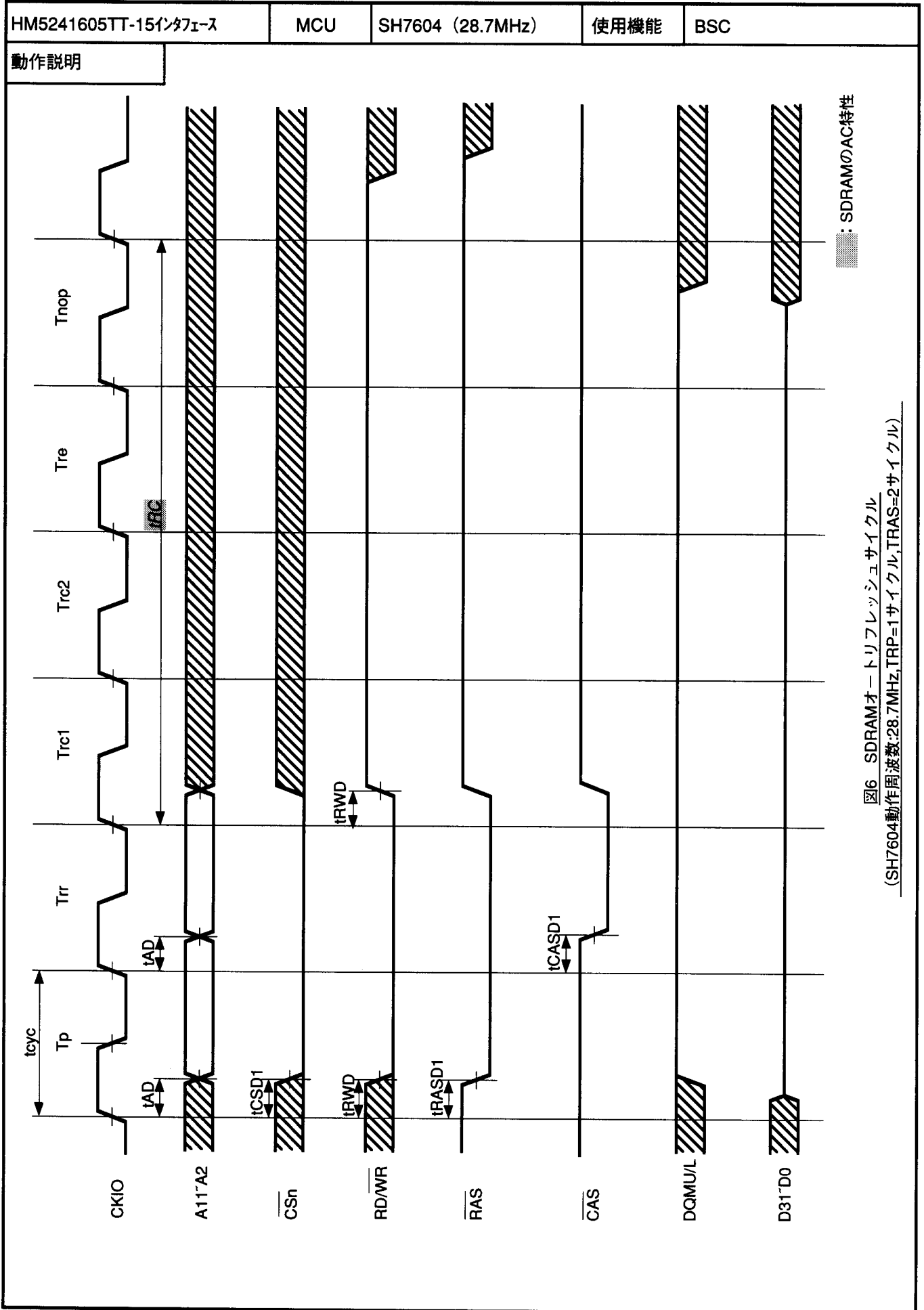
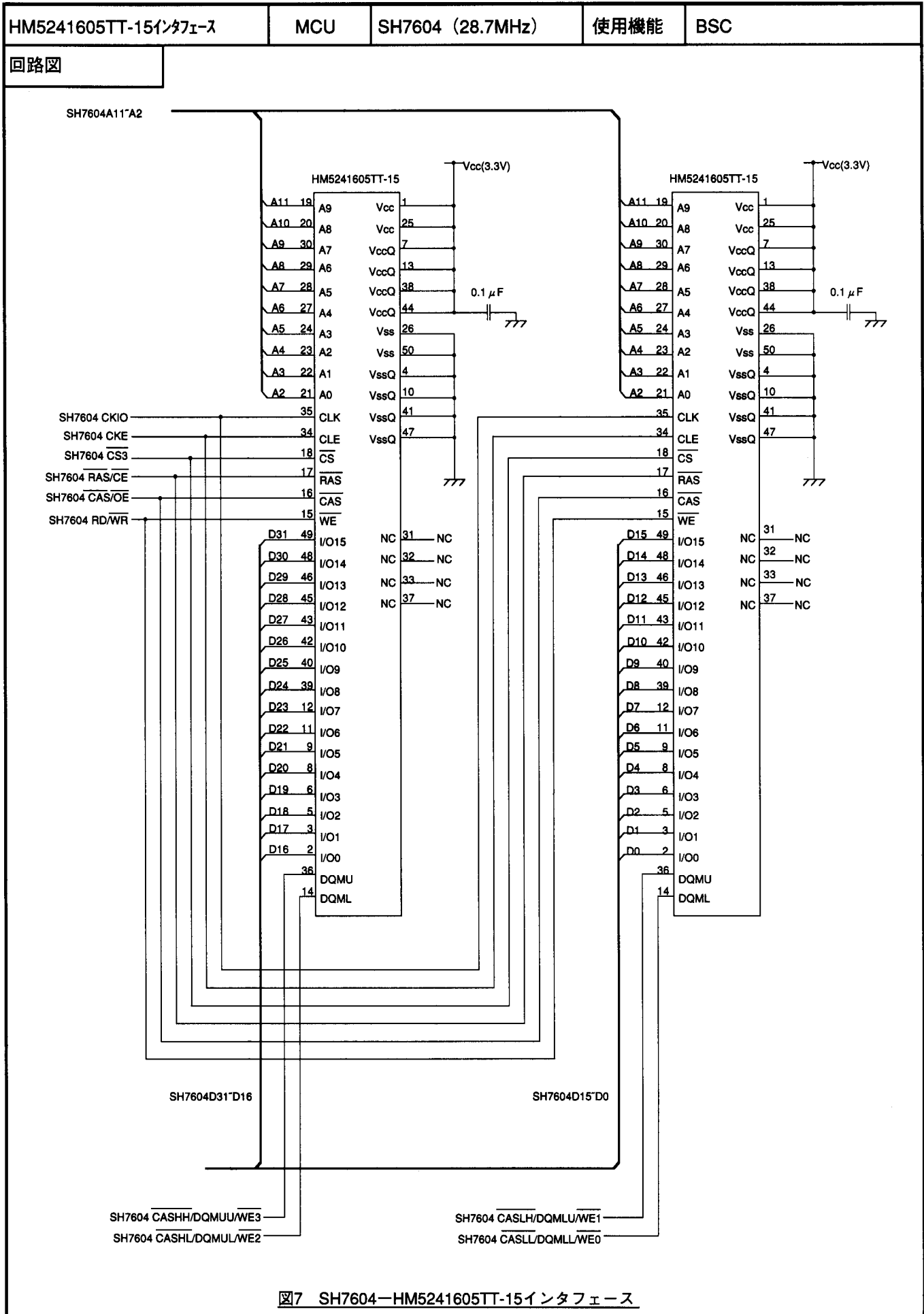


図6 SDRAMオートリフレッシュサイクル  
(SH7604動作周波数:28.7MHz,TRP=1サイクル,TRAS=2サイクル)

### 3. 4 SDRAMインターフェース



### 3. 5 シリアル・コントロール・ユニットインタフェース

μPD71051GB-10-3B4インタフェース	MCU	SH7604 (20MHz)	使用機能	BSC
仕様				

(1) 下の図のように、SH7604とμPD71051GB（シリアル・コントロール・ユニット）とのインタフェースを行います。

SH7604の動作周波数は20MHzに設定し、CS2空間を通常空間としてμPD71051GBを接続します。

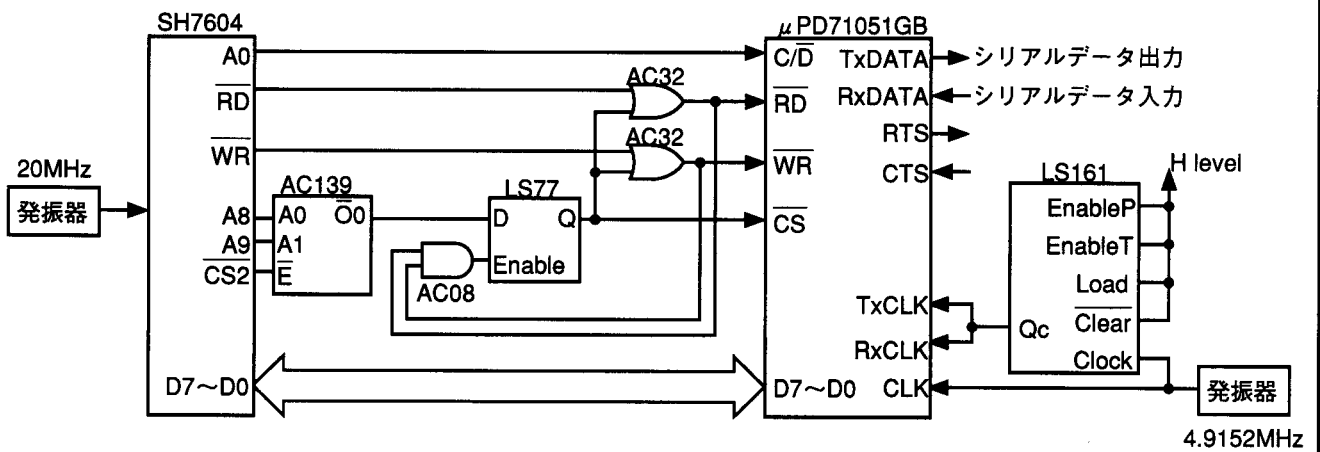


図1 SH7604, μPD71051GB接続ブロック図

(2) 下図に示すように、SH7604の実メモリ空間のうち、CS2空間 (H'04000000~H'05FFFFFF) にμPD71051GBを割付けます。

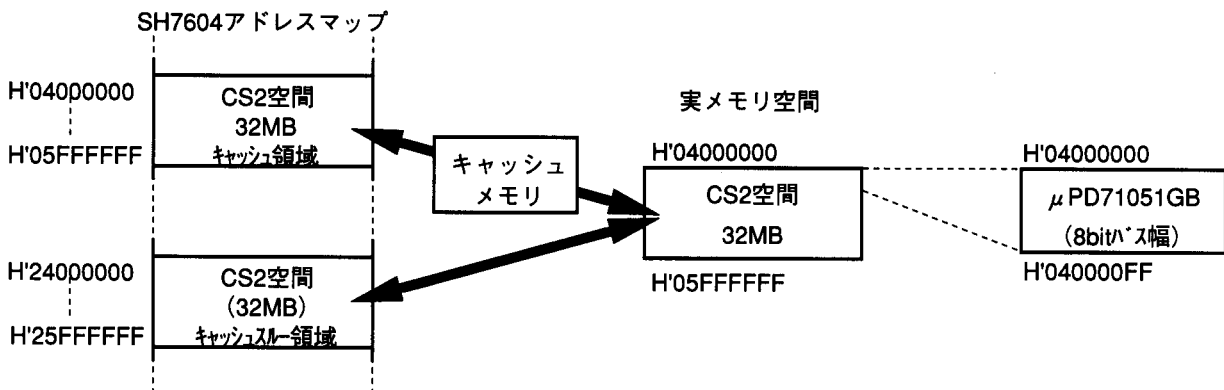


図2 メモリマップ

また、BSCの各レジスタを以下のように設定します。

- |      |                         |                           |
|------|-------------------------|---------------------------|
| BCR1 | DRAM他メモリーネーブル (DRAM2~0) | : CS2空間を通常空間とする           |
| WCR  | ウェイトコントロール (W21,W20)    | : 10 (CS2空間を2ウェイトでアクセスする) |



### 3. 5 シリアル・コントロール・ユニットインタフェース

$\mu$ PD71051GB-10-3B4インタフェース	MCU	SH7604 (20MHz)	使用機能	BSC
動作説明				
<p>SH7604に<math>\mu</math>PD71051GB-10-3B4を接続する場合、SH7604の動作周波数を20MHzにして、tSAR（アドレス設定時間）、tHRA（アドレス保持時間）、tRRL（RDパルス幅）、tDRD（データ遅延時間）、tFRD（データ・フロート時間）、tSAW（アドレス設定時間）、tHWA（アドレス保持時間）、tWWL（WRパルス幅）、tSDW（データ設定時間）、tHWD（データ保持時間）が満足されていることを確認します。</p>				
<p>・ tSAR（アドレス設定時間） <span style="float: right;">n：ウェイトステート=2</span></p>				
$tSAR = tPHL(\min, 74AC32)$ $= 1.0ns \geq 0ns \quad (\mu PD71051GB-10-3B4 \text{ tSAR}(\min))$				
<p>・ tHRA（アドレス保持時間）</p>				
$tHRA = tPLH1(\min, HD74AC08) + tPHL(\min, HD74LS77)$ $= 1.0ns \geq 0ns \quad (\mu PD71051GB-10-3B4 \text{ tHRA}(\min))$				
<p>・ tRRL（RDパルス幅）</p>				
$tRRL = t_{cyc} \times (n+1) - t_{CSD1}(\max) - t_{PHL}(\max, HD74AC139) - t_{PHL}(\max, HD74LS77)$ $- t_{PHL}(\max, HD74AC32) + t_{RSD1}(\min) + t_{PLH}(\min, HD74AC32)$ $= 97.0ns \geq 95ns \quad (\mu PD71051GB-10-3B4 \text{ tRRL}(\min))$				
<p>・ tDRD（データ遅延時間）</p>				
$tDRD = t_{cyc} \times (n+1) - t_{CSD1}(\max) - t_{PHL}(\max, HD74AC139) - t_{PHL}(\max, HD74LS77)$ $- t_{PHL}(\max, HD74AC32) + t_{RSD1}(\min)$ $= 96.0ns \geq 85ns \quad (\mu PD71051GB-10-3B4 \text{ tDRD}(\max))$				
<p>・ tFRD（データ・フロート時間）</p>				
$tFRD = tRDH2(\min)$ $= 0ns \leq 10ns \quad (\mu PD71051GB-10-3B4 \text{ tFRD}(\min))$				
<p>・ tSAW（アドレス設定時間）</p>				
$tSAW = tPHL(\min, 74AC32)$ $= 1.0ns \geq 0ns \quad (\mu PD71051GB-10-3B4 \text{ tSAW}(\min))$				
<p>・ tHWA（アドレス保持時間）</p>				
$tHWA = tPLH1(\min, HD74AC08) + tPHL(\min, HD74LS77)$ $= 1.0ns \geq 0ns \quad (\mu PD71051GB-10-3B4 \text{ tHWA}(\min))$				
<p>・ tWWL（WRパルス幅）</p>				
$tWWL = t_{cyc} \times (n+1) - t_{CSD1}(\max) - t_{PHL}(\max, HD74AC139) - t_{PHL}(\max, HD74LS77)$ $- t_{PHL}(\max, HD74AC32) + t_{WED1}(\min) + t_{PLH}(\min, HD74AC32)$ $= 125.0ns \geq 95ns \quad (\mu PD71051GB-10-3B4 \text{ tWWL}(\max))$				
<p>・ tSDW（データ設定時間）</p>				
$tSDW = t_{cyc} \times (n+1) - t_{WDD}(\max) + t_{WED1}(\min) + t_{PLH}(\min, HD74AC32)$ $= 161.0ns \geq 80ns \quad (\mu PD71051GB-10-3B4 \text{ tSDW}(\min))$				
<p>・ tHWD（データ保持時間）</p>				
$tHWD = t_{cyc} - t_{WED1}(\max) - t_{PLH}(\max, HD74AC32) + t_{WDH1}(\min)$ $= 1.5ns \geq 0ns \quad (\mu PD71051GB-10-3B4 \text{ tHWD}(\min))$				
<p>前述のようにBSCを設定してください。SH7604動作周波数20MHz,4ステート(200.0ns)でアクセス可能です。</p>				



### 3. 5 シリアル・コントロール・ユニットインタフェース

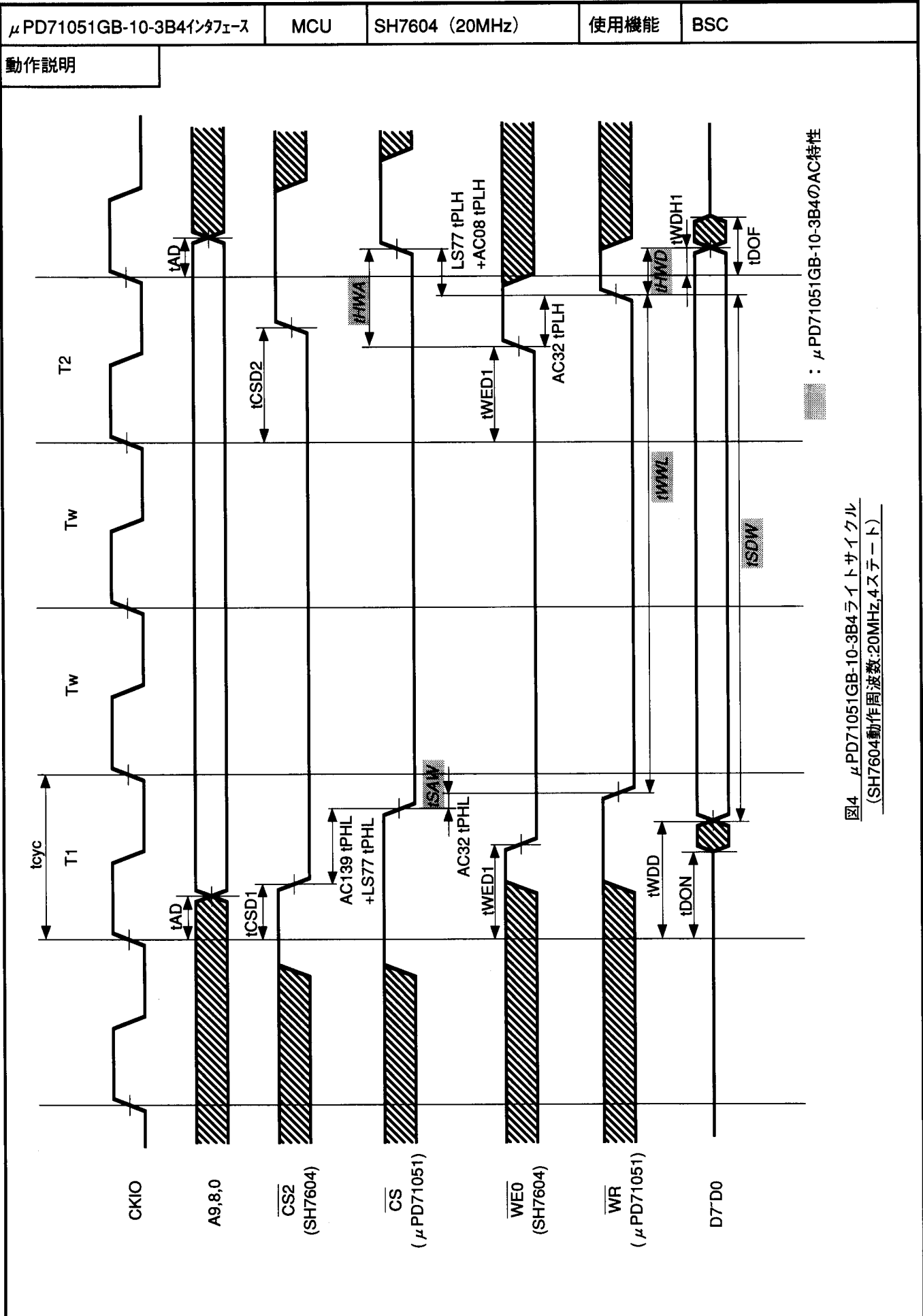


図4  $\mu$ PD71051GB-10-3B4ライトサイクル  
(SH7604動作周波数:20MHz,4ステート)

### 3. 5 シリアル・コントロール・ユニットインタフェース

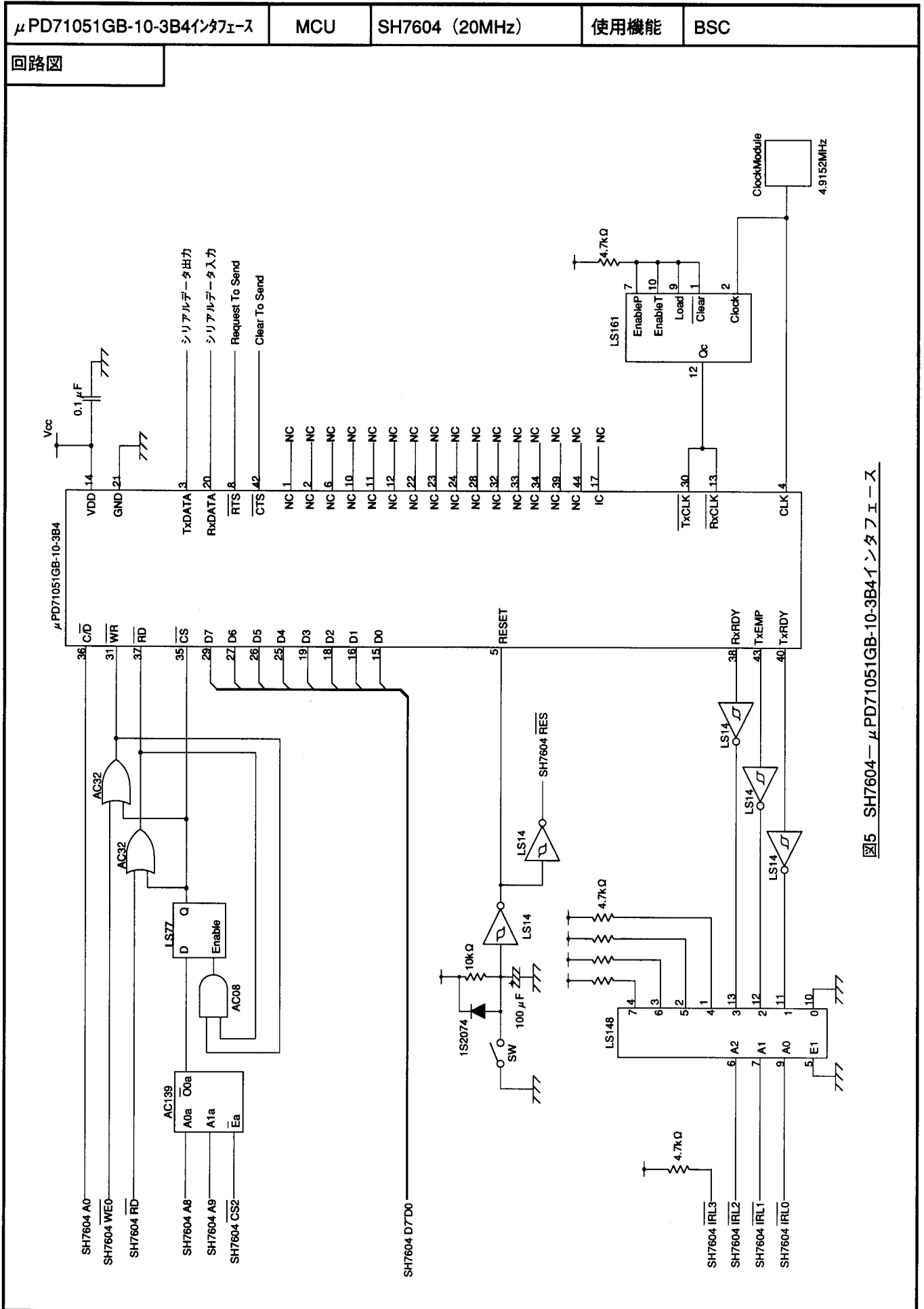


図5 SH7604— $\mu$ PD71051GB-10-3B4インタフェース

### 3. 6 プログラマブル・タイマ・カウンタインタフェース

μPD71054GB-10-3B4インタフェース	MCU	SH7604 (20MHz)	使用機能	BSC
--------------------------	-----	----------------	------	-----

仕様

- (1) 下の図のように、SH7604とμPD71054GB（プログラマブル・タイマ・カウンタ）とのインタフェースを行います。  
 SH7604の動作周波数は20MHzに設定し、CS2空間を通常空間としてμPD71054GBを接続します。

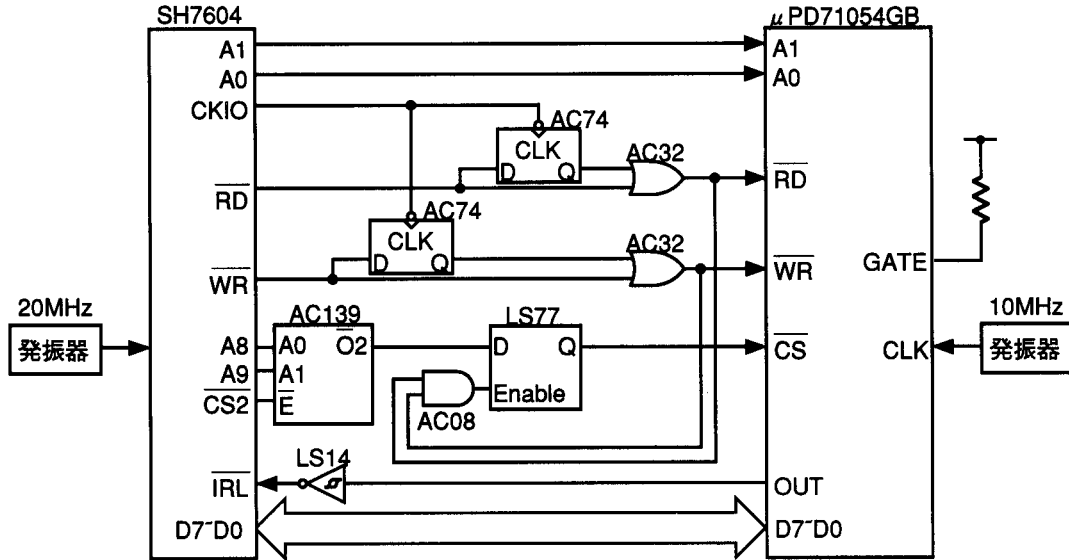


図1 SH7604, μPD71054GB接続ブロック図

- (2) 下図に示すように、SH7604の実メモリ空間のうち、CS2空間（H'04000000～H'05FFFFFF）にμPD71054GBを割付けます。

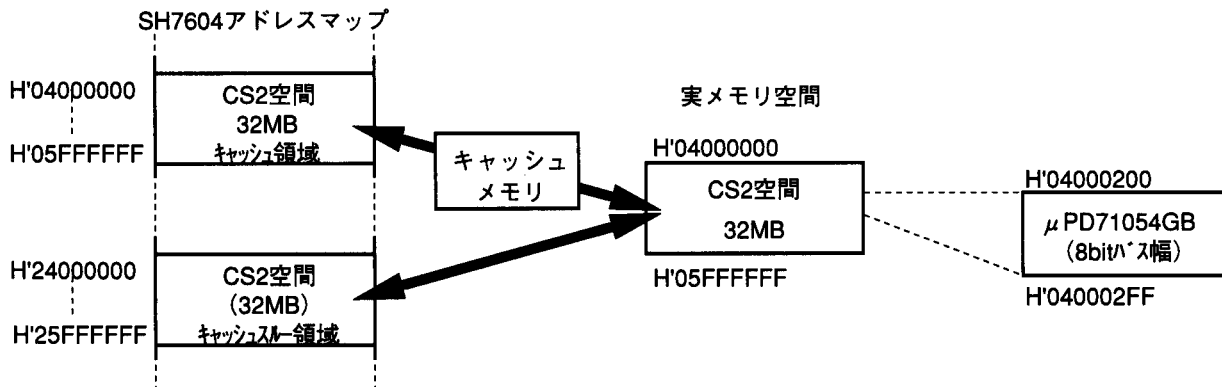


図2 メモリマップ

また、BSCの各レジスタを以下のように設定します。

- |      |                           |                          |
|------|---------------------------|--------------------------|
| BCR1 | CS2空間のロングウェイト指定 (AHLW1,0) | : 00 (3ウェイト)             |
|      | DRAM他メモリーネーブル (DRAM2~0)   | : CS2空間を通常空間とする          |
| WCR  | ウェイトコントロール (W21,W20)      | : 11 (BCR1のロングウェイト指定に従う) |

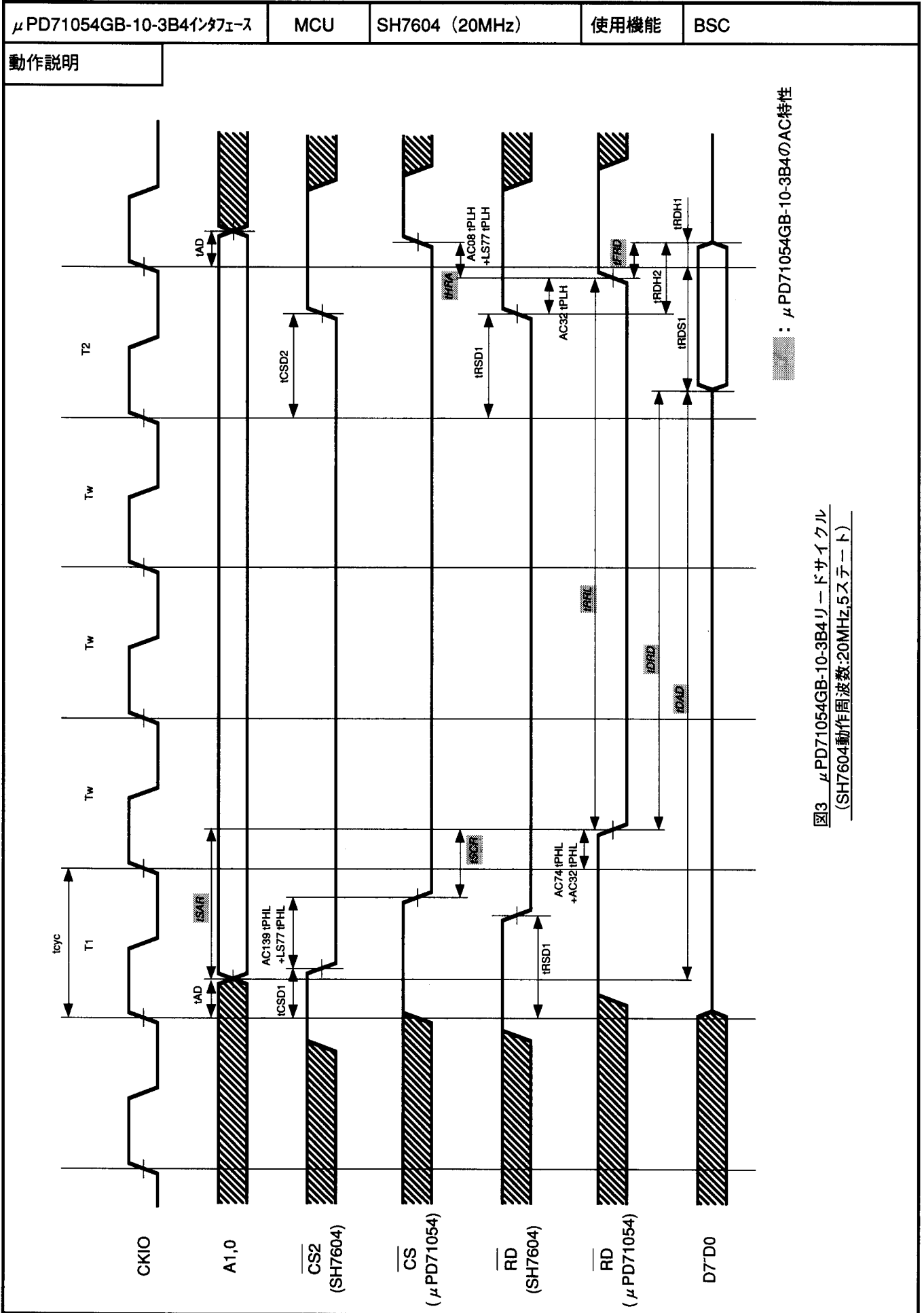
### 3. 6 プログラマブル・タイマ・カウンタインターフェース

μPD71054GB-10-3B4インターフェース	MCU	SH7604 (20MHz)	使用機能	BSC
動作説明				
<p>SH7604にμPD71054GB-10-3B4を接続する場合、SH7604の動作周波数を20MHzにして、tSAR（アドレス設定時間）、tHRA（アドレス保持時間）、tSCR（CS設定時間）、tRRL（RDパルス幅）、tDRD（データ遅延時間）、tFRD（データ・フロート時間）、tDAD（データ遅延時間（対アドレス））、tSAW（アドレス設定時間）、tHWA（アドレス保持時間）、tSCW（CS設定時間）、tWWL（WRパルス幅）、tSDW（データ設定時間）、tHWD（データ保持時間）が満足されていることを確認します。</p>				
n：ウェイトステート=3				
<ul style="list-style-type: none"> <li>・ tSAR（アドレス設定時間）</li> </ul>				
$tSAR = t_{cyc} + t_{PHL}(\min, HD74AC74) + t_{PHL}(\min, HD74AC32) - t_{AD}(\max)$ $= 34.0ns \geq 20ns \quad (\mu PD71054GB-10-3B4 \quad tSAR(\min))$				
<ul style="list-style-type: none"> <li>・ tHRA（アドレス保持時間）</li> </ul>				
$tHRA = t_{PLH1}(\min, HD74AC08) + t_{PHL}(\min, HD74LS77)$ $= 1.0ns \geq 0ns \quad (\mu PD71054GB-10-3B4 \quad tHRA(\min))$				
<ul style="list-style-type: none"> <li>・ tSCR（CS設定時間）</li> </ul>				
$tSCR = t_{cyc} + t_{PHL}(\min, HD74AC74) + t_{PHL}(\min, HD74AC32) - t_{CSD1}(\max) - t_{PHL}(\max, HD74AC139) - t_{PHL}(\max, HD74LS77)$ $= 5.5ns \geq 0ns \quad (\mu PD71054GB-10-3B4 \quad tSCR(\min))$				
<ul style="list-style-type: none"> <li>・ tRRL（RDパルス幅）</li> </ul>				
$tRRL = t_{cyc} \times n - t_{PHL}(\max, HD74AC74) - t_{PHL}(\max, HD74AC32) + t_{RSD1}(\min) + t_{PLH}(\min, HD74AC32)$ $= 132.0ns \geq 95ns \quad (\mu PD71054GB-10-3B4 \quad tRRL(\min))$				
<ul style="list-style-type: none"> <li>・ tDRD（データ遅延時間）</li> </ul>				
$tDRD = t_{cyc} \times n - t_{PHL}(\max, HD74AC74) - t_{PHL}(\max, HD74AC32) + t_{RSD1}(\min)$ $= 132.0ns \geq 85ns \quad (\mu PD71054GB-10-3B4 \quad tDRD(\max))$				
<ul style="list-style-type: none"> <li>・ tFRD（データ・フロート時間）</li> </ul>				
$tFRD = t_{RDH2}(\min)$ $= 0ns \leq 10ns \quad (\mu PD71054GB-10-3B4 \quad tFRD(\min))$				
<ul style="list-style-type: none"> <li>・ tDAD（データ遅延時間（対アドレス））</li> </ul>				
$tDAD = t_{cyc} \times (n+1) - t_{AD}(\max) - t_{PHL}(\max, HD74AC32) + t_{RSD1}(\min)$ $= 174.5ns \leq 185ns \quad (\mu PD71054GB-10-3B4 \quad tDAD(\min))$				

### 3. 6 プログラマブル・タイマ・カウンタインタフェース

μ PD71054GB-10-3B4インタフェース	MCU	SH7604 (20MHz)	使用機能	BSC
動作説明				
<ul style="list-style-type: none"> <li>・ tSAW (アドレス設定時間)           <math display="block">tSAW = t_{cyc} + t_{PHL}(\min, HD74AC74) + t_{PHL}(\min, HD74AC32) - t_{AD}(\max)</math> <math display="block">= 34.0ns \geq 0ns \quad (\mu PD71054GB-10-3B4 \ tSAW(\min))</math> </li> <li>・ tHWA (アドレス保持時間)           <math display="block">tHWA = t_{PLH1}(\min, HD74AC08) + t_{PHL}(\min, HD74LS77)</math> <math display="block">= 1.0ns \geq 0ns \quad (\mu PD71054GB-10-3B4 \ tHWA(\min))</math> </li> <li>・ tSCW (CS設定時間)           <math display="block">tSCW = t_{cyc} + t_{PHL}(\min, HD74AC74) + t_{PHL}(\min, HD74AC32) - t_{CSD1}(\max) - t_{PHL}(\max, HD74AC139) - t_{PHL}(\max, HD74LS77)</math> <math display="block">= 5.5ns \geq 0ns \quad (\mu PD71054GB-10-3B4 \ tSCW(\min))</math> </li> <li>・ tWWL (WRパルス幅)           <math display="block">tWWL = t_{cyc} \times n - t_{PHL}(\max, HD74AC74) - t_{PHL}(\max, HD74AC32) + t_{WED1}(\min) + t_{PLH}(\min, HD74AC32)</math> <math display="block">= 160.0ns \geq 95ns \quad (\mu PD71054GB-10-3B4 \ tWWL(\max))</math> </li> <li>・ tSDW (データ設定時間)           <math display="block">tSDW = t_{cyc} \times (n+1) - t_{WDD}(\max) + t_{WED1}(\min) + t_{PLH}(\min, HD74AC32)</math> <math display="block">= 211.0ns \geq 95ns \quad (\mu PD71054GB-10-3B4 \ tSDW(\min))</math> </li> <li>・ tHWD (データ保持時間)           <math display="block">tHWD = t_{cyc} + t_{WDH1}(\min) - t_{WED1}(\max) - t_{PLH}(\max, HD74AC32)</math> <math display="block">= 1.5ns \geq 0ns \quad (\mu PD71054GB-10-3B4 \ tHWD(\min))</math> </li> </ul>				
<p>前述のようにBSCを設定してください。 <u>SH7604動作周波数20MHz,5ステート (250.0ns) でアクセス可能</u>です。</p>				

### 3. 6 プログラマブル・タイマ・カウンタフェース









### 3. 7 パラレル・インタフェース・ユニットインタフェース

μPD71055GB-10-3B4インタフェース	MCU	SH7604 (20MHz)	使用機能	BSC
--------------------------	-----	----------------	------	-----

#### 仕様

(1) 下の図のように、SH7604とμPD71055GB (パラレル・インタフェース・ユニット) とのインタフェースを行います。  
 SH7604の動作周波数は20MHzに設定し、CS2空間を通常空間としてμPD71055GBを接続します。

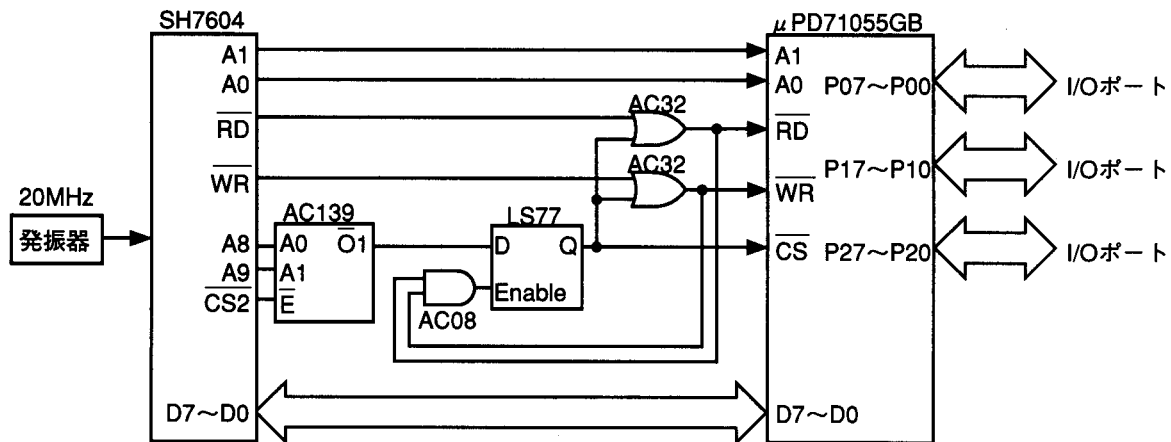


図1 SH7604, μPD71055GB接続ブロック図

(2) 下図に示すように、SH7604の実メモリ空間のうち、CS2空間 (H'04000000~H'05FFFFFF) にμPD71055GBを割付けます。

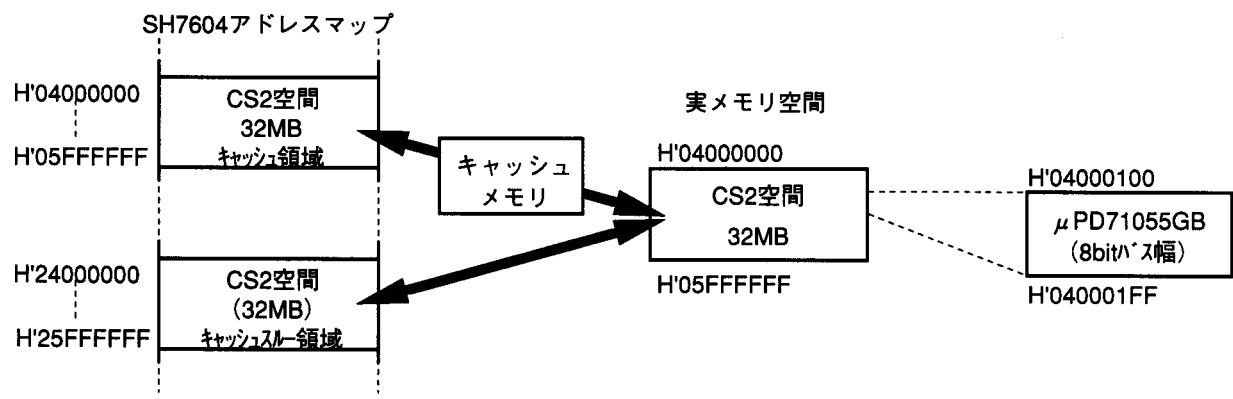


図2 メモリマップ

また、BSCの各レジスタを以下のように設定します。

- BCR1 CS2空間のロングウェイト指定 (AHLW1,0) : 00 (3ウェイト)
- DRAM他メモリエネーブル (DRAM2~0) : CS2空間を通常空間とする
- WCR ウェイトコントロール (W21,W20) : 11 (BCR1のロングウェイト指定に従う)

### 3. 7 パラレル・インタフェース・ユニットインタフェース

μPD71055GB-10-3B4インタフェース	MCU	SH7604 (20MHz)	使用機能	BSC
動作説明				
<p>SH7604にμPD71055GB-10-3B4を接続する場合、SH7604の動作周波数を <u>20MHz</u>にして、tSAR (アドレス設定時間)、tHRA (アドレス保持時間)、tRRL (RDパルス幅)、tDRD (データ遅延時間)、tFRD (データ・フロート時間)、tSAW (アドレス設定時間)、tHWA (アドレス保持時間)、tWWL (WRパルス幅)、tSDW (データ設定時間)、tHWD (データ保持時間) が満足されていることを確認します。</p>				
<p>・ tSAR (アドレス設定時間) <span style="float: right;">n : ウェイトステート=3</span></p>				
$tSAR = tPHL(\text{min}, 74AC32)$ $= 1.0\text{ns} \geq 0\text{ns} \quad (\mu\text{PD71055GB-10-3B4 } tSAR(\text{min}))$				
<p>・ tHRA (アドレス保持時間)</p> $tHRA = tPLH1(\text{min}, HD74AC08) + tPHL(\text{min}, HD74LS77)$ $= 1.0\text{ns} \geq 0\text{ns} \quad (\mu\text{PD71055GB-10-3B4 } tHRA(\text{min}))$				
<p>・ tRRL (RDパルス幅)</p> $tRRL = t_{cyc} \times (n+1) - t_{CSD1}(\text{max}) - t_{PHL}(\text{max}, HD74AC139) - t_{PHL}(\text{max}, HD74LS77) - t_{PHL}(\text{max}, HD74AC32) + t_{RSD1}(\text{min}) + t_{PLH}(\text{min}, HD74AC32)$ $= 172.0\text{ns} \geq 150\text{ns} \quad (\mu\text{PD71055GB-10-3B4 } tRRL(\text{min}))$				
<p>・ tDRD (データ遅延時間)</p> $tDRD = t_{cyc} \times (n+1) - t_{CSD1}(\text{max}) - t_{PHL}(\text{max}, HD74AC139) - t_{PHL}(\text{max}, HD74LS77) - t_{PHL}(\text{max}, HD74AC32) + t_{RSD1}(\text{min})$ $= 146.0\text{ns} \geq 100\text{ns} \quad (\mu\text{PD71055GB-10-3B4 } tDRD(\text{max}))$				
<p>・ tFRD (データ・フロート時間)</p> $tFRD = tRDH2(\text{min})$ $= 0\text{ns} \leq 10\text{ns} \quad (\mu\text{PD71055GB-10-3B4 } tFRD(\text{min}))$				
<p>・ tSAW (アドレス設定時間)</p> $tSAW = tPHL(\text{min}, 74AC32)$ $= 1.0\text{ns} \geq 0\text{ns} \quad (\mu\text{PD71055GB-10-3B4 } tSAW(\text{min}))$				
<p>・ tHWA (アドレス保持時間)</p> $tHWA = tPLH1(\text{min}, HD74AC08) + tPHL(\text{min}, HD74LS77)$ $= 1.0\text{ns} \geq 0\text{ns} \quad (\mu\text{PD71055GB-10-3B4 } tHWA(\text{min}))$				
<p>・ tWWL (WRパルス幅)</p> $tWWL = t_{cyc} \times (n+1) - t_{CSD1}(\text{max}) - t_{PHL}(\text{max}, HD74AC139) - t_{PHL}(\text{max}, HD74LS77) - t_{PHL}(\text{max}, HD74AC32) + t_{WED1}(\text{min}) + t_{PLH}(\text{min}, HD74AC32)$ $= 175.0\text{ns} \geq 100\text{ns} \quad (\mu\text{PD71055GB-10-3B4 } tWWL(\text{max}))$				
<p>・ tSDW (データ設定時間)</p> $tSDW = t_{cyc} \times (n+1) - t_{WDD}(\text{max}) + t_{WED1}(\text{min}) + t_{PLH}(\text{min}, HD74AC32)$ $= 211.0\text{ns} \geq 100\text{ns} \quad (\mu\text{PD71055GB-10-3B4 } tSDW(\text{min}))$				
<p>・ tHWD (データ保持時間)</p> $tHWD = t_{cyc} - t_{WED1}(\text{max}) - t_{PLH}(\text{max}, HD74AC32) + t_{WDH1}(\text{min})$ $= 1.5\text{ns} \geq 0\text{ns} \quad (\mu\text{PD71055GB-10-3B4 } tHWD(\text{min}))$				
<p>前述のようにBSCを設定してください。SH7604動作周波数20MHz,5ステート (250.0ns) でアクセス可能です。</p>				

### 3. 7 パラレル・インタフェース・ユニットインタフェース

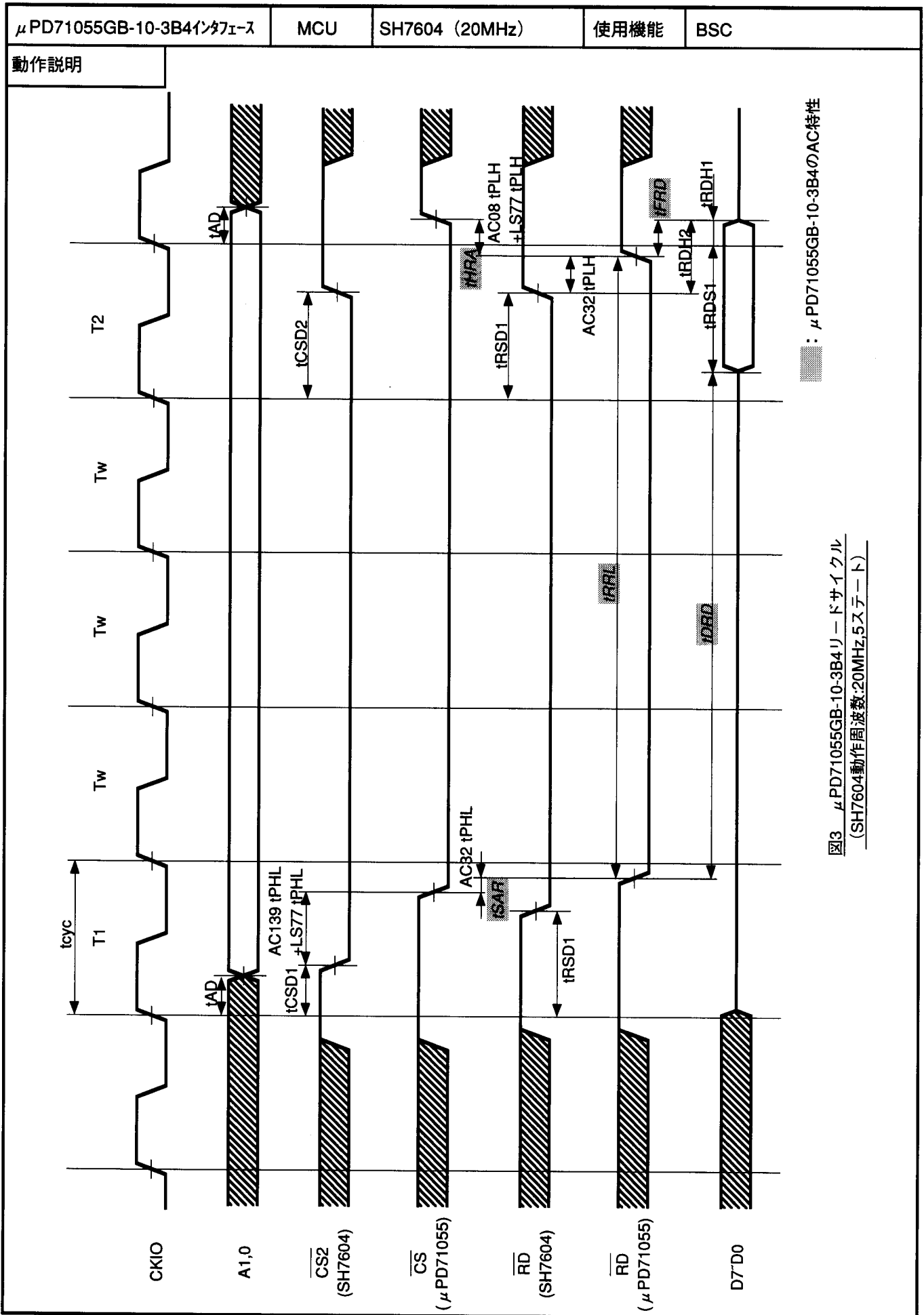


図3  $\mu$ PD71055GB-10-3B4リードサイクル  
(SH7604動作周波数:20MHz,5ステート)

### 3. 7 パラレル・インタフェース・ユニットインタフェース

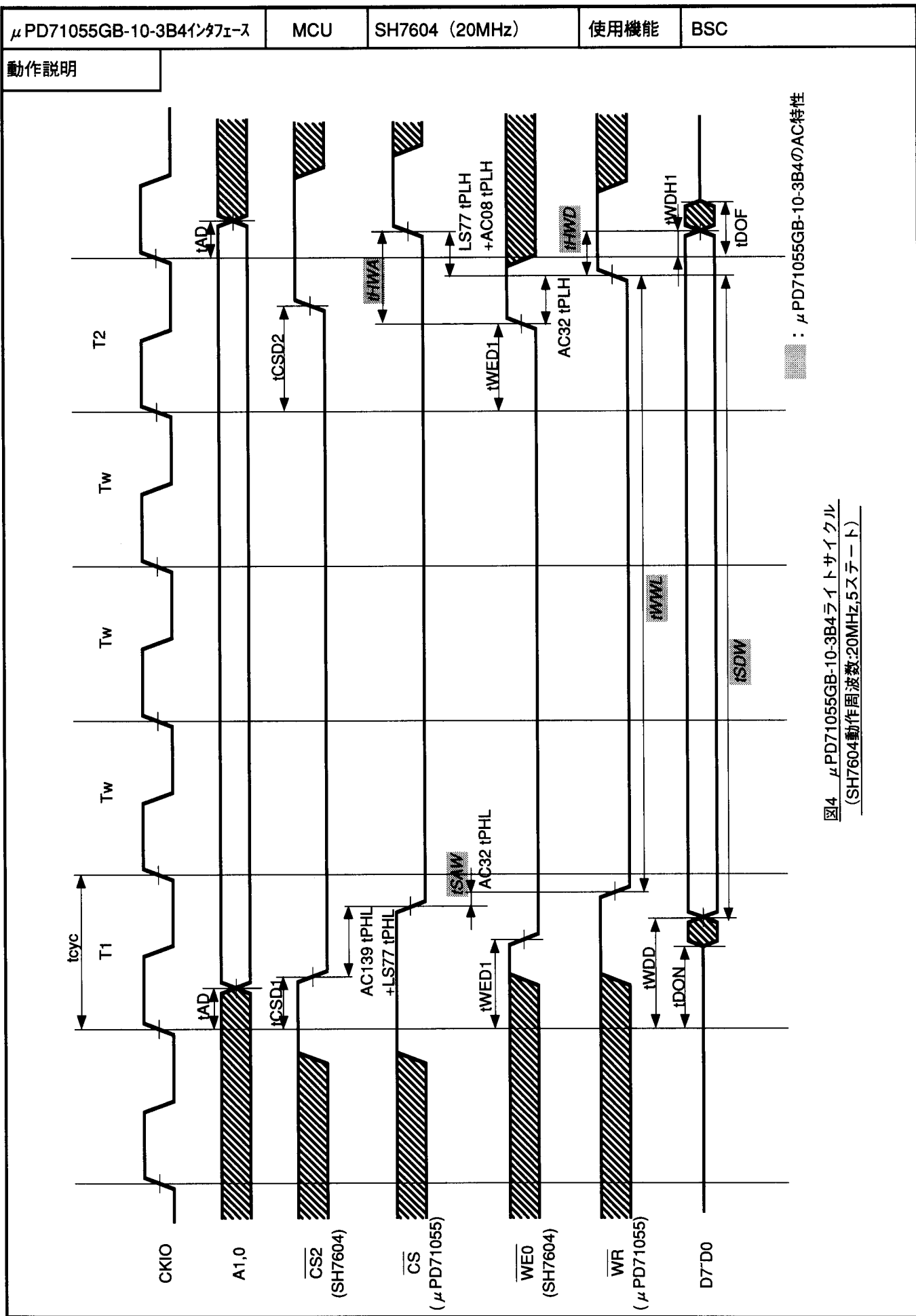


図4  $\mu$ PD71055GB-10-3B4ライトサイクル  
(SH7604動作周波数:20MHz,5ステート)

### 3. 7 パラレル・インタフェース・ユニットインタフェース

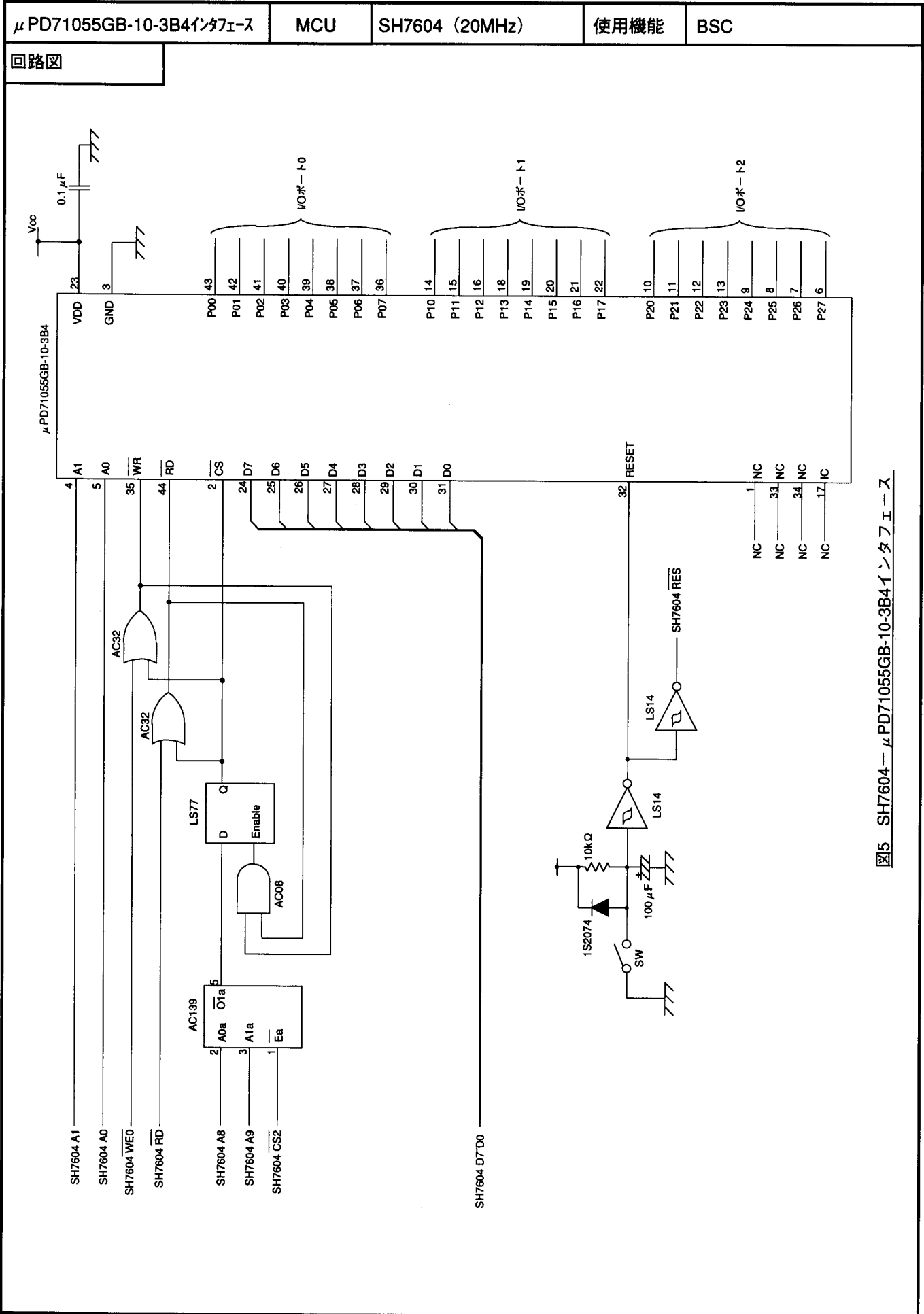


図5 SH7604— $\mu$ PD71055GB-10-3B4インタフェース

SH7020/30 シリーズ SH7604 インタフェース編  
アプリケーションノート



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-502-059