

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

### SH7000 シリーズ

#### 32 ビット ÷ 32 ビットの剰余 (符号付き)

##### 1. 機能

被除数 (符号付き 32 ビット) と除数 (符号付き 32 ビット) の除算を行い、剰余 (符号付き 32 ビット) を求めます。また、エラー (0 による除算) の有無を T ビットに示します。

##### 2. 引数

内容		格納場所	データ長 (バイト)
入力	被除数 (符号付き 32 ビット)	R1	4
	除数 (符号付き 32 ビット)	R0	4
出力	剰余 (符号付き 32 ビット)	R2	4
	エラー (0 による除算) の有無 (有 : T=1、無 : T=0)	T ビット (SR)	4

##### 3. 内部レジスタ変化およびフラグ変化

実行前 → 実行後	
R0	除数 (符号付き32ビット) → 変化なし
R1	被除数 (符号付き32ビット) → 変化
R2	不定 → 剰余 (符号付き32ビット)
R3	ワーク
R4	ワーク
R5	
R6	
R7	
R8	
R9	
R10	
R11	
R12	
R13	
R14	
R15	(SP)

T ビット  — : 不変  
 ※ : 変化  
 0 : 0 固定  
 1 : 1 固定

4. プログラミング仕様

プログラムメモリ (バイト)	182
データメモリ (バイト)	0
スタック (バイト)	8
ステート数	87
リエントラント	可
リロケーション	可
途中割り込み	可

5. 注意事項

プログラミング仕様のステート数は、H'80000000÷H'7FFFFFFF のときの値です。

6. 説明

1. 機能説明

a. 引数の詳細は以下のとおりです。

R0 : 入力引数として、除数 (符号付き 32 ビット) をセットします。

R1 : 入力引数として、被除数 (符号付き 32 ビット) をセットします。

R2 : 出力引数として、剰余 (符号付き 32 ビット) がセットされます。

T ビット (SR) : エラー (0 による除算) の有無を示します。

T ビット = 1 実行した除算にエラー (0 による除算) が発生したことを示します。

T ビット = 0 実行した除算にエラー (0 による除算) が発生しなかったことを示します。

b. 図 1 にソフトウェア DIVS32R の実行例を示します。

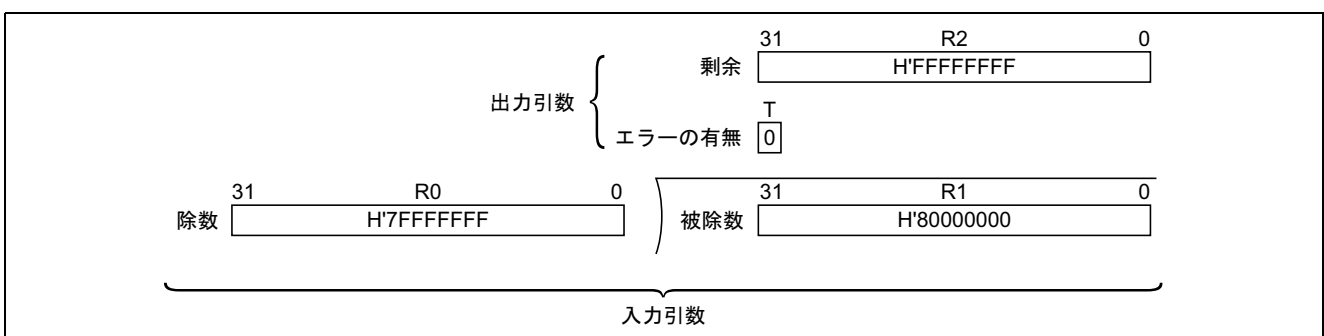


図 1 ソフトウェア DIVS32R の実行例

2. 使用上の注意

被除数がセットされていた R1 は、ソフトウェア DIVS32R の実行により内容が変化します。

ソフトウェア DIVS32R 実行後も被除数を必要とする場合、被除数をあらかじめ退避してください。

### 3. 使用 RAM 説明

ソフトウェア DIVS32R では RAM は使用していません。

### 4. 使用例

被除数および除数をセットしてからソフトウェア DIVS32R をサブルーチンコールします。

MOV.L	DATA1,R1	.....被除数 (符号なし32ビット) を入力引数 (R1) にセット
BSR	DIVS32R	.....ソフトウェアDIVS32Rをサブルーチンコール
MOV.L	DATA2,R0	.....除数 (符号なし32ビット) を入力引数 (R0) にセット
BT	ERROR	.....エラー (0による除算) が発生した場合、エラー処理 ルーチンへ分岐
	⋮	
.align	4	
DATA1	.data.l	H'80000000
DATA2	.data.l	H'7FFFFFFF

### 5. 動作原理

a. 除算前に以下の初期設定を行います。

- i. R2 を上位 32 ビットとし、被除数を 64 ビットに符号拡張します。(図 2 - ①)
- ii. 被除数が負の場合、1 ステップ除算命令で扱えるように 1 の補数に変換します。(図 2 - ②)
- iii. 1 ステップ除算で使用する M、Q および T ビットを符号付き除算の値 (M = 除数の符号、Q = 被除数の符号、T = 商の符号) に設定します。(図 2 - ③)

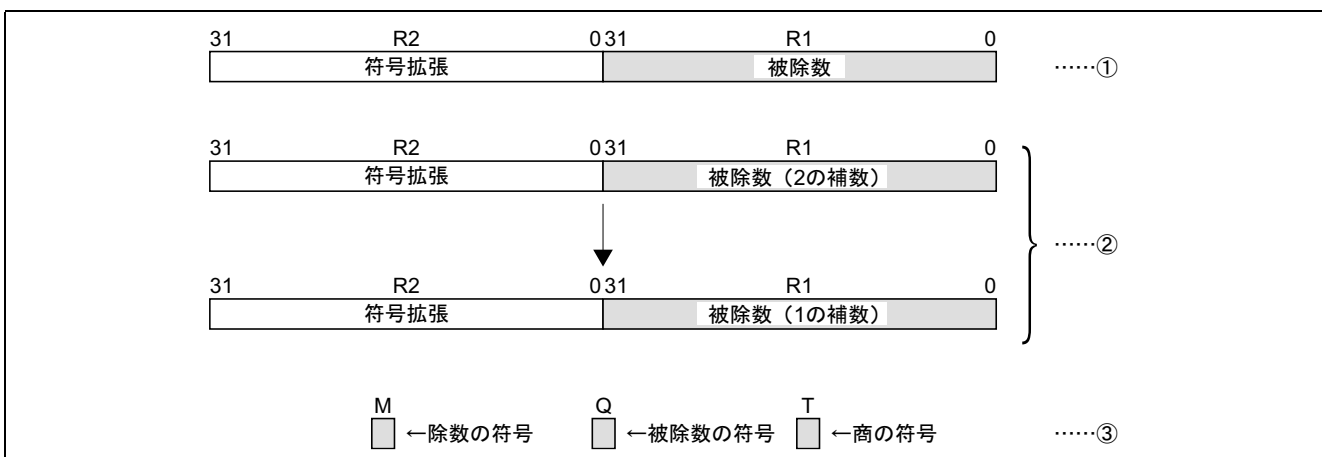


図 2 初期設定

b. 図 3 に示すように、除算は ROTCL 命令、DIV1 を除数のビット数 (32 回) 分繰り返して行います。

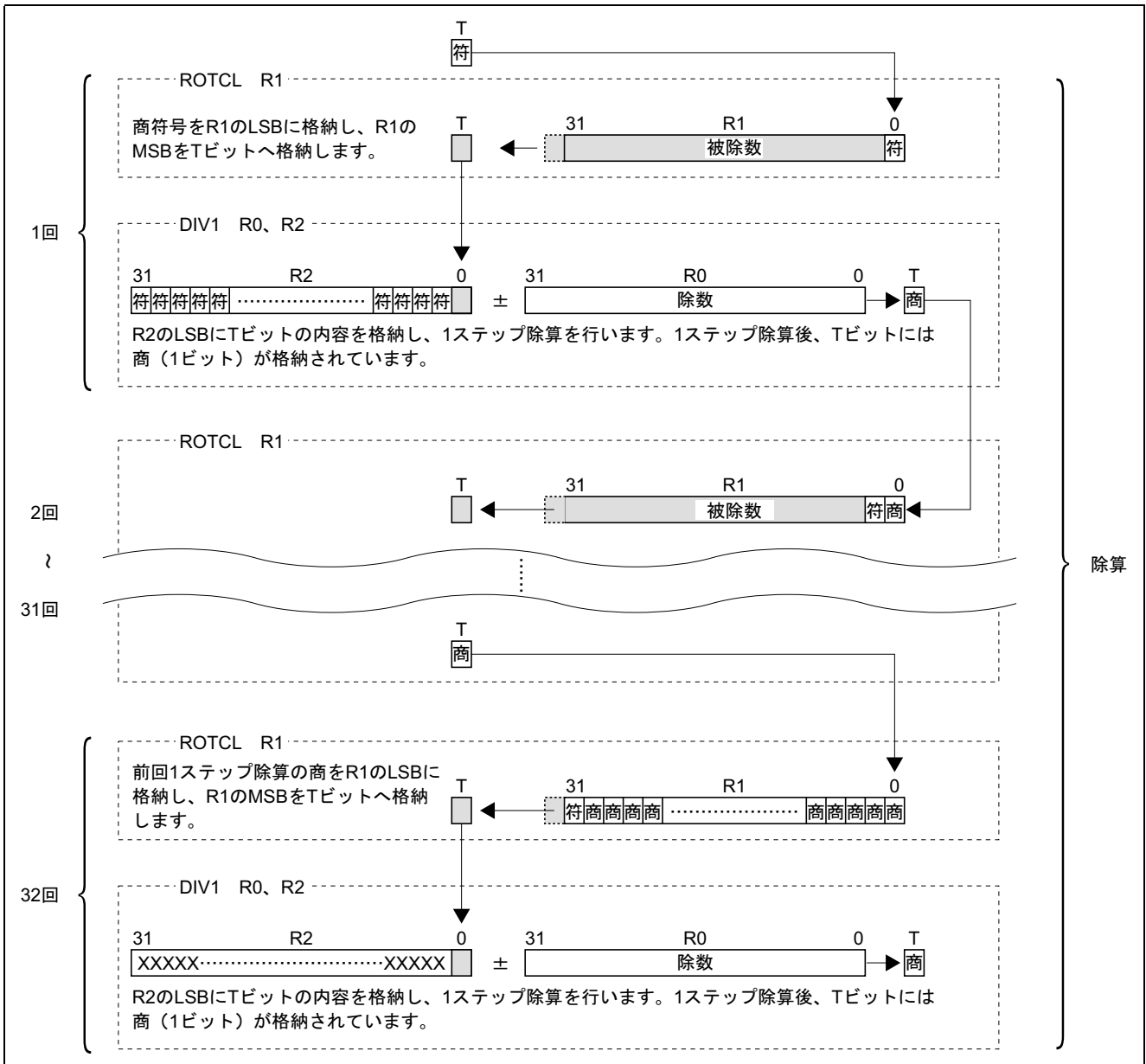


図 3 動作例

- c. i. 図 4 に示すように、被除数の符号および T ビット (32 回目の 1 ステップ除算の商) の内容により、剰余の求め方が異なります。

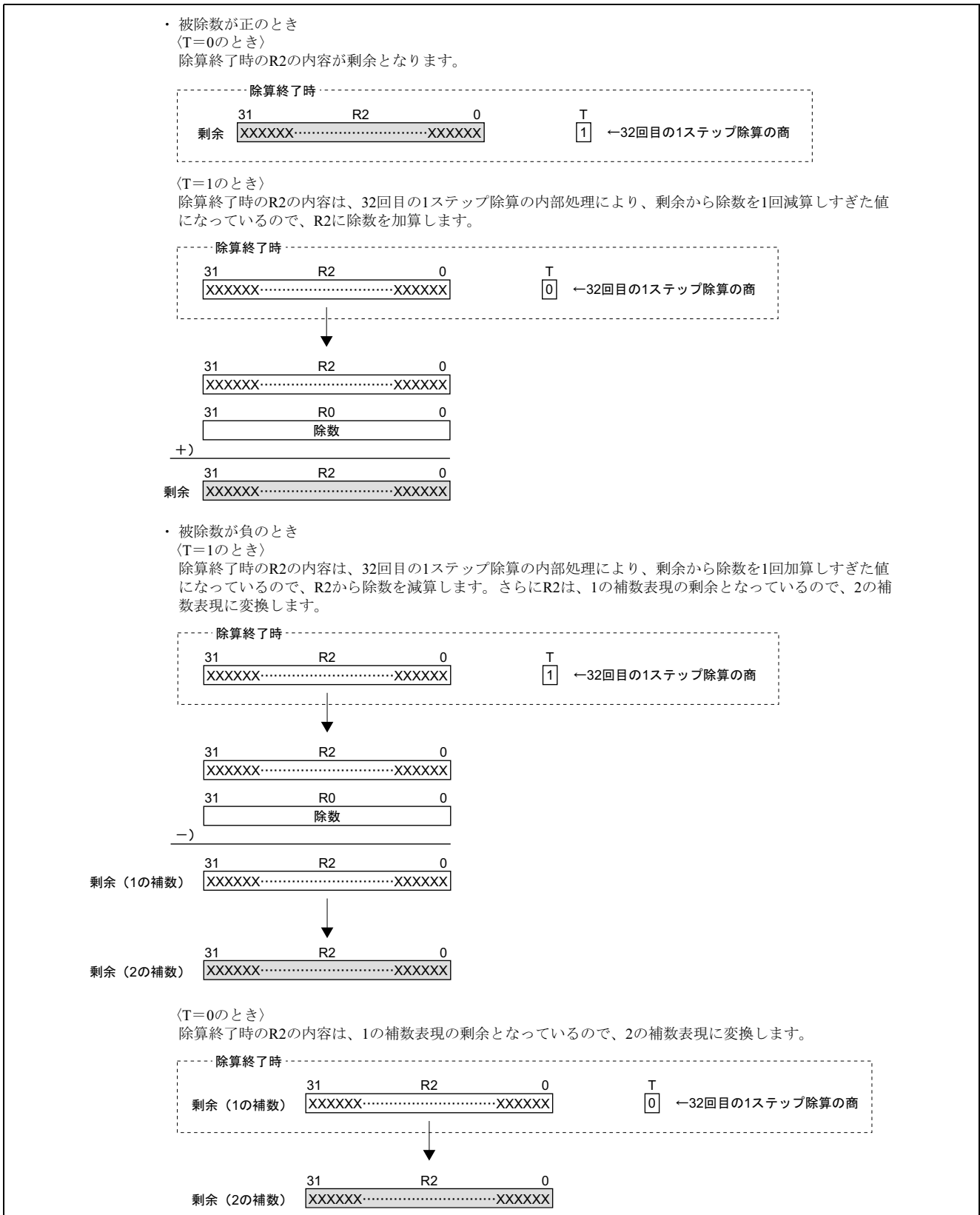


図 4 剰余

ii. ソフトウェア DIVS32R では、(i)の処理を以下に示すようにして行っています。ただし、R3 には H'00000000、R4 の LSB には被除数の符号ビットが格納されています。

- 符号なし除算の初期化命令 (DIV0S) を使用して、剰余の符号ビットを T ビットへ格納し、T ビット上の剰余の符号ビットを R3 へ格納します。

```
DIV0S  R3, R2 }
MOVT   R3      } 剰余の符号ビット→R3
```

- 表 1 に示すように、被除数の符号と剰余の符号は同符号になるので、被除数の符号 (R4) と剰余の符号 (R3) の排他的論理和をとり、被除数の符号と剰余の符号が同符号かどうかを調べます。異符号の場合、剰余は除数を減算しすぎまたは加算しすぎた値となっています。

表 1 剰余の符号

被除数の符号	剰余の符号
正	正
負	負

```
XOR    R4, R3 }
ROTCR  R3      } 被除数の符号=剰余の符号?
BF     DIVS32R1
```

- 減算しすぎまたは加算しすぎの補正は、DIV1 命令を使用して行っています。

```
DIV0S  R0, R2 ←符号付き除算の初期化
SHAR   R2     ←次のDIV1命令の実行により、剰余 (R2) は1/2されるので
          R2を2倍しておきます。
```

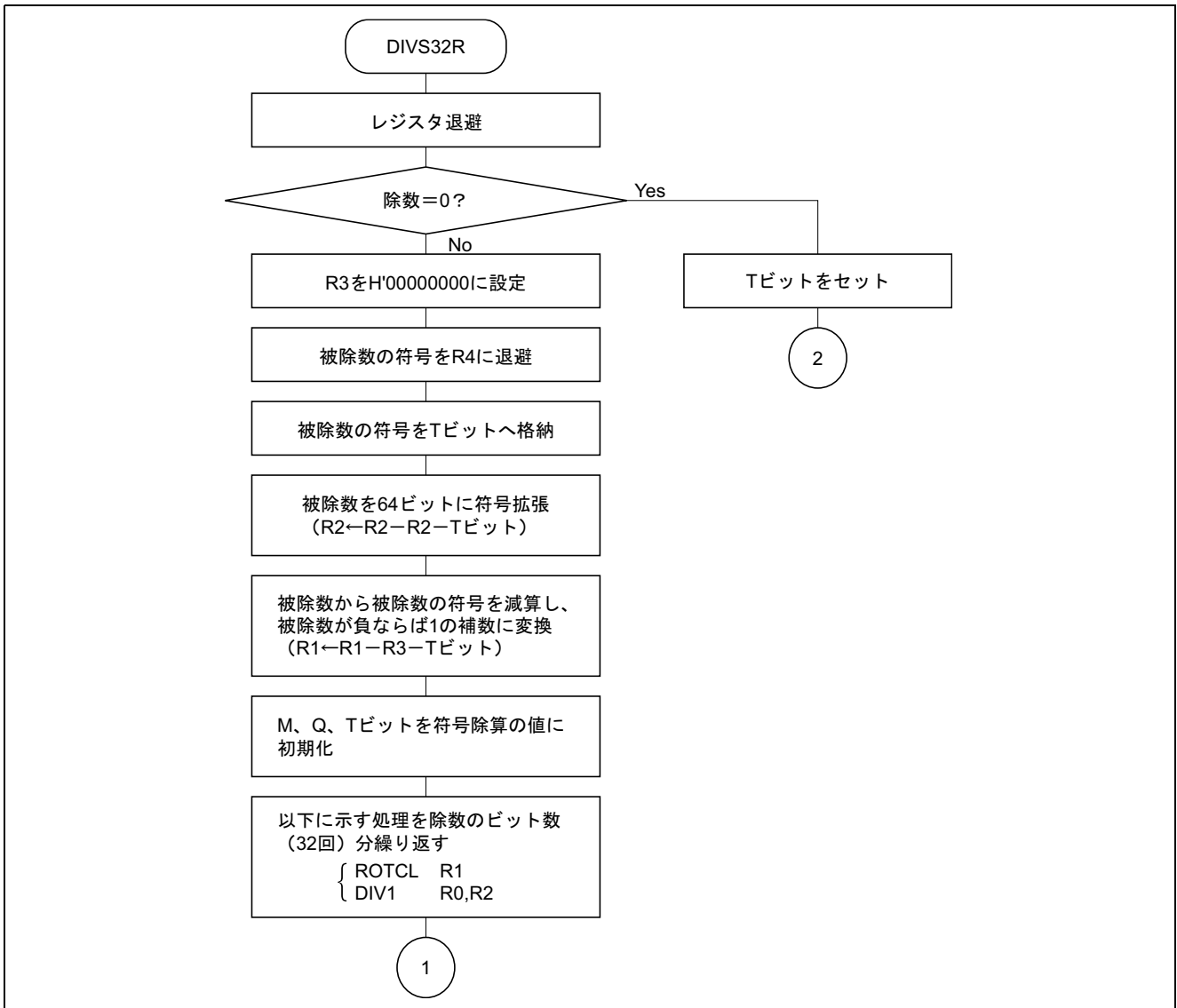
```
DIV1   R0, R2 ←DIV1命令の内部処理により、減算しすぎのときは
          剰余を加算し、加算しすぎのときは剰余を減算します。
```

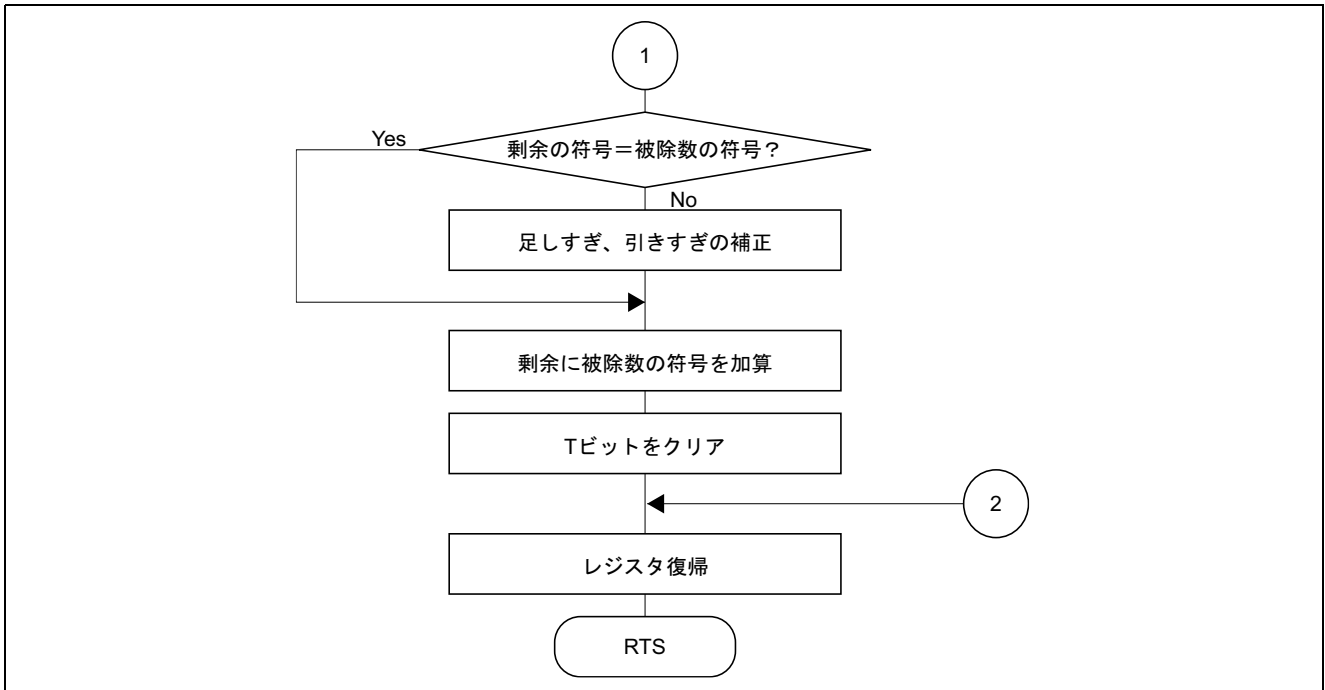
- 剰余と LSB に被除数の符号ビットが格納されている R4 と剰余 (R2) の加算を行います。剰余と被除数の符号は同符号なので、剰余が正ならば 0 が加算され剰余の値に変化はなく、剰余が負ならば 1 が加算されて 2 の補数となります。

```
ADD    R4, R2
```



7. フローチャート





## 8. プログラムリスト

```

1          1 ;*****
2          2 ;*
3          3 ;*   NAME      : RESIDUAL OF 32 BIT SIGNED DIVISION   *
          3 ;*                               (DIVS32R)                *
4          4 ;*
5          5 ;*****
6          6 ;*
7          7 ;*   ENTRY    : R1      (DIVIDEND)                    *
8          8 ;*                               R0      (DIVISOR)      *
9          9 ;*   RETURNS  : R1      (RESIDUAL)                  *
10         10 ;*                               T BIT (ERROR -> TRUE;T=1,FALSE;T=0) *
11        11 ;*
12        12 ;*****
13 00001000 13          .SECTION A, CODE, LOCATE=H'1000
14          14 DIVS32R .EQU      $          ; Entry point
15 00001000 2F36 15          MOV.L    R3,@-R15    ; Escape register
16 00001002 2F46 16          MOV.L    R4,@-R15    ;
17 00001004 2008 17          TST      R0,R0      ; Divisor = 0 ?
18 00001006 8952 18          BT       DIVS32R2   ; Yes
19 00001008 233A 19          XOR      R3,R3      ; R3 <- H'00000000
20 0000100A 2137 20          DIV0S    R3,R1      ; T bit <- Sign of Dividend
21 0000100C 0429 21          MOVT    R4          ; R4 <- T bit
22 0000100E 322A 22          SUBC    R2,R2      ; R2 sign extend
23 00001010 313A 23          SUBC    R3,R1      ;
24 00001012 2207 24          DIV0S    R0,R2      ; Divide as sixed
25
26 00001014 4124 26          ROTCL   R1          ; Divide 1 step
27 00001016 3204 27          DIV1    R0,R2      ;
28 00001018 4124 28          ROTCL   R1          ;
29 0000101A 3204 29          DIV1    R0,R2      ;
30 0000101C 4124 30          ROTCL   R1          ;
31 0000101E 3204 31          DIV1    R0,R2      ;
32 00001020 4124 32          ROTCL   R1          ;
33 00001022 3204 33          DIV1    R0,R2      ;
34 00001024 4124 34          ROTCL   R1          ;
35 00001026 3204 35          DIV1    R0,R2      ;
36 00001028 4124 36          ROTCL   R1          ;
37 0000102A 3204 37          DIV1    R0,R2      ;
38 0000102C 4124 38          ROTCL   R1          ;
39 0000102E 3204 39          DIV1    R0,R2      ;
40 00001030 4124 40          ROTCL   R1          ;
41 00001032 3204 41          DIV1    R0,R2      ;
42
43 00001034 4124 43          ROTCL   R1          ;
44 00001036 3204 44          DIV1    R0,R2      ;
45 00001038 4124 45          ROTCL   R1          ;
46 0000103A 3204 46          DIV1    R0,R2      ;
47 0000103C 4124 47          ROTCL   R1          ;
48 0000103E 3204 48          DIV1    R0,R2      ;
49 00001040 4124 49          ROTCL   R1          ;
50 00001042 3204 50          DIV1    R0,R2      ;
51 00001044 4124 51          ROTCL   R1          ;
52 00001046 3204 52          DIV1    R0,R2      ;
53 00001048 4124 53          ROTCL   R1          ;
54 0000104A 3204 54          DIV1    R0,R2      ;
55 0000104C 4124 55          ROTCL   R1          ;
    
```

56	0000104E	3204	56	DIV1	R0,R2	;
57	00001050	4124	57	ROTCL	R1	;
58	00001052	3204	58	DIV1	R0,R2	;
59			59			;
60	00001054	4124	60	ROTCL	R1	;
61	00001056	3204	61	DIV1	R0,R2	;
62	00001058	4124	62	ROTCL	R1	;
63	0000105A	3204	63	DIV1	R0,R2	;
64	0000105C	4124	64	ROTCL	R1	;
65	0000105E	3204	65	DIV1	R0,R2	;
66	00001060	4124	66	ROTCL	R1	;
67	00001062	3204	67	DIV1	R0,R2	;
68	00001064	4124	68	ROTCL	R1	;
69	00001066	3204	69	DIV1	R0,R2	;
70	00001068	4124	70	ROTCL	R1	;
71	0000106A	3204	71	DIV1	R0,R2	;
72	0000106C	4124	72	ROTCL	R1	;
73	0000106E	3204	73	DIV1	R0,R2	;
74	00001070	4124	74	ROTCL	R1	;
75	00001072	3204	75	DIV1	R0,R2	;
76			76			;
77	00001074	4124	77	ROTCL	R1	;
78	00001076	3204	78	DIV1	R0,R2	;
79	00001078	4124	79	ROTCL	R1	;
80	0000107A	3204	80	DIV1	R0,R2	;
81	0000107C	4124	81	ROTCL	R1	;
82	0000107E	3204	82	DIV1	R0,R2	;
83	00001080	4124	83	ROTCL	R1	;
84	00001082	3204	84	DIV1	R0,R2	;
85	00001084	4124	85	ROTCL	R1	;
86	00001086	3204	86	DIV1	R0,R2	;
87	00001088	4124	87	ROTCL	R1	;
88	0000108A	3204	88	DIV1	R0,R2	;
89	0000108C	4124	89	ROTCL	R1	;
90	0000108E	3204	90	DIV1	R0,R2	;
91	00001090	4124	91	ROTCL	R1	;
92	00001092	3204	92	DIV1	R0,R2	;
93			93			;
94	00001094	2237	94	DIV0S	R3,R2	; R2 : keep sign
95	00001096	0329	95	MOVT	R3	;
96	00001098	234A	96	XOR	R4,R3	; ( R4 xor R3 ) == 1 ? -> oversub or overadd
97	0000109A	4325	97	ROTCL	R3	;
98	0000109C	8B02	98	BF	DIVS32R1	; T bit = 0 ?
99	0000109E	2207	99	DIV0S	R0,R2	; Clear oversub or overadd
100	000010A0	4221	100	SHAR	R2	;
101	000010A2	3204	101	DIV1	R0,R2	;
102	000010A4		102	DIVS32R1		;
103	000010A4	324C	103	ADD	R4,R1	;
104	000010A6	0008	104	CLRT		; T bit <- No error
105	000010A8	64F6	105	MOV.L	@R15+,R4	; Return register
106	000010AA	000B	106	RTS		;
107	000010AC	63F6	107	MOV.L	@R15+,R3	;
108	000010AE		108	DIVS32R2		;
109	000010AE	0018	109	SETT		; T bit <- Error
110	000010B0	64F6	110	MOV.L	@R15+,R4	; Return register
111	000010B2	000B	111	RTS		;

```
112 000010B4 63F6 112 MOV.L @R15+,R3 ;  
113 113 113 .END  
*****TOTAL ERRORS 0
```

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2003.11.25	—	初版発行

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス 販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス 販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス 販売または特約店までご照会ください。