

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

---

# SH7722/SH7731 グループ

## SBSC SDRAM 設定例

---

### 要旨

本アプリケーションノートは、SDRAM 用バスステートコントローラ (SBSC) の SDRAM インタフェース機能を紹介し、応用例を掲載しています。

### 動作確認デバイス

SH7722, SH7731

### 目次

1. はじめに.....	2
2. 応用例の説明.....	3
3. 参考ドキュメント.....	14

## 1. はじめに

### 1.1 仕様

128M ビット (2M × 16 ビット × 4 バンク) の SDRAM を 4 個使用し, SH7722, SH7731 と 64 ビットバス幅で接続します。SH7722, SH7731 の SDRAM インタフェース機能を使用し, SDRAM の初期化を行います。

### 1.2 使用機能

- SDRAM 用バスステートコントローラ (SBSC)

### 1.3 適用条件

- 評価ボ - ド: ルネサス テクノロジ製 SH7722 リファレンスプラットフォーム  
 型番 R0P7722TH001ARK  
 外付けメモリ (エリア 0): NOR 型フラッシュメモリ 64M バイト  
 Spansion 製 S29GL512N10FF1020  
 (エリア 3): SDRAM 64M バイト (16M バイト × 4 個)  
 Micron 製 MT48LC8M16A2B475
- マイコン: SH7722 (R8A77220AC266BGV)
- 動作周波数: CPU クロック: 266.66MHz  
 SH バスクロック: 133.33MHz  
 U メモリクロック: 133.33MHz  
 バスクロック: 66.66MHz  
 SDRAM 用クロック: 106.66MHz  
 周辺クロック: 33.33MHz
- エリア 0 バス幅: 16 ビット (MD3 端子 = Low レベル)
- クロック動作モード: モード 0 (MD0, MD1 端子 = Low レベル)
- エンディアン: リトルエンディアン (MD5 端子 = High レベル)
- ツールチェーン: ルネサス テクノロジ製 SuperH RISC engine Standard Toolchain Ver.9.3.0.0
- コンパイルオプション: High-performance Embedded Workshop での設定  
 (-cpu=sh4aldsp -endian=little -include="\$(PROJDIR)¥inc"  
 -object="\$(CONFIGDIR)¥\$(FILELEAF).obj" -debug -optimize=0 -gbr=auto  
 -chgincpath -errorpath -global\_volatile=0 -opt\_range=all -infinite\_loop=0  
 -del\_vacant\_loop=0 -struct\_alloc=1 -nologo)

本アプリケーションノートの参考プログラムは, 「SH7722/SH7731 グループ アプリケーションノート SH7722/SH7731 初期設定例 (RJJ06B1090)」の設定条件で動作確認しています。あわせて参照ください。

## 2. 応用例の説明

### 2.1 使用機能の概要

SH7722, SH7731 の SDRAM 用バスステートコントローラ (SBSC) は, SDRAM と接続可能な SDRAM インタフェース機能です。SH7722/SH7731 は, ロウアドレスが 11/12/13/14 ビット, カラムアドレスが 7/8/9/10 ビット, バンク数が 4 以下, リード ライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する SDRAM が接続可能です。SDRAM の動作モードは, バーストリード/シングルライト (バースト長 1) と バーストリード/バーストライト (バースト長 1 またはバースト長 4) をサポートしています。表 1 に本応用例で使用する SDRAM 仕様を示します。

表 1 本応用例で使用する SDRAM 仕様

項目	SDRAM 仕様
型名	Micron 製 MT48LC8M16A2B475
容量 (構成)	128M ビット (2M × 16 ビット × 4 バンク構成)
使用個数	4 個
CAS レイテンシ	2 or 3 (プログラマブル)
リフレッシュサイクル	64ms ごとの 4096 リフレッシュサイクル
バースト長	1/2/4/8/フルページ (プログラマブル)
ロウアドレス	A11 ~ A0
カラムアドレス	A8 ~ A0
プリチャージ	A10 で制御するオートプリチャージ/全バンクプリチャージ

接続するメモリの種類およびデータバス幅は, CS 空間ごとに指定します。SH7722, SH7731 のエリア 2 およびエリア 3 空間が, SDRAM に接続可能な空間です。本応用例では, エリア 3 空間に SDRAM を接続しています。

図 1 にメモリマップを示します。本応用例の SDRAM は 物理アドレス空間の H'0C00 0000 ~ H'0FFF FFFF に配置されます。

物理アドレス空間はさらに, ソフトウェアから見た仮想アドレス空間上にマッピングされます。仮想アドレス空間から物理アドレス空間へのアドレス変換は, メモリマネジメントユニット (MMU) の使用の有無により異なります。

詳細については, 「SH7731 グループ ハードウェアマニュアル (RJJ09B0518)」または「SH7722 グループ ハードウェアマニュアル (RJJ09B0324)」の「バスステートコントローラ (BSC)」および「メモリマネジメントユニット (MMU)」の項を参照ください。

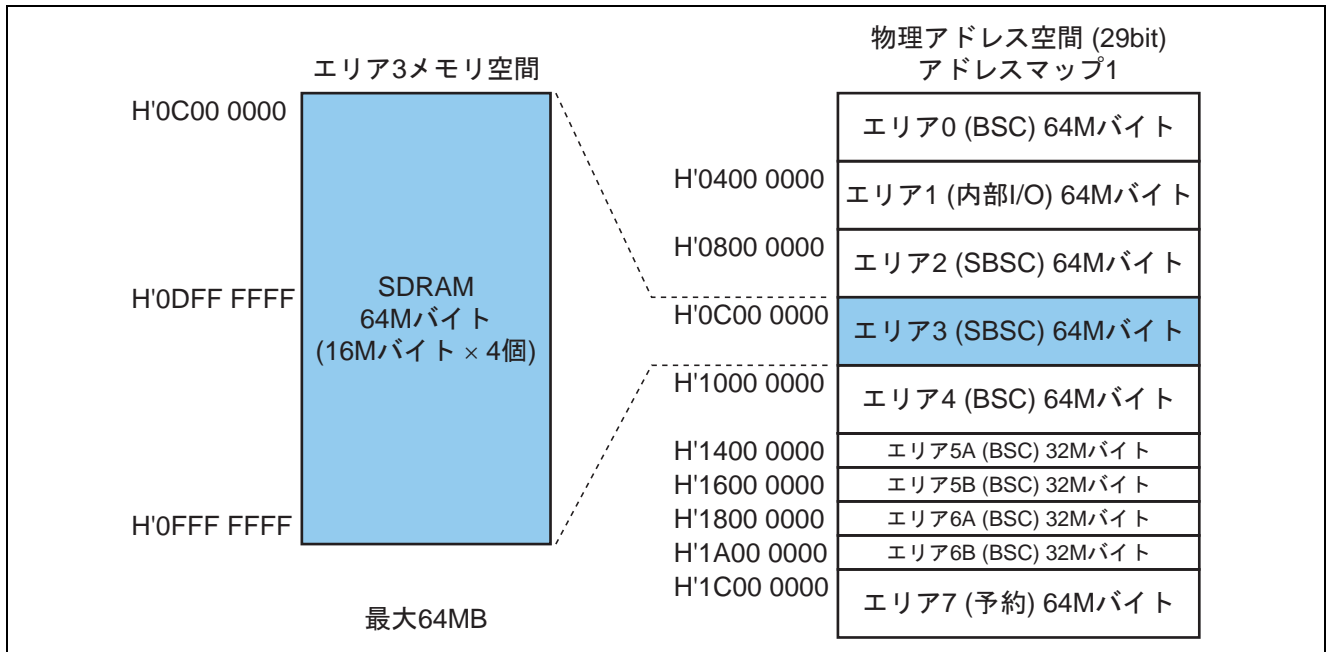


図1 メモリマップ

図 2 に SDRAM 接続回路例を示します。

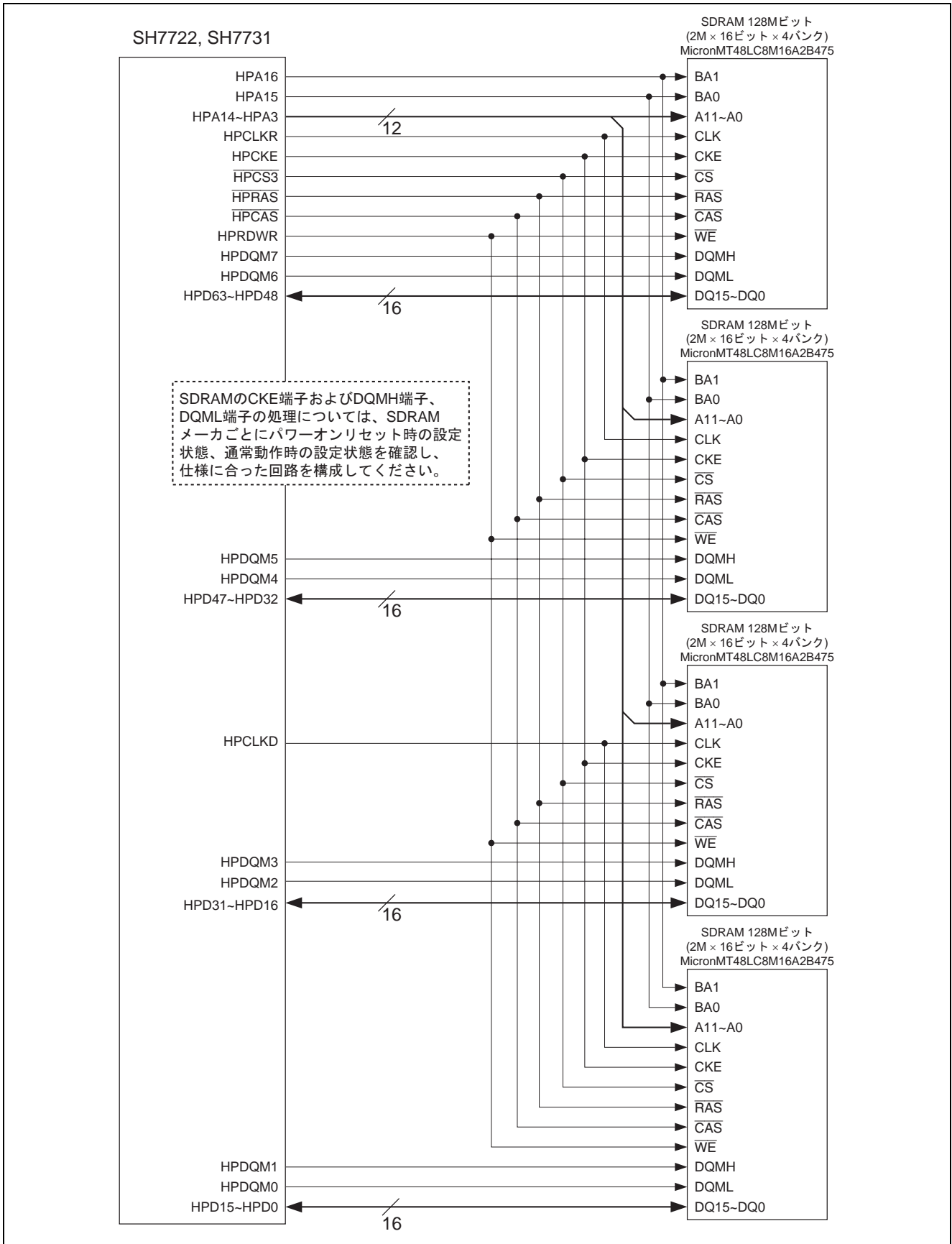


図 2 SDRAM 接続回路例 (128M ビット × 4 個 , 64 ビットバス)

## 2.2 使用機能の設定基準

### 2.2.1 SDRAM の初期化手順例

図 3 にエリア 3 空間における SDRAM の初期化設定例を示します。

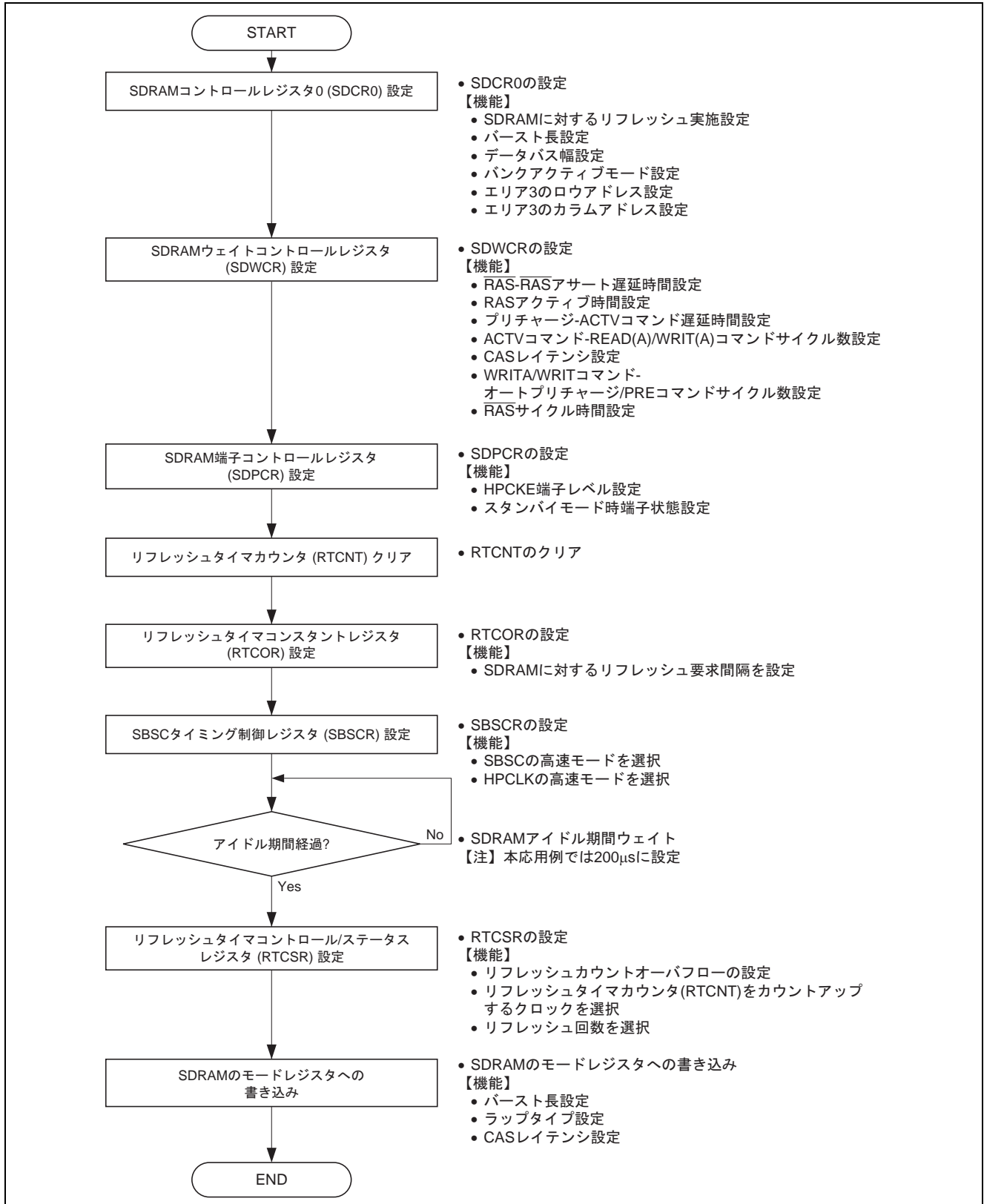


図 3 バスステートコントローラの設定手順例 (エリア 3 空間)



## 2.3 パワーオンシーケンス

SDRAM の初期化を行うためには、まず SDRAM 用バスステートコントローラのレジスタを設定した後、SDRAM のモードレジスタに対する書き込みを行います。

SDRAM は、パワーオン後、一定のアイドル期間が必要です。本応用例では、200 $\mu$ s 以上のアイドル期間をソフトウェアで設定しています。必要なアイドル期間は、SDRAM の仕様により異なりますので、SDRAM のマニュアルを参照してください。

SDRAM のモードレジスタへの書き込みは、 $\overline{\text{HPCS}}_n$ 、 $\overline{\text{HPRAS}}$ 、 $\overline{\text{HPCAS}}$  および  $\overline{\text{HPRDWR}}$  の組み合わせで、モードレジスタセットコマンド (MRS) を発行し、その時点のアドレスを SDRAM に対する入力データとして使用します。表 2 に、エリア 3 空間における SDRAM モードレジスタのライト時のアクセスアドレスの例を示します。他の組み合わせについてはハードウェアマニュアルをご参照ください。

表 2 SDRAM モードレジスタ ライト時のアクセスアドレス例  
バーストリード/バーストライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FE50 0040/H'FE58 0040	H'0040
	3	H'FE50 0060/H'FE58 0060	H'0060
32 ビット	2	H'FE50 0080/H'FE58 0080	H'0080
	3	H'FE50 00C0/H'FE58 00C0	H'00C0
64 ビット	2	H'FE50 0100/H'FE58 0100	H'0100
	3	H'FE50 0180/H'FE58 0180	H'0180

本応用例では、SDRAM のモードレジスタに対し下記の設定を行います。

- バースト長: バーストリード/バーストライト (バースト長 1)
- ラップタイプ: シーケンシャル
- CAS レイテンシ: 3 サイクル

SDRAM のモードレジスタに対して書き込みを行うためには、H'FE58 0180 に対して、任意のデータのバイトライトを行います (このときのライトデータは無視されます)。このバイトライト動作により、SDRAM に対し下記コマンドが順次発行されます。

- (1) 全バンクプリチャージコマンド (PALL) 発行  
PALL と 1 回目の REF の間に SDWCR の TRP[1:0] ビットにより設定されたアイドルサイクル ( $T_{pw}$ ) が挿入されます。
- (2) オートリフレッシュコマンド (REF) を 8 回発行  
REF コマンド発行後に SDWCR の TRC[2:0] ビットにより設定されたアイドルサイクル ( $T_{rc}$ ) が挿入されます。
- (3) モードレジスタセットコマンド (MRS) 発行

## 2.4 バスステートコントローラの設定例

表 3 に SH7722, SH7731 の SDRAM 用クロックが 106.66MHz 動作時のバスステートコントローラの設定例を示します。各レジスタの詳細については、「SH7731 ハードウェアマニュアル (RJJ09B0518)」または「SH7722 ハードウェアマニュアル (RJJ09B324)」の「SDRAM 用バスステートコントローラ (SBSC)」の章を参照ください。

表 3 SDRAM 用バスステートコントローラの設定例

レジスタ名	アドレス	設定値	機能
SDRAM コントロールレジスタ 0 (SDCR0)	H'FE40 0008	H'0002 0809	<ul style="list-style-type: none"> <li>バースト長 BL = 0: バースト長 1</li> <li>データバス幅指定 SZ[1:0] = "B'10": 64 ビット</li> <li>ロウアドレスビット数 ROW[1:0] = "B'10": 12 ビット</li> <li>カラムアドレスビット数 COL[1:0] = "B'01": 9 ビット</li> </ul>
SDRAM ウェイトコントロールレジスタ 1 (SDWCR)	H'FE40 000C	H'0015 4D0C	<ul style="list-style-type: none"> <li><math>\overline{\text{RAS}}</math>-<math>\overline{\text{RAS}}</math> アサート遅延時間 TRRD[1:0] = "B'01": 2 サイクル</li> <li><math>\overline{\text{RAS}}</math> アクティブ時間 TRAS[2:0] = "B'100": 5 サイクル</li> <li>プリチャージ-ACTV コマンド遅延時間 TRP[1:0] = "B'10": 3 サイクル</li> <li>ACTV コマンド-READ(A)/WRITE(A)コマンドサイクル数 TRCD[1:0] = "B'10": 4 サイクル</li> <li>CAS レイテンシ CL[1:0] = "B'010": 3 サイクル</li> <li>WRITEA/WRITE コマンド-オートプリチャージ/PRE コマンドサイクル数 TRWL[1:0] = "B'01": 2 サイクル</li> <li><math>\overline{\text{RAS}}</math> サイクル時間 TRC[2:0] = "B'100": 12 サイクル</li> </ul>
SDRAM 端子コントロールレジスタ (SDPCR)	H'FE40 0010	H'0000 0087	<ul style="list-style-type: none"> <li>初期設定のまま</li> </ul>
リフレッシュタイマコントロール/ステータスレジスタ (RTCSCR)	H'FE40 0014	H'A55A 0010	<ul style="list-style-type: none"> <li>リフレッシュカウントオーバーフローリミットセレクト LMTS[1:0] = "B'00": カウントリミット値 2048</li> <li>クロックセレクト CKS[2:0] = "B'010": B3<math>\phi</math>/16</li> <li>リフレッシュ回数 RRC[2:0] = "B'000": 1 回</li> </ul>
リフレッシュタイマコンスタントレジスタ (RTCOR)	H'FE40 001C	H'A55A 0064	<ul style="list-style-type: none"> <li>カウンタの上限値 "H'64"</li> </ul>
SBSC タイミング制御レジスタ (SBSCR)	H'A405 0186	H'0044	<ul style="list-style-type: none"> <li>SBSC 高速モード選択 SBS6 = 1: SBSC 高速モード</li> <li>HPCLK 選択 SBS2 = 1: 高速用</li> </ul>

【注】 \* 本設定例では上記に記載する以外のレジスタは初期設定のままです。

## 2.5 SDRAM のタイミング設定参考例

SDRAM を接続する場合には、使用する SDRAM のアクセススピード (CAS レイテンシ) やその他 AC 特性に応じたウェイトサイクルを設定する必要があり、また SDRAM に必要なリフレッシュを設定する必要もあります。ここではウェイトサイクル、リフレッシュサイクルの設定の要点について設定参考例を示します。

なお、参考例の SH7722, SH7731 の動作条件は、SDRAM 用クロック 106.66MHz (tcyc = 9.37ns) です。

また SH7722, SH7731 および SDRAM の AC 特性に関しては、各デバイスのデータシートを参照ください。SDRAM は HPCLK の立ち上がりを起点として動作します。

### 2.5.1 各サイクルの説明

(1) リード動作において、SH7722, SH7731 は下記の動作を行います。

- Tr: ACTV コマンド発行
- Trw: ACTV コマンドから、READ(A) / WRIT(A)コマンド間のウェイトサイクル  
SDWCR の TRCD[1:0]ビットにより設定されたサイクル数から 1 を引いたウェイトサイクルが挿入されます。
- Tc: READ(A)コマンド発行
- Tcw: Tc サイクルから Td サイクル間のウェイトサイクル  
SDRAM の CAS レイテンシに相当します。SDWCR の CL[2:0]によって設定されたレイテンシが挿入されます。
- Td: リードデータ取り込み
- Tap: オートプリチャージ完了待ちウェイトサイクル  
SDWCR の TRP[1:0]ビットにより設定されたサイクル数から 1 を引いたウェイトサイクルが挿入されます。

(2) ライト動作において、SH7722, SH7731 は下記の動作を行います。

- Tr: ACTV コマンド発行
- Trw: ACTV コマンドから、READ(A) / WRIT(A)コマンド間のウェイトサイクル  
SDWCR の TRCD[1:0]ビットにより設定されたサイクル数から 1 を引いたウェイトサイクルが挿入されます。
- Tc: WRIT (A)コマンド発行
- Trwl: オートプリチャージ起動待ちウェイトサイクル  
SDWCR の TRWL[1:0]ビットにより設定されたウェイトサイクルが挿入されます。
- Tap: オートプリチャージ完了待ちウェイトサイクル  
SDWCR の TRP[1:0]ビットにより設定されたサイクル数から 1 を引いたウェイトサイクルが挿入されます。

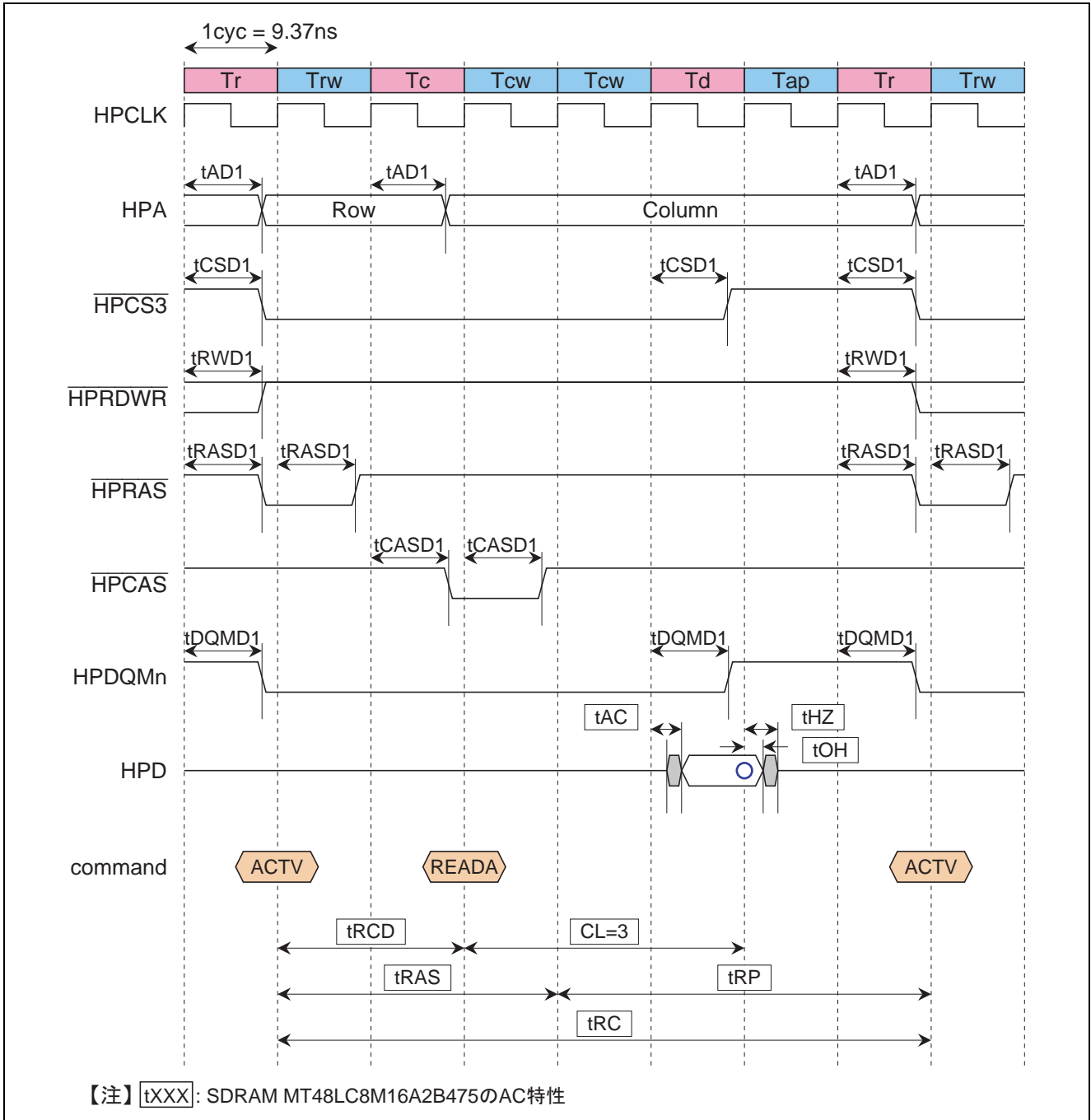


図4 SDRAM シングルリードタイミング例

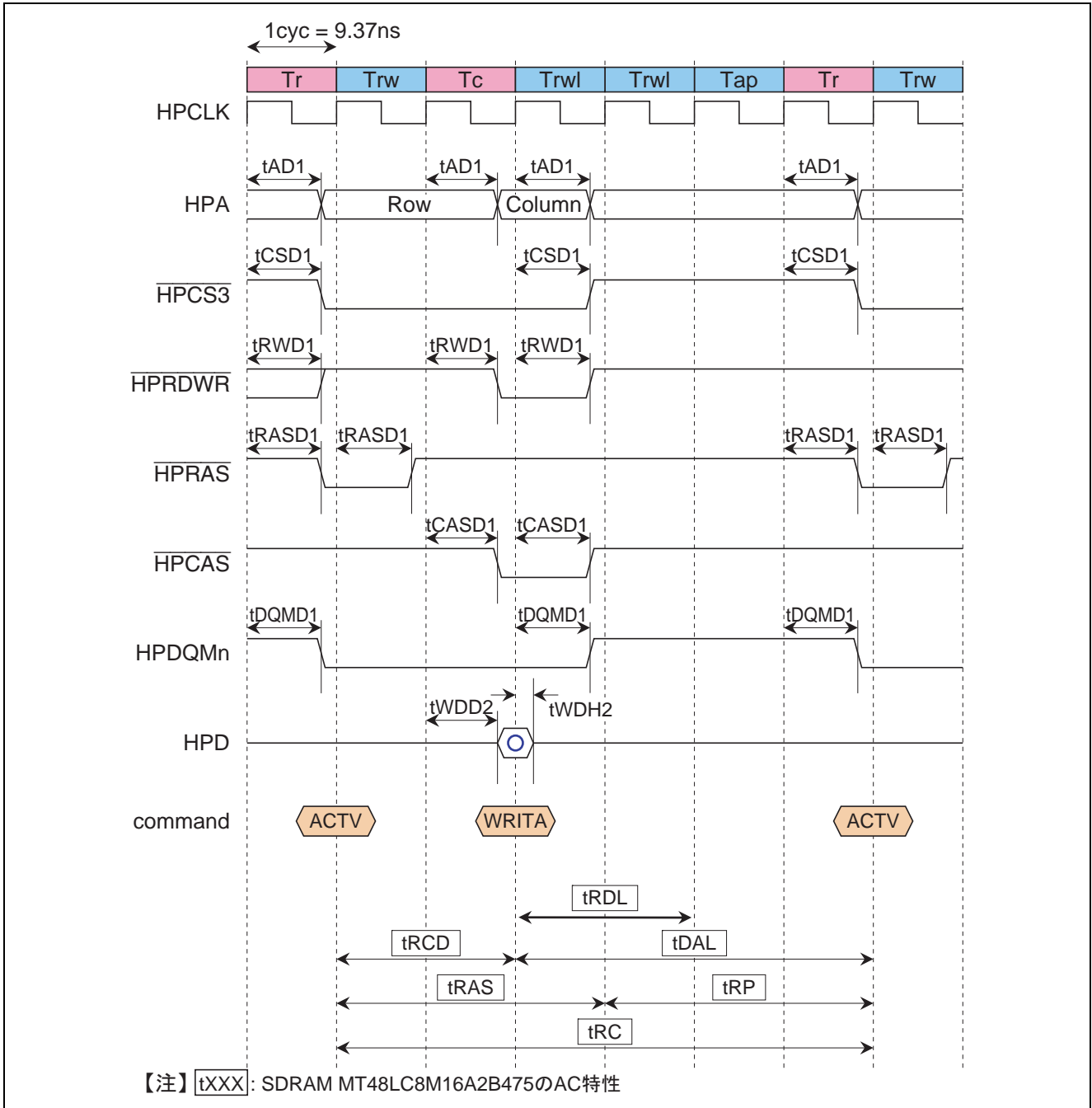


図5 SDRAM シングルライトタイミング例

## 2.5.2 アクセスウェイトサイクル

- (1) Tr サイクルと Tc サイクル間にウェイトサイクル (Trw) を設定します。
- (2) Tde サイクルと Tr サイクル間にウェイトサイクル (Tap) を設定します。
- (3) オートプリチャージが起動されるまでのウェイトサイクル (Trwl) を設定します。

本設定において、SH7722, SH7731 と使用する SDRAM のバスタイミングを満たしていることを確認します。  
(参考例では Trw = 3, Tap = 2, Trwl = 2, tcyc = 9.37ns, CL = 3 を設定しています。)

なお、下記計算式に使用している Tr, Tc, Td は tcyc とします。

SDRAM の tRC (リードサイクル時)

$$tRC (\text{min}) \leq (tcyc \times Trw) + (Tc) + (tcyc \times (CL - 1)) + (Td) + (tcyc \times Tap) + (Tr) \dots\dots\dots (図 4)$$

$$* Tr = Tc = Td = Tde = tcyc$$

SDRAM の tRAS (ローアクティブ時間)

$$tRAS (\text{min}) \leq (tcyc \times Trw) + (Tc) + (tcyc \times BC)$$

\* BC: バーストアクセス回数 (バースト長 1 アクセスを繰り返す回数)

SDRAM の tRCD (RAS-CAS への遅延時間)

$$tRCD (\text{min}) \leq (tcyc \times Trw) + (Tc) \dots\dots\dots (図 4)$$

SDRAM の tRP (ロウプリチャージ時間/リードサイクル時)

$$tRP (\text{min}) \leq (tcyc \times (CL - 2)) + (Td) + (tcyc \times Tap) + (Tr) \dots\dots\dots (図 4)$$

SDRAM の tRC (ライトサイクル時)

$$tRC (\text{min}) \leq (tcyc \times Trw) + (tcyc \times BC) + (tcyc \times Trwl) + (tcyc \times Tap) + (Tr) \dots\dots\dots (図 5)$$

\* BC: バーストアクセス回数 (バースト長 1 アクセスを繰り返す回数)

SDRAM の tRP (ロウプリチャージ時間/ライトサイクル時)

$$tRP (\text{min}) \leq (tcyc \times Tap) + (Tr) + (tcyc \times (Trwl - 1)) \dots\dots\dots (図 5)$$

SDRAM の tRDL (ライトリカバリ時間)

$$tRDL (\text{min}) \leq (tcyc \times Trwl) \dots\dots\dots (図 5)$$

SDRAM の tDAL (データ入力後から Act への遅延時間)

$$tDAL (\text{min}) \leq (tcyc \times Trwl) + (tcyc \times Tap) + (Tr) \dots\dots\dots (図 5)$$

### 2.5.3 リフレッシュサイクル

SDRAM に対してリフレッシュを実施する間隔時間 (tREF) を設定します。

SDRAM の tREF (リフレッシュ間隔時間)

$$t_{REF} (\text{max}) \geq t_{cyc} \times \text{CKS} \times \text{RTCOR} \times \text{Ref\_Cyc}$$

【注】 SDRAM の仕様で、64ms (tREF) 期間内に 4096 回 (Ref\_Cyc) リフレッシュを行う必要があるため、上記の計算式を満たす必要があります。【参考】の結果より、tREF (64ms)  $\geq$  61.44ms となるため条件は満たしています。

【参考】  $t_{cyc} = 1/B3\phi$

$t_{cyc} = 9.37\text{ns}$ ,  $\text{CKS} = 16$ ,  $\text{RTCOR} = 100$ ,  $\text{Ref\_Cyc} = 4096$  とすると、

リフレッシュカウンタのクロック周期:  $t_{cyc} \times \text{CKS} = 150.00 (\text{ns})$

1 回当たりのリフレッシュ間隔時間:  $t_{cyc} \times \text{CKS} \times \text{RTCOR} = 15.00 (\mu\text{s}) *$

4096 回のリフレッシュ間隔時間:  $t_{cyc} \times \text{CKS} \times \text{RTCOR} \times \text{Ref\_Cyc} = 61.44 (\text{ms})$

【注】 \* バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。このようなリフレッシュするタイミングが遅れる場合を考慮して、本設定例では、RTCOR の設定に余裕を持たせています。

### 3. 参考ドキュメント

- ソフトウェアマニュアル  
SH-4A ソフトウェアマニュアル (RJJ09B0090)  
(最新版をルネサス テクノロジホームページから入手してください)
- ハードウェアマニュアル  
SH7722 グループ ハードウェアマニュアル (RJJ09B0324)  
(詳細は担当営業までお問い合わせください)
- ハードウェアマニュアル  
SH7731 グループ ハードウェアマニュアル (RJJ09B0518)  
(最新版をルネサス テクノロジホームページから入手してください)



## ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/inquiry>[csc@renesas.com](mailto:csc@renesas.com)

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.12.17	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事事務の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
  - 1 1. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
  - 1 2. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
  - 1 3. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444