

---

# RX631 グループ

R01AN2207JJ0100

Rev.1.00

## SH7044⇒RX631 マイコン移行ガイド

---

2014.09.30

### 要旨

本アプリケーションノートは、SH7044 から RX631 への置き換えを行う場合の注意点、並びに相違点等を説明しています。なお、各機能の詳細な情報は最新のユーザーズマニュアル ハードウェア編にてご確認ください。

### 動作確認デバイス

RX631/RX63N

### 目次

1. CPUアーキテクチャ.....	2
2. 内蔵機能.....	28
3. サンプルコードについて.....	110
4. 参考資料.....	112

## 1. CPUアーキテクチャ

### 1.1 レジスタ

SH7044 と RX631 のレジスタの相違点を以下に示します。

#### 1.1.1 汎用レジスタ

SH7044 と RX631 は、ともに 32 ビット長の汎用レジスタを 16 本備えています。相違点としては、スタックポインタ (SP) として使用されるレジスタが異なります。

- SH7044 : R15
- RX631 : R0

SH7044 側の R0 は、インデックスレジスタとしても使用します。

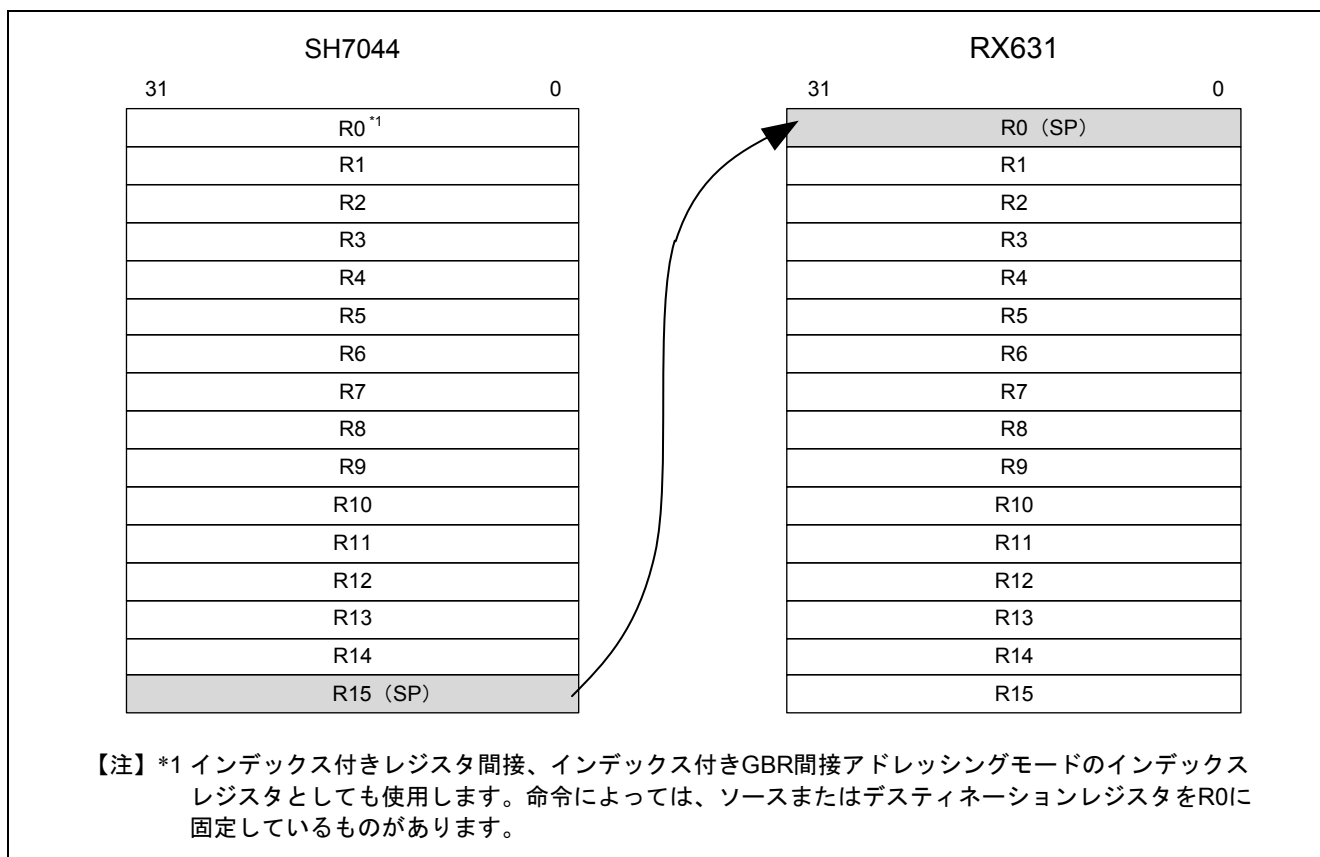


図1.1 汎用レジスタ相違点

## 1.1.2 制御レジスタ

SH7044 と RX631 の制御レジスタは図 1.2 に示す様な相違点があります。

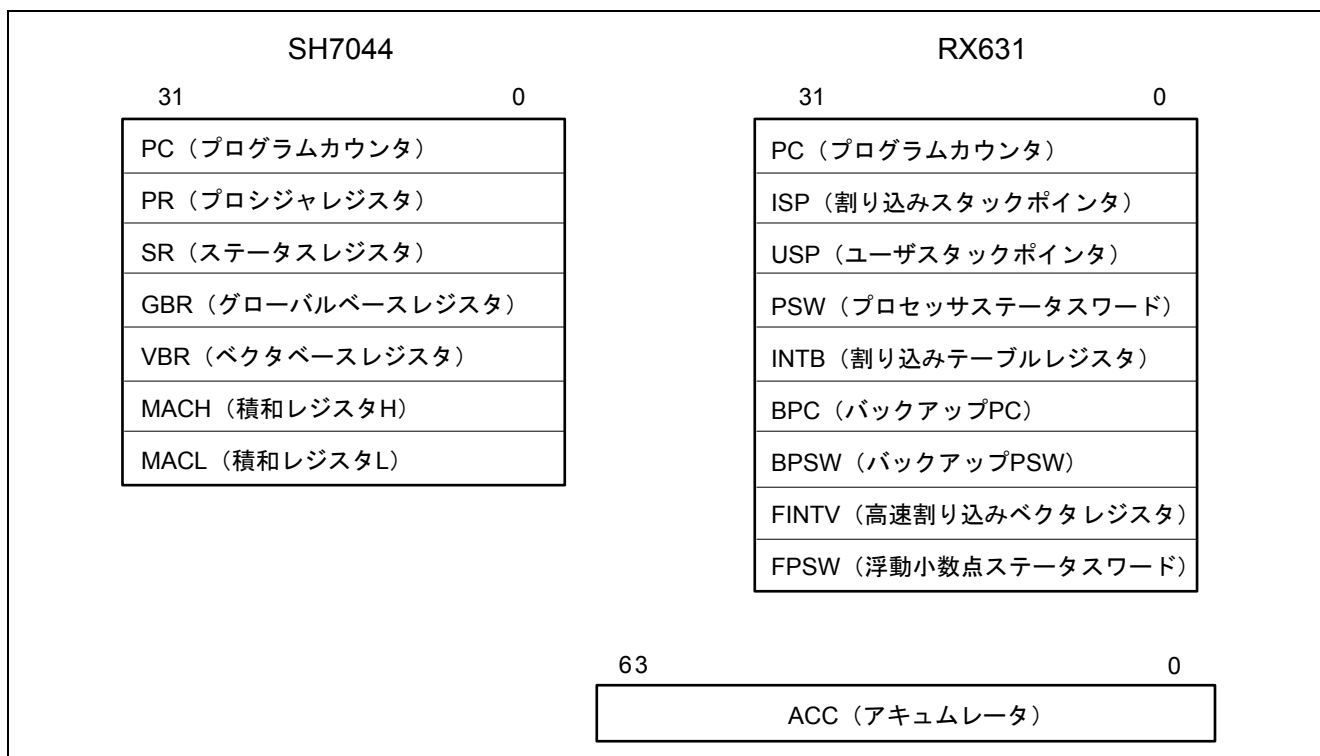


図1.2 制御レジスタの相違点

SH7044 の PR および GBR に相当するレジスタは RX631 にはありません。SH7044 の MACH および MACL に相当するレジスタとして、RX631 には ACC があります。以下に、SH7044 にはない RX631 の制御レジスタについて概要を示します。

- 割り込みスタックポインタ/ユーザスタックポインタ (ISP/USP)  
スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の 2 種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。
- 割り込みテーブルレジスタ (INTB) \*<sup>1</sup>  
可変ベクタテーブルの先頭アドレスを指定します。
- バックアップ PC/バックアップ PSW (BPC/BPSW)  
RX631 は通常割り込みと高速割り込みがあります。高速割り込みでは、PC と PSW の内容を専用レジスタ (BPC と BPSW) へ退避するため、レジスタ退避の処理時間を短縮することが可能です。なお、BPC、BPSW は多重割り込みには対応していません。
- 高速割り込みベクタレジスタ (FINTV)  
高速割り込み発生時のジャンプ先を指定するレジスタです。
- 浮動小数点ステータスワード (FPSW)  
RX631 内蔵 FPU の演算結果 (浮動小数点演算結果) の各種ステータスを示すレジスタです。

【注】 \*<sup>1</sup> 機能は SH7044 の VBR と同等です。

- ステータスレジスタの相違点

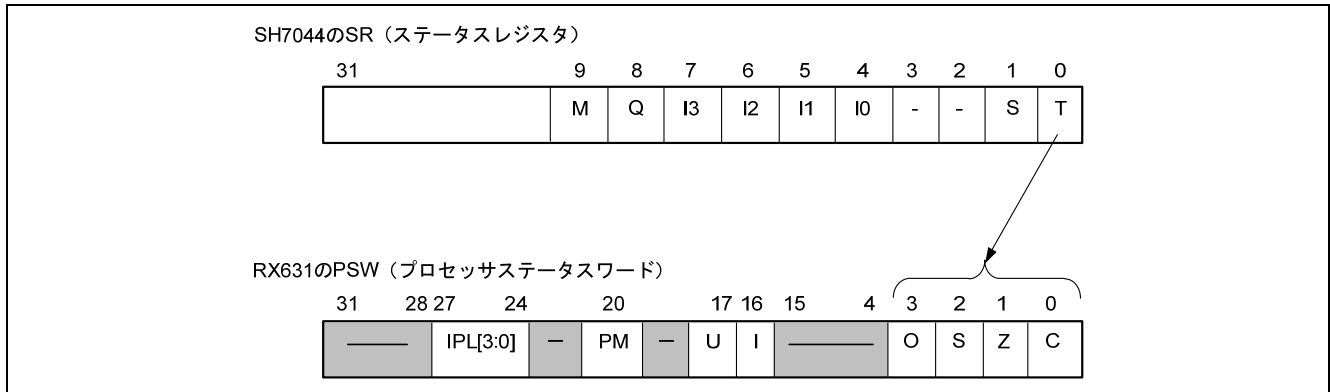


図1.3 SR (SH7044) と PSW (RX631) の相違点

表 1.1 SR (SH7044) と PSW (RX631) の相違点

SR ビット名	PSW ビット名	説明
T	C	SH7044 の T ビットで示される演算結果 (真偽やキャリ等) は、RX631 では C,Z,S,O の 4 つのフラグで示されます。 C: キャリフラグ (0/1=キャリ発生なし/キャリ発生あり) Z: ゼロフラグ S: サイン O: オーバフローフラグ
	Z	
	S	
	O	
S	—	SH7044 の DSP ユニットで実行される ALU 算術演算におけるオーバフロー防止機能を制御します。 RX631 には S ビットに相当するビットはなく、浮動小数点演算でのオーバフロー発生時は FPSW のフラグで通知されます。またオーバフロー発生時に例外処理を行うことも可能です。
I0,I1,I2,I3	IPL[3:0]	割り込みマスクビットです。 SH7044、RX631 共に 0 (最低) ~15 (最高) レベルが設定可能で、この設定よりも優先レベルが高い割り込みだけが受け付けられます。
Q	—	SH7044 の Q ビットは DIV0U、DIV0S、DIV1 命令で使用しますが、RX631 には相当するビットはありません。
M	—	SH7044 の M ビットは DIV0U、DIV0S、DIV1 命令で使用しますが、RX631 には相当するビットはありません。
—	I	割り込み許可ビット 0: 割り込みを許可しない 1: 割り込みを許可する RX631 で割り込み要求の受け付けを許可するビットです。初期状態は“0”のため、割り込みを受け付ける場合は本ビットを“1”に設定する必要があります。また例外を受け付けると、このビットは“0”になり、その間割り込みは受け付けません。 このビットの設定に関係なく、割り込み要求発生時は、割り込みコントローラの割り込みステータスフラグはリセットされます。
—	U	RX631 で使用するスタックポインタを指定するビットです。 0: 割り込みスタックポインタ (ISP) 1: ユーザスタックポインタ (USP) 例外を受け付けると、このビットは“0”になります。
—	PM	RX631 でプロセッサモードを設定するビットです。 0: スーパーバイザモード 1: ユーザモード 例外を受け付けると、このビットは“0”になります。

## 1.2 オプション設定メモリ

RX631 には、エンディアンやウォッチドッグタイマ動作等リセット後のマイコンの状態を選択するレジスタを備えたオプション設定メモリがあります。オプション設定メモリは ROM 上にあり、プログラムによる書き換えは出来ません。プログラム書き込み時に、適切な値をあわせて書き込む必要があります。

### 1.2.1 オプション設定メモリの概要

オプション設定メモリ領域の概要を示します。

アドレス	b31	b0
	...	レジスタの概要
FF7F FFE8h~ FF7F FFEFh	UBコードA	ユーザブートモードを使用するときに必要なコード (USBブートモードをそのまま使用するときには書き換えしないでください)
FF7F FFF0h~ FF7F FFF7h	UBコードB	
FF7F FFF8h~ FF7F FFFBh	エンディアン選択レジスタB (MDEB) (ユーザブートモード時)	CPUのエンディアン設定を行うレジスタ
	—	—
FFFF FF80h~ FFFF FF83h	エンディアン選択レジスタS (MDES) (シングルチップモード時)	CPUのエンディアン設定を行うレジスタ
	—	—
FFFF FF88h~ FFFF FF8Bh	オプション機能選択レジスタ1 (OFS1)	OFS1レジスタでは以下2項目の設定を行う <ul style="list-style-type: none"> <li>リセット後の電圧監視0リセットの有効/無効</li> <li>リセット後のHOCO発振の有効/無効</li> </ul>
FFFF FF8Ch~ FFFF FF8Fh	オプション機能選択レジスタ0 (OFS0)	OFS0レジスタでは、独立ウォッチドッグタイマ (IWDT)、およびウォッチドッグタイマ (WDT) の設定を行う
	...	—

図1.4 オプション設定メモリ領域

以下にオプション設定メモリの設定例を示します。

```

/* シングルチップモードでのビッグエンディアン設定 */
#define __BIG
#pragma address MDEreg=0xffffffff80 // MDE register (Single Chip Mode)
#ifdef __BIG
    const unsigned long MDEreg = 0xffffffff8; // big
#else
    const unsigned long MDEreg = 0xffffffff; // little
#endif

```

図1.5 エンディアン設定例

以下に OFS0/1 の設定例を示します。（下記のコードは自動生成されたファイルに含まれます）

```
#pragma address OFS1_REG = 0xFFFFFFFF88 /* OFS1 register */
const unsigned long OFS1_REG = 0xFFFFFFFF;

#pragma address OFS0_REG = 0xFFFFFFFF8C /* OFS0 register */
const unsigned long OFS0_REG = 0xFFFFFFFF;
```

図1.6 OFS0/1 の設定例

## 1.2.2 エンディアンの設定

SH7044 は、ビッグエンディアン固定です。RX631 は、命令はリトルエンディアン固定、データ配置はリトルエンディアン、ビッグエンディアンから選択できます。このエンディアン設定は、オプション設定メモリの MDES および MDEB レジスタのエンディアン選択ビット MDE[2:0] で設定します。

SH7044 から RX631 に置き換える際にビッグエンディアンを使用する場合、ルネサス純正コンパイラのオプション設定でビッグエンディアンを指定することができ、プログラム上でエンディアンを意識せずに移行可能です。

外部アドレス空間では、CS 領域ごとにエンディアン設定を切り替えられます。但し、外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。（詳細はユーザーズマニュアル ハードウェア編を参照）

実際には図 1.5 エンディアン設定例の様なコードは、コンパイラオプションの設定で自動的に生成されま  
す。\*1

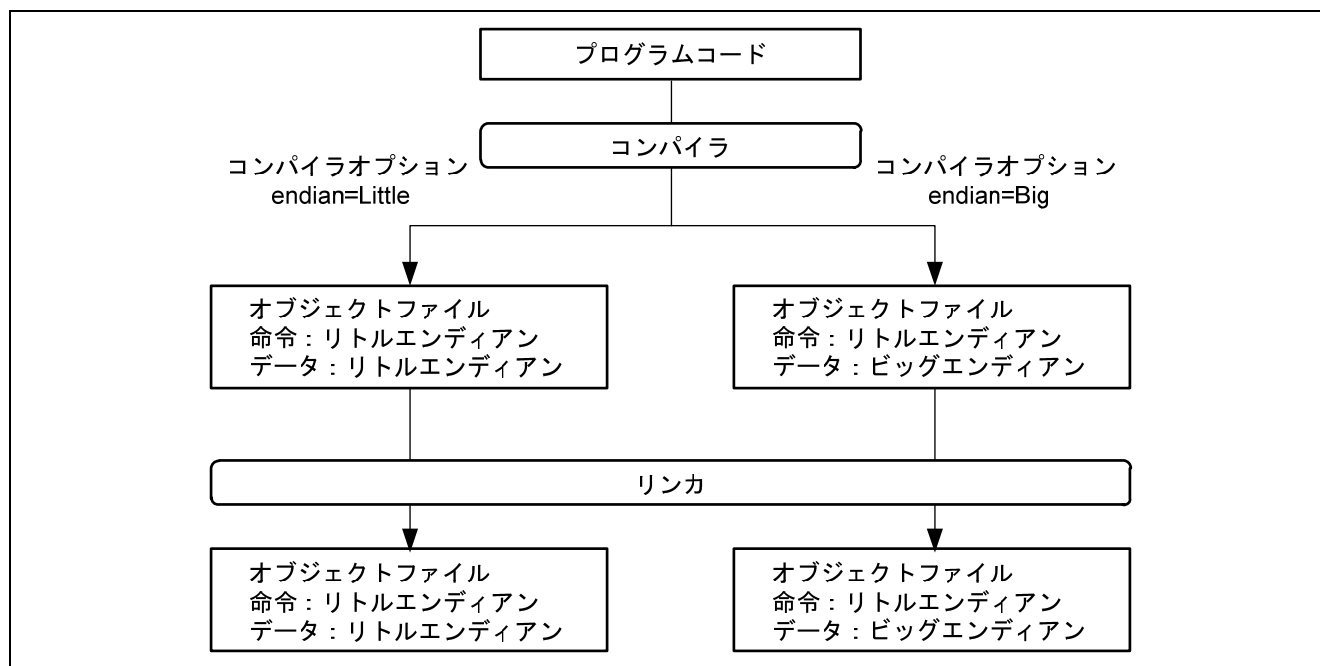


図1.7 コンパイラオプションによるエンディアン指定

【注】 \*1 自動的に生成されるファイルは、3.1 章のサンプルコードの動作環境で動作します。

## 1.3 リセット機能

### 1.3.1 リセット要因

SH7044 と RX631 のリセット要因を表 1.2 に示します。

表1.2 リセット要因

	SH7044	RX631
リセット種別	<ul style="list-style-type: none"> <li>● パワーオンリセット（端子リセット）</li> <li>● マニュアルリセット（端子リセット）</li> </ul>	<ul style="list-style-type: none"> <li>● RES#端子リセット</li> <li>● パワーオンリセット（内部リセット）</li> <li>● 電圧監視 0 リセット</li> <li>● 電圧監視 1 リセット</li> <li>● 電圧監視 2 リセット</li> <li>● ディープソフトウェアスタンバイリセット</li> <li>● 独立ウォッチドッグタイマリセット</li> <li>● ウォッチドッグタイマリセット</li> <li>● ソフトウェアリセット</li> </ul>

#### (1) リセットベクタの構成

SH7044 はパワーオンリセット用とマニュアルリセット用のベクタ\*1 (PC および SP) が別々に存在します。

RX631 は複数のリセット要因に対して、リセットベクタはひとつです。リセット処理内でリセットステータスレジスタ 0~2 にてリセット要因判定を行い、要因別の処理を行います。

#### (2) スタックポインタ

SH7044 ではリセットベクタにスタック領域の最後尾(+1)の番地を設定する必要があります。RX631 では、ベクタテーブルにスタックポインタの設定領域がないので、ISP と USP に設定する必要があります。

【注】 \*1 ベクタテーブルに関しては、1.7.4 節のベクタ構成を参照

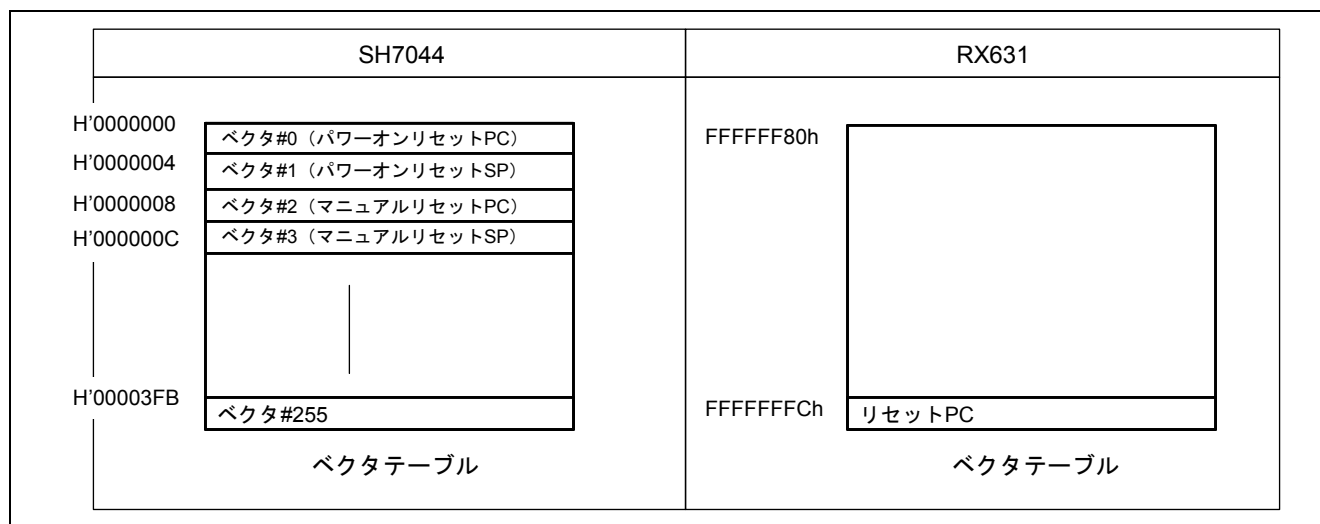


図1.8 SH7044 と RX631 のリセットベクタ

## 1.3.2 リセット要因と初期化範囲

SH7044 と RX631 ではリセット要因に対する初期化範囲も異なります。SH7044 のリセット種別と初期化範囲を表 1.3 に、RX631 のリセット種別と初期化範囲（詳細はユーザーズマニュアル ハードウェア編を参照）を表 1.4 に示します。

表1.3 SH7044 リセット要因と初期化範囲

項目	パワーオンリセット	マニュアルリセット
CPU	○	○
内蔵周辺モジュール	○	—

○：初期化する —：初期化しない

表1.4 RX631 リセット要因と初期化範囲

リセット対象	リセット要因								
	RES#端子 リセット	パワーオン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイ マリセット	ウォッチ ドッグタイ マリセット	電圧監視1 リセット	電圧監視2 リセット	ディープソ フトウェア スタンバイ リセット	ソフトウェ アリセット
パワーオンリセット検出フラグ	○	—	—	—	—	—	—	—	—
コールドスタート/ ウォームスタート判別フラグ	—	○	—	—	—	—	—	—	—
電圧監視0リセット検出フラグ	○	○	—	—	—	—	—	—	—
独立ウォッチドッグタイ マリセット検出フラグ	○	○	○	—	—	—	—	○	—
独立ウォッチドッグタイマの レジスタ	○	○	○	—	—	—	—	○	—
ウォッチドッグタイマ マリセット検出フラグ	○	○	○	○	—	—	—	○	—
ウォッチドッグタイマの レジスタ	○	○	○	○	—	—	—	○	—
電圧監視1リセット検出フラグ	○	○	○	○	○	—	—	—	—
電圧監視機能1のレジスタ	○	○	○	○	○	—	—	*1	—
電圧監視2リセット検出フラグ	○	○	○	○	○	○	—	—	—
電圧監視機能2のレジスタ	○	○	○	○	○	○	—	*2	—
ディープソフトウェアスタンバイ マリセット検出フラグ	○	○	○	○	○	○	○	—	—
ソフトウェアマリセット検出フラグ	○	○	○	○	○	○	○	○	—
リアルタイムクロックの レジスタ	—	—	—	—	—	—	—	—	—
高速オンチップオシレータ関連の レジスタ	○	○	○	○	○	○	○	—	○
メインクロック発振器関連の レジスタ	○	○	○	○	○	○	○	—	○
端子の状態	○	○	○	○	○	○	○	—	○
消費電力低減機能関連の レジスタ	○	○	○	○	○	○	○	—	○
上記以外のレジスタ、 CPU および内部状態	○	○	○	○	○	○	○	○	○

○：初期化する —：変化しない

【注】 \*1 LVD1CR1、LVD1SR のみ初期化する

\*2 LVD1CR2、LVD2SR のみ初期化する



## 1.4 クロック設定

### 1.4.1 クロック源

SH7044 と RX631 のクロック源一覧とクロック発生回路を示します。

表1.5 SH7044 RX631 クロック源一覧

SH7044	RX631
<ul style="list-style-type: none"> <li>発振器 (EXTAL、XTAL) +PLL 回路</li> </ul>	<ul style="list-style-type: none"> <li>メインクロック発振器 (EXTAL、XTAL) +PLL 回路</li> <li>サブクロック発振器 (XCIN、XCOUT)</li> <li>高速オンチップオシレータ (HOCO)</li> <li>低速オンチップオシレータ (LOCO)</li> <li>IWDT 専用オンチップオシレータ</li> </ul>

以降、高速オンチップオシレータは HOCO、低速オンチップオシレータは LOCO と呼びます。

### 1.4.2 クロック発生回路

SH7044 はソフトによるクロックの制御は行いません。各周辺装置等はシステムクロック  $\phi$  またはプリスケアラ生成クロックに同期して動作します。RX631 は多様なクロックをソフトウェアで制御して動作します。

RX631 はリセット後、LOCO をクロックソースとして動作します。システムの初期化において、LOCO 以外の必要なクロックソースおよび PLL を動作させ、システムクロックやバスクロックを始めとする各種クロックを選択します。クロック関連の設定を変更する場合はレジスタ設定順序と、発振およびクロック発振安定時間を考慮する必要があります。

クロック設定手順の詳細については以下のアプリケーションノートを参照してください。

- RX63N グループ、RX631 グループ 初期設定例 (R01AN1245JJ)

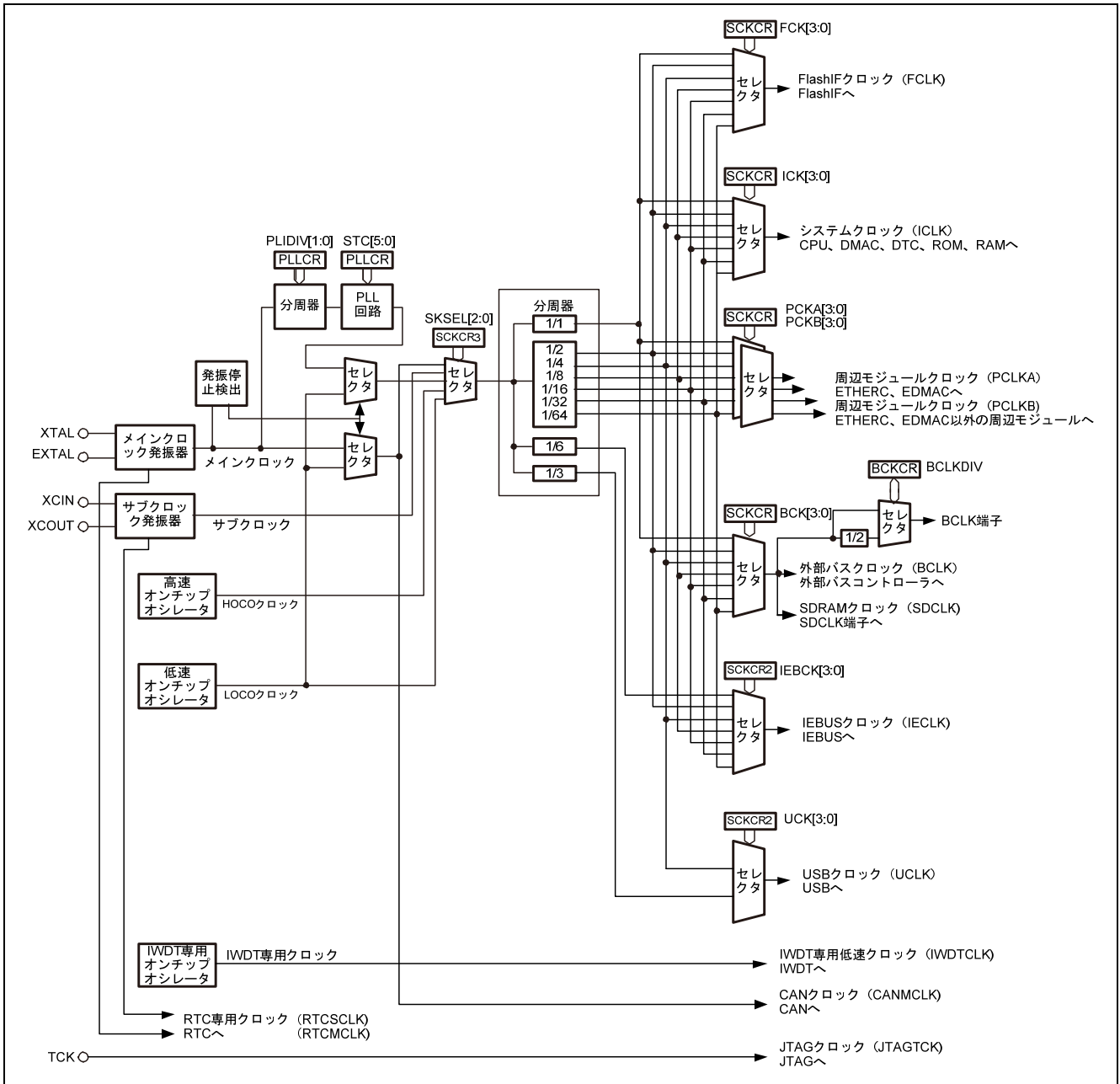


図1.9 RX631 クロック発生回路

## 1.5 動作モード

### 1.5.1 動作モードの比較

以下に、SH7044 と RX631 の動作モードの比較表を示します。

各動作モードの詳細仕様についてはユーザーズマニュアル ハードウェア編を参照してください。

表1.6 動作モードの比較

SH7044 の動作モード	RX631 の動作モード	モードの説明
MCU モード 0	内蔵 ROM 無効拡張モード	内蔵 ROM 無効で外部アドレス空間が有効な動作モード。SH7044 のモード 0 とモード 1 は外部バス幅の違い。
MCU モード 1		
MCU モード 2	内蔵 ROM 有効拡張モード	内蔵 ROM 有効で外部アドレス空間も有効なモード
シングルチップモード	シングルチップモード	内蔵 ROM 有効で外部アドレス空間は無効なモード
ブートモード	ブートモード	MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き換えプログラム（ブートプログラム）が動作するモード。 調歩同期式シリアルインタフェースを使用して、MCU 外部から内蔵フラッシュメモリを書き換えることができる。
ユーザプログラムモード	SH7044 と同等の機能を通常の動作モードで実現可能	FWP 端子値の設定変更のみで遷移し、あらかじめユーザが用意した、書き込み/消去制御プログラムで内蔵フラッシュメモリを書き換えるモード。RX631 も通常の動作モード時にこれと同等の機能を実現可能だが、端子の変更は不要。
—	USB ブートモード/ ユーザブートモード	ユーザブート領域に格納された内蔵フラッシュメモリ書き換えプログラムが動作するモード。製品出荷時のままであれば USB ブートモード、ユーザが作成したフラッシュメモリ書き換えプログラムを格納した後であればユーザブートモードになる。USB またはユーザが選択した任意のインタフェースで MCU 外から内蔵フラッシュメモリを書き換えることができる。ユーザブート領域の書換えはブートモードのみ行うことができる。

1.5.2 メモリの比較

内蔵 ROM 有効モード (RX631 の内蔵 ROM 有効拡張モード) でのメモリマップの比較を図に示します。

SH7044 内蔵ROM有効モード		RX631 内蔵ROM有効拡張モード	
0000	0000h	0000	0000h
	内蔵ROM		RAM
0004	0000h	0004	0000h
	予約領域	0008	0000h
		周辺I/Oレジスタ	
		0010	0000h
		内蔵ROM (E2データフラッシュ)	
0020	0000h	0010	8000h
	CS0領域	007F	8000h
0040	0000h		予約領域
	CS1領域	007F	A000h
0080	0000h	007F	C000h
	CS2領域		予約領域
00C0	0000h	007F	C500h
	CS3領域	007F	FC00h
0100	0000h		予約領域
	DRAM領域	0080	0000h
0200	0000h	00E0	0000h
	予約領域		内蔵ROM (プログラムROM) (書き換え専用)
FFFF	8000h	0100	0000h
	内蔵周辺モジュール		外部アドレス空間 (CS領域)
FFFF	8800h	0800	0000h
	予約領域		外部アドレス空間 (SDRAM領域)
FFFF	0000h	1000	0000h
	内蔵RAM		予約領域
FFFF		FFFFh	FEFF
			内蔵ROM (FCUファーム) (読み出し専用)
		FF00	0000h
			予約領域
		FF7F	C000h
			内蔵ROM (ユーザブート) (読み出し専用)
		FF80	0000h
			予約領域
		FFE0	0000h
			内蔵ROM (プログラムROM) (読み出し専用)
		FFFF	FFFFh

図1.10 SH7044 と RX631 のメモリマップ比較 (内蔵 ROM 有効モード)

シングルチップモードでのメモリマップの比較を図に示します。

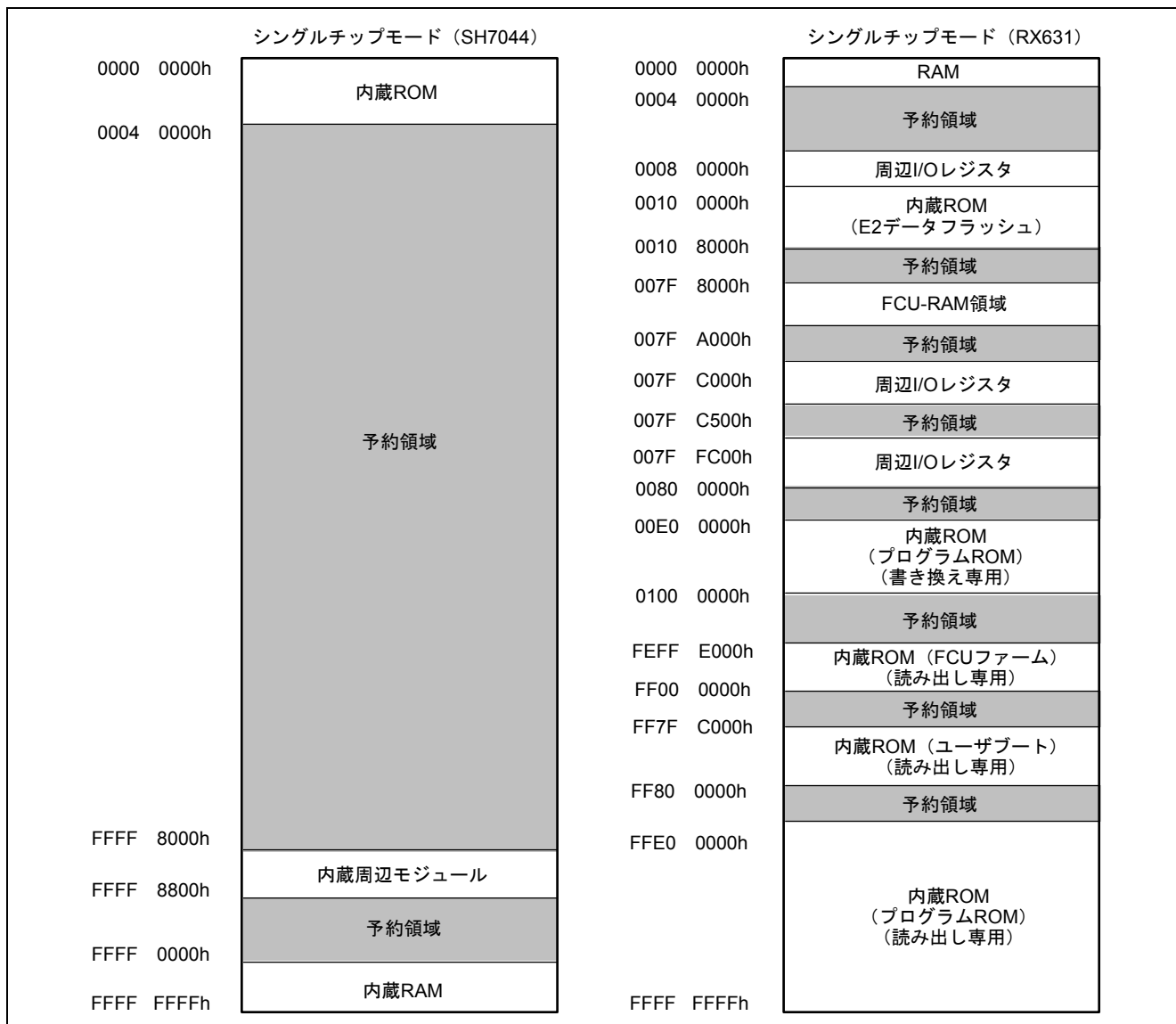


図1.11 SH7044 と RX631 のメモリマップ比較 (シングルチップモード)

内蔵 ROM 無効モードでのメモリマップの比較を図に示します。

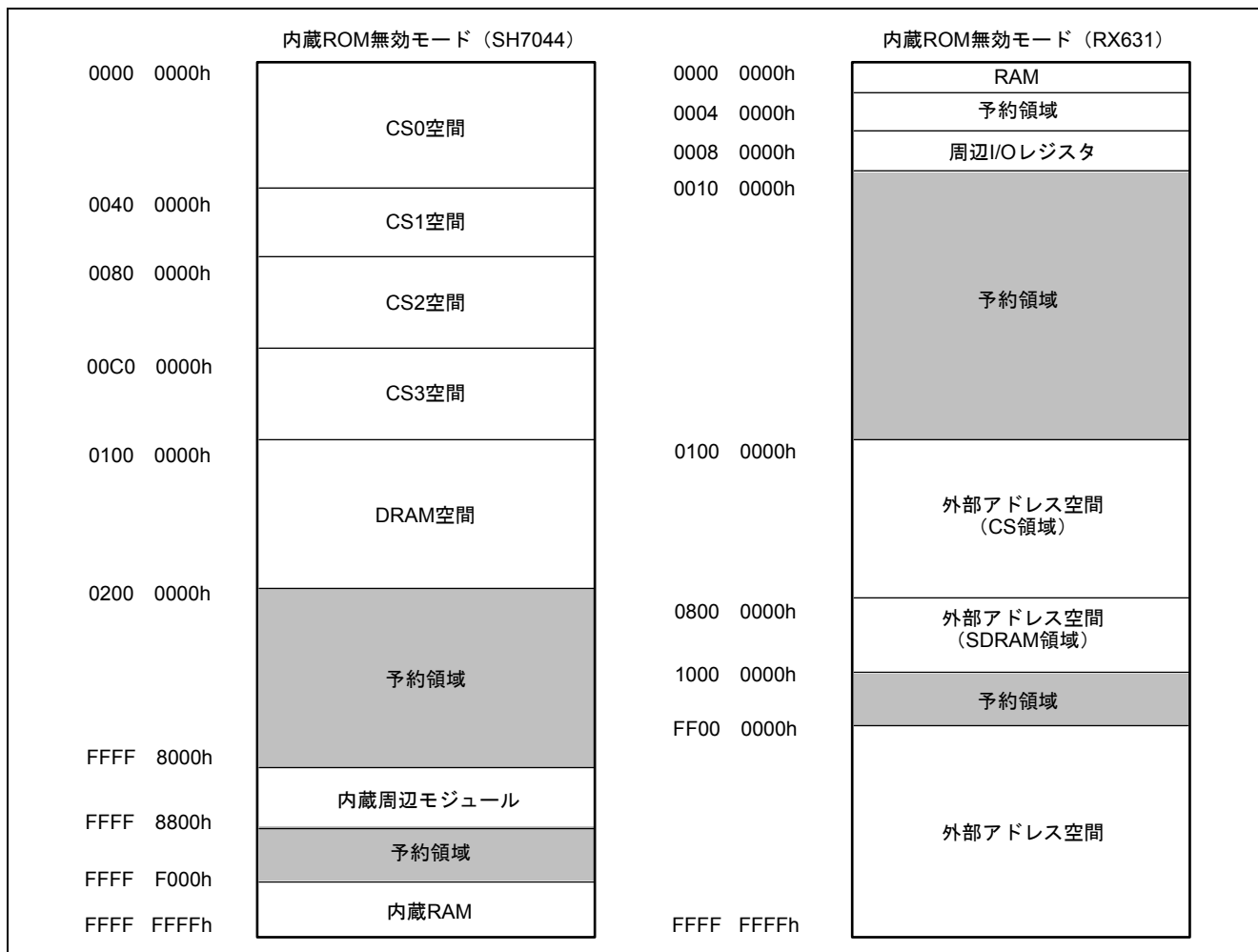


図1.12 SH7044 と RX631 のメモリマップ比較 (内蔵 ROM 無効モード)

- RX631 では RAM が 0000 0000h 番地側、ROM (読み出し用) が FFFF FFFFh 番地側に配置されています。また RX631 はデータ格納用の E2 データフラッシュを内蔵しています。
- RX631 では周辺 IO レジスタは 0008 0000h~000F FFFFh に配置されており、フラッシュ関連のレジスタと周辺クロック通知レジスタのみ 007F C000h~007F FFFFh に配置されています。
- RX631 では外部アドレス空間は 0100 0000h~0FFF FFFFh に配置されており、16M バイト毎の 7つの CS 空間と 128M バイトの SDRAM 空間で構成されます。

### 1.5.3 動作モード設定

SH7044 の動作モード設定は MD1, MD0 および FWP 端子設定のみで行うのに対し、RX631 の動作モード設定は、MD 端子および PC7 または PA6 端子のリセット解除時の状態に加え、リセット解除後にソフトウェアでの設定が必要です。

端子設定により決まる動作モードを表 1.7 に、リセット解除後にソフトウェアにより設定する動作モードを表 1.8 に示します。

表1.7 RX631 端子設定と動作モード

端子		モード名
MD	PC7* <sup>2</sup> , PA6* <sup>2</sup>	
1	—	シングルチップモード
0	0	ブートモード
	1	USB ブートモード/ユーザブートモード* <sup>1</sup>

【注】 \*1 製品出荷時、ユーザブート領域には USB ブートプログラムが格納され、USB ブートモードで立ち上がります。

\*2 パッケージ種別により端子が異なります。詳細はユーザーズマニュアル ハードウェア編を参照してください。

表1.8 RX631 SYSCR0 レジスタ設定と動作モード

SYSCR0 レジスタ		モード名
ROME ビット* <sup>1</sup>	EXBE ビット	
0 (ROM 無効)	0 (外部バス無効)	シングルチップモード (ユーザブートモード)
1 (ROM 有効) * <sup>2</sup>	0 (外部バス無効) * <sup>2</sup>	
0 (ROM 無効)	1 (外部バス有効)	内蔵 ROM 無効拡張モード
1 (ROM 有効)	1 (外部バス有効)	内蔵 ROM 有効拡張モード

【注】 \*1 一旦 ROME ビットを 0 にすると 1 に戻すことはできません。

\*2 STSCR0 レジスタのリセット後の値は ROME=1、EXBE=0

## 1.6 プロセッサモード

RX CPU には、スーパーバイザモードとユーザモードの2つのプロセッサモードがあります。このプロセッサモードを使用することで、CPU リソースに対する階層的な保護機構を実現可能です。

SH7044 からの置き換えでは、ユーザモードは使用せず、スーパーバイザモードのみで動作することで、プロセッサモードを意識せずソフトの置き換えが可能になります。

表1.9 プロセッサモード

プロセッサモード	移行条件	概要
スーパーバイザモード	<ul style="list-style-type: none"> <li>リセット解除</li> <li>例外の発生 (PSW.PM ビットが“0”に変化)</li> </ul>	すべての CPU リソースにアクセスでき、すべての命令を実行できる（制限なし）。通常は、OS 等のシステムプログラムを動作させるモード。
ユーザモード	<ul style="list-style-type: none"> <li>PSW.PM ビットに“1”を設定</li> </ul> <p>但し、この時はスタックに退避した PSW.PM ビットを“1”にした後 RTE 命令を実行、または BPSW に退避した PSW.PM ビットを“1”にした後 RTFI 命令を実行。</p>	PSW の一部のビットや BPC、BPSW など、一部の CPU リソースへのライトアクセスが制限され、特権命令も使用できない。通常は、アプリケーションプログラム等のユーザプログラムを動作させるモード。

### スーパーバイザモード⇒ユーザモード移行方法

```

MVFC    PSW,R1          ; RTE 命令で例外からの復帰に見せかける処理
OR      #00100000h,R1  ;
PUSH.L  R1              ;
MVFC    PC,R1          ;
ADD     #10,R1         ;
PUSH.L  R1              ;
RTE
NOP
NOP

```

### ユーザモード⇒スーパーバイザモード移行方法

例外処理を発生させると、スーパーバイザモードに移行します。但し、例外処理から復帰するとユーザモードに再度移行します。

スーパーバイザモードへの移行には、無条件トラップを発生させる INT 命令、BRK 命令を利用する方法があります。



## 1.7 例外処理

割り込みを含む例外処理全般について SH7044 と RX631 の相違点を記載します。

### 1.7.1 例外処理の種類

SH7044 と RX631 の例外要因の比較を示します。

表1.10 SH7044 と RX631 の例外要因

SH7044	RX631	主な相違点
パワーオンリセット マニュアルリセット	リセット	SH7044 ではパワーオンリセット、マニュアルリセットそれぞれにベクタがある。 RX631 ではリセットベクタは一つであり、リセット割り込み処理内でリセットステータスレジスタ 0~2 を確認し、リセット要因を判別して適切な処理を行う。
アドレスエラー	アクセス例外	SH7044 では、アクセス禁止領域またはアクセスが禁止された番地からのアクセス時に発生。 RX631 では、メモリプロテクションエラー時に発生。 SH7044 では、本例外発生時は次命令の PC を退避。 RX631 では、例外発生命令の PC を退避。
割り込み (NMI)	ノンマスクابل割り込み	なし
割り込み (外部/内部)	割り込み (外部/内部)	RX631 は高速割り込みもあり (レベル 15)
トラップ命令 (TRAPA 命令)	無条件トラップ (INT、BRK 命令)	SH7044 では 32 要因、RX631 では専用ベクタ 16 要因、割り込みと兼用も含めると最大 256 要因。
一般不当命令	未定義命令	特権命令例外、浮動小数点例外に相当する例外は SH7044 にはない。
スロット不当命令	特権命令	SH7044 では、本例外発生時は次命令の PC を退避、RX631 では例外発生命令の PC を退避。
—	浮動小数点例外	

### 1.7.2 例外処理の優先順位

SH7044 と RX631 の例外要因に対する優先順位の比較を示します。

表1.11 例外事象優先順位

優先順位	SH7044	RX631	備考
↑ 高い	パワーオンリセット	リセット	
	マニュアルリセット	ノンマスクابل割り込み	
	アドレスエラー例外	割り込み (内部/外部)	
	割り込み (NMI)	命令アクセス例外	
	割り込み (外部/内部)	未定義命令例外 特権命令例外	
	トラップ命令	無条件トラップ	
	一般不当命令例外	オペランドアクセス例外	
	低い	スロット不当命令例外	浮動小数点例外

【注】 割り込みの内の優先順位は割り込みコントローラにより決定します。

SH7044 では割り込み（内部/外部）よりもアドレスエラーの優先順位が高いのに対して RX631 では命令アクセス例外、オペランドアクセス例外ともに割り込みより優先順位が低いことに注意してください。

### 1.7.3 例外処理の基本処理フロー

SH7044 と RX631 の割り込み例外処理フローを示します。

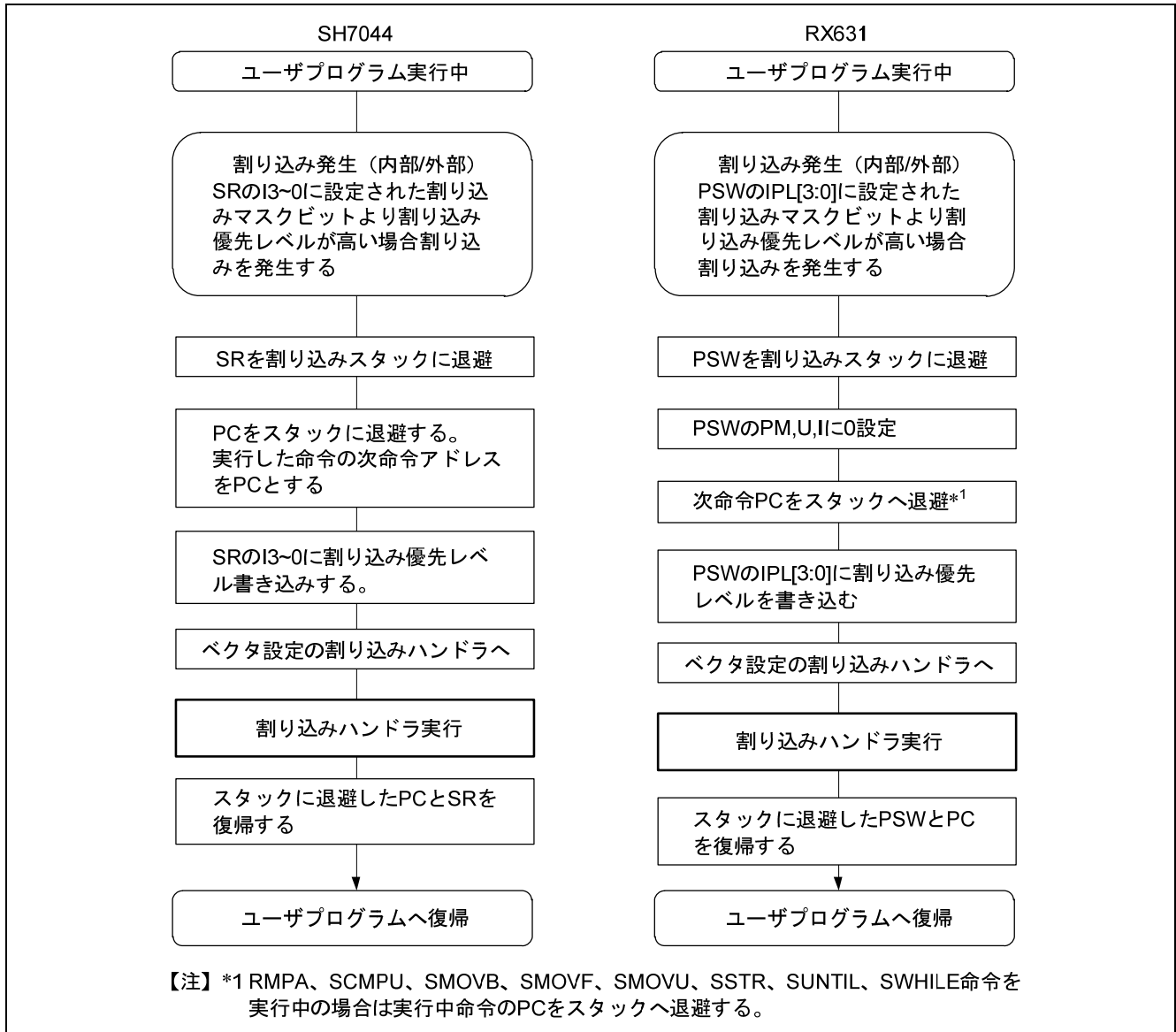


図1.13 割り込み（内部/外部）処理フロー

## 1.7.4 ベクタの構成

SH7044, RX631 とともに可変ベクタ構成となっており、ベクタテーブルを再配置することが可能です。SH7044 の VBR (ベクタベースレジスタ) はベクタテーブルの先頭を指し示します。(但し VBR はリセット時に 0 に初期化されるため、リセットベクタは変更できません)

RX631 はベクタテーブルが固定ベクタと可変ベクタに明確に分離されています。リセット等のシステム例外は固定ベクタに割り付けられ再配置することはできません。再配置可能な割り込みおよび無条件トラップは可変ベクタテーブルに割り付けられており、可変ベクタテーブルの先頭アドレスを INTB (割り込みテーブルレジスタ) が指す様に設定します。また、高速割り込みのベクタは FINTV レジスタに設定します。

図 1.14 にベクタテーブルの違いを示します。

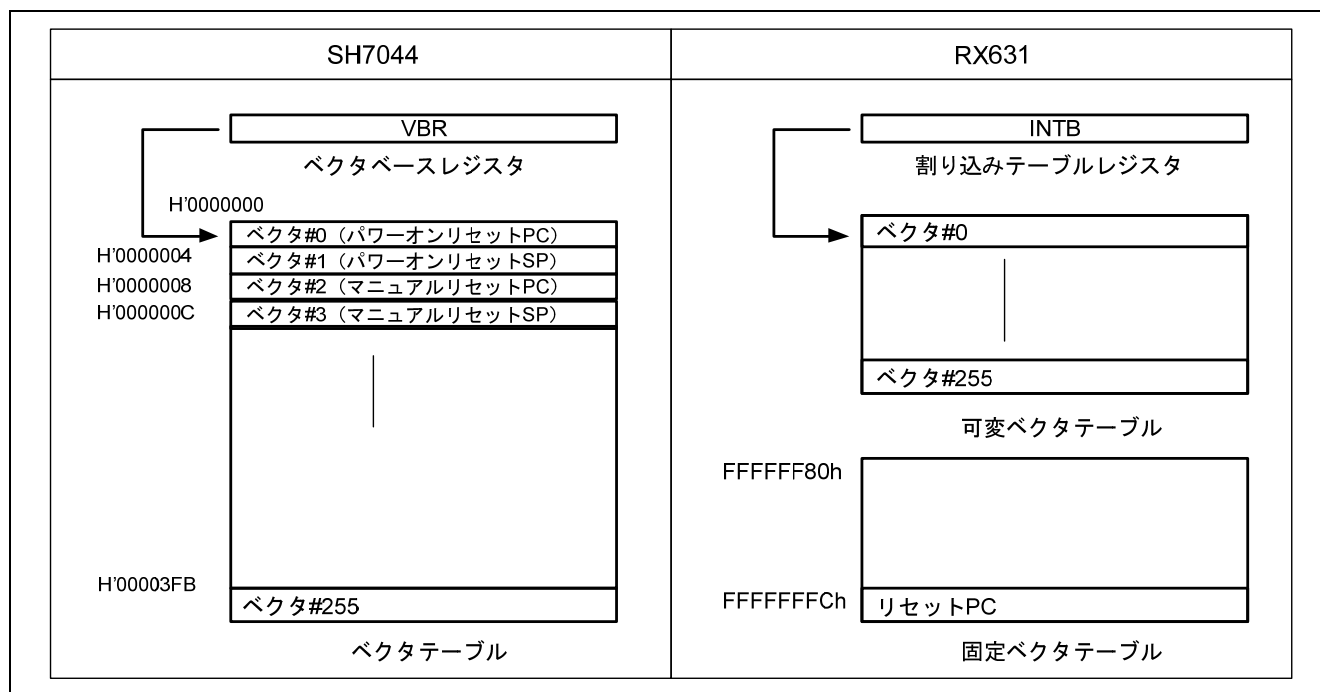


図1.14 ベクタテーブル設定

## 1.7.5 SR (SH7044) /PSW (RX631) の割り込みのマスク

RX631 の制御レジスタ PSW には I ビットがあります。I ビットは割り込み許可/禁止を示すビットです。

表1.12 SR、PSW 内の割り込み関連ビット

SH7044	RX631	説明
SR レジスタ	PSW レジスタ	
I0,I1,I2,I3	IPL[3:0]	<p>CPU による割り込みマスクレベル (優先レベル) 設定値 0~Fh (レベル 0~15)</p> <p>割り込み要求発生時、本レベルと割り込み要因別に設定された優先度レベルを比較し、マスクレベルより高い場合は割り込みが許可される。</p>
—	I	<p>割り込み許可ビット 0:割り込みを許可しない 1:割り込みを許可する</p> <p>割り込み発生時、割り込みコントローラの割り込みステータスフラグは'1'が立つ。 システムリセット後、本ビットを'1'にセットすることで割り込み受付可能になる。また、例外を受け付けた場合、本ビットは'0'となり、その間の割り込みは受け付けない。</p>

## 1.8 割り込み処理

本章は割り込みコントローラを中心に、割り込み処理の違いについて記載します。

### 1.8.1 割り込みコントローラ

表 1.13 に割り込みコントローラの仕様比較を示します。

表1.13 割り込みコントローラ仕様比較

項目		SH7044	RX631
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> <li>周辺モジュールからの割り込み</li> <li>割り込み検出：エッジ/レベル*<sup>1</sup></li> </ul>	<ul style="list-style-type: none"> <li>周辺モジュールからの割り込み</li> <li>割り込み検出：エッジ/レベル*<sup>1</sup></li> <li>グループ割り込み機能サポート</li> <li>ユニット選択機能機能サポート</li> </ul>
	外部端子割り込み	<ul style="list-style-type: none"> <li>IRQ0～IRQ7 端子</li> <li>要因数：8</li> <li>割り込み検出：Low レベル/立ち下がりエッジを要因ごとに設定可能</li> </ul>	<ul style="list-style-type: none"> <li>IRQ0～IRQ15 端子</li> <li>要因数：16</li> <li>割り込み検出：Low レベル立ち下がりエッジ/立ち上りエッジ/両エッジを要因ごとに設定可能</li> <li>デジタルフィルタ機能をサポート</li> </ul>
	ソフトウェア割り込み	なし	あり
	割り込み優先順位	レジスタにより 0～Fh のレベルを要因毎に設定	レジスタにより 0～Fh のレベルを要因毎に設定
	高速割り込み機能	なし	あり
	DTC、DMAC 制御	起動可能* <sup>2</sup>	起動可能
ノンマスクابل割り込み	NMI 端子割り込み	<ul style="list-style-type: none"> <li>割り込み検出方法（立ち下がり/立ち上りエッジから選択）</li> <li>NMI 入力レベル読み込みビットあり</li> </ul>	<ul style="list-style-type: none"> <li>割り込み検出方法（立ち下がり/立ち上りエッジから選択）</li> <li>デジタルフィルタ機能をサポート</li> </ul>
	その他の要因	<ul style="list-style-type: none"> <li>CPU アドレスエラー</li> <li>DMAC/DTC アドレスエラー</li> <li>トラップ命令（TRAPA 命令）</li> <li>一般不当命令（未定義コード）</li> <li>スロット不当命令</li> </ul>	<ul style="list-style-type: none"> <li>発振停止検出時の割り込み</li> <li>WDT アンダフロー/リフレッシュエラー</li> <li>IWDT アンダフロー/リフレッシュエラー</li> <li>電圧監視 1 割り込み</li> <li>電圧監視 2 割り込み</li> <li>未定義命令例外</li> <li>特権命令例外</li> <li>アクセス例外</li> <li>浮動小数点例外</li> <li>無条件トラップ</li> </ul>

【注】 \*1 接続固定周辺モジュールからの検出方法は固定

\*2 SH7044 では起動要因設定は DTC、DMAC 側で設定する

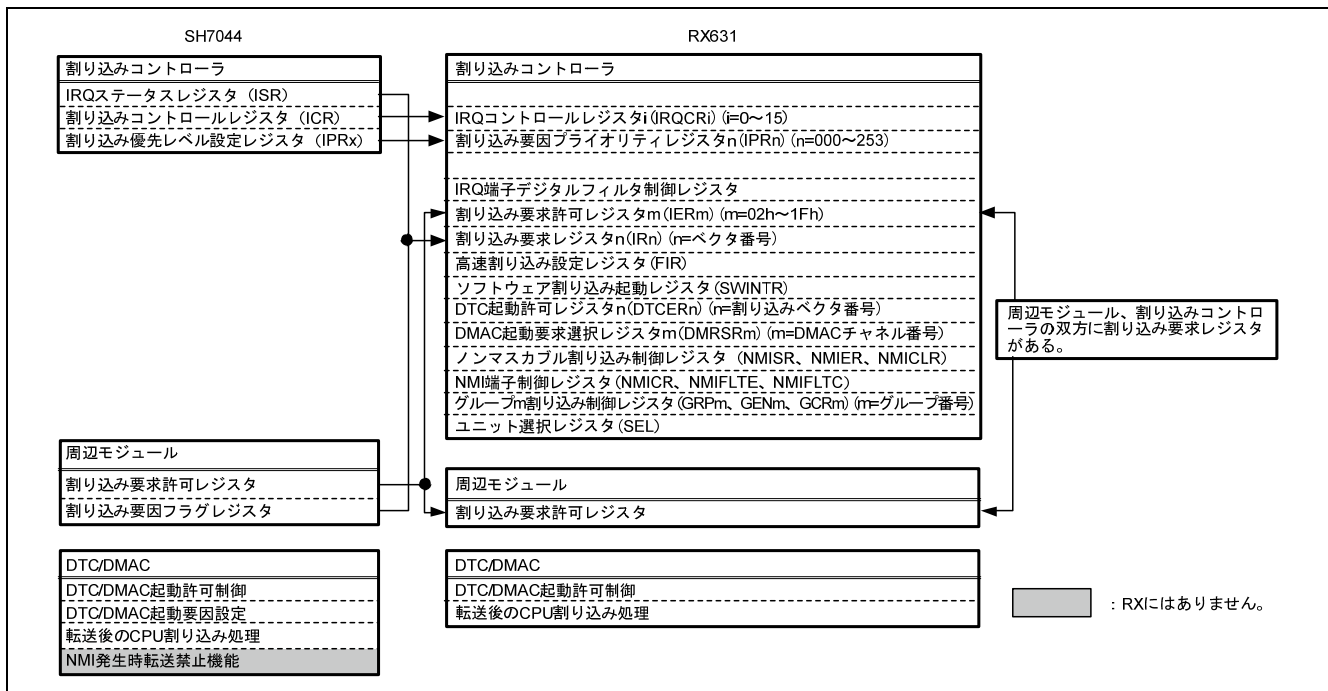


図1.15 割り込みコントローラのレジスタの相違点

図 1.15 に割り込みコントローラの相違を示します。

SH7044 に搭載されている割り込みコントローラは IRQ の割り込みフラグを制御し、周辺モジュールの割り込みフラグは周辺モジュールが制御します。

RX631 では、IRQ、周辺モジュール全ての割り込みステータスフラグを割り込みコントローラで制御します\*1。また、DTC/DMAC の起動要因設定も割り込みコントローラで制御します。SH7044 の DTC/DMAC にある、NMI 発生時転送禁止機能は RX631 にはありません。

**【注】** \*1 割り込みコントローラには、割り込み要因ごとに割り込み要求レジスタが存在しますが、周辺モジュール側にも割り込み許可ビットが存在します。(詳細はユーザーズマニュアル ハードウェア編を参照してください)

1.8.2 割り込みフラグの管理

SH7044 の周辺モジュールでエッジ検出による割り込みが発生した場合、割り込みハンドラ内で割り込みフラグ（割り込み要因フラグ）のクリア（ダミーリードとクリア）を行います。ハンドラ内でクリアしないと再度割り込みが発生するためです。RX631 の割り込みフラグ（割り込みステータスフラグ）は割り込みコントローラ内で管理されます。割り込みコントローラは CPU または DTC/DMAC に割り込み要求を行い、その受け付け応答を受信すると自動的に当該の割り込みステータスフラグをクリアする機能を備えているため、SH7044 の様なフラグのクリア、ダミーリードの必要がありません。なお、レベル検出による割り込みに関しては、周辺モジュール内に要因フラグが存在し、これをクリアする必要があります。詳細はユーザーズマニュアル ハードウェア編を参照してください。

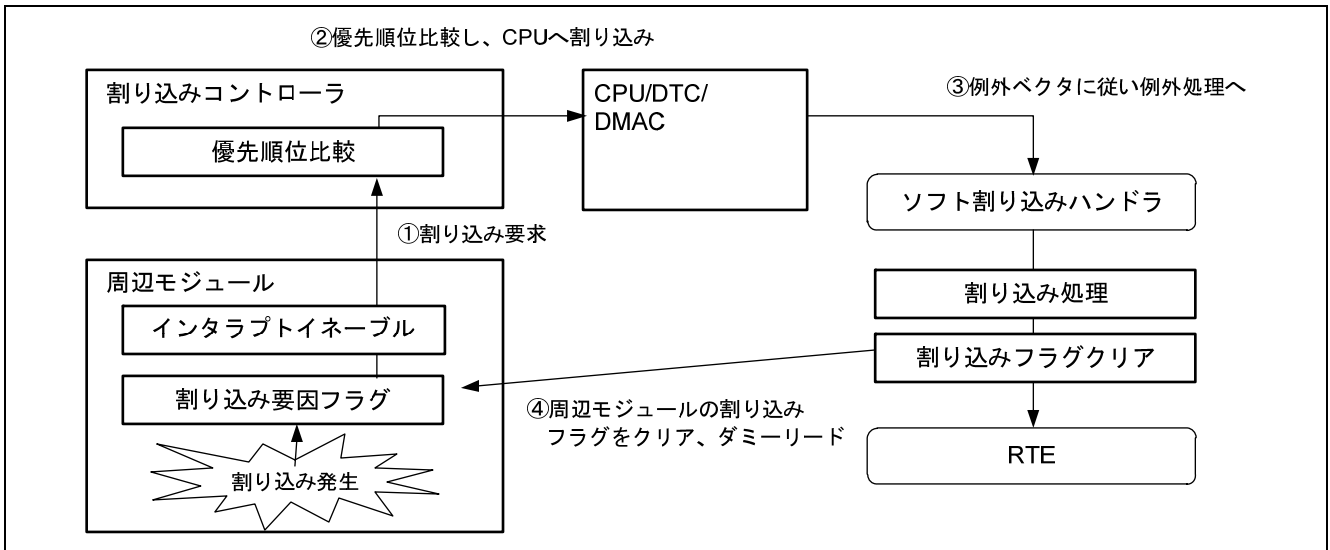


図1.16 SH7044 周辺モジュール割り込み（エッジ検出）

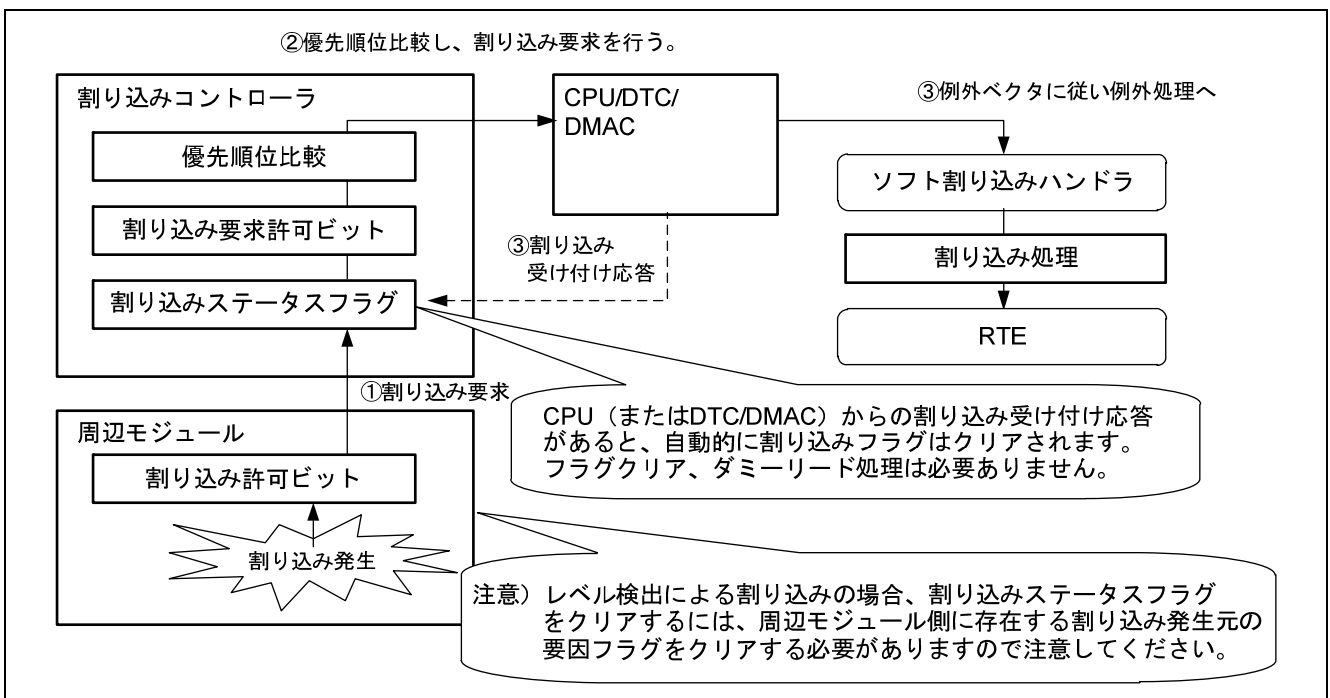


図1.17 RX631 周辺モジュール割り込み（エッジ検出）

1.8.3 高速割り込み制御

RX631 は通常の割り込みに加えて高速割り込みが可能です。

通常割り込み：割り込み優先順位判定後、コントロールレジスタ、汎用レジスタを内部 RAM または、外部 RAM へソフトウェアにて退避する必要があります。

高速割り込み：最優先割り込みとして動作します。割り込み発生時、コントロールレジスタは専用レジスタに退避されるため、通常割り込みより高速な割り込み起動を実現します。

コンパイラオプションで一部の汎用レジスタを割り込み専用割り付けられます。この場合汎用レジスタの退避、復帰を削除することが可能なため、さらに高速な割り込みが実現可能です。

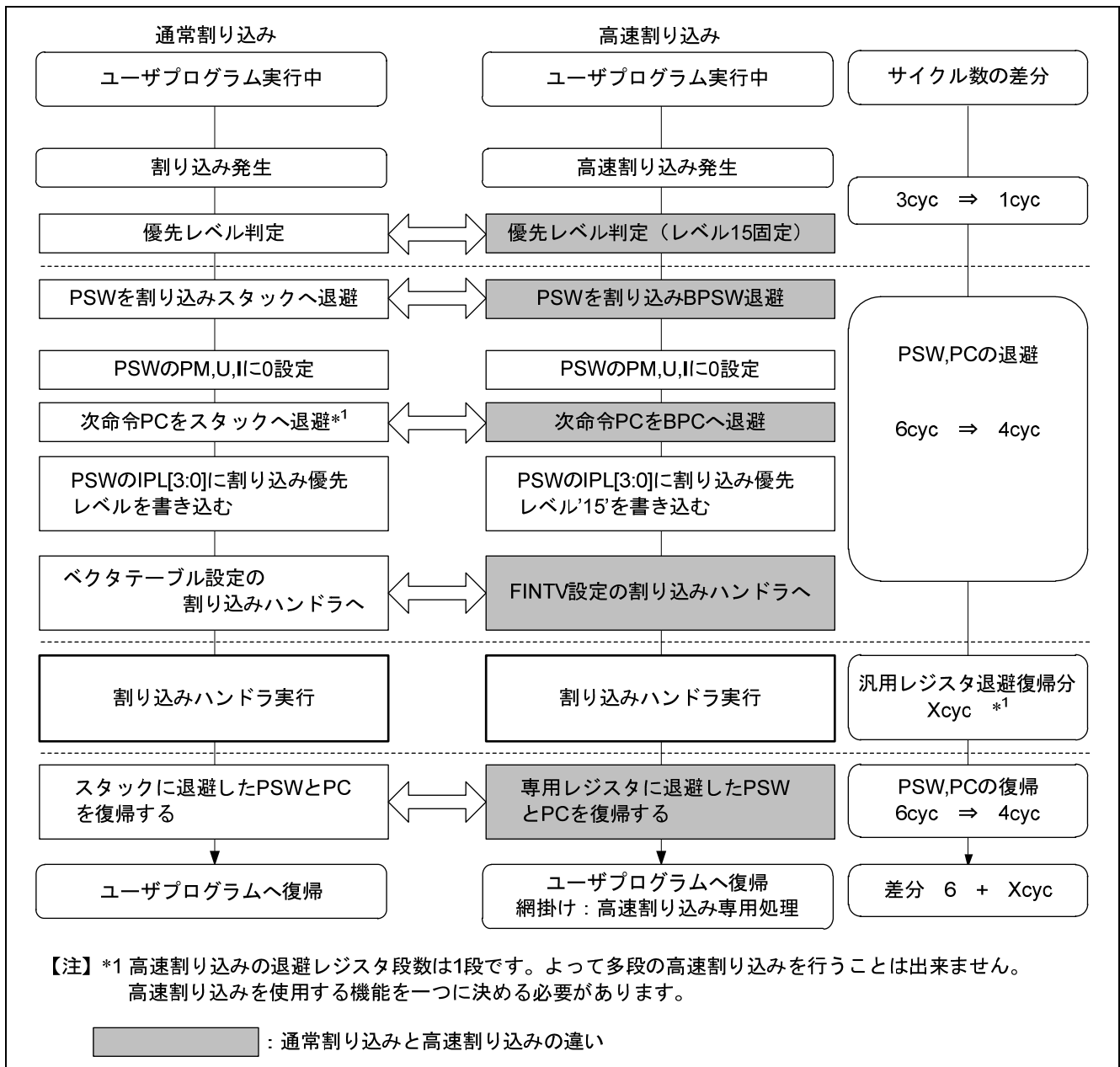


図1.18 通常割り込みと高速割り込みの差分



### 1.8.4 デジタルフィルタ

RX631 は、IRQ、NMI のレベル信号に関してはデジタルフィルタ機能を設けています。デジタルフィルタ用のサンプリングクロックを設定することが可能で、サンプリングクロックベースで3回分に満たない割り込み信号は、割り込みとして受け付けませんので、耐ノイズ性能を向上させることが可能です。

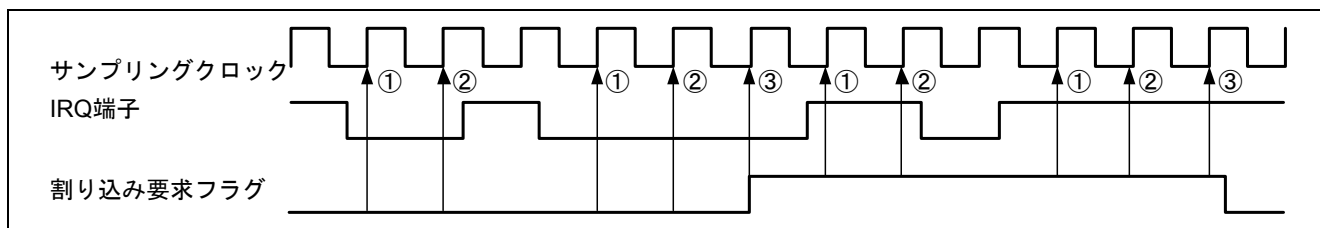


図1.19 デジタルフィルタ動作例

### 1.8.5 多重割り込み

SH7044 では優先度の低い割り込みハンドラ処理中に、優先度の高い割り込みが発生した場合、優先度の低い割り込みハンドラは中断され、優先度の高い割り込みハンドラが実行されます。優先度の高い割り込みハンドラが終了すると、中断していた優先度の低い割り込みハンドラが再開します。

RX631 では優先度の低い割り込みハンドラを処理中に、高い優先度の割り込みが発生した場合、低い優先度の割り込みハンドラが終了するまでは、高い優先度の割り込みは受け付けられません。これは、通常割り込みハンドラ内では PSW.I ビット=0 (割り込み許可しない) となっているためです。SH7044 のような多重割り込みを実現するには、割り込みハンドラの中で PSW.I ビット=1 (割り込み許可) にする必要があります。

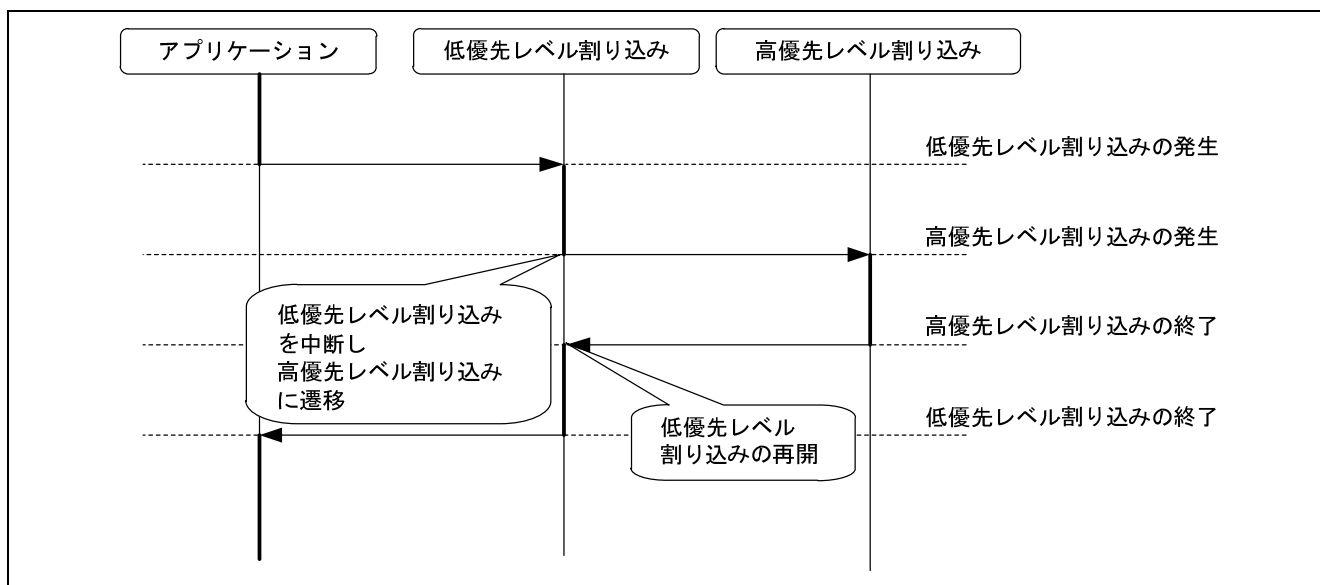


図1.20 SH7044 多重割り込みシーケンス

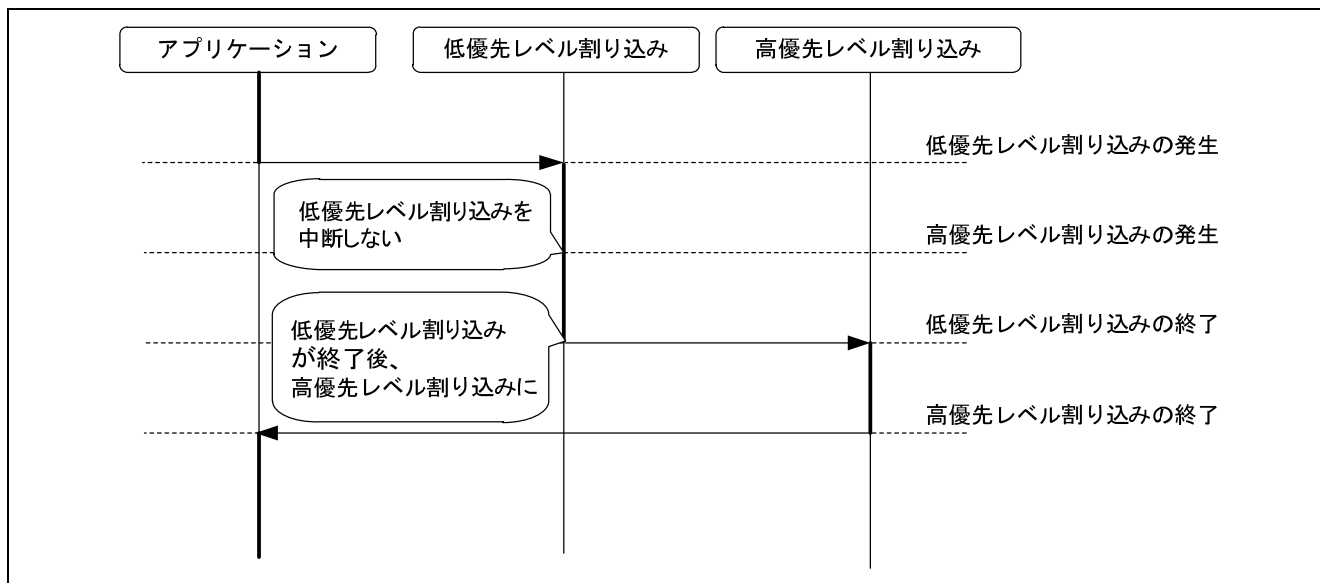


図1.21 RX631 割り込みシーケンス (PSW.I ビット制御しない場合)

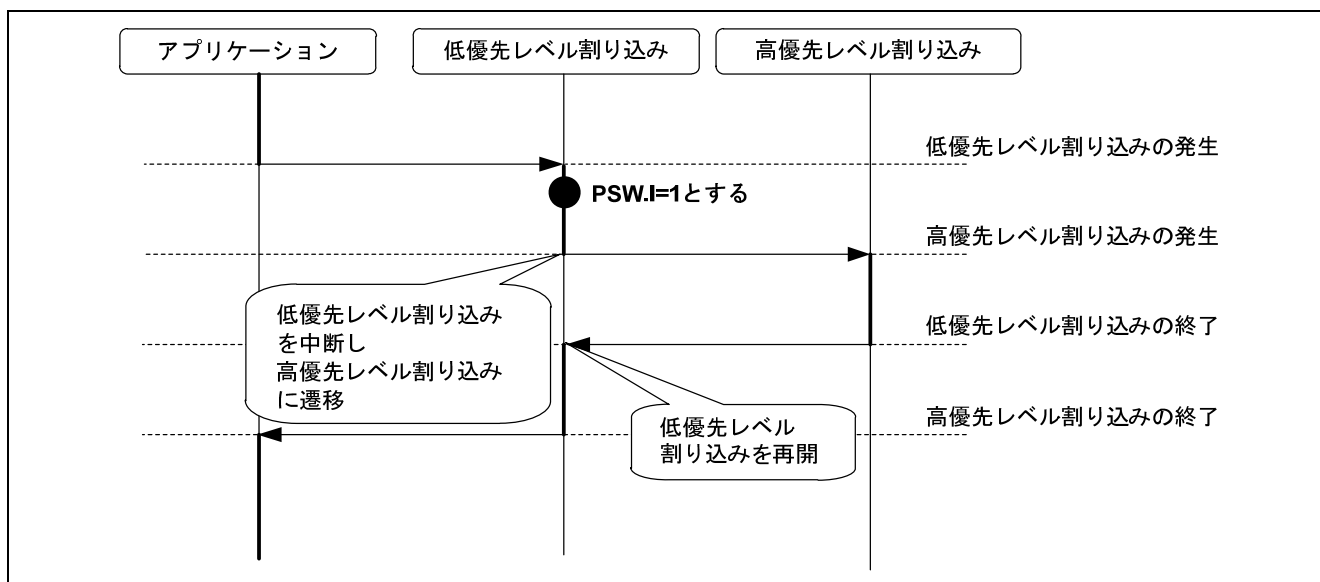


図1.22 RX631 割り込みシーケンス (PSW.I ビット制御を行う場合)

1.8.6 ユニット選択機能

RX631 の割り込みのうち、図 1.23 に示すように MTU と TPU の割り込み要因の一部が同一ベクタに割り付けられています。ユニット選択機能を使用する場合、使用する割り込み要因をセレクタ（レジスタ）にて選択する必要があります。

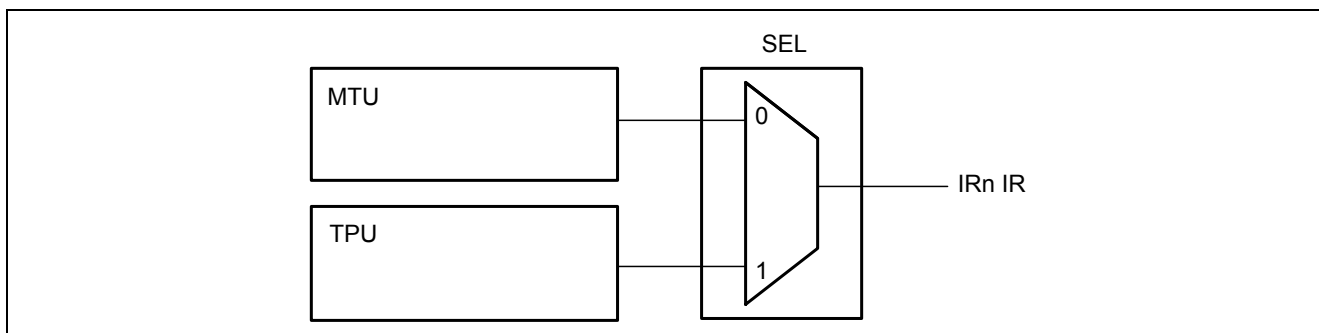


図1.23 ユニット選択機能

1.8.7 グループ割り込み

グループ割り込みは 1 ベクタに複数の割り込み要因が割り当てられています。グループ割り込みは、グループに割り当てられた割り込み要求の論理和で検出するため、割り込み要求を検出した場合、グループの中から割り込み要求をソフトウェアにて検出する必要があります。

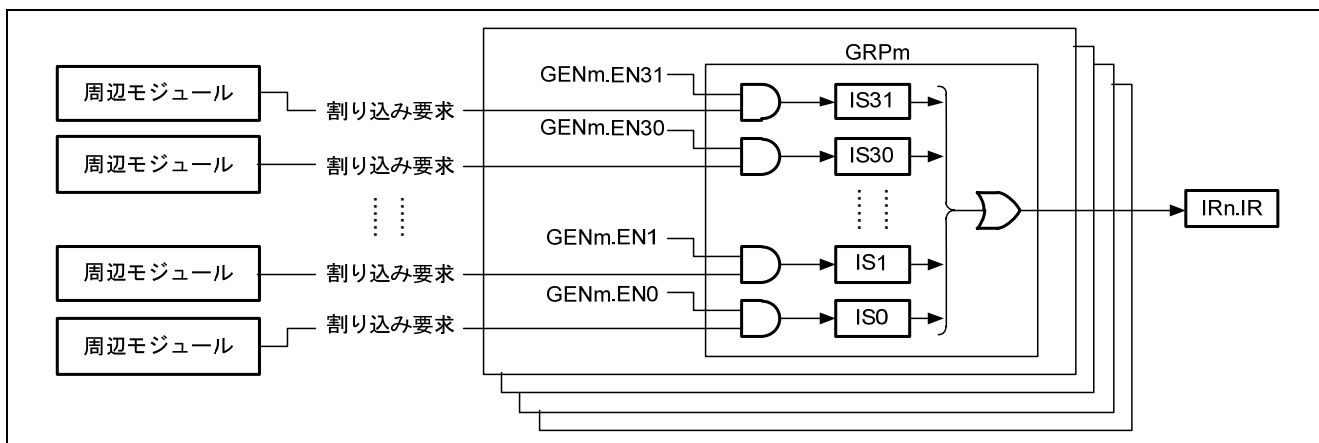


図1.24 グループ割り込み

## 2. 内蔵機能

## 2.1 内蔵機能一覧

表2.1 周辺機能一覧

SH7044	RX631
クロック発振器 (CPG)	クロック発生回路
ユーザブ레이크コントローラ (UBC)	—
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTCa)
バスステートコントローラ (BSC)	バスコントローラ (BSC)
ダイレクトメモリアクセスコントローラ (DMAC)	DMA コントローラ (DMACA) EXDMA コントローラ (EXDMACa)
マルチファンクションタイマパルスユニット (MTU)	マルチファンクションタイマパルスユニット 2 (MTU2a)
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDTa) 独立ウォッチドッグタイマ (IWDTa)
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCIC, SCID)
高速 A/D 変換器 (A マスク以外)	12 ビット A/D コンバータ (S12ADa)
中速 A/D 変換器 (A マスク)	10 ビット A/D コンバータ (ADb)
コンペアマッチタイマ (CMT)	コンペアマッチタイマ (CMT)
ピンファンクションコントローラ (PFC)	マルチファンクションピンコントローラ (MPC)
I/O ポート (I/O)	I/O ポート
フラッシュメモリ (256KB) * <sup>1</sup>	フラッシュメモリ* <sup>2</sup>
RAM (4KB)	RAM (最大 256KB)
消費電力低減機能	消費電力低減機能
—	電圧検出回路 (LVDA)
—	周波数測定機能
—	バッテリーバックアップ機能
—	レジスタライトプロテクション機能
—	メモリプロテクションユニット (MPU)
—	ポートアウトプットイネーブル 2 (POE2a)
—	16 ビットタイマパルスユニット (TPUa)
—	プログラマブルパルスジェネレータ (PPG)
—	8 ビットタイマ (TMR)
—	リアルタイムクロック (RTCa)
—	イーサネットコントローラ (ETHERC)
—	イーサネットコントローラ用 DMA コントローラ (EDMAC)
—	USB2.0 ホスト/ファンクションモジュール (USBa)
—	I2C バスインタフェース (RIIC)
—	CAN モジュール (CAN)
—	シリアルペリフェラルインタフェース (RSPI)
—	IEBus™ コントローラ (IEB)
—	CRC 演算器 (CRC)
—	D/A コンバータ (DAa)
—	パラレルデータキャプチャユニット (PDC)
—	温度センサ
—	バウンダリスキャン

【注】 \*1 SH7044 にはマスク ROM を内蔵している製品もあります。

\*2 RX631 グループは、最大 2M バイトのコード格納用フラッシュメモリ (ROM) と 32K バイトのデータ格納用フラッシュメモリ (E2 データフラッシュ) を内蔵しています。また、RX631 には ROM レス版もあります。詳細はユーザーズマニュアル ハードウェア編を参照してください。

## 2.2 I/Oポート

## 2.2.1 I/Oポート数

表2.2 SH7044 と RX631 の I/O ポート数一覧

項目	パッケージ	ポート機能
SH7044 の I/O ポート数	QFP-112	入出力 : 74 入力 : 8 合計 : 82
RX631 の I/O ポート数	TFLGA-177 LFBGA -176 LQFP -176	入出力 : 133 入力 : 1 プルアップ抵抗 : 133 オープンドレイン出力 : 133 5Vトレラント : 18
	TFLGA-145 LQFP-144	入出力 : 111 入力 : 1 プルアップ抵抗 : 111 オープンドレイン出力 : 111 5Vトレラント : 18
	TFLGA-100 LQFP-100	入出力 : 78 入力 : 1 プルアップ抵抗 : 78 オープンドレイン出力 : 78 5Vトレラント : 17
	TFLGA-64 LQFP-64	入出力 : 42 入力 : 1 プルアップ抵抗 : 42 オープンドレイン出力 : 42 5Vトレラント : 23 8ビットポート切り換え機能
	LQFP-48	入出力 : 30 入力 : 1 プルアップ抵抗 : 30 オープンドレイン出力 : 30 5Vトレラント : 18 8ビットポート切り換え機能

## 2.2.2 I/O設定

SH7044、RX631ともにマルチプレクス端子になっています。よって、端子設定を汎用入出力、または内蔵モジュール機能に割り振る必要があります。

SH7044はピンファンクションコントローラ（PFC）を設定することにより、ポートの機能が決定します。I/OポートはA～Fまであり、入力専用のポートFを除き、各ポートは汎用入力/出力または内蔵機能に割り付けることができます。ポートA～EはPnIORとPnCR（n：ポート名A～E）のレジスタ設定で汎用入出力または各機能を割り付けられます。SH7044でのI/O設定の概念と各レジスタの機能を以下に示します。

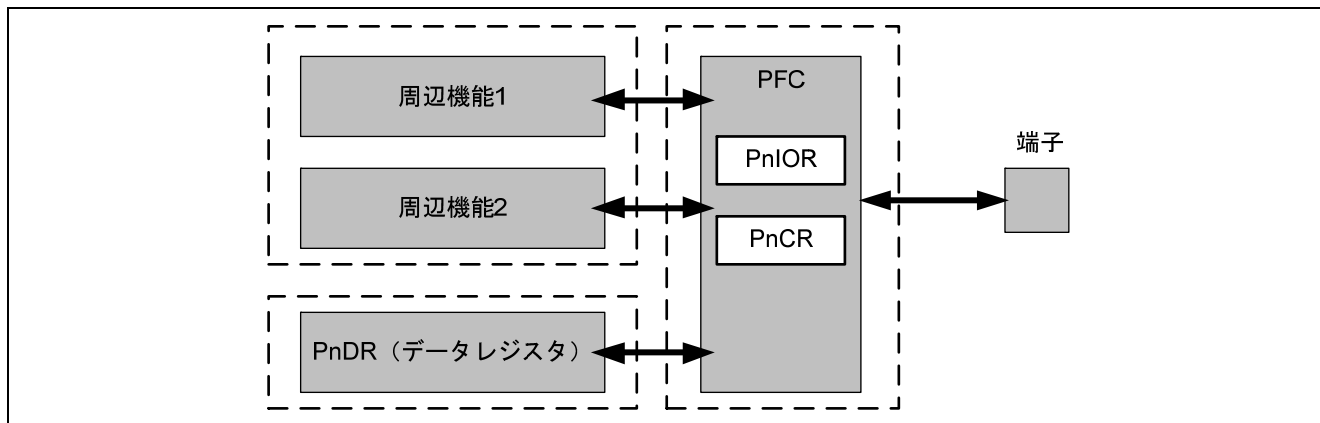


図2.1 SH7044 I/O 設定

表2.3 SH7044 I/Oポート、ピンファンクションコントローラのレジスタ構成

モジュール	名称	機能名	機能
I/Oポート	PnDR	ポートnデータレジスタ	ポートnのデータレジスタ
PFC	PnIOR	ポートn・IOレジスタ	ポートnの入出力方向を選択
	PnCR	ポートnコントロールレジスタ	端子機能を選択
	IFCR	IRQ機能コントロールレジスタ	IRQ出力端子の状態を設定

なお、SH7044は動作モード（MCUモード0,1,2、シングルチップモード）によって端子に割り振られる機能と、PFCで設定可能な機能も変わります。

RX631 の I/O ポートはポート 0~9、A~G、J から構成され、各 I/O ポートが以下のようなレジスタで構成されます。ポート入出力のレジスタにおいては、入力/出力それぞれ専用レジスタを備えています。

RX631 の IO ポートに関しては、下記に示すような設定が可能です。

- オープンドレイン制御レジスタ：ポート出力形態の選択  
CMOS 出力/N チャンネルオープンドレイン出力/P チャンネルオープンドレイン出力
- プルアップ制御レジスタ：入力プルアップ抵抗の ON/OFF 選択
- 駆動能力制御レジスタ：通常出力/高駆動出力から選択
- 5V トレラント入力ポートあり

SH7044 同様マルチプレクス端子となっているため、端子機能の設定を I/O ポートとマルチファンクションピンコントローラ (MPC) を使用して決定する必要があります。

RX631 の I/O 設定について以下に示します。

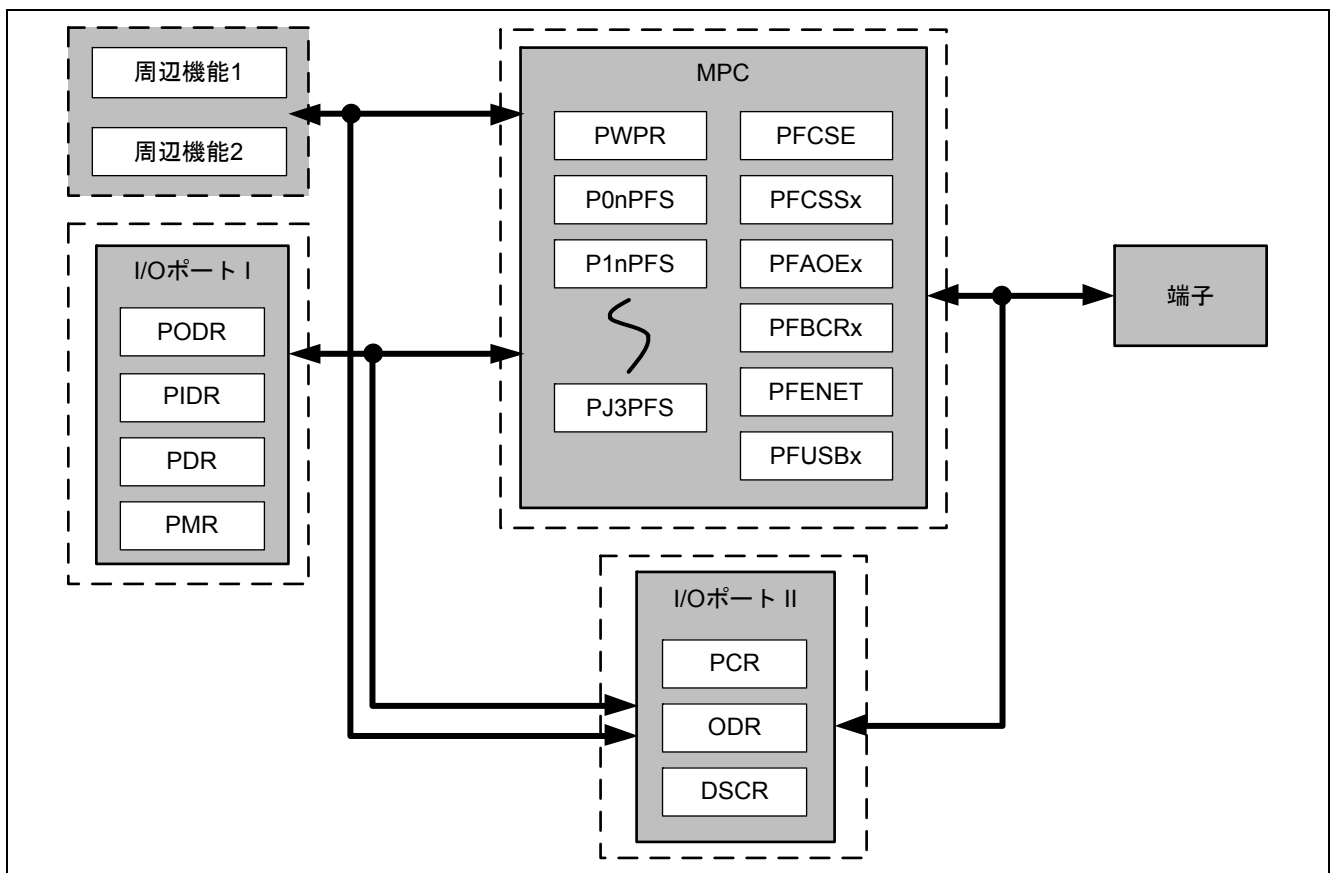


図2.2 RX631 I/O 設定

端子を汎用入出力として使用する場合は、I/O ポート内のレジスタ設定 (PMR、PDR、ODR、PCR、DSCR の設定) を行うのみです。設定を行うレジスタを表 2.4 に示します。また設定フローを図 2.3 に示します。

端子を周辺機能として使用する場合、MPC の端子機能制御レジスタ (PxnPFS) により端子を周辺機能に割り付けます。設定を行うレジスタを表 2.4~表 2.5 に示します。また端子設定フローを図 2.4 に示します。

なお、汎用入出力を含む周辺機能使用時の設定例については、各周辺機能の章で記載します。

表2.4 RX631 I/O ポートのレジスタ構成

レジスタ	機能名	機能
PDR	ポート方向レジスタ	汎用入出力ポートが選択されているとき ポートの入力/ 出力の指定
PODR	ポート出力レジスタ	汎用出力ポート 端子出力データの格納
PIDR	ポート入力レジスタ	汎用入力ポート 端子の状態の反映
PMR	ポートモードレジスタ	ポート端子機能の設定 汎用入出力ポートまたは周辺機能として使用するかの端子 毎に設定
ODR0	オープンドレイン制御レジスタ 0	ポートの出力を以下の形態から選択 <ul style="list-style-type: none"> <li>• CMOS 出力</li> <li>• N チャネルオープンドレイン</li> <li>• P チャネルオープンドレイン</li> </ul>
ODR1	オープンドレイン制御レジスタ 1	ポートの出力を以下の形態から選択 <ul style="list-style-type: none"> <li>• CMOS 出力</li> <li>• N チャネルオープンドレイン</li> </ul>
PCR	プルアップ制御レジスタ	ポートの入力プルアップ抵抗の有効/無効の指定
DSCR	駆動能力制御レジスタ	駆動能力の設定 <ul style="list-style-type: none"> <li>• 通常出力</li> <li>• 高駆動出力</li> </ul>
PSRA	ポート切り替えレジスタ A	64 ピン専用レジスタ PB6,7 と PC0,1 の汎用入出力機能の選択
PSRB	ポート切り替えレジスタ B	48 ピン専用レジスタ PB0、1、3、5 と PC0,1,2,3 の汎用入出力機能の選択



表2.5 RX631 マルチファンクションピンコントローラレジスタ

レジスタ	機能名	機能
PWPR	書き込みプロテクトレジスタ	PxxPFS レジスタへの書き込みプロテクト機能 xx : 0n~9n, An~Gn, J3
P0nPFS	P0n 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート 0 の端子機能選択)
P1nPFS	P1n 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート 1 の端子機能選択)
P2nPFS	P2n 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート 2 の端子機能選択)
PFnPFS	PFn 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート F の端子機能選択)
PJ3PFS	PJ3 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート J の端子機能選択)
PFCSE	CS 出力許可レジスタ	CSn# (n : 0~7) 出力禁止/許可を設定
PFCSS0	CS 出力端子選択レジスタ 0	CS0~3 の出力端子を選択
PFCSS1	CS 出力端子選択レジスタ 1	CS4~7 の出力端子を選択
PFAOE0	アドレス出力許可レジスタ 0	端子をアドレスバス使用する場合の設定
PFAOE1	アドレス出力許可レジスタ 1	端子をアドレスバス使用する場合の設定
PFBCR0	外部バス制御レジスタ 0	端子を外部バス使用する場合の設定
PFBCR1	外部バス制御レジスタ 1	端子を外部バス使用する場合の設定
PFENET	イーサネット制御レジスタ	イーサネットのモード指定設定 (PMII/MII)
PFUSB0	USB0 制御レジスタ	USB0 端子の機能設定
PFUSB1	USB1 制御レジスタ	USB1 端子の機能設定

RX631 の I/O ポートを汎用入出力で使用する場合の初期化フローに示します。

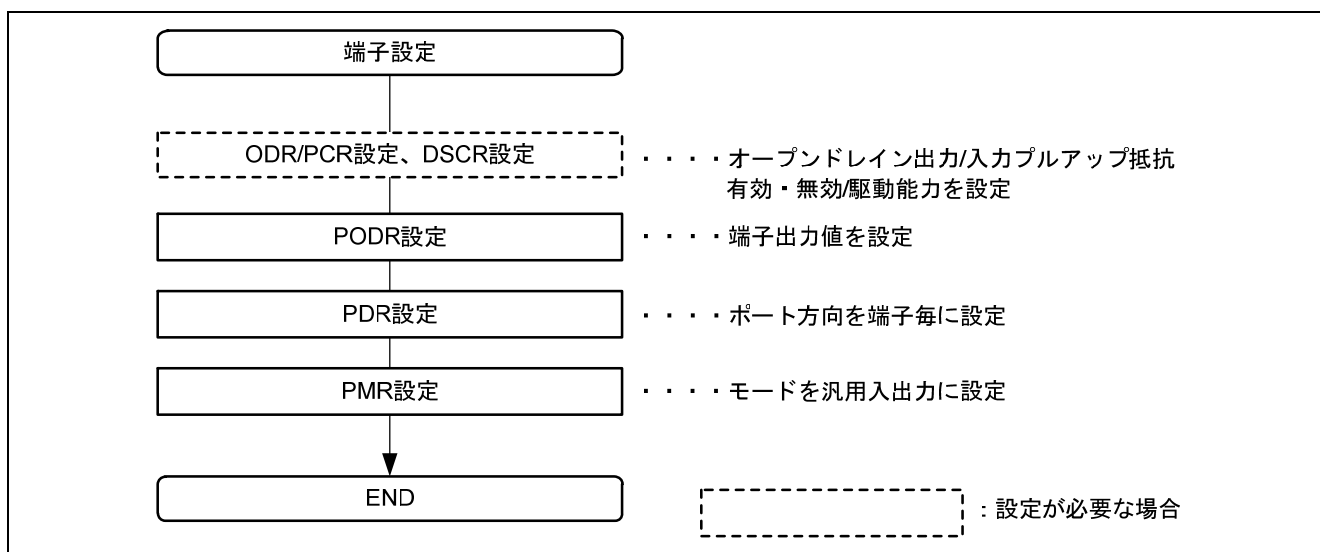


図2.3 RX631 I/O 汎用入出力を使用する場合

RX631 の I/O ポートを端子機能で使用する場合の初期化フローに示します。

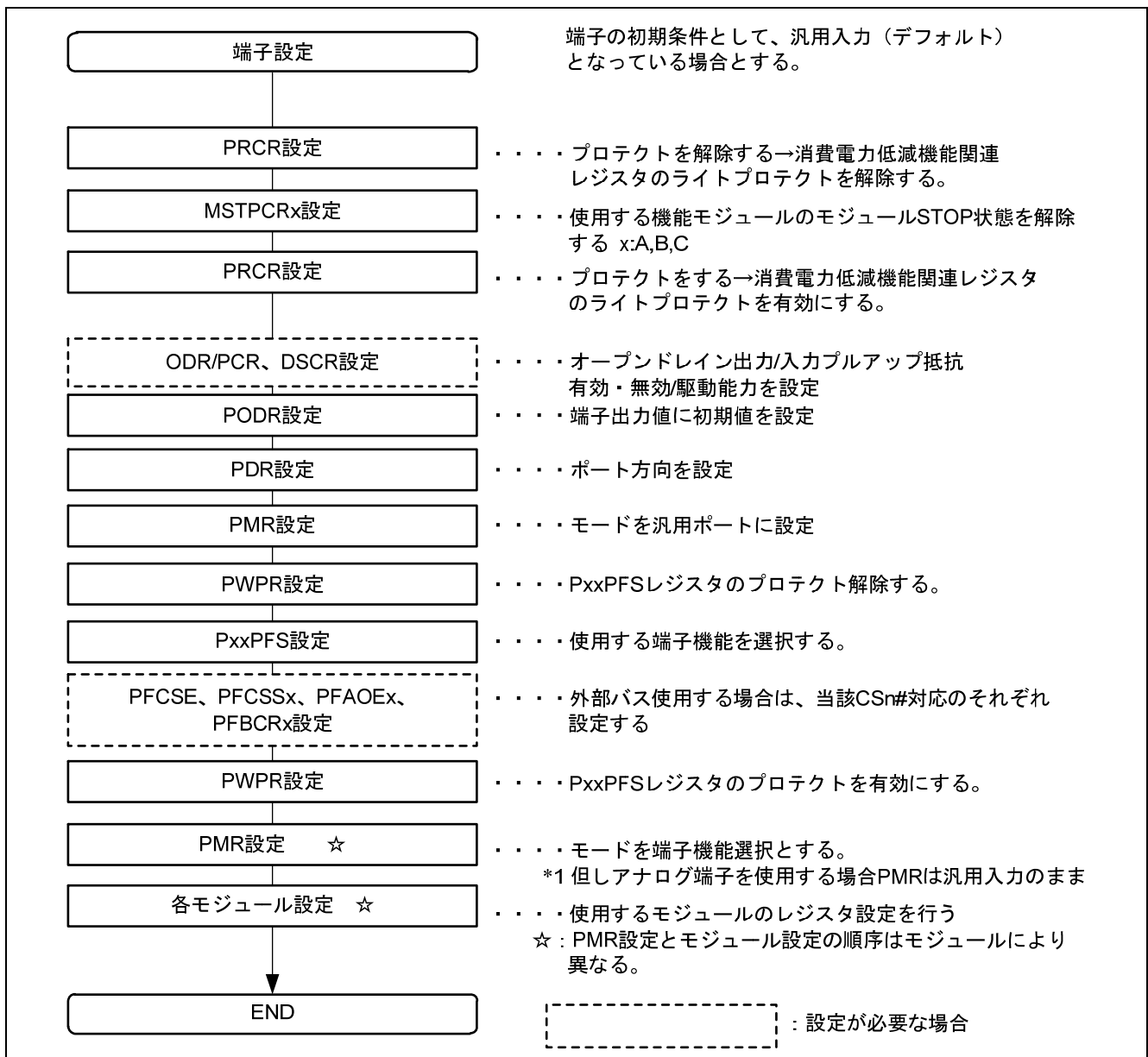


図2.4 RX631 端子機能設定フローチャート

【注】 MPC を使用して機能端子として設定する具体例は各周辺モジュールの章に記載しております。RX631 ではデフォルトで各モジュールが停止状態<sup>\*1</sup>となっています。そのため消費電力低減機能にあるモジュールストップコントロールレジスタ（MSTPCR<sub>x</sub>）によりモジュールストップを解除してから周辺機能の設定を行ってください。また、MSTPCR<sub>x</sub> はレジスタライトプロテクション機能によりライトプロテクトされています。よって、MSTPCR<sub>x</sub> の書き換え時はプロテクトレジスタ（PRCR）により書き込み許可としてから書き換えを行ってください。

\*1 DMAC、DTC、RAM についてはデフォルトで動作状態です。

## 2.2.3 汎用入出力

SH7044 と RX631 における汎用入出力ポートの設定例を示します。

SH7044 では PB2 を RX631 では P34 をそれぞれ汎用入力として使用する例を表 2.6 に示します。

表2.6 端子を汎用入力とする設定

手順		SH7044 設定例	RX631 設定例
1	端子の入出力方向を入力に設定	PBIOR.PB2IOR=0	PORT3.PDR.B4=0
2	汎用端子を汎用ポートとして設定	PBCR2.PB2MD1=0 PBCR2.PB2MD0=0	PORT3.PMR.B4=0

SH7044 では PB2 を RX631 では P34 をそれぞれ汎用出力として使用する例を表 2.7 に示します。出力値は 1 とします。

表2.7 端子を汎用出力とする設定

手順		SH7044 設定例	RX631 設定例
1	端子の出力を設定	PBDR.PB2DR=1	PORT3.PODR.B4 = 1
2	端子の入出力方向を出力に設定	PBIOR.PB2IOR=1	PORT3.PDR.B4=1
3	端子を汎用ポートとして設定	PBCR2.PB2MD1=0 PBCR2.PB2MD0=0	PORT3.PMR.B4=0

## 2.3 バス

本章では両マイコンのバス仕様についての相違点を記載します。

### 2.3.1 仕様比較

SH7044 と RX631 のバスについて主な違いを以下に示します。

表2.8 SH7044、RX631 のバスの比較

項目	SH7044	RX631
外部バスアドレス空間	<ul style="list-style-type: none"> <li>CS0~3 の外部アドレス空間 (各 4M バイト)</li> <li>注 1) CS0 は内蔵 ROM 有効時 2M バイト</li> <li>注 2) 内蔵 ROM 無効モード時 4M バイト</li> </ul>	CS0~7 の外部アドレス空間 (各 16M バイト×8)
DRAM/SDRAM 専用空間	DRAM 空間 (最大 16M バイト)	SDRAM 空間 (最大 128M バイト)
バス幅	エリア毎に 8,16,ビットを設定可能	エリア毎に 8,16,32 ビットを設定可能
エンディアン	ビッグエンディアン (固定)	エリア毎にエンディアンを設定可能* <sup>1</sup>
バスの調停	<ul style="list-style-type: none"> <li>CPU バス、外部バスの優先順位は固定</li> </ul>	<ul style="list-style-type: none"> <li>外部バス：優先順位は以下から選択可能 1) 優先順位固定、2) 優先順位をトグル</li> <li>内部バス：固定</li> </ul>
その他のアクセス制御	<ul style="list-style-type: none"> <li>DRAM 用_RAS、_CAS 信号出力</li> <li>RAS プリチャージタイム確保用 Tp サイクル発生可能</li> <li>DRAM バーストアクセス機能</li> <li>DRAM リフレッシュ間隔設定可能</li> <li>外部_WAIT 信号によるウエイトサイクル挿入可能</li> <li>アドレスデータマルチプレクス I/O デバイスアクセス可能</li> </ul>	<ul style="list-style-type: none"> <li>CS 領域 <ul style="list-style-type: none"> <li>リカバリサイクル挿入可能</li> <li>サイクルウエイト機能</li> <li>CSn#信号タイミング設定</li> <li>RD#、WR#信号のタイミング制御</li> <li>ライトアクセスモード</li> <li>アドレスデータマルチプレクス I/O デバイスアクセス可能</li> </ul> </li> <li>SDRAM 領域 <ul style="list-style-type: none"> <li>ロウアドレス、カラムアドレスのマルチプレプレクス出力</li> <li>オートリフレッシュ、セルフリフレッシュ</li> <li>CAS レイテンシ設定可能</li> </ul> </li> <li>ライトバッファ <ul style="list-style-type: none"> <li>ライトバッファ機能</li> </ul> </li> </ul>

【注】 \*1 1.2.2 章参照

2.3.2 バスの構成

SH7044 と RX631 のバスの構成を比較します。

SH7044 のバスステートコントローラの構成を示します。

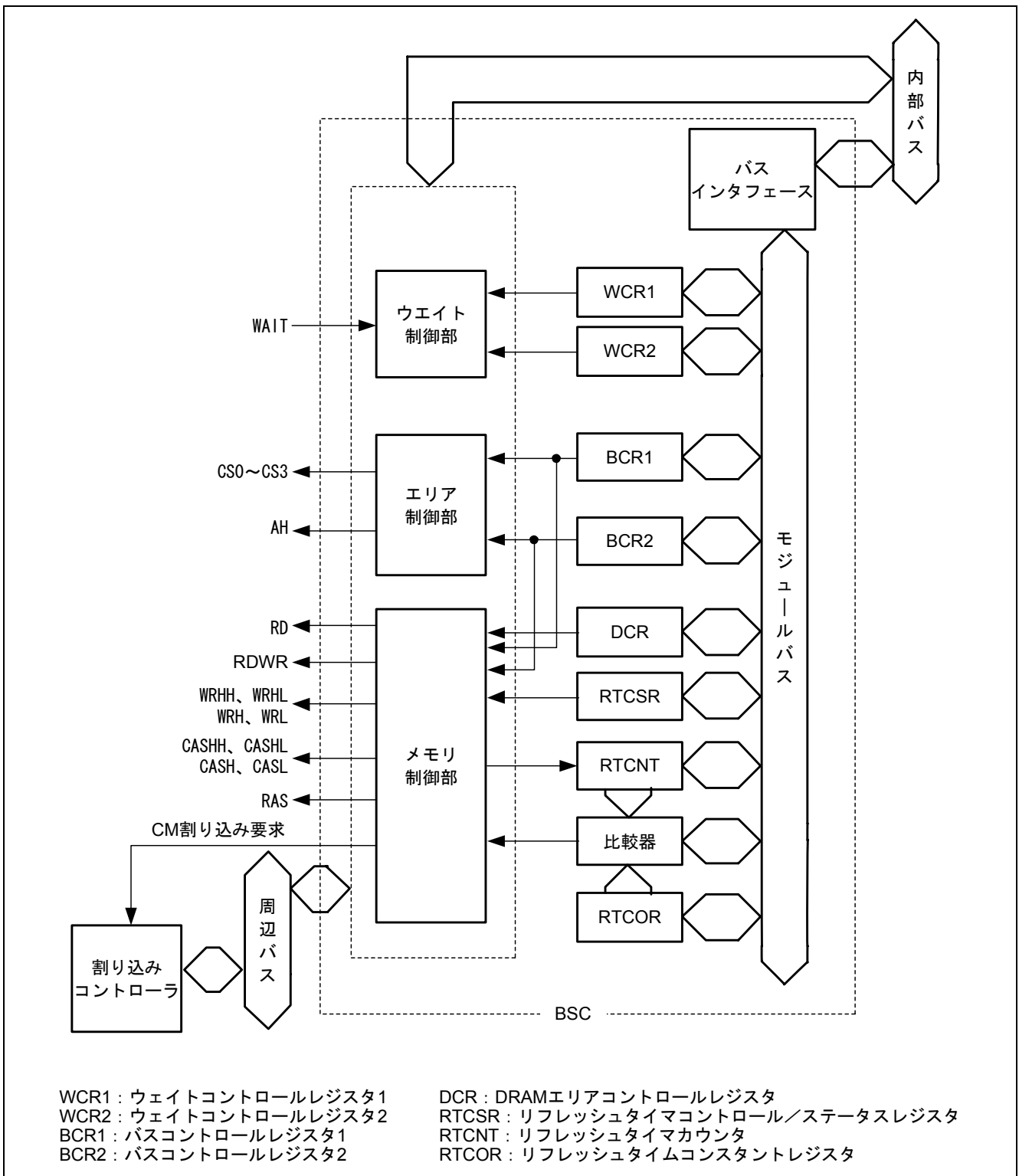


図2.5 SH7044 バスステートコントローラ構成

RX631 のバス構成を示します。

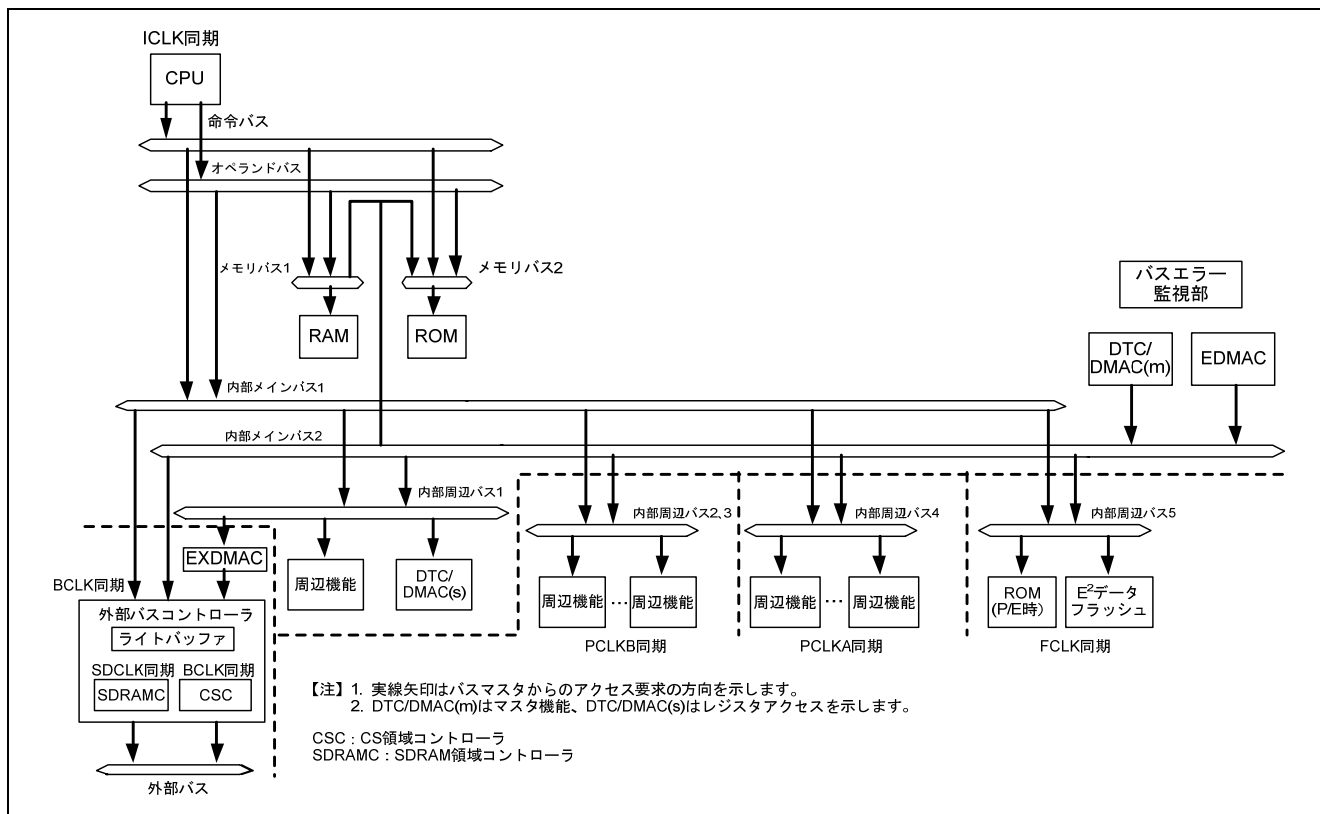


図2.6 RX631 のバス構成

RX631 のバスの種類を以下に示します。SH7044 と RX631 ではバスアーキテクチャが異なり、メモリバス、内部バス、周辺バスがそれぞれ多段に存在します。これにより CPU と DMAC/DTC、更には周辺バス毎にモジュールの並列動作が可能になり、より高速な動作を実現できます。

表2.9 RX631 のバス

バス	接続モジュール等	クロック
CPU バス (命令バス、オペランドバス)	命令バス : CPU、内蔵メモリ オペランドバス : CPU、内蔵メモリ	ICLK
メモリバス 1	内蔵 RAM	ICLK
メモリバス 2	内蔵 ROM	ICLK
内部メインバス 1	CPU	ICLK
内部メインバス 2	DTC、DMAC、EDMAC	ICLK
内部周辺バス 1	DTC、DMAC、EXDMAC、割り込みコントローラ バスエラー監視部	ICLK (EXDMA は PCLKB)
内部周辺バス 2	周辺機能 (周辺バス 1,3,4,5,6 以外の周辺機能)	PCLKB
内部周辺バス 3	USB	PLCKB
内部周辺バス 4	EDMAC、ETHERC	PLCKA
内部周辺バス 5	通常予約領域	—
内部周辺バス 6	ROM (P/E 時)、E2 データフラッシュ	FCLK
外部バス (CS 領域)	外部デバイス	BCLK
外部バス (SDRAM)	SDRAM	SDCLK

ICLK : システムクロック PCLKA : 周辺クロック A PCLKB : 周辺クロック B  
FCLK : FlashIF クロック BCLK : 外部バスクロック SDCLK : SDRAM クロック

### 2.3.3 外部バスインタフェース設定例

外部バスインタフェース設定例として以下のアプリケーションノートを参照してください。

RX63N グループ、RX631 グループ SDRAMC を使用した 16bit SDRAM のリードライト制御 (R01AN1705JJ)

## 2.4 割り込みコントローラ

### 2.4.1 IRQの使用例

以下に IRQ3 を使用する場合の設定例を以下に示します。SH7044 は PB5 を IRQ3 入力端子として使用します。RX631 は P33 を IRQ3 入力端子として使用します。

表2.10 割り込み初期設定例 (IRQ3 設定)

手順		SH7044	RX631
1	I/O ポート設定	PBIOR.PB5IOR=0 (汎用入力端子設定) PBCR2.PB5MD1,0=01b (IRQ3 割り込み入力端子)	PORT3.PDR.B3=0 (P33 入力設定) PORT3.PMR.B3=0 (P33GPIO 設定) MPC.PWPR.B0WI = 0 MPC.PWPR.PFSWE = 1 (PFS ライト許可) MPC.P33PFS.ISEL=1 (割り込み機能設定 IRQ3-DS) MPC.PWPR.PFSWE = 0 (PFS ライト禁止) MPC.PWPR.B0WI = 1
2	割り込みコントローラ設定	ICR.IRQ3S=1 (IRQ 検出 : 立ち下がり検出) IPRA=0x000F (bit3-0 : 割り込みレベル 15)	IRQCR3.IRQMD=1 (IRQ 検出 : 立ち下がり検出) IRQFLTE0.FLTEN3=1 (IRQ3 デジタルノイズフィルタ有効) IRQFLTC0.FCLKSEL3 = 3; (サンプリング PCLK/64) IR067=0 (割り込みフラグクリア) IER08.IEN3=1 (IRQ3 許可) IPR067=15 (割り込みレベル 15)



## 2.5 データトランスファコントローラ (DTC)

### 2.5.1 仕様比較

両マイコンともに転送情報を RAM 上に配置し、DTC ベクタにより転送情報を指定する方式です。3つの転送モード（ノーマル転送モード、リピート転送モード、ブロック転送モード）についても基本的な動作は同じです。以下に両 DTC の仕様比較を記載します。

表2.11 SH7044、RX631 DTC 仕様比較

項目	SH7044	RX631
転送モード	<ul style="list-style-type: none"> <li>ノーマル転送モード</li> <li>リピート転送モード</li> <li>ブロック転送モード</li> </ul>	<ul style="list-style-type: none"> <li>ノーマル転送モード</li> <li>リピート転送モード</li> <li>ブロック転送モード</li> </ul>
起動要因	<ul style="list-style-type: none"> <li>外部割り込み</li> <li>周辺機能割り込み</li> <li>ソフトウェアトリガ</li> </ul>	<ul style="list-style-type: none"> <li>外部割り込み</li> <li>周辺機能割り込み</li> <li>ソフトウェアトリガ</li> </ul>
起動許可/禁止制御	DTC モジュールの DTC イネーブルレジスタにより起動	割り込みコントローラの DTC 起動許可レジスタにより起動
転送空間	以下空間内で転送可能 <ul style="list-style-type: none"> <li>内蔵メモリ空間</li> <li>内蔵周辺モジュール空間 (DMAC、DTC を除く)</li> <li>外部メモリ空間</li> <li>メモリマップト外部デバイス空間</li> </ul> * どちらか一方は必ず内蔵メモリ空間、内蔵周辺モジュール空間を指定	以下空間内で転送可能 <ul style="list-style-type: none"> <li>内蔵メモリ空間</li> <li>内蔵周辺モジュール空間 (DMAC、DTC を除く)</li> <li>外部メモリ空間</li> <li>メモリマップト外部デバイス空間</li> </ul> * どちらか一方は必ず内蔵メモリ空間、内蔵周辺モジュール空間を指定
転送単位	8、16、32 ビットから指定 ブロックサイズ：0～65535 から指定	1 データ：8、16、32 ビットから指定 1 ブロック：1～256 データから設定
CPU 割り込み要求	<ul style="list-style-type: none"> <li>DTC 起動要因とした割り込みでの CPU 割り込み要求可能</li> <li>1 データ転送終了時に CPU 割り込み可能</li> <li>指定回数データ転送後に CPU 割り込み可能</li> </ul>	
方式	DTC ベクタで割り込み要因毎に制御情報を配置	
その他	チェーン転送	<ul style="list-style-type: none"> <li>チェーン転送</li> <li>以下機能により、転送時間短縮、メモリ容量削減が可能               <ul style="list-style-type: none"> <li>— 転送情報リードスキップ</li> <li>— ライトバックスキップ可能</li> <li>— ショートアドレスモード</li> </ul> </li> </ul>

## 2.5.2 レジスタ構成

以下に DTC のレジスタ構成を示します。

表2.12 SH7044、RX631 DTC レジスタ一覧

項目		SH7044	RX631
転送モードの選択		DTC モードレジスタ (DTMR) DTC モード 1、0 (MD1、MD0)	DTC モードレジスタ A (MRA) DTC 転送モード選択ビット
転送先/転送元がリピート領域またはブロック領域		DTC モードレジスタ (DTMR) DTC 転送モードセレクト (DTS)	DTC モードレジスタ B (MRB) DTC 転送モード選択ビット
データ転送サイズの選択		DTC モードレジスタ (DTMR) DTC データトランスファサイズ 1、0 (SZ1、SZ0)	DTC モードレジスタ A (MRA) DTC データトランスファサイズビット
転送元：転送後のアドレス状態		DTC モードレジスタ (DTMR) ソースアドレスモード 1、0 (SM1、SM0)	DTC モードレジスタ A (MRA) 転送元アドレスアドレッシングモードビット
転送先：転送後のアドレス状態		DTC モードレジスタ (DTMR) デスティネーションアドレスモード 1、0 (DM1、DM0)	DTC モードレジスタ B (MRB) 転送先アドレスアドレッシングモードビット
チェーン転送選択	転送終了/継続、許可/禁止	DTC モードレジスタ (DTMR) DTC チェインイネーブル (CHNE)	DTC モードレジスタ B (MRB) DTC チェーン転送許可ビット (CHNE)
	連続転送/転送カウンタ変化時転送	—	DTC モードレジスタ B (MRB) DTC チェーン転送選択ビット (CHNS)
割り込み要求の許可/禁止		DTC モードレジスタ (DTMR) DTC インタラプトセレクト (DISEL)	DTC モードレジスタ B (MRB) DTC 割り込み選択ビット (DISEL)
NMI による DTC の転送中断/続行		DTC モードレジスタ (DTMR) DTCNMI モード (NMIM) * <sup>1</sup>	—
転送元アドレス		DTC ソースアドレスレジスタ (DTSAR)	DTC 転送元レジスタ (SAR)
転送先アドレス		DTC デスティネーションアドレスレジスタ (DTDAR)	DTC 転送先レジスタ (DAR)
初期アドレス		DTC 初期アドレスレジスタ (DTIAR) * <sup>2</sup>	—
転送回数の指定		DTC 転送カウントレジスタ A (DTCRA) 転送回数を指定する	DTC 転送カウントレジスタ A (CRA) 転送回数を指定する
ブロック転送モード	データの転送回数	DTC 転送カウントレジスタ A (DTCRA) ブロック転送回数を指定する	DTC 転送カウントレジスタ B (CRB) ブロック転送回数を指定する
	ブロック長の指定	DTC 転送カウントレジスタ B (DTCRB) ブロック長を指定する	DTC 転送カウントレジスタ A (CRA) ブロック長を指定する
DTC 起動の禁止/許可		DTC イネーブルレジスタ (DTER) DTC 起動ビット	DTC 起動許可レジスタ (ICU.DTCERn)
DTC モジュールの動作/停止		—	DTC モジュール起動レジスタ (DTCST) DTC モジュール起動ビット
ベースアドレス		DTC 情報ベースレジスタ (DTBR) * <sup>3</sup>	DTC ベクタベースレジスタ (DTCVBR)
フルアドレスモード/ショートアドレスモード		—	DTC アドレスモードレジスタ (DTCADM0D)
NMI 割り込み発生/なし		DTC コントロール/ステータスレジスタ (DTCSR) NMI フラグビット (NMIF)	ノンマスカブル割り込みステータスレジスタ (ICU.NMISR) NMI ステータスフラグ
ソフトウェアによる DTC 起動の許可/禁止		DTC コントロール/ステータスレジスタ (DTCSR) DTC ソフトウェア起動イネーブルビット (SWDTE)	ソフトウェア割り込み起動レジスタ (ICU.SWINTR) ソフトウェア割り込み起動ビット (SWINT)

項目	SH7044	RX631
ソフトウェアによる DTC 起動時の DTC ベクタアドレスの設定	DTC コントロール/ステータスレジスタ (DTCSR) ソフトウェア起動ベクタ 7~0 (DTVEC7~0)	DTC ステータスレジスタ (DTCSTS) VECN[7:0]ビット (DTC アクティブベクタ番号モニタビット)
DTC の転送動作状態を示す	—	DTC ステータスレジスタ (DTCSTS) DTC アクティブフラグ
リードスキップ許可	—	DTC コントロールレジスタ (DTCCR) DTC 転送情報リードスキップ許可ビット

【注】 \*1 RXにはありません。

\*2 SHにある初期アドレスの設定はRXには不要です。

\*3 SHの情報ベースレジスタの内容はRXのDTCベクタベースレジスタが示すアドレスの内容に含まれます。

### 2.5.3 転送モード

以下に転送モードによる動作の違いを示します。

表2.13 ノーマル転送モード

項目	SH7044	RX631
転送サイズ	1バイト、1ワード、1ロングワード	
転送回数	1~65536回	

表2.14 リピート転送モード (リピート領域指定方法が異なります)

項目	SH7044	RX631
転送サイズ	1バイト、1ワード、1ロングワード	
転送回数	1~256回	
リピート領域指定方法	モードレジスタでリピートモード、元先どちらかがリピートエリアかを指定する。 更にリピート初期アドレスレジスタでリピートアドレスを指定する。	リピート初期アドレスの概念はなく、SAR、DARの初期値どちらかをリピートする。

表2.15 ブロック転送モード (1ブロックサイズの考え方が異なる)

項目	SH7044	RX631
転送サイズ	1ブロックを転送	1ブロックを転送
1ブロックサイズ	1~65536バイト	1~256データ データはバイト、ワード、ロングワード
転送回数	1~65536回	1~65536回

### 2.5.4 起動要因設定

SH7044ではDTCの起動要因設定は、DTC イネーブルレジスタ (DTEA~DTEE) に設定します。RX631のDTC起動要因は、割り込みコントローラのDTC起動許可レジスタ (DTCERn nはベクタ番号) に設定することで当該割り込みによるDTC起動を有効にします。

2.5.5 DTCベクタの構成

両マイコンの DTC ベクタ構成の違いを示します。

SH7044 は固定アドレス 400h 番地から DTC ベクタテーブルを構成します。各転送情報のアドレスは、DTC 情報ベースレジスタ (DTBR) で転送情報アドレスの上位 16 ビットを、DTC ベクタテーブルにて階の 16 ビットアドレスを各起動要因別に格納します。

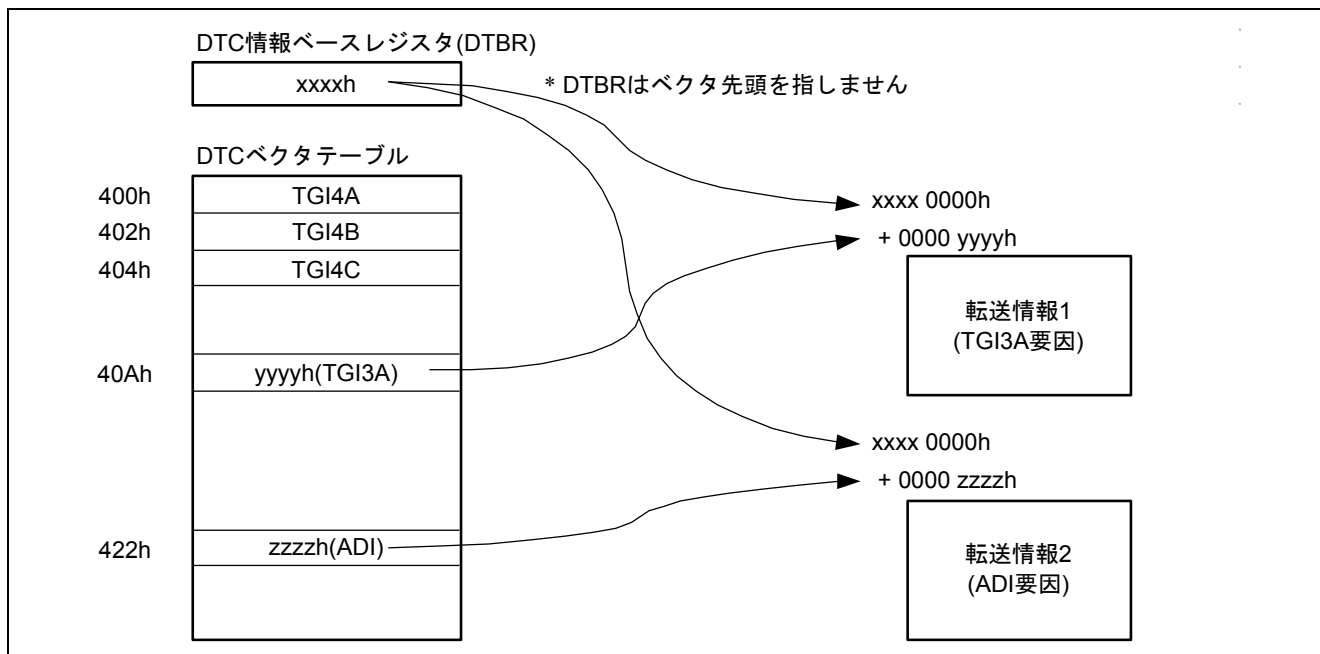


図2.7 SH7044 の DTC ベクタ構成

RX631 は DTC ベクタベースレジスタ (DTVBR) によりベクタテーブル先頭アドレスを指定します。ベクタは 0000 0000h ~ 07FF F000h および F800 0000h ~ FFFF F000h の 4K バイト単位に設定できます。割り込みベクタと同じ 0~255 のベクタを持ち、各ベクタともに 32 ビットアドレスで転送情報アドレスを指定できます。SH マイコンの DTC ベクタテーブルは 400h 以降固定に対し、RX631 は DTC ベクタベースレジスタで設定できるため、DTC ベクタテーブル領域設定の自由度が向上しています。

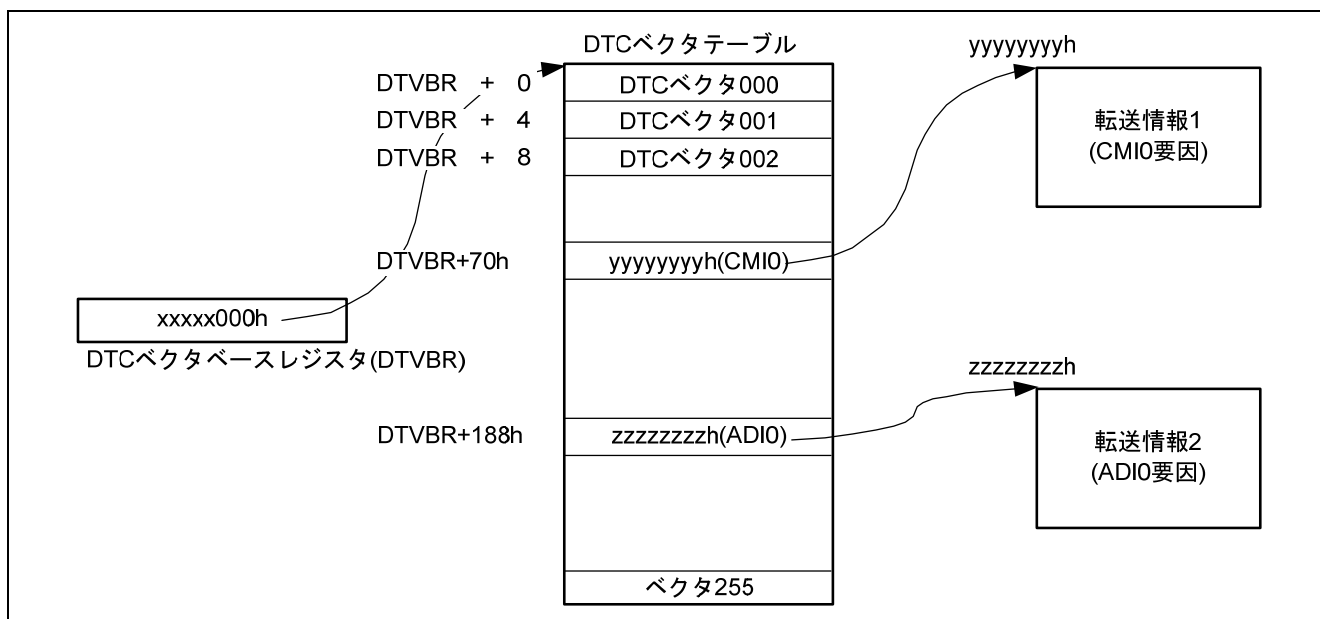


図2.8 RX631 の DTC ベクタ構成

2.5.6 転送情報の配置

SH7044 の転送情報と RX631 の転送情報はフォーマットが異なります。

SH7044 では転送モード別に転送情報フォーマットが異なります。RX631 ではすべての転送モードにおいて同一の転送情報フォーマットを使用します。但し、RX631 では DTC 転送情報はエンディアンの影響を受けません。以下に SH7044 の各モードの転送情報フォーマット (a) と、RX631 のフルアドレスモードの転送情報フォーマット (b) を示します。

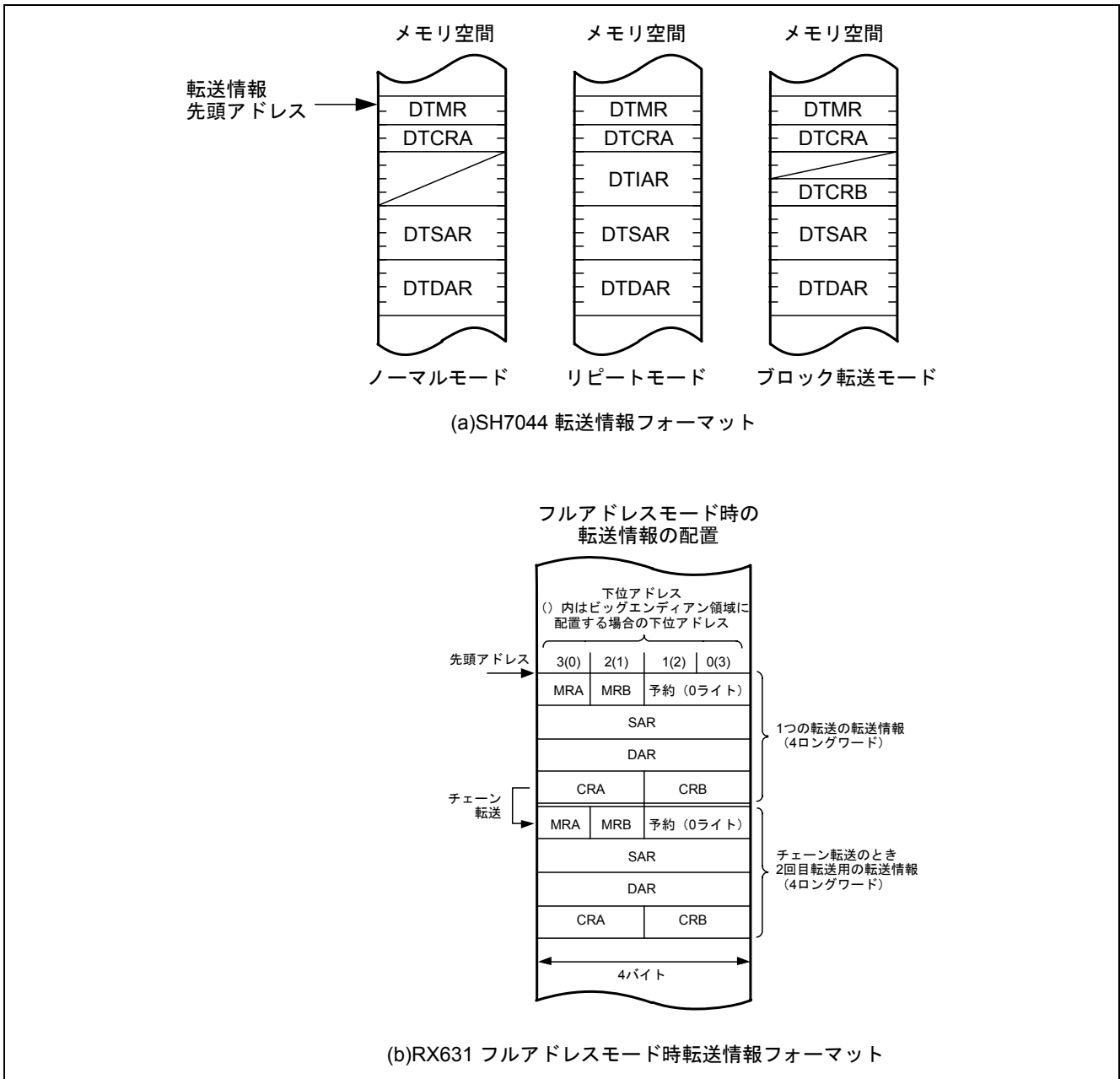


図2.9 SH7044、RX631 DTC 転送情報フォーマット

RX631 では 24 ビットでアドレス指定可能なショートアドレスモードをサポートします。転送情報サイズがフルアドレスモードでは 4 ロングワードに対し、ショートアドレスモードでは 3 ロングワードのため、DTC の転送情報読み込みにかかる時間が短く DTC の起動が早くなります。また、転送情報自体の RAM サイズも削減できます。以下にショートアドレス時の転送情報フォーマットを示します。

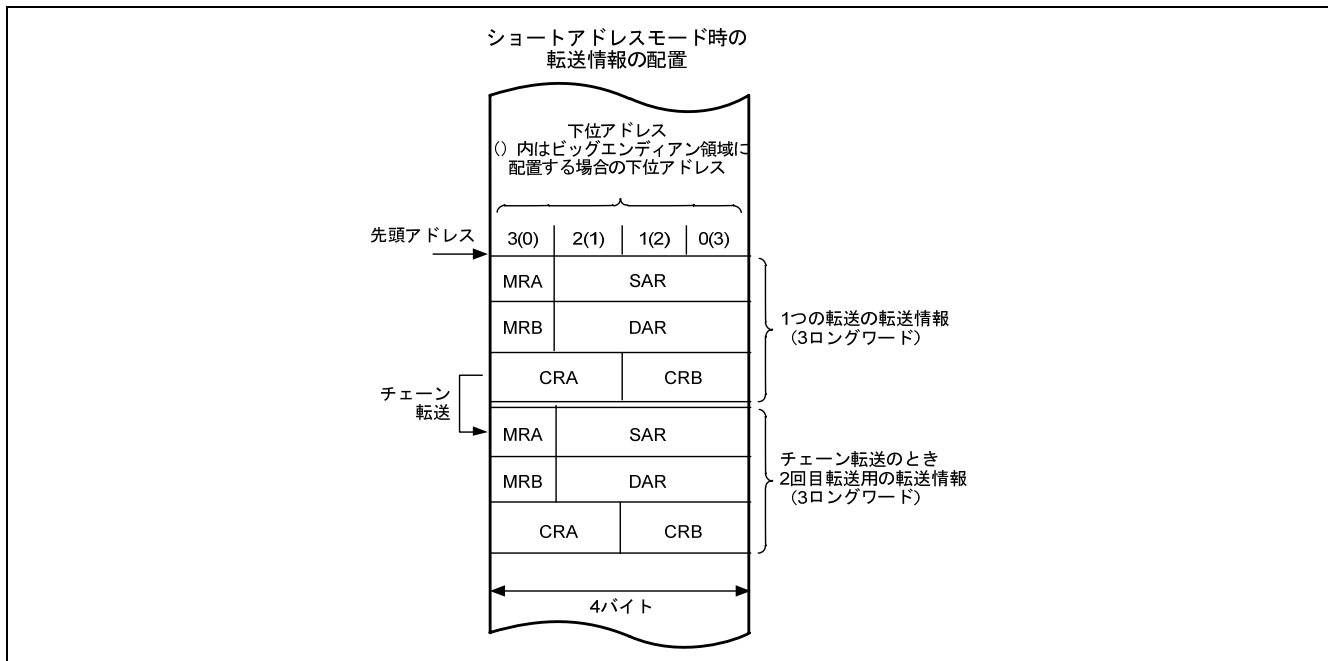


図2.10 RX631 DTC ショートアドレスモード 転送情報フォーマット

ショートアドレスモード時は 00000000h~007FFFFFh、FF800000h~FFFFFFFh のアドレス範囲から 16 メガバイトの空間が転送可能です (但し、予約領域以外)。

### 2.5.7 モジュールストップ

RX631 の周辺モジュールは、消費電力低減機能により初期状態で停止となっています。但し、DTC は初期状態でも動作しており、モジュールストップを解除する必要がありません。DTC はモジュールストップすることが可能ですが、モジュールストップコントロールレジスタの制御ビットが DMAC と同一ビットのため、DTC と DMAC は同時にモジュールストップします。(EXDAMC、EDMAC は別制御です)

### 2.5.8 データトランスファコントローラ (DTC) 設定例 (リポート転送)

SH7044 と RX631 のデータトランスファコントローラ (DTC) の設定例として、シリアルコミュニケーションインタフェース (SCI) と内蔵 RAM との間で DTC を用いてデータ転送を行う設定を以下に示します。なお、SCI の初期設定例は 2.9.4 を参照してください。ここでは SCI 割り込みによる DTC 起動方法の設定差分のみを示します。

<仕様>

- ① RSK+RX63N を使用します。SCI の転送モードは調歩同期式シリアル転送とします。
- ② SCI の送信データエンプティ割り込み要求時、DTC により内蔵 RAM の送信バッファから SCI のトランスミットデータレジスタへ 1 バイトの送信データを転送します。
- ③ SCI の受信データフル割り込み要求時、DTC により 1 バイトの受信データを内蔵 RAM の受信バッファへ転送します。
- ④ 32 バイト分の送信完了時 (DTC 転送終了時) に送信割り込み (TXI) が発生します。
- ⑤ 32 バイト分の受信完了時 (DTC 転送終了時) に受信割り込み (RXI) が発生します。
- ⑥ 正常終了時 LED1 を点灯します。エラー割込時は LED2 を点灯します。

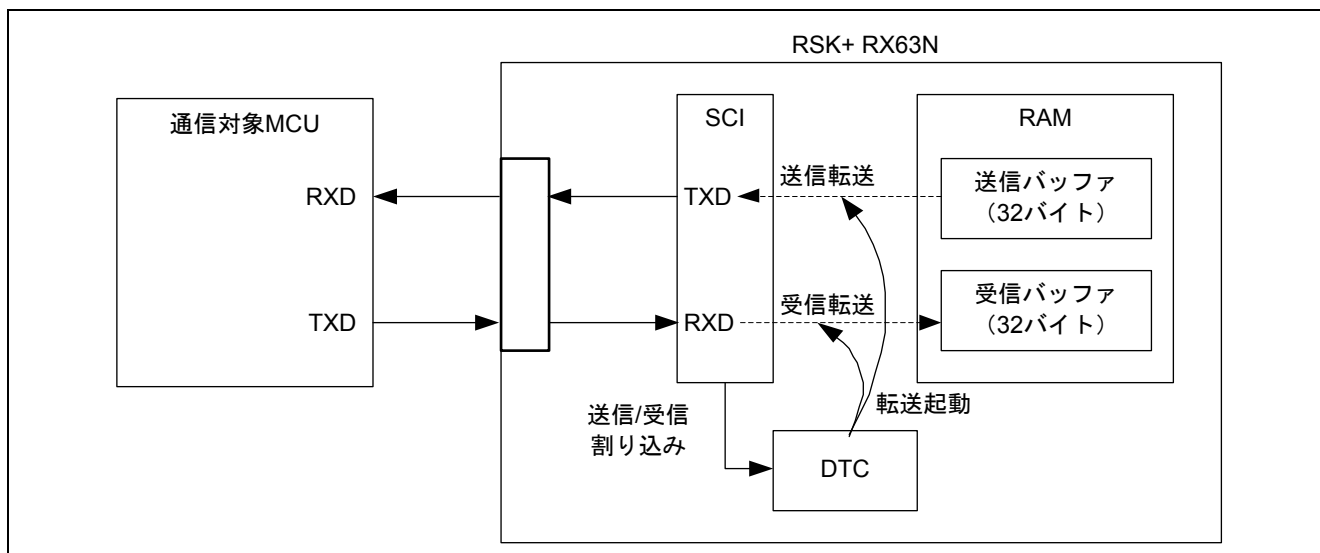


図2.11 DTC を使用した RAM、SCI 間のデータ転送例

表2.16 DTC 転送仕様

項目	送信転送	受信転送
転送モード	リピートモード	リピートモード
転送回数	32 回	32 回
転送サイズ	バイト	バイト
転送元	内蔵 RAM (送信バッファ)	レシーブデータレジスタ (SCI)
転送先	トランスミットデータレジスタ (SCI)	内蔵 RAM (受信バッファ)
転送元アドレス	転送後に転送元アドレスをインクリメント	固定
転送先アドレス	固定	転送後に転送先アドレスをインクリメント
起動要因	SCI 送信データエンプティ割り込み	SCI 受信データフル割り込み
割り込み処理	指定したデータ転送終了時、CPU に対して割り込み	指定したデータ転送終了時、CPU に対して割り込み
アドレスモード	フルアドレスモード	フルアドレスモード

以下に DTC の初期設定例を示します。

- 1) DTC\_TX は送信転送情報構造体です。  
DTC\_RX は受信転送情報構造体です。
- 2) DTC ベクタは以下の様な配置を行います。  
SH7044 `#pragma address DTC_VECT_TABLE = 0x400` (アドレスは任意)  
`volatile unsigned short DTC_VECT_TABLE[34];`  
RX631 `#pragma address DTC_VECT_TABLE = 0x00010000` (アドレスは任意)  
`volatile unsigned long DTC_VECT_TABLE[256];`

表2.17 DTC ノーマル転送初期設定例

手順	SH7044 設定例	RX631 設定例
1	転送情報の設定 (送信側)	
	DTC_TX.DTMR.SM1,0=2 (転送元インクリメント) DTC_TX.DTMR.DM1,0=0 (転送先アドレス固定) DTC_TX.DTMR.MD1,0=1 (リピート転送モード) DTC_TX.DTMR.SZ1,0=0 (データサイズ: バイト) DTC_TX.DTMR.DTS=D.C DTC_TX.DTMR.CHNE=0 (DTC データ転送終了) DTC_TX.DTMR.DISEL=1 (データ転送終了時割り込み許可) DTC_TX.DTSAR=送信バッファ先頭アドレス DTC_TX.DTDAR=SCI.TDR アドレス DTC_TX.DTCRAH=32 (転送回数)	DTC_TX.MRA.SM=2 (転送元インクリメント) DTC_TX.MRA.SZ=0 (データサイズ: バイト) DTC_TX.MRA.MD=1 (リピート転送モード) DTC_TX.MRB.DM=0 (転送先アドレス固定) DTC_TX.MRB.DISEL=0 (データ転送終了時割り込み発生) DTC_TX.MRB.CHNE=0 チェーン転送禁止 DTC_TX.SAR=送信バッファ先頭アドレス DTC_TX.DAR=SCI.TDR アドレス DTC_TX.CRAH=32 (転送回数)
2	転送情報の設定 (受信側)	
	DTC_RX.DTMR.SM1,0=0 (転送元固定) DTC_RX.DTMR.DM1,0=2 (転送先インクリメント) DTC_RX.DTMR.MD1,0=1 (リピート転送モード) DTC_RX.DTMR.SZ1,0=0 (データサイズ: バイト) DTC_RX.DTMR.DTS=D.C DTC_RX.DTMR.CHNE=0 (DTC データ転送終了) DTC_RX.DTMR.DISEL=1 (データ転送終了時割り込み許可) DTC_RX.DTSAR=SCI.RDR アドレス DTC_RX.DTDAR=受信バッファアドレス DTC_RX.DTCRAH=32 (転送回数)	DTC_RX.MRA.SM=0 (転送元アドレス固定) DTC_RX.MRA.SZ=0 (データサイズ: バイト) DTC_RX.MRA.MD=1 (リピート転送モード) DTC_RX.MRB.DM=2 (転送先アドレスインクリメント) DTC_RX.MRB.DISEL=0 (データ転送終了時割り込み発生) DTC_RX.MRB.CHNE=0 チェーン転送禁止 DTC_RX.SAR=SCI.RDR アドレス DTC_RX.DAR=受信バッファアドレス DTC_RX.CRAH=32 (転送回数)
3	DTC ベクタ テーブル設定	
	DTC_VECT_TABLE[29]=DTC_RX のアドレス下位 DTC_VECT_TABLE[30]=DTC_TX のアドレス下位 DTBR= DTC_RX のアドレス上位	DTC_VECT_TABLE[215]=DTC_TX アドレス DTC_VECT_TABLE[214]=DTC_RX アドレス DTC.DTCVBR=DTC ベクタアドレス
4	アドレスモード 設定	
	SH7044 はアドレスモードがないため設定なし	DTC.DTCADMOD=0 (フルアドレスモード)
5	初期アドレス	
	DTC_RX.DTIAR=初期アドレス	—
6	起動要因設定	
	DTED3=1 (SCI.RXI0 で DTC 起動) DTED2=1 (SCI.TXI0 で DTC 起動)	DTGER214=1 (SCI 受信割り込みで DTC 起動) DTGER215=1 (SCI 送信割り込みで DTC 起動)
7	SCI 設定	
	SCI 調歩同期転送設定を行う。 表 2.41 の設定を SCI 機能、ICU 機能に対して行う。 TXI 割り込み、RXI 割り込み、エラー割り込みが動作可能とすること。 割り込み許可を行わないと DTC は動作しない。	
8	DTC モジュール 起動	
	SH7044 にはモジュール起動はない	DTC.DTCST.DTCST=1 (DTC モジュール動作)

32 バイトのデータ送信が終了すると送信割り込み (TXI) が発生します。

32 バイトのデータ受信が終了すると受信割り込み (RXI) が発生します。

上記の割り込み内の処理については規定しません。サンプルコードでは送信、受信割り込みの終了処理を実施しています。



## 2.6 ダイレクトメモリアクセスコントローラ (DMAC)

ダイレクトメモリアクセスコントロール機能として、SH7044 では DMAC、RX631 では DMACA と外部領域-外部領域間の転送専用の EXDMACa が内蔵されています。RX631 は、SH マイコンとは内部バス構成が異なり、CPU 命令実行と DMAC/DTC によるデータ転送の独立動作が可能のため転送性能が向上しています。

### 2.6.1 仕様比較

以下にそれぞれの機能、特徴を示します。

表2.18 SH7044 (DMAC) RX631 (DMACA、EXDMACa) 機能比較

項目	SH7044		RX631	
	DMAC		DMACA	EXDMACa
チャンネル数	4ch		4ch	2ch
最大転送回数 (RX は最大転送データ数)	16M (16777216) 回		1M データ (ブロック転送モード最大総転送数: 1024 データ×1024 ブロック)	1M データ (ブロック転送モード最大総転送数: 1024 データ×1024 ブロック)
DMA 起動要因	<ul style="list-style-type: none"> <li>外部リクエスト</li> <li>内蔵モジュールリクエスト</li> <li>オートリクエスト</li> </ul>		<ul style="list-style-type: none"> <li>(外部リクエストは不可)</li> <li>内蔵モジュールリクエスト</li> <li>ソフトウェアトリガ</li> <li>外部割り込み入力端子へのトリガ入力</li> </ul>	<ul style="list-style-type: none"> <li>外部リクエスト</li> <li>内蔵モジュールリクエスト</li> <li>ソフトウェアトリガ</li> </ul>
チャンネル優先順位	以下から選択 — 固定 — ラウンドロビン		固定 (チャンネル0>チャンネル1>チャンネル2>チャンネル3)	固定 (チャンネル0>チャンネル1)
転送データ	1 データ	8 ビット、16 ビット、32 ビット	8 ビット、16 ビット、32 ビット	8 ビット、16 ビット、32 ビット
	ブロックサイズ	—	データ数: 1~1024	データ数: 1~1024
	クラスタサイズ	—	—	データ数: 1~8
転送モード	<ul style="list-style-type: none"> <li>なし (SH の転送モードは RX のノーマル転送モードに相当)</li> </ul>		<ul style="list-style-type: none"> <li>ノーマル転送モード</li> <li>リピート転送モード</li> <li>ブロック転送モード</li> </ul>	<ul style="list-style-type: none"> <li>ノーマル転送モード</li> <li>リピート転送モード</li> <li>ブロック転送モード</li> <li>クラスタ転送モード</li> </ul>
バスモード	<ul style="list-style-type: none"> <li>サイクルスチールモード</li> <li>バーストモード</li> </ul>		—	—
アドレスモード	<ul style="list-style-type: none"> <li>シングルアドレスモード</li> <li>デュアルアドレスモード</li> </ul>		—	<ul style="list-style-type: none"> <li>シングルアドレスモード</li> <li>デュアルアドレスモード</li> </ul>
割り込み要求	転送終了割り込み	転送カウンタで指定した転送回数を転送終了後に発生	転送カウンタで設定した転送回数を転送終了後に発生	
	転送エスケープ終了割り込み	—	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生	
その他	<ul style="list-style-type: none"> <li>ソースアドレスリロード機能</li> </ul>		<ul style="list-style-type: none"> <li>拡張リピートエリア機能</li> </ul>	<ul style="list-style-type: none"> <li>拡張リピートエリア機能</li> <li>TFTLCD パネルへのダイレクトデータ転送が可能</li> </ul>

2.6.2 DMAC ブロック図

SH7044 の DMAC のブロック図を以下に示します。

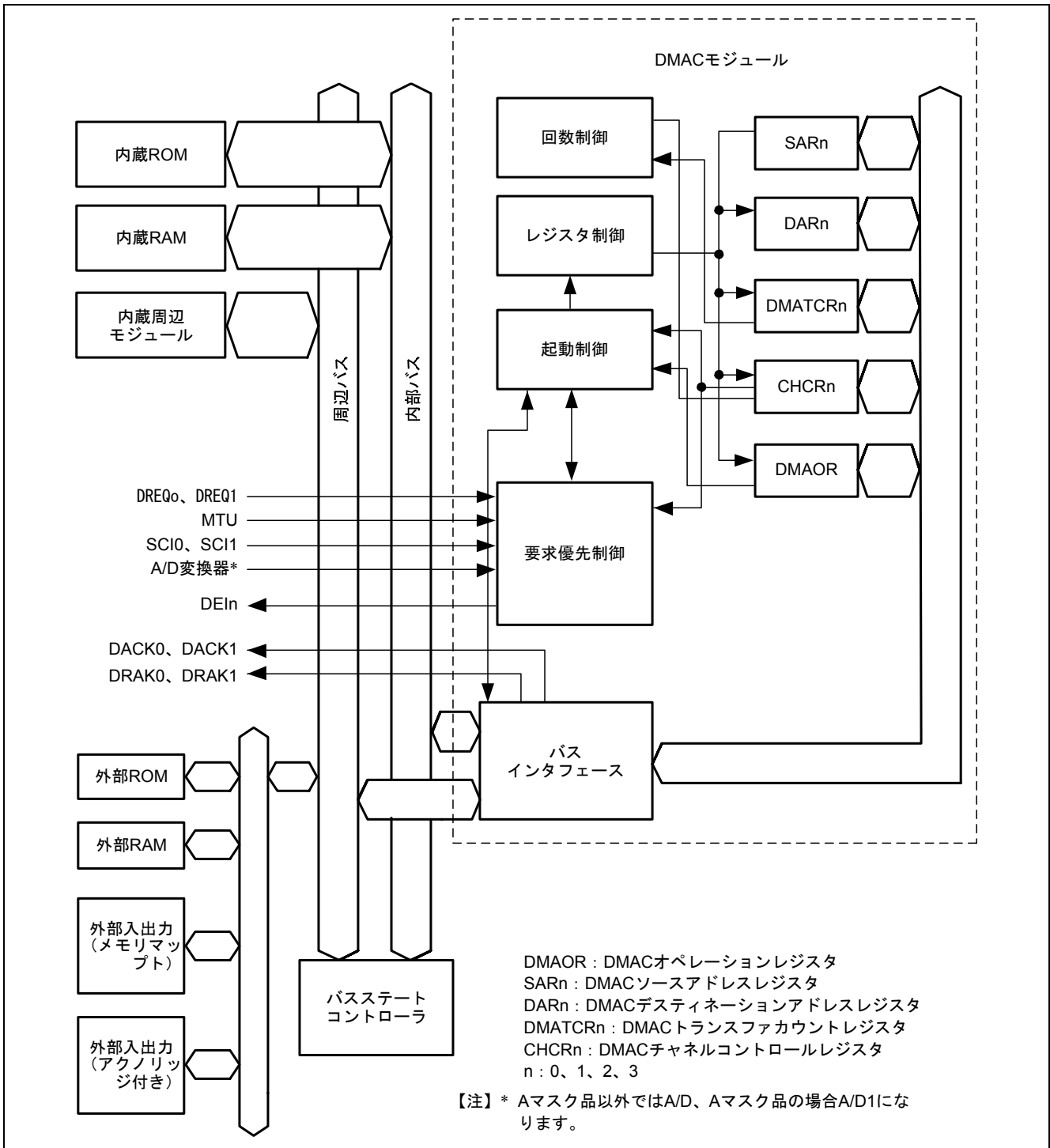


図2.12 SH7044 DMAC ブロック図

RX631 の DMACA ブロック図を示します。

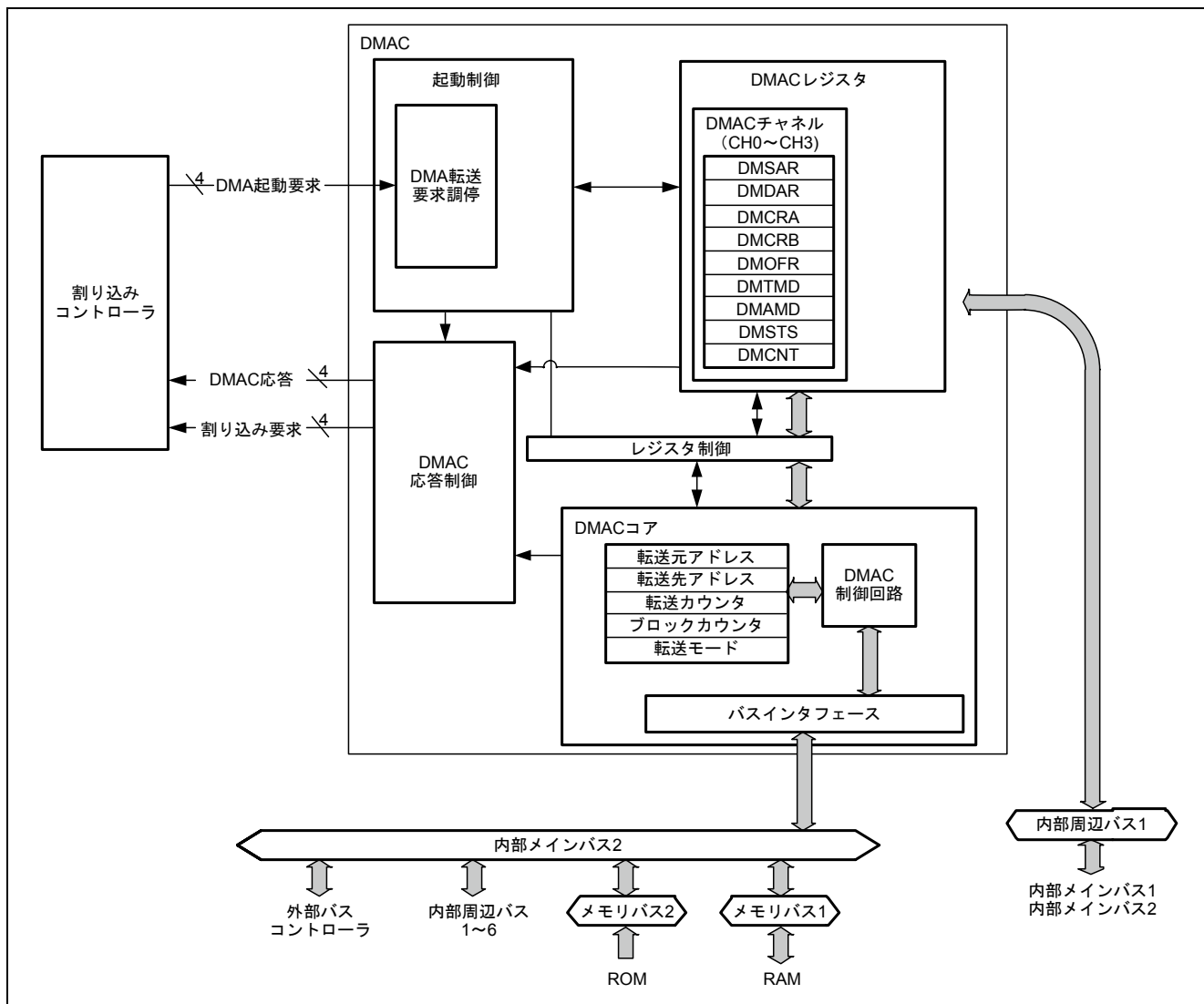


図2.13 RX631 DMACA ブロック図

RX631 の EXDMACa ブロック図を示します。

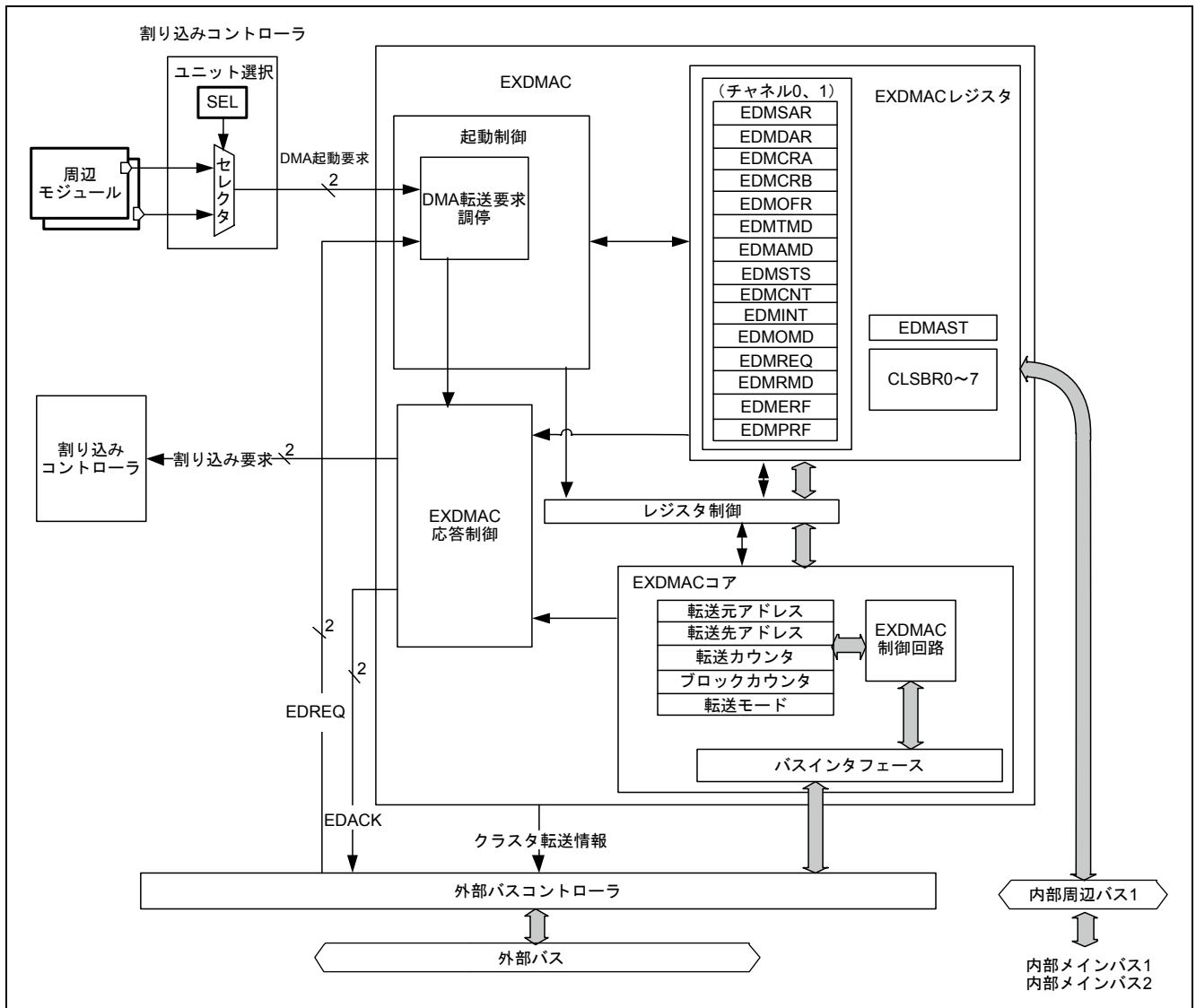


図2.14 RX631 EXDMACa ブロック図

## 2.6.3 レジスタ比較

SH7044 の DMAC と RX631 の DMACA のレジスタ比較を表 2.19 に示します。

SH7044 の DMAC と RX631 の EXDMACa のレジスタ比較を表 2.20 に示します。

表2.19 SH7044/RX631 DMAC/DMACA レジスタ比較

SH7044	RX631
DMAC n : 0~3	DMACA m : 0~3
DMA オペレーションレジスタ (DMAOR)	DMA モジュール起動レジスタ (DMAST)
DMA ソースアドレスレジスタ n (SARn)	DMA 転送元レジスタ m (DMACm.DMSAR)
DMA デスティネーションレジスタ n (DARn)	DMA 転送先レジスタ m (DMACm.DMDAR)
DMA トランスファカウントレジスタ n (DMATCRn)	DMA 転送カウンタレジスタ m (DMACm.DMCRA)
DMA チャンネルコントロールレジスタ (CHCRn)	DMA ブロック転送カウンタレジスタ m (DMACm.DMCRB)
—	DMA 転送モードレジスタ m (DMACm.DMTMD)
	DMA 割り込み設定レジスタ m (DMACm.DMINT)
	DMA アドレスモードレジスタ m (DMACm.DMAMD)
	DMA 転送許可レジスタ m (DMACm.DMCNT)
	DMA ソフトウェア起動レジスタ m (DMACm.DMREQ)
	DMA ステータスレジスタ m (DMACm.DMSTS)
	DMA 起動要因フラグ制御レジスタ m (DMACm.DMCSL)
	DMA オフセットレジスタ (DMAC0.DMOFR)

n,m は各 DMA のチャンネル数となります。

表2.20 SH7044/RX631 DMAC/EXDMACa レジスタ比較

SH7044	RX631
DMAC n : 0~3	EXDMACa p : 0~1
DMA オペレーションレジスタ (DMAOR)	EXDMA モジュール起動レジスタ (EDMAST)
DMA ソースアドレスレジスタ n (SARn)	EXDMA 転送元レジスタ p (EXDMACp.EDMSAR)
DMA デスティネーションレジスタ n (DARn)	EXDMA 転送先レジスタ p (EXDMACp.EDMDAR)
DMA トランスファカウントレジスタ n (DMATCRn)	EXDMA 転送カウンタレジスタ p (EXDMACp.EDMCRA)
DMA チャンネルコントロールレジスタ (CHCRn)	EXDMA ブロック転送カウンタレジスタ p (EXDMACp.EDMCRB)
—	EXDMA 出力設定レジスタ p (EXDMACp.EDMOMD)
	EXDMA 転送モードレジスタ p (EXDMACp.EDMTMD)
	EXDMA 割り込み設定レジスタ p (EXDMACp.EDMINT)
	EXDMA アドレスモードレジスタ p (EXDMACp.EDMAMD)
	EXDMA 転送許可レジスタ p (EXDMACp.EDMCNT)
	EXDMA ソフトウェア起動レジスタ p (EXDMACp.EDMREQ)
	EXDMA ステータスレジスタ p (EXDMACp.EDMSTS)
	EXDMA 外部要求センスモードレジスタ p (EXDMACp.EDMRMD)
	EXDMA 外部要求フラグレジスタ p (EXDMACp.EDMERF)
	EXDMA 周辺要求フラグレジスタ p (EXDMACp.EDMPRF)
	EXDMA オフセットレジスタ (EXDMAC0.EDMOFR)
	クラスタバッファレジスタ y (CLDBR0~7)

【注】 n,p は各 DMA のチャンネル数となります。

## 2.6.4 チャネル優先順位

DMA 転送時のチャネル優先順位について表 2.21 に示します。RX631 ではチャネル優先順位は固定方式のみです。

表2.21 DMA 転送チャネル優先順位

方式	SH7044	RX631	
	DMAC	DMACA	EXDMACa
固定	以下の 3 パターンから 1 つ ①CH0>CH1>CH2>CH3 ②CH0>CH2>CH3>CH1 ③CH2>CH0>CH1>CH3	CH0>CH1>CH2>CH3	CH0>CH1
ラウンドロビン	1 転送単位の転送が終了すると、転送終了チャネルの優先度が最下位レベルになる。	—	—

## 2.6.5 DMA起動要因と設定

各 DMAC の転送起動要因の種類を表 2.22 に示します。

表2.22 DMA 起動要因の比較

DMA 起動要因	SH7044	RX631	
	DMAC	DMACA	EXDMACa
ソフトによる起動	可	可	可
外部デバイスからのリクエスト端子による起動	可 ( <code>_DREQ</code> 信号起動)	不可	可 ( <code>EDREQn</code> 信号起動)
周辺モジュールからの起動	可	可 (外部割り込み入力端子からの割り込みも可能)	可 (MTU1 または TPU7 のコンペアマッチ A)

SH7044 で周辺モジュールから DMA 起動する場合は、起動要因を DMA チャネルコントロールレジスタ (`CHCRx.RS3-0`) のリソースセクタに設定します。RX631 (DMACA) で周辺モジュールから DMA 起動する場合は、割り込みコントローラの DMAC 起動要求選択レジスタ (`DMRSRm` : `m` はチャネル 0~3) に起動要因のベクタ番号を設定する必要があります。

## 2.6.6 転送元/先について

各 DMA コントローラがサポートする転送元/先について以下に示します。

表2.23 SH7044 DMAC 転送元/先

転送元 \ 転送先	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
DACK 付き 外部デバイス	不可	●	●	不可	不可
外部メモリ	●	○	○	○	○
メモリマップト 外部デバイス	●	○	○	○	○
内蔵メモリ	不可	○	○	○	○
内蔵周辺 モジュール	不可	○	○	○	○

● : シングルアドレスモードで転送可能    ○ : デュアルアドレスモードで転送可能

表2.24 RX631 DMACA 転送元/先

転送元 \ 転送先	EDACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
DACK 付き 外部デバイス	不可	不可	不可	不可	不可
外部メモリ	不可	○	○	○	○
メモリマップト 外部デバイス	不可	○	○	○	○
内蔵メモリ	不可	○	○	○	○
内蔵周辺 モジュール	不可	○	○	○	○

○ : 転送可能

表2.25 RX631 EXDMACa 転送元/先

転送元 \ 転送先	EDACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
EDACK 付き 外部デバイス	不可	●	●	不可	不可
外部メモリ	●	○	○	不可	不可
メモリマップト 外部デバイス	●	○	○	不可	不可
内蔵メモリ	不可	不可	不可	不可	不可
内蔵周辺 モジュール	不可	不可	不可	不可	不可

● : シングルアドレスモードで転送可能    ○ : デュアルアドレスモードで転送可能

### 2.6.7 転送モード

SH7044 と RX631 の転送モードについて以下に示します。

SH7044 には転送モードの概念はありません。RX631 で代替する場合、転送モードはノーマル転送モードとなります。但し、SH7044 でソースアドレスリロード機能を使用していた場合、RX631 ではリピートモードを使用してソースアドレスを4回転送単位にリピートする方式で代替可能です。上記の様に SH7044 の転送方式は RX631 の転送モードで処理することが可能です。

表2.26 RX631 転送モード

転送モード	DMACA	EXDMACa	備考
ノーマル転送	○	○	SH7044 転送方式はこれに相当
リピート転送	○	○	SH7044 のソースアドレスリロードはこれで代替可能
ブロック転送	○	○	
クラスタ転送	不可	○	

### 2.6.8 アドレスモード

SH7044 のアドレスモードは、シングルアドレスモードとデュアルアドレスモードがあります。

RX631 の EXDMACa は SH7044 と同じシングルアドレスモード、デュアルアドレスモードがあり、シングルアドレスモードでは1バスサイクルで DMA 転送を行うことができます。デュアルアドレスモードでは2バスサイクルで DMA 転送を行うことができます。DMACA については、アドレスモードの概念がありませんが、SH7044 のデュアルアドレスモードと同様なアドレス指定と動作を行います。

### 2.6.9 バスモード

SH7044 はバスモード指定をサイクルスチールモードとバーストモードから選択します。サイクルスチールモードでは1転送が終了するとバスを別のバスマスタに開放します。バーストモードでは一度 DMA 転送が始まると、転送が終了するまでバスを開放しません。

RX631 では DMACA、EXDMACa とともにバスモードの指定はありません。これはバスのアーキテクチャが SH7044 と異なり、バスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能なためです。RX631 では CPU の命令フェッチが ROM アクセス、オペランドが RAM アクセス中に、DMAC は周辺バス、外部バス間の転送を行うことができます。

図 2.15 は CPU が ROM、RAM をアクセス中に、DMAC は内部メインバス 2 を使い、周辺バスまたは外部バスを同時にアクセスする例です。

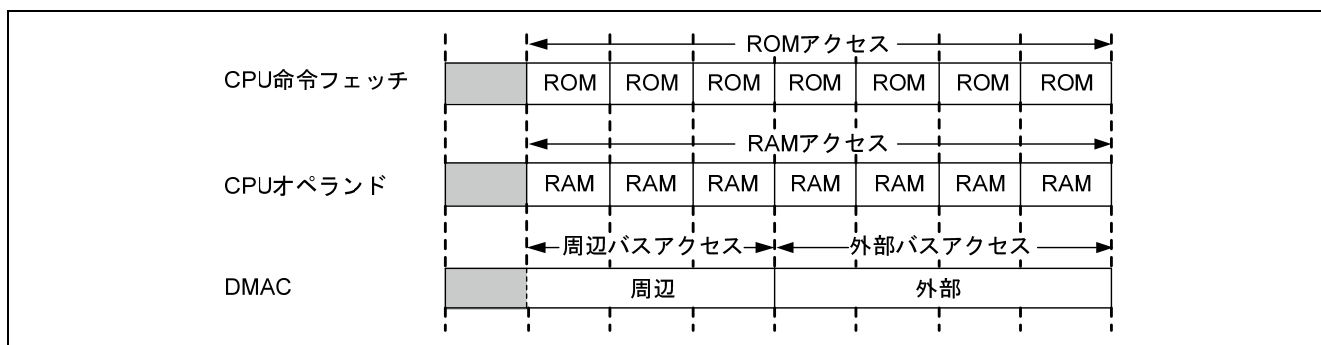


図2.15 バスの並列動作

### 2.6.10 モジュールストップ

RX631 の周辺モジュールは、消費電力低減機能により初期状態で停止となっています。但し、DMACA は初期状態でも動作しており、モジュールストップ解除の必要はありません。DMACA はモジュールストップ



可能ですが、モジュールストップコントロールレジスタの制御ビットが DTC と同一ビットのため、DTC と DMACA は同時にモジュールストップします。

EXDMAC は初期状態ではモジュール停止しています。モジュール設定時はかならずモジュールストップ解除を行ってください。モジュールストップ解除時、モジュールストップコントロールレジスタをアクセスする際は必ずレジスタライトプロテクションを解除してアクセスしてください。

### 2.6.11 ダイレクトメモリアクセスコントローラ（DMAC）の設定例

SH7044 と RX631 のダイレクトメモリアクセスコントローラ（DMAC）の設定例として、シリアルコミュニケーションインタフェース（SCI）と内蔵 RAM 間で、DMAC を用いてデータ転送を行う例を以下に示します。なお、SCI の初期設定例は 2.9.6 章を参照してください。ここでは SCI 割り込みによる DMAC 起動方法の設定差分のみを示します。

<仕様>

- ① RSK+RX63N を使用し、SCI の転送モードはクロック同期式スレーブ受信とします。
- ② SCI の受信データフル割り込み要求時、DMAC により 1 バイトの受信データを内蔵 RAM の受信バッファへ転送します。
- ③ 32 バイト分のデータ受信完了時（DMA 転送終了時）に DMA 転送終了割り込みを発生します。
- ④ 正常終了時 LED1 を点灯します。エラー割込時は LED2 を点灯します。

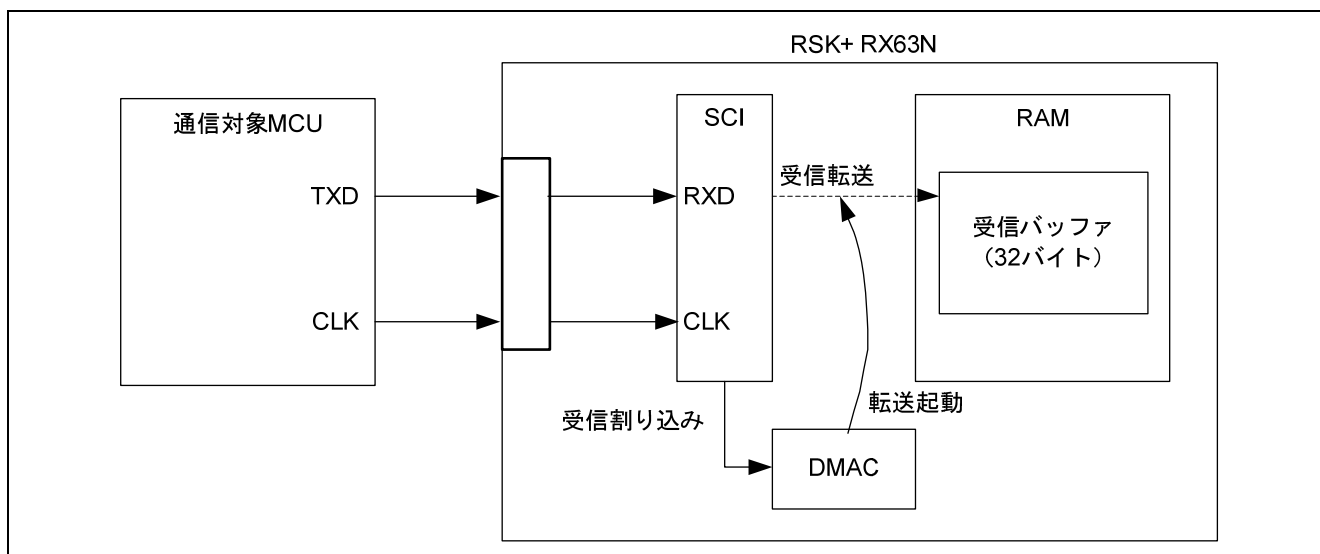


図2.16 DMAC を使用した RAM、SCI 間のデータ転送例

表2.27 DMAC 転送仕様

項目	受信転送	備考
使用チャネル	DMAC0	
転送モード	ノーマル転送モード	
転送回数	32 回	
転送サイズ	バイト	
転送元	レシーブデータレジスタ（SCI）	
転送先	内蔵 RAM（受信バッファ）	
転送元アドレス	固定	
転送先アドレス	転送後に転送先アドレスをインクリメント	
起動要因	SCI 受信データフル割り込み	RXI0 割り込み
割り込み処理	DMAC 転送終了割り込み	DMAC0I
使用端子	P21/RXD0	
	P22/SCK0	

以下に DMAC を使用した、SCI と受信バッファ（内蔵 RAM）間の、データ転送の初期設定例を示します。

表2.28 DMAC ノーマル転送初期設定例

手順	SH7044 設定例	RX631 設定例
1 周辺機能の設定 (SCI 初期設定)	SCI クロック同期式スレーブ受信設定を行う。 表 2.56 の項番 1~11 の設定を SCI 機能、ICU 機能毎に行う。 RXI 割り込み、エラー割り込みが動作可能とすること。 (表 2.56 の項番 12 の割り込みコントローラ側割り込み許可は DMA の設定後に行う)	
2 DMA 転送停止	CHCR0.DE=0 (DMAC0 動作禁止)	IER18.IEN16=0 (DMAC0I 割り込み禁止) DMAC0.DMCNT.DTE=0 (DMA 転送停止)
3 DMAC 起動要因設定	なし	DMRSR0=214 (ベクタ番号 214/RXI0 を設定)
4 DMA アドレスモード設定	CHCR0.SM1,0=0 (転送元アドレスモードは固定) CHCR0.DM1,0=1 (転送先アドレスモードはインクリメント)	DMAC0.DMAMD.SM = 0 (転送元アドレスモードは固定) DMAC0.DMAMD.DM = 2 (転送先アドレスモードはインクリメント)
5 DMA 転送モード設定	CHCR0.RS3-0=1101b (転送要求元を SCI0,RXI0 に設定) CHCR0.TM=0 (バスモードサイクルスチール) CHCR0.TS1,0=0 (転送データサイズを 8 ビット)	DMAC0.DMTMD.DCTG=1 (転送要求を周辺モジュール) DMAC0.DMTMD.SZ=0 (転送データサイズを 8 ビット) DMAC0.DMTMD.MD=0 (転送モードをノーマル転送)
6 転送元アドレス設定	SAR0=RDR アドレス	DMAC0.DMSAR=SCI.RDR アドレス
7 転送先アドレス設定	DAR0=受信バッファアドレス	DMAC0.DMDAR=受信バッファアドレス
8 転送サイズ設定	DMATCR0=32	DMAC0.DMCRA=32
9 割り込み選択設定	なし	DMAC0.DMCSL.DISEL=0 (転送開始時、起動要因の割り込みフラグ 0 クリアする)
10 DMA プライオリティ設定	DMAOR.PR1,0=0 (プライオリティモード: CH0>1>2>3 固定)	なし
11 DMA 割り込みレベル設定	IPRC=0x5000 (DMAC0 割り込み優先度を 5 に設定)	IPR198=5 (DMAC0I 割り込みレベルを 5 に設定)
12 DMA 割り込み設定	CHCR0.IE=1 (転送終了時割り込みを許可)	DMAC0.DMINT.DTIE=1 (転送終了割り込みを許可)
13 DMA 転送許可設定	CHCR0.DE=1 (DMAC0 動作許可)	IER18.IEN16=1 (DMAC0I 割り込み許可) DMAC0.DMCNT.DTE=1 (DMA 転送許可)
14 周辺機能スタート	SCI クロック同期式スレーブ受信初期設定表 2.56 の項番 12 設定を SCI 機能、ICU 機能に行い SCI 機能の動作をスタートさせる。	
15 DMA モジュール起動	DMACOR.DME=1 (DMA マスターイネーブル)	DMAC.DMAST.DMST=1 (DMAC 起動許可)

32 バイトのデータ受信を完了すると DMA 転送終了割り込み (DMA0I) が発生します。DMA 転送終了割り込み内の処理は特に規定しません。サンプルコード内では SCI 終了処理を行っています。

## 2.7 マルチファンクションタイマパルスユニット (MTU)

## 2.7.1 仕様比較

表2.29 SH7044、RX631 MTU 仕様比較

項目		SH7044	RX631
パルス入出力		最大 16 本	
パルス入力		—	3 本
カウントクロック		チャンネル毎に 内部クロックφから 6 種類、 外部クロック (TCLKA、TCLKB、TCLKC、 TCLKD) を使用して 8 種類から選択	PCLK、 MTCLKA,MTCLKB,MTCLKC,MTCLKD を 使用してチャンネル毎に 7 または 8 種類 (MTU5 は 4 種類)
機能説明		RX631 の MTU2a は SH7044 の MTU の機能を包含している。(ソフトウェアコンパチ)	
設定機能	MTU0~4	<ul style="list-style-type: none"> <li>コンペアマッチ波形出力 (0,1,トグルの選択)</li> <li>インプットキャプチャ機能 (立ち上がり、立ち下がり、両エッジ検出を選択)</li> <li>同期動作 <ul style="list-style-type: none"> <li>複数タイマ (TCNT) への同時書き込み</li> <li>コンペアマッチ/インプットキャプチャによる同時クリア</li> <li>カウンタの同期動作による各レジスタの同期入出力</li> </ul> </li> <li>PWM モード <ul style="list-style-type: none"> <li>任意のデューティの PWM 出力</li> <li>同期動作と組み合わせて最大 12 相の PWM 出力</li> </ul> </li> </ul>	
	MTU0,3,4	<ul style="list-style-type: none"> <li>バッファ動作を設定可能</li> <li>インプットキャプチャレジスタのダブルバッファ構成</li> <li>アウトプットコンペアレジスタの自動書き換え</li> <li>RX631 は AC 同期モータ駆動モードあり</li> </ul>	
	MTU1,2	位相計数モードにより、2 相エンコーダパルスのアップダウンカウント	
	MTU3,4	連動動作による相補 PWM、リセット PWM3 相のポジ、ネガ計 6 相の出力	
	MTU5	—	デッドタイム補償用カウンタ機能
相補 PWM モード		カウンタの山、谷で割り込み	
割り込み要因 (詳細は別途記載)		23 種類	28 種類
バッファ動作		レジスタの自動転送	
トリガ生成		A/D コンバータ変換のスタートトリガ	A/D コンバータ変換のスタートトリガ PPG の出力トリガ
DMAC 起動		MTU0~4 : TGRA のコンペアマッチまたはインプットキャプチャ *レジスタ名は SH が TGRnA となります→n はチャンネル番号	
DTC 起動	MTU0~3	TGR のコンペアマッチまたはインプットキャプチャ	
	MTU4	TGR のコンペアマッチまたはインプットキャプチャ、TCNT オーバフロー/アンダフロー	
	MTU5	—	TGR のコンペアマッチまたはインプットキャプチャ
A/D 変換 開始トリガ		MTU0~4 : TGRA のコンペアマッチまたはインプットキャプチャ RX631 で追加 MTU0 : TGRE,F のコンペアマッチ MTU4 : 相補 PWM モード時 TCNT アンダフロー時 (谷)	
PPG トリガ		—	MTU0~3 : TGRA,B コンペアマッチまたは インプットキャプチャ
A/D 変換開始要求 ディレイ機能		—	MTU4 : TADCORA,B と TCNT の一致で 開始要求
割り込み間引き機能		—	MTU3 : TGRA のコンペアマッチ割り込みを 間引き MTU4 : TCIV 割り込みを間引き

表2.30 SH7044、RX631 MTU 割り込み要因一覧

項目	SH7044/RX631					RX631
	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
コンペアマッチ/インプットキャプチャ nA	○	○	○	○	○	
コンペアマッチ/インプットキャプチャ nB	○	○	○	○	○	
コンペアマッチ/インプットキャプチャ nC	○			○	○	
コンペアマッチ/インプットキャプチャ nD	○			○	○	
オーバフロー	○	○	○	○	○	
アンダフロー		○	○		○	
コンペアマッチ nE	▲					
コンペアマッチ nF	▲					
コンペアマッチ/インプットキャプチャ nU						▲
コンペアマッチ/インプットキャプチャ nV						▲
コンペアマッチ/インプットキャプチャ nW						▲

n : チャネル番号 ○ : SH7044 と RX631 互換 ▲ : RX631 で追加

### 2.7.2 割り込みフラグの扱い

RX631 の MTU2a と SH7044 の MTU はソフトウェアコンパチです。SH7044 において、MTU0~MTU4 の機能は、タイマステータスレジスタ (TSR) 割り込みフラグの変更を除き、レジスタの変更なしに移植が可能です (端子設定等の初期設定は別途変更が必要です)。唯一、RX631 ではタイマステータスレジスタ (TSR) に割り込みフラグがありませんが、割り込みコントローラの当該 MTU の IR (IR142~) を使用することで同様な処理を実現できます。

## 2.7.3 レジスタ一覧

SH7044 から RX631 に置き換えを行う場合のレジスタ設定の変更の有無を示します。

表2.31 MTU レジスタ一覧 (1/2)

レジスタ名	SH7044 (MTU)	RX631 (MTU2a)	変更
タイマコントロールレジスタ	TCR0~4	MTU0.TCR~MTU5.TCR	◎
		MTU5.TCRU/V/W	* <sup>1</sup>
タイマモードレジスタ	TMDR0~4	MTU0.TMDR~MTU4.TMDR	◎
タイマ I/O コントロールレジスタ	TIOR0H、TIOR3H、TIOR4H	MTU0.TIORH、MTU3.TIORH、 MTU4.TIORH	◎
	TIOR1、TIOR2	MTU1.TIOR、MTU2.TIOR	◎
	TIOR0L、TIOR3L、TIOR4L	MTU0.TIORL、MTU3.TIORL、 TU4.TIORL	◎
タイマコンペアマッチクリアレジスタ		TCNTCMPCLR	* <sup>1</sup>
タイマ割り込み許可レジスタ	TIER0	MTU0.TIER	◎
	TIER1、TIER2	MTU1.TIER、MTU2.TIER	◎
	TIER3、TIER4	MTU3.TIER、MTU4.TIER	◎
		MTU0.TIER2、MTU5.TIER	* <sup>1</sup>
タイマステータスレジスタ	TSR0	MTU0.TSR	△
	TSR1、TSR2	MTU1.TSR、MTU2.TSR	△
	TSR3、TSR4	MTU3.TSR、MTU4.TSR	△
タイマバッファ動作転送モードレジスタ		MTU0.TBTM、MTU3.TBTM、 MTU4.TBTM	* <sup>1</sup>
タイマインプットキャプチャコントロールレジスタ		MTU1.TICCR	* <sup>1</sup>
タイマ A/D 変換開始要求コントロールレジスタ		MTU4.TADCR	* <sup>1</sup>
タイマ A/D 変換開始要求周期設定レジスタ A、B		MTU4.TADCORA MTU4.TADCORB	* <sup>1</sup>
タイマ A/D 変換開始要求周期設定バッファレジスタ A、B		MTU4.TADCOBRA MTU4.TADCOBRB	* <sup>1</sup>
タイマカウンタ	TCNT0~4	MTU0.TCNT~MTU4.TCNT	◎
		MTU5.TCNTU/V/W	* <sup>1</sup>
タイマジェネラルレジスタ	TGR0,3,4 (A,B,C,D)	MTU0.TGRA~D MTU3.TGRA~D MTU4.TGRA~D	◎
		MTU0.TGRE,F	* <sup>1</sup>
TGR1,2 (A,B)	MTU1.TGRA,B MTU2.TGRA,B	◎	
タイマスタートレジスタ	TSTR	MTU.TSTR	◎
タイマシンクロレジスタ	TSYR	MTU.TSYR	◎
タイマリードライト許可レジスタ		MTU.TRWER	* <sup>1</sup>
タイマアウトプットマスタ許可レジスタ	TOER	MTU.TOER	◎
タイマアウトプットコントロールレジスタ	TOCR	MTU.TOCR1	○
		MTU.TOCR2	* <sup>1</sup>
タイマアウトプットレベルバッファレジスタ		MTU.TOLBR	* <sup>1</sup>

【注】 ◎ SH7044 と RX631 でビットアサインが同じレジスタ

○ 新たな機能（ビット）がアサインされているレジスタ。（新機能ビット以外はビットアサインが同じ）

△ RX631 には割り込みフラグのみありません。

\*<sup>1</sup> SH7044 にはないレジスタ（MTU2 にて新規追加した機能のためのレジスタです。SH7044 から MTU のプログラムを移行する場合は、初期値のままで問題ありません）

表 2.31 MTU レジスタ一覧 (2/2)

レジスタ名	SH7044 (MTU)	RX631 (MTU2a)	変更
タイマゲートコントロールレジスタ	TGCR	MTU.TGCR	◎
タイマサブカウンタ	TCNTS	MTU.TCNTS	◎
タイマデッドタイムデータレジスタ	TDDR	MTU.TDDR	◎
タイマ周期データレジスタ	TCDR	MTU.TCDR	◎
タイマ周期バッファレジスタ	TCBR	MTU.TCBR	◎
タイマ割り込み間引き設定レジスタ		MTU.TITCR	* <sup>1</sup>
タイマ割り込み間引き回数カウンタ		MTU.TITCNT	* <sup>1</sup>
タイマバッファ転送設定レジスタ		MTU.TBTER	* <sup>1</sup>
タイマデッドタイム許可レジスタ		MTU.TDER	* <sup>1</sup>
タイマ波形コントロールレジスタ		MTU.TWCR	* <sup>1</sup>
ノイズフィルタコントロールレジスタ		MTU0.NFCR~ MTU4.NFCR	* <sup>1</sup>

【注】 ◎ SH7044 と RX631 でビットアサインが同じレジスタ

○ 新たな機能（ビット）がアサインされているレジスタ。（新機能ビット以外はビットアサインが同じ）

\*<sup>1</sup> SH7044 にはないレジスタ（MTU2 にて新規追加した機能のためのレジスタです。SH7044 から MTU のプログラムを移行する場合、初期値のままで問題ありません）

#### 2.7.4 ユニット選択機能

MTU と TPU の割り込み要因の一部が同一ベクタに割り付けられています。MTU を使用する場合セクタを設定し、使用する割り込みを決定する必要があります。（詳細は 1.8.6 ユニット選択機能を参照してください）

#### 2.7.5 モジュールストップ

RX631 の周辺モジュールは、消費電力低減機能により初期状態で停止となっています。MTU も初期状態はモジュール停止しているため、モジュール設定時はかならずモジュールストップ解除を行ってください。モジュールストップ解除時、モジュールストップコントロールレジスタをアクセスする際は必ずレジスタライプロテクションを解除してアクセスしてください。

2.7.6 MTUアウトプットコンペアマッチ設定例

SH7044 と RX631 のマルチファンクションタイマパルスユニット (MTU) を使用してアウトプットコンペアマッチ機能を実現した設定例を以下に示します。

<仕様>

- ① RSK+RX63N を使用します。
- ② MTU4 を使用して、設定された周期のデューティ 50% のパルスを出力します。設定周期は 1ms 固定とします。

表2.32 MTU アウトプットコンペアマッチ仕様

項目	内容	備考
カウントクロック	PCLKB/1 の立ち上がり	PCLKB=48MHz
動作モード	ノーマルモード	
同期動作	使用しない	
カウンタクリア要因	TGRA のアウトプットコンペア	
タイマジェネラルレジスタ	アウトプットコンペアレジスタとして使用する	
使用端子	P24/MTIOC4A	パルス出力用

図 2.17 に動作説明を示します。本設定例では MTU 初期設定後、ソフト処理は介在しません。ハードウェアにて自動的にパルス出力を行います。

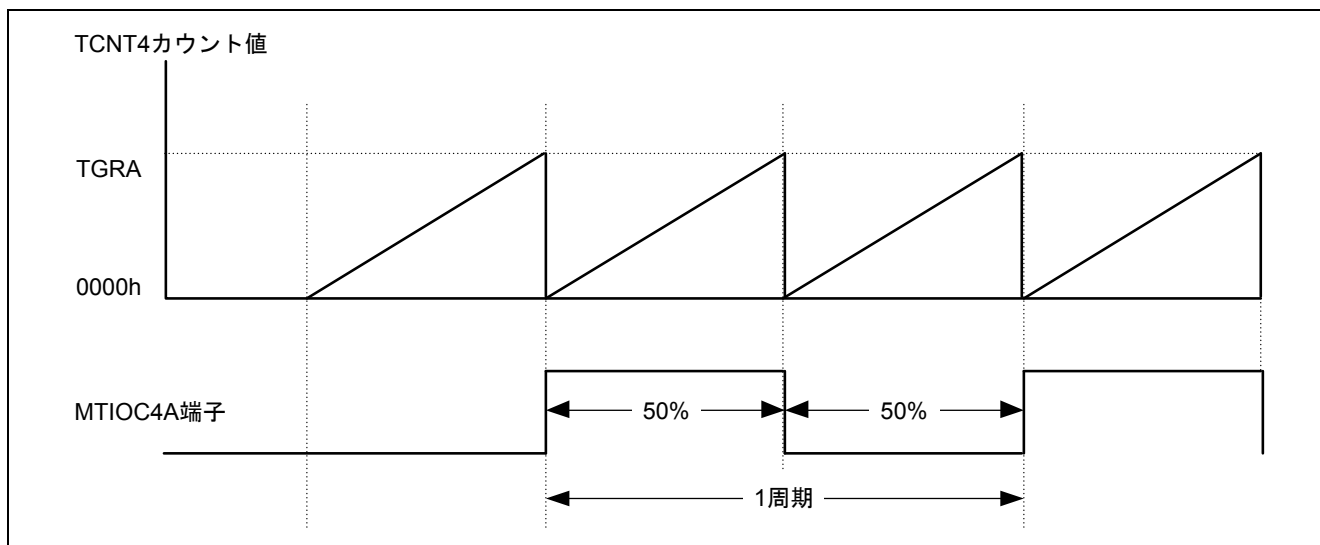


図2.17 MTU アウトプットコンペアマッチ動作説明

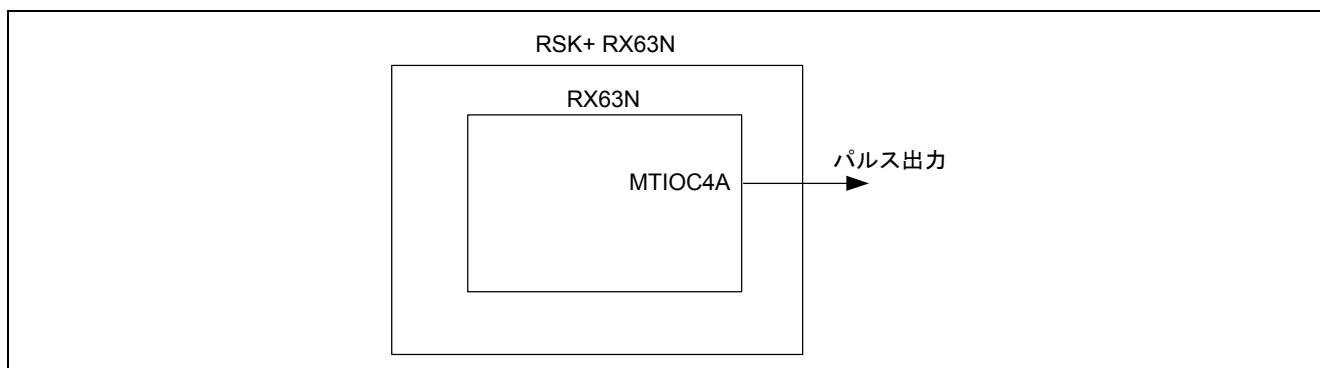


図2.18 MTU アウトプットコンペアマッチ接続図



表2.33 MTU アウトプットコンペアマッチ初期設定例

手順		SH7044 設定例 Pφ (周辺クロック) : 20MHz	RX631 設定例 PCLK (周辺クロック) : 48MHz
1	モジュールストップ状態解除	(モジュールストップ機能なし)	SYSTEM.PRCR=0xA502 SYSTEM.MSTPCRA.MSTPA9=0 SYSTEM.PRCR=0xA500
2	MTU 停止	TSTR.CST4=0 (TCNT 停止) TSYR.SYNC4=0 (独立動作設定) TCNT4=0x0000 (TCNT0 クリア) TGR4A=0x0000 (TGR0A クリア)	MTU.TSTR.CST4=0 (TCNT 停止) MTU.TSYR.SYNC4=0 (独立動作設定) MTU4.TCNT=0x0000 (TCNT クリア) MTU4.TGRA=0x0000 (TGRA クリア)
3	I/O ポート設定 (端子入出力と端子機能設定)	PFC の設定を実施 PEIOR.PE12IOR=1 (出力) PECR1.PE12MD=1 (TIOC4A 選択)	MPC で端子 MTIOC4A を設定 PORT2.PDR.B4 = 1 (出力設定) PORT2.PMR.B4 = 0 (GPIO) MPC.PWPR.B0WI = 0 MPC.PWPR.PFSWE = 1 (PFS ライト許可) MPC.P24PFS = 0x01 (端子機能設定) MPC.PWPR.PFSWE = 0 (PFS ライト禁止) MPC.PWPR.B0WI = 1
4	カウンタクロック選択、エッジ選択	内部クロック : φ/1 設定 TCR4.TPSC2~0=000b TCR4.CKEG1~0=0 (立ち上がりでカウント)	内部クロック : φ/1 設定 MTU4.TCR.TPSC2~0=000b MTU4.TCR.CKEG1~0=0 (立ち上がりでカウント)
5	カウンタ動作/TCNT クリア要因設定。	TGR4A のコンペアマッチ/インプットキャプチャ/TCNT クリア要因 TGR4A TCR4.CCLR2~0=001b	MTU4.TGRA のコンペアマッチ/インプットキャプチャ/TCNT クリア要因 TGRA MTU4.TCR.CCLR2~0=001b
6	TOIC4A 出力許可設定 (MTU3,4 のみある)	TOER.OE4A=1	MTU.TOER.OE4A=1
7	タイマ I/O コントロール設定	TGR4A はアウトプットコンペアレジスタ 初期出力'0'、コンペアマッチでトグル出力 TIOR4H.IOA3~0=0011b	MTU4.TGRA はアウトプットコンペアレジスタ 初期出力'0'、コンペアマッチでトグル出力 MTU4.TIORH.IOA3~0=0011b
8	TGRA 設定 (設定値は 1/2 周期時間)	TGR4A=2710h	MTU4.TGRA=5DE6h
9	タイマモードレジスタ設定	TMDR4.BFB=0 (通常動作) TMDR4.BFA=0 (通常動作) TMDR4.MD3~0=0 (通常動作)	MTU4.TMDR.BFB=0 (通常動作) MTU4.TMDR.BFA=0 (通常動作) MTU4.TMDR.MD3~0=0 (通常動作) PORT2.PMR.B4 = 1 (周辺機能)
10	タイマ動作許可	TSTR.CST4=1 (TCNT0 をカウント動作)	MTU.TSTR.CST4=1 (TCNT0 をカウント動作)

## 2.7.7 MTUインプットキャプチャ設定例

SH7044 と RX631 のマルチファンクションタイマパルスユニット (MTU) インプットキャプチャ機能を使用して入力パルス幅を測定します。

<仕様>

- ① RSK+RX63N を使用します。
- ② 端子から入力されるパルスの High 幅の時間を測定し、結果を RAM に格納します。
- ③ パルス幅が測定範囲以上\*だった場合、LED1 を点灯し処理を終了します。

【注】 \* TCNT オーバフロー回数が FFFFh 回を超えた場合測定不能とします。

表2.34 MTU インプットキャプチャ仕様

項目	内容	備考
カウントクロック	PCLKB/1 の立ち上がり	PCLKB=48MHz
動作モード	ノーマルモード	
同期動作	使用しない	
カウンタクリア要因	TGRA インプットキャプチャ	
タイマジェネラルレジスタ	インプットキャプチャレジスタ	
使用端子	P34/MTIOC0A (両エッジでインプットキャプチャ)	パルス入力
	P05 (GPIO)	LED1 出力
割り込み要因	MTU0 インプットキャプチャ A 割り込み オーバフロー割り込み	

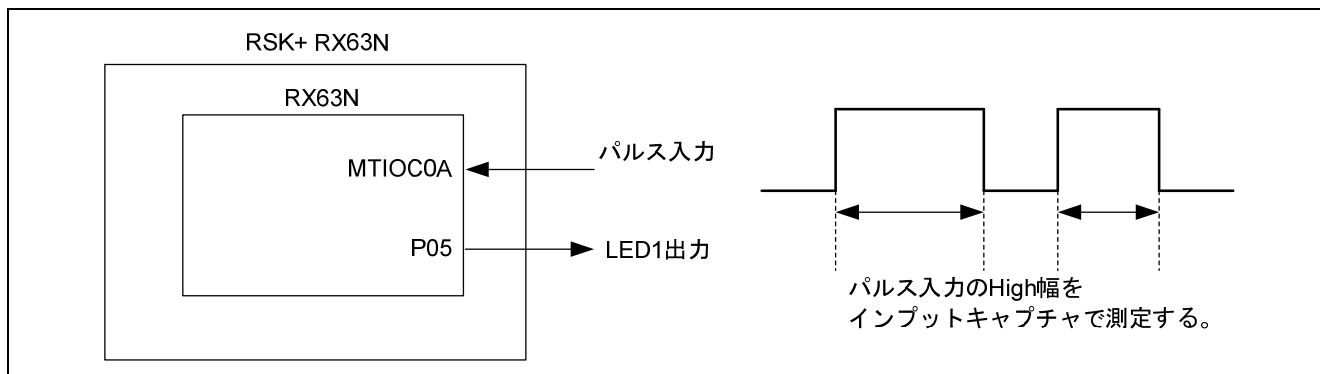


図2.19 MTU 端子接続

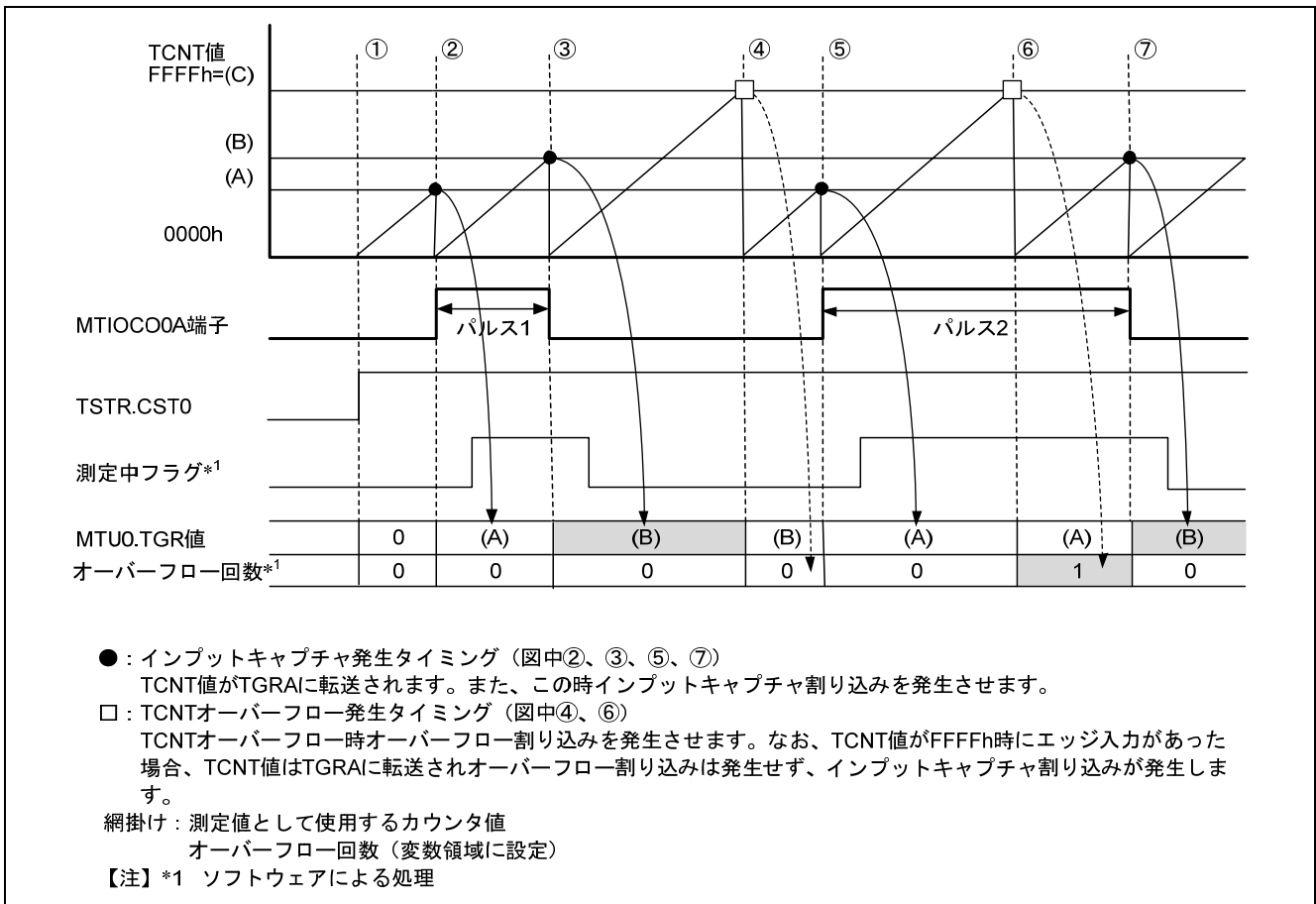


図2.20 MTU インพุットキャプチャ動作説明

## &lt;パルス幅測定動作説明&gt;

上記図 2.20 を前提条件として、パルス 1,2 のパルス幅測定原理を説明します。

- ① TSTR.CST0 ビットに“1” (カウント開始) を設定すると、MTU0 がカウントを開始します。
- ② MTIOC0A 端子に立ち上がりエッジが入力されると、インพุットキャプチャ割り込みが発生します。この割り込み処理内で、端子が High 状態であることを確認後、測定中フラグを“1”に設定、オーバーフロー回数を“0”クリアし、パルス 1 の測定を開始します。
- ③ MTIOC0A 端子に立ち下がりエッジが入力されると、インพุットキャプチャ割り込みが発生します。この割り込み処理内で、端子が Low であることを確認後、パルス 1 の幅を測定完了と判断、測定中フラグを“0”クリアし、MTU0.TCNT のオーバーフロー回数 (0) と、MTU0.TGRA の値 (B) を元にパルス 1 の幅を算出します。
- ④ MTU0.TCNT がオーバーフローし、オーバーフロー割り込みが発生します。この割り込み処理内で、測定中フラグを確認します。測定中フラグが“0”なのでオーバーフロー回数はカウントしません。
- ⑤ MTIOC0A 端子に立ち上がりエッジが入力されると、インพุットキャプチャ割り込みが発生します。この割り込み処理内で端子が High 状態であることを確認後、測定中フラグを“1”に設定、オーバーフロー回数を“0”クリアし、パルス 2 の測定を開始します。
- ⑥ MTU0.TCNT がオーバーフローし、オーバーフロー割り込みが発生します。この割り込み処理内で、測定中フラグを確認します。測定中フラグが 1 のため、オーバーフロー回数をカウントアップし、オーバーフロー回数を (0) ⇒ (1) とします。
- ⑦ MTIOC0A 端子に立ち下がりエッジが入力されると、インพุット割り込みが発生します。この割り込み処理内で端子が Low 状態であることを確認後、パルス 2 の幅を測定完了と判断、測定中フラグを“0”クリアし、MTU0.TCNT のオーバーフロー回数 (1) と、MTU0.TGRA の値 (B) を元にパルス 2 の幅を算出します。

表2.35 MTU インพุットキャプチャ初期設定例

手順		SH7044 設定例 Pφ (周辺クロック) : 20MHz (モジュールストップ機能なし)	RX631 設定例 PCLK (周辺クロック) : 48MHz
1	モジュールストップ 状態解除		SYSTEM.PRCR=0xA502 SYSTEM.MSTPCRA.MSTPA9=0 SYSTEM.PRCR=0xA500
2	割り込み設定 ディスエーブル	TIER0.TGIEA=0 (TGIA を禁止) TIER0.TCIEV=0 (TCIV を禁止)	IER11.IEN6=0 (ベクタ 142、TGIA0 禁止) IER0D.IEN3=0 (ベクタ 107 割り込み禁止) GEN01.EN0=0 (グループ 01 割り込み禁止) MTU0.TIER.TGIEA=0 MTU0.TIER.TCIEV=0
3	ノイズフィルタ設定 (ノイズフィルタの使用 は必須ではない)	—	MTU0.NFCR.BIT.NFAEN = 1; MTU0.NFCR.BIT.NFCS = 0; 2 サイクルウエイト
3	割り込み要因クリア	—	IR142=0
4	ユニットセクタ設定	—	SEL.CN0=0 (MTU0 を設定)
5	MTU 停止	TSTR.CST0=0 (TCNT 停止) TSYR.SYNC0=0 (独立動作設定) TCNT0=0x0000 (TCNT0 クリア) TGR0A=0x0000 (TGR0A クリア)	MTU.TSTR.CST0=0 (TCNT 停止) MTU.TSYR.SYNC0=0 (独立動作設定) MTU0.TCNT=0x0000 (TCNT クリア) MTU0.TGRA=0x0000 (TGRA クリア)
6	I/O ポート設定 (端子入出力と端子機能 設定)	PFC の設定を実施する。 PEIOR.PE0IOR=1 (入力) PECR2.PE0MD1~0=01b (TIOC0A 選択)	MPC で端子 MTIOC0A を設定する。 PORT3.PDR.B4 = 0 (入力設定) PORT3.PMR.B4 = 0 (GPIO) MPC.PWPR.B0WI = 0 MPC.PWPR.PFSWE = 1 (PFS ライト許 可) MPC.P34PFS = 0x01 (端子機能設定) MPC.PWPR.PFSWE = 0 (PFS ライト禁 止) MPC.PWPR.B0WI = 1 PORT3.PMR.B4 = 1 (周辺機能)
7	カウンタクロック選択、 エッジ選択	内部クロック : φ/1 設定 TCR0.TPSC2~0=000b TCR0.CKEG1~0=0 (立ち上がりでカウン ト)	内部クロック : φ/1 設定 MTU0.TCR.TPSC2~0=000b MTU0.TCR.CKEG1~0=0 (立ち上がりでカ ウント)
8	カウンタ動作/TCNT クリ ア要因の設定	TGR0A のコンペアマッチ/インพุットキャ プチャ/TCNT クリア要因 TGR0A TCR0.CCLR2~0=001b	MTU0.TGRA のコンペアマッチ/インพุ ットキャプチャ/TCNT クリア要因 TGRA MTU0.TCR.CCLR2~0=001b
9	タイマ I/O コントロール 設定	TGR0A はインพุットキャプチャレジスタ 入力端子 TIOC0A、 両エッジでインพุットキャプチャ TIOR0H.IOA3~0=1010b	MTU0.TGRA はインพุットキャプチャレ ジスタ 入力端子 MTIOC0A 両エッジでインพุットキャプチャ MTU0.TIORH.IOA3~0=1010b
10	タイマモードレジスタ設 定	TMDR0.BFB=0 (通常動作) TMDR0.BFA=0 (通常動作) TMDR0.MD3~0=0 (通常動作)	MTU0.TMDR.BFB=0 (通常動作) MTU0.TMDR.BFA=0 (通常動作) MTU0.TMDR.MD3~0=0 (通常動作)
11	割り込み優先度レジスタ 設定	IPRD.WORD=0x5000 (MTU0 をレベル 5)	IPR142=5 (TGIA0 をレベル 3) IPR107=5 (GROUP1 をレベル 4)
12	割り込み許可設定	TIER0.TGIEA=1 (TGIA を許可) TIER0.TCIEV=1 (TCIV を許可)	MTU0.TIER.TGIEA=1 MTU0.TIER.TCIEV=1 IER11.IEN6=1 (ベクタ 142、TGIA0 許可) IER0D.IEN3=1 (ベクタ 107 割り込み許可) GEN01.EN0=1 (グループ 01 割り込み許可)
13	タイマ動作許可	TSTR.CST0=1 (TCNT0 をカウント動作)	MTU.TSTR.CST0=1 (TCNT0 をカウント動 作)

## 2.8 ウォッチドッグタイマ

## 2.8.1 仕様比較

ウォッチドッグタイマモジュールとして、SH7044 には WDT が内蔵されます。RX631 では WDTA の他に、独立した専用クロックで動作する IWDTa が内蔵されます。以下にそれぞれの仕様を比較します。

表2.36 SH7044、RX631 WDT、WDTA、IWDTa 仕様比較

項目	SH7044	RX631	
	WDT	WDTA	IWDTa
クロックソース	システムクロック (φ)	周辺クロック (PCLK)	IWDT 専用クロック (IWDTCLK)
クロック分周比	φ/2,64,128,256,512,1024,4096,8192	PCLK/4,64,128,512,4096,8192	IWDTCLK/1,16,32,64,128,256
カウント動作	8 ビットのアップカウンタ	14 ビットのダウンカウンタ	14 ビットのダウンカウンタ
動作モード	<ul style="list-style-type: none"> <li>ウォッチドッグタイマモード</li> <li>インターバルタイマモード</li> </ul>	ウォッチドッグタイマモードのみ	ウォッチドッグタイマモードのみ
カウント開始条件	タイマコントロールレジスタのタイマイネーブルビットをイネーブル	以下の動作から選択可能 ①リセット時自動的にカウント開始 (オートスタートモード) ②リフレッシュ動作によりカウント開始 (レジスタスタートモード)	以下の動作から選択可能 ①リセット時自動的にカウント開始 (オートスタートモード) ②リフレッシュ動作によりカウント開始 (レジスタスタートモード)
カウント停止条件	<ul style="list-style-type: none"> <li>■ウォッチドッグタイマモード時 <ul style="list-style-type: none"> <li>オーバフロー時</li> <li>パワーオンリセット時</li> </ul> </li> <li>■インターバルタイマモード時 <ul style="list-style-type: none"> <li>タイマコントロールレジスタのタイマイネーブルビットをディスエーブル</li> <li>パワーオンリセット時</li> </ul> </li> </ul>	<ul style="list-style-type: none"> <li>アンダフロー時</li> <li>リセット時 (ダウンカウンタ、レジスタ初期値へ戻る)</li> <li>リフレッシュエラー発生時</li> </ul>	<ul style="list-style-type: none"> <li>アンダフロー時</li> <li>リセット時 (ダウンカウンタ、レジスタ初期値へ戻る)</li> <li>リフレッシュエラー発生時</li> </ul>
オーバフロー/アンダフロー時の動作	<ul style="list-style-type: none"> <li>■ウォッチドッグタイマモード時 <ul style="list-style-type: none"> <li>WDTOVF 出力</li> <li>内部リセット</li> </ul> </li> <li>■インターバルタイマモード時 <ul style="list-style-type: none"> <li>割り込み</li> </ul> </li> </ul>	<ul style="list-style-type: none"> <li>内部リセット</li> <li>割り込み</li> </ul>	<ul style="list-style-type: none"> <li>内部リセット</li> <li>割り込み</li> </ul>
その他	—	オプション機能選択レジスタ 0 に対する設定で以下を決定 — クロック分周比 — リフレッシュウインドウ開始/終了 — タイムアウト期間 — アンダフロー時の動作	オプション機能選択レジスタ 0 に対する設定で以下を決定 — クロック分周比 — リフレッシュウインドウ開始/終了 — タイムアウト期間 — アンダフロー時の動作

— : SH7044 にはない機能

## 2.8.2 モジュールストップ

RX631 の周辺モジュールは、消費電力低減機能により初期状態で停止となっていますが、WDTA、IWDTa にはモジュールストップ機能がありません。初期状態の動作はオプション設定メモリで決定します。なお、WDTA は全モジュールストップ時、カウントを停止し状態を保持します。また、IWDTa は全モジュールストップ時の動作、停止はオプション設定メモリで選択できます。

## 2.9 シリアルコミュニケーションインターフェース

## 2.9.1 仕様比較

SH7044 の SCI に対して、RX631 は SCIc/SCIId が内蔵されています。SCIc は従来の転送方式の調歩同期式、クロック同期式に加えて、調歩同期式の拡張機能としてスマートカード (IC カード) インタフェースに対応しています。更に、簡易 I2C バスインタフェースのシングルマスタ動作、および簡易 SPI バスインタフェースにも対応しています。SCIId は SCIc の機能に加えて拡張シリアルインタフェースを備えています。SH7044 にはない転送方式はユーザーズマニュアル ハードウェア編を参照してください。

表2.37 SCI の相違点

項目	SH7044	RX631	
チャンネル数	2Ch (SCI0,1)	13Ch SCIc : SCI0~11 SCIId : SCI12	
シリアル通信方式	<ul style="list-style-type: none"> <li>調歩同期式</li> <li>クロック同期式</li> </ul>	<ul style="list-style-type: none"> <li>調歩同期式</li> <li>クロック同期式</li> <li>スマートカードインタフェース</li> <li>簡易 I2C バス</li> <li>簡易 SPI バス</li> </ul>	
転送速度	内蔵ボーレートジェネレータにより任意のビットレートを選択可能		
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能		
データ転送	LSB ファーストのみ	LSB ファースト/MSB ファースト選択可能 (簡易 I2C バスでは MSB ファーストのみ)	
割り込み要因	<ul style="list-style-type: none"> <li>送信データエンプティ</li> <li>送信終了</li> <li>受信データフル</li> <li>受信エラー</li> </ul>	<ul style="list-style-type: none"> <li>送信データエンプティ</li> <li>送信終了</li> <li>受信データフル</li> <li>受信エラー</li> <li>開始条件*</li> <li>再開条件*</li> <li>停止条件生成終了*</li> </ul> *簡易 I2C モード用	
調歩同期モード	データ長	7 ビット, 8 ビット	
	ストップビット	1 ビット, 2 ビット	
	パリティ機能	偶数パリティ、奇数パリティ、パリティなし	
	受信エラーの検出	パリティエラー、オーバランエラー、フレーミングエラー	
	ハードウェアフロー制御	なし	あり (CTS、RTSn 端子で制御可能)
	ブ레이크検出	フレーミングエラー発生時 RxDn 端子レベルを直接リードすることで可能	
	クロックソース	内部/外部クロックから選択可能	内部/外部クロックから選択可能 TMR からの転送レートクロックが入力可能 (SCI5,6)
	マルチプロセッサ通信	あり	
クロック同期モード	データ長	8 ビット	
	受信エラーの検出	オーバランエラー	
	ハードウェアフロー制御	なし	あり (CTS、RTSn 端子で制御可能)
スマートカードインタフェース	なし	あり	
簡易 I2C モード	なし	あり	
簡易 SPI モード	なし	あり	
拡張シリアルモード	なし	SCIId (SCI12) のみ実装	

内蔵 SCI のレジスタの比較を以下にまとめました。

表2.38 SCI 通信レジスタ一覧

SH7044	RX631	変更
トランスミットデータレジスタ (TDR)	トランスミットデータレジスタ (TDR)	◎
トランスミットシフトレジスタ (TSR)	トランスミットシフトレジスタ (TSR)	◎
レシーブデータレジスタ (RDR)	レシーブデータレジスタ (RDR)	◎
レシーブシフトレジスタ (RSR)	レシーブシフトレジスタ (RSR)	◎
シリアルモードレジスタ (SMR)	シリアルモードレジスタ (SMR)	◎
シリアルコントロールレジスタ (SCR)	シリアルコントロールレジスタ (SCR)	◎
シリアルステータスレジスタ (SSR)	シリアルステータスレジスタ (SSR)	◎* <sup>1</sup>
ビットレートレジスタ (BBR)	ビットレートレジスタ (BBR)	◎
	スマートカードモードレジスタ (SCMR)	○
	シリアル拡張モードレジスタ (SEMR)	○
	ノイズフィルタ設定レジスタ (SNFR)	○* <sup>2</sup>
	I2C モードレジスタ 1~3 (SIMR1~3)	* <sup>2</sup>
	I2C ステータスレジスタ (SISR)	—
	SPI モードレジスタ (SPMR)	* <sup>2,3</sup>
	拡張シリアルモード有効レジスタ (ESMER)	—
	コントロールレジスタ 0~3 (CR0~3)	—
	ポートコントロールレジスタ (PCR)	—
	割り込みコントロールレジスタ (ICR)	—
	ステータスレジスタ (STR)	—
	ステータスクリアレジスタ (STCR)	—
	Control Field 0 データレジスタ (CF0DR)	—
	Control Field 0 コンペアイネーブルレジスタ (CF0CR)	—
	Control Field 0 受信データレジスタ (CF0RR)	—
	プライマリ Control Field 1 データレジスタ (PCF1DR)	—
	セカンダリ Control Field 1 データレジスタ (SCF1DR)	—
	Control Field1 コンペアイネーブルレジスタ (CF1CR)	—
	Control Field1 受信データレジスタ (CF1RR)	—
	タイマコントロールレジスタ (TCR)	—
	タイマモードレジスタ (TMR)	—
	タイマプリスケラレジスタ (TPRE)	—
	タイマカウントレジスタ (TCNT)	—

【注】 ◎ SH7044 と RX631 でビットアサインが同じレジスタ

○ 機能を使用するうえで設定が必要なレジスタで、SH7044 にはないレジスタ

— SH7044 にはないレジスタ (SH7044 から SCI のプログラムを移行する場合、初期値のままです問題ありません)

\*<sup>1</sup> TDRE/RDRF のみ差異があります。

\*<sup>2</sup> プログラムを移行する場合、初期値のままです構いません。

\*<sup>3</sup> CTS、RTS によるフロー制御を行う場合に設定が必要なレジスタ及び各レジスタのビットアサインについてはユーザーズマニュアル ハードウェア編を参照してください。



### 2.9.2 SCI置き換え

SH7044 の SCI を RX631 の SCIC/d に置き換える場合以下の様な違いがあります。

#### ① TDRE、RDRF

SH7044 のシリアルステータスレジスタのトランスミットレジスタエンプティ (TDRE) とレシーブデータフル (RDRF) のフラグは、RX631 の SCIC/d モジュールにはありません。RX631 では、割り込みコントローラの IR (TXI) が TDRE、IR (RXI) が RDRF に相当します。IR (TXI) 、IR (RXI) とともに割り込みハンドラを使用した場合、割り込みコントローラが自動的にクリアするためフラグクリア処理は必要ありません。ポーリング方式の場合は SH7044 と同様な割り込みフラグのクリアが必要です。

#### ② 1 ビット期間決定とクロックソース選択

調歩同期式モードで通信を行う場合、シリアル拡張モードレジスタ (SEMR) において 1 ビット期間を決定するクロックソースを外部クロック入力、TMR クロック入力から選択します。また、1 ビット期間が基本クロックの 8 ビット/16 ビットかを選択します。

#### ③ デジタルノイズフィルタ

デジタルノイズフィルタの有効、無効についてシリアル拡張モードレジスタ (SEMR) で設定します。なお、ノイズフィルタ有効の場合は、ノイズフィルタ設定レジスタ (SNFR) にノイズフィルタのクロックセレクト選択を設定してください。

#### ④ 受信エラー割り込み

受信エラー割り込みがグループ割り込みに割り付けられます。グループ割り込みは SCIO~12 の 12 チャンネル分の受信エラーがひとつのベクタに割り付けられます。よって、受信エラー割り込みが発生した場合、グループ割り込み要因レジスタ 12 (GRP12) の ISn (n はチャンネル番号) にてエラー発生チャンネルを検出する必要があります。1 チャンネル内のエラー処理はオーバランエラー、フレーミングエラー、パリティエラーともに SH7044 と同様です。

### 2.9.3 モジュールストップ

RX631 の周辺モジュールは、消費電力低減機能により初期状態で停止となっています。SCI も初期状態はモジュール停止しているため、モジュール設定時はかならずモジュールストップ解除を行ってください。モジュールストップ解除時、モジュールストップコントロールレジスタをアクセスする際は必ずレジスタライトプロテクションを解除してアクセスしてください。

## 2.9.4 調歩同期式通信設定例（割り込み方式・ポーリング方式）

SH7044 と RX631 のシリアルコミュニケーションインタフェース（SCI）調歩同期式シリアル通信の設定例を示します。

<仕様>

- ① RSK+RX63N の SCI0 を使用し、TXD と RXD をループバック接続します。
- ② 送信バッファ 32 バイトデータの送信を行い、折り返しデータを受信するものとします。
- ③ 割り込み方式では、送受信割り込みを使用し、送信データエンプティ割り込みにより送信開始、受信データレジスタフル割り込みにより受信開始をします。
- ④ ポーリングでは割り込みを使用せず、送受信の割り込み要因フラグをポーリングすることでデータの送受信を行います。
- ⑤ マイコン初期化が終了し、SCI が送受信可能になったら LED0 を点灯します。送受信が終了したら LED1 を点灯します。受信エラーが発生した場合は LED2 を点灯します。

表2.39 SCI 調歩同期通信仕様

項目	内容	備考
通信方式	調歩同期式シリアル通信	
転送速度	38400bps	
データ長	8 ビット	
ストップビット	1 ビット	
パリティ	なし	
ハードウェアフロー制御	なし	
ビット順序	LSB ファースト	
使用 SCI チャンネル	SCI0 固定	
使用端子	P20/TXD0	
	P21/RXD0	
	P03/GPIO	LED0 出力
	P05/GPIO	LED1 出力
	P10/GPIO	LED2 出力

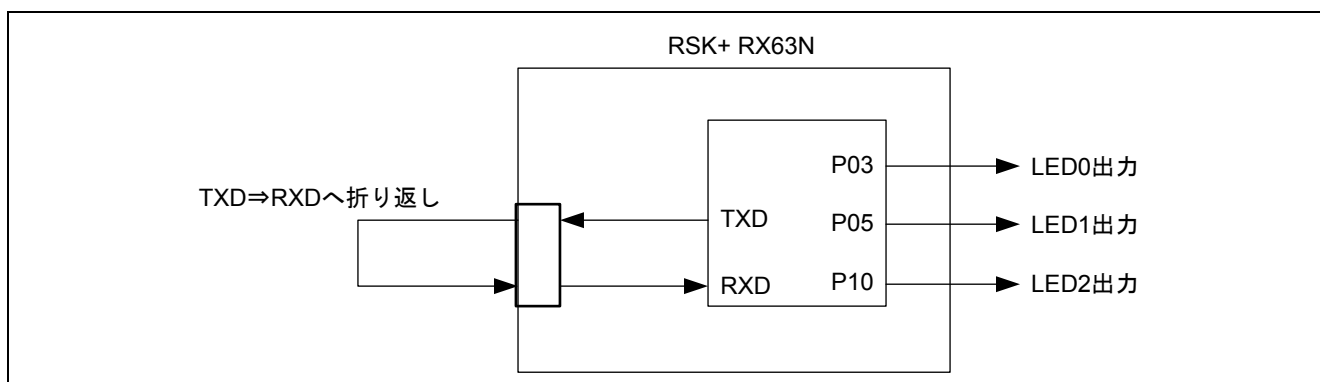


図2.21 SCI 接続仕様

- 関連レジスタ一覧

SH7044 と RX631 における SCI0 の割り込み関係レジスタを各割り込み要因別に示します。SH7044 の受信、送信、送信終了、受信エラーの各割り込みを同様に実現する場合、RX631 では表 2.40 の様なリソースの設定、またはフラグを認識する必要があります。

表2.40 SCI 割り込み関連リソース（調歩同期式通信時）

項目	SH7044				RX631			
	RXIO	TXIO	TEIO	ERIO	RXIO	TXIO	TEIO	ERIO
割り込み優先度レジスタ	IPRF (7-4) * <sup>1</sup>				IPR214* <sup>1</sup>			IPR114* <sup>1</sup>
割り込み許可レジスタ	SCR .RIE	SCR .TIE	SCR .TEIE	SCR .RIE	IER1A .IEN6* <sup>1</sup>	IER1A .IEN7* <sup>1</sup>	IER1B .IEN0* <sup>1</sup>	IER0E .IEN2* <sup>1</sup>
					SCR .RIE	SCR .TIE	SCR .TEIE	SCR .RIE
割り込み要求レジスタ (要因フラグ) * <sup>2</sup>	SSR .RDRF	SSR .TDRE	SSR .TEND	SSR .ORER	IR214	IR215	IR216	IR114
				SSR .FER				GRP12 .IS0
				SSR .PER				SSR .ORER
				SSR .FER				SSR .PER

【注】 \*<sup>1</sup> 割り込み処理を使用する場合に使用します。ポーリング時は使用しません。

\*<sup>2</sup> ポーリング時は要因検出として本レジスタをポーリングします。

レジスタ略号の正式名称は以下の通りです。

- SH7044  
IPRF：割り込み優先レベル設定レジスタ  
FSCR、SSR は表 2.38 に示します。
- RX631  
IPRxxx：割り込み要因プライオリティレジスタ（xxx はベクタ番号）  
IER1A、1B、0E：割り込み要求許可レジスタ 1A、1B、0E  
IRxxx：割り込み要求レジスタ（xxx はベクタ番号）  
GENxx：グループ xx 割り込み許可レジスタ  
GRPxx：グループ xx 割り込み要因レジスタ  
SCR、SSR は表 2.38 に示します。

以下に SCI における調歩同期通信時の初期設定手順を示します。

表2.41 SCI 調歩同期式通信初期設定例（割り込み方式・ポーリング方式共通）

手順		SH7044 設定例 Pφ（周辺クロック）：20MHz	RX631 設定例 PCLK（周辺クロック）：48MHz
1	SCI 割り込みディスエーブル	割り込みコントローラに許可レジスタがない	IER1A.IEN6=0 (RXI0) IER1A.IEN7=0 (TXI0) IER1B.IEN0=0 (TEI0) IER0E.IEN2=0 (ERI0 : グループ割り込み) GEN12.EN0=0 (ERI0 : SCI0)
2	モジュールストップ状態解除	(モジュールストップ機能なし)	SYSTEM.PRCR=0xA502 SYSTEM.MSTPCRB.MSTPB31=0 SYSTEM.PRCR=0xA500
3	SCR 初期化	SCR.TIE,RIE,TE,RE,TEIE=0	SCR.TIE,RIE,TE,RE,TEIE=0 SCR が 0 になるまでウェイトする。
4	I/O ポート設定 (RX631 のみ)	PFC の設定は 11 で行う	PORT2.PODR.B0=1 (出力 1 に設定) PORT2.PDR.B0=1 (出力に設定) PORT2.PDR.B1=0 (入力に設定) PORT2.PMR.B0=0 (汎用入出力に設定) PORT2.PMR.B1=0 (汎用入出力に設定) MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.P20PFS=0x0A (TX 端子設定) MPC.P21PFS=0x0A (RX 端子設定) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1 PORT2.PMR.B0=1 (周辺機能に設定) PORT2.PMR.B1=1 (周辺機能に設定)
5	クロックイネーブル設定	内部クロック/SCK 端子は入力 SCR.CKE0,1=00b	内蔵ポーレートジェネレータ SCKn 端子は入出力ポート SCR.CKE0,1=00b
6	SIMR、SPMR 初期化	—	SIMR.IICM=0 SPMR.CKPH,CKPOL=0 (初期値なら省略できる)
7	送受信フォーマット設定	SMR.C/_A=0 (調歩同期式) SMR.CHR=0 (8 ビット) SMR.PE=0 (パリティなし) SMR.STOP=0 (1 ストップビット) SMR.MP=0 (マルチプロセッサなし) SMR.CKS0,1=00b	SMR.CM=0 (調歩同期式) SMR.CHR=0 (8 ビット) SMR.PE=0 (パリティなし) SMR.STOP=0 (1 ストップビット) SMR.MP=0 (マルチプロセッサなし) SMR.CKS0,1=00b
8	SCMR、SEMR の設定	(本機能はなし)	SCMR.SMIF=0 (シリアルコミュニケーションインタフェースモード) SCMR.SINV=0 (送受信データインバートしない) SCMR.SDIR=0 (LSB ファースト) SEMR.ABCS=0 (基本クロック 16 サイクルが 1 ビット期間の転送レート) SEMR.NFEN=0 (デジタルノイズフィルタ無効)
9	ビットレート設定 (BRR)	38400bps BRR=15	38400bps BRR=38
10	初期化時送受信許可前の 1 ビットウェイト	初期化時送受信許可前 1 ビットウェイトを行う	RX631 では本処理は不要
11	I/O ポート設定 (SH のみ)	PFC の設定を行う PAIORL.PA1IOR=1 (出力) PAIORL.PA0IOR=0 (入力) PACRL2.PA1MD=1 (TX0) PACRL2.PA0MD=1 (RX0)	ポート設定は 4 で行う
12	割り込み要因クリア	—	IR214=0 (RXI0) IR215=0 (TXI0)
13	SCR.RIE、RE、TIE、TE イネーブル (送受信許可)	SCR.RIE,RE=1 SCR.TIE,TE=1 *ポーリングでは SCR.RIE、TIE=0	SCR.RIE、RE=1 SCR.TIE、TE=1 *ポーリング対象が IR なので SCR.RIE、TIE=1
14	<ul style="list-style-type: none"> <li>割り込みコントローラ側割り込み許可</li> <li>優先度設定</li> </ul> *ポーリングでは手順 14 はスキップ	INTC.IPRF.WORD=0x0050 (レベル 5)	IPR214=0x05 (レベル 5) IPR114=0x05 (レベル 5) IER1A.IEN6=1 (RXI0) IER0E.IEN2=1 (ERI0) GEN12.EN0=1 (ERI0 : SCI0) IER1A.IEN7=1 (TXI0)

【注】 網掛けの部分はポーリング設定時の違いを示します。

調歩同期通信時（割り込み方式）の SCI 送信/受信処理の説明を示します。

表2.42 SCI 調歩同期通信時受信データフル割り込み処理例

手順		SH7044 設定例	RX631 設定例
1	受信データ読み取り	RDR を受信バッファへ読み取る	RDR を受信バッファへ読み取る
2	レシーブデータレジスタフルをクリア	SSR.RDRF をリード後、0 クリア	IR214 は自動的にクリアされる
3	受信バイト数が 32 バイトに達したら受信終了	SCR.RIE=0 SCR.RE=0	SCR.RIE=0 SCR.RE=0 IER1A.IEN6=0 (RXI0) IER0E.IEN2=0 (ERI0 : ベクタ 114) GEN12.EN0=0 (ERI0 : グループ 12) IR214=0

表2.43 SCI 調歩同期通信時送信データエンプティ割り込み処理例

手順		SH7044 設定例	RX631 設定例
1	送信データ書き込み	TDR ヘデータライト	TDR ヘデータライト
2	トランスミットデータレジスタエンプティを 0 クリア	SSR.TDRE をリード後、0 クリア	IR215 は自動的にクリアされる
3	TEND を判定する	TEND が ON なら手順 4 へ	TEND が ON なら手順 4 へ (データ送信終了せずに TE をクリアした場合、送信出来ていない可能性があるため)
4	送信バイト数が 32 バイトに達したら送信終了 (RX631 では TEND 割り込み処理行う)	SCR.TIE=0 SCR.TE=0 <TEND 割り込み設定> SCR.TEIE=1	SCR.TIE=0 SCR.TE=0 IER1A.IEN7=0 (TXI0) IR215=0 <TEND 割り込み設定> IER1B.IEN0=1 SCR.TEIE=1

サンプルソフトではエラー処理、TEND 割り込みの内容は特に規定しません。但し、RX631 では受信エラー割り込みがグループ割り込みに割り付けられます。そのため、グループから割り込みフラグを検出する必要があります。

表2.44 SCI 調歩同期通信時エラー割り込み処理例

手順		SH7044 設定例	RX631 設定例
1	グループ割り込み判定	SH にグループ割り込みはない	GRP12.IS0 (SCI0 受信エラー) が 1 なら以下の処理へ
2	オーバランエラー判定	SSR.ORER が 1 のときエラー処理を行う	SSR.ORER が 1 のときエラー処理を行う
3	フレーミングエラー判定	SSR.FER が 1 のときエラー処理を行う	SSR.FER が 1 のときエラー処理を行う
4	パリティエラー判定	SSR.PER が 1 のときエラー処理を行う	SSR.PER が 1 のときエラー処理を行う

表2.45 SCI 調歩同期通信時 TEND 割り込み処理例

手順	SH7044 設定例	RX631 設定例
1 TEND 割り込み処理	TX ポートを GPIO に設定 PACRL2.PA1MD=0 (TX0) SCR.TEIE=0	TX ポートを GPIO に設定 PORT2.PMR.B0=0 (GPIO) IER1B.IEN0=0 SCR.TEIE=0

以下に SCI 調歩同期通信時（ポーリング方式）の送信/受信処理の説明を示します。

ポーリング方式では割り込みを一切使用せず、「表2.41 SCI 調歩同期式通信初期設定例（割り込み方式・ポーリング方式共通）」初期化手順 13 の延長で以下の処理を行います。

表2.47 SCI 調歩同期通信時（ポーリング方式）送受信処理例

手順	SH7044 設定例	RX631 設定例
受信処理		
1 受信エラーを読み出しエラー判定 ⇒受信エラーなら受信エラー処理へ ⇒受信エラーでないなら手順 2 へ	SSR.ORER、FER、PER≠0 なら受信エラー処理へ	SSR.ORER、FER、PER≠0 なら受信エラー処理へ
2 受信データレジスタフルを監視 ⇒ON になったら手順 3 へ ⇒OFF なら送信処理へ	SSR.RDRF=1 の場合は受信処理を行う ⇒手順 3 へ SSR.RDRF=0 の場合送信処理へ	IR214=1 の場合受信処理を行う ⇒手順 3 へ IR214=0 の場合送信処理へ
3 受信データを RDR から読み取り	RDR をリードし受信バッファへデータ格納	RDR をリードし受信バッファへデータ格納
4 受信データレジスタフルをクリア	SSR.RDRF を 0 クリア	IR214 を 0 クリア
5 受信カウンタが 32 バイト以上なら受信終了	受信終了時 SCR.RE=0	受信終了時 SCR.RIE=0 SCR.RE=0 IR214=0
送信処理		
6 送信データエンプティを監視 ⇒ON なら処理 7 へ ⇒OFF なら受信処理へ	SSR.TDRE=1 の場合は送信処理を行う ⇒ON なら手順 7 へ ⇒OFF なら受信処理へ	IR215=1 の場合は送信処理を行う ⇒ON なら手順 7 へ ⇒OFF なら受信処理へ
7 送信データを TDR へライト	TDR に送信データをライト	TDR に送信データをライト
8 送信データエンプティをクリア	SSR.TDRE をクリアする。	IR215 を 0 クリア
9 送信カウンタが 32 バイト以上なら送信終了	送受信終了時 SCR.TE=0	送信終了時 SCR.TE=0 SCR.TIE=0 IR215=0
10 送受信ともに終了なら処理終了 上記以外は手順 1 へ		
エラー処理		
11 受信エラー処理	エラー処理内容は規定しない	エラー処理内容は規定しない

## 2.9.5 クロック同期式マスター送信設定例（割り込み方式・ポーリング方式）

SH7044 と RX631 のシリアルコミュニケーションインタフェース（SCI）クロック同期式マスター送信処理の設定例を示します。

<仕様>

- ① RSK+RX63N の SCI0 を使用します。
- ② 割り込み方式では、送信データエンプティ割り込みにより送信起動します。
- ③ ポーリング方式では割り込みを使用せず、割り込み要因フラグ（IR215）をポーリングし割り込み要因を検出したら、データ送信起動します。
- ④ マスター送信処理は 32 バイトのデータ送信を行うと処理を終了します。
- ⑤ 送信を開始したら LED0 を点灯し、送信終了したら LED1 を点灯します。

【注】 エラー発生時に LED2 を点灯します。

表2.48 SCI クロック同期通信仕様（マスター送信）

項目	内容	備考
通信方式	クロック同期式シリアル通信	
転送速度	100kbps	B=119
データ長	8 ビット	
ハードウェアフロー制御	なし	
使用 SCI チャンネル	SCI0 固定	
ビット順序	LSB ファースト	
同期クロック	内部クロック	SCK 端子は同期クロック出力
使用端子	P20/TXD0	
	P22/SCK0	
	P03/GPIO	LED0 出力
	P05/GPIO	LED1 出力
	P10/GPIO	LED2 出力

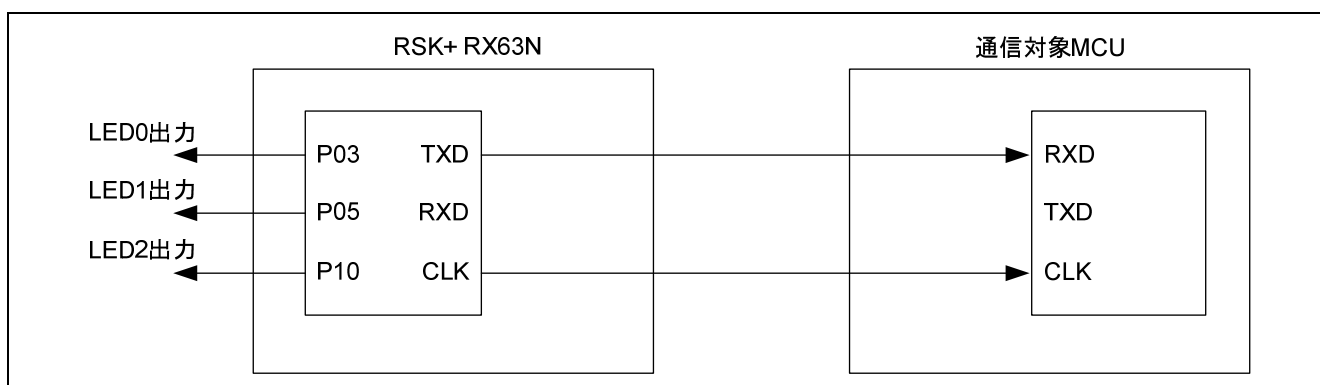


図2.22 クロック同期式シリアル通信接続仕様（マスター送信時）

- 関連レジスタ一覧

SH7044 と RX631 における SCI0 の割り込み関係レジスタと各割り込み要因別に示します。SH7044 の受信、送信、送信終了、受信エラーの各割り込みを同様に実現する場合、RX631 では表 2.49 の様なリソースの設定、またはフラグを認識する必要があります。調歩同期と異なるのはエラー割り込みの要因がオーバーランエラーのみとなることです。

表2.49 SCI 割り込み関連リソース（クロック同期式通信時）

項目	SH7044				RX631			
	RX10	TX10	TE10	ER10	RX10	TX10	TE10	ER10
割り込み優先度レジスタ	IPRF (7-4) * <sup>1</sup>				IPR214* <sup>1</sup>			IPR114* <sup>1</sup>
割り込み許可レジスタ	SCR .RIE	SCR .TIE	SCR .TEIE	SCR .RIE	IER1A .IEN6* <sup>1</sup>	IER1A .IEN7* <sup>1</sup>	IER1B .IEN0* <sup>1</sup>	IER0E .IEN2* <sup>1</sup>
					SCR .RIE	SCR .TIE	SCR .TEIE	SCR .RIE GEN12 .EN0* <sup>1</sup>
割り込み要求レジスタ (要因フラグ) * <sup>2</sup>	SSR .RDRF	SSR .TDRE	SSR .TEND	SSR .ORER	IR214	IR215	IR216	IR114
								GRP12 .IS0 SSR .ORER

【注】 \*<sup>1</sup> 割り込み処理時に使用します。ポーリング時は使用しません。

\*<sup>2</sup> ポーリング時は要因検出為に本レジスタをポーリングします。

レジスタ略号の正式名称は以下の通りです。

- SH7044

IPRF：割り込み優先レベル設定レジスタ F

SCR、SSR は表 2.38 に示します。

- RX631

IPRxxx：割り込み要因プライオリティレジスタ（xxx はベクタ番号）

IER1A、1B、0E：割り込み要求許可レジスタ 1A、1B、0E

IRxxx：割り込み要求レジスタ（xxx はベクタ番号）

GENxx：グループ xx 割り込み許可レジスタ

GRPxx：グループ xx 割り込み要因レジスタ

SCR、SSR は表 2.38 に示します。



以下に SCI クロック同期式マスター送信時の初期設定手順を示します。なお、初期設定の処理は割り込み方式、ポーリング共通に記載します。

表2.50 SCI クロック同期式マスター送信初期設定例

手順		SH7044 設定例 Pφ (周辺クロック) : 20MHz	RX631 設定例 PCLK (周辺クロック) : 48MHz
1	SCI 割り込みディスエーブル	本機能はなし	IER1A.IEN6=0 (RXI0) IER1A.IEN7=0 (TXI0) IER1B.IEN0=0 (TEI0) IER0E.IEN2=0 (ERI0 : グループ割り込み) GEN12.EN0=0 (ERI0 : SCI0)
2	モジュールストップ状態解除	(モジュールストップ機能なし)	SYSTEM.PRCR=0xA502 SYSTEM.MSTPCRB.MSTPB31=0 SYSTEM.PRCR=0xA500
3	SCR を初期化	SCR.TIE,RIE,TE,RE,TEIE=0	SCR.TIE,RIE,TE,RE,TEIE=0 SCR が 0 になるまでウエイトする
4	I/O ポート設定 (RX631 のみ)	PFC の設定は 11 で行う	PORT2.PODR.B0=1 (出力 1 に設定) PORT2.PODR.B2=1 (出力 1 に設定) PORT2.PDR.B0=1 (TX 出力) PORT2.PDR.B2=1 (SCK 出力) PORT2.PMR.B0=0 (GPIO) PORT2.PMR.B2=0 (GPIO) MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.P20PFS=0x0A (TX 端子設定) MPC.P22PFS=0x0A (SCK 端子設定) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1
5	クロックイネーブル設定	内部クロック/SCK 端子は出力 SCR.CKE0,1=00b	内蔵ポーレートジェネレータ SCKn 端子は出力ポート SCR.CKE0,1=00b
6	SIMR、SPMR 初期化	(本機能はなし)	SIMR.IICM=0 SPMR.CKPH,CKPOL=0 (初期値なら省略可能)
7	送受信フォーマット設定 (SMR)	SMR.C/A=1 (クロック同期式) SMR.CKS0,1=00b	SMR.CM=1 (クロック同期式) SMR.CKS0,1=00b
8	SCMR の設定	(本機能はなし)	SCMR.SMIF=0 (シリアルコミュニケーションインタフェースモード) SCMR.SINV=0 (送受信データインバートしない) SCMR.SDIR=0 (LSB ファースト)
9	ビットレート設定 (BRR)	100kbps BRR=49	100kbps BRR=119
10	初期化時送信許可前の 1 ビットウエイト	初期化時送信許可前 1 ビットウエイトを行う	←
11	I/O ポート設定 (SH のみ)	PFC の設定を行う PAIORL.PA1IOR=1 (出力) PAIORL.PA0IOR=0 (入力) PAIORL.PA2IOR=1 (出力) PACRL2.PA1MD=1 (TX0) PACRL2.PA0MD=1 (RX0) PACRL2.PA2MD0,1=01b (SCK0)	4 で実施
12	<ul style="list-style-type: none"> <li>● 割り込みコントローラ側割り込み許可</li> <li>● 優先度設定</li> <li>● 割り込み要因クリア</li> </ul>	INTC.IPRF.WORD=0x0050 (レベル 5) SCR.TIE=1 SCR.TE=1 *ポーリングでは SCR.TIE=0	IPR214=0x05 (レベル 5) * <sup>1</sup> IPR114=0x05 (レベル 5) * <sup>1</sup> IR215=0 SCR.TIE、TE、TEIE=1 (同時に ON すること) PORT2.PMR.B0=1 (周辺機能) PORT2.PMR.B2=1 (周辺機能) IER1A.IEN7=1 (TXI0) * <sup>1</sup> * <sup>1</sup> ポーリングでは設定しない

【注】 網掛けの部分はポーリング設定時の違いを示します。

SCI クロック同期マスター送信（割り込み処理方式）の送信割り込み処理の説明を示します。

表2.51 SCI クロック同期マスター送信（割り込み処理方式）送信割り込み処理例

手順		SH7044 設定例	RX631 設定例
1	送信データを TDR に書き込み	TDR ヘデータライト	TDR ヘデータライト
2	トランスミットデータレジスタエンプティを 0 クリア	SSR.TDRE をリード後、0 クリア	IR215 は自動的にクリアされる
3	送信バイト数が 32 バイトに達したら送信終了 (RX631 では TEND 割り込み処理行う)	SCR.TIE=0	SCR.TIE=0 IER1A.IEN7=0 (TXI0) IR215=0 <TEND 割り込み設定> SSR.TEND==1 を判定し IER1B.IEN0=1 を設定する

表2.52 SCI クロック同期マスター送信（割り込み処理方式）TEND 割り込み処理例

手順		SH7044 設定例	RX631 設定例
1	TEND 割り込み処理	TEND 処理を行う (特に内容は規定しない)	TX ポートを GPIO に設定 PORT2.PMR.B0=0 (GPIO) IER1B.IEN0=0 SCR.TEIE=0

以下に SCI クロック同期マスター送信（ポーリング方式）の処理説明を示します。ポーリングでは割り込みを一切使用しません。手順としては「表2.53 SCI クロック同期式マスター送信初期設定例」初期化手順 12 の延長で以下の処理を行います。

表2.54 SCI クロック同期マスター送信（ポーリング方式）処理例

手順		SH7044 設定例	RX631 設定例
1	送信データエンプティをポーリング 送信エンプティ時送信処理を実行	ポーリング対象は SSR.TDRE=1 SSR.TDRE=1 の場合は 2 以降の送信処理を行う	ポーリング対象は IR215 IR215=1 の場合は 2 以降の送信処理を行う
2	送信データを TDR へライト	TDR に送信データをライト	TDR に送信データをライト
3	送信データエンプティをクリア	SSR.TDRE をクリア	IR215 を 0 クリア
4	送信バイト数が 32 バイトに達したら送信終了	SCR.TIE=0	SCR.TIE=0 IR215=0 【注】 TEND 処理は任意とする

## 2.9.6 クロック同期式スレーブ受信設定例（割り込み方式・ポーリング方式）

SH7044 と RX631 のシリアルコミュニケーションインタフェース（SCI）クロック同期式スレーブ受信処理の設定例を示します。

<スレーブ受信処理>

- ① RSK+RX63N の SCI0 を使用します。
- ② 割り込み方式では、受信データレジスタフル割り込みにより受信処理を起動します。
- ③ ポーリングでは割り込みを使用せず、割り込み要因フラグ（IR214）のポーリングを行います。割り込み要求を検出したらデータ受信を行います。
- ④ スレーブ受信処理は 32 バイトのデータを受信すると処理を終了します。
- ⑤ 受信を開始したら LED0 を点灯し、受信終了したら LED1 を点灯します。受信エラー発生時に LED2 を点灯します。

表2.55 SCI クロック同期通信仕様（スレーブ受信）

項目	内容	備考
通信方式	クロック同期式シリアル通信	
転送速度	100kbps	B=119
データ長	8 ビット	
ハードウェアフロー制御	なし	
使用 SCI チャンネル	SCI0 固定	
ビット順序	LSB ファースト	
同期クロック	外部クロック	SCK 端子は同期クロック入力
使用端子	P21/RXD0	
	P22/SCK0	
	P03/GPIO	LED0 出力
	P05/GPIO	LED1 出力
	P10/GPIO	LED2 出力

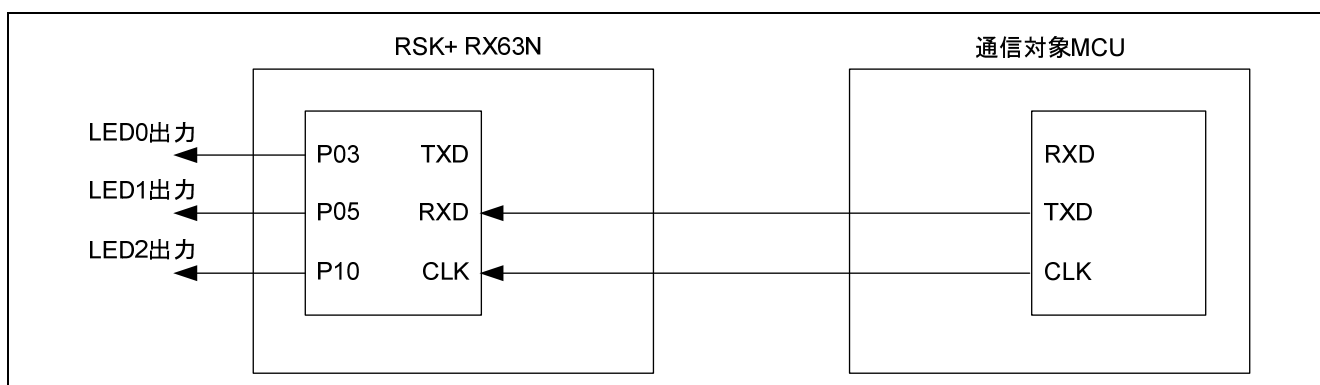


図2.23 クロック同期式シリアル通信接続仕様（スレーブ受信時）

以下に SCI クロック同期式スレーブ受信時の初期設定手順を示します。なお、初期設定処理は割り込み方式、ポーリング共通に記載します。割り込みリソースについては、表 2.49 を参照してください。

表2.56 SCI クロック同期式スレーブ受信初期設定例

手順		SH7044 設定例 Pφ (周辺クロック) : 20MHz	RX631 設定例 PCLK (周辺クロック) : 48MHz
1	SCI 割り込みディスエーブル	割り込みコントローラに許可レジスタがない	I ER1A.IEN6=0 (RXI0) I ER1A.IEN7=0 (TXI0) I ER1B.IEN0=0 (TEI0) I ER0E.IEN2=0 (ERI0 : グループ割り込み) GEN12.EN0=0 (ERI0 : SCIO)
2	モジュールストップ状態解除	(モジュールストップ機能なし)	SYSTEM.PRCR=0xA502 SYSTEM.MSTPCRB.MSTPB31=0 SYSTEM.PRCR=0xA500
3	SCR を初期化	SCR.TIE,RIE,TE,RE,TEIE=0	SCR.TIE,RIE,TE,RE,TEIE=0 SCR が 0 になるまでウェイト
4	I/O ポート設定 (RX631 のみ)	PFC の設定は 11 で行う	PORT2.PDR.B1=0 (RX 入力) PORT2.PDR.B2=0 (SCK 入力) PORT2.PMR.B1=0 (GPIO) PORT2.PMR.B2=0 (GPIO) MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.P21PFS=0x0A (RX 端子設定) MPC.P22PFS=0x0A (SCK 端子設定) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1 PORT2.PMR.B1=1 (周辺機能) PORT2.PMR.B2=1 (周辺機能)
5	クロックイネーブル設定	外部クロック/SCK 端子クロック入力 SCR.CKE0,1=10b	外部クロック/SCKn 端子は入力ポート SCR.CKE0,1=10b
6	SIMR、SPMR 初期化	(本設定はなし)	SIMR.IICM=0 SPMR.CKPH,CKPOL=0 (初期値なら省略してよい)
7	送受信フォーマット設定 (SMR)	SMR.C/_A=1 (クロック同期式) SMR.CKS0,1=00b	SMR.CM=1 (クロック同期式) SMR.CKS0,1=00b
8	SCMR の設定	(本設定はなし)	SCMR.SMIF=0 (シリアルコミュニケーションインタフェースモード) SCMR.SINV=0 (送受信データインバートしない) SCMR.SDIR=0 (LSB ファースト)
9	ビットレート設定 (BRR)	100kbps BRR=49	100kbps BRR=119
10	初期化時受信許可前の 1 ビットウェイト	初期化時送信許可前 1 ビットウェイトを行う	←
11	I/O ポート設定 (SH のみ)	PFC の設定を行う PAIORL.PA1IOR=1 (出力) PAIORL.PA0IOR=0 (入力) PAIORL.PA2IOR=0 (入力) PACRL2.PA1MD=1 (TX0) PACRL2.PA0MD=1 (RX0) PACRL2.PA2MD0,1=01b (SCK0)	4 で実施
12	・割り込みコントローラ側割り込み許可 ● 優先度設定 ● 割り込み要因クリア	INTC.IPRF.WORD=0x0050 (レベル 5) SCR.RIE=1 SCR.RE=1 *ポーリングでは SCR.RIE=0	IPR214=0x05 (レベル 5) * <sup>1</sup> IPR114=0x05 (レベル 5) * <sup>1</sup> IR214=0 SCR.RIE,RE=1 (同時に ON すること) IER1A.IEN6=1 (RXI0) * <sup>1</sup> IER0E.IEN2=1 (ERI0) * <sup>1</sup> GEN12.EN0=1 (ERI0 : SCIO) * <sup>1</sup> * <sup>1</sup> ポーリング時は設定しない処理

【注】 網掛けの部分はポーリング設定時の違いを示します。

SCI クロック同期式スレーブ受信（割り込み処理方式）の割り込み処理の説明を示します。

表2.57 SCI クロック同期式スレーブ受信（割り込み処理方式）割り込み処理例

手順		SH7044 設定例	RX631 設定例
1	受信データを読み取り	RDR を受信バッファへ読み取り	RDR を受信バッファへ読み取り
2	レシーブデータレジスタフルをクリア	SSR.RDRF をリード後、0 クリア	IR214 は自動的にクリアされる
4	受信バイト数が 32 バイトに達したら受信終了	SCR.RIE=0	SCR.RIE=0 IER1A.IEN6=0 (RXI0) IER0E.IEN2=0 (ERI0 : グループ割り込み) GEN12.EN0=0 (ERI0 : SCI0) IR214=0

クロック同期通信では受信エラーはオーバランエラーのみ検出します。オーバランエラーに対応したエラー処理を実装してください。RX631 では受信エラー割り込みがグループ割り込みに割り付けられます。そのため、グループから割り込みフラグを検出する必要があります。

以下に SCI クロック同期スレーブ受信（ポーリング方式）の処理説明を示します。ポーリングでは割り込みを一切使用しません。手順としては「表2.56 SCI クロック同期式スレーブ受信初期設定例」初期化手順 12 の延長で以下の処理を行います。

表2.59 SCI クロック同期式スレーブ受信（ポーリング方式）処理例

手順		SH7044 設定例	RX631 設定例
1	受信エラーを読み出しエラー判定 ⇒受信エラーなら受信エラー処理へ ⇒受信エラーでないなら手順 2 へ	SSR.ORER≠0 なら 受信エラー処理へ	SSR.ORER≠0 なら 受信エラー処理へ
2	受信データレジスタフルをポーリングし、レジスタフルなら 3 以降の受信処理を行う	ポーリング対象は SSR.RDRF SSR.RDRF=1 の場合は受信処理を行う	IR214=1 の場合受信処理を行う ⇒手順 3 へ IR214=0 の場合受信処理へ
3	受信データを RDR から読み取り	RDR をリードし受信バッファへデータ格納	RDR をリードし受信バッファへデータ格納
4	受信データレジスタフルをクリア	SSR.RDRF を 0 クリア	IR214 を 0 クリア
5	受信カウンタが 32 バイト以上なら受信終了	受信終了時 SCR.RIE=0	受信終了時 SCR.RIE=0 IR214=0
エラー処理			
6	受信エラー処理	エラー処理内容は規定しない	エラー処理内容は規定しない

## 2.10 中速A/D変換

## 2.10.1 仕様比較

SH7044の中速A/D変換器とRX631の10ビットA/Dコンバータ(ADb)、12ビットA/Dコンバータ(S12ADa)の機能、特徴の比較を以下に示します。

表2.60 SH7044、RX631 中速 A/D 変換仕様比較

項目	SH7044	RX631	
	中速 A/D 変換	10 ビット A/D コンバータ (ADb)	12 ビット A/D コンバータ (S12ADa)
分解能	10 ビット	10 ビット	12 ビット
入力チャンネル数	8 チャンネル(4 チャンネル×2)	8 チャンネル+拡張 1 本	最大 21 チャンネル
A/D 変換方式	逐次比較方式	逐次比較方式	逐次比較方式
変換速度	1 チャンネルあたり 6.7 $\mu$ s (動作周波数 20MHz、 CKS=1)	1 チャンネルあたり 1.0 $\mu$ s (PCLK 50MHz 時)	1 チャンネルあたり 1.0 $\mu$ s (ADCLK 50MHz 時)
変換モード	<ul style="list-style-type: none"> <li>単一モード (シングルモード)</li> <li>スキャンモード</li> </ul>	<ul style="list-style-type: none"> <li>シングルチャンネルモード</li> <li>スキャンモード <ul style="list-style-type: none"> <li>— 連続スキャンモード</li> <li>— シングルスキャンモード</li> </ul> </li> </ul>	<ul style="list-style-type: none"> <li>(シングルチャンネルモードはなし)</li> <li>スキャンモード <ul style="list-style-type: none"> <li>— 連続スキャンモード</li> <li>— シングルスキャンモード</li> </ul> </li> </ul>
A/D 変換開始条件	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>タイマによるトリガ (MTU)</li> <li>非同期トリガ (ADTRG 端子)</li> </ul>	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>タイマによるトリガ (MTU、TPU、TMR)</li> <li>非同期トリガ (ADTRG#端子)</li> </ul>	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>タイマによるトリガ (MTU、TPU、TMR)</li> <li>非同期トリガ (ADTRG0#端子)</li> </ul>
その他機能	<ul style="list-style-type: none"> <li>2 チャンネル同時変換可能</li> </ul>	<ul style="list-style-type: none"> <li>サンプリングステート数可変機能</li> <li>自己診断機能</li> </ul>	<ul style="list-style-type: none"> <li>サンプリングステート数可変機能</li> <li>A/D 変換値加算モード</li> </ul>
A/D 変換終了割り込みに連動した動作	<ul style="list-style-type: none"> <li>CPU 割り込み発生</li> <li>DMAC 又は DTC を起動</li> </ul>	<ul style="list-style-type: none"> <li>CPU 割り込み発生</li> <li>DMAC 又は DTC を起動</li> </ul>	<ul style="list-style-type: none"> <li>CPU 割り込み発生</li> <li>DMAC 又は DTC を起動</li> </ul>
消費電力低減機能	なし	モジュールストップ状態設定可能	モジュールストップ状態設定可能
変換対象	AN 端子	AN 端子 自己診断 (故障検知)	AN 端子 内部基準電圧 温度センサ

## 2.10.2 入力チャンネルと動作

SH7044 の中速 A/D 変換器と RX631 の A/D 変換器は以下の様な違いがあります。

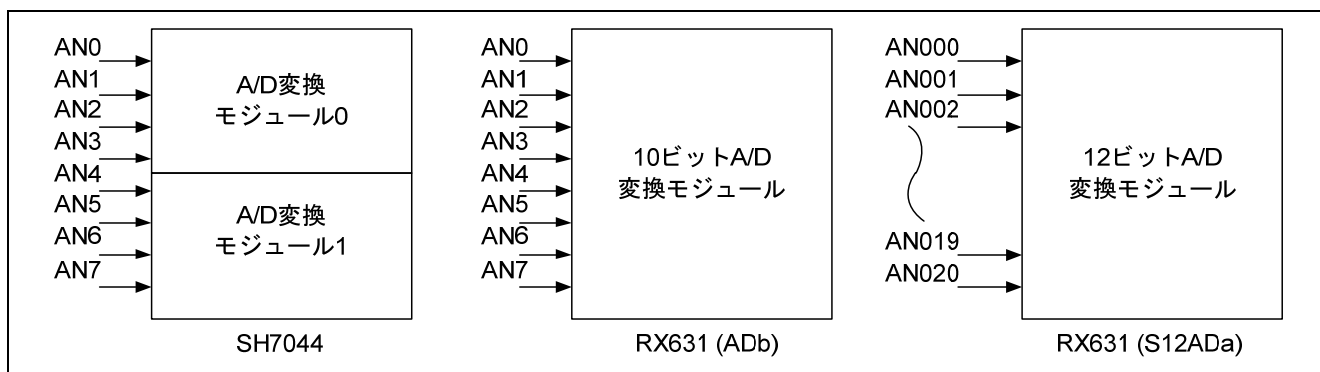


図2.24 SH7044 と RX631 の A/D 変換器における構成比較

図 2.24 にあるように、SH7044 の A/D 変換器は 1 モジュールにつき 4 チャンネルのアナログ入力を持ち、2 モジュールが同時に動作可能ですが、モジュールをまたぐ連続スキャンはできません。RX631 の A/D 変換器は ADb、S12ADa とともにチャンネル数はそれぞれ 8、21 チャンネルですが変換器は一つです。RX631 の A/D 変換器は指定されたチャンネルの A/D 変換を順次変換しますが、同時に複数チャンネルの変換はできません。以下にそれぞれのスキャン順序を示します。

表2.61 A/D 変換器の変換順序（全チャンネルを指定した場合）

マイコン	A/D 変換器	変換順序
SH7044	AD0	AN0⇒AN1⇒AN2⇒AN3
	AD1	AN4⇒AN5⇒AN6⇒AN7
RX631	ADb	AN0⇒AN1⇒AN2⇒AN3⇒AN4⇒AN5⇒AN6⇒AN7
	S12ADa	AN000⇒AN001⇒AN002⇒⇒⇒省略⇒⇒AN019⇒AN020

## 2.10.3 動作モード

SH7044 の中速 A/D 変換器には、単一モードとスキャンモードの 2 つの動作モードがあります。

SH7044 の変換モードが、RX のどの変換モードに該当するかを表 2.62 に示します。

表2.62 A/D 変換器動作モード対応

NO	SH7044 (中速 A/D 変換器)	RX631 (ADb)	RX631 (S12ADa)
1	単一モード (シングルモード)	シングルチャンネルモード	シングルスキャンモード (1 チャンネルだけ指定する)
2	スキャンモード (サイクルで変換終了時)	スキャンモード (シングルスキャンモード)	シングルスキャンモード (複数チャンネルを指定)
3	スキャンモード (連続変換時)	スキャンモード (連続スキャンモード)	連続スキャンモード

各動作モードの概要を示します。

表2.63 A/D 変換器動作モード概要

マイコン	動作モード	動作概要
SH7044	単一モード (シングルモード)	指定した 1 チャンネルのみの A/D 変換を 1 回行う 割り込み許可されていれば、ADI 割り込みを発生
	スキャンモード	指定した複数チャンネル (1 チャンネルも含む) のアナログ入力を若番チャンネルから順次変換 指定した全チャンネルの変換が終了時 (1 サイクル変換終了時) ADI 割り込みを発生 変換終了でなければ変換を続ける
RX631 (ADb)	シングルチャンネルモード	指定した 1 チャンネルのみの A/D 変換を 1 回行う 割り込み許可されていれば、ADIO 割り込みを発生
	スキャンモード	シングルスキャンモード： 指定した複数チャンネル (1 チャンネルも含む) のアナログ入力を若番チャンネルから順次変換 シングルスキャンモードでは、1 サイクルのみの変換を行う 1 サイクル変換終了時に ADIO 割り込みを発生
		連続スキャンモード： 上記シングルスキャンモードを繰り返し実行
RX631 (S12ADa)	シングルスキャンモード	指定した複数チャンネル (1 チャンネルも含む) のアナログ入力を若番チャンネルから順次変換 指定した全チャンネルの変換が終了時 (1 サイクル変換終了時) S12ADIO 割り込みを発生 シングルスキャンモードでは、1 サイクルのみの変換を行う
	連続スキャンモード	S12ADa のシングルスキャンモードを繰り返し実行



### 2.10.4 モジュールストップ

RX631 の周辺モジュールは、消費電力低減機能により初期状態で停止となっています。A/D 変換器 (ADb/S12ADa) も初期状態はモジュール停止しているため、モジュール設定時はかならずモジュールストップ解除を行ってください。モジュールストップ解除時、モジュールストップコントロールレジスタをアクセスする際は必ずレジスタライトプロテクションを解除してアクセスしてください。

### 2.10.5 A/D変換器シングルチャネルモード設定例

SH7044 (単一モード) を RX631 (シングルチャネルモード) に置き換える場合の設定例を以下に示します。

<シングルチャネルモード仕様>

- ① RSK+RX63N の 10 ビット A/D 変換器を使用します。
- ② A/D 変換開始タイミングは MTU4 のコンペアマッチトリガとします。
- ③ アナログ入力は AN0 とし、動作モードはシングルチャネルモードとします。変換終了による ADI0 割り込みを発生し、結果を RAM に格納します。

上記動作を繰り返し行います。

表2.64 10 ビット A/D コンバータ設定仕様

項目	内容	備考
使用チャンネル	AN0	
割り込み処理	A/D 変換終了割り込み (ADI0 割り込み)	
動作モード	シングルチャネルモード	SH7044 の単一モード
クロック選択	PCLK/2	PCLK=48MHz
変換開始トリガと周期	MTU4 のコンペアマッチ A (1ms 周期) * <sup>1</sup>	
拡張アナログ入力	使用しない	
データ配置	左詰めとする	AN0:ADDRA のみ使用
使用端子	PE02/AN0	アナログ入力

【注】 \*<sup>1</sup> MTU の設定については表 2.32 と表 2.33 を参照のこと。

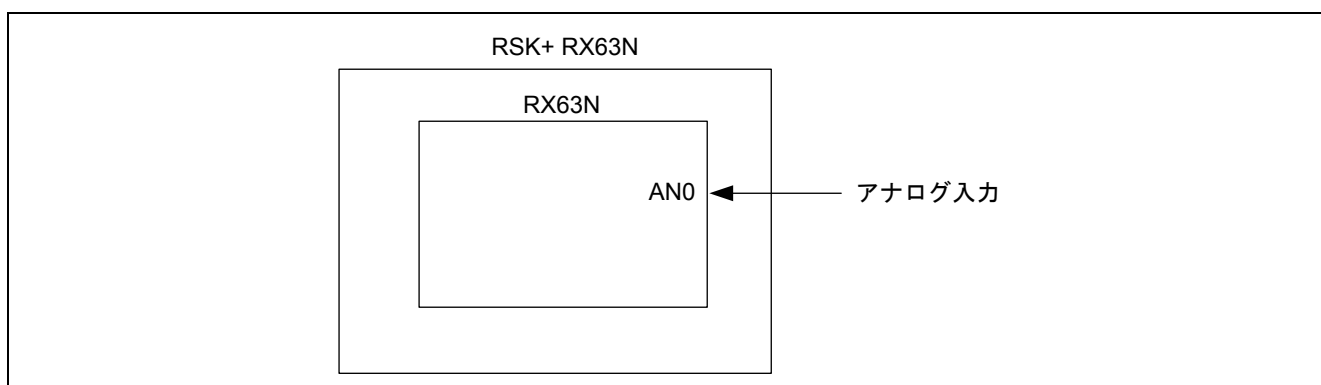


図2.25 10 ビット A/D 変換設定接続仕様

以下に SH7044 の中速 A/D 変換器を RX631 の 10 ビット A/D 変換器に置き換えるための初期設定例を示します。

表2.65 10 ビット A/D 変換器初期設定例

手順		SH7044 設定例 Pφ (周辺クロック) : 20MHz	RX631 設定例 PCLK (周辺クロック) : 48MHz
1	モジュールストップ状態解除	(モジュールストップ機能なし)	SYSTEM.PRCR=0xA502 SYSTEM.MSTPCRA.MSTPA23=0 SYSTEM.PRCR=0xA500
2	割り込み設定ディスエーブル	ADCSR0.ADIE=0 (割り込み禁止) ADCSR1.ADIE=0 (割り込み禁止)	IER0C.IEN2=0 (ベクタ 98、AD10 禁止) ADCSR.ADIE=0 (割り込み禁止)
3	A/D 変換停止	ADCSR0.ADST=0 (A/D0 停止) ADCSR1.ADST=0 (A/D1 停止)	ADCSR.ADST=0 (A/D 停止)
4	I/O ポート設定 (端子入出力と端子機能設定)	AN0 が入力専用ポート (PFDR) に割り当てられるため I/O 設定は必要なし	MPC で端子 AN0 を設定 PORTE.PDR.B2 = 0 (入力設定) PORTE.PMR.B2 = 0 (GPIO) MPC.PWPR.B0WI = 0 MPC.PWPR.PFSWE = 1 (PFS ライト許可) MPC.PE2PFS = 0x80 (アナログ機能設定) MPC.PWPR.PFSWE = 0 (PFS ライト禁止) MPC.PWPR.B0WI = 1
5	動作モード設定 クロック選択設定 チャンネル指定設定 開始トリガ設定	ADCSR0.SCAN=0 (単一モード) ADCSR0.CKS=0 (変換時間 266 ステート) ADCSR0.CH1,0=0 (AN0 指定) ADCR0.TRGE=1 (トリガイネーブル)	ADCSR.CH=000b (AN0 指定) ADCR.MODE=0 (シングルチャンネルモード) ADCR.CKS=2 (PCLK/2) ADCR.TRGS=001b (MTU0~4 トリガイネーブル)
6	ADDR フォーマット	左詰めのみで設定不要	ADCR2.DPSEL=1 (データ左詰め)
7	割り込み優先度レジスタ設定	IPRG.WORD=0x5000 (A/D0,1 をレベル 5)	IPR098=5 (AD10 をレベル 5)
8	割り込み許可設定	ADCSR0.ADIE=1 (割り込み許可)	IER0C.IEN2=1 (ベクタ 98、AD10 許可) ADCSR.ADIE=1 (割り込み許可)
9	A/D 変換開始	ADCSR0.ADST=1 となります (A/D0 開始) 【注】 外部トリガにした場合 A/D0,1 は同時に変換スタート	ADCSR.ADST=1 となります (A/D 開始) 【注】 サンプルでは MTU4 により A/D 変換を開始
10	A/D 変換終了割り込み処理	ADCSR.ADF=0 ● 割り込みフラグをリードして 0 クリアする)	割り込みフラグは自動でクリアされる

## 2.10.6 A/D変換器連続スキャンモード設定例

SH7044 と RX631 の連続スキャンモード動作の設定を以下に示します。

<連続スキャンモード仕様>

- ① RSK+RX63N の 10bitA/D 変換器を使用します。
- ② A/D 変換開始タイミングはソフトウェアトリガとします。
- ③ アナログ入力は AN0、AN1、AN2 の 3 チャンネルとし、動作モードは連続スキャンモードとします。  
変換結果は変換終了による ADIO 割り込み処理にて RAM に格納します。

表2.66 10ビット A/D コンバータ設定仕様

項目	内容	備考
使用チャンネル	AN0,1,2	
割り込み処理	A/D 変換終了割り込み (ADIO 割り込み)	
動作モード	連続スキャンモード	SH7044 のスキャンモード
クロック選択	PCLK/2	PCLK=48MHz
変換開始トリガと周期	ソフトトリガ (開始後は変換を繰り返す)	
拡張アナログ入力	使用しない	
データ配置	左詰め	AN0:ADDRA AN1:ADDRB AN2:ADDRC
使用端子	PE02/AN0	アナログ入力 0
	PE03/AN1	アナログ入力 1
	PE04/AN2	アナログ入力 2

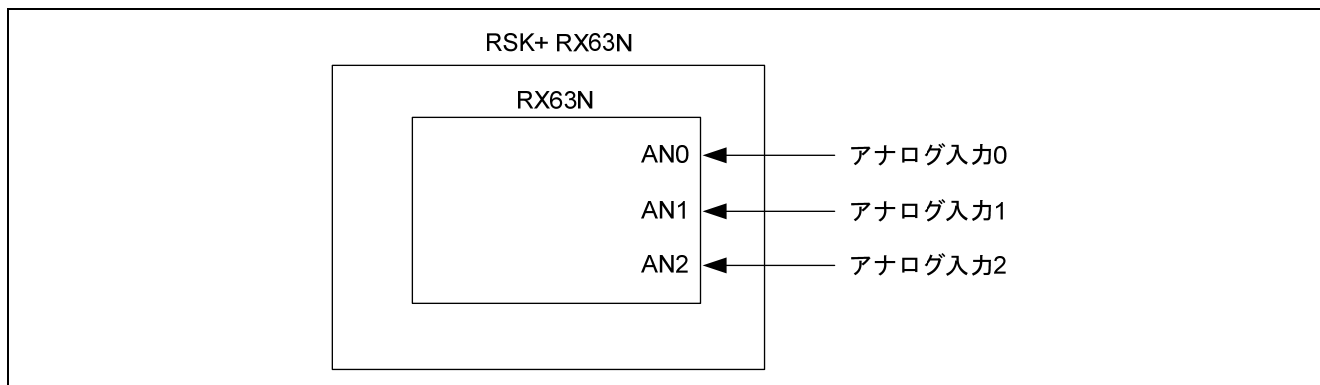


図2.26 10ビット A/D 変換設定接続仕様

以下に SH7044 の中速 A/D 変換器を RX631 の 10 ビット A/D 変換器に置き換えるための初期設定例を示します。

表2.67 10 ビット A/D 変換器初期設定例

手順		SH7044 設定例 Pφ (周辺クロック) : 20MHz	RX631 設定例 PCLK (周辺クロック) : 48MHz
1	モジュールストップ状態解除	(モジュールストップ機能なし)	SYSTEM.PRCR=0xA502 SYSTEM.MSTPCRA.MSTPA23=0 SYSTEM.PRCR=0xA500
2	割り込み設定ディスエーブル	ADCSR0.ADIE=0 (割り込み禁止) ADCSR1.ADIE=0 (割り込み禁止)	IER0C.IEN2=0 (ベクタ 98、ADIO 禁止) ADCSR.ADIE=0 (割り込み禁止)
3	A/D 変換停止	ADCSR0.ADST=0 (A/D0 停止) ADCSR1.ADST=0 (A/D1 停止)	ADCSR.ADST=0 (A/D 停止)
4	I/O ポート設定 (端子入出力と端子機能設定)	AN0 が入力専用ポート (PFDR) に割り当てられるため I/O 設定は必要なし	MPC で端子 AN0 を設定 PORTE.PDR.B2 = 0 (入力設定) PORTE.PDR.B3 = 0 (入力設定) PORTE.PDR.B4 = 0 (入力設定) PORTE.PMR.B2 = 0 (GPIO) PORTE.PMR.B3 = 0 (GPIO) PORTE.PMR.B4 = 0 (GPIO) MPC.PWPR.B0WI = 0 MPC.PWPR.PFSWE = 1 (PFS ライト許可) MPC.PE2PFS = 0x80 (アナログ機能設定) MPC.PE3PFS = 0x80 (アナログ機能設定) MPC.PE4PFS = 0x80 (アナログ機能設定) MPC.PWPR.PFSWE = 0 (PFS ライト禁止) MPC.PWPR.B0WI = 1
5	動作モード設定 クロック選択設定 チャンネル指定設定 開始トリガ設定	ADCSR0.SCAN=1 (スキャンモード) ADCSR0.CKS=0 (変換時間 266 テート) ADCSR0.CH1,0=10b (AN0,1,2 指定) ADCR0.TRGE=0 (ソフトウェアトリガ)	ADCSR.CH=010b (AN0,1,2 指定) ADCR.MODE=2 (連続スキャンモード) ADCR.CKS=2 (PCLK/2) ADCR.TRGS=0 (ソフトウェアトリガ)
6	ADDR フォーマット	左詰めのみで設定不要	ADCR2.DPSEL=1 (データ左詰め)
7	割り込み優先度レジスタ設定	IPRG.WORD=0x5000 (A/D0,1 をレベル 5)	IPR098=5 (ADIO をレベル 5)
8	割り込み許可設定	ADCSR0.ADIE=1 (割り込み許可)	IER0C.IEN2=1 (ベクタ 98、ADIO 許可) ADCSR.ADIE=1 (割り込み許可)
9	A/D 変換開始	ADCSR0.ADST=1 (A/D0 開始)	ADCSR.ADST=1 (A/D 開始)
10	A/D 変換終了割り込み処理	ADCSR.ADF=0 • 割り込みフラグをリードして 0 クリアされる	割り込みフラグは自動でクリアされる

## 2.11 高速A/D変換

## 2.11.1 仕様比較

SH7044の高速A/D変換器とRX631の10ビットA/Dコンバータ(ADb)、12ビットA/Dコンバータ(S12ADa)の機能、特徴の比較を以下に示します。

表2.68 SH7044、RX631 高速 A/D 変換仕様比較

項目	SH7044	RX631	
	高速 A/D 変換	10 ビット A/D コンバータ (ADb)	12 ビット A/D コンバータ (S12ADa)
分解能	10 ビット	10 ビット	12 ビット
入力チャンネル数	8 チャンネル	8 チャンネル+拡張 1 本	最大 21 チャンネル
A/D 変換方式	逐次比較方式	逐次比較方式	逐次比較方式
変換速度	1 チャンネルあたり 2.9 $\mu$ s (動作周波数 28MHz)	1 チャンネルあたり 1.0 $\mu$ s (PCLK 50MHz 時)	1 チャンネルあたり 1.0 $\mu$ s (ADCLK 50MHz 時)
動作モード	<ul style="list-style-type: none"> <li>セレクトモード/グループモードから選択</li> <li>シングルモード/スキャンモードから選択</li> </ul>	<ul style="list-style-type: none"> <li>シングルチャンネルモード</li> <li>スキャンモード               <ul style="list-style-type: none"> <li>— 連続スキャンモード</li> <li>— シングルスキャンモード</li> </ul> </li> </ul>	<ul style="list-style-type: none"> <li>(シングルチャンネルモードはなし)</li> <li>スキャンモード               <ul style="list-style-type: none"> <li>— 連続スキャンモード</li> <li>— シングルスキャンモード</li> </ul> </li> </ul>
A/D 変換開始条件	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>タイマの変換開始トリガ (MTU)</li> <li>非同期トリガ (ADTRG# 端子)</li> </ul>	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>タイマによるトリガ (MTU、TPU、TMR)</li> <li>非同期トリガ (ADTRG# 端子)</li> </ul>	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>タイマによるトリガ (MTU、TPU、TMR)</li> <li>非同期トリガ (ADTRG0#端子)</li> </ul>
その他機能	<ul style="list-style-type: none"> <li>パッファ動作</li> <li>2チャンネル同時サンプリング</li> </ul>	<ul style="list-style-type: none"> <li>サンプリングステート数可変機能</li> <li>自己診断機能</li> </ul>	<ul style="list-style-type: none"> <li>サンプリングステート数可変機能</li> <li>A/D 変換値加算モード</li> </ul>
A/D 変換終了割り込みに連動した動作	<ul style="list-style-type: none"> <li>CPU 割り込み発生</li> <li>DMAC または DTC を起動</li> </ul>	<ul style="list-style-type: none"> <li>CPU 割り込み発生</li> <li>DMAC 又は DTC を起動</li> </ul>	<ul style="list-style-type: none"> <li>CPU 割り込み発生</li> <li>DMAC 又は DTC を起動</li> </ul>
消費電力低減機能	なし	モジュールストップ状態設定可能	モジュールストップ状態設定可能
変換対象	AN 端子	AN 端子 自己診断 (故障検知)	AN 端子 内部基準電圧 温度センサ

### 2.11.2 動作モード

SH7044 の高速 A/D 変換器は、以下のモードの組み合わせで動作を決定します。

- チャンネル指定のモード
  - セレクトモード：1 チャンネルを指定します。
  - グループモード：複数のチャンネルを指定します。
- 変換動作のモード
  - シングルモード：A/D 変換を 1 回起動する。
  - スキャンモード：A/D 変換を繰り返し起動する。

表2.69 SH7044 高速 A/D 変換器動作モード

動作モード	シングルモード	スキャンモード
セレクトモード	1 チャンネルを 1 回変換	1 チャンネルを繰り返し変換
グループモード	複数チャンネルを 1 回変換	複数チャンネルを繰り返し変換

高速 A/D 変換器からの置き換えを行う場合の動作モードの対応を示します。

表2.70 A/D 変換器動作モード対応

NO.	SH7044 (高速 A/D 変換器)	RX631 (ADb)	RX631 (S12ADa)
1	セレクトシングルモード	シングルチャンネルモード	シングルスキャンモード (1 チャンネルだけ指定する)
2	セレクトスキャンモード	スキャンモードの連続スキャンモード	連続スキャンモード (1 チャンネルのみを指定する)
3	グループシングルモード	スキャンモードのシングルスキャンモード	シングルスキャンモード (複数チャンネルを指定する)
4	グループスキャンモード	スキャンモードの連続スキャンモード	連続スキャンモード (複数チャンネルを指定する)

RX631 (ADb、S12ADa) の動作モードの説明は表 2.63 を参照のこと。

### 2.11.3 モジュールストップ

RX631 の周辺モジュールは、消費電力低減機能により初期状態で停止となっています。A/D 変換器 (ADb/S12ADa) も初期状態はモジュール停止しているため、モジュール設定時はかならずモジュールストップ解除を行ってください。モジュールストップ解除時、モジュールストップコントロールレジスタをアクセスする際は必ずレジスタライトプロテクションを解除してアクセスしてください。

### 2.11.4 その他の差異

SH7044 の高速 A/D 変換器でサポートしていた同時サンプリング、低消費電力変換モード、バッファ動作に該当する機能は RX631 の 10 ビット A/D 変換器にはありません。

## 2.11.5 A/D変換器設定例

以下に A/D 変換器の設定例を示します。

設定例として示すのは、SH7044 の高速 A/D 変換器（グループスキャンモード）を、RX631（連続スキャンモード）に置き換える場合の設定例です。また、合わせて SH7044 の他の動作モード設定との差分を表 2.73 に示します。

<連続スキャンモード仕様>

- ① RSK+RX63N の 10 ビット A/D 変換器を使用します。
- ② A/D 変換開始タイミングはソフトウェアトリガとします。
- ③ アナログ入力は AN0、AN1、AN2 の 3 チャンネルとし、動作モードは連続スキャンモードとします。  
変換結果は変換終了による ADIO 割り込み処理にて RAM に格納します。

表2.71 10 ビット A/D コンバータ設定仕様

項目	内容	備考
使用チャンネル	AN0,1,2	
割り込み処理	A/D 変換終了割り込み（ADIO 割り込み）	
動作モード	連続スキャンモード	SH7044 のスキャンモード
クロック選択	PCLK/2	PCLK=48MHz
変換開始トリガと周期	ソフトトリガ（開始後は変換を繰り返す）	
拡張アナログ入力	使用しない	
データ配置	右詰め	AN0:ADDRA AN1:ADDRB AN2:ADDRC
使用端子	PE02/AN0	アナログ入力 0
	PE03/AN1	アナログ入力 1
	PE04/AN2	アナログ入力 2

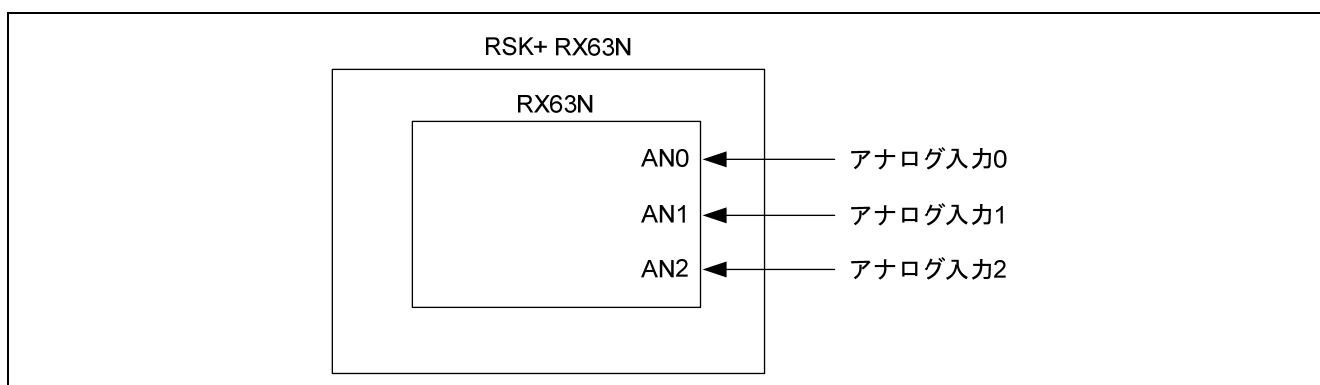


図2.27 10 ビット A/D 変換設定接続仕様

以下に SH7044 の高速 A/D 変換器を RX631 の 10 ビット A/D 変換器に置き換えるための初期設定例を示します。

表2.72 10 ビット A/D 変換器初期設定例

手順		SH7044 設定例 Pφ (周辺クロック) : 20MHz	RX631 設定例 PCLK (周辺クロック) : 48MHz
1	モジュールストップ状態解除	(モジュールストップ機能なし)	SYSTEM.PRCR=0xA502 SYSTEM.MSTPCRA.MSTPA23=0 SYSTEM.PRCR=0xA500
2	割り込み設定ディスエーブル	ADCSR.ADIE=0 (割り込み禁止)	IER0C.IEN2=0 (ベクタ 98、ADIO 禁止) ADCSR.ADIE=0 (割り込み禁止)
3	A/D 変換停止	ADCSR.ADST=0 (A/D0 停止)	ADCSR.ADST=0 (A/D 停止)
4	I/O ポート設定 (端子入出力と端子機能設定)	AN0 が入力専用ポート (PFDR) に割り当てられるため I/O 設定は必要なし	MPC で端子 AN0 を設定 PORTE.PDR.B2 = 0 (入力設定) PORTE.PDR.B3 = 0 (入力設定) PORTE.PDR.B4 = 0 (入力設定) PORTE.PMR.B2 = 0 (GPIO) PORTE.PMR.B3 = 0 (GPIO) PORTE.PMR.B4 = 0 (GPIO) MPC.PWPR.B0WI = 0 MPC.PWPR.PFSWE = 1 (PFS ライト許可) MPC.PE2PFS = 0x80 (アナログ機能設定) MPC.PE3PFS = 0x80 (アナログ機能設定) MPC.PE4PFS = 0x80 (アナログ機能設定) MPC.PWPR.PFSWE = 0 (PFS ライト禁止) MPC.PWPR.B0WI = 1
5	ADCSR 設定	ADCSR.CKS=0 (変換時間 40 ステート) ADCSR.GRP=1 (グループモード) ADCSR.CH2~0=2 (AN0,1,2 指定)	ADCSR.CH=2 (AN0,1,2 指定)
6	ADCR 設定	ADCR.PWR=1 (高速スタートモード) ADCR.TRGS1,0=0 (ソフトウェアトリガ) ADCR.SCAN=1 (スキャンモード) ADCR.DSMP=0 (通常サンプリング) ADCR.BUFE1,0=0 (通常動作)	ADCR.MODE=2 (連続スキャンモード) ADCR.CKS=2 (PCLK/2) ADCR.TRGS=000b (ソフトウェアトリガ)
7	ADDR フォーマット	右詰めのみのため設定不要	ADCR2.DPSEL=0 (データ右詰め)
8	割り込み優先度レジスタ設定	IPRG.WORD=0x5000 (A/D0,1 をレベル 5)	IPR098=5 (ADIO をレベル 5)
9	割り込み許可設定	ADCSR.ADIE=1 (割り込み許可)	IER0C.IEN2=1 (ベクタ 98、ADIO 許可) ADCSR.ADIE=1 (割り込み許可)
10	A/D 変換開始	ADCSR.ADST=1 (A/D 開始)	ADCSR.ADST=1 (A/D 開始)
11	A/D 変換終了割り込み処理	ADCSR.ADF=0 • 割り込みフラグをリードして 0 クリアされる	割り込みフラグは自動でクリアされる

【注】 網掛けの部分を変更することで I/O ポート設定/動作モードを選択/変更します。  
SH7044 と各動作モードに対する RX631 での設定対応を表 2.73 に示します。



表 2.72 の網掛け部分を以下の設定にすると各モードを選択することができます。

表2.73 A/D 変換器 (SH7044⇒RX631) 動作モードに対する設定対応

NO.	SH7044 (高速 A/D 変換器)	RX631 (ADb)
1	セレクトシングルモード	シングルチャンネルモード
	ADCSR.GRP=0 (セレクトモード) ADCSR.CH2~0=0 (AN0 指定) ADCR.SCAN=0 (シングルモード)	PORTE.PDR.B2 = 0 (入力設定) PORTE.PMR.B2 = 0 (GPIO) MPC.PE2PFS = 0x80 (アナログ機能設定)  ADCSR.CH=0 (AN0 指定) ADCR.MODE=0 (シングルチャンネルモード)
2	セレクトスキャンモード	連続スキャンモード (単独チャンネル)
	ADCSR.GRP=0 (セレクトモード) ADCSR.CH2~0=0 (AN0 指定) ADCR.SCAN=1 (スキャンモード)	PORTE.PDR.B2 = 0 (入力設定) PORTE.PMR.B2 = 0 (GPIO) MPC.PE2PFS = 0x80 (アナログ機能設定)  ADCSR.CH=0 (AN0 指定) ADCR.MODE=2 (連続スキャンモード)
3	グループシングルモード	スキャンモード (複数チャンネル)
	ADCSR.GRP=1 (グループモード) ADCSR.CH2~0=2 (AN0,1,2 指定) ADCR.SCAN=0 (シングルモード)	PORTE.PDR.B2 = 0 (入力設定) PORTE.PDR.B3 = 0 (入力設定) PORTE.PDR.B4 = 0 (入力設定) PORTE.PMR.B2 = 0 (GPIO) PORTE.PMR.B3 = 0 (GPIO) PORTE.PMR.B4 = 0 (GPIO) MPC.PE2PFS = 0x80 (アナログ機能設定) MPC.PE3PFS = 0x80 (アナログ機能設定) MPC.PE4PFS = 0x80 (アナログ機能設定)  ADCSR.CH=2 (AN0,1,2 指定) ADCR.MODE=1 (スキャンモード)
4	グループスキャンモード	連続スキャンモード (複数チャンネル)
	ADCSR.GRP=1 (グループモード) ADCSR.CH2~0=2 (AN0,1,2 指定) ADCR.SCAN=1 (スキャンモード)	PORTE.PDR.B2 = 0 (入力設定) PORTE.PDR.B3 = 0 (入力設定) PORTE.PDR.B4 = 0 (入力設定) PORTE.PMR.B2 = 0 (GPIO) PORTE.PMR.B3 = 0 (GPIO) PORTE.PMR.B4 = 0 (GPIO) MPC.PE2PFS = 0x80 (アナログ機能設定) MPC.PE3PFS = 0x80 (アナログ機能設定) MPC.PE4PFS = 0x80 (アナログ機能設定)  ADCSR.CH=2 (AN0,1,2 指定) ADCR.MODE=2 (連続スキャンモード)

なお、付属するサンプルの各動作モードに対する変換対象と変換開始トリガは以下の通りです。

表2.74 サンプルコードの説明

動作モード	変換チャンネル	変換開始トリガ	備考
シングルチャンネルモード	AN0	MTU4 コンペアマッチ	
連続スキャンモード (単独チャンネル)	AN0	ソフトウェアトリガ	
スキャンモード (複数チャンネル)	AN0,1,2	MTU4 コンペアマッチ	
連続スキャンモード (複数チャンネル)	AN0,1,2	ソフトウェアトリガ	

## 2.12 コンペアマッチタイマ (CMT)

## 2.12.1 仕様比較

表2.75 SH7044、RX631 CMT 仕様比較

項目	SH7044	RX631
クロック	4種類の内部クロックからチャンネル別に選択可能 ( $\phi$ /8,32,128,512)	4種類の内部クロックからチャンネル別に選択可能 (PCLK/8,32,128,512)
ユニット数 (チャンネル数)	1ユニット (全2チャンネル)	2ユニット (全4チャンネル)
割り込み要因	コンペアマッチ割り込みをチャンネル別に要求可能 (CMI0,1)	コンペアマッチ割り込みをチャンネル別に要求可能 (CMI0,1,2,3)

## 2.12.2 CMTの置き換え

SH7044のCMTとRX631のCMTはソフトウェアコンパチブルです。但し、RX631のコンペアマッチタイマコントロール/ステータスレジスタ (CMCSR0/1) に割り込みフラグがないため、割り込みコントローラの割り込みフラグを使用することになります。なお、コンペアマッチ割り込みハンドラ内でのフラグクリアは必要ありません。(割り込み受け付け時に割り込みコントローラで自動的にクリアします) 以下にコンペアマッチタイマのレジスタの比較を示します。

表2.76 コンペアマッチタイマレジスタ一覧

レジスタ名	SH7044	RX631	変更
ユニット0 (チャンネル0,1) SHではチャンネル0,1のみ			
コンペアマッチタイマスタートレジスタ	CMSTR	CMSTR0	◎
コンペアマッチタイマコントロール/ ステータスレジスタ	CMCSR0,1	CMT0.CMCR, CMT1.CMCR	◎* <sup>1</sup>
コンペアマッチタイマカウンタ	CMCNT0,1	CMT0.CMCNT, CMT1.CMCNT	◎
コンペアマッチタイマコンスタントレジスタ	CMCOR0,1	CMT0.CMCOR, CMT1.CMCOR	◎
以下のユニット1 (チャンネル2,3) SH7044にはない			
—		CMSTR1	○
		CMT2.CMCR, CMT3.CMCR	○* <sup>1</sup>
		CMT2.CMCNT, CMT3.CMCNT	○
		CMT2.CMCOR, CMT3.CMCOR	○

【注】 ◎ SH7044とRX631でビットアサインが同じレジスタ

○ ユニット1のレジスタです。ビットアサインはユニット0と同じです

\*<sup>1</sup> 割り込みフラグはありません。割り込みコントローラのIRビットで代替してください。

## 2.12.3 モジュールストップ

RX631の周辺モジュールは、消費電力低減機能により初期状態で停止となっています。CMTも初期状態はモジュール停止しているため、モジュール設定時は必ずモジュールストップ解除を行ってください。モジュールストップ解除時、モジュールストップコントロールレジスタをアクセスする際は必ずレジスタライトプロテクションを解除してアクセスしてください。

## 2.12.4 コンペアマッチタイマ設定例

SH7044 と RX631 のコンペアマッチタイマの設定比較を以下に示します。

<仕様>

- ① RSK+RX63N CMT ユニット 0 のチャンネル 0 を使用します。
- ② コンペアマッチ割り込み (CMI0) を使用して、0.5 秒周期に LED1 の点滅を行います。

表2.77 コンペアマッチタイマ設定仕様

項目	内容	備考
カウントクロック	PCLK/512	PCLK=48MHz
カウンタ値 (CMCOR)	B71Bh	
その他	LED1 P05	GPIO

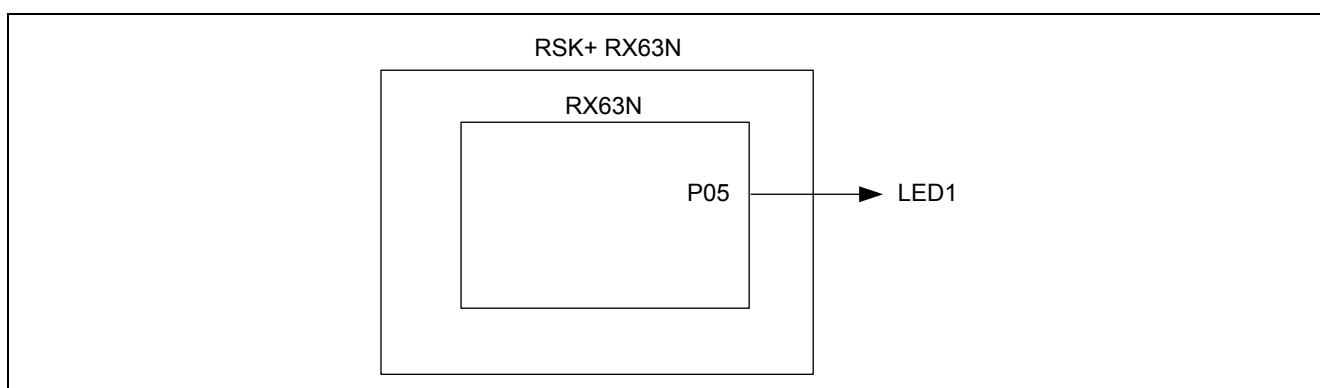


図2.28 コンペアマッチタイマ接続仕様

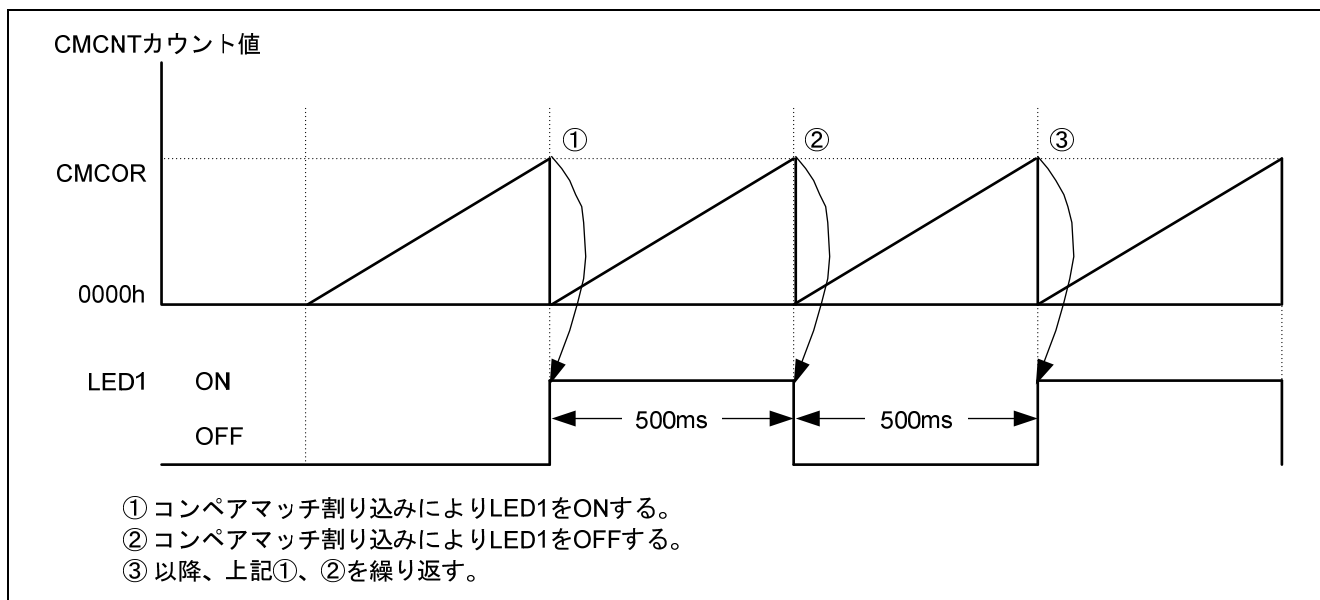


図2.29 コンペアマッチタイマ動作説明

表2.78 コンペアマッチタイマ初期設定例

手順		SH7044 設定例 Pφ (周辺クロック) : 20MHz	RX631 設定例 PCLK (周辺クロック) : 48MHz
1	モジュールストップ状態解除	(モジュールストップ機能なし)	SYSTEM.PRCR=0xA502 SYSTEM.MSTPCRA.MSTPA15=0 SYSTEM.PRCR=0xA500
2	割り込み禁止設定	CMCSR.CMIE=1 (コンペアマッチ割り込み禁止)	IER03.IEN4=0 (ベクタ 28、CMIO 禁止) CMT0.CMCR.CMIE=0
3	タイマ停止	CMSTR.STR0=0	
4	カウンタクロック選択	CMCSR.CKS0~1=11b (φ/512)	CMT0.CMCR.CKS0~1=11b (PCLK/512)
5	タイマカウンタクリア設定	CMCNT0=0000h (カウンタクリア)	CMT0.CMCNT=0000h (カウンタクリア)
6	コンペアマッチ周期設定	CMCOR0=4C4Bh	CMT0.CMCOR=B71Bh
7	割り込み許可設定	CMCSR.CMIE=1 (コンペアマッチイネーブル) INTC.IPRG.WORD=0x0050 (割り込み優先度 5)	CMT0.CMCR.CMIE=1 (コンペアマッチイネーブル) IPR004=5 (CMIO-割り込み優先度 5 に設定) IR028=0 (CMIO 割り込みフラグクリア) IER03.IEN4=1 (ベクタ 28、CMIO 許可)
8	タイマ動作許可	CMSTR.STR0=1 (タイマスタート)	
9	割り込み処理内 (フラグのクリア)	CMCSR.CMF=0 (CMCSR リードしてから CMF=0)	割り込みフラグは自動でクリアされる

## 2.13 フラッシュメモリ

## 2.13.1 仕様比較

表2.79 SH7044、RX631 フラッシュメモリ仕様比較

項目	SH7044	RX631
サイズ	<ul style="list-style-type: none"> <li>256K バイト</li> </ul>	<ul style="list-style-type: none"> <li>ROM エリア ユーザ領域：最大 2M バイト ユーザブート領域：16K バイト</li> </ul>
ブロックサイズ× ブロック数	<ul style="list-style-type: none"> <li>1K バイト×4 (4K バイト)</li> <li>28K バイト×1 (28K バイト)</li> <li>32K バイト×7 (224K バイト)</li> </ul>	各領域は 512K バイト <ul style="list-style-type: none"> <li>領域 0 4K バイト×8 (32K バイト) 16K バイト×30 (480K バイト)</li> <li>領域 1 32K×16 (512K バイト)</li> <li>領域 2 64K×8 (512K バイト)</li> <li>領域 3 64K×8 (512K バイト)</li> </ul>
動作モード	<ul style="list-style-type: none"> <li>プログラムモード</li> <li>イレースモード</li> <li>プログラムベリファイモード</li> <li>イレースベリファイモード</li> </ul>	書き換え専用シーケンサ (以下 FCU) 内蔵 FCU コマンドで P/E 実行 <ul style="list-style-type: none"> <li>FCU モード P/E ノーマルモード ステータスリードモード ロックビットリードモード</li> </ul>
書き込み/ 消去単位	<ul style="list-style-type: none"> <li>書き込み：32 バイト単位</li> <li>消去：ブロック単位</li> </ul>	<ul style="list-style-type: none"> <li>書き込み ユーザ領域：128 バイト単位 ユーザブート領域：128 バイト単位</li> <li>消去 ユーザ領域：ブロック単位 ユーザブート領域：16K バイト単位</li> </ul>
書き込み回数	100 回	1000 回
プログラミング モード	<ul style="list-style-type: none"> <li>オンボードプログラミング ブートモード ユーザプログラミングモード</li> <li>ライターモード</li> </ul>	<ul style="list-style-type: none"> <li>オンボードプログラミング ブートモード USB ブートモード ユーザブートモード シングルチップモード</li> <li>オフボードプログラミング フラッシュライターでユーザブート領域 を書き換え可能</li> </ul>
その他	<ul style="list-style-type: none"> <li>ビットレート自動合わせ込み</li> <li>RAM によるフラッシュメモリ エミュレーション機能</li> <li>プロテクトモード</li> </ul>	<ul style="list-style-type: none"> <li>ビットレート自動合わせ込み</li> <li>サスペンド/レジューム機能</li> <li>プロテクト機能</li> </ul>

【注】 P/E：プログラム/イレース

RX631 で内蔵 Flash の書き換えを行う場合「RX 用シンプルフラッシュ API」を使用できます。

シンプルフラッシュ API は、RX631 の内蔵 Flash の書き込みおよび消去をより容易にするためにユーザに提供されています。API の使用方法およびアプリケーションへの組み込み方法には下記のアプリケーションノートを参考にしてください。

- RX600 & RX200 シリーズ RX 用シンプルフラッシュ API (R01AN0544JU)

## 2.14 消費電力低減機能

## 2.14.1 モード仕様比較

SH7044 では低消費電力状態としてスリープモードとスタンバイモードがあります。各状態でのクロック、CPU、内蔵モジュールの状態は以下の通りです。

表2.80 SH7044 低消費電力状態

項目	クロック	CPU	内蔵モジュール
スリープモード	動作	停止	動作
スタンバイモード	停止	停止	停止

RX631 では低消費電力状態として、スリープモード、全モジュールクロックストップモードソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードがあります。各モードはそれぞれ表 2.81 の様な状態を持ちます。

表2.81 RX631 低消費電力状態

機能/状態	スリープモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
メインクロック発振器	動作可能	動作可能	動作可能	動作可能
サブクロック発振器	動作可能	動作可能	動作可能	動作可能
高速オンチップオシレータ	動作可能	動作可能	停止	停止
低速オンチップオシレータ	動作可能	動作可能	停止	停止
IWDT 専用オンチップオシレータ	動作可能	動作可能	動作可能	停止 (不定)
PLL	動作可能	動作可能	停止	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
RAM1 (0001 0000h~0003 FFFFh)	動作可能 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
RAM0 (0000 0000h~0000 FFFFh)	動作可能 (保持)	停止 (保持)	停止 (保持)	停止 (保持/不定) *1
フラッシュメモリ	動作	停止 (保持)	停止 (保持)	停止 (保持)
USB2.0 ホスト/ファンクションモジュール (USB)	動作可能	停止	停止	停止 (保持/不定)
ウォッチドッグタイマ (WDT)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
独立ウォッチドッグタイマ (IWDT)	動作可能	動作可能	動作可能	停止 (不定)
リアルタイムクロック (RTC)	動作可能	動作可能	動作可能	動作可能
ポートアウトプットイネーブル 2 (POE2)	動作可能	動作可能	停止 (保持)	停止 (不定)
8 ビットタイマ (TMR)	動作可能	動作可能	停止 (保持)	停止 (不定)
電圧検出回路 (LVD)	動作可能	動作可能	動作可能	動作可能
パワーオンリセット回路	動作	動作	動作	動作
周辺モジュール	動作可能	停止 (保持)	停止 (保持)	停止 (不定)
I/O ポート	動作	保持	保持	保持

【注】 動作可能は、制御レジスタ設定によって動作/停止を制御可能であることを示します。

停止 (保持) は、内部レジスタ値保持、内部状態は動作中断を示します。

停止 (不定) は、内部レジスタ値不定、内部状態は電源オフを示します。

\*1 レジスタにて保持/不定を選択可能です。

2.14.2 モード遷移

RX631 の各モード間遷移図を図 2.30 に示します。

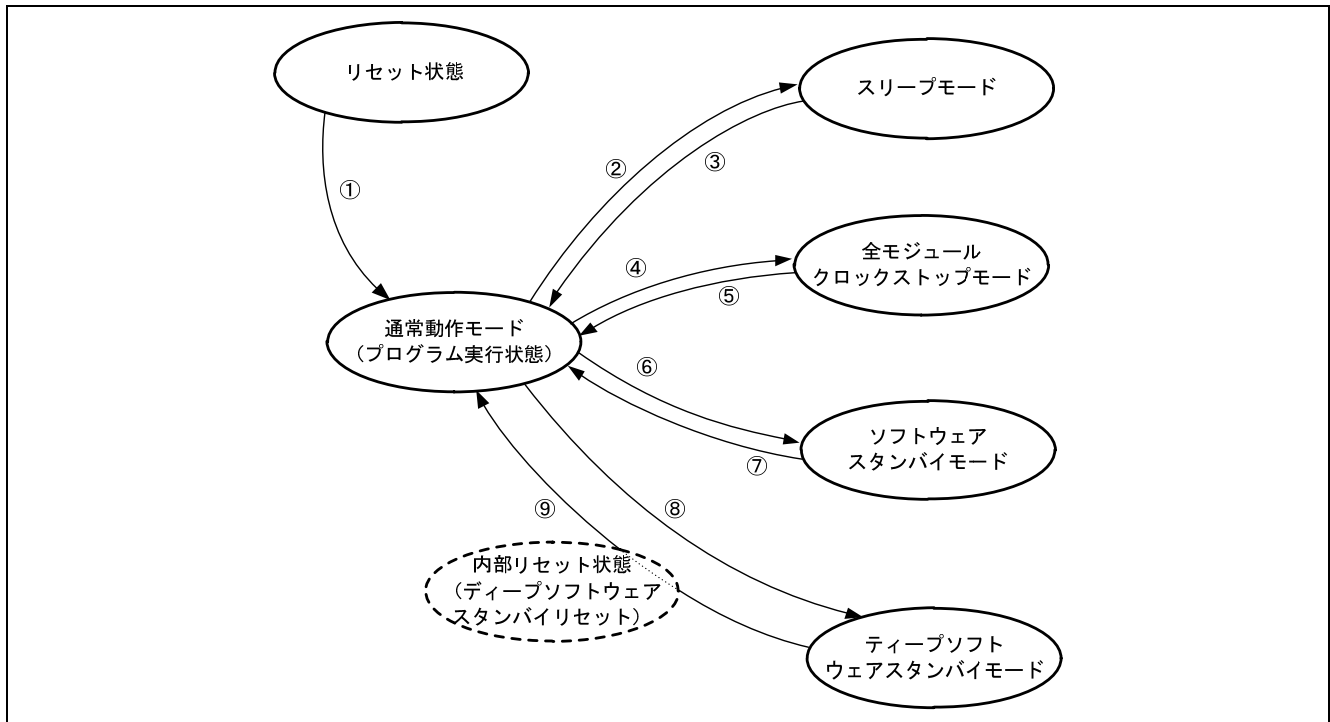


図2.30 RX631 モード遷移図

図 2.30 における、各イベントと遷移条件を以下に示します。

表2.82 RX631 モード遷移イベント一覧

No	イベント事象	遷移の条件 (イベント事象前に下記条件を設定)
1	RES#端子=High	—
2	WAIT 命令実行	SBYCR.SSBY=0
3	全ての割り込み	—
4	WAIT 命令実行	SBYCR.SSBY = 0 MSTPCRA.ACSE = 1 MSTPCRA = FFFF FF[C-F]Fh MSTPCRB = FFFF FFFFh MSTPCRC[31:16] = FFFFh
5	外部/周辺割り込み	外部端子割り込み (NMI、IRQ0~IRQ15) 周辺機能割り込み (8 ビットタイマ、RTC アラーム、RTC 周期、IWDT、 USB サスペンド/レジャー、電圧監視 1、電圧監視 2、発振停止検出) *1
6	WAIT 命令実行	SBYCR.SSBY=1、DPSBYCR.DPSBY=0
7	外部/周辺割り込み	外部端子割り込み (NMI、IRQ0~IRQ15) 周辺機能割り込み (RTC アラーム、RTC 周期、IWDT、USB サスペンド/レジャー、 電圧監視 1、電圧監視 2) *1
8	WAIT 命令実行	SBYCR.SSBY=1、DPSBYCR.DPSBY=1
9	外部/周辺割り込み	外部端子割り込み発生元となる一部の端子 (NMI、IRQ0-DS~IRQ15-DS、SCL2-DS、 SDA2-DS、CRX1-DS)、周辺機能割り込み (RTC アラーム、RTC 周期、 USB サスペンド/レジャー、電圧監視 1、電圧監視 2) *1  上記割り込み発生後、内部リセット状態が一定時間発生した後、内部リセット解除とともに、ディープソフトウェアスタンバイモードが解除され、通常動作モード、LOCO 動作で CPU は動作する。(リセットにより復帰する)

【注】 \*1 割り込み条件に詳細な条件があります。詳細はユーザーズマニュアル ハードウェア編を参照してください。

## 2.14.3 モード遷移設定例

RX631 を使用したモード遷移の設定例を以下に示します。

<仕様>

- ① RSK+RX63N を使用します。
- ② リセット後、SW2 (IRQ8-DS) を受け付け可能に設定し、SW2 の押下待ちとし、以下全てのモード遷移を SW2 の押下により実現するものとします。
- ③ モード遷移の確認は MTU4 (コンペアマッチ A) と TMR のコンペアマッチの端子出力をモニタすることで実現します。(TMR は TMR0,1 で 16 ビットタイマとして使用します)  
なお、TMR は全モジュールクロックストップモード遷移時にも動作する設定とします。

## 注意事項

RX63N RSK は SW2 と IRQ8-DS 端子が接続されていません。そのため、サンプルソースを用いたデバッグを行う場合は、以下のように RSK の改造が必要です。

(改造内容)

- SW2 に接続している JA1 の 23 ピンと IRQ8-DS 端子に接続している JA1 の 9 ピンを接続する。
- 未実装の R83 (0Ω 抵抗) を実装する (R83 部を直結する)。
- ボードに実装されている R84 (抵抗) を取り除く。

モード遷移と各モジュール動作を表 2.83 に示します。

表2.83 RX631 モード遷移設定動作仕様

No	SW2 押下	状態遷移	LED2 (GPIO)	LED3 (GPIO)	MTIOC4A 端子	TMO0 端子
1	—	端子 RES⇒通常動作モード時	点滅	消灯	トグル出力	トグル出力
2	1 回目	SLEEP モード	保持		トグル出力	トグル出力
3	2 回目	通常動作モード	点滅		トグル出力	トグル出力
4	3 回目	全モジュールクロックストップモード	保持		停止保持	トグル出力
5	4 回目	通常動作モード	点滅		トグル出力	トグル出力
6	5 回目	ソフトウェアスタンバイモード	保持		停止保持	停止保持
7	6 回目	通常動作モード	点滅		トグル出力	トグル出力
8	7 回目	ディープソフトウェアスタンバイモード	不定		停止不定	停止不定
9	8 回目	ディープソフトウェアスタンバイモード ⇒通常モード時	消灯	点灯	停止	停止

【注】 通常モードに復帰する際は、MTU、TMR とともに初期化をします。



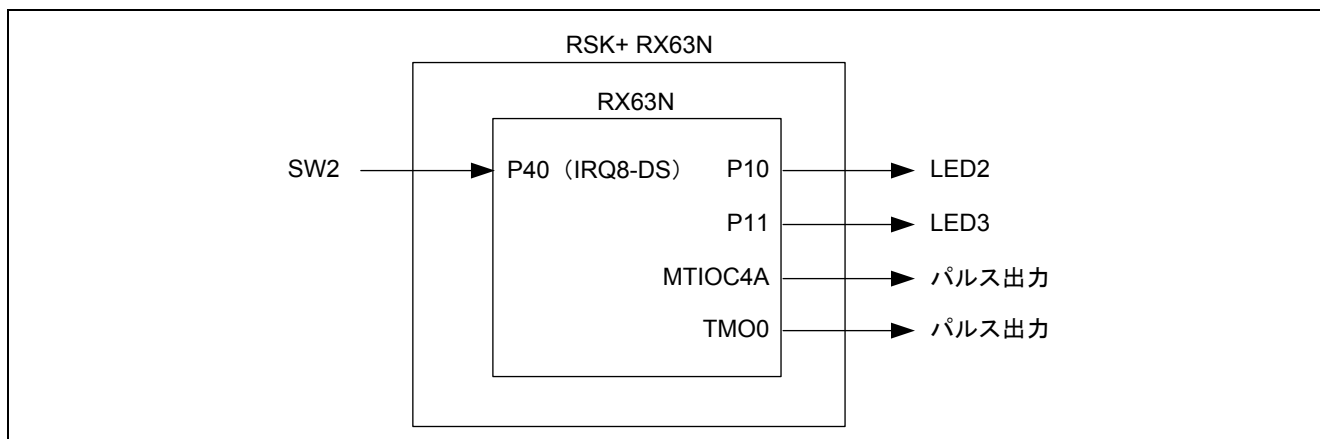


図2.31 モード遷移設定 接続仕様

表2.84 設定仕様

項目	内容	備考
CPU		
プロセッサモード	スーパバイザモード	
TMR0,TMR1		
カウントクロック	PCLK/1	PCLK=48MHz
動作モード	16ビットカウンタモード (TMR0,1をカスケード接続で使用)	
カウンタクリア指定	コンペアマッチ Aによりクリア	
割り込み	コンペアマッチ A/B 禁止 オーバフロー割り込み禁止 (割り込みコントローラでも禁止)	
TCORA 設定値	5DE6h	TMR0+TMR1
出力選択	反転出力	
使用端子	P22/TMO0	パルス出力用
SW2 (IRQ8-DS)		
SW2 (IRQ8-DS)	モード遷移のトリガ SW として使用 P40/IRQ8-DS	
割り込みプライオリティ	レベル 15	
デジタルノイズフィルタ	使用* <sup>1</sup>	
ディープソフトウェアスタンバイ復帰	SW2の信号をディープソフトウェアスタンバイ解除信号として使用するため、P40へ接続する。* <sup>2</sup>	
LED		
LED2	SW2 押下待ち時 (通常状態時) に点滅	P10
LED3	ディープソフトウェアスタンバイから復帰時に点灯	P11
MTU4 使用端子		
コンペアマッチ A 出力端子	P24/MTIOC4A	パルス出力用

【注】 \*1 通常動作モードから各低消費電力状態のモードへ遷移時はデジタルノイズフィルタを使用します。復帰時はデジタルノイズフィルタを使用しません。

\*2 SW2はデフォルトではP40 (IRQ8-DS) へ接続されていません。

図 2.32 にモード遷移処理のフローチャートを示します。

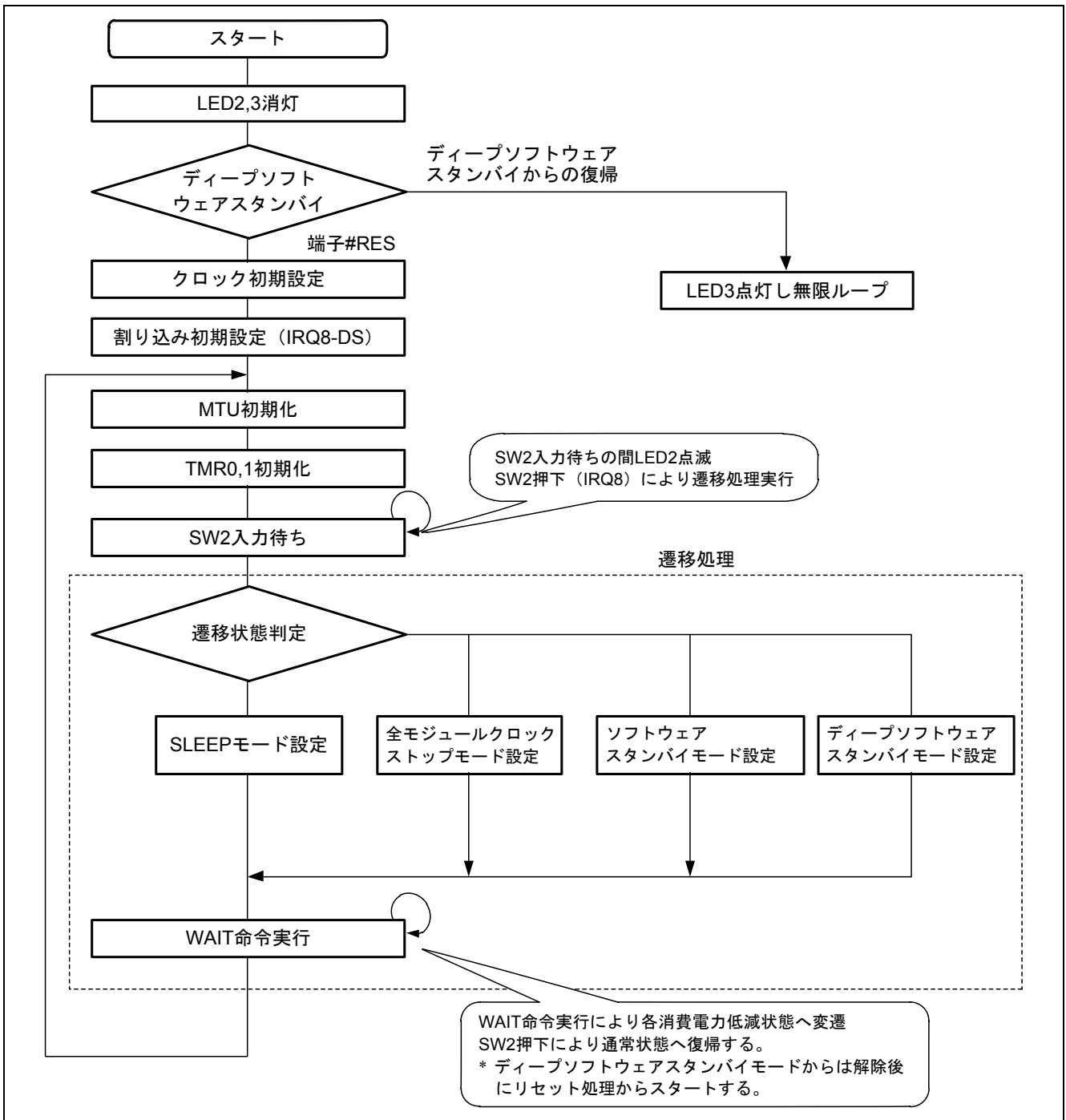


図2.32 モード遷移処理フローチャート

モード遷移に伴う各設定を以下に示します。

なお、MTU4 の設定については章 2.7.6 を参照してください。

表2.85 LED2,3 設定 (初期の消灯)

手順		設定例
1	GPIO 設定 (LED2,3 消灯)	PORT1.PODR.B0=1 (LED2 消灯) PORT1.PDR.B0=1 (出力設定) PORT1.PMR.B0=0 (GPIO) PORT1.PODR.B1=1 (LED3 消灯) PORT1.PDR.B1=1 (出力設定) PORT1.PMR.B1=0 (GPIO)

表2.86 割り込み初期設定例 (IRQ8-DS の設定)

手順		設定例
1	割り込み設定端子設定	PORT4.PDR.B0=0 (P00 入力設定) PORT4.PMR.B0=0 (P00GPIO 設定) MPC.PWPR.B0WI = 0 MPC.PWPR.PFSWE = 1 (PFS ライト許可) MPC.P40PFS.ISEL= 1 (割り込み機能設定 IRQ8-DS) MPC.PWPR.PFSWE = 0 (PFS ライト禁止) MPC.PWPR.B0WI = 1
2	割り込み許可、その他	IRQCR8.IRQMD=1 (IRQ 検出 : 立ち下がり検出) IRQFLTE1.FLTEN8=1 (IRQ8 デジタルノイズフィルタ有効) IRQFLTC1.FCLKSEL8 = 3; (デジタルノイズフィルタサンプリング PCLK/32) IR072=0 (割り込みフラグクリア) IPR072=15 (割り込みレベル 15) IER09.IEN0=1 (IRQ8 許可)

表2.87 TMR0,1 設定例 (カスケード接続 16 ビットタイマ、コンペアマッチ A トグル出力)

手順		設定例
1	TMR0,1 モジュール ストップ解除	SYSTEM.PRCR.WORD = 0xA502; SYSTEM.MSTPCRA.MSTPA5=0 SYSTEM.PRCR.WORD = 0xA500;
2	TMR タイマクリア、停止	TMR0.TCNT = 0x00 (TMR0 TCNT クリア) TMR1.TCNT = 0x00 (TMR1 TCNT クリア) TMR0.TCCR = 0x00 (TMR0 クロック停止) TMR1.TCCR = 0x00 (TMR1 クロック停止)
3	TMO0 IO 設定	PORT2.PDR.B2=1 (P22 出力設定) PORT2.PMR.B2=0 (P22GPIO 設定) MPC.PWPR.B0WI = 0 MPC.PWPR.PFSWE = 1 (PFS ライト許可) MPC.P22PFS= 05h (P22 端子 TMO0 に設定) MPC.PWPR.PFSWE = 0 (PFS ライト禁止) MPC.PWPR.B0WI = 1 PORT2.PMR.B2=1 (端子機能設定)
4	TOCRA 設定	TMR0.TOCRA=5Dh TMR1.TOCRA=E6h
5	TCR 設定	TMR0.TCR.CCLR=1 (コンペアマッチ A によりクリア) TMR0.TCR.OVIE=0 (オーバフロー割り込み要求禁止) TMR0.TCR.CMIEA=0 (コンペアマッチ A 割り込み要求禁止) TMR0.TCR.CMIEB=0 (コンペアマッチ B 割り込み要求禁止) TMR1.TCR はデフォルトのまま
6	TCSR 設定	TMR0.TCSR.OSA=3 (TMO0 端子反転出力) TMR1.TCSR はデフォルト設定
7	TCCR 設定 (TCNT スタート)	TMR0.TCCR.CSS=3 (TMR1.TCNT のオーバフロー信号でカウント) TMR1.TCCR.CKS=000b (PCLK/1 でカウント⇒CKS と CSS の組み合わせ) TMR1.TCCR.CSS=01b

表2.88 スリープモード設定例

手順		設定例
1	プロテクト解除	SYSTEM.PRCR=A503h (プロテクト解除)
2	スタンバイコントロール レジスタ設定	SYSTEM.SBYCR.SSBY=0 (ソフトスタンバイなし)
3	プロテクト設定	SYSTEM.PRCR=A500h (プロテクト設定)

表2.89 全モジュールクロックストップモード設定例

手順		設定例
1	プロテクト解除	SYSTEM.PRCR=A503h (プロテクト解除)
2	スタンバイコントロールレジスタ設定	SYSTEM.SBYCR.SSBY=0 (ソフトスタンバイなし) SYSTEM.SBYCR.OPE=0 (バス出力ハイインピーダンス)
3	モジュールストップレジスタ A,B,C 設定	SYSTEM.MSTPCRA.ACSE = 1 (全モジュールクロックストップ許可設定) SYSTEM.MSTPCRA = FFFF FFDFh (モジュールストップ状態へ遷移 TMR0,1 除く) SYSTEM.MSTPCRB = FFFF FFFFh (モジュールストップ状態へ遷移) SYSTEM.MSTPCRC = FFFF0000h (RAM 以外モジュールストップ状態へ遷移)
4	プロテクト設定	SYSTEM.PRCR=A500h (プロテクト設定)

表2.90 ソフトウェアスタンバイ設定例

手順		設定例
1	プロテクト解除	SYSTEM.PRCR=A503h (プロテクト解除)
2	スタンバイコントロールレジスタ設定	SYSTEM.SBYCR.SSBY=1 (ソフトウェアスタンバイ許可) SYSTEM.SBYCR.OPE=0 (バス出力ハイインピーダンス)
3	ディープソフトウェアスタンバイ設定	SYSTEM.DPSBYCR.DPSBY=0 (ディープソフトウェアスタンバイ禁止)
4	プロテクト設定	SYSTEM.PRCR=A500h (プロテクト設定)

表2.91 ディープソフトウェアスタンバイ設定例

手順		設定例
1	プロテクト解除	SYSTEM.PRCR=A503h (プロテクト解除)
2	スタンバイコントロールレジスタ設定	SYSTEM.SBYCR.SSBY=1 (ソフトウェアスタンバイ許可) SYSTEM.SBYCR.OPE=0 (バス出力ハイインピーダンス)
3	ディープソフトウェアスタンバイ設定	SYSTEM.DPSBYCR.DPSBY=1 (ディープソフトウェアスタンバイ許可) SYSTEM.DPSIER1.DIRQ8E=1 (IRQ8-DS によるディープソフトウェアスタンバイ許可)
4	ディープソフトウェアスタンバイインタラプトフラグクリア	SYSTEM.DPSIFR1.DIRQ8F=0 (IRQ8-DS 端子による解除要求フラグクリア)
5	プロテクト設定	SYSTEM.PRCR=A500h (プロテクト設定)

### 3. サンプルコードについて

#### 3.1 動作環境

本アプリケーションノートのサンプルコードは、下記の環境で動作を確認しています。

表3.1 動作環境

項目	内容
使用マイコン	R5F563NB (RX63N Group)
動作周波数	<ul style="list-style-type: none"> <li>• メインクロック : 12MHz</li> <li>• サブクロック : 32.768kHz</li> <li>• PLL : 192MHz (メインクロック 1 分周 16 通倍)</li> <li>• HOCO : 停止</li> <li>• システムクロック (ICLK) : 96MHz (PLL 2 分周)</li> <li>• 周辺モジュールクロック A (PCLKA) : 96MHz (PLL 2 分周)</li> <li>• 周辺モジュールクロック B (PCLKB) : 48MHz (PLL 4 分周)</li> </ul>
動作電圧	3.3V
統合開発環境	ルネサスエレクトロニクス製 High-performance Embedded Workshop (Version 4.09.01.007)
C コンパイラ	ルネサスエレクトロニクス製 C/C++ Compiler Package for RX Family (V.1.02 Release 01)
CPU シリーズ(タイプ)	RX600 (RX63N)
最適化	なし
iodefine.h のバージョン	1.6A
エンディアン	ビッグエンディアン
動作モード	シングルチップモード (SDRAM 使用時のみ内蔵 ROM 有効拡張モード)
プロセッサモード	スーパバイザモード
サンプルコードのバージョン	1.00
使用ボード	Renesas Starter Kit+ for RX63N (製品型名 : R0K50563NC010BR)

### 3.2 サンプルコードの構成

以下にサンプルコードの構成を示します。

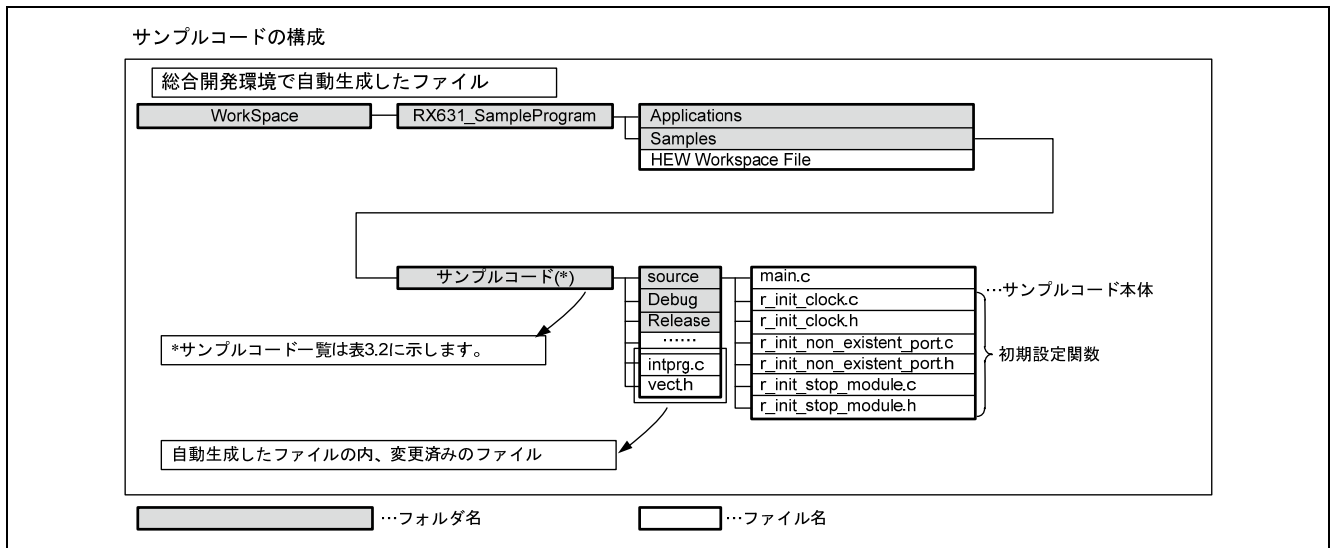


図3.1 サンプルコードの構成

■ 初期設定について

アプリケーションノートの初期設定関数は「RX63N グループ、RX631 グループ 初期設定例 Rev.1.00」のサンプルコードを使用しています。Rev は本アプリケーションノート作成時点のものです。

■ 自動生成したファイルの内変更が必要な項目

main.c で割り込み宣言、ベクタ登録、及び、割り込み処理を記載しています。自動生成されたファイルのうち intprg.c、vect.h には main.c の設定と内容と重複する部分が存在するため下記の変更をしています。

- intprg.c : main.c で設定したの割り込み処理をコメントアウト
- vect.h : vect.h の割り込み関数の宣言、及び、ベクタ登録をコメントアウト

表3.2 サンプルコード一覧

サンプルプロジェクト名	関連項目
DTC_normal_transfer_mode	2.5.8
DMA_normal_transfer_mode	2.6.11
MTU_compare_match	2.7.6
MTU_input_capture	2.7.7
SCI_asynchronous_interrupt	2.9.4
SCI_asynchronous_polling	
SCI_sync_master_transmit_int	2.9.5
SCI_sync_master_transmit_pol	
SCI_sync_slave_receive_int	2.9.6
SCI_sync_slave_receive_pol	
AD_single_channel_mode	2.10.5
AD_continuous_scan_single_ch	2.11.5
AD_continuous_scan_multi_ch	2.10.6
	2.11.5
AD_single_scan_mode_multi_ch	2.11.5
CMT_compare_match	2.12.4
Low_power_consumption_mode	2.14.3

## 4. 参考資料

### 4.1 参考資料

4.1 章では本資料を作成する上で参照した資料をまとめました。下記資料を参照するに当たり、最新版の資料がある場合、最新版に差し替えて使用してください。最新版はルネサスエレクトロニクスホームページで確認および入手してください。

表4.1 参考資料

参考資料
SH7045、SH7044、SH7043、SH7042、SH7041、SH7040 グループ ユーザーズマニュアル ハードウェア編 (RJJ09B0031-0600H)
SH-1/SH-2/SH-DSP ソフトウェアマニュアル (RJJ09B0228-0700)
RX63N グループ、RX631 グループ ユーザーズマニュアル ハードウェア編 (R01UH0041JJ)
RX ファミリ ユーザーズマニュアル ソフトウェア編 (R01US0032JJ)
Renesas Starter Kit+ for RX63N ユーザーズマニュアル (R20UT0438JG)
Renesas Starter Kit+ for RX63N CPU ボード回路図 (R20UT0437EG)
RX63N グループ、RX631 グループ 初期設定例 (R01AN1245JJ)
RX63N グループ、RX631 グループ SCI を用いた調歩同期式通信 (R01AN1449JJ)
RX63N グループ、RX631 グループ DMACA によるクロック同期式 SCIC 送受信 (R01AN1064JJ)
RX63N グループ、RX631 グループ MTU2a を使用したパルス幅測定 (R01AN1237JJ)
RX63N グループ、RX631 グループ RSPI、DTCa および MTU2a を用いた I2S 通信 (R01AN1339JJ)
RX63N グループ、RX631 グループ RTCa によるソフトウェアスタンバイモードからの復帰 (R01AN1067JJ)
RX63N グループ、RX631 グループ SDRAMC を使用した 16bit SDRAM のリードライト制御 (R01AN1705JJ)
RX600 & RX200 シリーズ RX 用シンプルフラッシュ API (R01AN0544JU)
SH7040 シリーズ 内蔵 I/O 編 アプリケーションマニュアル (ADJ-502-052A)



## ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2014.09.30	－	初版発行

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、  
家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、  
防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/contact/>