

RX62T グループ

R01AN0821JJ0100

Rev.1.00

2012.02.17

1 ショント電流検出方式における 12bitAD 変換器使用例

目次

1	概要	2
1.1	構成.....	2
1.2	使用機能一覧.....	3
2	制御内容	4
2.1	ポートアサイン	4
2.2	タイミング図	5
2.3	12bitAD 変換器(S12ADA).....	6
2.4	ポートアウトプットイネーブル 3(POE3).....	8
2.5	マルチファンクションタイマユニット 3 (MTU3).....	8
3	PDG2 設定	9
3.1	システム設定	9
3.2	MTU3ch3 設定	10
3.3	POE3 設定	14
3.4	12bitADA 設定	17
4	S/W 解説	18
4.1	レジスタ設定	18
4.2	変数設定	18
4.3	定数設定	18
4.4	Main 関数フロー	19
4.5	MTU3 割り込み(キャリア割り込み)フロー	20
4.6	POE3 割り込みフロー	20

1 概要

1.1 構成

本アプリケーションノートは 1 シャント電流検出方式を使用するモータ制御基板(図 1)を想定し、PWM 出力と同期した AD 検出タイミング設定例、内蔵プログラマブルゲインアンプ(以下、PGA)使用例、内蔵コンパレータ使用例について解説します。

また、本アプリケーションノートに付随する S/W のレジスタ設定はルネサスエレクトロニクス製フリーツール「周辺 I/O ドライバ生成ツール Peripheral Driver Generator V.2(以下、PDG2) Ver2.02」を用いて生成しています。レジスタの設定値に関しては PDG2 のユーザーズマニュアルをご参照ください。

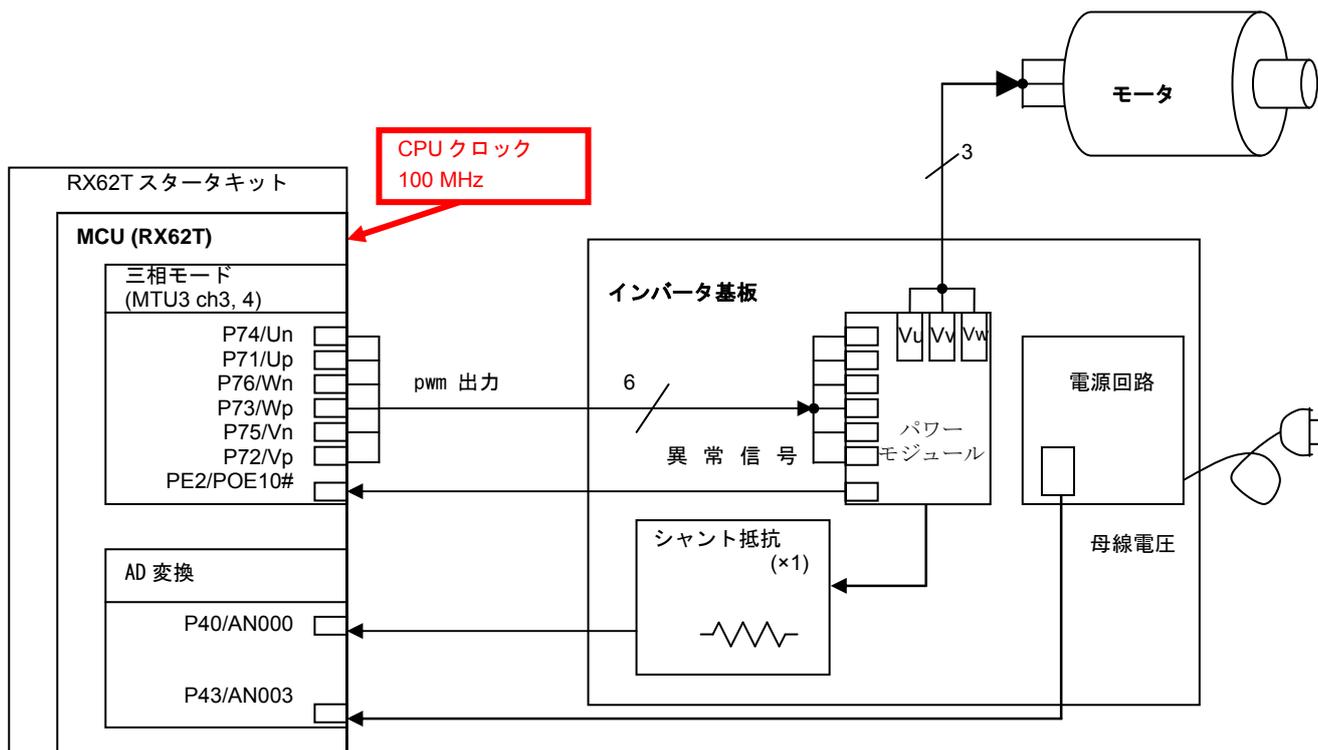


図1. システム構成図

1.2 使用機能一覧

本アプリケーションノートにて使用した RX62T の機能を示します。

表 1. S/W 使用機能一覧

機能	名称	内容
三相出力	MTU3 (ch3,4)	<ul style="list-style-type: none"> ・ MTU3 (ch3,4) による相補 PWM モードを使用した正弦波出力 ・ AD デイレイドトリガ発生機能による任意のタイミングでの 3 相 PWM の 2 箇所入力
シャント用電流入力	12bit ADA (AN000)	<ul style="list-style-type: none"> ・ AD1ch で 1 シャント電流検出方式に対応(ダブルデータレジスタ)
シャント電流増幅	PGA	<ul style="list-style-type: none"> ・ 内蔵 PGA を用いて 2 倍に増幅
母線電圧入力	12bit ADA (AN003)	<ul style="list-style-type: none"> ・ MTU3 同期のトリガによる AD 入力
異常信号入力	POE (POE10)	<ul style="list-style-type: none"> ・ IPM からの異常時過電流信号”立ち下がり”エッジ検出による三相出力の出力遮断(ハイインピーダンス状態)
過電流検出	12bitADA 内 コンパレータ	<ul style="list-style-type: none"> ・ ウィンドウコンパレータ機能で正負両方の過電流を検出し、三相出力を遮断

2 制御内容

2.1 ポートアサイン

表 2. ポートアサイン

使用用途	I/O	RX62T		RX62T-RSK	
		使用機能	ピン No	JA	J
Vcc	HW	Vcc	14,42,60	JA1-1,JA6-23	J1-1,J2-17,J3-10
Vss	HW	Vss	3,12,44,62	JA1-2,4,JA2-4,JA6-24	J1-3,12,J2-19,J3-12
VCL	HW	VCL	5	—	—
AVcc	HW	AVCC0	92	JA1-5	J4-17
AVss	HW	AVSS0	95	JA1-6	J4-20
PLLVss	HW	PLLVss	31	—	—
EXTAL	HW	EXTAL	13	—	J1-13
XTAL	HW	XTAL	11	—	J1-11
MD1	HW	MD1	6	—	J1-6
RESET	HW	RES#	10	JA2-1	J1-10
ASEMD0	HW	MD0	7	—	J1-7
異常信号入力	IN	POE10#-A	15	JA2-3	J1-15
モータ UP 相出力	OUT	MTIOC3B	56	JA2-13	J3-6
モータ UN 相出力	OUT	MTIOC3D	53	JA2-14	J3-3
モータ VP 相出力	OUT	MTIOC4A	55	JA2-15	J3-5
モータ WP 相出力	OUT	MTIOC4B	54	JA2-17	J3-4
モータ VN 相出力	OUT	MTIOC4C	52	JA2-16	J3-2
モータ WN 相出力	OUT	MTIOC4D	51	JA2-18	J3-1
母線電圧用 A/D 入力	IN	AN003	88	JA1-12	J4-13
1 ショント用電流 A/D 入力	IN	AN000	91	JA1-9	J4-16

2.2 タイミング図

PWMの1キャリアとAD値の取得タイミング図を以下に示します。

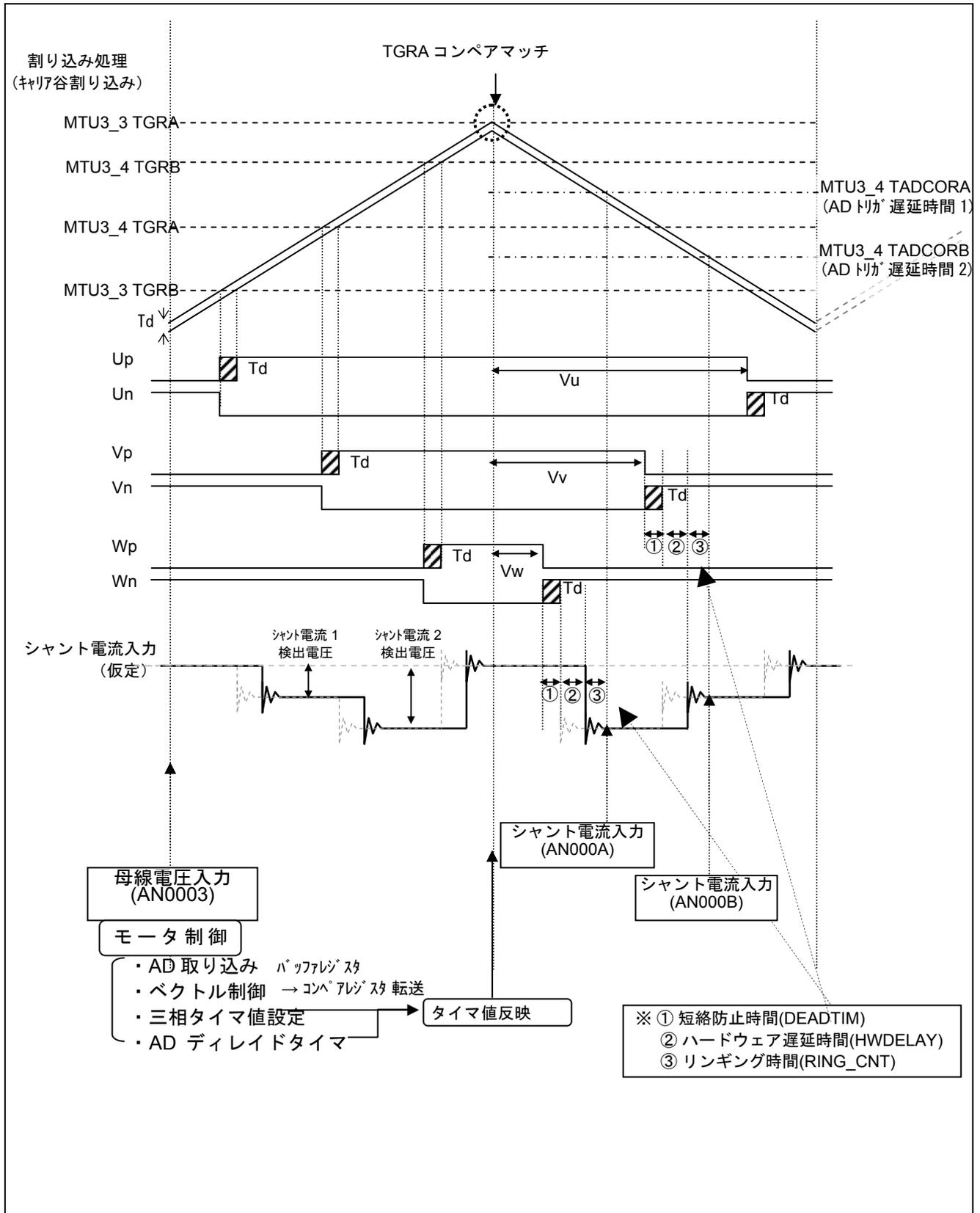


図2. AD変換タイミング図

2.3 12bitAD 変換器(S12ADA)

(1) AD検出項目

AD変換器で検出している項目を以下に示します。

表 3. AD 検出項目

項目	A/D入力ポート
ショント電流1	AN000A
ショント電流2	AN000B
母線電圧	AN003

(2) AD 変換器設定内容

以下に 12bitAD 変換器と、付随する PGA およびコンパレータの設定内容を示します。

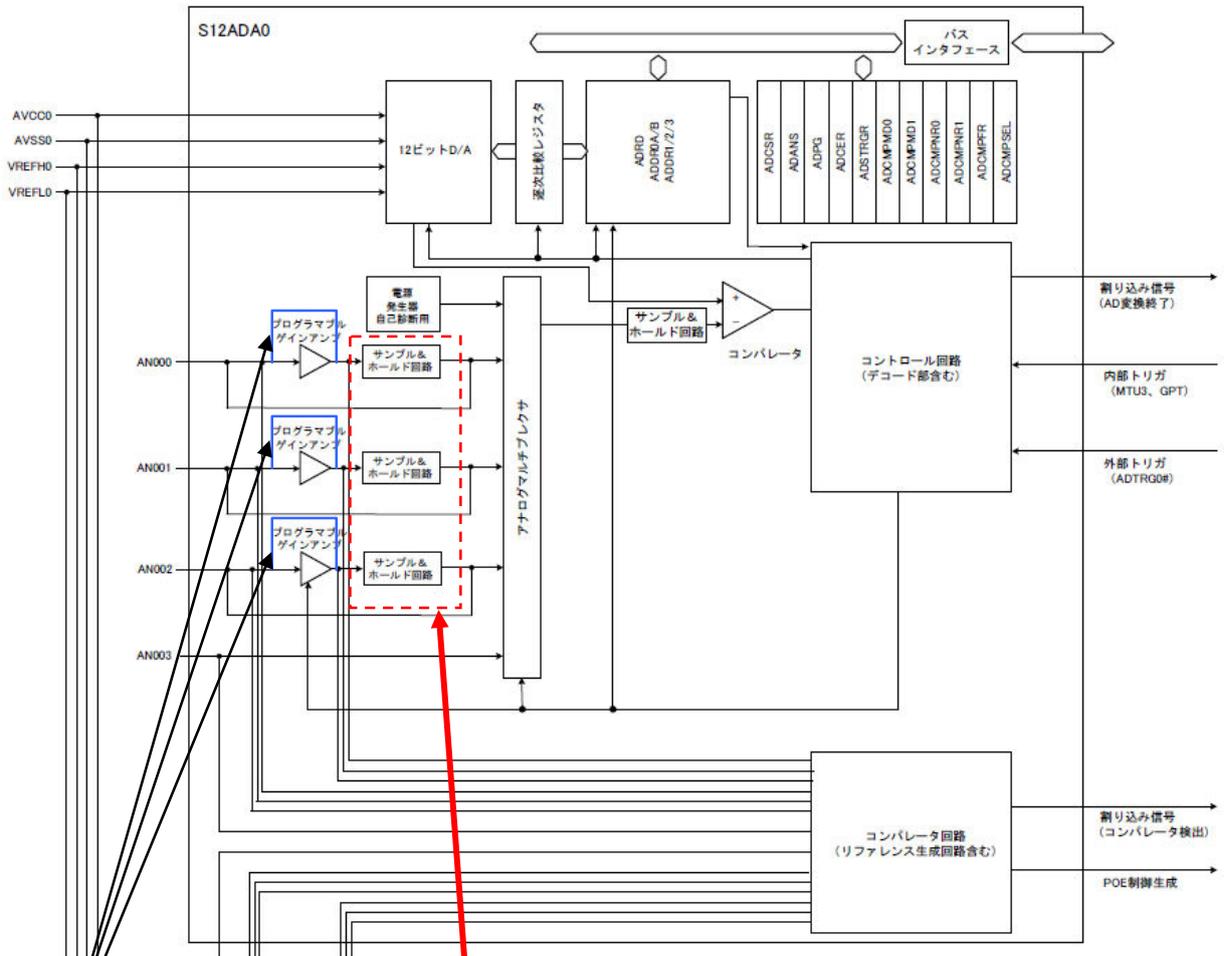
表 4. AD 変換モード設定内容

項目	内容
変換モード	2チャンネルスキャンモード
変換端子	グループ 0 : AN000A,AN000B グループ 1 : AN001~AN003
トリガ選択	グループ 0 : MTU3 TRG4AN または TRG4BN グループ 1 : MTU3 TRGA4N (キャリア谷)
ビット選択	12ビット (右詰め)
サンプリング方式	サンプル&ホールド+チャンネル専用サンプル&ホールド
周波数選択	PCLK=50MHz、ADCLK=50MHz
A/D 変換時間	1.82 μ s (4 サイクル \div PCLK+88 サイクル \div ADCLK)
A/D 変換割り込み	未使用
PGA	増幅倍率 2 倍(AN000A,AN000B)
コンパレータ機能選択	ウィンドウコンパレータ(High 側:6/8AVCC、Low 側:1/8AVCC)
ノイズキャンセルフィルタ	コンパレータ検出結果を PCLK/8 で 16 回サンプリング
コンパレータ割り込み	POE 割り込み要求として使用

(3) AD 変換時間計算方法

PGAを使用する場合、12bitAD変換器の各チャンネルごと(AN003, AN103を除く)に搭載されている「チャンネル専用サンプル&ホールド回路」を使用する必要があります。AD変換時間の計算はRX62T ハードウェアマニュアルRev1.00 1215ページ中の、下記式を用いて算出することができます。

・チャンネル専用サンプルホールド回路使用、自己診断未使用
 $t_{SCAN} = t_D + t_{SPLSH} + (t_{CONV} \times n) + t_{ED}$



「プログラマブルゲインアンプ選択ビット」によって選択可能なバイパスライン

チャンネル専用サンプル & ホールド回路

図3. AD 変換器概要図抜粋

2.4 ポートアウトプットイネーブル3(POE3)

(1) ポートアウトプットイネーブル3検出項目

ポートアウトプットイネーブル3にて検出を行っている項目を示します。

表 5. ポートアウトプットイネーブル3 検出項目

項目	ポート	内容
異常信号入力	POE10	IPMからの異常信号を検出

(2) ポートアウトプットイネーブル3設定内容

以下にポートアウトプットイネーブル3の設定内容を示します。

表 6. ポートアウトプットイネーブル3設定内容

項目	内容
制御対象	三相出力端子(6本)
ハイインピーダンス条件	コンパレータ検出(AN000)
	POE10 端子の入力レベル検出
	三相 PWM 出力のうちいずれかの相で上下アームが同時にアクティブレベルになった場合
割り込み	POE10 : 優先レベル 15
割り込み要因	POE10 端子の立ち下がりがエッジで要求を受け付け

2.5 マルチファンクションタイマユニット 3 (MTU3)

(1) マルチファンクションタイマユニット3設定内容

マルチファンクションタイマユニット3の設定内容を示します。

表 7. マルチファンクションタイマユニット 3 設定項目

項目	内容
使用チャネル	MTU3ch3,4
動作モード	相補PWMモード
周波数選択	ICLK=100MHz
デッドタイム	2 μ s
バッファ転送タイミング	カウンタの谷でバッファ転送
割り込み間引き	なし
割り込み	MTU3_4のアンダーフローで割り込み(優先レベル10)

3 PDG2 設定

本アプリケーションノートに付随するサンプル S/W のレジスタは PDG2 を使用して生成、設定しています。ユーザシステム上で PDG2 を使用して環境を再現するための設定を以下に示します。

*注意事項)

サンプル S/W は、PDG2 がインストールされていない PC でも動作するように調整を行っています。

そのため、下記の設定画面どおりに設定いただいても、統合開発環境(HEW)のプロジェクトはサンプル S/W と同じビルド構成にはなりません。

動作上の違いはございません。

3.1 システム設定

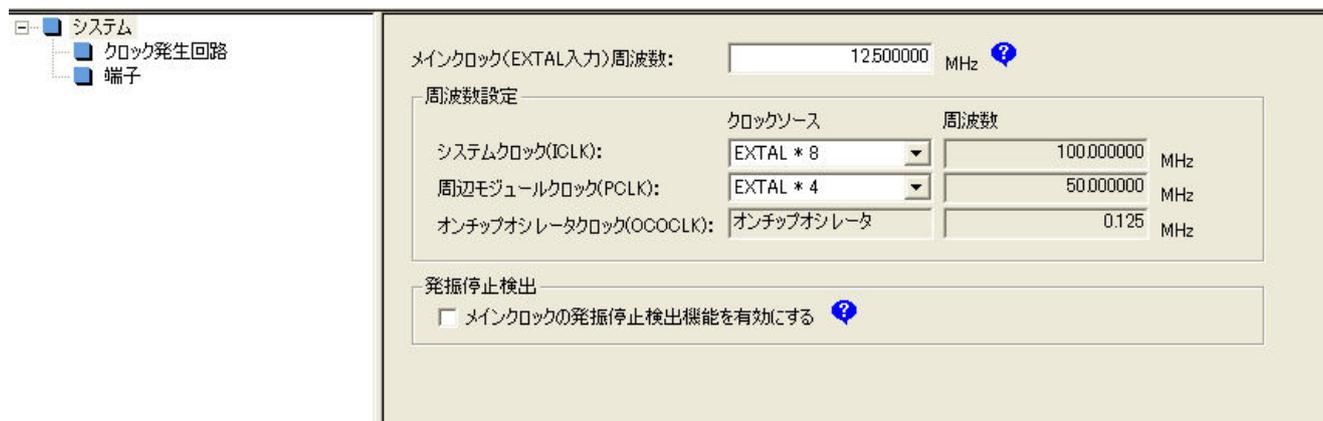


図4. システム設定画面

3.2 MTU3ch3 設定

MTU3ch3 にて動作モードを相補 PWM モードに設定した場合、ch4 は自動的に ch3 の設定に従い設定されます。

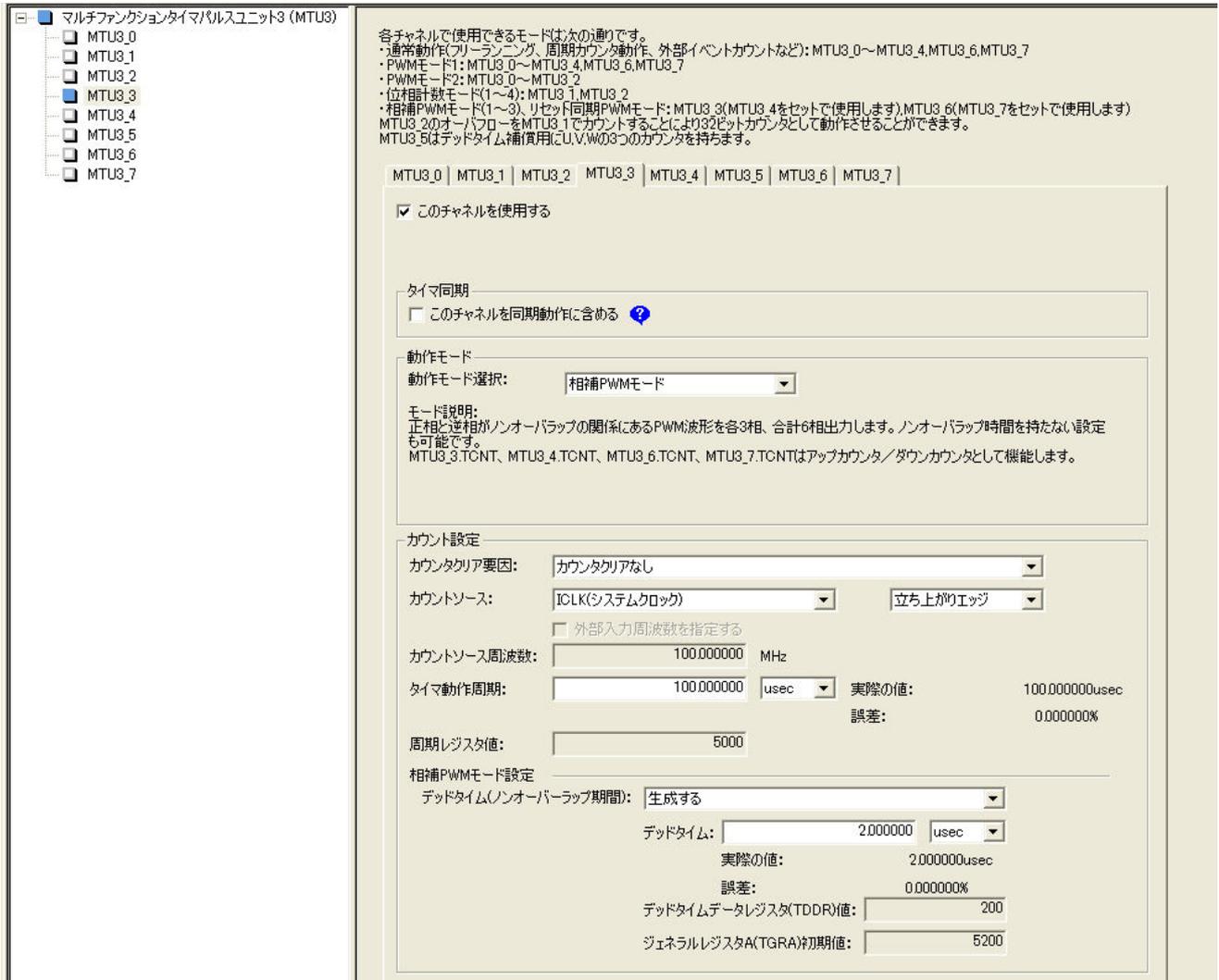


図5. MTU3 設定画面 1

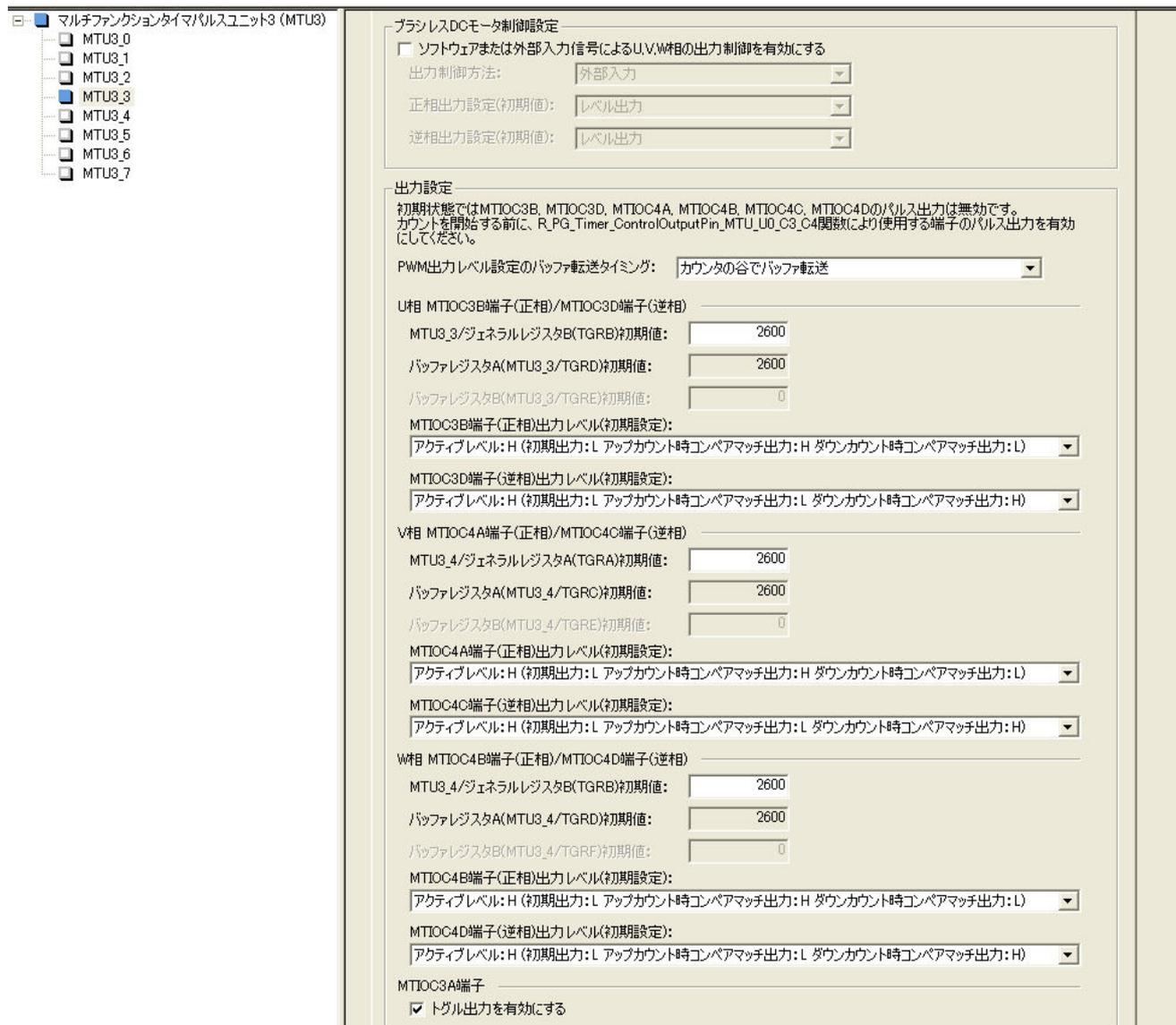


図6. MTU3 設定画面 2

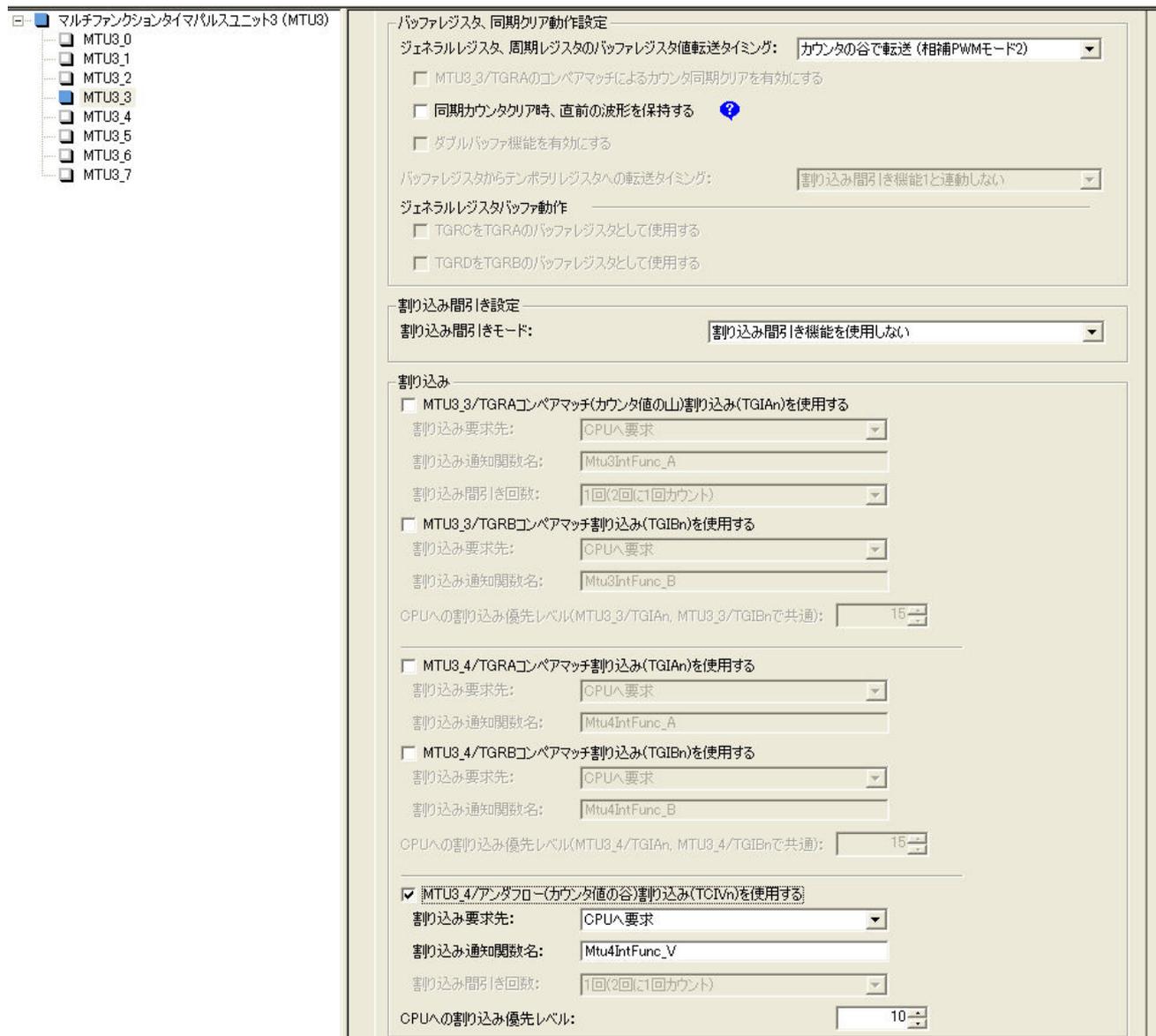


図7. MTU3 設定画面 3

The screenshot displays the configuration interface for the MTU3 module, specifically for the A/D conversion start trigger and synchronization settings. The interface is organized into two main sections.

A/D変換開始トリガ

- カウンタ値の山でA/D変換開始を要求 (MTU3_3のトリガ信号 TRGA3N)
- TGRAのコンペアマッチによりA/D変換開始を要求 (MTU3_4のトリガ信号 TRGA4N)
- カウンタ値の谷でA/D変換開始を要求 (MTU3_4のトリガ信号 TRGA4N)

割り込み割り引き回数: 1回(2回に1回カウント)

周期レジスタAによるA/D変換開始要求出力条件: 出力無効

A/D変換開始要求周期レジスタA初期値: 1500

周期バッファレジスタA初期値: 1500

- TGI A3割り込み割り引き機能と連動する
- TCIV4割り込み割り引き機能と連動する

周期レジスタBによるA/D変換開始要求出力条件: 出力無効

A/D変換開始要求周期レジスタB初期値: 500

周期バッファレジスタB初期値: 500

- TGI A3割り込み割り引き機能と連動する
- TCIV4割り込み割り引き機能と連動する

バッファレジスタから値を転送する

転送タイミング: カウンタの山

MTU3_6, MTU3_7のタイムシンクロクリア

- MTU3_0/TGRAのインพุットキャプチャ/コンペアマッチで同期クリアする
- MTU3_0/TGRBのインพุットキャプチャ/コンペアマッチで同期クリアする
- MTU3_0/TGRCのインพุットキャプチャ/コンペアマッチで同期クリアする
- MTU3_0/TGRDのインพุットキャプチャ/コンペアマッチで同期クリアする
- MTU3_1/TGRAのインพุットキャプチャ/コンペアマッチで同期クリアする
- MTU3_1/TGRBのインพุットキャプチャ/コンペアマッチで同期クリアする
- MTU3_2/TGRAのインพุットキャプチャ/コンペアマッチで同期クリアする
- MTU3_2/TGRBのインพุットキャプチャ/コンペアマッチで同期クリアする

図8. MTU3 設定画面 4

3.3 POE3 設定

■ ポートアウトプットイネーブル3 (POE3)

MTU3_3,3_4, GPT0,1,2 出力端子制御

ハイインピーダンス制御対象

- P71/MTIOC3B/GTIOC0A-A, P74/MTIOC3D/GTIOC0B-A
- P72/MTIOC4A/GTIOC1A-A, P75/MTIOC4C/GTIOC1B-A
- P73/MTIOC4B/GTIOC2A-A, P76/MTIOC4D/GTIOC2B-A

ハイインピーダンス条件追加

- A/Dコンバータ検出
- POE4#端子の入力レベル検出
- POE8#端子の入力レベル検出
- POE10#端子の入力レベル検出
- POE11#端子の入力レベル検出

アウトプットイネーブル割り込み1 (OEI1 : POE0F, OSF1による割り込み)

アウトプットイネーブル割り込み1(OEI1)を使用する

割り込み通知関数名:

割り込み発生条件:

ハイインピーダンス要求条件

- POE0F (POE0#端子入力)
- OSF1 (MTU 相補 PWM 出力端子 (MTU3_3, MTU3_4 端子)または GPT 大電流出力端子 (GPT0 ~ GPT2 端子)の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベル)
- MTU3,GPTの短絡検出を行うアクティブレベルを指定する

P71 MTIOC3B/GTIOC0A-A:	<input type="text" value="Highアクティブ"/>
P74 MTIOC3D/GTIOC0B-A:	<input type="text" value="Highアクティブ"/>
P72 MTIOC4A/GTIOC1A-A:	<input type="text" value="Highアクティブ"/>
P73 MTIOC4B/GTIOC2A-A:	<input type="text" value="Highアクティブ"/>
P75 MTIOC4C/GTIOC1B-A:	<input type="text" value="Highアクティブ"/>
P76 MTIOC4D/GTIOC2B-A:	<input type="text" value="Highアクティブ"/>

図9. POE3 設定画面 1

ポートアウトプットインネーブル3 (POE3)

GPT0,1 出力端子制御

ハイインピーダンス制御対象

PD7/GTIOC0A-B, PD6/GTIOC0B-B

PD5/GTIOC1A-B, PD4/GTIOC1B-B

ハイインピーダンス条件追加

A/Dコンパレータ検出

POE0#端子の入力レベル検出

POE4#端子の入力レベル検出

POE8#端子の入力レベル検出

POE11#端子の入力レベル検出

ハイインピーダンス要求条件

POE10F (POE10#端子入力)

GPT2,3 出力端子制御

ハイインピーダンス制御対象

PD3/GTIOC2A-B, PD2/GTIOC2B-B

PD1/GTIOC3A, PD0/GTIOC3B

ハイインピーダンス条件追加

A/Dコンパレータ検出

POE0#端子の入力レベル検出

POE4#端子の入力レベル検出

POE8#端子の入力レベル検出

POE10#端子の入力レベル検出

ハイインピーダンス要求条件

POE11F (POE11#端子入力)

GPT0,1,2,3 割り込み

アウトプットインネーブル割り込み4 (OEI4 : POE10F, POE11Fによる割り込み)

アウトプットインネーブル割り込み4(OEI4)を使用する

割り込み通知関数名:

割り込み発生条件:

割り込み優先レベル

CPUへの割り込み優先レベル(OEI1,OEI2,OEI3,OEI4で共通):

要求受け付け条件

POE0F (POE0#端子入力) 要求受け付け条件:

POE4F (POE4#端子入力) 要求受け付け条件:

POE8F (POE8#端子入力) 要求受け付け条件:

POE10F (POE10#端子入力) 要求受け付け条件:

POE11F (POE11#端子入力) 要求受け付け条件:

図11. POE3 設定画面 3

3.4 12bitADA 設定

12ビットA/Dコンバータ (S12ADA)

- S12ADA0
- S12ADA1

ユニット:

このユニットを使用する

動作設定

モード:

変換開始トリガ(グループ0):

変換開始トリガ(グループ1):

アナログ入力チャンネル:
グループ0: AN000 / グループ1: AN001 - AN003

データプレシメント:

データ精度:

データレジスタの読み出しによりデータレジスタをクリアする

チャンネル専用サンプル&ホールド回路を使用する

プログラマブルゲインアンプ設定

AN000	<input checked="" type="checkbox"/> プログラマブルゲインアンプを使用する	ゲイン: <input type="text" value="* 20"/>
AN001	<input type="checkbox"/> プログラマブルゲインアンプを使用する	ゲイン: <input type="text" value="* 20"/>
AN002	<input type="checkbox"/> プログラマブルゲインアンプを使用する	ゲイン: <input type="text" value="* 20"/>

変換速度

変換クロック(ADCLK):

変換クロック(ADCLK)周波数: MHz

入力サンプリング時間: usec 実際の値:

サンプリングスタートレジスタ値を指定する

サンプリングスタートレジスタ値:

割り込み

A/D変換終了割り込み(S12ADIn)を使用する

割り込み要求先:

CPUへの割り込み優先レベル: 割り込み通知関数名:

ダブルトリガ割り込み発生タイミング:

2チャンネルスキャン割り込み発生タイミング:

図12. 12bitAD 設定画面

4 S/W 解説

PDG2 でサポートを行っていないモジュールの設定と制御フローについて解説します。

4.1 レジスタ設定

レジスタ	初期値	内容
MTU4.TIER.BIT.TTGE	1	AD 変換開始要求の発生を許可
MTU4.TIER.BIT.TTGE2	1	谷の AD 変換要求許可
MTU4.TADCOBRA	5200	AD 変換開始要求周期設定(バッファ)
MTU4.TADCOBRB	5200	AD 変換開始要求周期設定(バッファ)
MTU4.TADCORA	5200	AD 変換開始要求周期設定
MTU4.TADCORB	5200	AD 変換開始要求周期設定
MTU4.TADCR.WORD	0x4050	TCNT4 の山でバッファ転送、TRG4AN,TRG4BN は TCNT4 ダウンカウント時に AD 変換開始要求、割り込み間引きと連動しない
S12AD.ADCMPFR.BIT.C000FLAG	0	AN000 用コンパレータ検出フラグクリア
S12AD.ADCMPMD0.BIT.CEN000	3	AN000 をウィンドウコンパレータとして使用(Low/High)
S12AD.ADCMPMD1.WORD	0x0661	REFL : AVCC0*1/8、REFH : AVCC0*6/8、PGA 増幅前の信号をコンパレータ入力として使用、REFH/REFL を基準
S12AD.ADCMPNR0.BIT.C000NR	10	コンパレータ検出結果を PCLK/2 で 16 回サンプリング
S12AD.ADCMPSEL.WORD	0x0301	コンパレータ検出を割り込み、または POE 要求として使用
POE.POECR4.BIT.CMADDMT34ZE	1	S12ADA.ADCMPFR.CjFLAG (j=0~2、4~6) フラグを、MTU3_3、MTU3_4 のハイインピーダンス制御条件に追加
IR(S12AD,CMPI)	0	割り込み要求フラグ(コンパレータ IR)クリア
IPR(S12AD,CMPI)	0x0c	コンパレータ割り込みレベル=12
IEN(S12AD,CMPI)	1	コンパレータ割り込み許可
POE.ICSR4.BIT.POE10F	0	POE10 割り込み要求フラグクリア
POE.OCSR1.BIT.OSF1	0	出力短絡フラグクリア

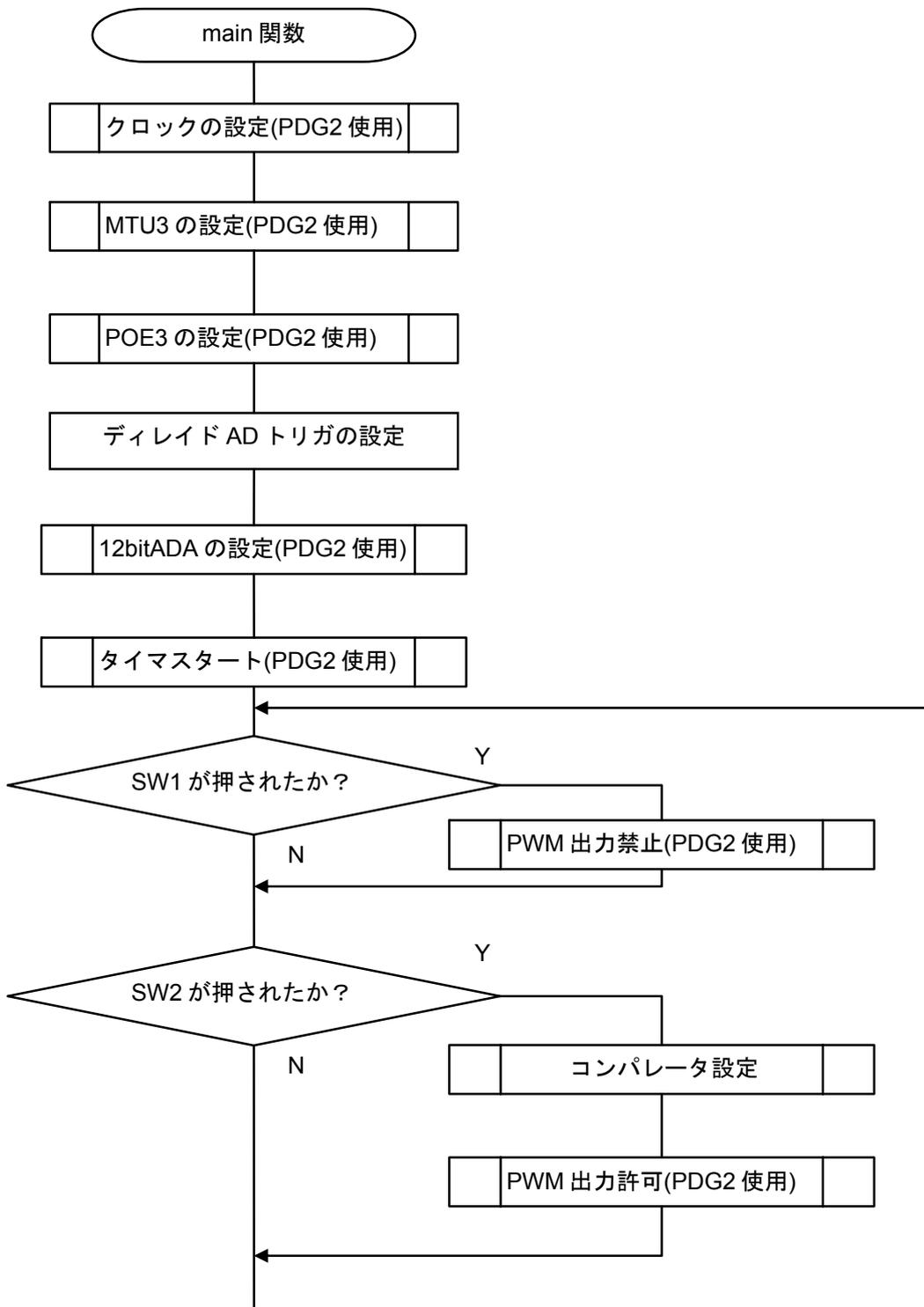
4.2 変数設定

定義名	(型)初期値	内容
du	(float)0	U 相出力値格納用変数
dv	(float)5200 / 3	V 相出力値格納用変数
dw	(float)5200 / 3 * 2	W 相出力値格納用変数
AD_data[5]	(short)0	AD 変換結果格納用変数(詳細は PDG2 マニュアル 12bitAD の項を参照)
t_c1	(int)0	スイッチのチャタリング防止用カウンタ(SW1 用)
t_c2	(int)0	スイッチのチャタリング防止用カウンタ(SW2 用)

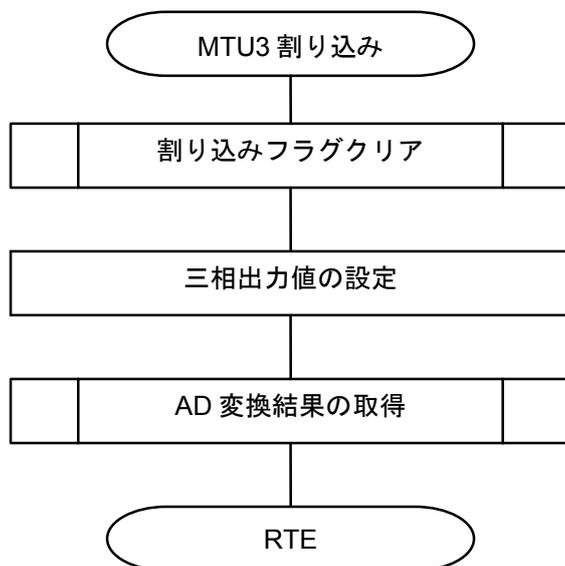
4.3 定数設定

定義名	値	内容
CARR_CNT	10000	キャリア周期
DTT_CNT	200	デッドタイム
CMP_TIMING_1	5	AD 変換開始トリガのタイミング生成用定数
CMP_TIMING_2	15	AD 変換開始トリガのタイミング生成用定数
PWM_CHANGE_VAL	0.1	PWM 出力の変化を制御するための定数。

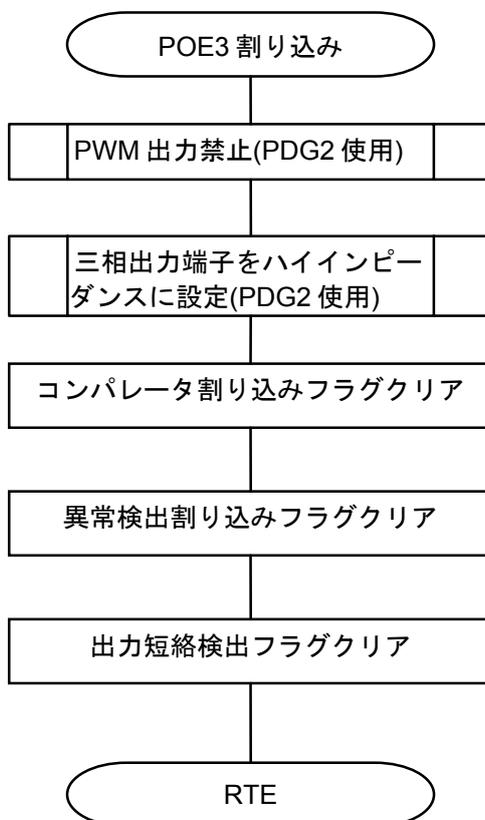
4.4 Main 関数フロー



4.5 MTU3 割り込み(キャリア割り込み)フロー



4.6 POE3 割り込みフロー



ホームページとサポート窓口

- ルネサス エレクトロニクスホームページ
<http://japan.renesas.com/>
- お問い合わせ先
<http://japan.renesas.com/inquiry>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.02.17	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連して発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>