

RX62N、M16C/62P

R01AN0490JU0120

Rev.1.20

SCI 移行ガイド : M16C/62P RX62N

2011.03.07

要旨

本アプリケーションノートは、ルネサス RX62N および M16C/62P デバイスの SCI モジュールの相違点について説明しています。

動作確認デバイス

RX62N

M16C/62P

目次

| | |
|--------------------------------|----|
| 1. 特長 | 2 |
| 2. 一般的な注意事項..... | 3 |
| 3. 参考資料..... | 3 |
| 4. 関連するレジスタ..... | 4 |
| 5. 調歩同期式モードセットアップの比較..... | 8 |
| 6. ポーリング調歩同期式モードセットアップの比較..... | 10 |

1. 特長

表 1.1 に RX62N および M16C/62P デバイスの SCI モジュールの特長を示します。相違点は網掛けをしています。

表 1.1 SCI の特長

| 項目 | 仕様 | |
|-----------------------|-------|----------|
| | RX62N | M16C/62P |
| チャンネル数 | 6 | 5 |
| 通信モード | | |
| 同期式シリアル I/O モード | 対応 | 対応 |
| 調歩同期式シリアル I/O モード | 対応 | 対応 |
| マルチプロセッサモード | 対応 | 非対応 |
| スマートカードモード | 対応 | 非対応 |
| I2C モード | 非対応 | 対応 |
| 9 ビットモード | 非対応 | 対応 |
| SIM モード | 非対応 | 対応 |
| IEBus モード | 非対応 | 対応 |
| 衝突検出 | 非対応 | 対応 |
| ハードウェアフロー制御 (RTS/CTS) | 非対応 | 対応 |
| MSB/LSB ファーストの切り替え | 対応 | 対応 |
| 反転出力 | 対応 | 対応 |

2. 一般的な注意事項

- 周辺クロック ($P\phi$) は SCI のタイムベースです。RX62N コアの高速化により、周辺クロックは最大 50MHz で動作します。M16C/62P の最大周辺クロック周波数は 24MHz です。
- 周辺クロックの高速化を活用するアプリケーションでは、シリアルポートのボーレート設定を修正する必要があります。
- M16C/62P の I2C モード (特殊モード 1) は RX62N では使用することはできません。RX62N では個別の周辺モジュール (IIC) は 2 チャンネルの I2C インタフェースを提供します。
- RX62N にはハードウェア対応マルチプロセッサモードがあり、複数の MCU 間でのマルチドロップ通信を必要とするアプリケーションが簡単になります。
- 送信データレジスタエンピティと送信完了のための個別の割り込みは、外部トランシーバを使用するアプリケーションの開発に役立ちます。
- 9 ビット通信モードは RX62N では使用することはできません。9 番目の信号ビット (MP) は RX62N ではマルチプロセッサ通信モードの一部として送信されます。
- RX62N はハードウェアハンドシェーキングをサポートしていません。

3. 参考資料

- RX62N ハードウェアマニュアル :
R01UH0033JJ0110 : RX62N グループ、RX621 グループ ユーザーズマニュアル ハードウェア編
- RX62N ソフトウェアマニュアル :
RJJ09B0465-0100 : RX ファミリ ユーザーズマニュアル ソフトウェア編

3.1 ハードウェアマニュアルの関連する章

- クロック発生回路
SCI で使用される周辺クロックのセットアップ方法の詳細
- I/O レジスタ
すべてのレジスタの一覧を示します。
- 消費電力低減機能
モジュールストップコントロールレジスタの詳細
- 割り込みコントローラ
SCI から割り込みコントローラへの割り込みの許可について
- I/O ポート
SCI に関連する端子に関連する ICR およびポートファンクションレジスタの詳細
- シリアル通信インタフェース (SCI)
SCI 固有のレジスタおよび動作モードの詳細
- CRC 演算器
アプリケーションに CRC チェックが必要な場合

4. 関連するレジスタ

表 4.1 SCI 動作と関連するレジスタ

| 名前 | 説明 | ハードウェアマニュアルの章 |
|--|---|--|
| SYSTEM.SCKR | システムクロックコントロールレジスタ | クロック発生回路 |
| SYSTEM.MSTPCRB | モジュールストップコントロールレジスタ B | 消費電力低減機能 |
| ICU.IRx ICU.IERx ICU.IPRx | 割り込み要求レジスタ 割り込み要求許可レジスタ 割り込み要因プライオリティレジスタ | 割り込みコントローラ 割り込みコントローラ 割り込みコントローラ |
| PORTx.DDR PORTx.ICR IOPORT.PFFSCI | ポートデータディレクションレジスタ 入力バッファコントロールレジスタ ポートファンクションレジスタ F | I/O ポート I/O ポート I/O ポート |
| SCIx.SMR SCIx.BRR SCIx.SCR SCIx.TDR SCIx.SSR SCIx.RDR SCIx.SCMR SCIx.SEMR | シリアルモードレジスタ ボーレートレジスタ シリアルコントロールレジスタ トランスミットデータレジスタ シリアルステータスレジスタ レシーブデータレジスタ スマートカードモードレジスタ シリアル拡張モードレジスタ | シリアル通信インタフェース (SCI) シリアル通信インタフェース (SCI) シリアル通信インタフェース (SCI) シリアル通信インタフェース (SCI) シリアル通信インタフェース (SCI) シリアル通信インタフェース (SCI) シリアル通信インタフェース (SCI) シリアル通信インタフェース (SCI) |

4.1 I/O レジスタマクロ

RX ファミリのメンバ用の `iodefine.h` 内の新規のマクロにより、周辺モジュールと関連する論理名で ICU 制御レジスタ、モジュールストップレジスタ、DTC 許可レジスタ、割り込みベクタ番号を簡単に参照することができます。これらのマクロにより、特定のレジスタおよびベクタ番号を隠すことで RX ファミリメンバ間の移行が実現されます。詳細については、`iodefine.h` に含まれる文書を参照してください。

例：

| マクロ | 使用例 |
|--|---|
| <code>IR("module name", "bit name")</code> | <code>if (IR(SCI0, TXI0) == 1)...</code> |
| <code>IEN("module name", "bit name")</code> | <code>IEN(SCI0, TXI0) = 1 ;</code> |
| <code>IPR("module name", "bit name")</code> | <code>IPR(SCI0, TXI0) = 0x02 ;</code> |
| <code>MSTP("module name")</code> | <code>MSTP(SCI0) = 0 ;</code> |
| <code>VECT("module name", "bit name")</code> | <code>#pragma interrupt (MySciTxIsr(vect=VECT(SCI0, TXI0))</code> |

4.2 レジスタの機能比較

このセクションでは、類似するレジスタビットを色分けすることにより、M16C/62P および RX62N の SCI レジスタの相違点を視覚的に示します。M16C と RX で同じ色のビットは、ほぼ同じ種類の機能を持ちます(緑色のビットはトランスミッタとレシーバの開始および停止、水色のビットは割り込み制御に関連します)。

| M16C/62P SCI レジスタ | RX62N SCI レジスタ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|--|----------------|-------|-------|-------|-------|----------|------|------|--|----------|-------|-------|----|------|------|----------|---|--------|-----|------|-----|------|------|----------|------|--------|--|--|--|--|--|--|--|
| <p>UiTB (i=0 to 2)</p> <p>b15 b14 b13 b12 b11 b10 b9 b8</p> <table border="1"> <tr> <td></td><td></td><td></td><td></td><td></td><td></td><td></td><td>D8</td> </tr> </table> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1"> <tr> <td colspan="8">D[7:0]</td> </tr> </table> | | | | | | | | D8 | D[7:0] | | | | | | | | <p>TDR</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1"> <tr> <td colspan="8">D[7:0]</td> </tr> </table> | D[7:0] | | | | | | | | | | | | | | | |
| | | | | | | | D8 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| D[7:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| D[7:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| <p>UiRB (i=0 to 2)</p> <p>b15 b14 b13 b12 b11 b10 b9 b8</p> <table border="1"> <tr> <td>SUM</td><td>PER</td><td>FER</td><td>OER</td><td>ABT</td><td></td><td></td><td>D8</td> </tr> </table> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1"> <tr> <td colspan="8">D[7:0]</td> </tr> </table> | SUM | PER | FER | OER | ABT | | | D8 | D[7:0] | | | | | | | | <p>SSR</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1"> <tr> <td></td><td></td><td>ORER</td><td>FER</td><td>PER</td><td>TEND</td><td>MPB</td><td>MPBT</td> </tr> </table> <p>RDR</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1"> <tr> <td colspan="8">D[7:0]</td> </tr> </table> | | | ORER | FER | PER | TEND | MPB | MPBT | D[7:0] | | | | | | | |
| SUM | PER | FER | OER | ABT | | | D8 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| D[7:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | ORER | FER | PER | TEND | MPB | MPBT | | | | | | | | | | | | | | | | | | | | | | | | | | |
| D[7:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| <p>UiBRG (i=0 to 2)</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1"> <tr> <td colspan="8">ポーレート分周比</td> </tr> </table> | ポーレート分周比 | | | | | | | | <p>BRR</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1"> <tr> <td colspan="8">BRR[7:0]</td> </tr> </table> | BRR[7:0] | | | | | | | | | | | | | | | | | | | | | | | |
| ポーレート分周比 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| BRR[7:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| <p>UiMR (i=0 to 2)</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1"> <tr> <td>IOPOL</td><td>PRYE</td><td>PRY</td><td>STPS</td><td>CKDIR</td><td>SMD2</td><td>SMD1</td><td>SMD0</td> </tr> </table> | IOPOL | PRYE | PRY | STPS | CKDIR | SMD2 | SMD1 | SMD0 | <p>SMR</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1"> <tr> <td>CM</td><td>CHR</td><td>PE</td><td>PM</td><td>STOP</td><td>MP</td><td colspan="2">CKS[1:0]</td> </tr> </table> | CM | CHR | PE | PM | STOP | MP | CKS[1:0] | | | | | | | | | | | | | | | | | |
| IOPOL | PRYE | PRY | STPS | CKDIR | SMD2 | SMD1 | SMD0 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CM | CHR | PE | PM | STOP | MP | CKS[1:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| <p>UiC0 (i=0 to 2)</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1"> <tr> <td>UFORM</td><td>CKPOL</td><td>NCH</td><td>CRD</td><td>TXEPT</td><td>CRS</td><td>CLK1</td><td>CLK0</td> </tr> </table> | UFORM | CKPOL | NCH | CRD | TXEPT | CRS | CLK1 | CLK0 | <p>SCMR</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1"> <tr> <td>BCP2</td><td></td><td></td><td></td><td>SDIR</td><td>SINV</td><td></td><td>SMIF</td> </tr> </table> | BCP2 | | | | SDIR | SINV | | SMIF | | | | | | | | | | | | | | | | |
| UFORM | CKPOL | NCH | CRD | TXEPT | CRS | CLK1 | CLK0 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| BCP2 | | | | SDIR | SINV | | SMIF | | | | | | | | | | | | | | | | | | | | | | | | | | |
| <p>UiC1 (i=0 to 1)</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1"> <tr> <td>UiERE</td><td>UiLCH</td><td>0</td><td>0</td><td>RI</td><td>RE</td><td>TI</td><td>TE</td> </tr> </table> <p>U2C1</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1"> <tr> <td>U2ERE</td><td>U2LCH</td><td>U2RRM</td><td>U2IRS</td><td>RI</td><td>RE</td><td>TI</td><td>TE</td> </tr> </table> | UiERE | UiLCH | 0 | 0 | RI | RE | TI | TE | U2ERE | U2LCH | U2RRM | U2IRS | RI | RE | TI | TE | <p>SCR</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1"> <tr> <td>TIE</td><td>RIE</td><td>TE</td><td>RE</td><td>MPIE</td><td>TEIE</td><td colspan="2">CKE[1:0]</td> </tr> </table> | TIE | RIE | TE | RE | MPIE | TEIE | CKE[1:0] | | | | | | | | | |
| UiERE | UiLCH | 0 | 0 | RI | RE | TI | TE | | | | | | | | | | | | | | | | | | | | | | | | | | |
| U2ERE | U2LCH | U2RRM | U2IRS | RI | RE | TI | TE | | | | | | | | | | | | | | | | | | | | | | | | | | |
| TIE | RIE | TE | RE | MPIE | TEIE | CKE[1:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | |

| M16C/62P SCI レジスタ | | | | | | | | RX62N SCI レジスタ | | | | | | | | | | | | | | | | | | | | | | | |
|--|-------|---------|---------|----------|---------|----------|---------|----------------|-------|---------|---------|----------|---------|----------|---------|--|--|--|--|--|--|--|--|--|--|--|------|--|--|--|------|
| UCON b7 b6 b5 b4 b3 b2 b1 b0 <table border="1" style="width:100%; text-align:center;"> <tr> <td style="background-color:#cccccc;">0</td> <td style="background-color:#d9534f;">RCSP</td> <td style="background-color:#d9534f;">CLK MD1</td> <td style="background-color:#d9534f;">CLK MD0</td> <td style="background-color:#ffff00;">U1RRM</td> <td style="background-color:#ffff00;">U0RRM</td> <td style="background-color:#00b0f0;">U1IRS</td> <td style="background-color:#00b0f0;">U0IRS</td> </tr> </table> | | | | | | | | 0 | RCSP | CLK MD1 | CLK MD0 | U1RRM | U0RRM | U1IRS | U0IRS | | | | | | | | | | | | | | | | |
| 0 | RCSP | CLK MD1 | CLK MD0 | U1RRM | U0RRM | U1IRS | U0IRS | | | | | | | | | | | | | | | | | | | | | | | | |
| UiSMR (i=0 to 2) b7 b6 b5 b4 b3 b2 b1 b0 <table border="1" style="width:100%; text-align:center;"> <tr> <td style="background-color:#cccccc;">0</td> <td style="background-color:#ffff00;">SSS</td> <td style="background-color:#ffff00;">ACSE</td> <td style="background-color:#ffff00;">ABSCS</td> <td style="background-color:#ffff00;">LSYN</td> <td style="background-color:#ff0000;">BBS</td> <td style="background-color:#ffff00;">ABC</td> <td style="background-color:#ffff00;">IICM</td> </tr> </table> | | | | | | | | 0 | SSS | ACSE | ABSCS | LSYN | BBS | ABC | IICM | SEMR b7 b6 b5 b4 b3 b2 b1 b0 <table border="1" style="width:100%; text-align:center;"> <tr> <td style="background-color:#cccccc;"></td> <td style="background-color:#cccccc;"></td> <td style="background-color:#cccccc;"></td> <td style="background-color:#cccccc;">ABCS</td> <td style="background-color:#cccccc;"></td> <td style="background-color:#cccccc;"></td> <td style="background-color:#cccccc;"></td> <td style="background-color:#cccccc;">ACSO</td> </tr> </table> | | | | | | | | | | | ABCS | | | | ACSO |
| 0 | SSS | ACSE | ABSCS | LSYN | BBS | ABC | IICM | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | ABCS | | | | ACSO | | | | | | | | | | | | | | | | | | | | | | | | |
| UiSMR2 (i=0 to 2) b7 b6 b5 b4 b3 b2 b1 b0 <table border="1" style="width:100%; text-align:center;"> <tr> <td style="background-color:#cccccc;">0</td> <td style="background-color:#ffff00;">SDHI</td> <td style="background-color:#ffff00;">SWC2</td> <td style="background-color:#ffff00;">STAC</td> <td style="background-color:#ffff00;">ALS</td> <td style="background-color:#ffff00;">SWC</td> <td style="background-color:#ffff00;">CSC</td> <td style="background-color:#ffff00;">IICM2</td> </tr> </table> | | | | | | | | 0 | SDHI | SWC2 | STAC | ALS | SWC | CSC | IICM2 | | | | | | | | | | | | | | | | |
| 0 | SDHI | SWC2 | STAC | ALS | SWC | CSC | IICM2 | | | | | | | | | | | | | | | | | | | | | | | | |
| UiSMR3 (i=0 to 2) b7 b6 b5 b4 b3 b2 b1 b0 <table border="1" style="width:100%; text-align:center;"> <tr> <td style="background-color:#cccccc;">DL2</td> <td style="background-color:#cccccc;">DL1</td> <td style="background-color:#cccccc;">DL0</td> <td style="background-color:#cccccc;">0</td> <td style="background-color:#d9534f;">NODC</td> <td style="background-color:#cccccc;">0</td> <td style="background-color:#ffff00;">CKPH</td> <td style="background-color:#cccccc;">0</td> </tr> </table> | | | | | | | | DL2 | DL1 | DL0 | 0 | NODC | 0 | CKPH | 0 | | | | | | | | | | | | | | | | |
| DL2 | DL1 | DL0 | 0 | NODC | 0 | CKPH | 0 | | | | | | | | | | | | | | | | | | | | | | | | |
| UiSMR4 (i=0 to 2) b7 b6 b5 b4 b3 b2 b1 b0 <table border="1" style="width:100%; text-align:center;"> <tr> <td style="background-color:#ffff00;">SWC9</td> <td style="background-color:#ffff00;">SCLHI</td> <td style="background-color:#ffff00;">ACKC</td> <td style="background-color:#ff9900;">ACKD</td> <td style="background-color:#ffff00;">STSP SEL</td> <td style="background-color:#008000;">STP REQ</td> <td style="background-color:#008000;">RSTA REQ</td> <td style="background-color:#008000;">STA REQ</td> </tr> </table> | | | | | | | | SWC9 | SCLHI | ACKC | ACKD | STSP SEL | STP REQ | RSTA REQ | STA REQ | | | | | | | | | | | | | | | | |
| SWC9 | SCLHI | ACKC | ACKD | STSP SEL | STP REQ | RSTA REQ | STA REQ | | | | | | | | | | | | | | | | | | | | | | | | |

| 凡例 | |
|----|---------------------|
| | マルチプロセッサおよび9ビットモード |
| | モード選択 |
| | 送信および受信データ |
| | クロック設定およびボーレート制御 |
| | トランスミッタおよびレシーバ制御 |
| | ステータスフラグ |
| | ハードウェア端子選択およびセットアップ |
| | 割り込みコントロール |

5. 調歩同期式モードセットアップの比較

以下のコード例は、M16C/62P と RX62N の SCI0 の標準的なセットアップを示します。

| 手順 | M16C/62P (SCI0) | RX62N (SCI0) |
|--|---|--|
| 1. SCI ストップ状態を解除する | | MSTP(SCI0) = 0 ; |
| 2. 構成時に SCI を無効にする | u0c1 = 0x00 ; | SCI0.SCR.BYTE = 0x00 ; |
| 3. I/O 端子を構成する Rx ポート端子を入力として設定する Tx ポート端子を出力として設定する Rx 端子を周辺入力として有効にする | pd6 = 0x08 ; | P2.DDR.BIT.B1 = 0 ; P2.DDR.BIT.B0 = 1 ; P2.ICR.BIT.B1 = 1 ; |
| 4. クロックソースと SCI モードをセットアップする | u0c0 = 0x10 ; u0mr = 0x05 ; | SCI0.SMR.BYTE = 0x00 ; |
| 5. ビットレートを設定する | u0brg = 0x4d ; /* Wait 1 bit time */ | SCI0.BRR = 0x50 ; /* Wait 1 bit time */ |
| 6. Rx および Tx バッファをクリアする | u0tb = u0rb ; u0tb = 0 ; | |
| 7. Tx 割り込み要因を構成する | ucon = 0x00 ; | |
| 8. 割り込み優先順位を設定し、割り込みを許可する | DISABLE_IRQ s0ric = 0x04 ; s0tic = 0x04 ; ENABLE_IRQ | SCI0.SCR.BIT.RIE = 0x01 ; SCI0.SCR.BIT.TIE = 0x01 ; IPR(SCI0,) = 0x01 ; IEN(SCI0, RXI0) = 0x01 ; IEN(SCI0, TXI0) = 0x01 ; |
| 9. トランスマッタとレシーバを有効にする | u0c1 = 0x05 ; | SCI0.SCR.BYTE = 0x30 ; |

各手順の詳細な説明を以下に示します。

5.1 手順 1 : SCI ストップ状態を解除する (RX62N)

RX は個別の周辺モジュールの電源を切ることにより消費電力を最小限に抑える高度な消費電力低減回路を備えています。デフォルトでは、多くの周辺モジュールはリセット後に電源が切れるので、使用する前に電源を再び投入しなければなりません。周辺モジュールのレジスタは、周辺モジュールの電源を投入するまで値が不確定状態になるので、レジスタにアクセスする前に周辺モジュールを有効にすることが重要です。モジュールストップコントロールレジスタの該当するビットをクリアすると、周辺モジュールが動作可能になります。

iodef.h に含まれる MSTP マクロは、周辺モジュールの論理名を引数として、該当するモジュールストップコントロールレジスタおよび SCI0 のビットにアクセスします。これは、SCI0 のレジスタにアクセスする前に完了しなければなりません。

5.2 手順 2 : 構成時に SCI を無効にする (M16C/62P および RX62N)

予期しない割り込みの発生を防止するために、残りの構成手順を実行するときに SCI のトランスマッタとレシーバを無効にしなければなりません。

5.3 手順 3 : I/O 端子を構成する (M16C/62P および RX62N)

リセット後、すべてのポート端子は入力として定義されます。この手順では、ポートのデータディレクションレジスタ (DDR) のビットを設定することにより、SCI が使用する送信端子が出力として定義されます。RX62 では、外部信号を周辺モジュールにゲートするために入力バッファコントロールレジスタ (ICR) の入力バッファを有効にする必要があります。

5.4 手順 4：クロックソースと SCI モードをセットアップする (M16C/62P および RX62N)

この手順ではレジスタは、SCI 周辺モジュールを駆動するクロックソースおよびデータビット数、パリティ、ストップビット数など、その他の基本的なシリアルパラメータを設定するために使用します。M16C/62P には、RX62N よりも多くの構成レジスタがありますが、基本的な調歩同期式動作では、ここに示す設定だけで十分です。

5.5 手順 5：ビットレートを設定する (M16C/62P および RX62N)

各製品の SCI には、さまざまなソースからクロックを供給することができます。選択したビットとビットレートレジスタ (BRG または BRR) を組み合わせて、送信と受信に使用するビットレートを定義します。ビットレートの計算式については、各製品のデータシートを参照してください。

5.6 手順 6：Rx および Tx バッファをクリアする (M16C/62P)

M16C/62P では、リセット後の受信および送信レジスタのデータは、不定です。レシーブデータレジスタ (u0rb) のデータは、そのレジスタを読み出すことにより、破棄されます。トランスミットデータレジスタ (u0tb) はゼロが書き込まれて、初期化されます。

5.7 手順 7：Tx 割り込み要因を構成する (M16C/62P)

SCI トランスミッタはダブルバッファ構成となっています。送信バッファに書き込まれたデータは、送信のためシフトレジスタにコピーされます。送信バッファからのデータがシフトレジスタにコピーされると、送信バッファは次のデータの受信が可能となり、この結果、送信バッファエンプティ (TI) 状態となり割り込みの起動が可能となります。

シフトレジスタのデータは定義されたビットレートで出力されます。データの最後のビットとパリティビットが出力されると、送信完了 (TXEPT) を使用してトランスミッタ割り込みを起動することができます。

M16C/62P では、トランスミッタに対する割り込み要求は 1 つのみです。送信バッファエンプティ (TI) と送信完了 (TXEPT) の 2 つのトランスミッタイベントの 1 つを選択して要求を生成することができます。

RX62N では、各状態 (送信バッファエンプティおよび送信完了) によってそれぞれの割り込みを発生させることができます。

5.8 手順 8：割り込み優先順位を設定し、割り込みを許可する (M16C/62P および RX62N)

M16C/62P の割り込みコントローラは、機能がやや低く、シリアル割り込みを有効にするのに必要な手順は少なくなっています。ゼロより高い割り込み優先順位レベルを設定すると、SCI 割り込みが有効になります。レシーバ割り込み (s0ric) とトランスミッタ割り込み (s0tic) の両方に割り込みレベルが設定できます。

RX62N では、割り込みを完全に有効にするためにはさらに手順が必要です。SCI 信号を ICU にゲートするためには、SCI 周辺モジュールの許可ビット (SCI.SCR.RIE、SCI.SCR.TIE) を設定します。次に、ICU の割り込み優先順レジスタ (ICU.IPR) に優先順位レベルを割り当てます。最後に、割り込みを起動するために ICU の割り込み許可レジスタ (ICU.IER) の個別の許可ビットを設定します。(上記の例では、iodefine.h からの IPR および IEN マクロを使用して ICU のコントロールビットを設定します。)

有効な割り込みサービスルーチン (ISR) のアドレスは、割り込みベクタテーブルの該当する位置に設定しなければならないことに注意してください。ISR は、プロセッサコンテキストを保存し復元するために特別な入口および出口手順に従わなければなりません。これは、#pragma interrupt 構造を使用してルネサスコンパイラによって自動的に実行されます。

5.9 手順 9：トランスミッタとレシーバを有効にする (M16C/62P および RX62N)

この時点でハードウェアが正しく構成され、トランスミッタとレシーバを有効にすることができます。トランスミッタとレシーバを有効にする前に、必要なアプリケーションレベルの初期化 (受信および送信バッファのセットアップなど) を完了してください。

6. ポーリング調歩同期式モードセットアップの比較

| イベント | M16C/62P (SCI0) | RX62N (SCI1) |
|--|--|--|
| <ul style="list-style-type: none"> 文字の受信 フラグをチェックする データを読み出す フラグをクリアする M16C/62P : LSB のデータ、MSB のエラー RX62N:SSR レジスタのエラーのチェック | <pre> unsigned short u0rbCopy; if (ri_u0c1 == 1) { u0rbCopy = u0rb ; // RI is cleared by read // of Receive Buffer // Register (U0RB) } </pre> | <pre> unsigned char rdrCopy ; if (IR(SCI1,RXI1) == 0x01) { rdrCopy = SCI1.RDR ; IR(SCI1,RXI1) = 0 ; } </pre> |
| <ul style="list-style-type: none"> 文字の送信 Tx データレジスタのスペースを待つ フラグをクリアする 文字をデータバッファに書き込む | <pre> while (ti_u0c1 == 0) ; // TI is cleared by write // to Transmit Buffer // Register (U0TB) u0tb = txChar ; </pre> | <pre> while (IR(SCI1,TXI1) == 0) ; IR(SCI1,TXI1) = 0 ; SCI1.TDR = txChar ; </pre> |
| <ul style="list-style-type: none"> 送信完了 フラグをチェックする フラグをクリアする トランシーバの電源切断などの その他の操作を行う | <pre> if (txept_u0c0 == 1) { u0c1 = 0x00 ; . . . // Other actions } </pre> | <pre> if (IR(SCI1,TEI1) == 1) { IR(SCI1,TEI1) = 0 ; . . . // Other actions } </pre> |
| 通信エラー ステータスフラグ(およびM16C/62Pのデータ)を読み出す エラーフラグをチェックする M16C/62P : エラーなし、LSBのプロセス受信データ | <pre> unsigned short u0rbCopy; unsigned char rxChar ; u0rbCopy = u0rb ; if (u0rbCopy & 0x8000) { // Process errors here } else { rxChar = (char) _ (u0rbCopy & 0xFF); } </pre> | <pre> unsigned char ssrCopy ; unsigned char rxChar ; ssrCopy = SCI1.SSR.BYTE ; if (ssrCopy & 0x38) { // Process errors here } </pre> |
| オーバランエラーのクリア M16C/62P : レシーバを無効にしてから再び有効にしてエラーをクリアする RX62N:オーバランエラービットをクリアし、受信データバッファをパージする | <pre> // Overrun error if (u0rbCopy & 0x1000) { re_u0c1 = 0 ; re_u0c1 = 1 ; } </pre> | <pre> // Overrun error if (ssrCopy & 0x20) { SCI1.SSR.BIT.ORER = 0 ; IR(SCI1,RXI1) = 0 ; rxData = SCI1.RDR ; } </pre> |

6.1 サンプリングポーリングコードに関する注意事項

M16C/62P では、受信エラーフラグは受信データと同じ 16 ビットレジスタに格納されます。レジスタのシングル 16 ビットリードを行い、MSB をチェックして、受信した文字にエラーがあるかどうかを確認します。パリティエラーとフレーミングエラーのビットは、レジスタをリードするときに自動的にクリアされ、レシーバを無効にしてから再び有効にすると、オーバランエラーフラグがクリアされます。

RX62N では、エラーフラグは受信データとは別のレジスタに格納されます。このため、ポーリングで SCI を使用するとき競合状態が生じる場合があります。したがって、SCI ではポーリングではなく割り込みを使用することを強くお勧めします。

重要： SCI コントロールレジスタ (SCR) の RIE および TIE ビットは、ICU の割り込み要求 (IR) ビットのポーリングを可能にするために 1 に設定しなければなりません。

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/inquiry>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

| Rev. | 発行日 | 改訂内容 | |
|------|------------|----------|------------------------------|
| | | ページ | ポイント |
| 1.00 | 2010.02.16 | — | 初版発行 |
| 1.10 | 2010.04.13 | — | 新ルネサスエレクトロニクス文書テンプレートに更新 |
| 1.20 | 2011.03.07 | 4 5~7 | セクション 3.3 追加 セクション 4.2 追加 |

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連して発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/inquiry>