

## RL78/G24

### A/D コンバータ（アドバンスド・モード ON）

---

#### 要旨

本アプリケーションノートでは、RL78/G24 の A/D コンバータ（アドバンスド・モード ON）の機能および動作を、2 種類の使用例を用いて説明します。

A/D コンバータ（アドバンスド・モード OFF）での動作についてはアプリケーションノート「RL78/G24 A/D コンバータ（アドバンスド・モード OFF）（R01AN6992）」を参照してください。

#### 動作確認デバイス

RL78/G24

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

## 目次

1. A/D コンバータ アドバンスド・モードの機能説明	4
2. 使用例、動作説明	6
2.1 使用例 1: ハードウェア・トリガ、ソフトウェア・トリガ混載	6
2.1.1 仕様概要	6
2.1.2 動作説明	8
2.2 使用例 2: 同時サンプリング	11
2.2.1 仕様概要	11
2.2.2 動作説明	13
3. 動作確認条件	16
4. ハードウェア説明	17
4.1 使用例 1: ハードウェア・トリガ、ソフトウェア・トリガ混載	17
4.1.1 ハードウェア構成例	17
4.1.2 使用端子一覧	17
4.2 使用例 2: 同時サンプリング	18
4.2.1 ハードウェア構成例	18
4.2.2 使用端子一覧	18
5. ソフトウェア説明	19
5.1 使用例 1: ハードウェア・トリガ、ソフトウェア・トリガ混載	19
5.1.1 スマート・コンフィグレータの設定	19
5.1.1.1 システム設定	19
5.1.1.2 コンポーネントの設定	21
5.1.2 フォルダ構成	26
5.1.3 オプション・バイトの設定一覧	27
5.1.4 定数一覧	27
5.1.5 変数一覧	27
5.1.6 関数一覧	28
5.1.7 関数仕様	28
5.1.8 フローチャート	30
5.1.8.1 メイン処理	30
5.1.8.2 r_Config_ADC_ad0_interrupt 関数	31
5.1.8.3 r_Config_ADC_ad1_interrupt 関数	31
5.1.8.4 r_Config_ADC_ad2_interrupt 関数	32
5.1.8.5 r_Config_ADC_ad3_interrupt 関数	32
5.2 使用例 2: 同時サンプリング	33
5.2.1 スマート・コンフィグレータの設定	33
5.2.1.1 システム設定	33
5.2.1.2 コンポーネントの設定	35
5.2.2 フォルダ構成	38
5.2.3 オプション・バイトの設定一覧	39
5.2.4 定数一覧	39
5.2.5 変数一覧	39

---

5.2.6	関数一覧 .....	40
5.2.7	関数仕様 .....	40
5.2.8	フローチャート .....	42
5.2.8.1	メイン処理 .....	42
5.2.8.2	r_Config_TRD0_TRD1_trd1_interrupt 関数 .....	43
5.2.8.3	r_Config_ADC_ad0_interrupt 関数 .....	43
5.2.8.4	r_Config_ADC_ad1_interrupt 関数 .....	44
5.2.8.5	r_Config_ADC_ad2_interrupt 関数 .....	44
5.2.8.6	r_Config_ADC_ad3_interrupt 関数 .....	45
6.	サンプルコード .....	46
7.	参考ドキュメント .....	46
	改訂記録 .....	47

## 1. A/D コンバータ アドバンスド・モードの機能説明

RL78/G24 に搭載されている A/D コンバータは、アドバンスド・モードが追加されています。

CPU/周辺ハードウェア・クロック周波数( $f_{CLK}$ )を 48MHz に設定する場合は、アドバンスド・モードを ON にしてください。アドバンスド・モードは、変換チャンネルを 4 つ搭載しており、最大で 4 つのアナログ入力信号の変換指定が可能です。それぞれのチャンネルに別々の変換トリガの割り当てが可能であり、発生したトリガに割り当てられているチャンネルの A/D 変換を逐次的に実施したり、最大 3 チャンネルの同時サンプリングを実施したりすることができます。さらに、A/D 変換終了時に割り込み要求 (INTAD0-3) の発生を変換チャンネルごとに割り込み要求の発生を指定することができます。アドバンスド・モードの動作はノー・ウエイト・モード、ワンショット変換モード固定です。

表 1-1、表 1-2 にアドバンスド・モード ON/OFF 時の機能比較を示します。

表 1-1 アドバンスド・モード ON/OFF 時の機能比較 (1/2)

	アドバンスド・モード ON	アドバンスド・モード OFF
最大動作クロック ( $f_{CLK}$ )	48MHz	32MHz
分解能	8 ビット/10 ビット/12 ビット	8 ビット/10 ビット/12 ビット
同時サンプリングチャンネル数	1-3 チャンネル	1 チャンネル
入力チャンネル	ANI0-ANI7, ANI16-ANI30 温度センサ出力電圧、内部基準電圧 PGA 出力	ANI0-ANI7, ANI16-ANI30 温度センサ出力電圧、内部基準電圧
トリガ・モード	【ソフトウェア・トリガ (ノーウエイト・モード)】 ADM3.ADTRSWT = 1 とすることで A/D 変換動作を開始します。	【ソフトウェア・トリガ・ノーウエイト・モード】 ソフトウェア操作で ADCE = 1 に設定し、A/D 電源安定待ち時間経過後に ADCS = 1 を設定することにより、変換動作を開始します。
		【ソフトウェア・トリガ・ウエイト・モード】 変換停止状態のときに、ソフトウェア操作で ADCS = 1 に設定することにより、パワー・オンとなり、A/D 電源安定待ち時間経過後に自動的に変換動作を開始します。
		【ハードウェア・トリガ (ノーウエイト・モード)】 各変換チャンネルで設定したハードウェア・トリガを検出することで A/D 変換動作を開始します。
		【ハードウェア・トリガ・ノーウエイト・モード】 ハードウェア・トリガを検出することにより、変換動作を開始します。
		【ハードウェア・トリガ・ウエイト・モード】 パワー・オフでの変換待機状態でハードウェア・トリガを検出することにより、パワー・オンとなり、A/D 電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZE モード機能を使用するときは、ハードウェア・トリガ・ウエイト・モードを選択してください。

表 1-2 アドバンスド・モード ON/OFF 時の機能比較 (2/2)

	アドバンスド・モード ON	アドバンスド・モード OFF
変換トリガ	<ul style="list-style-type: none"> <li>● タイマ・アレイ・ユニットのチャンネル 01 のカウント完了またはキャプチャ完了割り込み信号 (INTTM01)</li> <li>● リアルタイム・クロック割り込み信号 (INTRTC)</li> <li>● 32 ビット・インターバル・タイマチャンネル 0 割り込み信号 (ELCITL0)</li> <li>● ELC からのイベント入力</li> <li>● 16 ビット・タイマ KB30 A/D トリガ信号</li> <li>● 16 ビット・タイマ KB31 A/D トリガ信号</li> <li>● 16 ビット・タイマ KB32 A/D トリガ信号</li> <li>● タイマ RD2 A/D 変換トリガ 0</li> <li>● タイマ RD2 A/D 変換トリガ 1</li> <li>● ソフトウェア・トリガ</li> </ul>	<ul style="list-style-type: none"> <li>● タイマ・アレイ・ユニットのチャンネル 01 のカウント完了またはキャプチャ完了割り込み信号 (INTTM01)</li> <li>● リアルタイム・クロック割り込み信号 (INTRTC)</li> <li>● 32 ビット・インターバル・タイマチャンネル 0 割り込み信号 (ELCITL0)</li> <li>● ELC からのイベント入力</li> <li>● ソフトウェア・トリガ</li> </ul>
チャンネル選択モード	最大 4 チャンネルのアナログ入力チャンネルと、対応する変換トリガを割り当てます。トリガ発生時、発生したトリガが割り当てられているアナログ入力チャンネルが順番に A/D 変換されます。	【セレクト・モード】 アナログ入力を 1 チャンネル選択し、A/D 変換します。
		【スキャン・モード】 4 チャンネルのアナログ入力を順番に A/D 変換します。 ANI0-ANI7 のうち連続した 4 チャンネルをアナログ入力に選択できます。
変換動作	各変換チャンネルで選択したアナログ入力チャンネルを 1 回ずつ A/D 変換します。	【ワンショット変換モード】 選択したチャンネルを 1 回 A/D 変換します。
		【連続変換モード】 選択したチャンネルをソフトウェアで停止するまで連続して A/D 変換します。

## 2. 使用例、動作説明

### 2.1 使用例 1：ハードウェア・トリガ、ソフトウェア・トリガ混載

#### 2.1.1 仕様概要

使用例 1 では、アドバンスド・モードを使用し、P22 / ANI2 端子、P23 / ANI3 端子、P03 / ANI16 端子、PGA 出力のアナログ入力電圧を A/D 変換します。チャンネル 0、1 はソフトウェア・トリガ、チャンネル 2 はハードウェア・トリガ（インターバル・タイマによるカウント完了割り込み：100 $\mu$ s に 1 度）、チャンネル 3 はハードウェア・トリガ（リアルタイム・クロックによるリアルタイム・クロック割り込み：0.5 秒に 1 度）によってチャンネルごとに A/D 変換を行います。各チャンネルの A/D 変換終了後、割り込みが発生し、変換結果を内蔵 RAM の変数に格納します。

表 2-1 に、チャンネル設定例を示します。

表 2-1 チャンネル設定例（使用例 1）

	アドバンスド・モード	ウェイト・モード	変換モード		
設定	ON	ノー・ウェイト（固定）	ワンショット変換モード（固定）		
	チャンネル設定条件				
	同時サンプリング設定 ADSn.ADSPSCn[1:0]	トリガ要因 ADTRn.ADTRSn[3:0]	優先度	アナログ入力 チャンネル ADSn.ADSn[4:0]	A/D 変換結果 レジスタ
チャンネル 0	未使用 00B	ソフトウェア・トリガ 1111B	低	ANI2 00010B	ADCR0
チャンネル 1	未使用 00B	ソフトウェア・トリガ 1111B	低	ANI3 00011B	ADCR1
チャンネル 2	未使用 00B	INTTM01 信号 0000B	低	ANI16 10000B	ADCR2
チャンネル 3	未使用 00B	INTRTC 信号 0010B	高	PGA 出力 11111B	ADCR3

表 2-2 に使用する周辺機能と用途を示します。

表 2-2 使用する周辺機能と用途（使用例 1）

周辺機能	用途
A/D コンバータ （アドバンスド・モード ON）	P22 / ANI2 端子、P23 / ANI3 端子、P03 / ANI16 端子、PGA 出力のアナログ入力電圧を A/D 変換する。
リアルタイム・クロック（RTC）	リアルタイム・クロック割り込み信号（INTRTC）をハードウェア・トリガとして使用する。
タイマ・アレイ・ユニット（TAU0）	カウント完了割り込み信号（INTTM01）をハードウェア・トリガとして使用する。
プログラマブル・ゲイン・アンプ （PGA）	増幅率を 4 倍に設定してアナログ入力電圧として使用する。

表 2-3 に、各チャンネルのトリガ要因と使用コンポーネントを示します。

表 2-3 各チャンネルのトリガ要因と使用コンポーネント

チャンネル	入力ソース	トリガ要因	トリガ要因の使用コンポーネント
チャンネル 0	ANI2	ソフトウェア・トリガ	-
チャンネル 1	ANI3	ソフトウェア・トリガ	-
チャンネル 2	ANI16	ハードウェア・トリガ (INTTM01 信号)	インターバル・タイマ (100 $\mu$ s 間隔でチャンネル 01 のカウント完了割り込みが発生)
チャンネル 3	PGA10	ハードウェア・トリガ (INTRTC 信号)	リアルタイム・クロック (0.5 秒間隔でリアルタイム・クロック割り込みが発生)

## 2.1.2 動作説明

A/D コンバータの設定を以下に示します。

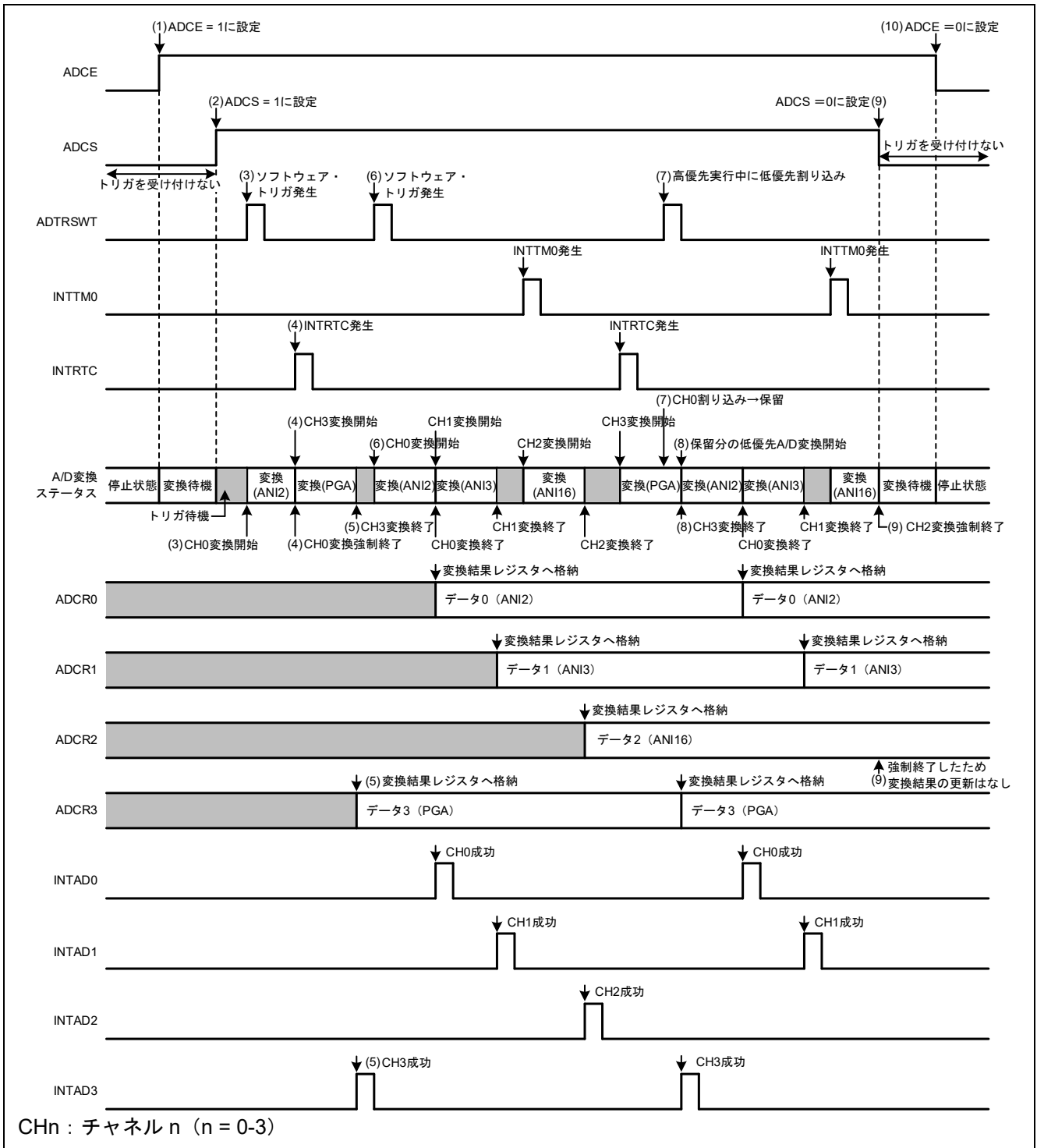
### <設定>

- A/D コンバータでアドバンスド・モードを使用します。
- 分解能設定は 12 ビットを設定します。
- A/D コンバータの+側の基準電圧として  $AV_{REFP}$  を設定し、A/D コンバータの-側の基準電圧として  $AV_{REFM}$  を設定します。
- 同時サンプリングは使用しません。
- A/D チャンネル 0 のトリガ要因はソフトウェア・トリガ、入力ソースは ANI2、優先順位は低を設定します。
- A/D チャンネル 1 のトリガ要因はソフトウェア・トリガ、入力ソースは ANI3、優先順位は低を設定します。
- A/D チャンネル 2 のトリガ要因は INTTM01 信号（100 $\mu$ s 間隔のカウント完了割り込み信号）、入力ソースは ANI16、優先順位は低を設定します。
- A/D チャンネル 3 のトリガ要因は INTRTC 信号（0.5 秒間隔のリアルタイム・クロック割り込み信号）、入力ソースは PGA 出力（増幅率を 4 倍に設定）、優先順位は高を設定します。
- 動作電圧モードは標準モード 1、変換時間は  $55/f_{CLK}$  を設定します。
- A/D 変換結果上限値（ADUL）は 255、下限値（ADLL）は 0 を設定します。<sup>注</sup>
- A/D 変換終了割り込み（INTAD0-3）を許可します。

注 12 ビット分解能選択時の A/D 変換結果上限/下限値の設定値は、 $ADCRn[11:4]$  ビットを ADUL レジスタおよび ADLL レジスタと比較します。詳細は「RL78/G24 ユーザーズマニュアルハードウェア編」の「20.3.16 変換結果比較上限値設定レジスタ（ADUL）」と「20.3.17 変換結果比較下限値設定レジスタ（ADLL）」を参照してください。

図 2-1 に A/D コンバータの動作を示します。

図 2-1 A/D コンバータの動作 (使用例 1)



- (1) 停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットを 1 に設定すると、A/D 変換待機状態となります。なお、ADCS ビットが 0 の間はトリガを受け付けません。
- (2) ソフトウェアで安定待ち時間（ $1\mu\text{s} + \text{変換クロック} (f_{AD}) \text{ の } 2 \text{ クロック}$ ）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定すると、トリガ待機状態になります（この段階では変換を開始しません）。
- (3) トリガ待機状態で、ソフトウェア・トリガが入力される（ADTRSWT ビットに 1 を設定する）と、CH0 の A/D 変換が開始されます。
- (4) 低優先度の CH0 の A/D 変換実行中に高優先度のトリガが発生すると、CH0 の A/D 変換は強制終了されます。同時に高優先である CH3 の A/D 変換が開始されます。
- (5) CH3 の A/D 変換が終了すると以下の動作を行います。保留された A/D 変換がない場合はトリガ待機状態となります。
  - A/D 変換結果を A/D 変換結果レジスタ ADCR3 に格納
  - A/D 変換終了要求信号（INTAD3）を発生
- (6) トリガ待機状態中にトリガが発生すると対応した A/D 変換が開始されます。  
ここでは CH0 のソフトウェア・トリガが発生し、CH0 の A/D 変換が開始されます。
- (7) 同一優先度の A/D 変換が実行中、もしくは高優先の A/D 変換が実行中の場合にトリガが発生した場合は、A/D 変換は保留されます。ここでは高優先 CH3 に対する A/D 変換中に低優先の CH0 に対するソフトウェア・トリガが発生した場合に CH0 の A/D 変換が保留されます。
- (8) 保留されていた A/D 変換は、実行中の A/D 変換が完了したら、続けて実行されます。  
保留されている A/D 変換の優先度に応じて順次実行されます。
  - この例では、CH0 と CH1 が保留されているため CH0 と CH1 の A/D 変換が開始されます。
- (9) A/D 変換動作中に ADCS ビットに 0 を設定すると、実行中の A/D 変換は強制終了し、A/D 変換待機状態となります。
  - この例では CH2 が強制終了したため、A/D 変換結果は更新されません。
- (10) A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D コンバータは停止状態になります。

備考 アドバンスド・モードには、変換結果ステータスを示す ADINST レジスタがあります。各チャネルの A/D 変換の完了と失敗を判断します。詳細は「RL78/G24 ユーザーズマニュアル ハードウェア編」の「20.3.14 変換割り込みステータス・レジスタ（ADINTST）」を参照してください。

## 2.2 使用例 2：同時サンプリング

### 2.2.1 仕様概要

A/D コンバータのアドバンスド・モードは、3つのサンプル&ホールド（S&H）回路を搭載しているため、同時に3つのアナログ信号をサンプリングすることが可能です。S&H回路は入力回路から送られてくるアナログ入力電圧をサンプリングし、一定時間経過するとホールド状態となります。サンプリングしたアナログ入力電圧をA/D変換コンパレータに送り、A/D変換が終了するまでアナログ入力電圧を保持します。

使用例2では、アドバンスド・モードを使用し、P22 / ANI2 端子、P23 / ANI3 端子、P24 / ANI4 端子のアナログ信号を同時サンプリングし、P25 / ANI5 端子のアナログ入力電圧をA/D変換します。チャンネル0、1、2はハードウェア・トリガ（タイマRD2によるA/D変換トリガ0信号：100 $\mu$ sに1度）、チャンネル3はソフトウェア・トリガによってチャンネルごとにA/D変換を行います。各チャンネルのA/D変換終了後、割り込みが発生し、変換結果を内蔵RAMの変数に格納します。

表 2-4 に、チャンネル設定例を示します。

表 2-4 チャンネル設定例（使用例 2）

	アドバンスド・モード	ウェイト・モード	変換モード		
設定	ON	ノー・ウェイト（固定）	ワンショット変換モード（固定）		

	チャンネル設定条件				
	同時サンプリング設定 ADSn.ADSPSCn[1:0]	トリガ ADTRn.ADTRS[3:0]	優先度	アナログ入力 チャンネル ADSn.ADSn[4:0]	A/D 変換結果 レジスタ
チャンネル 0	1st S&H 01B	タイマ RD2 A/D 変換トリガ 0 1011B	初期値 （低）	ANI4 00100B	ADCR0
チャンネル 1	2nd S&H 10B	タイマ RD2 A/D 変換トリガ 0 1011B	初期値 （低）	初期値	ADCR1
チャンネル 2	3rd S&H 11B	タイマ RD2 A/D 変換トリガ 0 1011B	初期値 （低）	初期値	ADCR2
チャンネル 3	未使用 00B	ソフトウェア・ トリガ 1111B	低	ANI5 00101B	ADCR3

表 2-5 に使用する周辺機能と用途を示します。

表 2-5 使用する周辺機能と用途

周辺機能	用途
A/D コンバータ （アドバンスド・モード ON）	P22 / ANI2 端子、P23 / ANI3 端子、P24 / ANI4 端子の同時サンプリングを行う。 P25 / ANI5 端子のアナログ入力電圧を A/D 変換する。
タイマ RD2（TRD2）	タイマ RD2 A/D 変換トリガ 0 信号をハードウェア・トリガとして使用する。

表 2-6 に、各チャンネルのトリガ要因と使用コンポーネントを示します。

表 2-6 各チャンネルのトリガ要因と使用コンポーネント

チャンネル	入力ソース	トリガ要因	トリガ要因の使用コンポーネント
チャンネル 0	ANI4	ハードウェア・トリガ (タイマ RD2 A/D 変換トリガ 0)	タイマ RD2 (100 $\mu$ s 間隔で A/D 変換トリガ 0 信号が発生)
チャンネル 1	ANI2	ハードウェア・トリガ (タイマ RD2 A/D 変換トリガ 0)	タイマ RD2 (100 $\mu$ s 間隔で A/D 変換トリガ 0 信号が発生)
チャンネル 2	ANI3	ハードウェア・トリガ (タイマ RD2 A/D 変換トリガ 0)	タイマ RD2 (100 $\mu$ s 間隔で A/D 変換トリガ 0 信号が発生)
チャンネル 3	ANI5	ソフトウェア・トリガ	-

## 2.2.2 動作説明

A/D コンバータの設定を以下に示します。

### <設定>

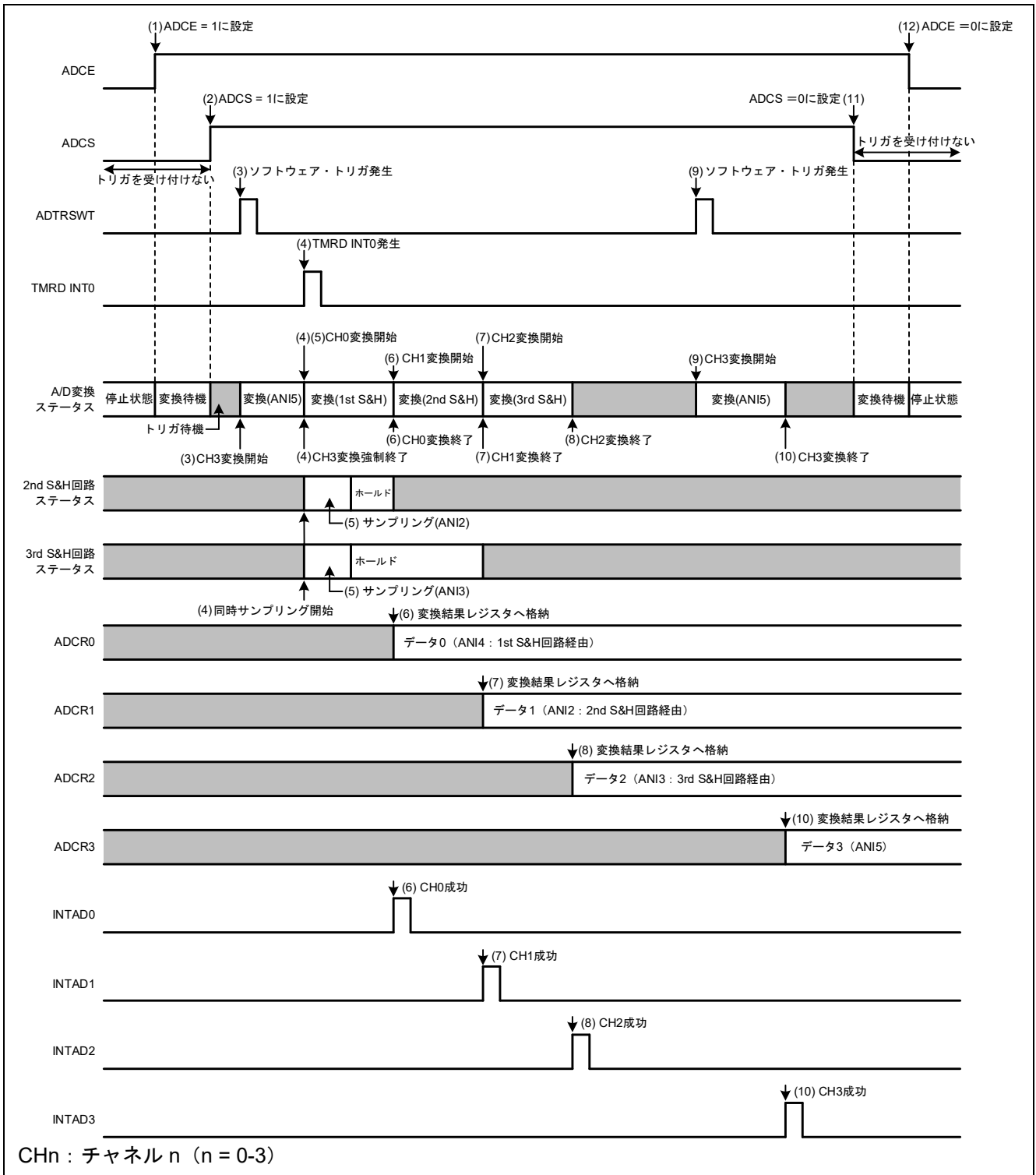
- A/D コンバータでアドバンスド・モードを使用します。
- 分解能設定は 12 ビットを設定します。
- A/D コンバータの+側の基準電圧として  $AV_{REFP}$  を設定し、A/D コンバータの-側の基準電圧として  $AV_{REFM}$  を設定します。
- 同時サンプリング設定で、3 チャンネル（ADS0, ADS1, ADS2）を設定します。
- 同時サンプリングのトリガ要因はタイマ RD2 A/D 変換トリガ 0（100 $\mu$ s 間隔の A/D 変換開始のトリガ 0 信号）、1st S&H 回路入力ソースは ANI4 を設定します。
- A/D チャンネル 3 のトリガ要因はソフトウェア・トリガ、入力ソースは ANI5、優先順位は低を設定します。
- 動作電圧モードは標準モード 1、サンプリング・クロック・サイクルは  $20f_{AD}$  <sup>注1</sup>、変換時間は  $86/f_{CLK}$  を設定します。
- A/D 変換結果比較上限値（ADUL）は 255、下限値（ADLL）は 0 を設定します。 <sup>注2</sup>
- A/D 変換終了割り込み（INTAD0-3）を許可します。

注1. アナログ入力チャンネルとして ANI0-ANI7 のみが使用されている場合、サンプリング・クロック・サイクルを  $20f_{AD}$  に設定することができます。詳細は「RL78/G24 ユーザーズマニュアルハードウェア編」の「20.3.15 A/D 変換サンプリング・モード指定レジスタ（ADSPMOD）」を参照してください。

注2. 12 ビット分解能選択時の A/D 変換結果上限/下限値の設定値は、 $ADCR_n[11:4]$  ビットを ADUL レジスタおよび ADLL レジスタと比較します。詳細は「RL78/G24 ユーザーズマニュアルハードウェア編」の「20.3.16 変換結果比較上限値設定レジスタ（ADUL）」と「20.3.17 変換結果比較下限値設定レジスタ（ADLL）」を参照してください。

図 2-2 に A/D コンバータの動作を示します。

図 2-2 A/D コンバータの動作 (使用例 2)



- (1) 停止状態で、A/D コンバータ・モード・レジスタ 0 (ADM0) の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。なお、ADCS ビットが 0 の間はトリガを受け付けません。
- (2) ソフトウェアで安定待ち時間 ( $1\mu\text{s} + \text{変換クロック (fAD) の 2クロック}$ ) をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定すると、トリガ待機状態になります (この段階では変換を開始しません)。
- (3) トリガ待機状態で、ソフトウェア・トリガが入力される (ADTRSWT ビットに 1 を設定する) と、CH3 の A/D 変換が開始されます。
- (4) 低優先度の CH3 の A/D 変換実行中に同時サンプリングのトリガ TMRD INT0 が発生すると、CH3 の変換は強制終了されます。同時に CH0-2 で設定した同時サンプリングが実施されます。
- (5) 同時サンプリングの場合、トリガが発生すると 1st S&H として設定 (ADS0.ADSPSCn[1:0] = 01B) した CH0 は通常通り A/D 変換を実施します。2nd S&H (ADS1.ADSPSCn[1:0] = 10B) として設定した CH1 と、3rd S&H (ADS2.ADSPSCn[1:0] = 11B) として設定した CH2 は、S&H 回路でサンプリングした値をホールドします。
- (6) CH0 の A/D 変換が終了すると以下の動作を行います。2nd S&H として設定した CH1 の A/D 変換は自動的に開始されます。CH1 の A/D 変換の対象となるアナログ入力 は 2nd S&H 回路でホールドした値です。
  - A/D 変換結果を A/D 変換結果レジスタ ADCR0 に格納
  - A/D 変換終了要求信号 (INTAD0) を発生
- (7) CH1 の A/D 変換が終了すると以下の動作を行います。3rd S&H として設定した CH2 の A/D 変換は自動的に開始されます。CH2 の A/D 変換の対象となるアナログ入力は 3rd S&H 回路でホールドした値です。
  - A/D 変換結果を A/D 変換結果レジスタ ADCR1 に格納
  - A/D 変換終了要求信号 (INTAD1) を発生
- (8) CH2 の A/D 変換が終了すると以下の動作を行います。保留された A/D 変換がない場合はトリガ待機状態となります。
  - A/D 変換結果を A/D 変換結果レジスタ ADCR2 に格納
  - A/D 変換終了要求信号 (INTAD2) を発生
- (9) ソフトウェア・トリガを発生させ CH3 の A/D 変換を開始させます。
- (10) CH3 の A/D 変換が終了すると以下の動作を行います。保留された A/D 変換がない場合はトリガ待機状態となります。
  - A/D 変換結果を A/D 変換結果レジスタ ADCR3 に格納
  - A/D 変換終了要求信号 (INTAD3) を発生
- (11) トリガ待機中に ADCS ビットに 0 を設定すると、A/D 変換待機状態になります。
- (12) A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D コンバータは停止状態になります。

備考 アドバンスド・モードには、変換結果ステータスを示す ADINST レジスタがあります。各チャンネルの A/D 変換の完了と失敗を判断します。詳細は「RL78/G24 ユーザーズマニュアル ハードウェア編」の「20.3.14 変換割り込みステータス・レジスタ (ADINTST)」を参照してください。

## 3. 動作確認条件

本アプリケーションノートのサンプルコードは、下記の条件で動作を確認しています。

表 3-1 動作確認条件

項目	内容
使用マイコン	RL78/G24 (R7F101GLG)
動作周波数	アドバンスド・モード使用時 <ul style="list-style-type: none"> <li>高速オンチップ・オシレータ・クロック (f<sub>HOCO</sub>) : 8MHz</li> <li>PLL 発振回路出力 (f<sub>PLL</sub>) : 96MHz</li> <li>CPU/周辺ハードウェア・クロック (f<sub>CLK</sub>) : 48MHz</li> </ul>
動作電圧	<ul style="list-style-type: none"> <li>3.3V (2.7V~5.5V で動作可能)</li> <li>LVD0 動作 (V<sub>LVD0</sub>) : リセット・モード 立ち上がり時 TYP. 2.97V 立ち下がり時 TYP. 2.91V</li> </ul>
統合開発環境 (CS+)	ルネサスエレクトロニクス製 CS+ for CC V8.12.00
C コンパイラ (CS+)	ルネサスエレクトロニクス製 CC-RL V1.14.00
統合開発環境 (e <sup>2</sup> studio)	ルネサスエレクトロニクス製 e <sup>2</sup> studio 2024-10 (24.10.0)
C コンパイラ (e <sup>2</sup> studio)	ルネサスエレクトロニクス製 CC-RL V1.14.00
統合開発環境 (IAR)	IAR システム製
C コンパイラ (IAR)	IAR Embedded Workbench for Renesas RL78 V5.10.3
スマート・コンフィグレータ	V.1.11.0
ボードサポートパッケージ (r_bsp)	V.1.70
エミュレータ	CS+, e <sup>2</sup> studio : COM ポート IAR : E2 エミュレータ Lite
使用ボード	RL78/G24 Fast Prototyping Board (RTK7RLG240C00000BJ)

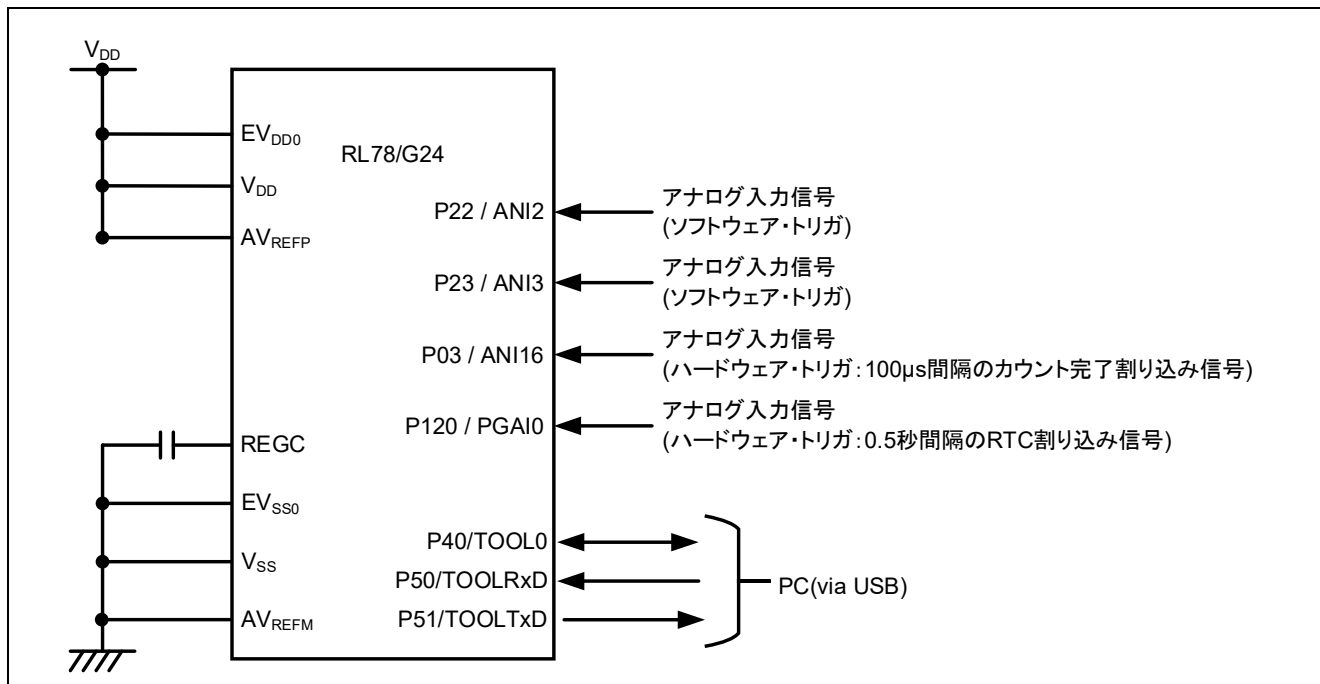
## 4. ハードウェア説明

### 4.1 使用例 1：ハードウェア・トリガ、ソフトウェア・トリガ混載

#### 4.1.1 ハードウェア構成例

図 4-1 に使用例 1 のハードウェア構成例を示します。

図 4-1 ハードウェア構成例



- 注意 1. この回路イメージは接続の概要を示す為に簡略化しています。実際に回路を作成される場合は、端子処理などを適切に行い、電気的特性を満たすように設計してください（入力専用ポートは個別に抵抗を介して  $V_{DD}$  又は  $V_{SS}$  に接続して下さい）。
- 注意 2.  $EV_{SS0}$  で始まる名前の端子がある場合には  $V_{SS}$  に、 $EV_{DD0}$  で始まる名前の端子がある場合には  $V_{DD}$  にそれぞれ接続してください。
- 注意 3.  $V_{DD}$  は  $LVD0$  にて設定したリセット解除電圧 ( $V_{LVD0}$ ) 以上にしてください。

#### 4.1.2 使用端子一覧

表 4-1 に使用端子と機能を示します。

表 4-1 使用端子と機能

端子名	入出力	内容
P22 / ANI2	入力	A/D コンバータ アナログ入力
P23 / ANI3	入力	A/D コンバータ アナログ入力
P03 / ANI16	入力	A/D コンバータ アナログ入力
P120 / PGAIO	入力	プログラマブル・ゲイン・アンプ アナログ入力

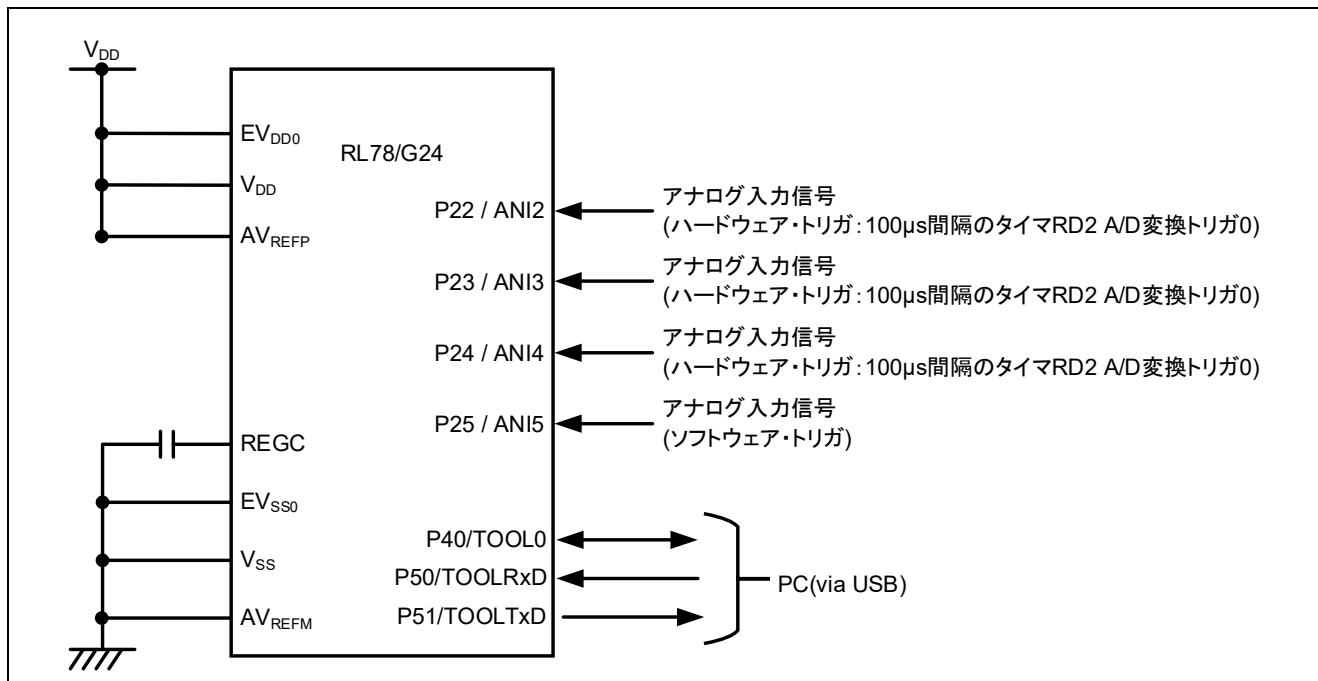
注意 本アプリケーションノートは、使用端子のみを端子処理しています。実際に回路を作成される場合は、端子処理などを適切に行い、電気的特性を満たすように設計してください。

## 4.2 使用例 2：同時サンプリング

### 4.2.1 ハードウェア構成例

図 4-2 に使用例 2 のハードウェア構成例を示します。

図 4-2 ハードウェア構成例



- 注意 1. この回路イメージは接続の概要を示す為に簡略化しています。実際に回路を作成される場合は、端子処理などを適切に行い、電気的特性を満たすように設計してください（入力専用ポートは個別に抵抗を介して V<sub>DD</sub> 又は V<sub>SS</sub> に接続して下さい）。
- 注意 2. EV<sub>SS</sub> で始まる名前の端子がある場合には V<sub>SS</sub> に、EV<sub>DD</sub> で始まる名前の端子がある場合には V<sub>DD</sub> にそれぞれ接続してください。
- 注意 3. V<sub>DD</sub> は LVDD0 にて設定したリセット解除電圧（V<sub>LVDD0</sub>）以上にしてください。

### 4.2.2 使用端子一覧

表 4-2 に使用端子と機能を示します。

表 4-2 使用端子と機能

端子名	入出力	内容
P22 / ANI2	入力	A/D コンバータ アナログ入力
P23 / ANI3	入力	A/D コンバータ アナログ入力
P24 / ANI4	入力	A/D コンバータ アナログ入力
P25 / ANI5	入力	A/D コンバータ アナログ入力

注意 本アプリケーションノートは、使用端子のみを端子処理しています。実際に回路を作成される場合は、端子処理などを適切に行い、電気的特性を満たすように設計してください。

## 5. ソフトウェア説明

### 5.1 使用例 1：ハードウェア・トリガ、ソフトウェア・トリガ混載

#### 5.1.1 スマート・コンフィグレータの設定

本サンプルプログラムにおけるスマート・コンフィグレータの設定を示します。スマート・コンフィグレータの設定における各表の項目、設定内容は設定画面の表記で記載しています。

##### 5.1.1.1 システム設定

本サンプルプログラムで使用しているシステム設定を以下に示します。

なお、本サンプルプログラムで使用しているシステム設定は、統合開発環境 e<sup>2</sup> studio と CS+は同じですが、IAR は異なります。ご使用の環境に合わせて適切な設定を行ってください。

まず、図 5-1 に本サンプルプログラム（e<sup>2</sup> studio、CS+）で使用しているシステム設定を示します。

RL78/G24 Fast Prototyping Board (RTK7RLG240C00000BJ) で COM port デバッグを行う場合、統合開発環境（e<sup>2</sup> studio、CS+）内の設定を適切に行う必要があります。詳細は、「RL78/G24 Fast Prototyping Board ユーザーズマニュアル（R20UT5091J）」の「7.1 e<sup>2</sup> studio で COM port デバッグを使用する場合」と「7.2 CS+を COM port デバッグを使用する場合」を参照してください。

図 5-1 システム設定（e<sup>2</sup> studio、CS+）



次に、図 5-2 に本サンプルプログラム（IAR）で使用しているシステム設定を示します。

図 5-2 システム設定（IAR）

システム設定

オンチップ・デバッグ設定

オンチップ・デバッグ動作設定

使用しない  エミュレータを使う  COMポート

エミュレータ設定

E2  E2 Lite

疑似RRM/DMM機能設定

使用しない  使用する

Start/Stop関数機能設定

使用しない  使用する

通過ポイント機能設定

使用しない  使用する

トレース機能設定

使用しない  使用する

セキュリティID設定

セキュリティIDを設定する

セキュリティID

セキュリティID認証失敗時の設定

フラッシュ・メモリのデータを消さない  フラッシュ・メモリのデータを消去する

5.1.1.2 コンポーネントの設定

本サンプルプログラムで使用しているコンポーネントの設定を以下に示します。

表 5-1 コンポーネントの設定 (A/D コンバータ)

項目	内容
コンポーネント	A/D コンバータ
コンフィグレーション名	Config_ADC
リソース	ADC
動作モード	アドバンスド・モード

図 5-3 A/D コンバータの設定 (1/2)

**設定**

コンバータ動作設定  
 停止                       許可

分解能設定  
 10ビット                       8ビット                       12ビット  
チェックをつける

VREF(+)設定  
 VDD                       AVREFP                       内部基準電圧  
チェックをつける

VREF(-)設定  
 VSS                       AVREFM  
チェックをつける

同時サンプリング機能設定  
 同時サンプリング                      未使用

トリガ要因                      INTTM01 信号

1st S&H回路入力ソース                      ANI0

2nd S&H回路入力ソース                      ANI2

3rd S&H回路入力ソース                      ANI3

変換の優先順位                      Low

動作モード設定  
 ワンショット・セレクト・モード

A/Dチャンネル0設定                      チェックをつける

A/Dチャンネル0の有効(ADS0)

トリガ要因                      ソフトウェア・トリガ                      ソフトウェア・トリガに変更

入力ソース                      ANI2                      ANI2に変更

変換の優先順位                      低

A/Dチャンネル1設定                      チェックをつける

A/Dチャンネル1の有効(ADS1)

トリガ要因                      ソフトウェア・トリガ                      ソフトウェア・トリガに変更

入力ソース                      ANI3                      ANI3に変更

変換の優先順位                      低

図 5-4 A/D コンバータの設定 (2/2)

**A/Dチャンネル2設定** チェックをつける

A/Dチャンネル2の有効(ADS2)

トリガ要因: INTTM01 信号 (INTTM01 信号を設定してください)

入力ソース: ANI16 INTTM01信号に変更

変換の優先順位: 低 ANI16に変更

**A/Dチャンネル3設定** チェックをつける

A/Dチャンネル3の有効(ADS3)

トリガ要因: INTRTC 信号 (INTRTC 信号を設定してください)

入力ソース: PGA出力 INTRTC信号に変更

変換の優先順位: 高 PGA出力に変更  
高に変更

**変換時間設定**

fCLKは48 MHz以下に設定してください。

変換時間モード: 標準1

サンプリング・クロック・サイクル: 27 fAD

変換時間: 55/fCLK (1.1458 μs) 55/fCLKに変更

**変換結果上限/下限値設定**

ADLL ≦ ADCRn ≦ ADULで割り込み要求信号(INTAD0からINTAD3)を発生

ADUL < ADCRnまたはADLL > ADCRnで割り込み要求信号(INTAD0からINTAD3)を発生

上限値(ADUL): 255

下限値(ADLL): 0

**割り込み設定** チェックをつける

A/D チャンネル 0 割り込み(INTAD0)を使用 優先順位: レベル3(低優先順位)

ADS0で指定されたアナログ入力チャンネルの変換状態を保存する

A/D チャンネル 1 割り込み(INTAD1)を使用 優先順位: レベル3(低優先順位)

ADS1で指定されたアナログ入力チャンネルの変換状態を保存する

A/D チャンネル 2 割り込み(INTAD2)を使用 優先順位: レベル3(低優先順位)

ADS2で指定されたアナログ入力チャンネルの変換状態を保存する

A/D チャンネル 3 割り込み(INTAD3)を使用 優先順位: レベル3(低優先順位)

ADS3で指定されたアナログ入力チャンネルの変換状態を保存する

表 5-2 コンポーネントの設定 (リアルタイム・クロック)

項目	内容
コンポーネント	リアルタイム・クロック
コンフィグレーション名	Config_RTC
リソース	RTC

図 5-5 リアルタイム・クロックの設定

**設定**

---

クロック設定

カウント・ソース サブシステム・クロックXR (fSXR) (クロック周波数: 32.768 kHz)

---

リアルタイム・クロック設定

時間制の選択 12時間制

リアルタイム・クロック初期値設定 2000/01/01 12:00:00

RTC1HZ端子の出力(1Hz)許可

---

アラーム検出機能設定

アラーム検出機能

アラーム検出初期値

曜日  日曜日  月曜日  火曜日  水曜日  
 木曜日  金曜日  土曜日

時:分 12:00

---

割り込み設定 チェックをつける

定周期割り込み機能(INTRTC) 0.5秒に一度

アラーム割り込み機能(INTRTC)

優先順位 レベル3(低優先順位)

表 5-3 コンポーネントの設定（インターバル・タイマ）

項目	内容
コンポーネント	インターバル・タイマ
コンフィグレーション名	Config_TAU0_1
リソース	TAU0_1
動作	8ビット・カウンタ・モード

図 5-6 インターバル・タイマの設定

**設定**

---

**クロック設定**

動作クロック CK02 ▼

クロック・ソース fCLK/2<sup>6</sup> ▼ (クロック周波数 : 750 kHz)

---

**動作モード設定**

上位8ビット
  下位8ビット
  上位と下位8ビット

チェックをつける

---

**インターバル・タイマ設定**

インターバル時間(上位8ビット) 10 μs ▼

インターバル時間(下位8ビット) 100 μs ▼ (実際の値 : 100)

カウント開始時にINTTM01割り込みを発生する 100に変更

---

**割り込み設定**

タイマ・チャンネル1のカウント完了で割り込み発生(INTTM01)

優先順位 レベル3(低優先順位) ▼

タイマ・チャンネル1のカウント完了で割り込み発生(INTTM01H)

優先順位 レベル3(低優先順位) ▼

表 5-4 コンポーネントの設定 (プログラマブル・ゲイン・アンプ)

項目	内容
コンポーネント	プログラマブル・ゲイン・アンプ
コンフィグレーション名	Config_PGA
リソース	PGA

図 5-7 プログラマブル・ゲイン・アンプの設定

**設定**

プログラマブル・ゲイン・アンプのフィードバック抵抗のGND設定

VSS  PGAGND

プログラマブル・ゲイン・アンプ設定

アナログ入力チャンネル PGA10 ▼

増幅率の選択 x4 ▼

PGAO端子からの出力電圧を有効にする

## 5.1.2 フォルダ構成

表 5-5 にサンプルコードの使用するソースファイル/ヘッダファイルの構成を示します。なお、統合開発環境で自動生成されるファイル、bsp 環境のファイルは除きます。

表 5-5 フォルダ構成

フォルダ、ファイル名	説明	スマート・コンフィグレータを使用
\r01an6973_adc_advanced_mode_trigger_mix<DIR> <sup>注2</sup>	サンプルコードのフォルダ	
\src<DIR>	プログラム格納用フォルダ	
main.c	サンプルコードソースファイル	
\smc_gen<DIR>	スマート・コンフィグレータ生成フォルダ	√
\Config_ADC<DIR>	ADC 用プログラム格納フォルダ	√
Config_ADC.c	ADC 用ソースファイル	√
Config_ADC.h	ADC 用ヘッダファイル	√
Config_ADC_user.c	ADC 用割り込みソースファイル	√
\Config_PGA<DIR>	PGA 用プログラム格納フォルダ	√
Config_PGA.c	PGA 用ソースファイル	√
Config_PGA.h	PGA 用ヘッダファイル	√
Config_PGA_user.c	PGA 用割り込みソースファイル	√ <sup>注1</sup>
\Config_RTC<DIR>	RTC 用プログラム格納フォルダ	√
Config_RTC.c	RTC 用ソースファイル	√
Config_RTC.h	RTC 用ヘッダファイル	√
Config_RTC_user.c	RTC 用割り込みソースファイル	√ <sup>注1</sup>
\Config_TAU0_1<DIR>	TAU0_1 用プログラム格納フォルダ	√
Config_TAU0_1.c	TAU0_1 用ソースファイル	√
Config_TAU0_1.h	TAU0_1 用ヘッダファイル	√
Config_TAU0_1_user.c	TAU0_1 用割り込みソースファイル	√ <sup>注1</sup>
¥general<DIR>	初期化、共通プログラム格納フォルダ	√
¥r_bsp<DIR>	BSP 用プログラム格納フォルダ	√
¥r_config<DIR>	プログラム格納フォルダ	√

補足 ” <DIR> ” は、ディレクトリを意味します。

注1. 本サンプルコードでは使用しません。

注2. IAR 版のサンプルコードは r01an6973\_adc\_advanced\_mode\_trigger\_mix.ipcf を格納しています。ipcf ファイルについては、「RL78 スマート・コンフィグレータ ユーザーガイド：IAR 編 (R20AN0581)」を確認してください。

### 5.1.3 オプション・バイトの設定一覧

表 5-6 にオプション・バイト設定を示します。

表 5-6 オプション・バイト設定

アドレス	設定値	内容
000C0H/040C0H	1110 1111B (EFH)	ウォッチドッグ・タイマ動作停止 (リセット解除後、カウント停止)
000C1H/040C1H	1111 1011B (FBH)	LVD0 リセット・モード 検出電圧：立ち上がり 2.97V／立下り 2.91V
000C2H/040C2H	1110 1010B (EAH)	フラッシュ動作モード：高速メインモード 高速オンチップ・オシレータの周波数：8MHz
000C3H/040C3H	1000 0101B (85H)	オンチップ・デバッグ動作許可

### 5.1.4 定数一覧

本サンプルコードでは定数は使用しません。

### 5.1.5 変数一覧

表 5-7 に本サンプルコードで使用する変数一覧を以下に示します。

表 5-7 サンプルコードで使用する変数

変数名	型	内容	使用関数
g_result_buffer0	uint16_t	チャンネル 0 A/D 変換結果格納	r_Config_ADC_ad0_interrupt
g_result_buffer1	uint16_t	チャンネル 1 A/D 変換結果格納	r_Config_ADC_ad1_interrupt
g_result_buffer2	uint16_t	チャンネル 2 A/D 変換結果格納	r_Config_ADC_ad2_interrupt
g_result_buffer3	uint16_t	チャンネル 3 A/D 変換結果格納	r_Config_ADC_ad3_interrupt

## 5.1.6 関数一覧

表 5-8 にサンプルコードで使用する関数を示します。ただし、スマート・コンフィグレータで生成された関数の内、変更を行っていないものは除きます。

表 5-8 関数一覧

関数名	概要	ソースファイル
main	メイン処理	main.c
r_Config_ADC_ad0_interrupt	A/D コンバータチャンネル 0 割り込み処理	Config_ADC_user.c
r_Config_ADC_ad1_interrupt	A/D コンバータチャンネル 1 割り込み処理	Config_ADC_user.c
r_Config_ADC_ad2_interrupt	A/D コンバータチャンネル 2 割り込み処理	Config_ADC_user.c
r_Config_ADC_ad3_interrupt	A/D コンバータチャンネル 3 割り込み処理	Config_ADC_user.c

## 5.1.7 関数仕様

サンプルコードの関数仕様を示します。

## [関数名] main

概要	メイン処理
ヘッダ	r_smc_entry.h
宣言	void main (void);
説明	PGA、TAU、RTC、A/D コンバータの動作を開始する。
引数	なし
リターン値	なし
備考	なし

## [関数名] r\_Config\_ADC\_ad0\_interrupt

概要	A/D コンバータチャンネル 0 割り込み処理
ヘッダ	r_cg_macrodriver.h、r_cg_userdefine.h、Config_ADC.h
宣言	static void __near r_Config_ADC_ad0_interrupt(void);
説明	A/D 変換が終了すると、A/D 変換結果を ADCR0 レジスタから読み出し、内蔵 RAM の変数に格納します。
引数	なし
リターン値	なし
備考	なし

## [関数名] r\_Config\_ADC\_ad1\_interrupt

概要	A/D コンバータチャンネル 1 割り込み処理
ヘッダ	r_cg_macrodriver.h、r_cg_userdefine.h、Config_ADC.h
宣言	static void __near r_Config_ADC_ad1_interrupt(void);
説明	A/D 変換が終了すると、A/D 変換結果を ADCR1 レジスタから読み出し、内蔵 RAM の変数に格納します。
引数	なし
リターン値	なし
備考	なし

---

**[関数名] r\_Config\_ADC\_ad2\_interrupt**

---

概要	A/D コンバータチャンネル 2 割り込み処理
ヘッダ	r_cg_macrodriver.h、r_cg_userdefine.h、Config_ADC.h
宣言	static void __near r_Config_ADC_ad2_interrupt(void);
説明	A/D 変換が終了すると、A/D 変換結果を ADCR2 レジスタから読み出し、内蔵 RAM の変数に格納します。
引数	なし
リターン値	なし
備考	なし

---

**[関数名] r\_Config\_ADC\_ad3\_interrupt**

---

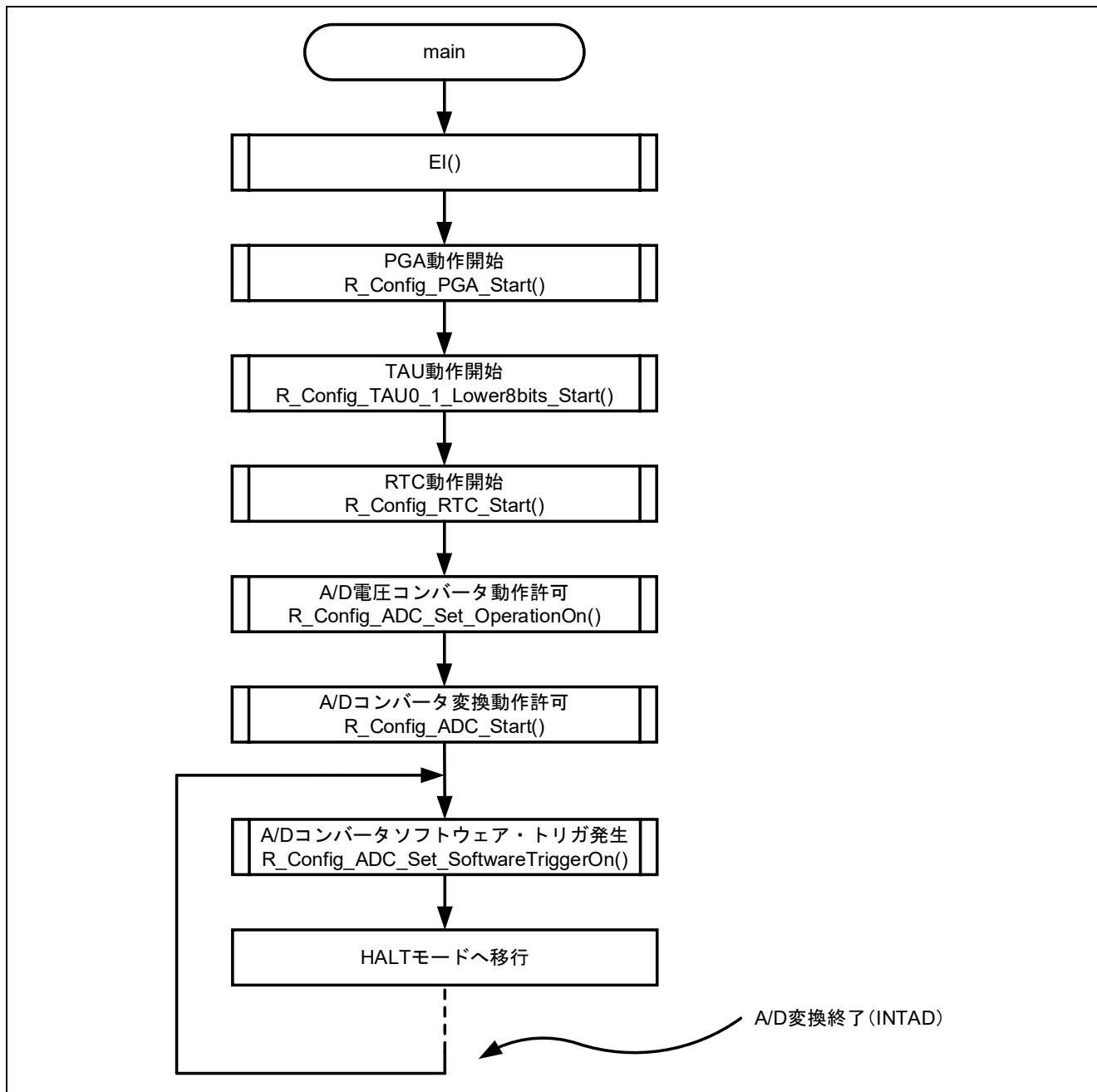
概要	A/D コンバータチャンネル 3 割り込み処理
ヘッダ	r_cg_macrodriver.h、r_cg_userdefine.h、Config_ADC.h
宣言	static void __near r_Config_ADC_ad3_interrupt(void);
説明	A/D 変換が終了すると、A/D 変換結果を ADCR3 レジスタから読み出し、内蔵 RAM の変数に格納します。
引数	なし
リターン値	なし
備考	なし

## 5.1.8 フローチャート

## 5.1.8.1 メイン処理

図 5-8 にメイン処理のフローチャートを示します。

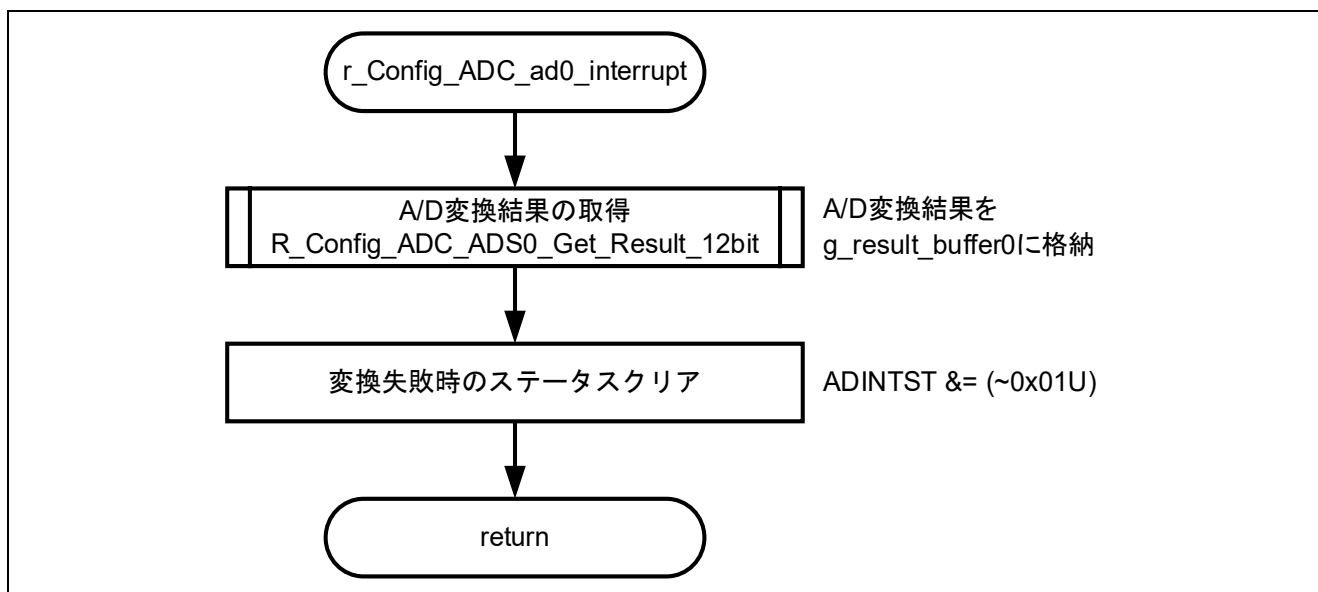
図 5-8 メイン処理



## 5.1.8.2 r\_Config\_ADC\_ad0\_interrupt 関数

図 5-9 に r\_Config\_ADC\_ad0\_interrupt のフローチャートを示します。

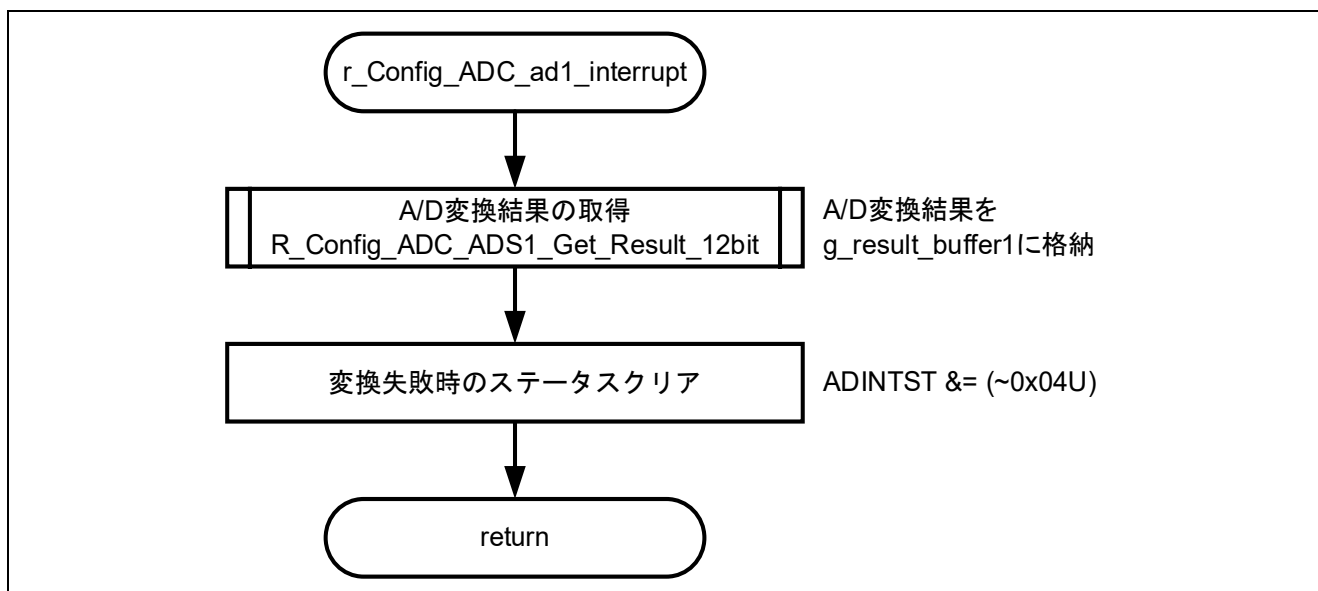
図 5-9 r\_Config\_ADC\_ad0\_interrupt 関数



## 5.1.8.3 r\_Config\_ADC\_ad1\_interrupt 関数

図 5-10 に r\_Config\_ADC\_ad1\_interrupt のフローチャートを示します。

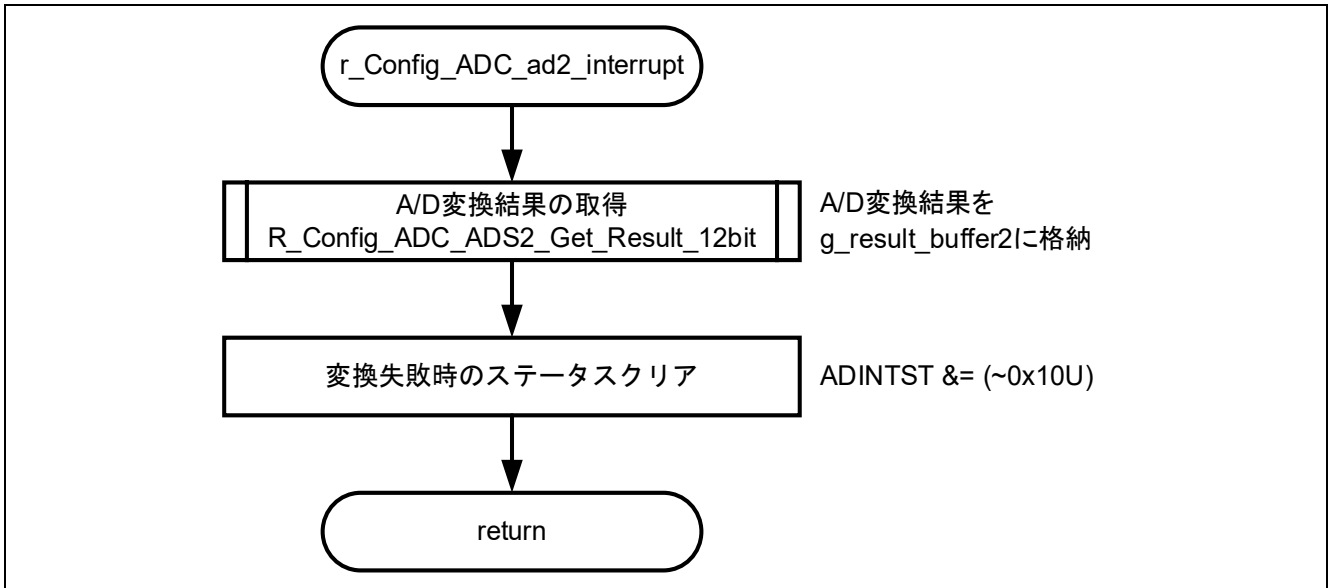
図 5-10 r\_Config\_ADC\_ad1\_interrupt 関数



## 5.1.8.4 r\_Config\_ADC\_ad2\_interrupt 関数

図 5-11 に r\_Config\_ADC\_ad2\_interrupt のフローチャートを示します。

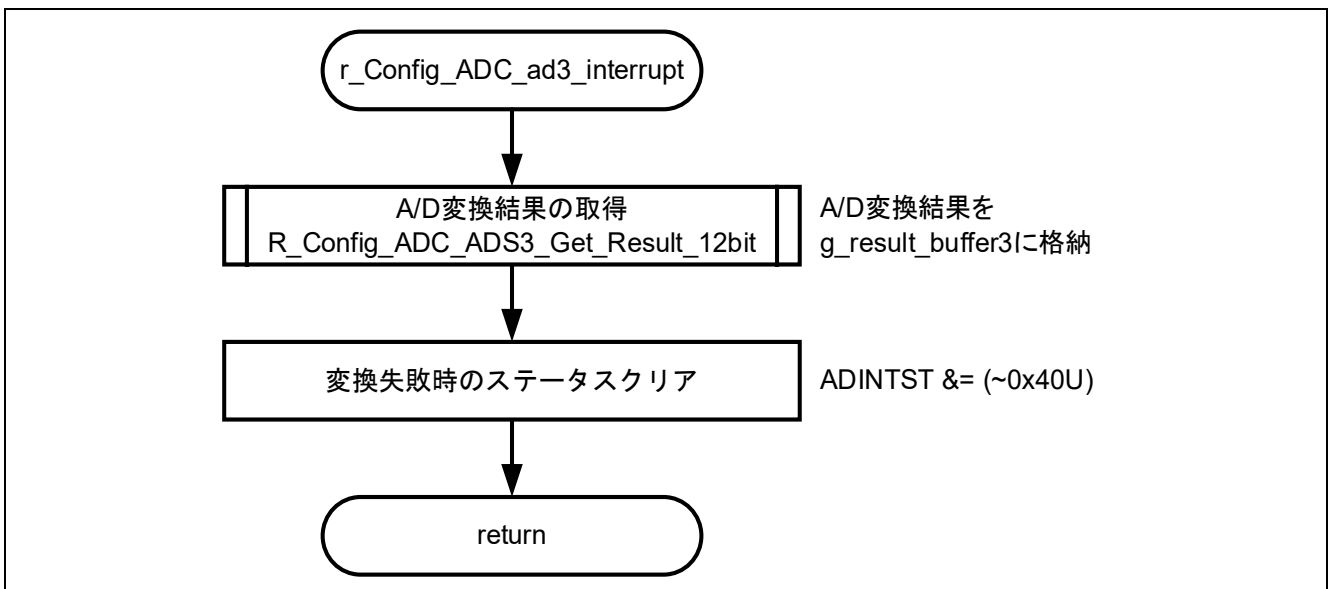
図 5-11 r\_Config\_ADC\_ad2\_interrupt 関数



## 5.1.8.5 r\_Config\_ADC\_ad3\_interrupt 関数

図 5-12 に r\_Config\_ADC\_ad3\_interrupt のフローチャートを示します。

図 5-12 r\_Config\_ADC\_ad3\_interrupt 関数



## 5.2 使用例 2：同時サンプリング

### 5.2.1 スマート・コンフィグレータの設定

本サンプルプログラムにおけるスマート・コンフィグレータの設定を示します。スマート・コンフィグレータの設定における各表の項目、設定内容は設定画面の表記で記載しています。

#### 5.2.1.1 システム設定

本サンプルプログラムで使用しているシステム設定を以下に示します。

なお、本サンプルプログラムで使用しているシステム設定は、統合開発環境 e<sup>2</sup> studio と CS+は同じですが、IAR は異なります。ご使用の環境に合わせて適切な設定を行ってください。

まず、図 5-13 に本サンプルプログラム（e<sup>2</sup> studio、CS+）で使用しているシステム設定を示します。

RL78/G24 Fast Prototyping Board (RTK7RLG240C00000BJ) で COM port デバッグを行う場合、統合開発環境（e<sup>2</sup> studio、CS+）内の設定を適切に行う必要があります。詳細は、「RL78/G24 Fast Prototyping Board ユーザーズマニュアル（R20UT5091J）」の「7.1 e<sup>2</sup> studio で COM port デバッグを使用する場合」と「7.2 CS+を COM port デバッグを使用する場合」を参照してください。

図 5-13 システム設定（e<sup>2</sup> studio、CS+）



次に、図 5-14 に本サンプルプログラム（IAR）で使用しているシステム設定を示します。

図 5-14 システム設定（IAR）

システム設定

オンチップ・デバッグ設定

オンチップ・デバッグ動作設定

使用しない  エミュレータを使う  COMポート

エミュレータ設定

E2  E2 Lite

疑似RRM/DMM機能設定

使用しない  使用する

Start/Stop関数機能設定

使用しない  使用する

通過ポイント機能設定

使用しない  使用する

トレース機能設定

使用しない  使用する

セキュリティID設定

セキュリティIDを設定する

セキュリティID

セキュリティID認証失敗時の設定

フラッシュ・メモリのデータを消去しない  フラッシュ・メモリのデータを消去する



図 5-16 A/D コンバータの設定 (2/2)

**A/Dチャンネル2設定**

A/Dチャンネル2の有効(ADS2)

トリガ要因: ELCITL0 信号

入力ソース: ANI2

変換の優先順位: 低

**A/Dチャンネル3設定** チェックをつける

A/Dチャンネル3の有効(ADS3)

トリガ要因: ソフトウェア・トリガ ソフトウェア・トリガに変更

入力ソース: ANI5 ANI5に変更

変換の優先順位: 低

**変換時間設定**

fCLKは48 MHz以下に設定してください。

変換時間モード: 標準1 20fADに変更

サンプリング・クロック・サイクル: 20 fAD 86/fCLKに変更

変換時間: 86/fCLK (1.7917 μs)

**変換結果上限/下限値設定**

ADLL ≧ ADCRn ≧ ADULで割り込み要求信号(INTAD0からINTAD3)を発生

ADUL < ADCRnまたはADLL > ADCRnで割り込み要求信号(INTAD0からINTAD3)を発生

上限値(ADUL): 255

下限値(ADLL): 0

**割り込み設定** チェックをつける

A/Dチャンネル0 割り込み(INTAD0)を使用 優先順位: レベル3(低優先順位)

ADS0で指定されたアナログ入力チャンネルの変換状態を保存する

A/Dチャンネル1 割り込み(INTAD1)を使用 優先順位: レベル3(低優先順位)

ADS1で指定されたアナログ入力チャンネルの変換状態を保存する

A/Dチャンネル2 割り込み(INTAD2)を使用 優先順位: レベル3(低優先順位)

ADS2で指定されたアナログ入力チャンネルの変換状態を保存する

A/Dチャンネル3 割り込み(INTAD3)を使用 優先順位: レベル3(低優先順位)

ADS3で指定されたアナログ入力チャンネルの変換状態を保存する

表 5-10 コンポーネントの設定 (三相 PWM 出力)

項目	内容
コンポーネント	三相 PWM 出力
コンフィグレーション名	Config_TRD0_TRD1
リソース	TRD0_TRD1
動作モード	相補 PWM モードの拡張

図 5-17 三相 PWM 出力の設定

**設定**

時計の設定  
 クロック・ソース: fTRD (クロック周波数: 96000 kHz, fPLLをfTRDとして選択します)  
 外部クロック・エッジ選択: 立ち上がりエッジ

カウンタ設定  
 TRD0カウンタ動作: TRDGRA0コンパレータ後にもカウンタ継続  
 TRD1カウンタ動作: TRDGRA1コンパレータ後にもカウンタ継続

拡張相補PWM出力設定  
 PWM出力動作: 対称PWM出力 **変更**  
 正相出力レベル: 初期出力 ロー・レベル、アクティブレベル ハイ・レベル **変更**  
 逆相出力レベル: 初期出力 ロー・レベル、アクティブレベル ハイ・レベル **変更**  
 PWM周期: 100 μs (実際の値: 100)  
 デッド・タイム: 5 μs (実際の値: 5)  
 TRDCMPB0値 (PWM1出力): 200  
 正相のアクティブ・レベル幅 (PWM1出力): 50 (%) (実際の値: 50)  
 TRDCMPA1値 (PWM2出力): 200  
 正相のアクティブ・レベル幅 (PWM2出力): 50 (%) (実際の値: 50)  
 TRDCMPB1値 (PWM3出力): 200  
 正相のアクティブ・レベル幅 (PWM3出力): 50 (%) (実際の値: 50)  
 TRDIOC0ピン出力を有効にする  
 TRDIOC0ピン初期出力レベル: 非アクティブ・レベル

パルス出力強制遮断設定  
 INTPO Lowレベル入力による強制遮断許可  
INTPOカットオフを選択した場合は、PWMOPA機能ではINTPOを選択しないでください。  
 ELCイベント入力による強制カット・オフを有効にする  
ELCカットオフを選択した場合は、PWMOPA機能でELCを選択しないでください。  
 PWM1正相 (TRDIOB0): 強制遮断禁止  
 PWM1逆相 (TRDIOD0): 強制遮断禁止  
 PWM2正相 (TRDIOA1): 強制遮断禁止  
 PWM2逆相 (TRDIOC1): 強制遮断禁止  
 PWM3正相 (TRDIOB1): 強制遮断禁止  
 PWM3逆相 (TRDIOD1): 強制遮断禁止  
 PWM出力の1/2周期 (TRDIOC0): 強制遮断禁止

A/Dトリガ信号設定 **チェックをつける**  
 A/Dトリガ0を有効にする  
 A/Dトリガ1を有効にする **変更**  
 A/Dトリガ0モード選択: ダウン・カウント中に比較する **変更**  
 A/Dトリガ0タイミング: 0 μs (実際の値: 0) **0に変更**  
 A/Dトリガ1モード選択: アップ・カウント中に比較する  
 A/Dトリガ0タイミング: 5 μs (実際の値: 0)

間引き制御設定  
 動作開始1周期目の間引き出力許可  
 A/D変換トリガ0の間引き許可  
 タイムINTRD0割り込み要求の間引き許可  
 A/D変換トリガ1の間引き許可  
 タイムINTRD1割り込み要求の間引き許可  
 間引き回数選択: 1間引き

割り込み設定 **チェックをつける**  
 TRDGRA0コンパレータ一致割り込み許可  
 TRDGRA1コンパレータ一致割り込み許可  
 TRD1アンダーフロー割り込み許可  
 TRDGRB0コンパレータ一致割り込み許可  
 TRDGRB1コンパレータ一致割り込み許可  
 INTRD0優先度: レベル3 (低優先順位)  
 INTRD1優先度: レベル3 (低優先順位)

## 5.2.2 フォルダ構成

表 5-11 フォルダ構成にサンプルコードの使用するソースファイル/ヘッダファイルの構成を示します。なお、統合開発環境で自動生成されるファイル、bsp 環境のファイルは除きます。

表 5-11 フォルダ構成

フォルダ、ファイル名	説明	スマート・コンフィグレータを使用
\r01an6973_adc_advanced_mode_simultaneous_sampling<DIR> <sup>注2</sup>	サンプルコードのフォルダ	
\src<DIR>	プログラム格納用フォルダ	
main.c	サンプルコードソースファイル	
\smc_gen<DIR>	スマート・コンフィグレータ生成フォルダ	√
\Config_ADC<DIR>	ADC 用プログラム格納フォルダ	√
Config_ADC.c	ADC 用ソースファイル	√
Config_ADC.h	ADC 用ヘッダファイル	√
Config_ADC_user.c	ADC 用割り込みソースファイル	√
\Config_TRD0<DIR>	TRD0 用プログラム格納フォルダ	√
Config_TRD0.c	TRD0 用ソースファイル	√
Config_TRD0.h	TRD0 用ヘッダファイル	√
Config_TRD0_user.c	TRD0 用割り込みソースファイル	√ <sup>注1</sup>
¥general<DIR>	初期化、共通プログラム格納フォルダ	√
¥r_bsp<DIR>	BSP 用プログラム格納フォルダ	√
¥r_config<DIR>	プログラム格納フォルダ	√

補足 ” <DIR> ” は、ディレクトリを意味します。

注1. 本サンプルコードでは使用しません。

注2. IAR 版のサンプルコードは r01an6973\_adc\_advanced\_mode\_simultaneous\_sampling.ipcf を格納しています。ipcf ファイルについては、「RL78 スマート・コンフィグレータ ユーザーガイド : IAR 編 (R20AN0581)」を確認してください。

### 5.2.3 オプション・バイトの設定一覧

表 5-12 オプション・バイト設定にオプション・バイト設定を示します。

表 5-12 オプション・バイト設定

アドレス	設定値	内容
000C0H/040C0H	1110 1111B (EFH)	ウォッチドッグ・タイマ動作停止 (リセット解除後、カウント停止)
000C1H/040C1H	1111 1011B (FBH)	LVD0 リセット・モード 検出電圧：立ち上がり 2.97V/立下り 2.91V
000C2H/040C2H	1110 1010B (EAH)	フラッシュ動作モード：高速メインモード 高速オンチップ・オシレータの周波数：8MHz
000C3H/040C3H	1000 0101B (85H)	オンチップ・デバッグ動作許可

### 5.2.4 定数一覧

本サンプルコードでは定数は使用しません。

### 5.2.5 変数一覧

表 5-13 サンプルコードで使用する変数に本サンプルコードで使用する変数一覧を以下に示します。

表 5-13 サンプルコードで使用する変数

変数名	型	内容	使用関数
g_result_buffer0	uint16_t	チャンネル 0 A/D 変換結果格納	r_Config_ADC_ad0_interrupt
g_result_buffer1	uint16_t	チャンネル 1 A/D 変換結果格納	r_Config_ADC_ad1_interrupt
g_result_buffer2	uint16_t	チャンネル 2 A/D 変換結果格納	r_Config_ADC_ad2_interrupt
g_result_buffer3	uint16_t	チャンネル 3 A/D 変換結果格納	r_Config_ADC_ad3_interrupt
g_sampling_flg	uint8_t	同時サンプリング実行中を示すフラグ	r_Config_TRD0_TRD1_trd1_interrupt r_Config_ADC_ad2_interrupt

## 5.2.6 関数一覧

表 5-14 関数一覧にサンプルコードで使用する関数を示します。ただし、スマート・コンフィグレータで生成された関数の内、変更を行っていないものは除きます。

表 5-14 関数一覧

関数名	概要	ソースファイル
main	メイン処理	main.c
r_Config_TRD0_TRD1_trd1_interrupt	タイマ RD20 割り込み処理	Config_TRD0_TRD1_user.c
r_Config_ADC_ad0_interrupt	A/D コンバータチャンネル 0 割り込み処理	Config_TRD0_user.c
r_Config_ADC_ad1_interrupt	A/D コンバータチャンネル 1 割り込み処理	Config_TRD0_user.c
r_Config_ADC_ad2_interrupt	A/D コンバータチャンネル 2 割り込み処理	Config_TRD0_user.c
r_Config_ADC_ad3_interrupt	A/D コンバータチャンネル 3 割り込み処理	Config_TRD0_user.c

## 5.2.7 関数仕様

サンプルコードの関数仕様を示します。

## [関数名] main

概要	メイン処理
ヘッダ	r_smc_entry.h
宣言	void main (void);
説明	タイマ RD2、A/D コンバータの動作を開始します。
引数	なし
リターン値	なし
備考	なし

## [関数名] r\_Config\_TRD0\_TRD1\_trd1\_interrupt

概要	タイマ RD20 割り込み処理
ヘッダ	r_cg_macrodriver.h、r_cg_userdefine.h、Config_TRD0_TRD1.h
宣言	static void __near r_Config_TRD0_TRD1_trd1_interrupt(void);
説明	同時サンプリング実行中を示すフラグを 1 にします。
引数	なし
リターン値	なし
備考	なし

## [関数名] r\_Config\_ADC\_ad0\_interrupt

概要	A/D コンバータチャンネル 0 割り込み処理
ヘッダ	r_cg_macrodriver.h、r_cg_userdefine.h、Config_ADC.h
宣言	static void __near r_Config_ADC_ad0_interrupt(void);
説明	A/D 変換が終了すると、A/D 変換結果を ADCR0 レジスタから読み出し、内蔵 RAM の変数に格納します。
引数	なし
リターン値	なし
備考	なし

---

**[関数名] r\_Config\_ADC\_ad1\_interrupt**

---

概要	A/D コンバータチャンネル 1 割り込み処理
ヘッダ	r_cg_macrodriver.h、r_cg_userdefine.h、Config_ADC.h
宣言	static void __near r_Config_ADC_ad1_interrupt(void);
説明	A/D 変換が終了すると、A/D 変換結果を ADCR1 レジスタから読み出し、内蔵 RAM の変数に格納します。
引数	なし
リターン値	なし
備考	なし

---

**[関数名] r\_Config\_ADC\_ad2\_interrupt**

---

概要	A/D コンバータチャンネル 2 割り込み処理
ヘッダ	r_cg_macrodriver.h、r_cg_userdefine.h、Config_ADC.h
宣言	static void __near r_Config_ADC_ad2_interrupt(void);
説明	A/D 変換が終了すると、A/D 変換結果を ADCR2 レジスタから読み出し、内蔵 RAM の変数に格納し、同時サンプリング実行中を示すフラグをクリアします。
引数	なし
リターン値	なし
備考	なし

---

**[関数名] r\_Config\_ADC\_ad3\_interrupt**

---

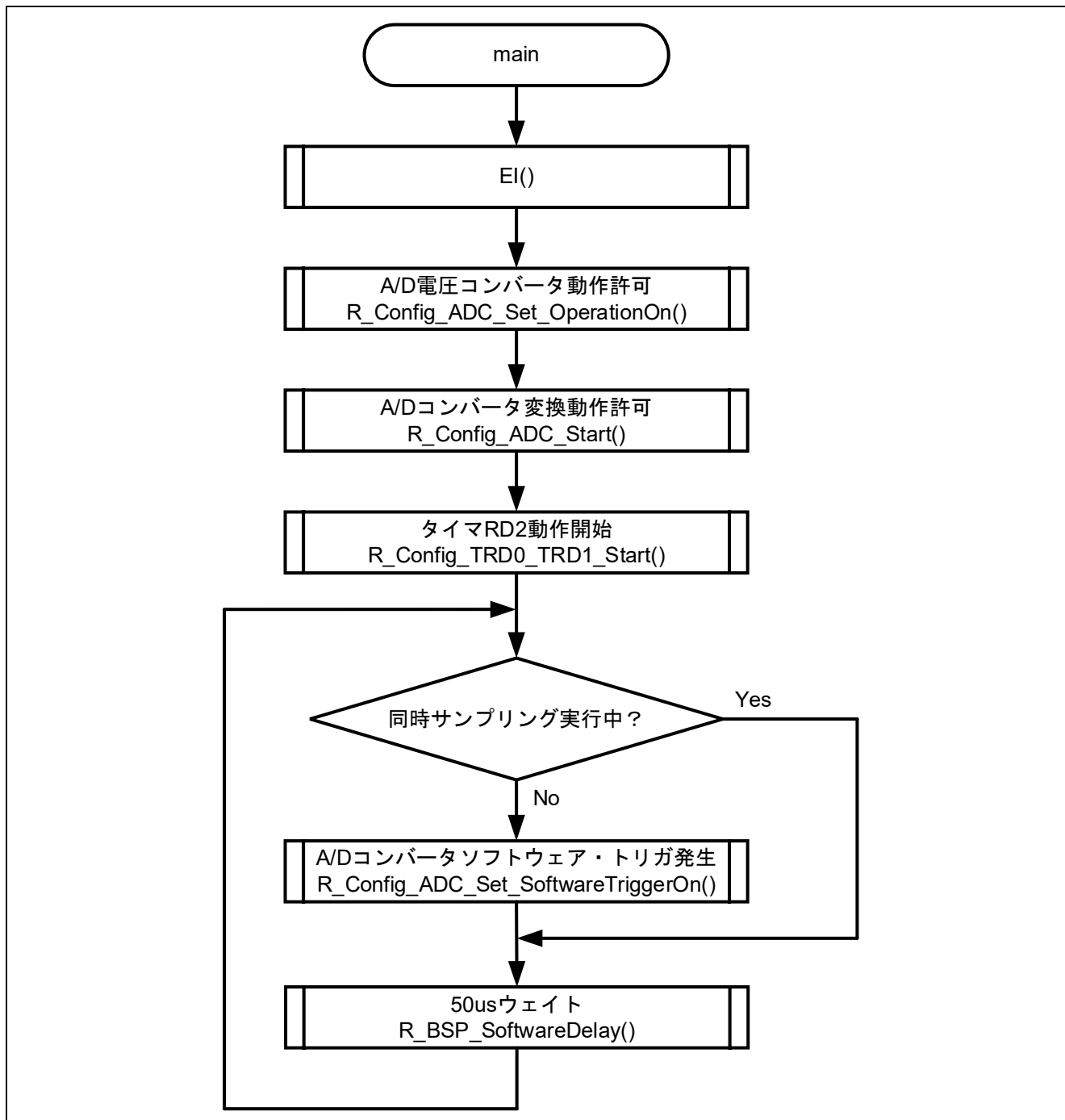
概要	A/D コンバータチャンネル 3 割り込み処理
ヘッダ	r_cg_macrodriver.h、r_cg_userdefine.h、Config_ADC.h
宣言	static void __near r_Config_ADC_ad3_interrupt(void);
説明	A/D 変換が終了すると、A/D 変換結果を ADCR3 レジスタから読み出し、内蔵 RAM の変数に格納します。
引数	なし
リターン値	なし
備考	なし

## 5.2.8 フローチャート

## 5.2.8.1 メイン処理

図 5-18 にメイン処理のフローチャートを示します。

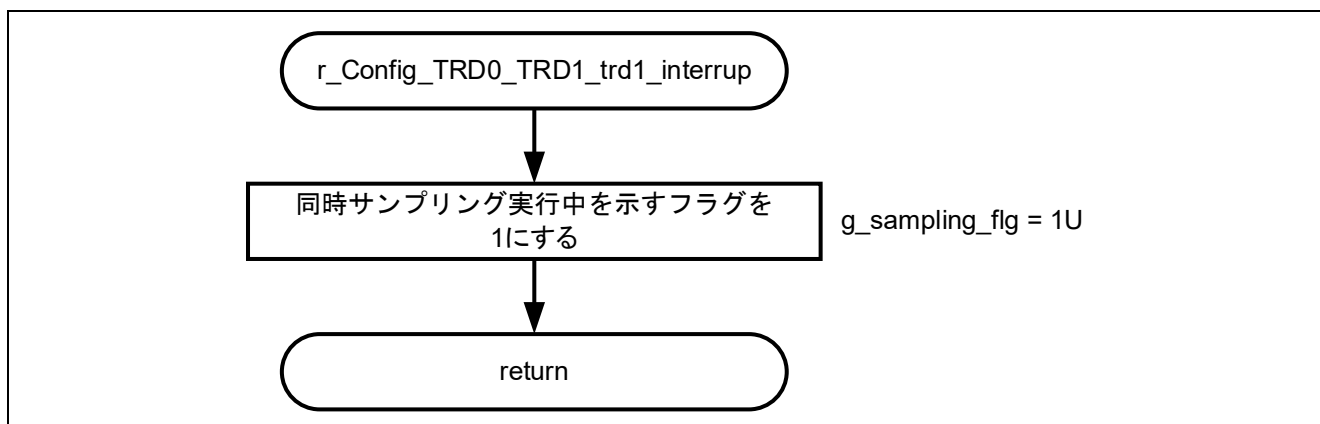
図 5-18 メイン処理



## 5.2.8.2 r\_Config\_TRD0\_TRD1\_trd1\_interrupt 関数

図 5-19 に r\_Config\_TRD0\_TRD1\_trd1\_interrup のフローチャートを示します。

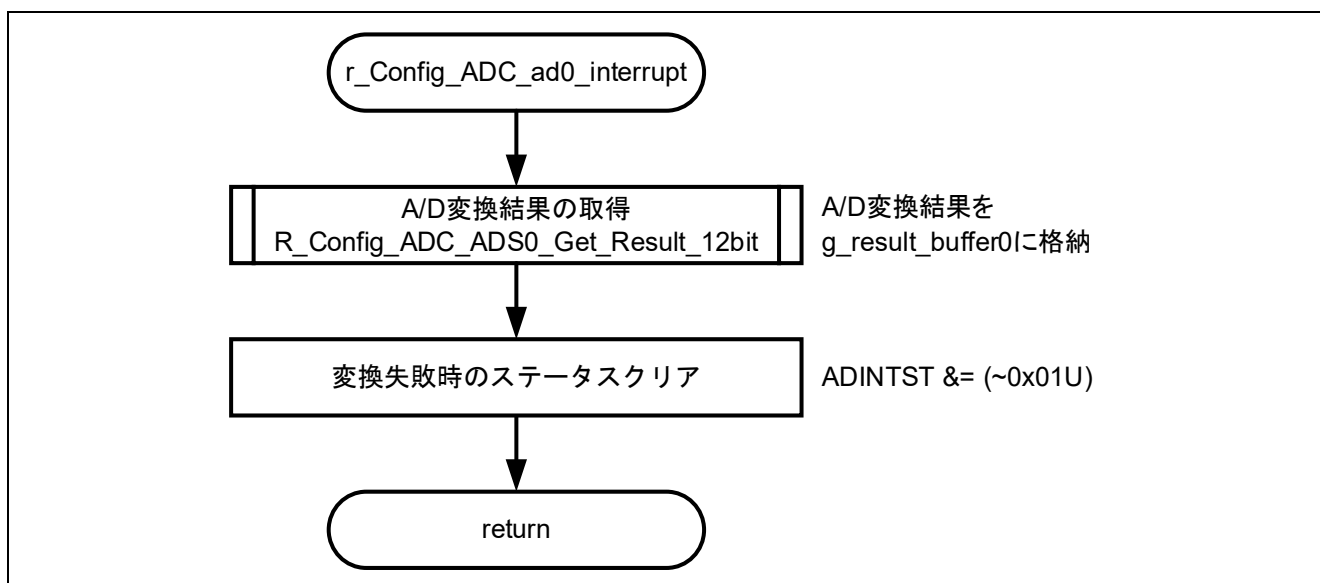
図 5-19 r\_Config\_TRD0\_TRD1\_trd1\_interrup 関数



## 5.2.8.3 r\_Config\_ADC\_ad0\_interrupt 関数

図 5-20 に r\_Config\_ADC\_ad0\_interrupt のフローチャートを示します。

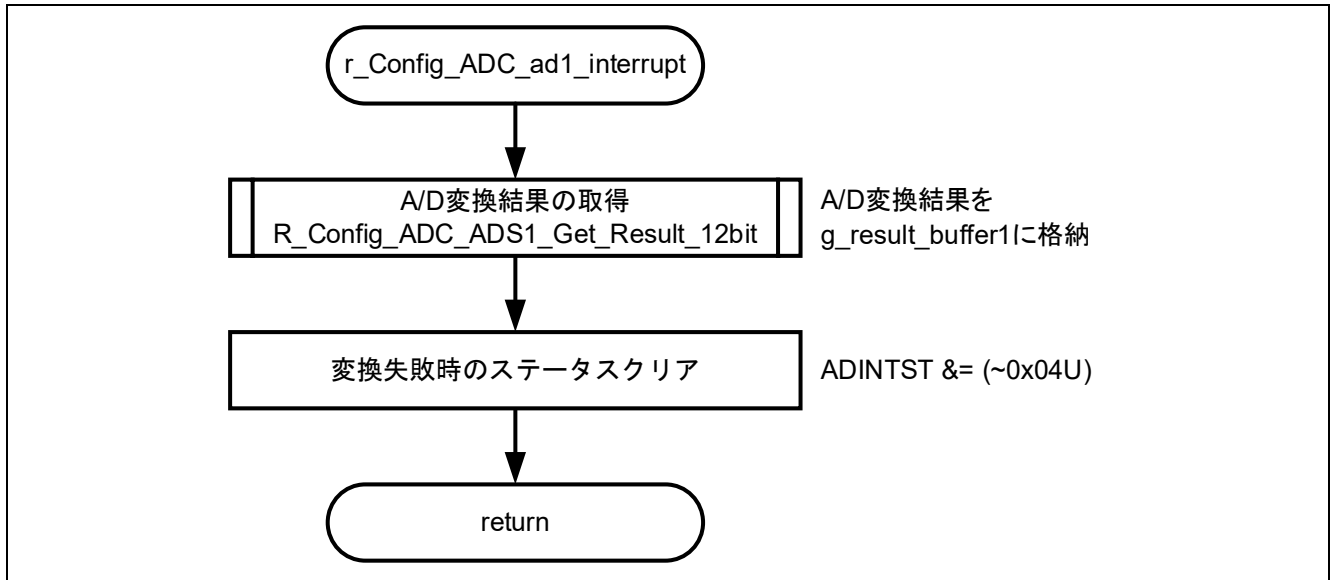
図 5-20 r\_Config\_ADC\_ad0\_interrupt 関数



## 5.2.8.4 r\_Config\_ADC\_ad1\_interrupt 関数

図 5-21 に r\_Config\_ADC\_ad1\_interrupt のフローチャートを示します。

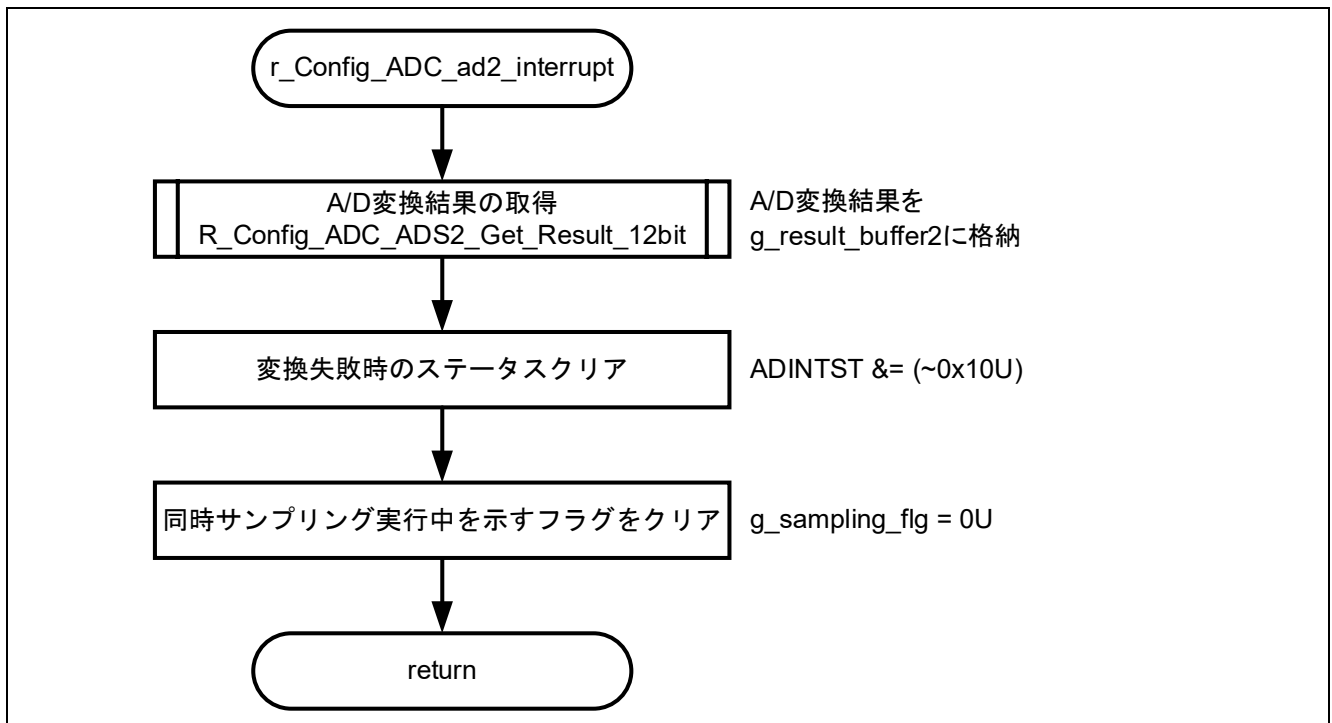
図 5-21 r\_Config\_ADC\_ad1\_interrupt 関数



## 5.2.8.5 r\_Config\_ADC\_ad2\_interrupt 関数

図 5-22 に r\_Config\_ADC\_ad2\_interrupt のフローチャートを示します。

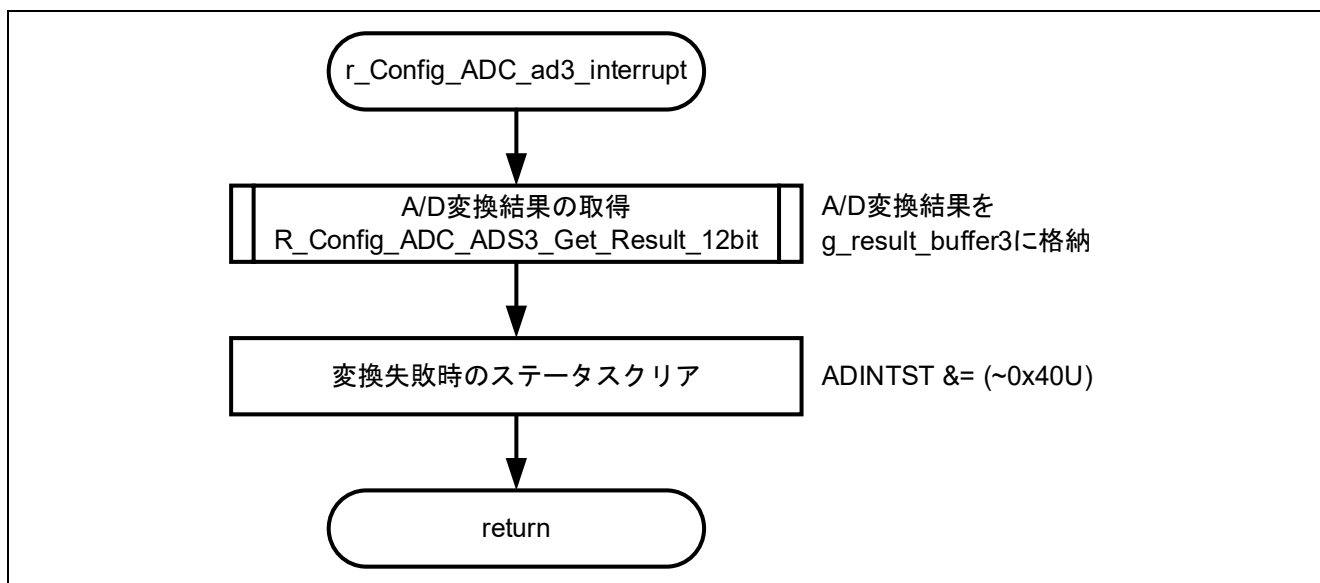
図 5-22 r\_Config\_ADC\_ad2\_interrupt 関数



## 5.2.8.6 r\_Config\_ADC\_ad3\_interrupt 関数

図 5-23 に r\_Config\_ADC\_ad3\_interrupt のフローチャートを示します。

図 5-23 r\_Config\_ADC\_ad3\_interrupt 関数



## 6. サンプルコード

サンプルコードは、ルネサス エレクトロニクスホームページから入手してください。

## 7. 参考ドキュメント

RL78/G24 ユーザーズマニュアル ハードウェア編 (R01UH0961)

RL78 ファミリ ユーザーズマニュアル ソフトウェア編 (R01US0015)

RL78/G24 Fast Prototyping Board ユーザーズマニュアル (R20UT5091)

RL78 スマート・コンフィグレータ ユーザーガイド : CS+編 (R20AN0580)

RL78 スマート・コンフィグレータ ユーザーガイド : e<sup>2</sup> studio 編 (R20AN0579)

RL78 スマート・コンフィグレータ ユーザーガイド : IAR 編 (R20AN0581)

RL78/G24 A/D コンバータ (アドバンスド・モード OFF) (R01AN6992)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新版の情報をルネサス エレクトロニクスホームページから入手してください。)

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2024.11.25	—	初版発行

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 静電気対策

CMOS製品の取り扱いの際は静電気防止を心がけてください。CMOS製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS製品の入力がノイズなどに起因して、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

## 本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレストシア）

[www.renesas.com](http://www.renesas.com)

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

[www.renesas.com/contact/](http://www.renesas.com/contact/)

## 商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。