

RL78/G23

電圧検出回路の使用方法

要旨

本アプリケーションノートでは、RL78/G23 に搭載している 2 つの電圧検出回路 (LVD) の使用方法を説明します。

動作確認デバイス

RL78/G23

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

1. LVD の概要.....	3
1.1 LVD0.....	3
1.1.1 設定方法.....	3
1.1.2 機能.....	3
1.2 LVD1.....	3
1.2.1 設定方法.....	3
1.2.2 機能.....	4
2. LVD の動作モード選択.....	4
3. LVD の動作.....	5
3.1 LVD0: 割り込みモード、LVD1 : 割り込みモード.....	5
3.2 LVD0: リセット・モード、LVD1: 割り込みモード.....	7
3.3 LVD0: 割り込みモード、LVD1: リセット・モード.....	8
3.4 LVD0: リセット・モード、LVD1: リセット・モード.....	10
3.5 電源立ち上がり時の電圧変動について.....	11
3.6 LVD の割り込み処理について.....	11
4. 参考ドキュメント.....	12
改訂記録.....	13

1. LVD の概要

RL78/G23 は電圧検出回路 0 (LVD0) と電圧検出回路 1 (LVD1)を搭載しています。

LVD0 および LVD1 は、電源電圧 (V_{DD}) と検出電圧 (V_{LVD0} 、 V_{LVD1}) を比較し、内部リセットまたは割り込み要求信号を発生します。

電源立ち上がり時は、電気的特性に記載されている AC 特性に示す動作電圧範囲まで、LVD0 か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOP モードに移行するか、LVD0 か外部リセットでリセット状態にしてください。

1.1 LVD0

1.1.1 設定方法

LVD0 はオプション・バイト (000C1H) で動作モードと検出電圧 (V_{LVD0}) を設定します。

1.1.2 機能

LVD0 は、電源電圧 (V_{DD}) と検出電圧 (V_{LVD0}) を比較し、内部リセットまたは割り込み要求信号 (INTLVI) を発生します。検出電圧 (V_{LVD0}) は 6 種類の電圧から 1 つ選択できます。

リセット・モードでは、電源立ち上がり時に $V_{DD} \geq V_{LVD0}$ を検出するまでリセット状態を維持します。電源立ち下がり時は $V_{DD} < V_{LVD0}$ を検出して内部リセットを発生し、再度 $V_{DD} \geq V_{LVD0}$ を検出するまでリセット状態を維持します。

割り込みモードでは、電源立ち上がり時に $V_{DD} \geq V_{LVD0}$ を検出するまでリセット状態を維持します。リセット解除後は、 $V_{DD} < V_{LVD0}$ または $V_{DD} \geq V_{LVD0}$ を検出して割り込み要求信号 (INTLVI) を発生します。

注意. 電源立ち下がり時、電源電圧 (V_{DD}) が検出電圧 (V_{LVD0}) を下回ってから LVD0 が $V_{DD} < V_{LVD0}$ を検出するまでに検出遅延時間 500us を必要とします。検出電圧 (V_{LVD0}) を動作電圧範囲の下限に設定した場合、検出遅延の期間、RL78/G23 が動作電圧範囲外で動作することになります。これを防ぐために、検出遅延の期間に生じる電源電圧の降下分を考慮し、RL78/G23 が常に動作電圧範囲内で動作するように検出電圧 (V_{LVD0})を設定してください。

1.2 LVD1

1.2.1 設定方法

リセット解除時、LVD1 は動作停止になっています。LVD1 を動作させるためには、ユーザ・プログラムで動作モードと検出電圧 (V_{LVD1}) を電圧検出レベル・レジスタ (LVIS) に設定します。

また、リセット解除後、LVIS レジスタは書き換え禁止になっています。下記の手順で LVIS レジスタの書き換えを許可し、LVD1 を有効にします。ただし、LVD1 検出電圧 (V_{LVD1}) は、リセット解除後、**1 回のみ書き換え可能**です。

さらに、ユーザ・プログラムで LVIS レジスタを設定するため、電気的特性に記載されている AC 特性に示す動作電圧範囲まで、LVD0 か外部リセットでリセット状態を保ってください。

- (1) 電圧検出レジスタ (LVIM) の LVISEN ビットを 1 に設定してください。
- (2) 電圧検出レベル・レベル (LVIS) の LVD1EN ビットを 1 に設定、LVD1SEL ビットおよび LVD1V4-0 ビットを設定してください。
- (3) 電圧検出レジスタ (LVIM) の LVISEN ビットを 0 に設定してください。
- (4) 安定待ち時間 (500us 以上) が経過すると LVD1 が有効になります。

1.2.2 機能

LVD1 は、電源電圧 (V_{DD}) と検出電圧 (V_{LVD1}) を比較し、内部リセットまたは割り込み要求信号を発生します。検出電圧 (V_{LVD1}) は 18 種類の電圧から 1 つ選択できます。

リセット・モードでは、動作許可後、 $V_{DD} < V_{LVD1}$ を検出して内部リセットを発生します。リセットが発生すると、電圧検出レベル・レジスタ (LVIS) は初期化されるため、LVD1 は動作停止となります。 $V_{DD} < V_{LVD1}$ の状態で LVD1 を動作許可した場合は、 $V_{DD} \geq V_{LVD1}$ となるまでリセット状態 (CPU 停止) とリセット解除状態 (CPU 動作) を繰り返します。

割り込みモードでは、動作許可後、 $V_{DD} < V_{LVD1}$ を検出して割り込み要求信号 (INTLVI) を発生します。1 回目の検出後は、 $V_{DD} < V_{LVD1}$ または $V_{DD} \geq V_{LVD1}$ を検出して割り込み要求信号 (INTLVI) を発生します。

電源投入時、電圧安定待ち時間 (TYP. 4 ms) とリセット処理時間が経過した後、通常動作 (CPU 動作) が開始されます。そのため、 $V_{DD} \geq V_{LVD1}$ の状態で通常動作が開始される場合は、上記のリセット状態とリセット解除状態の繰り返しは発生せず、電源立ち上がり時に割り込み要求信号 (INTLVI) が発生することはありません。 $V_{DD} < V_{LVD1}$ の状態で通常動作が開始する場合は、「3.5 電源立ち上がり時の電圧変動について」に記載されている対策を実施してください。

2. LVD の動作モード選択

電源立ち下がり時に退避処理を行う場合

割り込みモードを使用してください。ただし、退避処理および検出遅延の期間に生じる電源電圧の降下分を考慮し、RL78/G23 が常に動作電圧範囲内で動作するように検出電圧を設定してください。

- LVD0: 割り込みモード^注、LVD1: オフ
- LVD0: 割り込みモード^注、LVD1: 割り込みモード (条件: $V_{LVD0} < V_{LVD1}$)
- LVD0: リセット・モード、LVD1: 割り込みモード (条件: $V_{LVD0} < V_{LVD1}$)

注. 電気的特性に記載されている AC 特性に示す動作電圧範囲まで、LVD0 か外部リセットでリセット状態を保ってください。LVD0 は、電源投入後、最初の内部リセット解除に利用できます。

注意. LVD0 を割り込みモードかつ $V_{LVD0} > V_{LVD1}$ に設定した場合、リセット解除後の LVD1 設定以降は LVD0 が不定になります。

外部リセットを使用しない場合

RL78/G23 が常に動作電圧範囲内で動作するように LVD を設定する必要があります。検出遅延の期間に生じる電源電圧の降下分を考慮し、常に、RL78/G23 が動作電圧範囲内で動作するように検出電圧を選択し、リセット・モードに設定してください。LVD0 の 6 種類の検出電圧 (V_{LVD0}) に最適な電圧がない場合は LVD1 を併用してください。

- LVD0: リセット・モード、LVD1: オフ
- LVD0: リセット・モード、LVD1: リセット・モード (条件: $V_{LVD0} < V_{LVD1}$)

なお、下記の設定は禁止です。

- LVD0: リセット・モード、LVD1: 割り込みモード (条件: $V_{LVD0} > V_{LVD1}$)
- LVD0: リセット・モード、LVD1: リセット・モード (条件: $V_{LVD0} > V_{LVD1}$)

3. LVD の動作

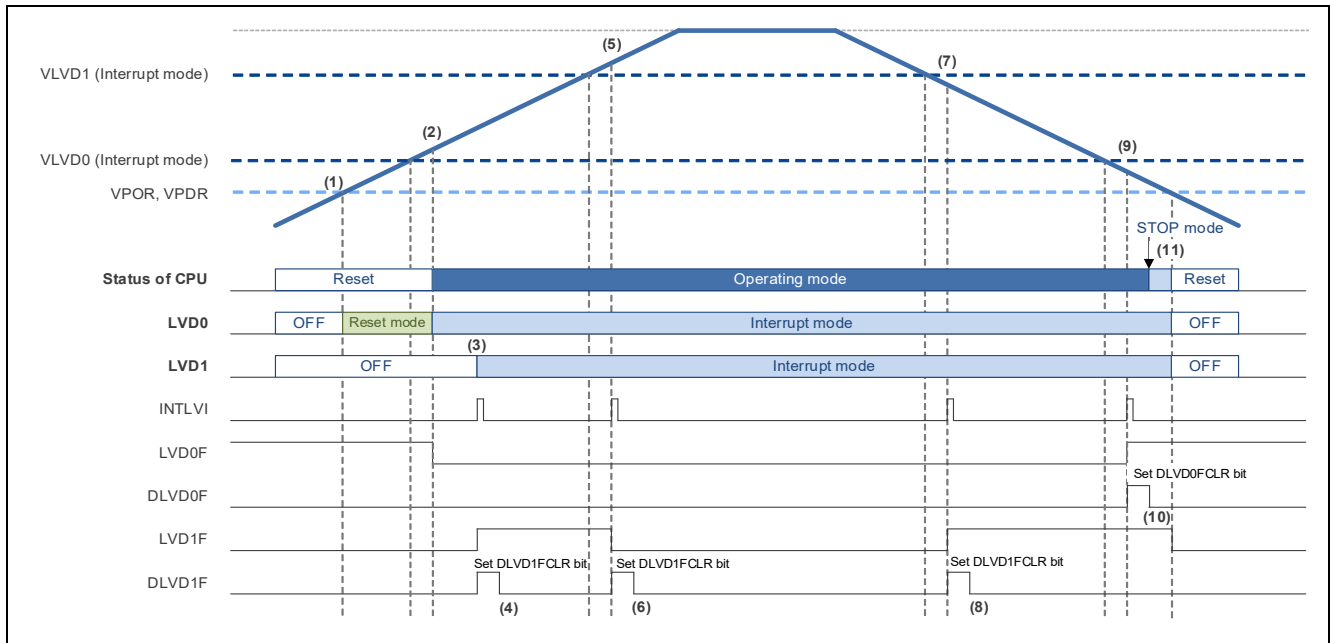
LVD0 と LVD1 を組み合わせた動作について説明します。

3.1 LVD0: 割り込みモード、LVD1 : 割り込みモード

図 3-1 に LVD0: 割り込みモード、LVD1: 割り込みモード、 $V_{LVD0} < V_{LVD1}$ 設定時の動作を示します。

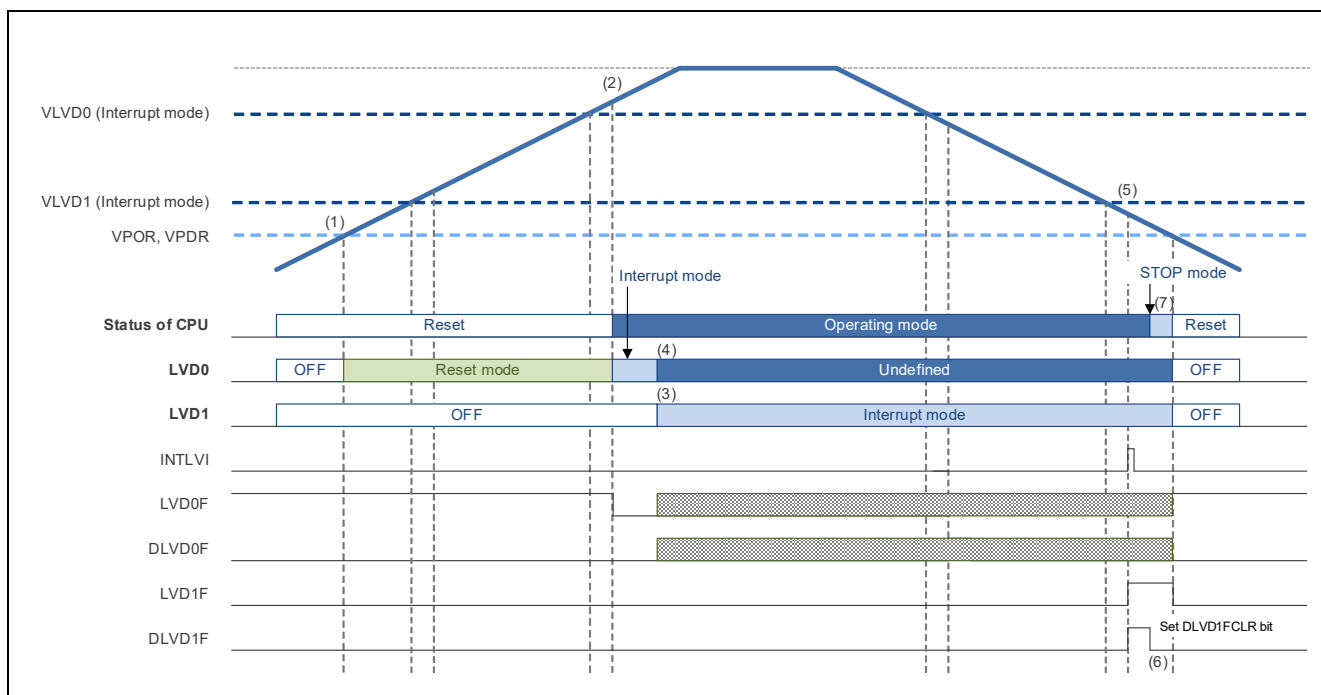
図 3-2 に LVD0: 割り込みモード、LVD1: 割り込みモード、 $V_{LVD0} > V_{LVD1}$ 設定時の動作を示します。

図 3-1 LVD0: 割り込みモード、LVD1: 割り込みモード、 $V_{LVD0} < V_{LVD1}$ 設定時の動作



- (1) LVD0 によってリセットを維持します。
- (2) LVD0 は $V_{DD} \geq V_{LVD0}$ を検出してリセットを解除します。
- (3) ユーザ・プログラムで LVD1 を動作許可します。安定待ち時間が経過すると LVD1 は有効になり、 $V_{DD} < V_{LVD1}$ を検出して割り込み要求信号 (INTLVD) を発生します。
- (4) ユーザ・プログラムで LVDFCLR レジスタの DLVD1FCLR ビットをセットし、DLVD1F フラグをクリアします。 $V_{LVD0} \leq V_{DD} < V_{LVD1}$ の状態でユーザ・プログラム実行を継続します。
- (5) LVD1 は $V_{DD} \geq V_{LVD1}$ を検出して割り込み要求信号 (INTLVD) を発生します。
- (6) ユーザ・プログラムで LVDFCLR レジスタの DLVD1FCLR ビットをセットし、DLVD1F フラグをクリアします。 $V_{DD} \geq V_{LVD1}$ の状態でユーザ・プログラム実行を継続します。
- (7) LVD1 は $V_{DD} < V_{LVD1}$ を検出して割り込み要求信号 (INTLVD) を発生します。
- (8) ユーザ・プログラムで LVDFCLR レジスタの DLVD1FCLR ビットをセットし、DLVD1F フラグをクリアします。 $V_{LVD0} \leq V_{DD} < V_{LVD1}$ の状態でユーザ・プログラム実行を継続します。
- (9) LVD0 は $V_{DD} < V_{LVD0}$ を検出して割り込み要求信号 (INTLVD) を発生します。
- (10) ユーザ・プログラムで LVDFCLR レジスタの DLVD0FCLR ビットをセットし、DLVD0F フラグをクリアします。 $V_{DD} < V_{LVD0}$ の状態でユーザ・プログラム実行を継続します。
- (11) (10)の処理を実行した後、STOP モードへ移行します。

注意 $V_{DD} \geq V_{LVD1}$ の状態で LVD1 を設定した場合、(3)と(5)で割り込み要求信号は発生しません。その場合、(4)と(6)の処理は不要です。

図 3-2 LVD0: 割り込みモード、LVD1: 割り込みモード、 $V_{LVD0} > V_{LVD1}$ 設定時の動作

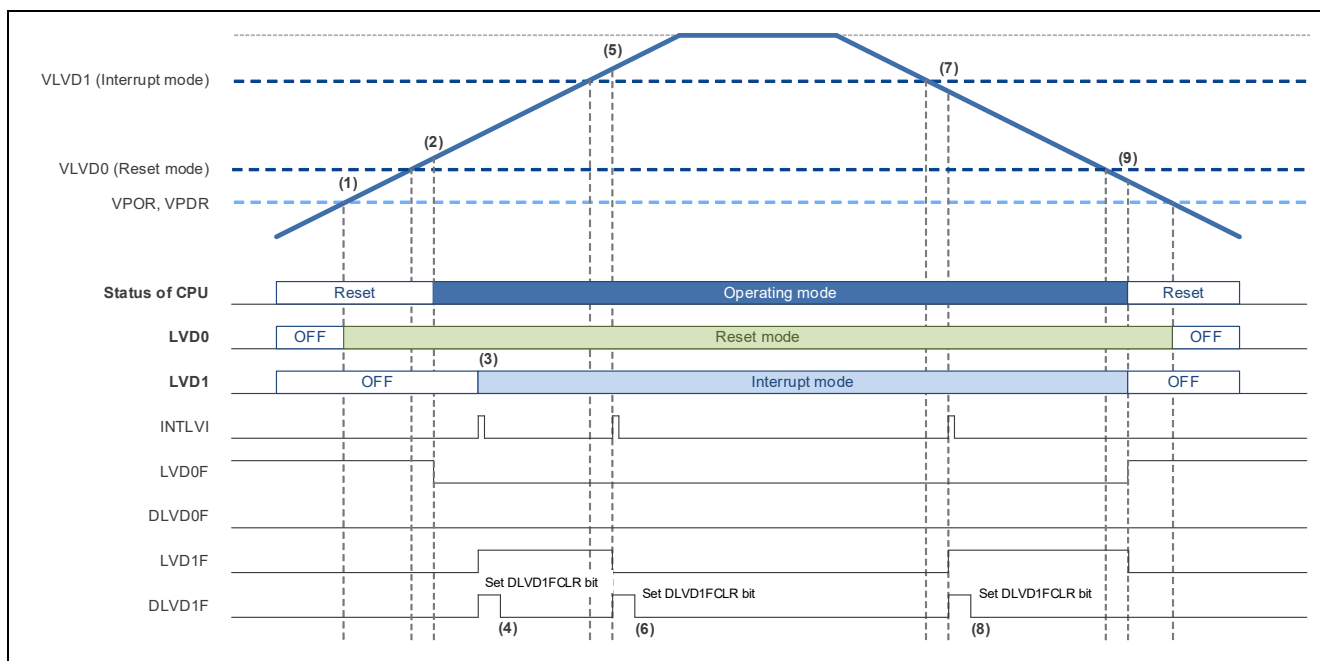
- (1) LVD0 によってリセットを維持します。
- (2) LVD0 は $V_{DD} \geq V_{LVD0}$ を検出してリセットを解除します。
- (3) ユーザ・プログラムで LVD1 を動作許可します。安定待ち時間が経過すると LVD1 は有効になります。 $V_{DD} < V_{LVD1}$ を検出するまで LVD1 による割り込み要求信号 (INTLVD) は発生しません。
- (4) LVD0 は不定です。不定期間に発生した LVD0 による割り込み要求信号 (INTLVD) は利用しないでください。
- (5) LVD1 は $V_{DD} < V_{LVD1}$ を検出して割り込み要求信号 (INTLVD) を発生します。
- (6) ユーザ・プログラムで LVDFCLR レジスタの DLVD1FCLR ビットをセットし、DLVD1F フラグをクリアします。 $V_{DD} < V_{LVD1}$ の状態でユーザ・プログラム実行を継続します。
- (7) (6)の処理を実行した後、STOP モードへ移行します。

3.2 LVD0: リセット・モード、LVD1: 割り込みモード

図 3-3 に LVD0: リセット・モード、LVD1: 割り込みモード、 $V_{LVD0} < V_{LVD1}$ 設定時の動作を示します。

なお、LVD0: リセット・モード、LVD1: 割り込みモード、 $V_{LVD0} > V_{LVD1}$ の設定は禁止です。

図 3-3 LVD0: リセット・モード、LVD1: 割り込みモード、 $V_{LVD0} < V_{LVD1}$ 設定時の動作



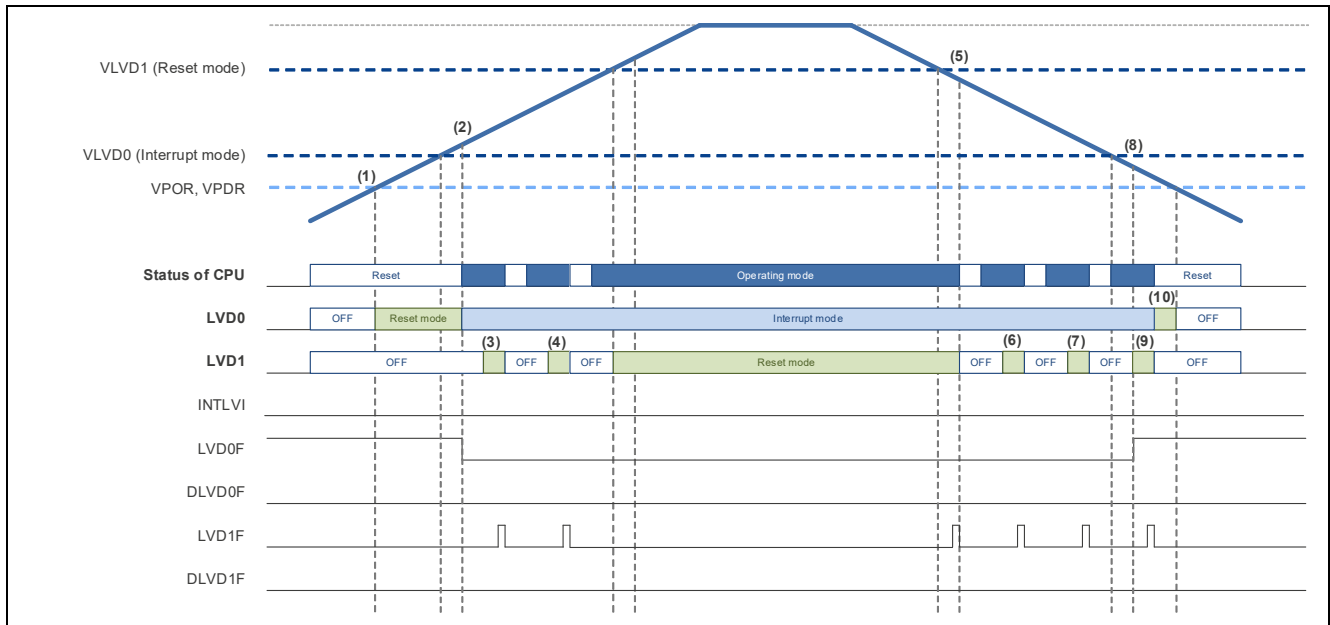
- (1) LVD0 によってリセットを維持します。
- (2) LVD0 は $V_{DD} \geq V_{LVD0}$ を検出してリセットを解除します。
- (3) ユーザ・プログラムで LVD1 を動作許可します。安定待ち時間が経過すると LVD1 は有効になり、 $V_{DD} < V_{LVD1}$ を検出して割り込み要求信号 (INTLVD) を発生します。
- (4) ユーザ・プログラムで LVDFCLR レジスタの DLVD1FCLR ビットをセットし、DLVD1F フラグをクリアします。 $V_{LVD0} \leq V_{DD} < V_{LVD1}$ の状態でユーザ・プログラム実行を継続します。
- (5) LVD1 は $V_{DD} \geq V_{LVD1}$ を検出して割り込み要求信号 (INTLVD) を発生します。
- (6) ユーザ・プログラムで LVDFCLR レジスタの DLVD1FCLR ビットをセットし、DLVD1F フラグをクリアします。 $V_{DD} \geq V_{LVD1}$ の状態でユーザ・プログラム実行を継続します。
- (7) LVD1 は $V_{DD} < V_{LVD1}$ を検出して割り込み要求信号 (INTLVD) を発生します。
- (8) ユーザ・プログラムで LVDFCLR レジスタの DLVD1FCLR ビットをセットし、DLVD1F フラグをクリアします。 $V_{LVD0} \leq V_{DD} < V_{LVD1}$ の状態でユーザ・プログラム実行を継続します。
- (9) LVD0 は $V_{DD} < V_{LVD0}$ を検出して内部リセットを発生します。 $V_{DD} \geq V_{LVD0}$ となるまでリセット状態を維持します。

注意. $V_{DD} \geq V_{LVD1}$ の状態で LVD1 を設定した場合、(3)と(5)で割り込み要求信号は発生しません。その場合、(4)と(6)の処理は不要です。

3.3 LVD0: 割り込みモード、LVD1: リセット・モード

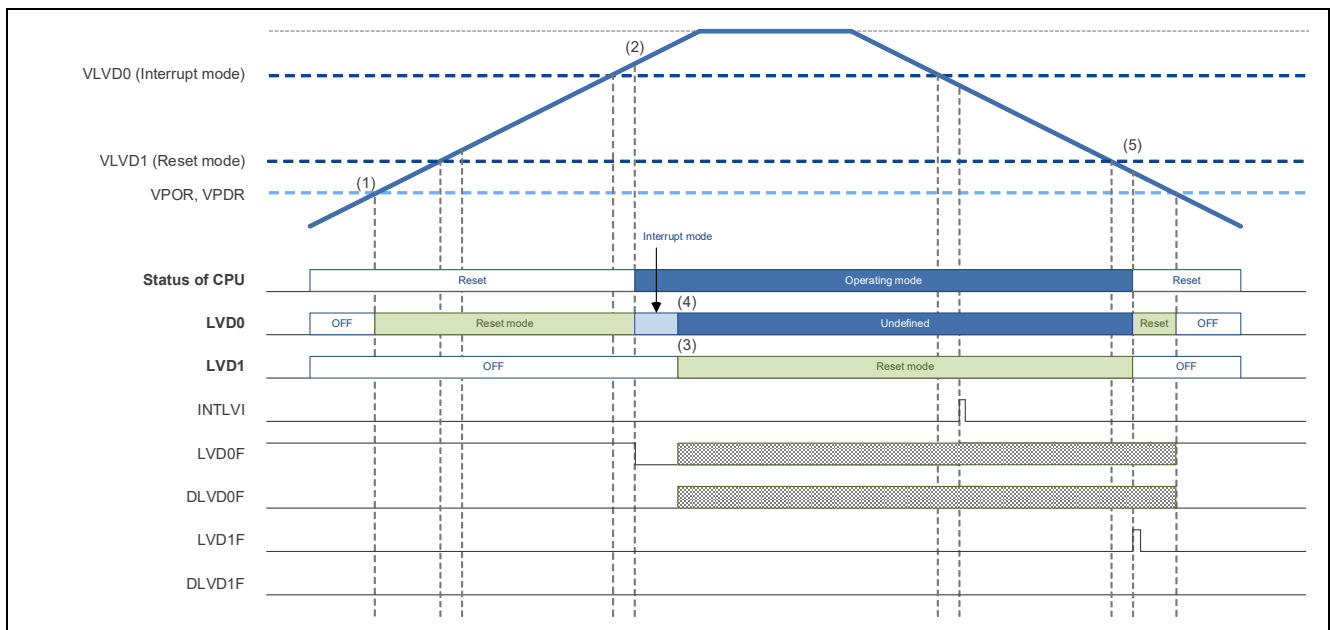
図 3-4 に LVD0: 割り込みモード、LVD1: リセット・モード、 $V_{LVD0} < V_{LVD1}$ 設定時の動作を示します。
 図 3-5 に LVD0: 割り込みモード、LVD1: リセット・モード、 $V_{LVD0} > V_{LVD1}$ 設定時の動作を示します。

図 3-4 LVD0 : 割り込みモード、LVD1 : リセット・モード、 $V_{LVD0} < V_{LVD1}$ 設定時の動作



- (1) LVD0 によってリセットを維持します。
- (2) LVD0 は $V_{DD} \geq V_{LVD0}$ を検出してリセットを解除します。
- (3) ユーザ・プログラムで LVD1 を動作許可します。安定待ち時間が経過すると LVD1 は有効になり、 $V_{DD} < V_{LVD1}$ を検出して内部リセットを発生します。
- (4) LVD1 が $V_{DD} \geq V_{LVD1}$ を検出するまで (3) を繰り返します。
- (5) LVD1 は $V_{DD} < V_{LVD1}$ を検出して内部リセットを発生します。
- (6) ユーザ・プログラムで LVD1 を動作許可します。安定待ち時間が経過すると LVD1 は有効になり、 $V_{DD} < V_{LVD1}$ を検出して内部リセットを発生します。
- (7) LVD0 が $V_{DD} < V_{LVD0}$ を検出するまで (6) を繰り返します。
- (8) LVD0 は $V_{DD} < V_{LVD0}$ を検出して割り込み要求信号 (INTLVD) を発生します。
- (9) LVD1 は $V_{DD} < V_{LVD1}$ を検出して内部リセットを発生します。
- (10) リセットの発生により、LVD0 が割り込みモードからリセット・モードになります。LVD0 によって $V_{DD} \geq V_{LVD0}$ となるまでリセット状態を維持します。

注意. $V_{DD} \geq V_{LVD1}$ の状態で LVD1 を設定した場合、(3)で内部リセットは発生しません。その場合、(4)で記載されている (3) の繰り返しは発生しません。

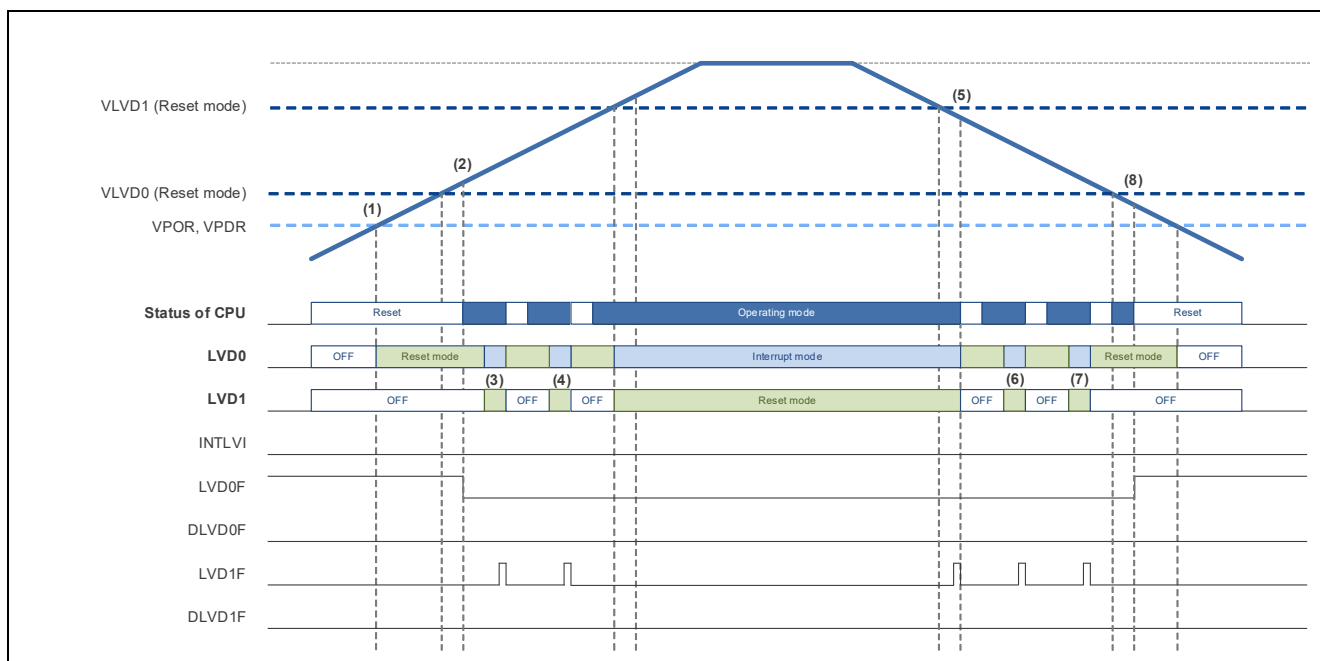
図 3-5 LVD0 : 割り込みモード、LVD1 : リセット・モード、 $V_{LVD0} > V_{LVD1}$ 設定時の動作

- (1) LVD0 によってリセットを維持します。
- (2) LVD0 は $V_{DD} \geq V_{LVD0}$ を検出してリセットを解除します。
- (3) ユーザ・プログラムで LVD1 を動作許可します。安定待ち時間が経過すると LVD1 は有効になります。
- (4) LVD0 は不定です。不定期間に発生した LVD0 による割り込み要求信号 (INTLVD) は利用しないでください。
- (5) LVD1 は $V_{DD} < V_{LVD1}$ を検出してリセットを発生します。

3.4 LVD0: リセット・モード、LVD1: リセット・モード

図 3-6 に LVD0: リセット・モード、LVD1: リセット・モード $V_{LVD0} < V_{LVD1}$ 設定時の動作を示します。
 なお、LVD0: リセット・モード、LVD1: リセット・モード、 $V_{LVD0} > V_{LVD1}$ の設定は禁止です。

図 3-6 LVD0: リセット・モード、LVD1: リセット・モード、 $V_{LVD0} < V_{LVD1}$ 設定時の動作



- (1) LVD0 によってリセットを維持します。
- (2) LVD0 は $V_{DD} \geq V_{LVD0}$ を検出してリセットを解除します。
- (3) ユーザ・プログラムで LVD1 を動作許可します。安定待ち時間が経過すると LVD1 は有効になり、 $V_{DD} < V_{LVD1}$ を検出して内部リセットを発生します。
- (4) LVD1 が $V_{DD} \geq V_{LVD1}$ を検出するまで (3) を繰り返します。
- (5) LVD1 は $V_{DD} < V_{LVD1}$ を検出して内部リセットを発生します。
- (6) ユーザ・プログラムで LVD1 を動作許可します。安定待ち時間が経過すると LVD1 は有効になり、 $V_{DD} < V_{LVD1}$ を検出して内部リセットを発生します。
- (7) LVD0 が $V_{DD} < V_{LVD0}$ を検出するまで (6) を繰り返します。
- (8) LVD0 は $V_{DD} < V_{LVD0}$ を検出して内部リセットを発生します。LVD0 によって $V_{DD} \geq V_{LVD0}$ となるまでリセット状態を維持します。

注意. $V_{DD} \geq V_{LVD1}$ の状態で LVD1 を設定した場合、(3)で内部リセットは発生しません。その場合、(4)で記載されている (3) の繰り返しは発生しません。

3.5 電源立ち上がり時の電圧変動について

電源電圧が LVD0 と LVD1 の検出電圧 (V_{LVD0} 、 V_{LVD1}) 付近で、ある程度ふらつくようなシステムでは、リセット状態とリセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除から RL78/G23 の動作までの時間を任意に設定できます。予め、電源電圧が $V_{DD} \geq V_{LVD0}$ または $V_{DD} \geq V_{LVD1}$ に到達する時間を測定して、RL78/G23 の動作までの時間を決定してください。

- (1) リセットが解除されます。
- (2) RESF レジスタおよび PORSR レジスタにて、リセット要因を確認します。
リセット要因が POR または LVD のときに(3)、(4)の処理を実行します。リセット要因がその他の内部リセットの場合は (5)の処理から実行します。
- (3) タイマ・アレイ・ユニットをインターバル・タイマに設定して、カウント動作を開始します。
- (4) タイマ・アレイ・ユニットの割り込み要求信号が発生するまでウエイトします。ウエイト中にリセットが発生した場合は、再度、(1)から実行します。
- (5) ユーザ・プログラムで LVD1 を動作許可します。
- (6) (3)、(4)のように LVD1 の安定待ち時間 (500us) が経過するまでウエイトします。
- (7) ポートや各周辺機能の初期設定を開始します。
- (8) ユーザ・プログラムを実行します。

3.6 LVD の割り込み処理について

LVD0 と LVD1 は、一つの割り込み要因 (INTLVI) を使用します。このため、LVD0 と LVD1 を割り込みモードで使用した場合は、割り込み処理内で割り込み要因を判定する必要があります。下記の手順で割り込み要因を判定した後、退避処理などのユーザ・プログラムを実行してください。

- (1) LVD0 の割り込み検出フラグ (DLVD0F ビット) を読み出します。
- (2) LVD0 の割り込みを検出していた場合は、電圧検出フラグ (LVD0F ビット) を読み出し、電源電圧と V_{LVD0} の関係を確認します。
- (3) LVD1 の割り込み検出フラグ (DLVD1F ビット)を読み出します。
- (4) LVD1 の割り込みを検出していた場合は、電圧検出フラグ (LVD1F ビット)を読み出し、電源電圧と V_{LVD1} の関係を確認します。
- (5) LVD 検出フラグ・クリア・レジスタの DLVD0FCLR、DLVD1FCLR ビットに 1 を書き込み、LVD0 と LVD1 の割り込み検出フラグ(DLVD0F、DLVD1F ビット)をクリアします。
- (6) (1)~(4)の結果に合わせて、退避処理などのユーザ・プログラムを実行します。

4. 参考ドキュメント

RL78/G23 ユーザーズマニュアルハードウェア編 (R01UH0896J)

RL78 ファミリーユーザーズマニュアルソフトウェア編 (R01US0015J)

(最新版をルネサスエレクトロニクスホームページから入手してください。)

テクニカルアップデート

(最新の情報をルネサスエレクトロニクスホームページから入手してください。)

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Nov. 19. 21	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、VIL (Max.) から VIH (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、VIL (Max.) から VIH (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレスト)

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/