
RL78/G14、R8C/36Mグループ

R01AN4429JJ0100

Rev.1.00

R8CからRL78への移行ガイド：タイマRG

2018.11.30

要旨

本アプリケーションノートでは、R8C/36Mグループのタイマ RG からRL78/G14(64ピン製品)のタイマ RG への移行に関して説明します。

動作確認デバイス

RL78/G14、R8C/36Mグループ

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

1. R8CファミリからRL78ファミリへの移行方法	4
2. RL78/G14とR8C/36Mグループの相違点	6
2.1 機能概要の相違点	6
2.2 タイマモード(インプットキャプチャ機能)の相違点	7
2.3 タイマモード(アウトプットコンペア機能)の相違点	8
2.4 PWMモードの相違点	10
2.5 位相計数モードの相違点	11
2.6 入出力端子の割り当て	12
2.7 イベントリンクコントローラ(ELC)からのイベント入力	12
2.8 レジスタの対比	13
2.9 レジスタの変更点	15
2.9.1 タイマRGモードレジスタ(TRGMR)	15
2.9.2 タイマRG制御レジスタ(TRGCR)	15
2.9.3 タイマ端子選択レジスタ(TIMSR) (R8C/36Mグループのみ)	15
3. 注意事項	16
3.1 入出力端子の設定手順	16
3.1.1 R8C/36Mグループ	16
3.1.2 RL78/G14	16
3.2 SFRリード/ライトアクセス	17
3.2.1 R8C/36Mグループ	17
3.2.2 RL78/G14	17
4. 本サンプルコードでのタイマRGの移行方法	18
5. タイマモード(インプットキャプチャ機能)からの移行例	19
5.1 仕様	19
5.2 動作確認条件	20
5.3 ハードウェア説明	20
5.3.1 ハードウェア構成例	20
5.3.2 使用端子一覧	21
5.4 ソフトウェア説明	21
5.4.1 動作概要	21
5.4.2 オプション・バイトの設定一覧	23
5.4.3 関数一覧	23
5.4.4 関数仕様	24
5.4.5 フローチャート	25
6. タイマモード(アウトプットコンペア機能)からの移行例	42
6.1 仕様	42
6.2 動作確認条件	43
6.3 ハードウェア説明	43
6.3.1 ハードウェア構成例	43
6.3.2 使用端子一覧	44

6.4	ソフトウェア説明	44
6.4.1	動作概要	44
6.4.2	オプション・バイトの設定一覧	46
6.4.3	関数一覧	46
6.4.4	関数仕様	47
6.4.5	フローチャート	48
7.	サンプルコード	62
8.	関連アプリケーションノート	62
9.	参考ドキュメント	62

1. R8C ファミリから RL78 ファミリへの移行方法

本アプリケーションノートでは、R8C/36MグループのタイマRGに搭載されている各動作モード(タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード、位相計数モード)をRL78/G14で実現する方法について説明します。

表1.1に、R8C/36MグループのタイマRGの動作モードを、表1.2にRL78/G14のタイマRGの動作モードを示します。

タイマRGは、16ビットタイマでタイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード、位相計数モードの3種類のモードを持ちます。

タイマモード(インプットキャプチャ機能)では、インプットキャプチャ/アウトプットコンペア端子(TRGIOA、TRGIOB)の入力エッジ(立ち上がりエッジ/立ち下がりエッジ/立ち上がりおよび立ち下がりの両エッジ)を検出してTRGレジスタの値をTRGGRA、TRGGRBレジスタに転送することができます。

タイマモード(アウトプットコンペア機能)では、TRGレジスタとTRGGRAまたはTRGGRBレジスタのコンペアマッチが発生すると、TRGIOAまたはTRGIOB端子から任意のレベル("L"出力/"H"出力/トグル出力)を出力します。

PWMモードでは、TRGGRAレジスタとTRGGRBレジスタをペアで使用し、TRGIOA出力端子よりPWM波形を出力します。TRGGRAレジスタとTRGGRBレジスタのいずれかのコンペア一致をTRGレジスタのカウントクリア要因とすることにより、デューティ比0~100%のPWM波形をTRGIOA端子より出力することができます。

位相計数モードでは、2相エンコーダのカウント数の自動計測が可能です。2本のTRGCLKA、TRGCLKB端子からの外部入力信号の位相差を検出し、TRGレジスタをアップ/ダウンカウントします。

R8C/36MグループのタイマRGとRL78/G14のタイマRGは同じ動作モードがありますので、移行することが可能です。

タイマRGの詳細な相違点につきましては、本アプリケーションノート「2. RL78/G14とR8C/36Mグループの相違点」章にまとめていますので、ご参照ください。

また、「タイマモード(インプットキャプチャ機能)」と「タイマモード(アウトプットコンペア機能)」のサンプルプログラムについては、「5. タイマモード(インプットキャプチャ機能)からの移行例」～「6. タイマモード(アウトプットコンペア機能)からの移行例」をご参照ください。

「PWMモード」と「位相計数モード」のサンプルプログラムについては、「8. 関連アプリケーションノート」章で各動作モードのアプリケーションノートを紹介していますので、ご参考ください。

表1.1 R8C/36MグループのタイマRGの動作モード

R8C/36MグループのタイマRG		
動作モード		機能
タイマモード	- インพุットキャプチャ機能	立ち上がりエッジ、立ち下がりエッジ、立ち上がり/立ち下がりの両エッジでカウント
	- アウトプットコンペア機能	"L"出力/"H"出力/トグル出力
PWM モード		任意のデューティ比の PWM 出力が可能
位相計数モード		2相エンコーダのカウント数の自動計測が可能

表1.2 RL78/G14のタイマRGの動作モード

RL78/G14のタイマRG		
動作モード		機能
タイマモード	- インพุットキャプチャ機能	立ち上がりエッジ、立ち下がりエッジ、立ち上がり/立ち下がりの両エッジでカウント
	- アウトプットコンペア機能	L出力/H出力/トグル出力
PWM モード		任意のデューティ比の PWM 出力が可能
位相計数モード		2相エンコーダのカウント数の自動計測が可能

2. RL78/G14とR8C/36Mグループの相違点

2.1 機能概要の相違点

表2.1にR8C/36MグループのタイマRGとRL78/G14のタイマRGの相違点を示します。

表2.1 機能概要の相違点

項目	R8C/36MグループのタイマRG	RL78/G14のタイマRG
カウントソース	<ul style="list-style-type: none"> • f1 • f2 • f4 • f8 • f32 • fOCO40M • TRGCLKA • TRGCLKB 	<ul style="list-style-type: none"> • f_{CLK} • f_{CLK}/2 • f_{CLK}/4 • f_{CLK}/8 • f_{CLK}/32 • TRGCLKA • TRGCLKB
タイマRGの端子（注1）	P3_0、P3_2、P5_6、P5_7	P00、P01、P50、P51
ELCからのイベント入力	なし	あり

注1. 表2.7を参考にしてください。

2.2 タイマモード(インプットキャプチャ機能)の相違点

R8C/36MグループのタイマRGのタイマモード(インプットキャプチャ機能)の動作は、RL78/G14のタイマRGのタイマモード(インプットキャプチャ機能)に相当します。

表2.2にR8C/36MグループのタイマRGのタイマモード(インプットキャプチャ機能)とRL78/G14のタイマRGのタイマモード(インプットキャプチャ機能)の相違点を示します。

表2.2 タイマRGの相違点(タイマモード(インプットキャプチャ機能))

項目	R8C/36Mグループ(タイマモード (インプットキャプチャ機能))	RL78/G14(タイマモード (インプットキャプチャ機能))
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRGCLKj 端子に入力された外部信号 (プログラムで有効エッジを選択)	fCLK、fCLK/2、fCLK/4、fCLK/8、fCLK/32 TRGCLKA、TRGCLKB 端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント	アップカウント
カウント周期	TRGCR レジスタの CCLR1~CCLR0 ビットが"00b"(フリーランニング動作) の場合： $1/fk \times 65536$ fk：カウントソースの周波数	TRGCR レジスタの TRGCCLR1、 TRGCCLR0 ビットが 00B (フリーランニング動作)の場合： $1/fk \times 65536$ fk：カウントソースの周波数
カウント開始条件	TRGMR レジスタの TSTART ビットへの"1"(カウント開始)書き込み	TRGMR レジスタの TRGSTART ビットへの1 (カウント開始)書き込み
カウント停止条件	TRGMR レジスタの TSTART ビットへの"0"(カウント停止)書き込み	TRGMR レジスタの TRGSTART ビットへの0 (カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インプットキャプチャ (TRGIOj 入力の有効エッジ) TRG レジスタオーバフロー 	<ul style="list-style-type: none"> インプットキャプチャ (TRGIOA、TRGIOB 端子入力の有効エッジ) TRG レジスタオーバフロー
TRGIOA、TRGIOB 端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力 (1 端子ごとに選択)	I/O ポート、またはインプットキャプチャ入力 (1 端子ごとに選択)
TRGCLKA、TRGCLKB 端子機能	プログラマブル入出力ポート、または外部クロック入力	I/O ポート、または外部クロック入力
タイマの読み出し	TRG レジスタを読むと、カウント値が読める	TRG レジスタを読むと、カウント値が読める
タイマの書き込み	TRG レジスタに書き込める	TRG レジスタに書き込める
選択機能	<ul style="list-style-type: none"> インプットキャプチャ入力端子選択：TRGIOA、TRGIOB 端子のいずれか 1 本または両方 インプットキャプチャ入力の有効エッジ選択：立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 TRG レジスタを"0000h"にするタイミング：オーバフロー、またはインプットキャプチャ時 バッファ動作 デジタルフィルタ 	<ul style="list-style-type: none"> インプットキャプチャ入力端子選択：TRGIOA、TRGIOB 端子のいずれか 1 本または両方 インプットキャプチャ入力の有効エッジ選択：立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 TRG レジスタを 0000H にするタイミング：オーバフロー、またはインプットキャプチャ時 バッファ動作 デジタルフィルタ ELC からのイベント入力信号(インプットキャプチャ)によるインプットキャプチャ動作

備考 j = A、B

2.3 タイマモード(アウトプットコンペア機能)の相違点

R8C/36MグループのタイマRGのタイマモード(アウトプットコンペア機能)の動作は、RL78/G14のタイマRGのタイマモード(アウトプットコンペア機能)に相当します。

表2.3および表2.4にR8C/36MグループのタイマRGのタイマモード(アウトプットコンペア機能)とRL78/G14のタイマRGのタイマモード(アウトプットコンペア機能)の相違点を示します。

表2.3 タイマRGの相違点(タイマモード(アウトプットコンペア機能)) (1/2)

項目	R8C/36Mグループ(タイマモード (アウトプットコンペア機能))	RL78/G14(タイマモード (アウトプットコンペア機能))
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRGCLKj 端子に入力された外部信号 (プログラムで有効エッジを選択)	fCLK、fCLK/2、fCLK/4、fCLK/8、fCLK/32 TRGCLKj 端子に入力された外部信号 (プログラムで有効エッジを選択)
カウント動作	アップカウント	アップカウント
カウント周期	<ul style="list-style-type: none"> • TRGCR レジスタの CCLR1~CCLR0 ビットが"00b"(フリーランニング動作)の場合： $1/fk \times 65536$ fk：カウントソースの周波数 • TRGCR レジスタの CCLR1~CCLR0 ビットが"01b"、"10b"(TRGGRj のコンペア一致で TRG を"0000h"にする)の場合： $1/fk \times (n+1)$ n：TRGGRj レジスタの設定値 	<ul style="list-style-type: none"> • TRGCR レジスタの TRGCCLR1、TRGCCLR0 ビットが 00B (フリーランニング動作)の場合： $1/fk \times 65536$ fk：カウントソースの周波数 • TRGCR レジスタの TRGCCLR1、TRGCCLR0 ビットが 01B、10B (TRGGRj のコンペア一致で TRG を 0000H にする)の場合： $1/fk \times (n+1)$ n：TRGGRj レジスタの設定値
波形出力 タイミング	コンペア一致	コンペア一致(TRG レジスタ内容と TRGGRj レジスタの内容が一致)
カウント開始条件	TRGMR レジスタの TSTART ビットへの"1"(カウント開始)書き込み	TRGMR レジスタの TRGSTART ビットへの 1 (カウント開始)書き込み
カウント停止条件	TRGMR レジスタの TSTART ビットへの"0"(カウント停止)書き込み	TRGMR レジスタの TRGSTART ビットへの 0 (カウント停止)書き込み
割り込み要求発生 タイミング	<ul style="list-style-type: none"> • コンペア一致(TRG レジスタと TRGGRj レジスタの内容が一致) • TRG レジスタオーバフロー 	<ul style="list-style-type: none"> • コンペア一致(TRG レジスタと TRGGRj レジスタの内容が一致) • TRG レジスタオーバフロー
TRGIOA、TRGIOB 端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1 端子ごとに選択)	I/O ポート、またはアウトプットコンペア出力(1 端子ごとに選択)
TRGCLKA、 TRGCLKB 端子機能	プログラマブル入出力ポート、 または外部クロック入力	I/O ポート、または外部クロック入力
タイマの読み出し	TRG レジスタを読むと、 カウント値が読める	TRG レジスタを読むと、 カウント値が読める
タイマの書き込み	TRG レジスタに書き込める	TRG レジスタに書き込める

備考 j = A、B

表2.4 タイマRGの相違点(タイマモード(アウトプットコンペア機能)) (2/2)

項目	R8C/36Mグループ(タイマモード (アウトプットコンペア機能))	RL78/G14(タイマモード (アウトプットコンペア機能))
選択機能	<ul style="list-style-type: none"> • アウトプットコンペア出力端子選択： TRG10A、TRG10B 端子の いずれか 1 本または両方 • コンペア一致時の出力レベル選択： “L”出力、“H”出力、または 出力レベル反転 • TRG レジスタを”0000h”にするタイミング： オーバフロー、または TRGGRj レジスタのコンペア一致 • バッファ動作 	<ul style="list-style-type: none"> • アウトプットコンペア出力端子選択： TRG10A、TRG10B 端子の いずれか 1 本または両方 • コンペア一致時の出力レベル選択： L 出力、H 出力、または 出力レベル反転 • TRG レジスタを 0000H にするタイミ ング： オーバフロー、または TRGGRj レジスタのコンペア一致 • バッファ動作

備考 j = A、B

2.4 PWM モードの相違点

R8C/36MグループのタイマRGのPWMモードの動作は、RL78/G14のタイマRGのPWMモードに相当します。

表2.5にR8C/36MグループのタイマRGのPWMモードとRL78/G14のタイマRGのPWMモードの相違点を示します。

表2.5 タイマRGの相違点(PWMモード)

項目	R8C/36Mグループ (PWMモード)	RL78/G14 (PWMモード)
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRGCLKj 端子に入力された外部信号 (プログラムで有効エッジを選択)	fCLK、fCLK/2、fCLK/4、fCLK/8、fCLK/32 TRGCLKj 端子に入力された外部信号 (プログラムで有効エッジを選択)
カウント動作	アップカウント	アップカウント
PWM 波形	<ul style="list-style-type: none"> TRGGRA レジスタに PWM 波形の "H" 出力タイミングを設定 TRGGRB レジスタに PWM 波形の "L" 出力タイミングを設定 	<ul style="list-style-type: none"> TRGGRA レジスタに PWM 波形の H 出力タイミングを設定 TRGGRB レジスタに PWM 波形の L 出力タイミングを設定
カウント開始条件	TRGMR レジスタの TSTART ビットへの "1" (カウント開始) 書き込み	TRGMR レジスタの TRGSTART ビットへの 1 (カウント開始) 書き込み
カウント停止条件	TRGMR レジスタの TSTART ビットへの "0" (カウント停止) 書き込み	TRGMR レジスタの TRGSTART ビットへの 0 (カウント停止) 書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致 (TRG レジスタと TRGGRj レジスタの内容が一致) TRG レジスタオーバフロー 	<ul style="list-style-type: none"> コンペアー一致 (TRG レジスタと TRGGRj レジスタの内容が一致) TRG レジスタオーバフロー
TRGIOA 端子機能	PWM 出力	PWM 出力
TRGIOB 端子機能	プログラマブル入出力ポート	I/O ポート
TRGCLKA、TRGCLKB 端子機能	プログラマブル入出力ポート、または外部クロック入力	I/O ポート、または外部クロック入力
タイマの読み出し	TRG レジスタを読むと、カウント値が読める	TRG レジスタを読むと、カウント値が読める
タイマの書き込み	TRG レジスタに書き込める	TRG レジスタに書き込める
選択機能	<ul style="list-style-type: none"> TRG レジスタを "0000h" にするタイミング： オーバフロー、または TRGGRj レジスタのコンペアー一致 バッファ動作 	<ul style="list-style-type: none"> TRG レジスタを 0000H にするタイミング： オーバフロー、または TRGGRj レジスタのコンペアー一致 バッファ動作

備考 j = A、B

2.5 位相計数モードの相違点

R8C/36MグループのタイマRGの位相計数モードの動作は、RL78/G14のタイマRGの位相計数モードに相当します。

表2.6にR8C/36MグループのタイマRGの位相計数モードとRL78/G14のタイマRGの位相計数モードの相違点を示します。

表2.6 タイマRGの相違点(位相計数モード)

項目	R8C/36Mグループ (位相計数モード)	RL78/G14 (位相計数モード)
カウントソース	TRGCLKj 端子に入力された外部信号	TRGCLKj 端子に入力された外部信号
カウント動作	アップカウント/ダウンカウント	アップカウント/ダウンカウント
カウント開始条件	TRGMR レジスタの TSTART ビットへの"1"(カウント開始)書き込み	TRGMR レジスタの TRGSTART ビットへの1 (カウント開始)書き込み
カウント停止条件	TRGMR レジスタの TSTART ビットへの"0"(カウント停止)書き込み	TRGMR レジスタの TRGSTART ビットへの0 (カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> • インพุットキャプチャ (TRGIOj 入力の有効エッジ) • コンペアー一致(TRG レジスタと TRGGRj レジスタの内容が一致) • TRG レジスタオーバフロー • TRG レジスタアンダフロー 	<ul style="list-style-type: none"> • インพุットキャプチャ (TRGIOj 入力の有効エッジ) • コンペアー一致(TRG レジスタと TRGGRj レジスタの内容が一致) • TRG レジスタオーバフロー • TRG レジスタアンダフロー
TRGIOA 端子機能	プログラマブル入出力ポート、インพุットキャプチャ入力、アウトプットコンペアー出力、または PWM 出力	I/O ポート、インพุットキャプチャ入力、アウトプットコンペアー出力、または PWM 出力
TRGIOB 端子機能	プログラマブル入出力ポート、インพุットキャプチャ入力、またはアウトプットコンペアー出力	I/O ポート、インพุットキャプチャ入力、またはアウトプットコンペアー出力
TRGCLKA、TRGCLKB 端子機能	外部クロック入力	外部クロック入力
タイマの読み出し	TRG レジスタを読むと、カウント値が読める	TRG レジスタを読むと、カウント値が読める
タイマの書き込み	TRG レジスタに書き込める	TRG レジスタに書き込める
選択機能	<ul style="list-style-type: none"> • カウンタの加算/減算条件選択 TRGCNTC レジスタの CNTEN0~CNTEN7 ビットで選択 • インพุットキャプチャ/アウトプットコンペアー機能、PWM 機能を使用可 	<ul style="list-style-type: none"> • カウンタの加算/減算条件選択 TRGCNTC レジスタの CNTEN0~CNTEN7 ビットで選択 • インพุットキャプチャ/アウトプットコンペアー機能、PWM 機能を使用可

備考 j = A、B

2.6 入出力端子の割り当て

表2.7にR8C/36MグループのタイマRGとRL78/G14のタイマRGで使用される入出力端子の割り当てを示します。

表2.7 R8C/36MグループとRL78/G14の入出力端子

端子名	R8C/36Mグループ	RL78/G14	入出力	機能
TRGCLKA	P3_0	P00	入力	<ul style="list-style-type: none"> 位相計数モード時： A相入力 位相計数モード時以外： 外部クロックA入力
TRGCLKB	P3_2	P01	入力	<ul style="list-style-type: none"> 位相計数モード時： B相入力 位相計数モード時以外： 外部クロックB入力
TRGIOA	P5_6	P50	入出力	<ul style="list-style-type: none"> タイマモード (アウトプットコンペア機能)時： TRGGRA アウトプットコンペア出力 タイマモード (インプットキャプチャ機能)時： TRGGRA インプットキャプチャ入力 PWMモード時： PWM出力
TRGIOB	P5_7	P51	入出力	<ul style="list-style-type: none"> タイマモード (アウトプットコンペア機能)時： TRGGRB アウトプットコンペア出力 タイマモード (インプットキャプチャ機能)時： TRGGRB インプットキャプチャ入力

2.7 イベントリンクコントローラ(ELC)からのイベント入力

RL78/G14では、タイマモード、または位相計数モードでインプットキャプチャ機能選択時、ELCからのイベント入力によりインプットキャプチャ動作Bを行うことができます。

2.8 レジスタの対比

表2.8および表2.9にR8C/36MグループのタイマRGとRL78/G14のタイマRGのレジスタ対比表を示します。

表2.8 レジスタの対比 (1/2)

設定項目	R8C/36Mグループ	RL78/G14
周辺ハードウェアへの クロック供給許可/禁止	• MSTCR レジスタ MSTTRG ビット	• PER1 レジスタ TRGEN ビット
PWM モード選択	• TRGMR レジスタ PWM ビット	• TRGMR レジスタ TRGPWM ビット
位相計数モード選択	• TRGMR レジスタ MDF ビット	• TRGMR レジスタ TRGMDF ビット
位相計数モードでの カウント制御	• TRGCNTC レジスタ	• TRGCNTC レジスタ
TRGIOA 端子のデジタル フィルタ機能選択	• TRGMR レジスタ DFA ビット	• TRGMR レジスタ TRGDFA ビット
TRGIOB 端子のデジタル フィルタ機能選択	• TRGMR レジスタ DFB ビット	• TRGMR レジスタ TRGDFB ビット
デジタルフィルタ機能で 使用するクロック選択	• TRGMR レジスタ DFCK0、DFCK1 ビット	• TRGMR レジスタ TRGDFCK0、TRGDFCK1 ビット
TRG カウント開始	• TRGMR レジスタ TSTART ビット	• TRGMR レジスタ TRGSTART ビット
カウントソース選択	• TRGCR レジスタ TCK0~TCK2 ビット	• TRGCR レジスタ TRGTCK0~TRGTCK2 ビット
外部クロック有効エッジ 選択	• TRGCR レジスタ CKEG0、CKEG1 ビット	• TRGCR レジスタ TRGCKEG0、TRGCKEG1 ビット
TRG レジスタクリア 要因選択	• TRGCR レジスタ CCLR0、CCLR1 ビット	• TRGCR レジスタ TRGCCLR0、TRGCCLR1 ビット
割り込み許可選択	• TRGIER レジスタ IMIEA、IMIEB、UDIE、 OVIE ビット	• TRGIER レジスタ TRGIMIEA、TRGIMIEB、TRGUDIE、 TRGOVIE ビット
割り込みフラグ	• TRGSR レジスタ IMFA、IMFB、UDF、OVF、 DIRF ビット	• TRGSR レジスタ TRGIMFA、TRGIMFB、TRGUDF、 TRGOVF、TRGDIRF ビット

•

表2.9 レジスタの対比 (2/2)

設定項目	R8C/36Mグループ	RL78/G14
TRGGRA 制御	• TRGIOR レジスタ IOA0、IOA1 ビット	• TRGIOR レジスタ TRGIOA0、TRGIOA1 ビット
TRGGRA モード選択	• TRGIOR レジスタ IOA2 ビット	• TRGIOR レジスタ TRGIOA2 ビット
TRGGRC レジスタ機能 選択	• TRGIOR レジスタ BUFA ビット	• TRGIOR レジスタ TRGBUFA ビット
TRGGRB 制御	• TRGIOR レジスタ IOB0、IOB1 ビット	• TRGIOR レジスタ TRGIOB0、TRGIOB1 ビット
TRGGRB モード選択	• TRGIOR レジスタ IOB2 ビット	• TRGIOR レジスタ TRGIOB2 ビット
TRGGRD レジスタ機能 選択	• TRGIOR レジスタ BUFB ビット	• TRGIOR レジスタ TRGBUFB ビット
入出力端子選択	• TIMSR レジスタ TRGIOASEL、TRGIOBSEL、 TRGCLKASEL、 TRGCLKBSEL ビット	—
タイマ入出力端子の設定	—	• PM0、PM5 レジスタ • P0、P5 レジスタ
割り込み優先レベル選択	• TRGIC レジスタ ILVL0～ILVL2 ビット	• PR02H レジスタ TRGPR0 ビット • PR12H レジスタ TRGPR1 ビット
割り込み要求ビット	• TRGIC レジスタ IR ビット	• IF2H レジスタ TRGIF ビット
割り込み許可/禁止	—	• MK2H レジスタ TRGMK ビット
ELC インプット キャプチャ要求選択	—	• TRGMR レジスタ TRGELCICE ビット

•

2.9 レジスタの変更点

2.9.1 タイマ RG モードレジスタ(TRGMR)

R8C/36MグループとRL78/G14では、選択できるデジタルフィルタ機能用のクロックが異なります。表2.10にデジタルフィルタ機能用のクロック比較を示します。

表2.10 デジタルフィルタ機能用のクロック比較

R8C/36Mグループ			RL78/G14		
DFCK1 ビット	DFCK0 ビット	機能	TRGDFCK1 ビット	TRGDFCK0 ビット	機能
0	0	f32	0	0	f _{CLK} /32
0	1	f8	0	1	f _{CLK} /8
1	0	f1	1	0	f _{CLK}
1	1	TRGCR レジスタの TCK0~TCK2 ビットで 選択したクロック	1	1	TRGCR レジスタの TRGTCK0~TRGTCK2 ビットで選択したクロック

また、RL78/G14には、TRGELCICE ビットが追加されており、ELC からのイベント入力によるインプットキャプチャ動作を選択できます。

2.9.2 タイマ RG 制御レジスタ(TRGCR)

R8C/36MグループとRL78/G14では、選択できるカウントソースが異なります。表2.11にカウントソース選択比較を示します。

表2.11 カウントソース選択比較

R8C/36Mグループ				RL78/G14			
TCK2 ビット	TCK1 ビット	TCK0 ビット	機能	TRGTCK2 ビット	TRGTCK1 ビット	TRGTCK0 ビット	機能
0	0	0	f1	0	0	0	f _{CLK}
0	0	1	f2	0	0	1	f _{CLK} /2
0	1	0	f4	0	1	0	f _{CLK} /4
0	1	1	f8	0	1	1	f _{CLK} /8
1	0	0	f32	1	0	0	f _{CLK} /32
1	0	1	TRGCLKA 入力	1	0	1	TRGCLKA 入力
1	1	0	fOCO40M	1	1	0	設定しないでください
1	1	1	TRGCLKB 入力	1	1	1	TRGCLKB 入力

2.9.3 タイマ端子選択レジスタ(TIMSR) (R8C/36Mグループのみ)

R8C/36Mグループでは、TIMSR レジスタの設定により、タイマ RG の入出力端子機能が割り当てられている端子を、I/O ポートとして使用するか、タイマ RG の入出力端子として使用するか選択できます。

RL78/G14では、P0 レジスタ、P5 レジスタ、PM0 レジスタ、PM5 レジスタの設定によりタイマ RG の入出力端子として使用できます。

3. 注意事項

3.1 入出力端子の設定手順

3.1.1 R8C/36Mグループ

入出力端子を使用する場合は、タイマRGの関連レジスタを設定する前に、TIMSRレジスタを設定してください。また、タイマRGの動作中はTIMSRレジスタの設定値を変更しないでください。

3.1.2 RL78/G14

RL78/G14では、リセット後、TRGIOA、TRGIOB端子と共用しているI/Oポートは入力ポートとして機能します。

・TRGIOA、TRGIOB端子から出力する場合は、以下の手順で設定してください。

<変更手順>

- (1) モード設定、初期値設定/出力許可設定をする(初期値設定と許可設定を同じSFRで行うため)。
- (2) TRGIOA、TRGIOB端子に対応するP5レジスタのP50、P51ビットを”0”にする。
- (3) TRGIOA、TRGIOB端子に対応するPM5レジスタのPM50、PM51ビットを”0”(出力モード)に設定する(TRGIOA、TRGIOB端子から出力開始)。
- (4) カウントを開始する(TRGMRレジスタのTRGSTARTビットを”1”に設定)。

・TRGIOA、TRGIOB端子に対応するPM5レジスタのPM50、PM51ビットを出力モードから入力モードに変更する場合、以下の手順で設定してください。

<変更手順>

- (1) TRGIOA、TRGIOB端子に対応するPM5レジスタのPM50、PM51ビットを”1”(入力モード)に設定する(TRGIOA、TRGIOB端子から入力開始)。
- (2) インプットキャプチャ機能に設定する。
- (3) カウントを開始する(TRGMRレジスタのTRGSTARTビットを”1”に設定)。

・TRGIOA、TRGIOB端子を出力モードから入力モードに切り替える場合、端子の状態によりインプットキャプチャ動作をすることがあります。デジタルフィルタを使用しない場合、CPUクロックの2サイクル以上経過した後でエッジ検出を行います。デジタルフィルタを使用する場合、デジタルフィルタのサンプリングクロックの5サイクル以上経過した後でエッジ検出を行います。

3.2 SFR リード/ライトアクセス

3.2.1 R8C/36Mグループ

R8C/36Mグループでは、タイマRGを設定する際には、最初にMSTCRレジスタのMSTTRGビットを”0”(アクティブ)にしてください。MSTTRGビットが”1”(スタンバイ)の場合は、タイマRG関連レジスタ(0170h~017Fh番地)へのアクセスは無効になります。

3.2.2 RL78/G14

RL78/G14では、タイマRGを設定する際には、最初にPER1レジスタのTRGENビットを”1”(タイマRGで使用するSFRへのリード/ライト可)にしてください。TRGENビットが”0”(タイマRGで使用するSFRへのリード/ライト不可)の場合は、タイマRGの制御レジスタへの書き込みは無視され、読み出した値もすべて初期値となります(ポート・レジスタ、ポート・モード・レジスタは除く)。

(1) TRGMR レジスタ

デジタルフィルタクロック切り替えの際、以下の設定手順を行ってください。

(a) TRGMR レジスタのTRGSTARTビットが”0”(カウント停止)の状態において、TRGMR レジスタのTRGDFA、TRGDFBビット(TRGIOA、TRGIQB端子のデジタルフィルタ機能選択ビット)、TRGMR レジスタのTRGDFCK0、TRGDFCK1ビット(デジタルフィルタ機能で使用するクロック選択ビット)を設定する。

(b) TRGSTARTビットを”1”(カウント開始)に設定する。

ただし、デジタルフィルタを設定しない場合、リセット直後のTRGDFCK1、TRGDFCK0ビットを”00B”(f_{CLK}/32)から変更しない場合は、1回で設定することができます。

インプットキャプチャの動作要因として、外部入力端子(TRGIOA、TRGIQB)の他に、イベントリンクコントローラ(ELC)からのイベント入力を選択できます。この機能を使用したい場合はTRGMR レジスタのTRGELCICEビットを”1”に設定し、インプットキャプチャ機能(インプットキャプチャの有効エッジは立ち上がりエッジ(TRGIQB2~TRGIOB0ビット”100B”))に設定してください。PWMモード(TRGMR レジスタのTRGPWMビット”1”)やタイマモードのアウトプットコンペア機能時(TRGIOR レジスタのTRGIQB2ビット”0”)、この機能は無効となります。

(2) TRG レジスタ

TRGMR レジスタへの書き込み動作とタイマRG動作条件によるカウンタリセット動作は、TRGMR レジスタへの書き込み動作を優先動作としています。

4. 本サンプルコードでのタイマ RG の移行方法

本サンプルプログラムでは表4.1に示す方法で、R8C/36Mグループのタイマ RG の動作をRL78/G14で実現します。

「PWM モード」および「位相計数モード」のサンプルプログラムについては、「8. 関連アプリケーションノート」章で紹介されているアプリケーションノートをご参照ください。

本アプリケーションノートでは、タイマモード(インプットキャプチャ機能)およびタイマモード(アウトプットコンペア機能)のサンプルプログラムについてのみを説明します。

サンプルプログラムの詳細な内容については、「5. タイマモード(インプットキャプチャ機能)からの移行例」～「6. タイマモード(アウトプットコンペア機能)からの移行例」をご確認ください。

表4.1 本サンプルプログラムでのR8C/36MグループからRL78/G14への移行方法

R8C/36Mグループのタイマ RG	RL78/G14のタイマ RG
動作モード	動作モード
タイマモード(インプットキャプチャ機能)	タイマモード(インプットキャプチャ機能)
タイマモード(アウトプットコンペア機能)	タイマモード(アウトプットコンペア機能)

5. タイマモード(インプットキャプチャ機能)からの移行例

5.1 仕様

RL78/G14のタイマRGを使用することにより、R8C/36MグループのタイマRGのタイマモード(インプットキャプチャ機能)と同様の動作を実現することが可能です。

タイマモード(インプットキャプチャ機能)では、インプットキャプチャ/アウトプットコンペア端子(TRGIOA、TRGIOB)の入力エッジを検出してTRGレジスタの値をTRGGRA、TRGGRBレジスタに転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

インプットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

表5.1に使用する周辺機能と用途を、図5.1に動作概要を示します。

表5.1 使用する周辺機能と用途(タイマモード(インプットキャプチャ機能)からの移行例)

周辺機能	用途
タイマRG (タイマモード(インプットキャプチャ機能))	パルス幅測定

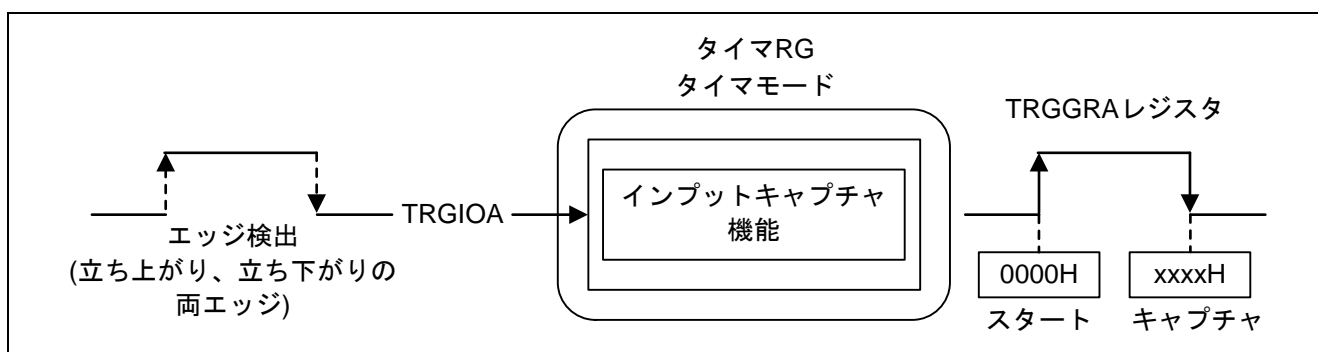


図5.1 動作概要(タイマモード(インプットキャプチャ機能)からの移行例)

注意 図5.1は、有効エッジ選択をTRGIOA1、TRGIOA0ビット = 10B(TRGIOAの両エッジ)に設定した場合の動作例です。

5.2 動作確認条件

本アプリケーションノートのサンプルコードは、下記の条件で動作を確認しています。

表5.2 動作確認条件

項目	内容
使用マイコン	RL78/G14 (R5F104LEAFB)
動作周波数	- 高速オンチップ・オシレータ・クロック(f_{IH}) : 32 MHz - CPU/周辺ハードウェア・クロック(f_{CLK}) : 32 MHz
動作電圧	5.0 V (2.7 V ~ 5.5 V で動作可能) LVD 動作(V_{LVD}) : リセット・モード TYP. 2.75V 電源立ち上がり時 2.76V~2.87V 電源立ち下がり時 2.70V~2.81V
統合開発環境(CS+)	ルネサス エレクトロニクス製 CS+ for CC V6.00.00
C コンパイラ(CS+)	ルネサス エレクトロニクス製 CC-RL V1.05.00
統合開発環境(e ² studio)	ルネサス エレクトロニクス製 e ² studio V6.0.0
C コンパイラ(e ² studio)	ルネサス エレクトロニクス製 CC-RL V1.05.00

5.3 ハードウェア説明

5.3.1 ハードウェア構成例

図5.2に本アプリケーションノートで使用するハードウェア構成例を示します。

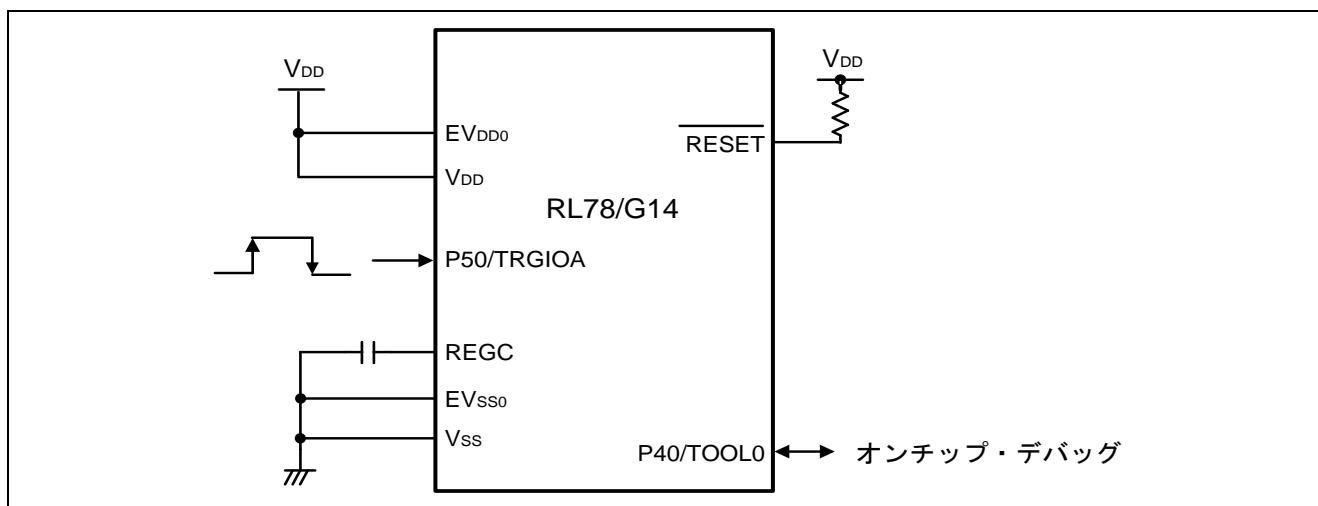


図5.2 ハードウェア構成例(タイマモード(入力キャプチャ機能))

- 注 1. この回路イメージは接続の概要を示す為に簡略化しています。実際に回路を作成される場合は、端子処理などを適切に行い、電気的特性を満たすように設計してください。入力専用ポートは個別に抵抗を介して V_{DD} 又は V_{SS} に接続して下さい。
- 注 2. EV_{SS} で始まる名前の端子がある場合には V_{SS} に、 EV_{DD} で始まる名前の端子がある場合には V_{DD} にそれぞれ接続してください。
- 注 3. V_{DD} は LVD にて設定したリセット解除電圧(V_{LVD})以上にしてください。

5.3.2 使用端子一覧

表5.3に使用端子と機能を示します。

表5.3 使用端子と機能

端子名	入出力	内容
P50/TRGIOA	入力	TRGGRA インพุットキャプチャ入力

5.4 ソフトウェア説明

5.4.1 動作概要

本サンプルコードでタイマRGのタイマモード(インพุットキャプチャ機能)を設定する方法について説明します。

入力端子(TRGIOA)で有効エッジが検出されるごとに、MCUはタイマのカウント値をキャプチャして、入力端子(TRGIOA)に入力されるパルスの時間間隔を測定します。キャプチャ時にタイマ割り込み(INTTRG)が発生し、サンプルコードはパルス間隔を算出して、その結果を内蔵RAMに格納します。

表5.4に使用する周辺機能と用途を示します。図5.3にタイマRGと割り込み要求発生時の動作概要(タイマモード(インพุットキャプチャ機能))を示します。

(1) タイマRGの初期設定を行います。

<設定条件>

タイマRGの動作モードをインพุットキャプチャ機能に設定します。

タイマRGのカウントソースをf_{CLK}に設定します。

TRGIOA端子のインพุットキャプチャを両エッジ検出に設定します。

デジタルフィルタ機能ありに設定します。

オーバフロー割り込みを許可に設定します。

インพุットキャプチャ割り込みを許可に設定します。

TRGIOA端子を入力モードに設定します。

(2) TRGMRレジスタのTRGSTARTビットを"1"(カウント開始)に設定し、タイマRGのカウントを開始します。

(3) HALT命令を実行してタイマRG割り込み(INTTRG)の発生を待ちます。

(4) オーバフロー割り込みが発生すると、オーバフローカウンタの値をインクリメントします。

インพุットキャプチャ割り込みが発生するとパルス幅が算出され、その結果がRAMに格納されます。

(5) 上記(3)、(4)の操作を繰り返します。

表5.4 使用する周辺機能と用途

周辺機能	用途
タイマ RG	TRGIOA 端子のパルス幅を測定

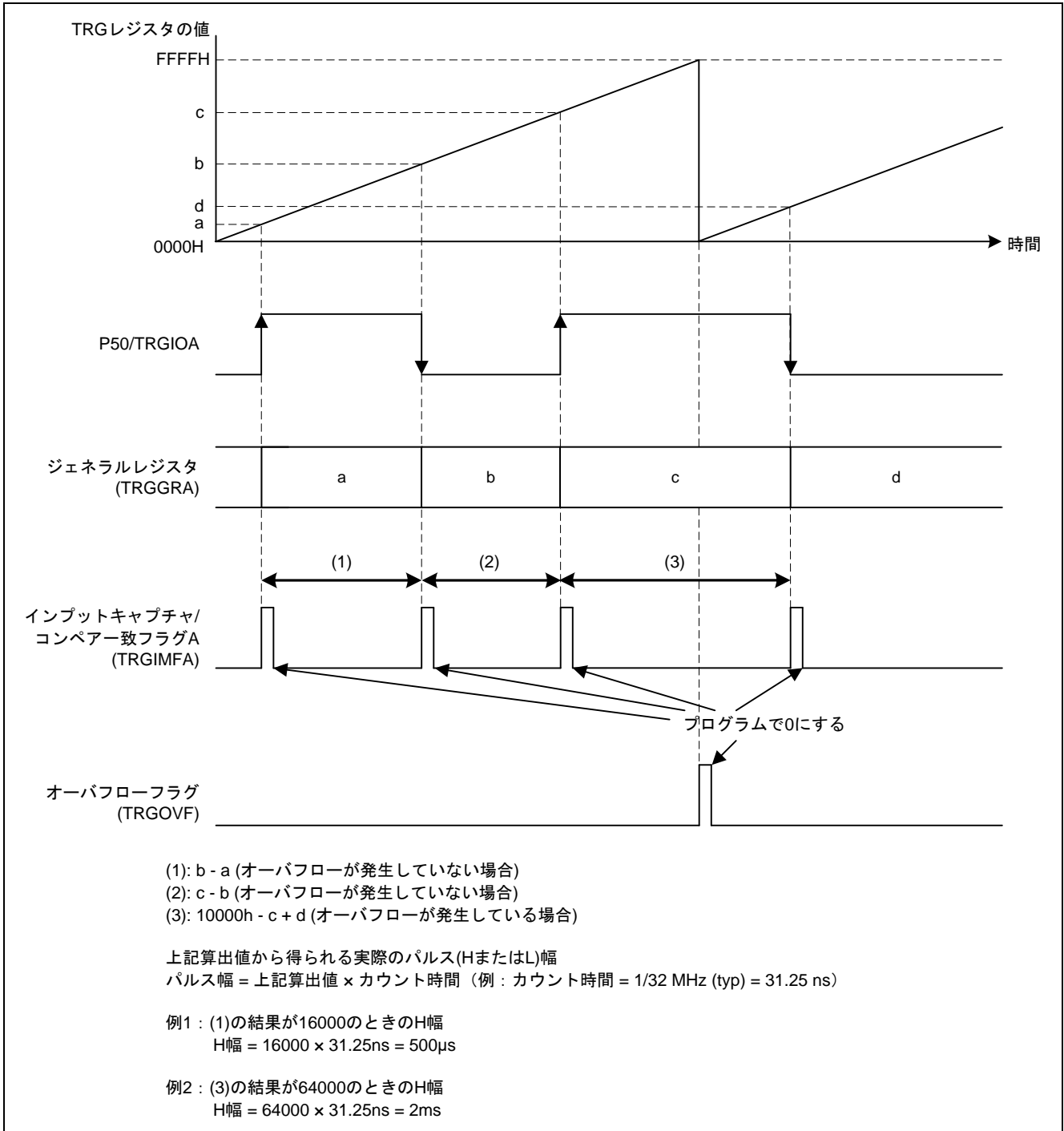


図5.3 タイマ RG と割り込み要求発生動作概要(タイマモード(入力キャプチャ機能))

5.4.2 オプション・バイトの設定一覧

表5.5にオプション・バイト設定を示します。

表5.5 オプション・バイト設定

アドレス	設定値	内容
000C0H/010C0H	01101110B	ウォッチドッグ・タイマ動作停止 (リセット解除後、カウント停止)
000C1H/010C1H	01111111B	LVD リセット・モード TYP. 2.75V 電源立ち上がり時 2.76V~2.87V 電源立ち下がり時 2.70V~2.81V
000C2H/010C2H	11101000B	HS モード 高速オンチップ・オシレータ・クロック 周波数：32 MHz
000C3H/010C3H	10000100B	オンチップ・デバッグ許可

5.4.3 関数一覧

表5.6に関数を示します。

表5.6 関数

関数名	概要
R_TMR_RG0_Create()	タイマ RG の初期設定処理
R_TMR_RG0_Start()	タイマ RG の動作開始処理
r_tmr_rg0_interrupt()	タイマ RG 割り込み処理

5.4.4 関数仕様

サンプルコードの関数仕様を示します。

[関数名] R_TMR_RG0_Create()

概要	タイマ RG の初期設定処理
ヘッダ	r_cg_macrodriver.h r_cg_timer.h r_cg_userdefine.h
宣言	void R_TMR_RG0_Create(void)
説明	タイマ RG の初期設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_TMR_RG0_Start()

概要	タイマ RG の動作開始処理
ヘッダ	r_cg_macrodriver.h r_cg_timer.h r_cg_userdefine.h
宣言	void R_TMR_RG0_Start(void)
説明	タイマ RG 割り込みを許可し、カウント動作を開始します。
引数	なし
リターン値	なし
備考	なし

[関数名] r_tmr_rg0_interrupt()

概要	タイマ RG 割り込み処理
ヘッダ	r_cg_macrodriver.h r_cg_timer.h r_cg_userdefine.h
宣言	static void __near r_tmr_rg0_interrupt(void)
説明	TRGIOA からの波形のパルス幅を測定します。
引数	なし
リターン値	なし
備考	なし

5.4.5 フローチャート

5.4.5.1 全体フローチャート

図5.4に本アプリケーションノートの全体フローを示します。

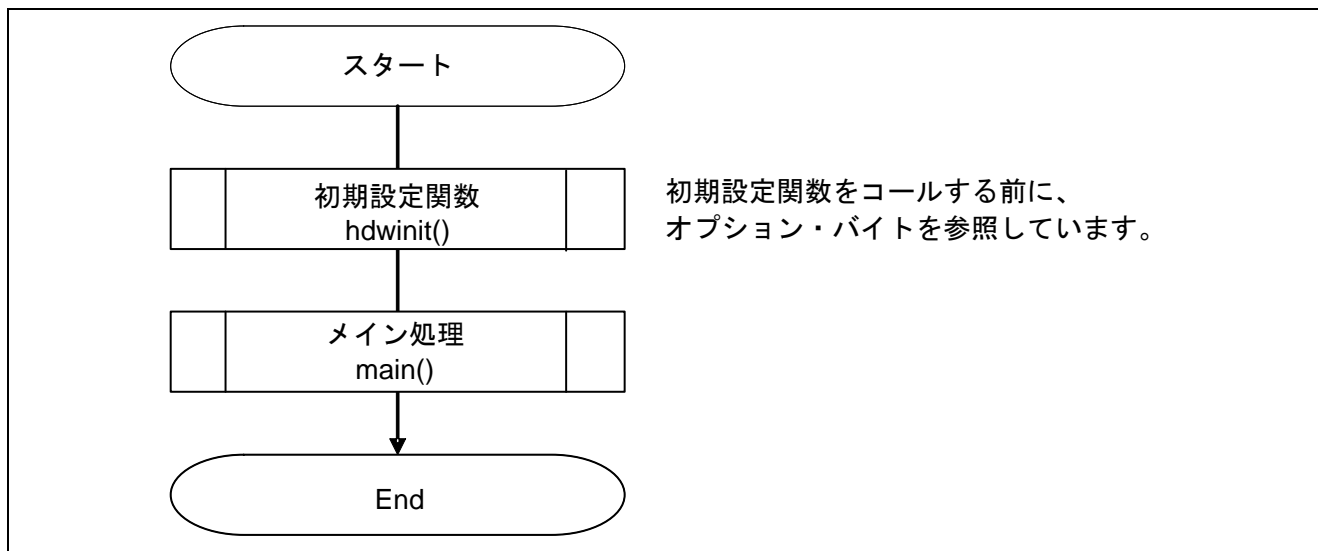


図5.4 全体フロー

5.4.5.2 初期設定関数

図5.5に初期設定関数のフローチャートを示します。

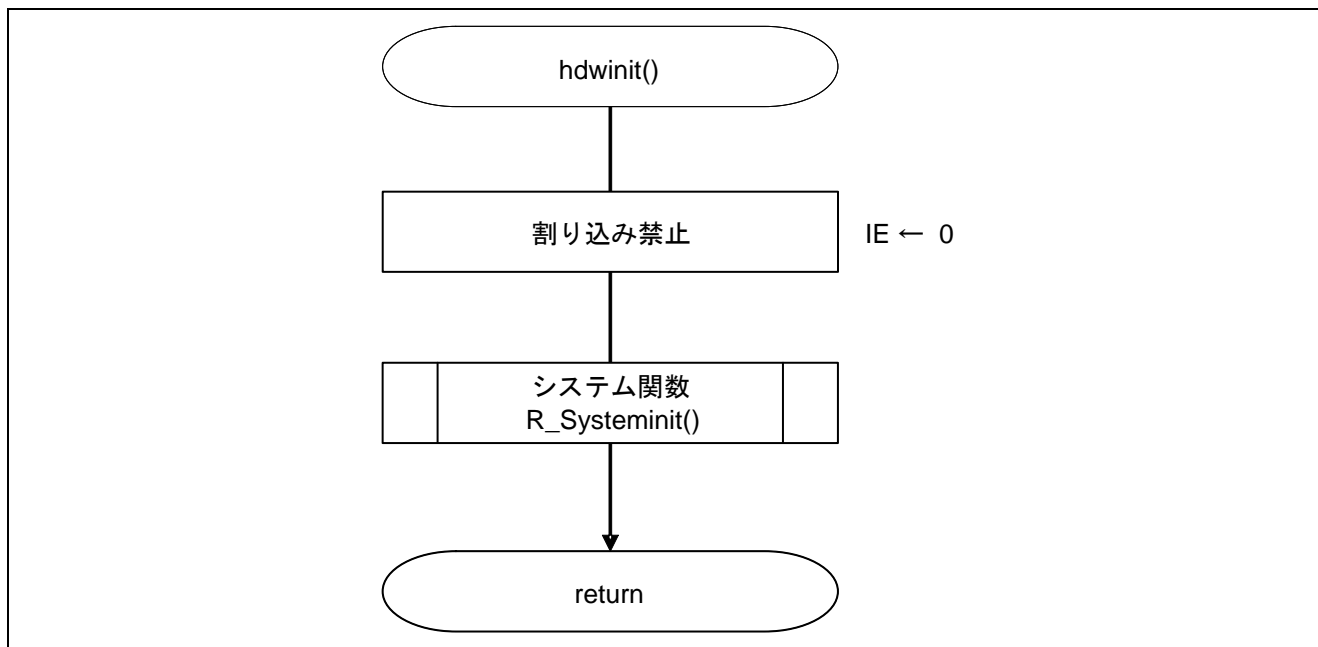


図5.5 初期設定関数

5.4.5.3 システム関数

図5.6にシステム関数のフローチャートを示します。

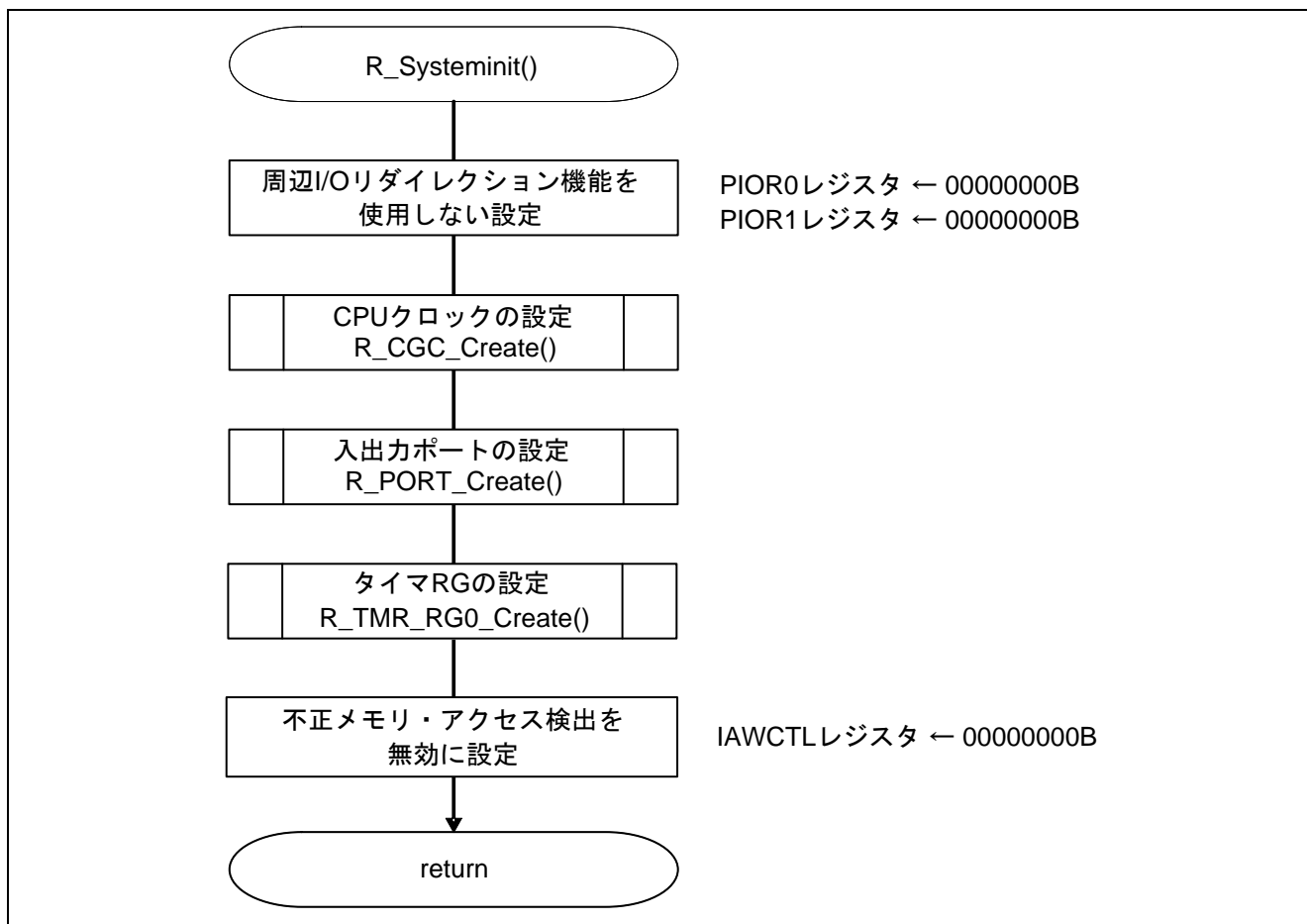


図5.6 システム関数

5.4.5.4 CPUクロックの設定

図5.7にCPUクロックの設定のフローチャートを示します。

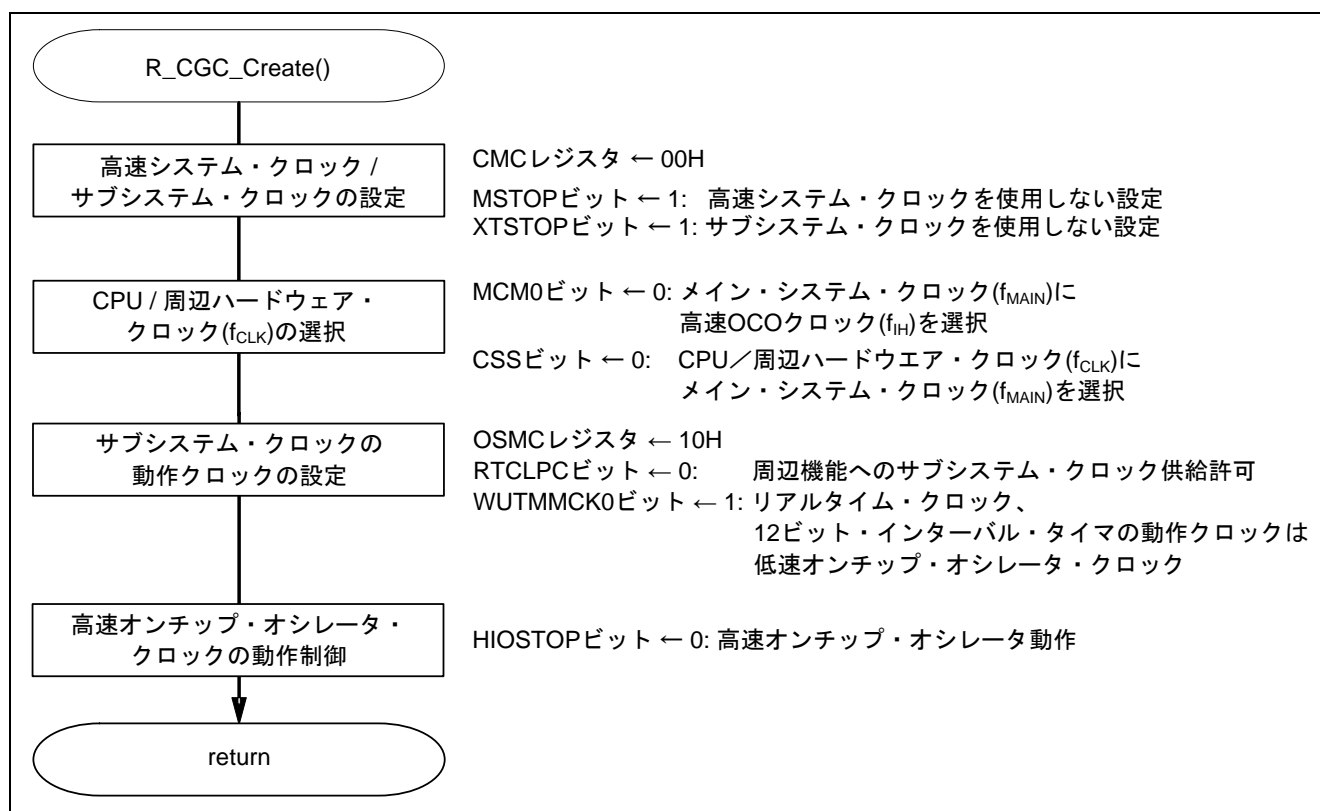


図5.7 CPUクロックの設定

5.4.5.5 入出力ポートの設定

図5.8に入出力ポートの設定のフローチャートを示します。

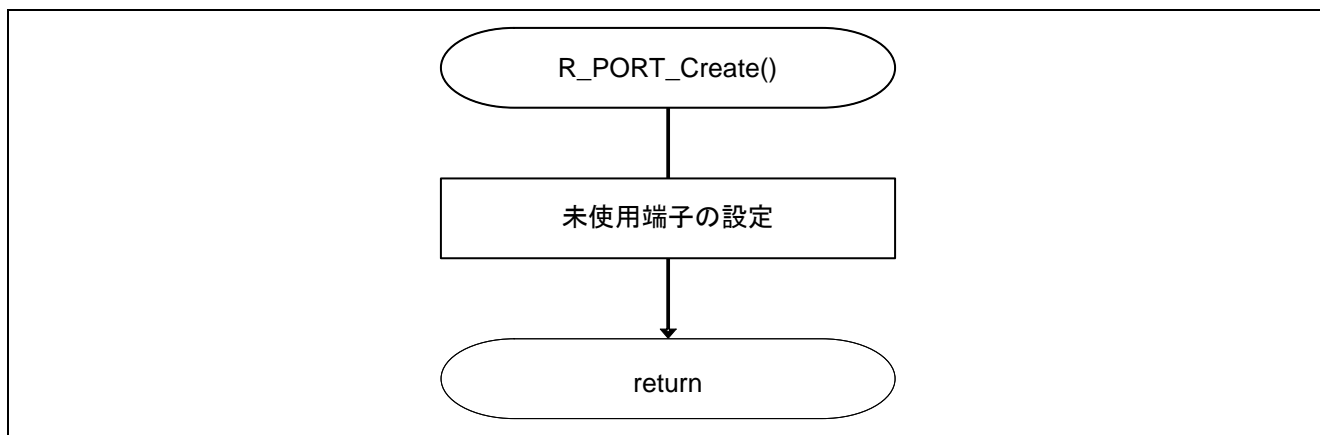


図5.8 入出力ポートの設定

注意 未使用のポートは、端子処理などを適切に行い、電気的特性を満たすように設計してください。また、未使用の入力専用ポートは個別に抵抗を介して V_{DD} 又は V_{SS} に接続して下さい。

5.4.5.6 タイマRGの設定

図5.9にタイマRGの設定のフローチャートを示します。

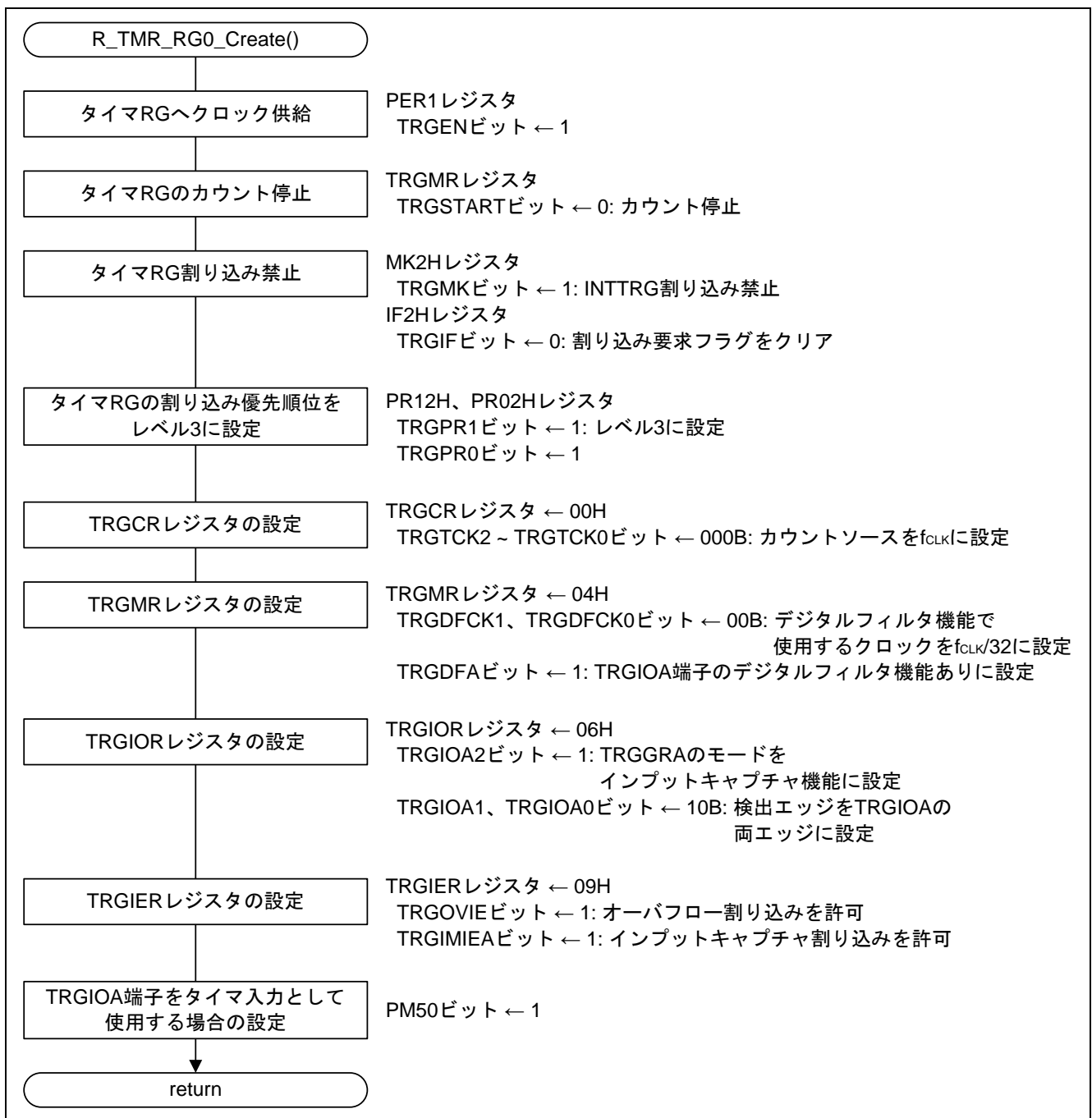


図5.9 タイマRGの設定

タイマ RG へのクロック供給開始

- 周辺イネーブル・レジスタ 1 (PER1)
タイマ RG へクロック供給

略号：PER1

7	6	5	4	3	2	1	0
DACEN	TRGEN	CMPEN	TRD0EN	DTCEN	0	0	TRJ0EN
x	1	x	x	x	0	0	x

ビット 6

TRGEN	タイマ RG の入力クロック供給の制御
0	入力クロック供給停止 • タイマ RG で使用する SFR へのライト不可 • タイマ RG はリセット状態
1	入力クロック供給 • タイマ RG で使用する SFR へのリード/ライト可

タイマ RG の動作と割り込みの設定

- タイマ RG モードレジスタ (TRGMR)
タイマ RG のカウント動作を停止

略号：TRGMR

7	6	5	4	3	2	1	0
TRGSTART	TRGELCICE	TRGDFCK1	TRGDFCK0	TRGDFB	TRGDFA	TRGMDF	TRGPWM
0	x	x	x	x	x	x	x

ビット 7

TRGSTART	TRG カウント開始
0	カウント停止
1	カウント開始

レジスタ表の設定値 x：本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

タイマRG 割り込みの禁止

- 割り込みマスク・フラグ・レジスタ (MK2H)
割り込み処理を禁止
- 割り込み要求フラグ・レジスタ (IF2H)
割り込み要求フラグをクリア

略号：MK2H

7	6	5	4	3	2	1	0
FLMK	IICAMK1	1	SREMK3 TMMK13H	TRGMK	TRDMK1	TRDMK0	PMK11 CMPMK1
x	x	1	x	1	x	x	x

ビット3

TRGMK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

略号：IF2H

7	6	5	4	3	2	1	0
FLIF	IICAIF1	0	SREIF3 TMIF13H	TRGIF	TRDIF1	TRDIF0	PIF11 CMPIF1
x	x	0	x	0	x	x	x

ビット3

TRGIF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

レジスタ表の設定値 x：本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

タイマRGの割り込み優先順位の設定

- 優先順位指定フラグ・レジスタ (PR12H、PR02H)
レベル3(低優先順位)に設定

略号：PR12H

7	6	5	4	3	2	1	0
FLPR1	IICAPR11	1	SREPR13 TMPR113H	TRGPR1	TRDPR11	TRDPR10	PPR111 CMPPR11
x	x	1	x	1	x	x	x

略号：PR02H

7	6	5	4	3	2	1	0
FLPR0	IICAPR01	1	SREPR03 TMPR013H	TRGPR0	TRDPR01	TRDPR00	PPR011 CMPPR01
x	x	1	x	1	x	x	x

ビット3

TRGPR1	TRGPR0	優先順位レベルの選択
0	0	レベル0を指定(高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定(低優先順位)

レジスタ表の設定値 x：本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

タイマRGの動作設定

- タイマRG制御レジスタ (TRGCR)
カウントソースの選択

略号：TRGCR

	7	6	5	4	3	2	1	0
0	TRGCCLR1	TRGCCLR0	TRGCCKEG1	TRGCCKEG0	TRGTCK2	TRGTCK1	TRGTCK0	
0	x	x	x	x	0	0	0	

ビット2-0

TRGTCK2	TRGTCK1	TRGTCK0	カウントソース選択
0	0	0	f _{CLK}
0	0	1	f _{CLK} /2
0	1	0	f _{CLK} /4
0	1	1	f _{CLK} /8
1	0	0	f _{CLK} /32
1	0	1	TRGCLKA 入力
1	1	1	TRGCLKB 入力
上記以外			設定禁止

レジスタ表の設定値 x：本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

- タイマRGモードレジスタ (TRGMR)
デジタルフィルタ機能で使用するクロックの選択

略号：TRGMR

7	6	5	4	3	2	1	0
TRGSTART	TRGELCICE	TRGDFCK1	TRGDFCK0	TRGDFB	TRGDFA	TRGMDF	TRGPWM
x	x	0	0	x	1	x	x

ビット5-4

TRGDFCK1	TRGDFCK0	デジタルフィルタ機能で使用するクロック選択(注1)
0	0	$f_{CLK}/32$
0	1	$f_{CLK}/8$
1	0	f_{CLK}
1	1	TRGCR レジスタの TRGTCK0~TRGTCK2 ビットで選択したクロック

ビット2

TRGDFA	TRGIOA 端子のデジタルフィルタ機能選択
0	デジタルフィルタ機能なし
1	デジタルフィルタ機能あり

デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。

注1. TRGSTART ビットが0 (カウンタ停止) のとき、このビットを設定してください。

レジスタ表の設定値 x: 本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

- タイマ RG I/O 制御レジスタ (TRGIOR)
動作モードの設定と有効エッジの選択

略号：TRGIOR

7	6	5	4	3	2	1	0
TRGBUFB	TRGIOB2	TRGIOB1	TRGIOB0	TRGBUFA	TRGIOA2	TRGIOA1	TRGIOA0
X	X	X	X	X	1	1	0

ビット2

TRGIOA2	TRGGRA モード選択(注1、2)
0	アウトプットコンペア機能
1	インプットキャプチャ機能

ビット1-0

TRGIOA1	TRGIOA0	TRGGRA 制御
0	0	TRGIOA の立ち上がりエッジ
0	1	TRGIOA の立ち下がりエッジ
1	0	TRGIOA の両エッジ
上記以外		設定禁止

インプットキャプチャ機能では、TRG レジスタ内容を TRGGRA へインプットキャプチャ

注1. TRGIOj2 ビット(j = A, B)が1(インプットキャプチャ機能)のとき、TRGGRj レジスタはインプットキャプチャレジスタとして機能します。

注2. TRGIOj2 ビット(j = A, B)が0(アウトプットコンペア機能)のとき、TRGGRj レジスタはコンペア一致レジスタとして機能します。リセット後 TRGIOj0、TRGIOj1 を設定し、最初のコンペア一致が発生するまで、

TRGIOj 端子からは、

TRGIOj1、TRGIOj0 = 01B のとき H 出力

10B のとき L 出力

11B のとき L 出力

この TRGIOR レジスタは、タイマモードにおいて入出力の端子制御をします。PWM モードでは無効になります。TRGIOR レジスタはカウント停止中(TRGMR レジスタの TRGSTART = 0)に設定してください。

レジスタ表の設定値 ×：本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

- タイマ RG 割り込み許可レジスタ (TRGIER)
割り込みの許可/禁止

略号：TRGIER

7	6	5	4	3	2	1	0
0	0	0	0	TRGOVIE	TRGUDIE	TRGIMIEB	TRGIMIEA
0	0	0	0	1	0	0	1

ビット3

TRGOVIE	オーバフロー割り込み許可
0	TRGOVF ビットによる割り込みを禁止
1	TRGOVF ビットによる割り込みを有効

ビット2

TRGUDIE	アンダフロー割り込み許可
0	TRGUDF ビットによる割り込みを禁止
1	TRGUDF ビットによる割り込みを有効

ビット1

TRGIMIEB	インプットキャプチャ/コンペアー一致割り込み許可 B
0	TRGIMFB ビットによる割り込みを禁止
1	TRGIMFB ビットによる割り込みを有効

ビット0

TRGIMIEA	インプットキャプチャ/コンペアー一致割り込み許可 A
0	TRGIMFA ビットによる割り込みを禁止
1	TRGIMFA ビットによる割り込みを有効

レジスタ表の設定値 ×：本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

5.4.5.7 メイン処理

図5.10にメイン処理のフローチャートを示します。

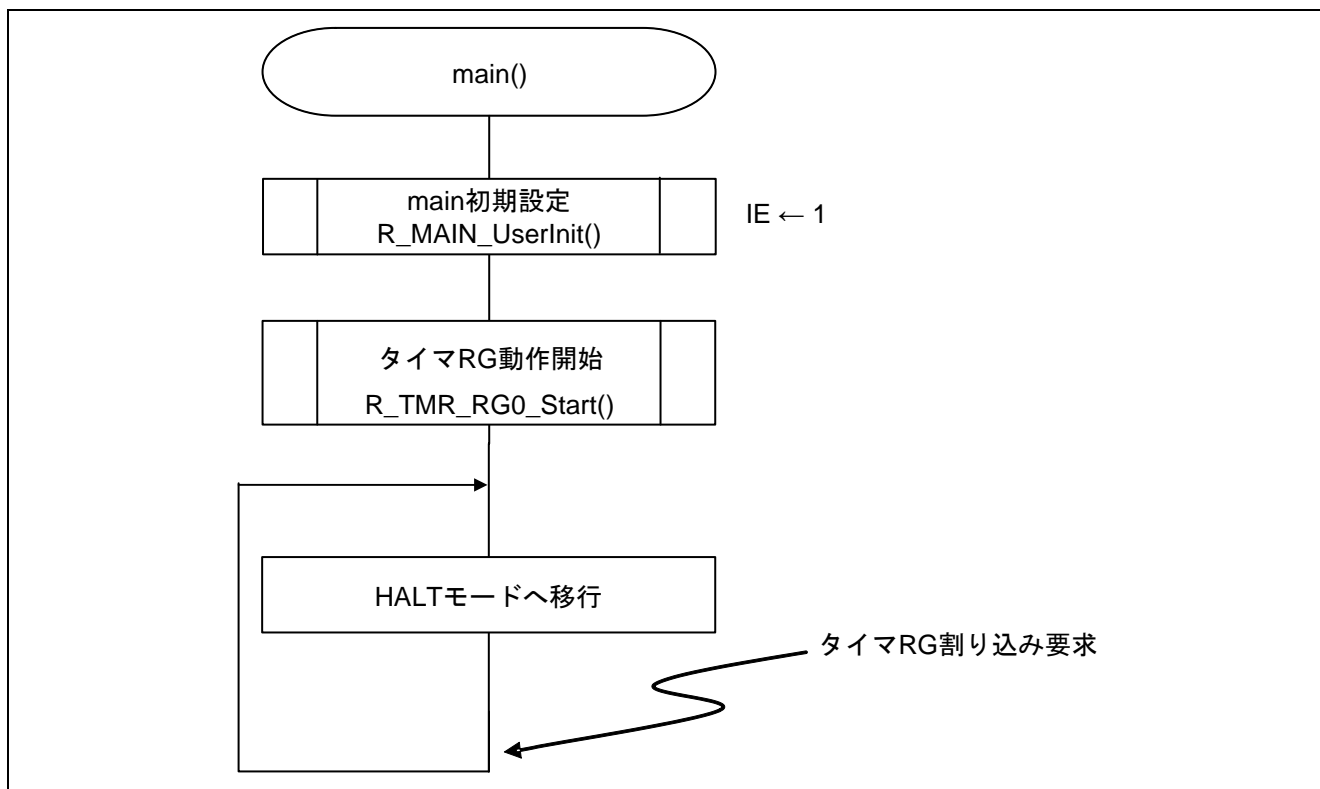


図5.10 メイン処理

5.4.5.8 タイマ RG 動作開始

図5.11にタイマ RG 動作開始のフローチャートを示します。

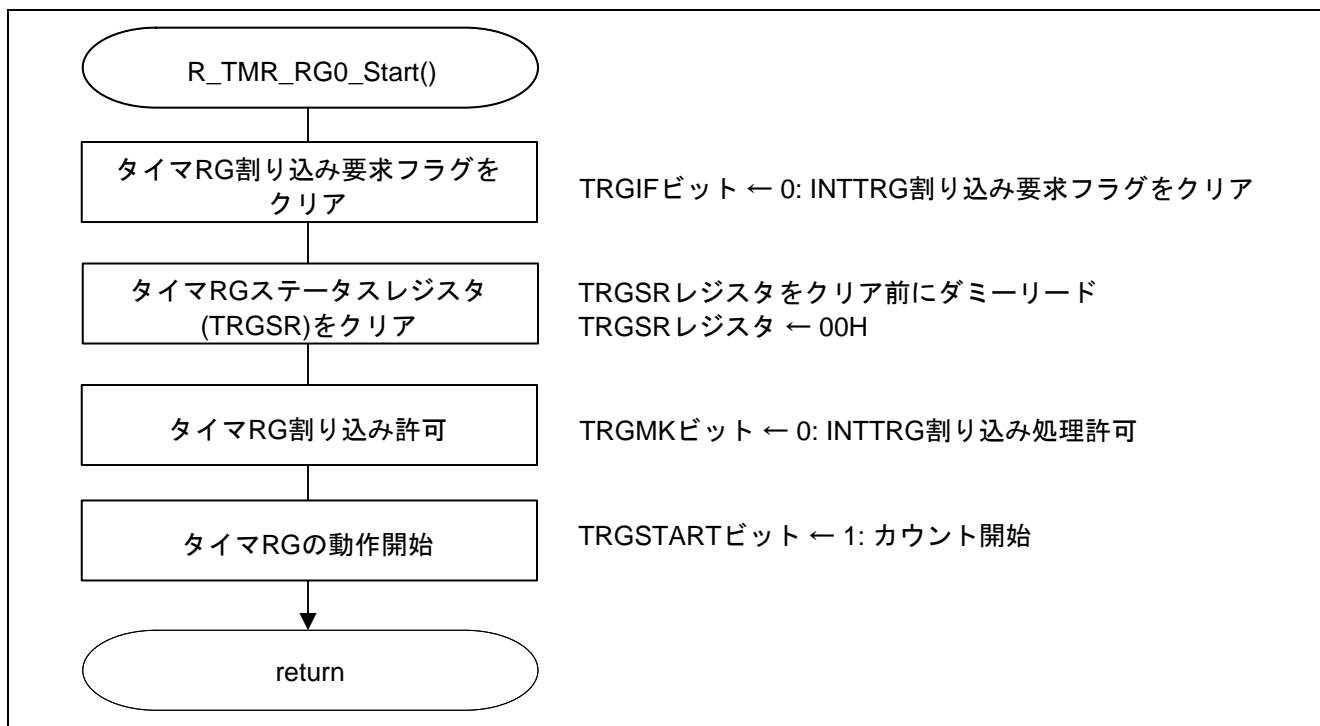


図5.11 タイマ RG 動作開始

タイマRG 割り込みの設定

- 割り込み要求フラグ・レジスタ (IF2H)
割り込み要求フラグをクリア

略号：IF2H

7	6	5	4	3	2	1	0
FLIF	IICAIF1	0	SREIF3 TMIF13H	TRGIF	TRDIF1	TRDIF0	PIF11 CMPIF1
x	x	0	x	0	x	x	x

ビット3

TRGIF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

- 割り込みマスク・フラグ・レジスタ (MK2H)
割り込み処理を許可

略号：MK2H

7	6	5	4	3	2	1	0
FLMK	IICAMK1	1	SREMK3 TMMK13H	TRGMK	TRDMK1	TRDMK0	PMK11 CMPMK1
x	x	1	x	0	x	x	x

ビット3

TRGMK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

レジスタ表の設定値 x：本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

タイマRGのカウンタ動作開始

- タイマRGモードレジスタ (TRGMR)
タイマRGのカウンタ動作を開始

略号：TRGMR

7	6	5	4	3	2	1	0
TRGSTART	TRGELCICE	TRGDFCK1	TRGDFCK0	TRGDFB	TRGDFA	TRGMDF	TRGPWM
1	x	x	x	x	x	x	x

ビット7

TRGSTART	TRG カウンタ開始
0	カウンタ停止
1	カウンタ開始

レジスタ表の設定値 x：本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

5.4.5.9 INTTRG 割り込み処理

図5.12に INTTRG 割り込み処理のフローチャートを示します。

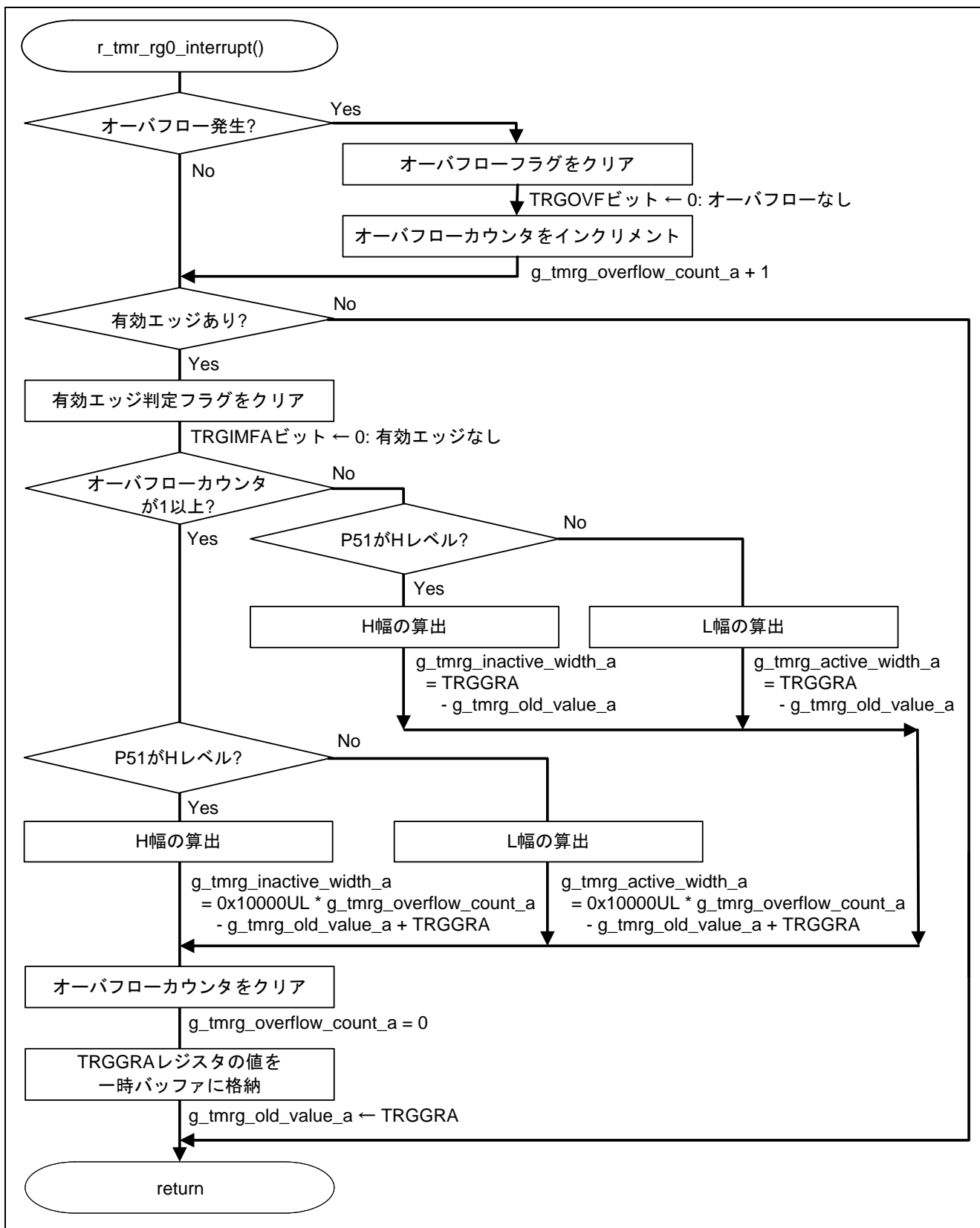


図5.12 INTTRG 割り込み処理

6. タイマモード(アウトプットコンペア機能)からの移行例

6.1 仕様

RL78/G14のタイマRGを使用することにより、R8C/36MグループのタイマRGのタイマモード(アウトプットコンペア機能)と同様の動作を実現することが可能です。

タイマモード(アウトプットコンペア機能)は、TRGレジスタの内容と、TRGGRA、TRGGRBレジスタの内容の一致(コンペア一致)を検出するモードです。一致したとき、TRGIOA、TRGIOB端子から任意のレベルを出力します。

表6.1に使用する周辺機能と用途を、図6.1に動作概要を示します。

表6.1 使用する周辺機能と用途(タイマモード(アウトプットコンペア機能)からの移行例)

周辺機能	用途
タイマRG (タイマモード(アウトプットコンペア機能))	TRGレジスタとTRGGRBレジスタのコンペアマッチによってパルスを出力する

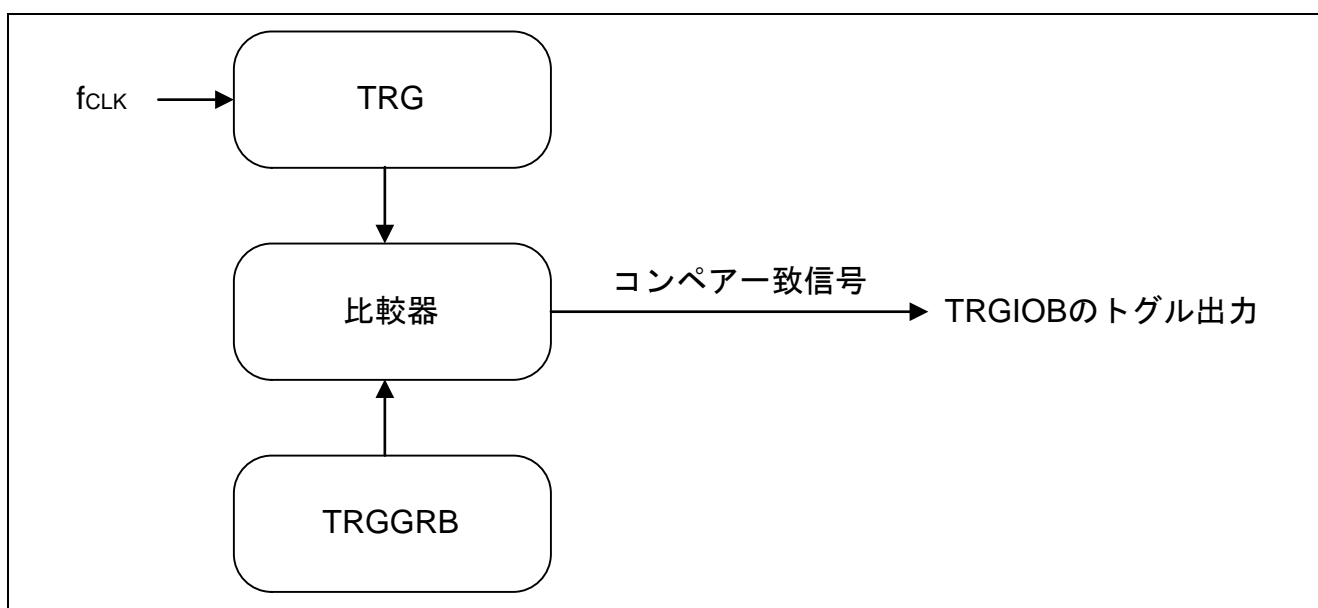


図6.1 動作概要(タイマモード(アウトプットコンペア機能)からの移行例)

6.2 動作確認条件

本アプリケーションノートのサンプルコードは、下記の条件で動作を確認しています。

表6.2 動作確認条件

項目	内容
使用マイコン	RL78/G14 (R5F104LEAFB)
動作周波数	- 高速オンチップ・オシレータ・クロック(f_{IH}) : 32 MHz - CPU/周辺ハードウェア・クロック(f_{CLK}) : 32 MHz
動作電圧	5.0 V (2.7 V ~ 5.5 V で動作可能) LVD 動作(V_{LVD}) : リセット・モード TYP. 2.75V 電源立ち上がり時 2.76V~2.87V 電源立ち下がり時 2.70V~2.81V
統合開発環境(CS+)	ルネサス エレクトロニクス製 CS+ for CC V6.00.00
C コンパイラ(CS+)	ルネサス エレクトロニクス製 CC-RL V1.05.00
統合開発環境(e ² studio)	ルネサス エレクトロニクス製 e ² studio V6.0.0
C コンパイラ(e ² studio)	ルネサス エレクトロニクス製 CC-RL V1.05.00

6.3 ハードウェア説明

6.3.1 ハードウェア構成例

図6.2に本アプリケーションノートで使用するハードウェア構成例を示します。

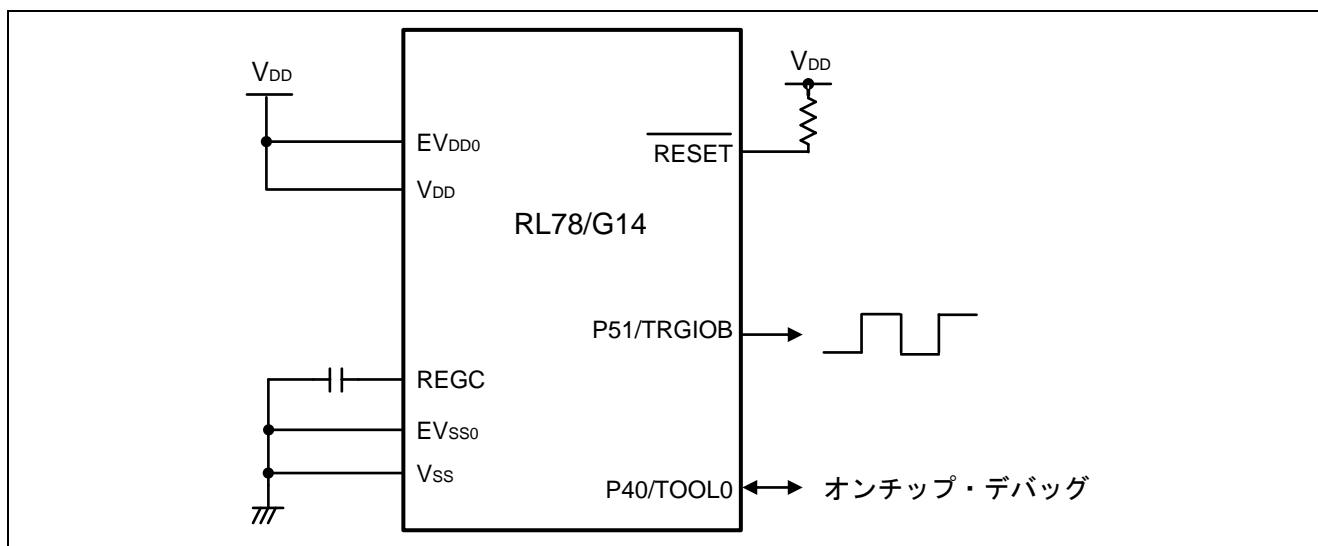


図6.2 ハードウェア構成例(タイマモード(アウトプットコンペア機能))

- 注 1. この回路イメージは接続の概要を示す為に簡略化しています。実際に回路を作成される場合は、端子処理などを適切に行い、電気的特性を満たすように設計してください。入力専用ポートは個別に抵抗を介して V_{DD} 又は V_{SS} に接続して下さい。
- 注 2. EV_{SS} で始まる名前の端子がある場合には V_{SS} に、 EV_{DD} で始まる名前の端子がある場合には V_{DD} にそれぞれ接続してください。
- 注 3. V_{DD} は LVD にて設定したリセット解除電圧(V_{LVD})以上にしてください。

6.3.2 使用端子一覧

表6.3に使用端子と機能を示します。

表6.3 使用端子と機能

端子名	入出力	内容
P51/TRGIOB	出力	TRGGRB アウトプットコンペア出力

6.4 ソフトウェア説明

6.4.1 動作概要

本サンプルコードでタイマRGのタイマモード(アウトプットコンペア機能)を設定する方法について説明します。

本サンプルコードでは、TRGGRBをアウトプットコンペア機能に設定します。1msごとにTRGレジスタの内容とTRGGRBレジスタの内容が一致して、TRGIOB端子の出力が反転します。

タイマRG割り込みは、このサンプルコードでは使用しません。

表6.4に使用する周辺機能と用途を示します。図6.3にタイマRGの動作概要(タイマモード(アウトプットコンペア機能))を示します。

(1) タイマRGの初期設定を行います。

<設定条件>

タイマRGの動作モードをアウトプットコンペア機能に設定します。

タイマRGのカウントソースをf_{CLK}に設定します。

TRGGRBレジスタを初期化して、パルス幅(コンペア一致の発生間隔)を1msに設定します。

タイマRG割り込みを禁止に設定します。

TRGIOB端子を出力モードに設定します。

(2) TRGMRレジスタのTRGSTARTビットを"1"(カウント開始)に設定し、タイマRGのカウントを開始します。

(3) HALT命令を実行します。

(4) コンペア一致が発生するごとに(タイマRGのカウントが1msに達するごとに)、TRGIOB端子の出力レベルが反転します。

表6.4 使用する周辺機能と用途

周辺機能	用途
タイマ RG	P51/TRGIOB 出力パルス(周期：2ms、デューティ比：50%)

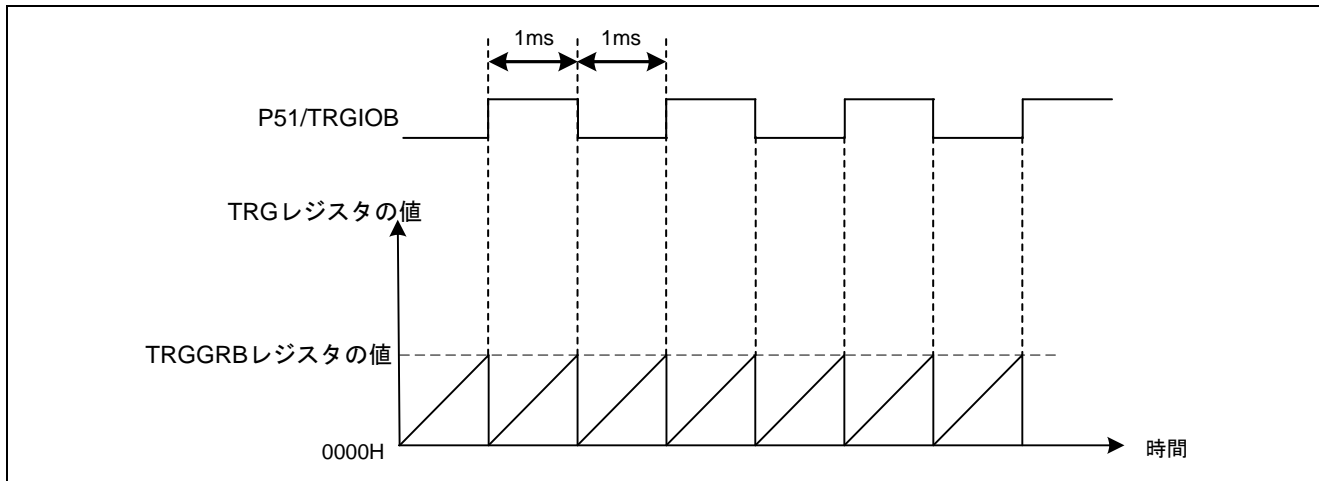


図6.3 タイマ RG の動作概要(タイマモード(アウトプットコンペア機能))

6.4.2 オプション・バイトの設定一覧

表6.5にオプション・バイト設定を示します。

表6.5 オプション・バイト設定

アドレス	設定値	内容
000C0H/010C0H	01101110B	ウォッチドッグ・タイマ動作停止 (リセット解除後、カウント停止)
000C1H/010C1H	01111111B	LVD リセット・モード TYP. 2.75V 電源立ち上がり時 2.76V~2.87V 電源立ち下がり時 2.70V~2.81V
000C2H/010C2H	11101000B	HS モード 高速オンチップ・オシレータ・クロック 周波数：32 MHz
000C3H/010C3H	10000100B	オンチップ・デバッグ許可

6.4.3 関数一覧

表6.6に関数を示します。

表6.6 関数

関数名	概要
R_TMR_RG0_Create()	タイマ RG の初期設定処理
R_TMR_RG0_Start()	タイマ RG の動作開始処理

6.4.4 関数仕様

サンプルコードの関数仕様を示します。

[関数名] R_TMR_RG0_Create()

概要	タイマ RG の初期設定処理
ヘッダ	r_cg_macrodriver.h r_cg_timer.h r_cg_userdefine.h
宣言	void R_TMR_RG0_Create(void)
説明	タイマ RG の初期設定を行います。
引数	なし
リターン値	なし
備考	なし

[関数名] R_TMR_RG0_Start()

概要	タイマ RG の動作開始処理
ヘッダ	r_cg_macrodriver.h r_cg_timer.h r_cg_userdefine.h
宣言	void R_TMR_RG0_Start(void)
説明	カウント動作を開始します。
引数	なし
リターン値	なし
備考	なし

6.4.5 フローチャート

6.4.5.1 全体フローチャート

図6.4に本アプリケーションノートの全体フローを示します。

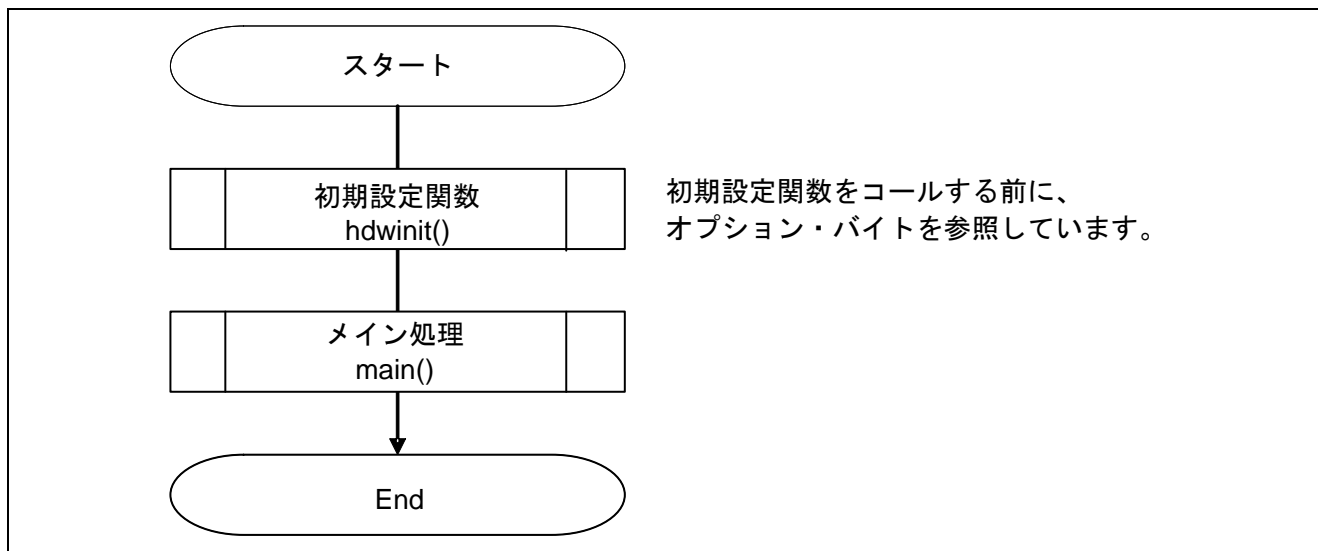


図6.4 全体フロー

6.4.5.2 初期設定関数

図6.5に初期設定関数のフローチャートを示します。

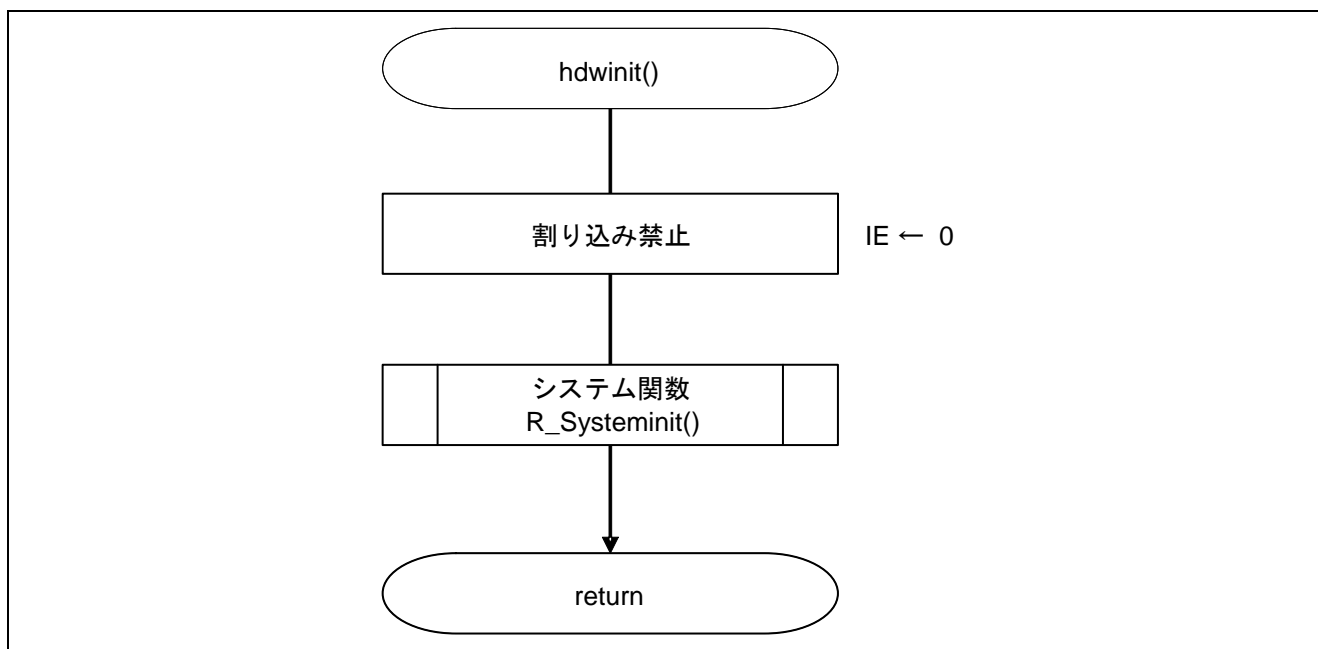


図6.5 初期設定関数

6.4.5.3 システム関数

図6.6にシステム関数のフローチャートを示します。

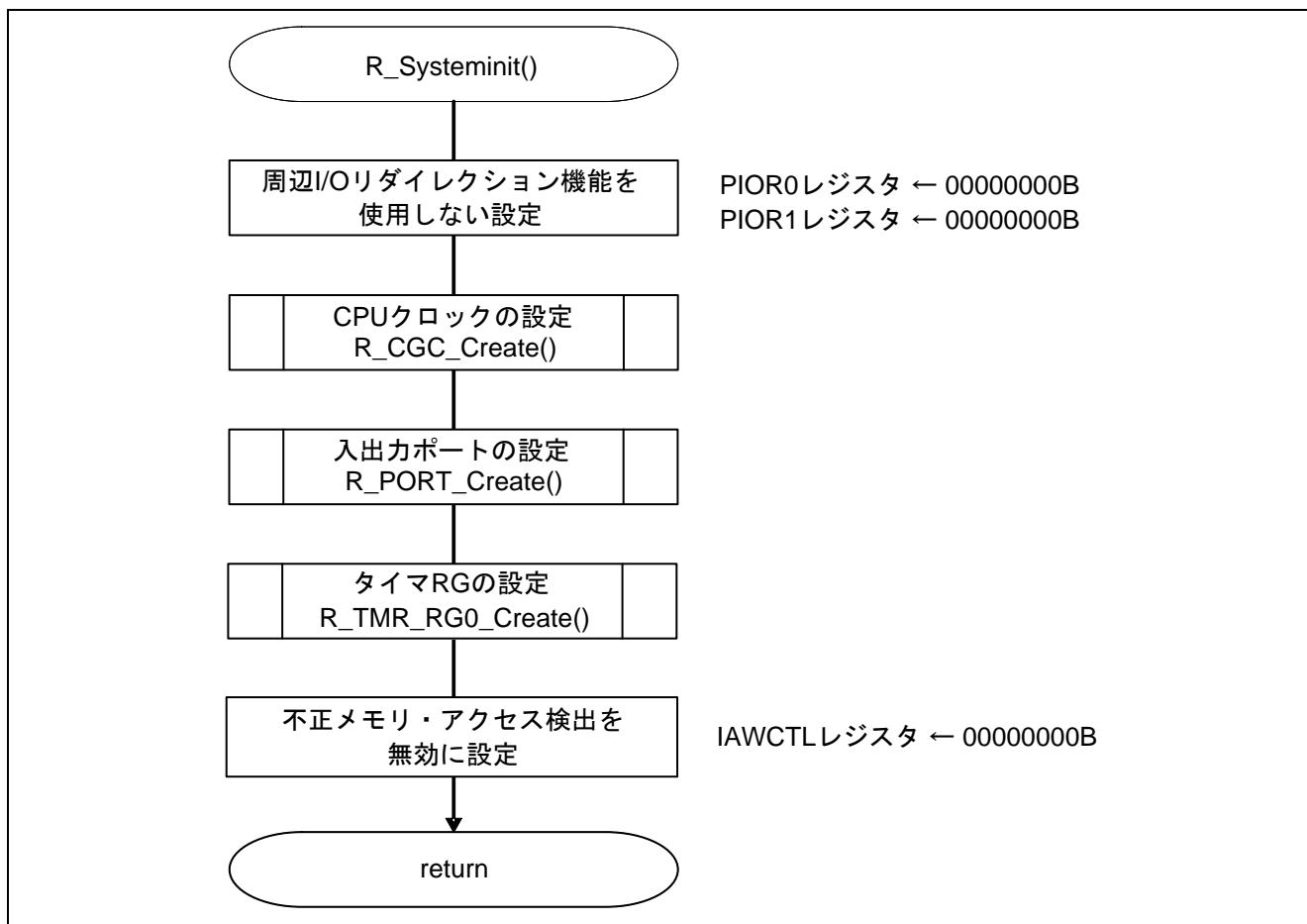


図6.6 システム関数

6.4.5.4 CPUクロックの設定

図6.7にCPUクロックの設定のフローチャートを示します。

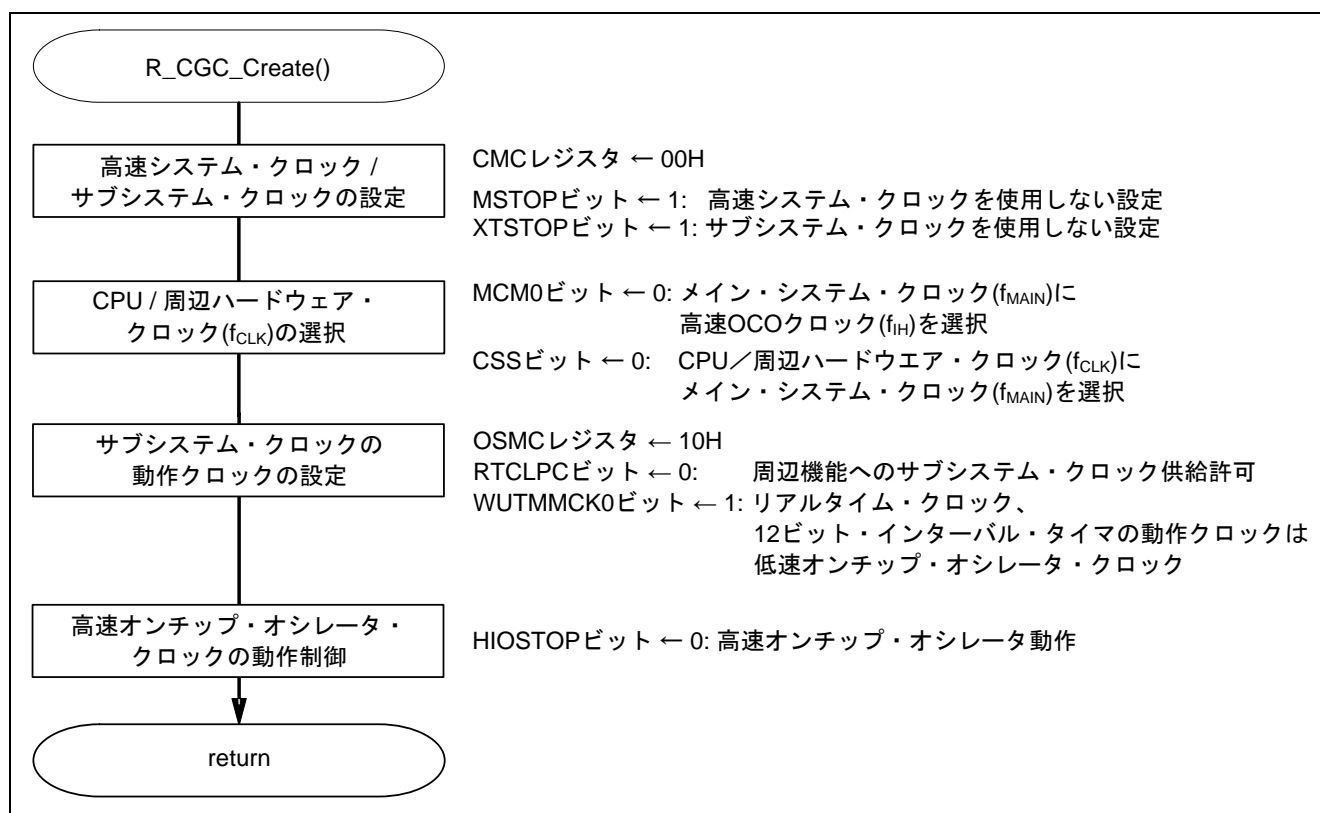


図6.7 CPUクロックの設定

6.4.5.5 入出力ポートの設定

図6.8に入出力ポートの設定のフローチャートを示します。

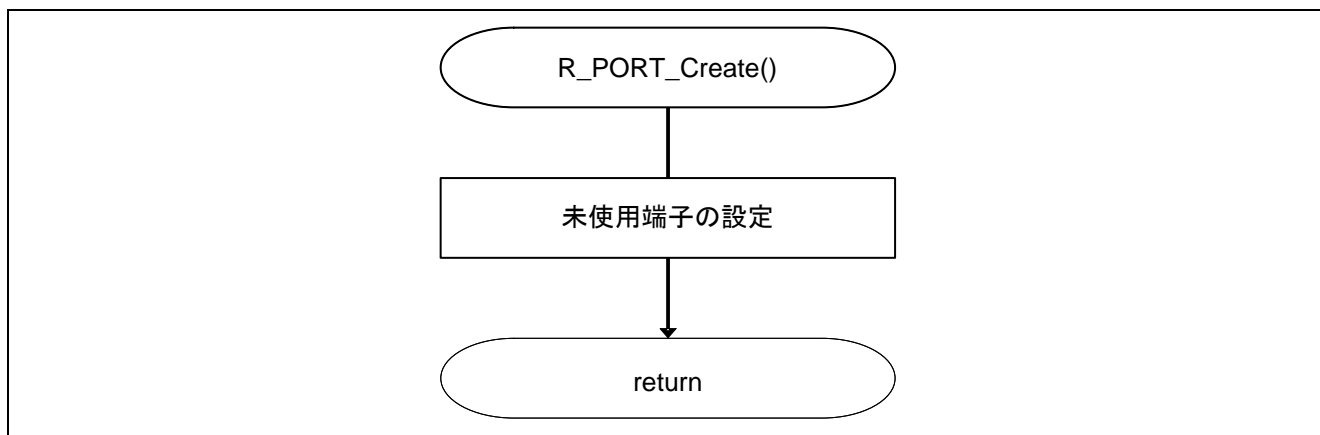


図6.8 入出力ポートの設定

注意 未使用のポートは、端子処理などを適切に行い、電気的特性を満たすように設計してください。また、未使用の入力専用ポートは個別に抵抗を介して V_{DD} 又は V_{SS} に接続して下さい。

タイマ RG へのクロック供給開始

- 周辺イネーブル・レジスタ 1 (PER1)
タイマ RG へクロック供給

略号：PER1

7	6	5	4	3	2	1	0
DACEN	TRGEN	CMPEN	TRD0EN	DTCEN	0	0	TRJ0EN
x	1	x	x	x	0	0	x

ビット 6

TRGEN	タイマ RG の入力クロック供給の制御
0	入力クロック供給停止 • タイマ RG で使用する SFR へのライト不可 • タイマ RG はリセット状態
1	入力クロック供給 • タイマ RG で使用する SFR へのリード/ライト可

タイマ RG の動作と割り込みの設定

- タイマ RG モードレジスタ (TRGMR)
タイマ RG のカウント動作を停止

略号：TRGMR

7	6	5	4	3	2	1	0
TRGSTART	TRGELCICE	TRGDFCK1	TRGDFCK0	TRGDFB	TRGDFA	TRGMDF	TRGPWM
0	x	x	x	x	x	x	x

ビット 7

TRGSTART	TRG カウント開始
0	カウント停止
1	カウント開始

レジスタ表の設定値 x：本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

タイマRG 割り込みの禁止

- 割り込みマスク・フラグ・レジスタ (MK2H)
割り込み処理を禁止
- 割り込み要求フラグ・レジスタ (IF2H)
割り込み要求フラグをクリア

略号：MK2H

7	6	5	4	3	2	1	0
FLMK	IICAMK1	1	SREMK3 TMMK13H	TRGMK	TRDMK1	TRDMK0	PMK11 CMPMK1
x	x	1	x	1	x	x	x

ビット3

TRGMK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

略号：IF2H

7	6	5	4	3	2	1	0
FLIF	IICAIF1	0	SREIF3 TMIF13H	TRGIF	TRDIF1	TRDIF0	PIF11 CMPIF1
x	x	0	x	0	x	x	x

ビット3

TRGIF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

レジスタ表の設定値 x：本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

タイマRGの動作設定

- タイマRG制御レジスタ (TRGCR)
カウントソースの選択

略号：TRGCR

7	6	5	4	3	2	1	0
0	TRGCCLR1	TRGCCLR0	TRGCCKEG1	TRGCCKEG0	TRGTCK2	TRGTCK1	TRGTCK0
0	1	0	x	x	0	0	0

ビット6-5

TRGCCLR1	TRGCCLR0	TRG レジスタクリア要因選択
0	0	クリア禁止
0	1	TRGGRA のインプットキャプチャ/コンペア一致でクリア
1	0	TRGGRB のインプットキャプチャ/コンペア一致でクリア
上記以外		設定禁止

ビット2-0

TRGTCK2	TRGTCK1	TRGTCK0	カウントソース選択
0	0	0	f_{CLK}
0	0	1	$f_{CLK}/2$
0	1	0	$f_{CLK}/4$
0	1	1	$f_{CLK}/8$
1	0	0	$f_{CLK}/32$
1	0	1	TRGCLKA 入力
1	1	1	TRGCLKB 入力
上記以外			設定禁止

TRGGRB レジスタの設定

- タイマRGジェネラルレジスタ (TRGGRB)
パルス幅(コンペア一致の発生間隔)を設定

略号：TRGGRB

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	1	1	1	1	1	0	0	1	1	1	1	1	1	1	1

レジスタ表の設定値 x：本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

- タイマRGモードレジスタ (TRGMR)
動作モードの選択

略号：TRGMR

7	6	5	4	3	2	1	0
TRGSTART	TRGELCICE	TRGDFCK1	TRGDFCK0	TRGDFB	TRGDFA	TRGMDF	TRGPWM
X	X	X	X	X	X	0	0

ビット1

TRGMDF	位相計数モード選択
0	アップカウント
1	位相計数モード

TRGMDF ビットが0 のとき、カウンタは TRGCR レジスタの TRGTCK0~TRGTCK2 ビットで設定したカウントソースをカウントします。

ビット0

TRGPWM	PWM モード選択
0	タイマモード
1	PWM モード

レジスタ表の設定値 ×：本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

- タイマ RG I/O 制御レジスタ (TRGIOR)
動作モードの設定

略号：TRGIOR

7	6	5	4	3	2	1	0
TRGBUFB	TRGIOB2	TRGIOB1	TRGIOB0	TRGBUFA	TRGIOA2	TRGIOA1	TRGIOA0
x	0	1	1	x	x	x	x

ビット6

TRGIOB2	TRGGRB モード選択(注1、2)
0	アウトプットコンペア機能
1	インプットキャプチャ機能

ビット5-4

TRGIOB1	TRGIOB0	TRGGRB 制御
0	0	コンペアー一致による端子出力禁止
0	1	L 出力
1	0	H 出力
1	1	トグル出力

アウトプットコンペア機能では、TRG レジスタと TRGGRB レジスタのコンペアー一致出力

注1. TRGIOj2 ビット(j = A,B)が1 (インプットキャプチャ機能)のとき、TRGGRj レジスタはインプットキャプチャレジスタとして機能します。

注2. TRGIOj2 ビット(j = A, B)が0 (アウトプットコンペア機能)のとき、TRGGRj レジスタはコンペアー一致レジスタとして機能します。リセット後 TRGIOj0、TRGIOj1 を設定し、最初のコンペアー一致が発生するまで、

TRGIOj 端子からは、

TRGIOj1、TRGIOj0 = 01B のとき H 出力

10B のとき L 出力

11B のとき L 出力

この TRGIOR レジスタは、タイマモードにおいて入出力の端子制御をします。PWM モードでは無効になります。TRGIOR レジスタはカウント停止中(TRGMR レジスタの TRGSTART = 0)に設定してください。

レジスタ表の設定値 x：本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

- タイマ RG 割り込み許可レジスタ (TRGIER)
割り込みの禁止

略号：TRGIER

7	6	5	4	3	2	1	0
0	0	0	0	TRGOVIE	TRGUDIE	TRGIMIEB	TRGIMIEA
0	0	0	0	0	0	0	0

ビット3

TRGOVIE	オーバフロー割り込み許可
0	TRGOVF ビットによる割り込みを禁止
1	TRGOVF ビットによる割り込みを有効

ビット2

TRGUDIE	アンダフロー割り込み許可
0	TRGUDF ビットによる割り込みを禁止
1	TRGUDF ビットによる割り込みを有効

ビット1

TRGIMIEB	インプットキャプチャ/コンペアー一致割り込み許可 B
0	TRGIMFB ビットによる割り込みを禁止
1	TRGIMFB ビットによる割り込みを有効

ビット0

TRGIMIEA	インプットキャプチャ/コンペアー一致割り込み許可 A
0	TRGIMFA ビットによる割り込みを禁止
1	TRGIMFA ビットによる割り込みを有効

レジスタ表の設定値 ×：本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

6.4.5.7 メイン処理

図6.10にメイン処理のフローチャートを示します。

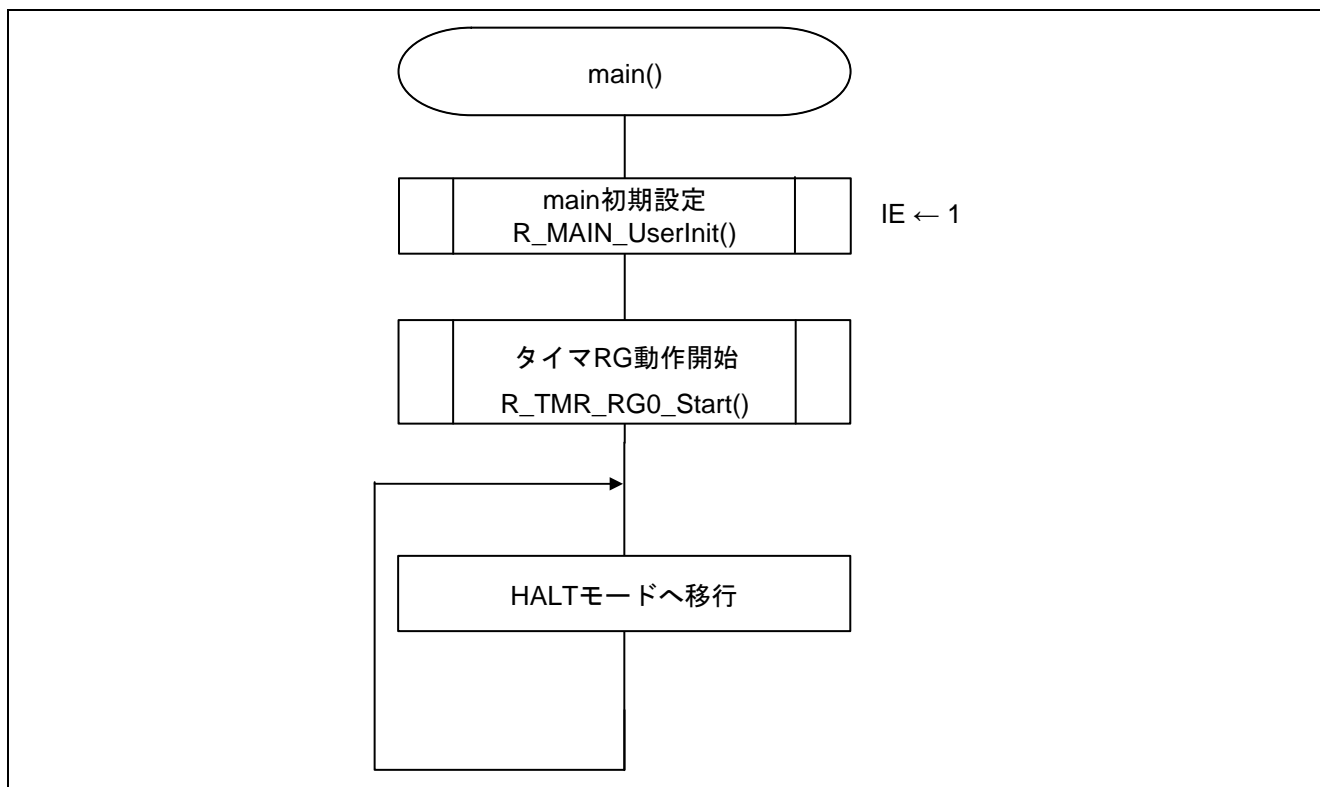


図6.10 メイン処理

6.4.5.8 タイマ RG 動作開始

図6.11にタイマ RG 動作開始のフローチャートを示します。

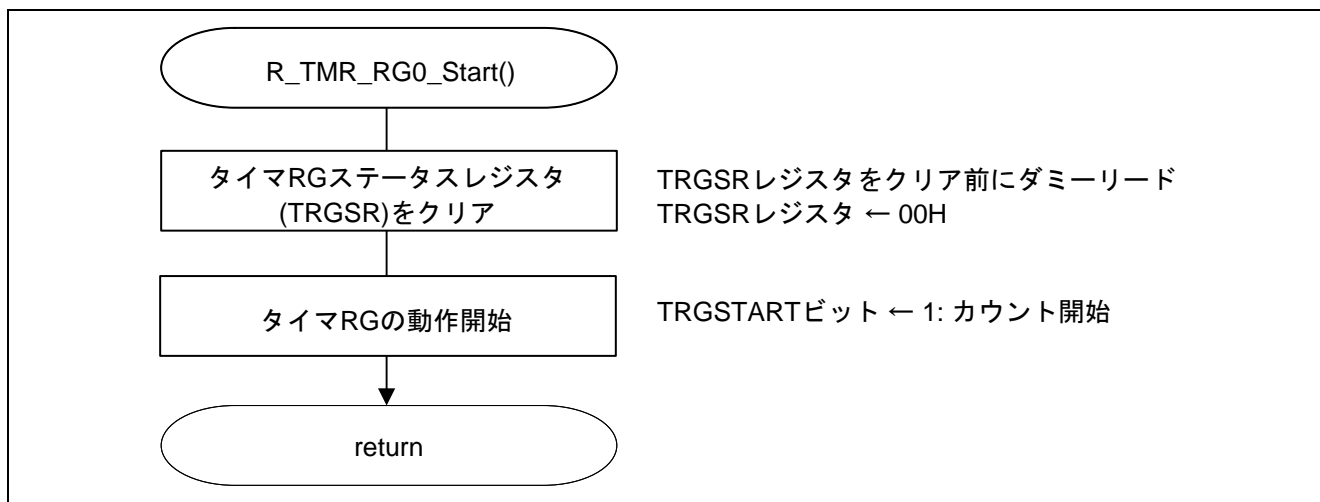


図6.11 タイマ RG 動作開始

タイマRGのカウンタ動作開始

- タイマRGモードレジスタ (TRGMR)
タイマRGのカウンタ動作を開始

略号：TRGMR

7	6	5	4	3	2	1	0
TRGSTART	TRGELCICE	TRGDFCK1	TRGDFCK0	TRGDFB	TRGDFA	TRGMDF	TRGPWM
1	x	x	x	x	x	x	x

ビット7

TRGSTART	TRG カウンタ開始
0	カウンタ停止
1	カウンタ開始

レジスタ表の設定値 x：本項目で使用しないビット

注意 レジスタ設定方法の詳細については、RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

7. サンプルコード

サンプルコードは、ルネサス エレクトロニクスホームページから入手してください。

8. 関連アプリケーションノート

- RL78/G14 タイマ RG PWM モード(バッファ動作) CC-RL (R01AN2853)
- RL78/G14 タイマ RG 位相計数モード CC-RL (R01AN2573)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

9. 参考ドキュメント

- ユーザーズマニュアル
RL78/G14 ユーザーズマニュアル ハードウェア編 (R01UH0186)
(最新版をルネサス エレクトロニクスホームページから入手してください。)
- ユーザーズマニュアル
R8C/36M グループ ユーザーズマニュアル ハードウェア編 (R01UH0259)
(最新版をルネサス エレクトロニクスホームページから入手してください。)
- テクニカルアップデート
(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2018.11.30	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部ROM、レイアウトパターンの相違などにより、電氣的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>