

RL78/G14、H8/3687 グループ

R01AN1991JJ0100

Rev.1.00

H8/3687 から RL78 への移行ガイド:割り込み(例外処理)

2014.03.03

要旨

本アプリケーションノートでは、H8/3687 グループの例外処理から RL78/G14 の割り込みへの移行について説明します。

対象デバイス

RL78/G14、H8/3687 グループ

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

1. H8/3687 グループと RL78/G14 の相違点	3
1.1 割り込み(例外処理)全般	3
1.2 IRQ(INTP)割り込みの相違点	4
1.3 ウェイクアップ(キー)割り込みの相違点	5
2. レジスタの対比	6
2.1 割り込み(例外処理)全般	6
2.2 IRQ(INTP)割り込みに関するレジスタ	6
2.3 ウェイクアップ(キー)割り込みに関するレジスタ	7
3. 割り込み動作の設定比較	8
3.1 マスカブル割り込み	8
3.1.1 H8/3687 グループ	8
3.1.2 RL78/G14	10
3.2 IRQ(INTP)割り込み	12
3.2.1 H8/3687 グループ	12
3.2.2 RL78/G14	13
3.3 ウェイクアップ(キー)割り込み	16
3.3.1 H8/3687 グループ	16
3.3.2 RL78/G14	16
3.4 割り込み(例外処理)優先順位	17
3.4.1 H8/3687 グループ	17
3.4.2 RL78/G14	17
3.5 レジスタ退避	17
3.5.1 H8/3687 グループ	17
3.5.2 RL78/G14	17
3.6 NMI 割り込み	18
3.6.1 H8/3687 グループ	18
3.6.2 RL78/G14	18
3.7 ソフトウェア割り込み	21
3.7.1 H8/3687 グループ	21
3.7.2 RL78/G14	21
4. 割り込みベクタ	22
4.1 H8/3687 グループ	22
4.2 RL78/G14	23
5. 用語	26
6. 参考ドキュメント	27

1. H8/3687 グループと RL78/G14 の相違点

1.1 割り込み(例外処理)全般

割り込み(例外処理)全般に関する相違点を表 1.1 に示します。

表 1.1 割り込み(例外処理)全般に関する相違点

項目	H8/3687 グループ	RL78/G14
マスカブル割り込み	NMI を除く外部割り込み アドレスブレークを除く内部割り込み	周辺機能割り込み(注 1)
ノンマスカブル 割り込み	トラップ命令による例外処理(TRAP 命令) NMI アドレスブレーク	ソフトウェア割り込み(BRK 命令) —
割り込み優先レベル	—(注2)	レベル 0 ~ 3(注 3)
ベクタテーブルの 種類	割り込みベクタ	ベクタ・テーブル
ベクタテーブルの アドレス	固定	固定

注 1. 周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。

注 2. 割り込み優先レベルはなく、優先順は固定です。

注 3. レベル 3 が低優先順位、レベル 0 が高優先順位です。

1.2 IRQ(INTP)割り込みの相違点

IRQ(INTP)割り込みの相違点を表 1.2 に示します。

表 1.2 IRQ(INTP)割り込みの相違点

項目	H8/3687 グループ	RL78/G14
IRQ(INTP)割り込み端子	$\overline{\text{IRQ0}} \sim \overline{\text{IRQ3}}$ (表 1.3 参照)	INTP0 ~ INTP11(表 1.4 参照)
デジタルフィルタ	なし	なし
入力極性	- 立ち上がりエッジ - 立ち下がりエッジ	- 立ち上がりエッジ - 立ち下がりエッジ - 両エッジ

表 1.3 H8/3687 グループの IRQ 割り込み端子構成

端子名	割り当てる端子
$\overline{\text{IRQ0}}$	P14
$\overline{\text{IRQ1}}$	P15
$\overline{\text{IRQ2}}$	P16
$\overline{\text{IRQ3}}$	P17

表 1.4 RL78/G14 の INTP 割り込み端子構成

端子名	割り当てる端子									
	30Pin 製品	32Pin 製品	36Pin 製品	40Pin 製品	44Pin 製品	48Pin 製品	52Pin 製品	64Pin 製品	80Pin 製品	100Pin 製品
INTP0	P137									
INTP1	P50							P50 (P52)		P46 (P56)
INTP2	P51							P51 (P53)		P47
INTP3	P30							P30 (P54)		P30 (P57)
INTP4	P31							P31 (P55)		P31 (P146)
INTP5	P16							P16 (P12)		
INTP6	なし					P140				P140 (P84)
INTP7	なし							P141		P141 (P85)
INTP8	なし					P74		P74 (P42)		P74 (P86)
INTP9	なし					P75		P75 (P43)		P75 (P87)
INTP10	なし						P76	P76 (P05)	P76 (P100)	
INTP11	なし						P77	P77 (P06)	P77 (P110)	

注 1. () は周辺 I/O リダイレクション・レジスタ 0 (PIOR0)の設定により配置可能な端子です。

詳細は 3.2.2 あるいは RL78/G14 ユーザーズマニュアルハードウェア編 を参照してください。

1.3 ウェイクアップ(キー)割り込みの相違点

ウェイクアップ(キー)割り込みの相違点を表 1.5 に示します。

表 1.5 ウェイクアップ(キー)割り込みの相違点

項目	H8/3687 グループ	RL78/G14	
入力チャネル数	6ch	30 ピン製品	なし
		32 ピン製品	
		36 ピン製品	
		40 ピン製品	4ch
		44 ピン製品	
		48 ピン製品	6ch
		52 ピン製品	8ch
		64 ピン製品	
		80 ピン製品	
		100 ピン製品	
WKP(キー入力)割り込み端子	WKP0 ~ WKP5 (表 1.6 参照)	KR0 ~ KR7 (表 1.7 参照)	
キー入力極性	- 立ち下がりエッジ - 立ち上がりエッジ	立ち下がりエッジ	

表 1.6 H8/3687 グループのウェイクアップ割り込み端子構成

端子名	割り当てる端子
WKP0	P50
WKP1	P51
WKP2	P52
WKP3	P53
WKP4	P54
WKP5	P55

表 1.7 RL78/G14 のキー割り込み端子構成

端子名	割り当てる端子									
	30Pin 製品	32Pin 製品	36Pin 製品	40Pin 製品	44Pin 製品	48Pin 製品	52Pin 製品	64Pin 製品	80Pin 製品	100Pin 製品
KR0	なし			P70						
KR1	なし			P71						
KR2	なし			P72						
KR3	なし			P73						
KR4	なし					P74				
KR5	なし					P75				
KR6	なし						P76			
KR7	なし						P77			

2. レジスタの対比

2.1 割り込み(例外処理)全般

割り込みに関するレジスタの対比表を表 2.1 に示します。

表 2.1 割り込み関連レジスタ対比

設定項目	H8/3687 グループ	RL78/G14
割り込み優先レベル選択	–	優先順位指定フラグ・レジスタの XXPR1X、XXPROX ビット
割り込み要求フラグ	- 割り込みフラグレジスタ 1,2 の IRRxx ビット - ウェイクアップ割り込みフラグレジスタの IWPFx ビット	割り込み要求フラグ・レジスタの XXIFX ビット
割り込み処理の制御	割り込みイネーブルレジスタ 1,2 の IENxx ビット	割り込みマスク・フラグ・レジスタの XXMKX ビット
マスカブル割り込み許可制御	CCR レジスタの I ビット	PSW レジスタの IE フラグ
プロセッサ割り込み優先レベル指定	–	PSW レジスタの ISP1、ISP0

XXPR1X、XXPROX、XXIFX、XXMKX ビットの詳細は 3.1.2 あるいは RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

IRRxx、IWPFx、IENxx ビットの詳細は 3.1.1 あるいは H8/3687 グループ ハードウェアマニュアルを参照してください。

2.2 IRQ(INTP)割り込みに関するレジスタ

IRQ(INTP)割り込みに関するレジスタの対比表を表 2.2 に示します。

表 2.2 IRQ(INTP)割り込みに関するレジスタ対比

設定項目	H8/3687 グループ	RL78/G14
IRQ(INTP)入力極性切り替え	IEGR1 レジスタの IEGi ビット	- EGP0,EGP1 レジスタの EGPn ビット - EGN0,EGN1 レジスタの EGNn ビット
INTP 端子選択	–	PIOR0 レジスタ
IRQ(INTP)入力許可	PMR1 レジスタの IRQi ビット	- EGP0,EGP1 レジスタの EGPn ビット - EGN0,EGN1 レジスタの EGNn ビット (EGPn=0,EGNn=0 でエッジ検出禁止)

–: 該当するレジスタはありません。

i = 0 ~ 3, n = 0 ~ 11

2.3 ウェイクアップ(キー)割り込みに関するレジスタ

ウェイクアップ(キー)割り込みに関するレジスタの対比表を表 2.3 に示します。

表 2.3 ウェイクアップ(キー)割り込みに関するレジスタ対比

設定項目	H8/3687 グループ	RL78/G14
WKP 入力極性選択	IEGR2 レジスタの WPEGi ビット	–
WKP(キー)入力許可	PMR5 レジスタの WKPi ビット	KRM レジスタの KRMn ビット
割り込み要求フラグ	IWPR レジスタの IWPFi ビット (入力端子毎にフラグ)	IF1H レジスタの KRIF ビット (全入力端子で共通フラグ)

–: 該当するレジスタはありません。

i = 0 ~ 5, n = 0 ~ 7

3. 割り込み動作の設定比較

3.1 マスカブル割り込み

3.1.1 H8/3687 グループ

H8/3687 グループでは、マスカブル割り込みの許可 / 禁止は、CCR レジスタの I ビット、IENR1 / IENR2 レジスタの IENxx ビットで設定します。また、割り込み要求の有無は、IRR1 / IRR2 レジスタの IRRxx ビットあるいは IWPR レジスタの IWPFn ビットに示されます。

I ビットの設定を表 3.1 に、IENxx の設定を表 3.2 に示します。IRR1 / IRR2 レジスタの IRRxx ビットを表 3.3 に、IWPR レジスタの IWPFn ビットの説明を表 3.4 に示します。

表 3.1 I ビット

I ビット	割り込みマスクビット
0	割り込み要求がマスクされない。
1	割り込み要求がマスクされる。

表 3.2 IENxx ビット(IENR1 / IENR2 レジスタ)

IENxx ビット	xx 割り込み要求イネーブル
0	割り込み要求がイネーブルにならない。
1	割り込み要求がイネーブルになる。

表 3.3 IRRxx ビット(IRR1 / IRR2 レジスタ)

IRRxx ビット	xx 割り込み要求フラグ
0	割り込み要求なし
1	割り込み要求あり

表 3.4 IWPFn ビット(IWPR レジスタ)

IWPFn ビット	WKPNn 割り込み要求フラグ
0	割り込み要求なし(エッジ未検出)
1	割り込み要求あり(エッジ検出)

n = 0 ~ 5

割り込み要求が受け付けられる条件を次に示します。

- ・ 割り込みマスクビット :I ビット = 0
- ・ 割り込み要求イネーブル :IENxx ビット = 1
- ・ 割り込み要求フラグ :IRRxx ビット / IWPFn ビット =1

例:タイマ B1 の割り込みが受け付けられる為には

- 割り込みマスクビット :CCR レジスタの I ビット(ビット 7)が 0
- 割り込み要求イネーブル :IENR2 レジスタの IENTB1 ビット(ビット 5)が 1
- 割り込み要求フラグ :IRR2 レジスタの IRRTB1 ビット(ビット 5)が 1

が全て成立する必要があります。

3.1.2 RL78/G14

RL78/G14 では、マスカブル割り込みの許可 / 禁止は、PSW レジスタの IE フラグ、ISP0、ISP1 フラグ、優先順位指定フラグ・レジスタの XXPR1X、XXPR0X ビット、割り込みマスク・フラグ・レジスタの XXMKX ビットで設定します。また、割り込み要求の有無は、割り込み要求フラグ・レジスタの XXIFX ビットに示されます。

IE フラグの設定を表 3.5 に、ISP1、ISP0 フラグの設定を表 3.6 に、割り込み要求フラグの設定を表 3.7 に、割り込み処理の制御の設定を表 3.8 に、優先順位レベルの選択の設定を表 3.9 に示します。

表 3.5 IE フラグ

IE フラグ	割り込み要求受け付けの許可 / 禁止
0	禁止
1	許可

表 3.6 ISP1,ISP0 フラグ

ISP1	ISP0	現在処理中の割り込みの優先順位
0	0	レベル 0 の割り込み許可(レベル 1 または 0 の割り込み処理中)
0	1	レベル 0 ~ 1 の割り込み許可(レベル 2 の割り込み処理中)
1	0	レベル 0 ~ 2 の割り込み許可(レベル 3 の割り込み処理中)
1	1	全ての割り込み許可(割り込み受け付け待ち)

表 3.7 割り込み要求フラグ

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

XXIFX の詳細は RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

表 3.8 割り込み処理の制御

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

XXMKX の詳細は RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

表 3.9 優先順位レベルの選択

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル 0 を指定(高優先順位)
0	1	レベル 1 を指定
1	0	レベル 2 を指定
1	1	レベル 3 を指定(低優先順位)

XXPR1X、XXPR0X の詳細は RL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

割り込み要求が受け付けられる条件を次に示します。

- ・ 割り込み要求フラグ = 1
- ・ 割り込みマスクフラグ = 0
- ・ IE フラグ = 1
- ・ 割り込み優先レベル $\leq$ (ISP1,ISP0)

例:タイマ・アレイ・ユニット 0 のチャンネル 0 の割り込みが受け付けられる為には

割り込み要求フラグ :IF1L レジスタの TMIF00 ビット(ビット 4)が 1
 割り込みマスクフラグ :MK1L レジスタの TMMK00 ビット(ビット 4)が 0
 IE フラグ :PSW の IE フラグが 1

割り込み優先レベル:

PR11L,PR01L レジスタの TMPR100,TMPR000 ビット $\leq$ PSW の ISP1,ISP0 ビット
 が全て成立する必要があります。

3.2 IRQ(INTP)割り込み

3.2.1 H8/3687 グループ

H8/3687 グループでは、 $\overline{\text{IRQ}}_i$ 端子の機能切り替えは PMR1 レジスタの IRQ_i ビットで設定します($i=0 \sim 3$)。

$\overline{\text{IRQ}}_i$ 端子機能切り替えを表 3.10 に示します。

入力極性は IEGR1 レジスタの IEG_i ビットで設定します($i = 0 \sim 3$)。 IRQ_i 割り込み極性切り替えを表 3.11 に示します。

表 3.10 $\overline{\text{IRQ}}_i$ 端子機能切り替え

IRQ_i	P1x/ $\overline{\text{IRQ}}_i$ (/xx)端子の機能を選択
0	汎用入出力ポート
1	$\overline{\text{IRQ}}_i$ (および兼用機能)入力端子

$i = 0 \sim 3$

表 3.11 IRQ_i 割り込み極性切り替え

IEG_i	IRQ_i エッジセレクト
0	$\overline{\text{IRQ}}_i$ 端子入力の立ち下がリエッジを検出
1	$\overline{\text{IRQ}}_i$ 端子入力の立ち上がりエッジを検出

$i = 0 \sim 3$

3.2.2 RL78/G14

RL78/G14 では、INTP0～INTP11 の有効エッジを EGPm レジスタと EGNm レジスタで設定します(m = 0,1)。INTPn 端子の有効エッジの選択の設定を表 3.12 に、EGPn ビットと EGNn ビットに対応するポートを表 3.13 に示します(n = 0～11)。

また、INTP 割り込みの入力端子の配置は PIOR0 レジスタで選択します。INTP 割り込み入力端子の配置の選択を表 3.14～表 3.17 に示します。

表 3.12 INTPn 端子の有効エッジの選択

EGPn	EGNn	INTPn 端子の有効エッジの選択
0	0	エッジ検出禁止
0	1	立ち下がリエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり、立ち下がりの両エッジ

n = 0～11

表 3.13 EGPn ビットと EGNn ビットに対応するポート(n = 0～11)

検出許可ビット		対応ポート
EGP0	EGN0	INTP0
EGP1	EGN1	INTP1
EGP2	EGN2	INTP2
EGP3	EGN3	INTP3
EGP4	EGN4	INTP4
EGP5	EGN5	INTP5
EGP6	EGN6	INTP6
EGP7	EGN7	INTP7
EGP8	EGN8	INTP8
EGP9	EGN9	INTP9
EGP10	EGN10	INTP10
EGP11	EGN11	INTP11

表 3.14 INTP 割り込み入力端子選択(1)

PIOR05		端子選択									
		30Pin	32Pin	36Pin	40Pin	44Pin	48Pin	52Pin	64Pin	80Pin	100Pin
0	INTP1	0 (初期値)を設定してください。									P46
	INTP3										P30
	INTP4										P31
	INTP6										P140
	INTP7										P141
	INTP8										P74
	INTP9										P75
1	INTP1	設定不可									P56
	INTP3										P57
	INTP4										P146
	INTP6										P84
	INTP7										P85
	INTP8										P86
	INTP9										P87

表 3.15 INTP 割り込み入力端子選択(2)

PIOR04		端子選択									
		30Pin	32Pin	36Pin	40Pin	44Pin	48Pin	52Pin	64Pin	80Pin	100Pin
0	INTP5	0 (初期値)を設定してください。							P16		
1		設定不可							P12		

表 3.16 INTP 割り込み入力端子選択(3)

PIOR01		端子選択									
		30Pin	32Pin	36Pin	40Pin	44Pin	48Pin	52Pin	64Pin	80Pin	100Pin
0	INTP10	-						P76			
	INTP11	-						P05		P100	
1	INTP10	-						P77			
	INTP11	-						P06		P110	

表 3.17 INTP 割り込み入力端子選択(4)

PIOR00		端子選択								
		30Pin	32Pin	36Pin	40Pin	44Pin	48Pin	52Pin	64Pin	80Pin
0	INTP1	0 (初期値)を設定してください。							P50	0 (初期値)を設定してください。
	INTP2								P51	
	INTP3								P30	
	INTP4								P31	
	INTP8								P74	
	INTP9								P75	
1	INTP1	設定不可							P52	設定不可
	INTP2								P53	
	INTP3								P54	
	INTP4								P55	
	INTP8								P42	
	INTP9								P43	

3.3 ウェイクアップ(キー)割り込み

3.3.1 H8/3687 グループ

H8/3687 グループでは、 $\overline{\text{WKPi}}$ 端子機能切り替えを PMR1 レジスタの WKPi ビットで設定します。 $\overline{\text{WKPi}}$ 端子機能切り替えを表 3.18 に示します。(i=0~5)。

入力極性は IEGR2 レジスタの WPEGi ビットで設定します。ウェイクアップ割り込み極性切り替えを表 3.19 に示します(i = 0 ~ 5)。

表 3.18 $\overline{\text{WKPi}}$ 端子機能切り替え

WKPi	P5x/ $\overline{\text{WKPi}}$ (/xx)端子の機能を選択
0	汎用入出力ポート
1	$\overline{\text{WKPi}}$ 入力端子(および兼用機能入力端子)

i = 0 ~ 5

表 3.19 ウェイクアップ割り込み極性切り替え

WPEGi	WKPi エッジセレクト
0	$\overline{\text{WKPi}}$ 端子入力の立ち下がりエッジを検出
1	$\overline{\text{WKPi}}$ 端子入力の立ち上がりエッジを検出

i = 0 ~ 5

3.3.2 RL78/G14

RL78/G14 では、キー割り込みの許可 / 禁止を KRM レジスタの KRMn ビットで設定します。キー割り込みモードの制御の設定を表 3.20 に示します。

表 3.20 キー入力の許可 / 禁止選択

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

n = 0 ~ 7

3.4 割り込み(例外処理)優先順位

3.4.1 H8/3687 グループ

H8/3687 グループでは、複数の割り込み要求が同時に発生したときは優先度の高い方から処理されます。優先度はハードウェアで設定されており、変更することはできません。

3.4.2 RL78/G14

RL78/G14 では、複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト・プライオリティの高い割り込みから受け付けられます。

3.5 レジスタ退避

3.5.1 H8/3687 グループ

H8/3687 グループでは割り込み要求を受け付けると、実行中の命令を実行した後、PC と CCR レジスタをスタック領域にスタック(一時的に退避)します。

スタック領域へは PC の下位 8 ビットと PC の上位 8 ビットをまずスタックし、CCR は 8 ビット構成のため偶数、奇数番地に同じ値がそれぞれスタックされます。

3.5.2 RL78/G14

RL78/G14 では、マスカブル割り込み要求を受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避します。

3.6 NMI 割り込み

3.6.1 H8/3687 グループ

H8/3687 グループでは NMI 割り込み要求は $\overline{\text{NMI}}$ 端子の入力エッジにより発生します。検出するエッジの方向は IEGR1 の NMIEG により選択できます。NMI 割り込み要求は最優先の割り込み要求で、CCR の I ビットの値にかかわらず常に受け付けられます。

NMI 割り込み極性切り替えを表 3.21 に示します。

表 3.21 NMI 割り込み極性切り替え

NMIEG	NMI エッジセレクト
0	$\overline{\text{NMI}}$ 端子入力の立ち下がリエッジを検出
1	$\overline{\text{NMI}}$ 端子入力の立ち上がりエッジを検出

3.6.2 RL78/G14

RL78/G14 には端子状態によるノンマスカブル割り込みはありません。

RL78/G14 で H8/3687 グループの NMI 割り込み動作を実行するためには、INTP_n 割り込みを使用して、有効エッジを選択、INTP_n の割り込み許可、割り込み優先レベルを 0(最優先)に設定し、かつ、INTP_n 以外の割り込み処理で多重割り込みを許可します。(n = 0 ~ 11 のいずれか、可能であれば 0 を選択)

また、通常処理(割り込み処理以外)部で割り込みを禁止しない(IE フラグを 0 に設定しない)必要があります。

INTP0 で NMI 割り込みを代用する場合の INTP0 の設定処理のフローを図 3.1 に、INTP0 以外の割り込み処理のフローを図 3.2 に、メイン処理のフローを図 3.3 に示します。

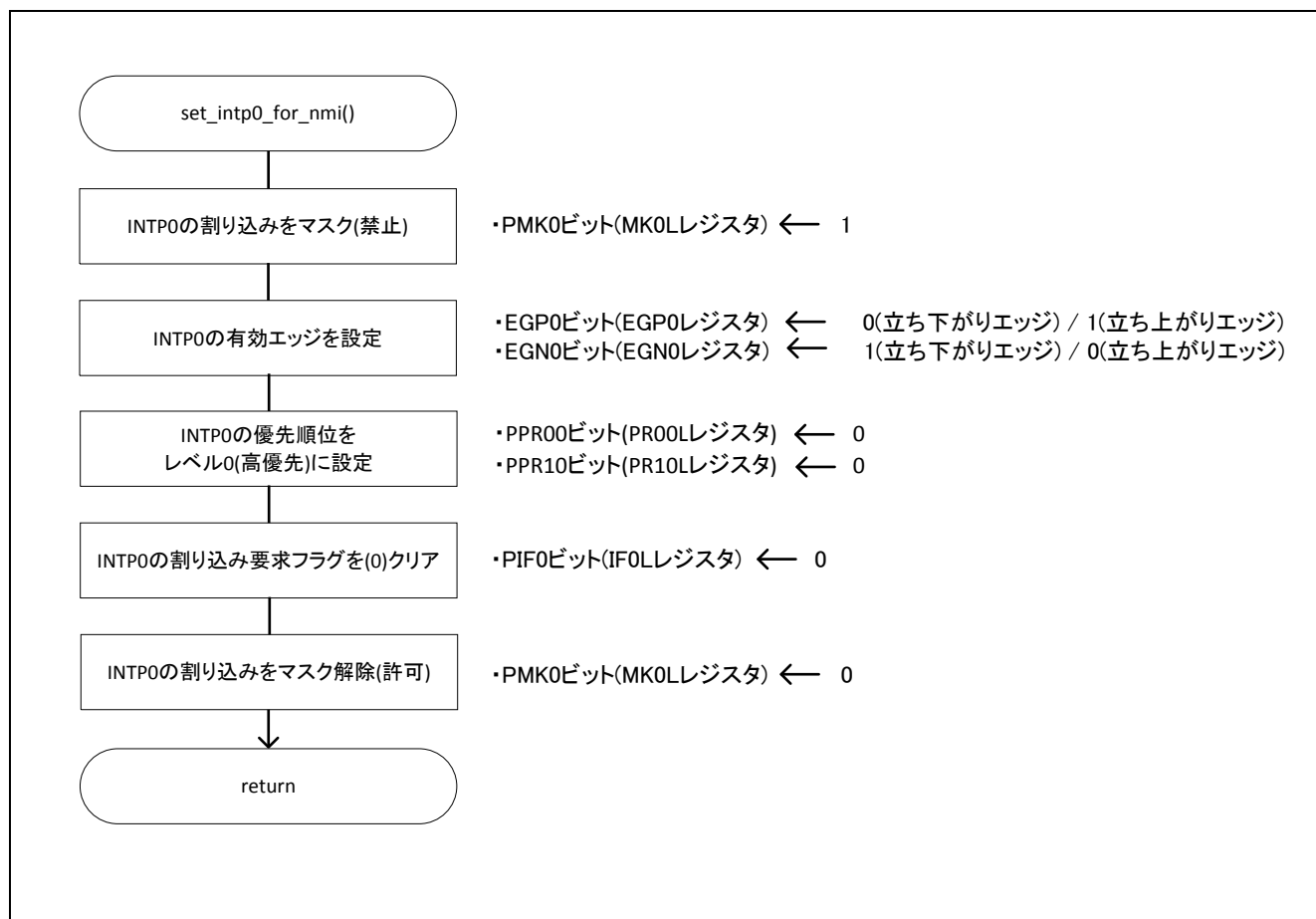


図 3.1 NMI 割り込みの代用とする場合の INTPO の設定処理フロー

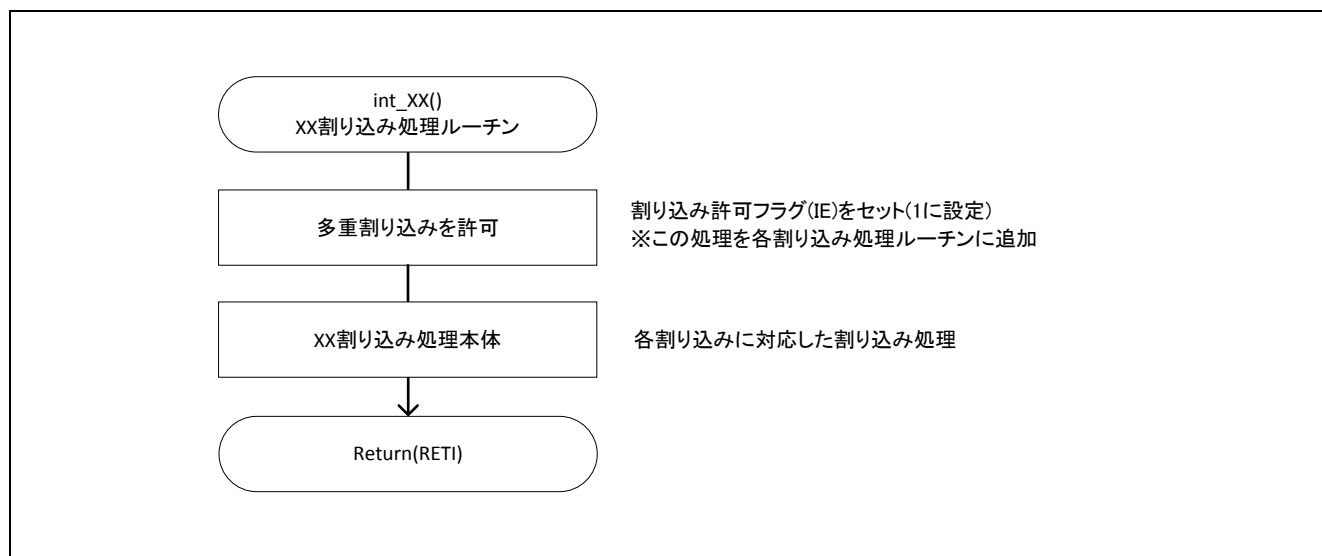


図 3.2 INTPO で NMI 割り込みを代用する場合の INTPO 以外の割り込み処理フロー

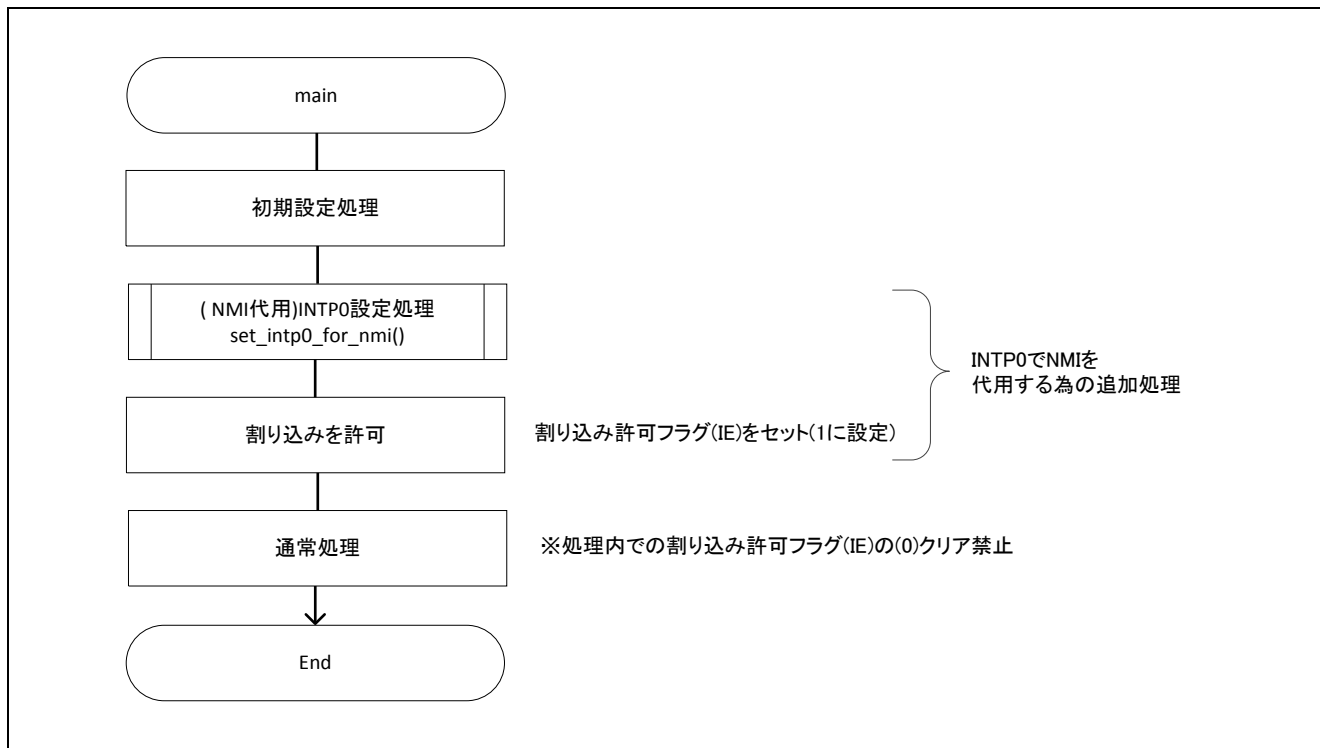


図 3.3 INTPO で NMI 割り込みを代用する場合のメイン処理フロー

3.7 ソフトウェア割り込み

3.7.1 H8/3687 グループ

H8/3687 グループでは TRAP 命令の実行により割り込みが発生します。TRAP 命令は命令コード中で指定した 0~3 のベクタ番号により異なる割り込み処理ルーチンを実行します。TRAP 命令による例外処理は CCR の I ビットにかかわらずプログラム実行状態で常に受け付けられます。

TRAP 命令も割り込み(例外処理)の優先度の対象となります。TRAP 命令は命令コード中で指定したベクタ番号により優先度が異なり、(優先度:高) $0 > 1 > 2 > 3$ (優先度:低) となります。

3.7.2 RL78/G14

RL78/G14 において BRK 命令の実行によって発生する割り込みです。割り込み禁止状態でも受け付けられます。

また、割り込み優先順位制御の対象になりません。

RL78/G14 で H8/3687 グループの TRAP 命令に近い動作を実現するためには BRK 命令を使用します。

TRAP 命令は 0~3 の 4 種の割り込み処理を実行できますが、BRK 命令は 1 種の割り込み処理のみ実行可能です。これについては RAM 等にパラメータ (0~3) を設定した後に BRK 命令を実行し、割り込み処理中で指定されたパラメータ (0~3) に基づいて、BRK 割り込み処理内を分岐させる等の方法を用いることで対処します。

また、TRAP 命令は処理の優先の対象となっていますが、BRK 命令は優先順位の対象ではありません。これについては BRK 命令の実行直前に他の割り込み要求の有無を確認して、BRK 命令の実行の可否を判断する等の方法を用いることで対処します。

4. 割り込みベクタ

H8/3687 グループと RL78/G14 は、ともにアドレスが固定の割り込みベクタを使用します。

4.1 H8/3687 グループ

H8/3687 の割り込みベクタは、0000h 番地から 0041h 番地に配置されています。表 4.1 に割り込みベクタの内容を示します。

表 4.1 割り込みベクタ

発生元	例外処理要因	ベクタ番号	ベクタアドレス	優先度
RES 端子 ウォッチドッグタイマ	リセット	0	H'0000 ~ H'0001	高
–	システム予約	1 ~ 6	H'0002 ~ H'000D	↑ ↓
外部割り込み端子	NMI	7	H'000E ~ H'000F	
CPU	トラップ命令#0	8	H'0010 ~ H'0011	
	トラップ命令#1	9	H'0012 ~ H'0013	
	トラップ命令#2	10	H'0014 ~ H'0015	
	トラップ命令#3	11	H'0016 ~ H'0017	
アドレスブレーク	ブレーク条件成立	12	H'0018 ~ H'0019	
CPU	スリープ命令の実行による直接遷移	13	H'001A ~ H'001B	
外部割り込み端子	IRQ0 低電圧検出割り込み(注)	14	H'001C ~ H'001D	
	IRQ1	15	H'001E ~ H'001F	
	IRQ2	16	H'0020 ~ H'0021	
	IRQ3	17	H'0022 ~ H'0023	
	WKP	18	H'0024 ~ H'0025	
RTC	オーバフロー	19	H'0026 ~ H'0027	
–	システム予約	20	H'0028 ~ H'0029	
タイマ V	コンペアマッチ A,コンペアマッチ B オーバフロー	22	H'002C ~ H'002D	
SCI3	受信データフル,送信データ エンプティ,送信終了,受信エラー	23	H'002E ~ H'002F	
IIC2	送信データエンプティ,送信終了 受信データフル,アービトレーション ロスト / オーバランエラー NACK 検出,停止条件検出	24	H'0030 ~ H'0031	
A/D 変換器	A/D 変換終了	25	H'0032 ~ H'0033	
タイマ Z	コンペアマッチ / インプット キャプチャ A0 ~ D0,オーバフロー	26	H'0034 ~ H'0035	
	コンペアマッチ / インプットキャプ チャ A1 ~ D1 オーバフロー, アンダフロー	27	H'0036 ~ H'0037	
タイマ B1	オーバフロー	29	H'003A ~ H'003B	
SCI3_2	受信データフル 送信データエンプティ 送信終了,受信エラー	32	H'0040 ~ H'0041	低

注:低電圧検出割り込みは、パワーオンリセット&低電圧検出回路内蔵版のみ有効です。

4.2 RL78/G14

RL78/G14 のベクタ・テーブルには、各割り込み、リセット要因発生により分岐するプログラム・スタート・アドレスを設定します。ベクタ・コードは、各 2 バイトとしているため飛び先アドレスは 00000H ~ 0FFFFH の 64K バイトアドレスとなります。デフォルト・プライオリティは 0 が最高順位で 44 が最低順位です。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。ベクタ・テーブルを表 4.2 ~ 表 4.4 に示します。

表 4.2 ベクタ・テーブル(1)

デフォルト・プライオリティ	割り込み要因		内部/外部	ベクタ番地
	名称	トリガ		
0	INTWDTI	ウォッチドッグ・タイマのインターバル (オーバフロー時間の 75%+1/2fil)	内部	0004H
1	INTLVI	電圧検出		0006H
2	INTP0	端子入力エッジ検出	外部	0008H
3	INTP1			000AH
4	INTP2			000CH
5	INTP3			000EH
6	INTP4			0010H
7	INTP5			0012H
8	INTST2/ INTCSI20/ INTIIC20	UART2 送信の転送完了、バッファ空き割り込み/ CSI20 の転送完了、バッファ空き割り込み/ IIC20 の転送完了	内部	0014H
9	INTSR2/ INTCSI21/ INTIIC21	UART2 受信の転送完了/ CSI21 の転送完了、バッファ空き割り込み/ IIC21 の転送完了		0016H
10	INTSRE2	UART2 受信の通信エラー発生		0018H
	INTTM11H	タイマ・チャンネル 11 のカウント完了または キャプチャ完了(上位 8 ビット・タイマ動作時)		
11	INTST0/ INTCSI00/ INTIIC00	UART0 送信の転送完了、バッファ空き割り込み/ CSI00 の転送完了、バッファ空き割り込み/ IIC00 の転送完了		001EH
12	INTSR0/ INTCSI01/ INTIIC01	UART0 受信の転送完了/ CSI01 の転送完了、バッファ空き割り込み/ IIC01 の転送完了		0020H
13	INTSRE0	UART0 受信の通信エラー発生		0022H
	INTTM01H	タイマ・チャンネル 01 のカウント完了または キャプチャ完了(上位 8 ビット・タイマ動作時)		
14	INTST1/ INTCSI10/ INTIIC10	UART1 送信の転送完了、バッファ空き割り込み/ CSI10 の転送完了、バッファ空き割り込み/ IIC10 の転送完了		0024H
15	INTSR1/ INTCSI11/ INTIIC11	UART1 受信の転送完了/ CSI11 の転送完了、バッファ空き割り込み/ IIC11 の転送完了		0026H
16	INTSRE1	UART1 受信の通信エラー発生		0028H
	INTTM03H	タイマ・チャンネル 03 のカウント完了または キャプチャ完了(上位 8 ビット・タイマ動作時)		

表 4.3 ベクタ・テーブル(2)

デフォルト・ プライオリティ	割り込み要因		内部/外部	ベクタ 番地
	名称	トリガ		
17	INTIICA0	IICA0 通信完了	内部	002AH
18	INTTM00	タイマ・チャンネル 00 のカウント完了 またはキャプチャ完了		002CH
19	INTTM01	タイマ・チャンネル 01 のカウント完了 またはキャプチャ完了		002EH
20	INTTM02	タイマ・チャンネル 02 のカウント完了 またはキャプチャ完了		0030H
21	INTTM03	タイマ・チャンネル 03 のカウント完了 またはキャプチャ完了		0032H
22	INTAD	A/D 変換終了		0034H
23	INTRTC	リアルタイム・クロックの定周期信号/ アラーム一致検出		0036H
24	INTIT	インターバル信号検出		0038H
25	INTKR	キー・リターン信号検出	外部	003AH
26	INTST3/ INTCSI30/ INTIIC30	UART3 送信の転送完了、バッファ空き割り込み/ CSI30 の転送完了、バッファ空き割り込み/ IIC30 の転送完了	内部	003CH
27	INTSR3/ INTCSI31/ INTIIC31	UART3 受信の転送完了/ CSI31 の転送完了、バッファ空き割り込み/ IIC31 の転送完了		003EH
28	INTTRJ0	タイマ RJ 割り込み		0040H
29	INTTM10	タイマ・チャンネル 10 のカウント完了または キャプチャ完了		0042H
30	INTTM11	タイマ・チャンネル 11 のカウント完了または キャプチャ完了		0044H
31	INTTM12	タイマ・チャンネル 12 のカウント完了または キャプチャ完了		0046H
32	INTTM13	タイマ・チャンネル 13 のカウント完了または キャプチャ完了		0048H
33	INTP6	端子入力エッジ検出	外部	004AH
34	INTP7			004CH
35	INTP8			004EH
36	INTP9			0050H
37	INTP10	端子入力エッジ検出	外部	0052H
	INTCMP0	コンパレータ検出 0	内部	
38	INTP11	端子入力エッジ検出	外部	0054H
	INTCMP1	コンパレータ検出 1	内部	
39	INTTRD0	タイマ RD0 インプットキャプチャ、コンペアー 一致、オーバフロー、アンダフロー割り込み	内部	0056H
40	INTTRD1	タイマ RD1 インプットキャプチャ、コンペアー 一致、オーバフロー、アンダフロー割り込み		0058H

表 4.4 ベクタ・テーブル(3)

デフォルト・ プライオリティ	割り込み要因		内部/外部	ベクタ 番地
	名称	トリガ		
41	INTTRG	タイマ RG インพุットキャプチャ、コンペアー 致、オーバフロー、アンダフロー割り込み	内部	005AH
42	INTSRE3	UART3 受信の通信エラー発生		005CH
	INTTM13H	タイマ・チャンネル 13 のカウント完了または キャプチャ完了(上位 8 ビット・タイマ動作時)		
43	INTIICA1	IICA1 通信完了		0060H
44	INTFL	予約		0062H
-	BRK	BRK 命令の実行	-	007EH
	RESET	RESET 端子入力		0000H
	POR	パワーオン・リセット		
	LVD	電圧検出		
	WDT	ウォッチドッグ・タイマのオーバフロー		
	TRAP	不正命令の実行		
	IAW	不正メモリ・アクセス		
	RAMTOP	RAM パリティ・エラー		

5. 用語

H8/3687 グループと RL78/G14 の用語の比較を表 5.1 に示します。

表 5.1 H8/3687 グループと RL78/G14 用語比較

H8/3687 グループ	RL78/G14
例外処理	割り込み(処理)
割り込み	(リセットとソフトウェア割り込みを除く)割り込み
トラップ命令による例外処理	ソフトウェア割り込み
ウェイクアップ割り込み	キー割り込み

6. 参考ドキュメント

RL78/G14 ユーザーズマニュアルハードウェア編 Rev. 2.00 (R01UH0186J)

H8/3687 グループハードウェアマニュアル Rev.5.00(RJJ09B0151)

(最新版をルネサスエレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサスエレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2014.3.3	－	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部ROM、レイアウトパターンの相違などにより、電氣的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、
各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>