

RL78/F15

R01AN6059JJ0100

Rev.1.00

割り込み要因判定手法

2021.09.30

要旨

対象デバイス（RL78/F15）では、複数の割り込み要因を一つの割り込みベクタ・テーブル・アドレスに兼用しています（表 1-1 参照）。複数の割り込み要因を共に使用する場合、割り込み処理内でどちらの割り込みが発生したか、または両方の割り込みが発生したかを判定する必要があります。

本アプリケーションノートでは、割り込み要因を共に使用する場合の割り込み要因判別方法について説明します。

表 1-1 List of Multiple Interrupt Sources that are Shared in One Interrupt Vector Table (1/2)

Vector Table Address	Interrupt Source ^{Note}		Reference Section
	Name	Trigger	
0010H	INTP4	Pin input edge detection 4	Section 1.1
	INTSPM	Stack pointer overflow/underflow detection	
0012H	INTP5	Pin input edge detection 5	Section 1.2
	INTCMP0	Comparator detection 0	
0014H	INTP13	Pin input edge detection 13	Section 1.3
	INTCLM	Main clock or PLL clock stopn detection	
002AH	INTP8	Pin input edge detection 8	Section 1.4
	INTRTC	RTC pretimed signal or alarm match detection	
002EH	INTTM01	End of TAU0 channel 1 count/capture	Section 1.5
	INTLIN2TRM	LIN2 transmission	
0030H	INTTM02	End of TAU0 channel 2 count/capture	
	INTLIN2RVC	LIN2 reception end	
0032H	INTTM03	End of TAU0 channel 3 count/capture	
	INTLIN2STA/INTLIN2	LIN2 reception status/ LIN2 interrupt	
0036H	INTP6	Pin input edge detection 6	Cannot identify both interrupt sources.
	INTTM11H	Upper 8-bit interval timer interrupt of TAU1 channel 1	
0038H	INTP7	Pin input edge detection 7	
	INTTM13H	Upper 8-bit interval timer interrupt of TAU1 channel 3	
003AH	INTP9	Pin input edge detection 9	
	INTTM01H	Upper 8-bit interval timer interrupt of TAU0 channel 1	
003CH	INTP10	Pin input edge detection 10	Section 1.6
	INTTM03H	Upper 8-bit interval timer interrupt of TAU0 channel 3	
003EH	INTST1/INTCSI10/INTIIC10	UART1 transmission/ CSI10/ IIC10 trasmission end	
	INTIEBBTD	IEBus data interrupt	
0040H	INTSR1/INTCSI11/INTIIC11	UART1 reception/ CSI11/ IIC11 transmission end	
	INTIEBBTV	IEBus vectored interrupt	
0042H	INTTM04	End of TAU0 channel 4 count/capture	Section 1.7
	INTST2/INTCSI20	UART2 transmission/ CSI20 transmission end	
0044H	INTTM05	End of TAU0 channel 5 count/capture	
	INTSR2/INTCSI21	UART2 reception/ CSI20 transmission end	
0046H	INTTM06	End of TAU0 channel 6 count/capture	
	INTSRE2	UART2 reception error occur	
0048H	INTP15	Pin input edge detection 15	Section 1.8
	INTTM07	End of TAU0 channel 7 count/capture	
004AH	INTP11	Pin input edge detection 11	Cannot use both simultaneously.
	INTLIN0WUP	LIN0 reception pin input detection	

Note: It depends on the product. For details, show the user's manual: hardware.

表 1-1 List of Multiple Interrupt Sources that are Shared in One Interrupt Vector Table (2/2)

Vector Table Address	Interrupt Source ^{Note}		Reference Section
	Name	Trigger	
005AH	INTTM10	End of TAU1 channel 0 count/capture	Section 1.9
	INTTM20	End of TAU2 channel 0 count/capture	
005CH	INTTM11	End of TAU1 channel 1 count/capture	
	INTTM21	End of TAU2 channel 1 count/capture	
005EH	INTTM12	End of TAU1 channel 2 count/capture	
	INTTM22	End of TAU2 channel 2 count/capture	
0060H	INTTM13	End of TAU1 channel 3 count/capture	Cannot use both simultaneously.
	INTTM23	End of TAU2 channel 3 count/capture	
0064H	INTP12	Pin input edge detection 12	Cannot use both simultaneously.
	INTLIN1WUP	LIN1 reception pin input detection	
006CH	INTTM14	End of TAU1 channel 4 count/capture	Section 1.9
	INTTM24	End of TAU2 channel 4 count/capture	
006EH	INTTM15	End of TAU1 channel 5 count/capture	
	INTTM25	End of TAU2 channel 5 count/capture	
0070H	INTTM16	End of TAU1 channel 6 count/capture	
	INTTM26	End of TAU2 channel 6 count/capture	
0072H	INTTM17	End of TAU1 channel 7 count/capture	Cannot use both simultaneously.
	INTTM27	End of TAU2 channel 7 count/capture	
007CH	INTP14	Pin input edge detection 14	Cannot use both simultaneously.
	INTLIN2WUP	LIN2 reception pin input detection	

Note: It depends on the product. For details, show the user's manual: hardware.

目次

1. 兼用割り込みの判別方法	4
1.1 INTP4/INTSPM 判別方法	4
1.2 INTP5/INTCMP0 判別方法	5
1.3 INTP13/INTCLM 判別方法	6
1.4 INTP8/INTRTC 判別方法	7
1.5 INTTM0n/INTLIN2x 判別方法	8
1.6 INTSAU1x/INTIEBBy 判別方法	9
1.7 INTTM0x/INTSAU2y 判別方法	10
1.8 INTP15/INTTM07 判別方法	11
1.9 INTTM1x/INTTM2x 判別方法	12
2. 兼用割り込み使用時の注意点	13
2.1 INTFLGn レジスタのビットクリア時の注意点	13
2.2 INTSPM と INTCLM 使用時の注意点	13
3. 参考資料	14
改訂記録	15

1. 兼用割り込みの判別方法

対象デバイス（RL78/F15）では、複数の割り込み要因を一つの割り込みベクタ・テーブル・アドレスに兼用しています。複数の割り込み要因を共に使用する場合、割り込み処理内でどちらの割り込みが発生したか、または両方の割り込みが発生したかを判定する手法を示します。

1.1 INTP4/INTSPM 判別方法

INTP4（端子入力エッジ検出 4）と INTSPM（スタック・ポインタオーバーフロー／アンダーフロー）の 2 つの割り込みを許可した時の割り込み処理例を図 1-1 に示します。

INTP4 割り込みは INTFLG0 レジスタの INTFLG00 ビット、INTSPM 割り込みは、ユーザ・ソフトウェアでスタック・ポインタを読み出して判定します。

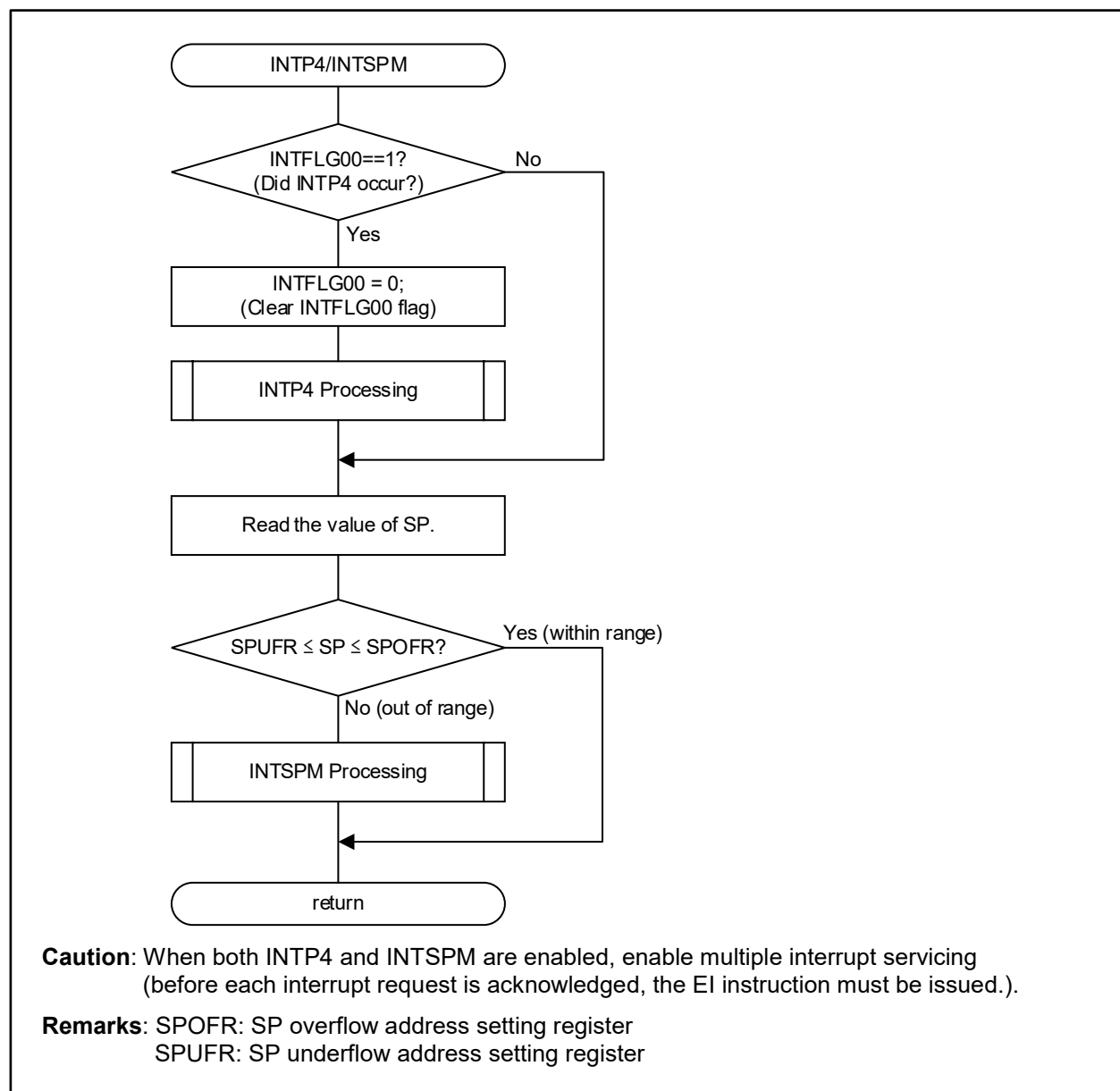


図 1-1 INTP4/INTSPM Interrupt Judgement Example

1.2 INTP5/INTCMP0 判別方法

INTP5（端子入力エッジ検出 5）と INTCMP0（コンパレータ検出 0）の 2 つの割り込みを許可した時の割り込み処理例を図 1-2 に示します。

INTP5 割り込みは INTFLG0 レジスタの INTFLG01 ビット、INTCMP0 割り込みは INTFLG06 ビットで判定します。

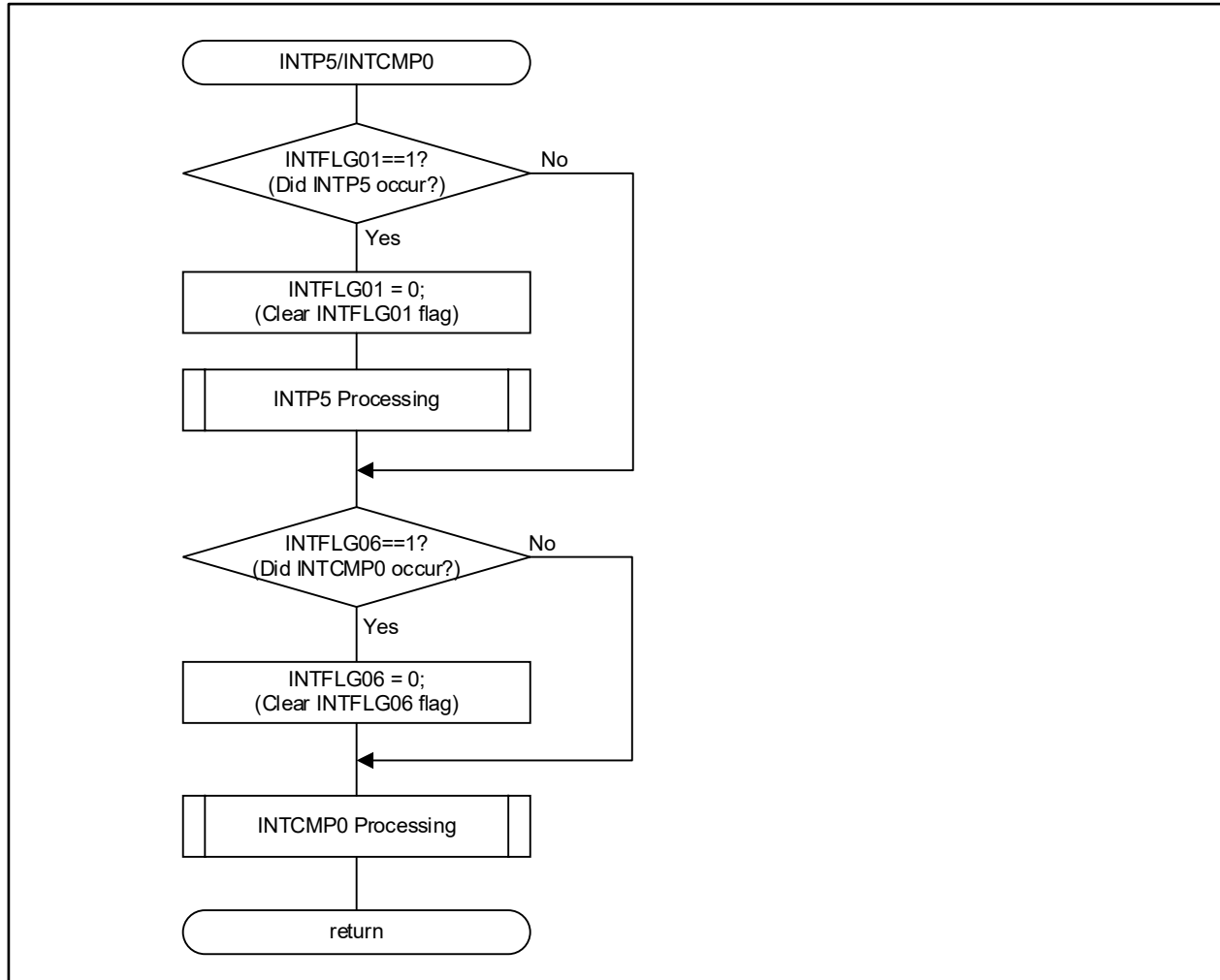


図 1-2 INTP5/INTCMP0 Interrupt Judgement Example

1.3 INTP13/INTCLM 判別方法

INTP13（端子入力エッジ検出 13）と INTCLM（PLL クロック停止検出）の 2 つの割り込みを許可した時の割り込み処理例を図 1-3 に示します。

INTP13 割り込みは INTFLG0 レジスタの INTFLG07 ビット、INTCLM 割り込みは PLLSTS レジスタの SELPLLS ビットおよび PLLCTL レジスタの SELPLL ビットで判定します。

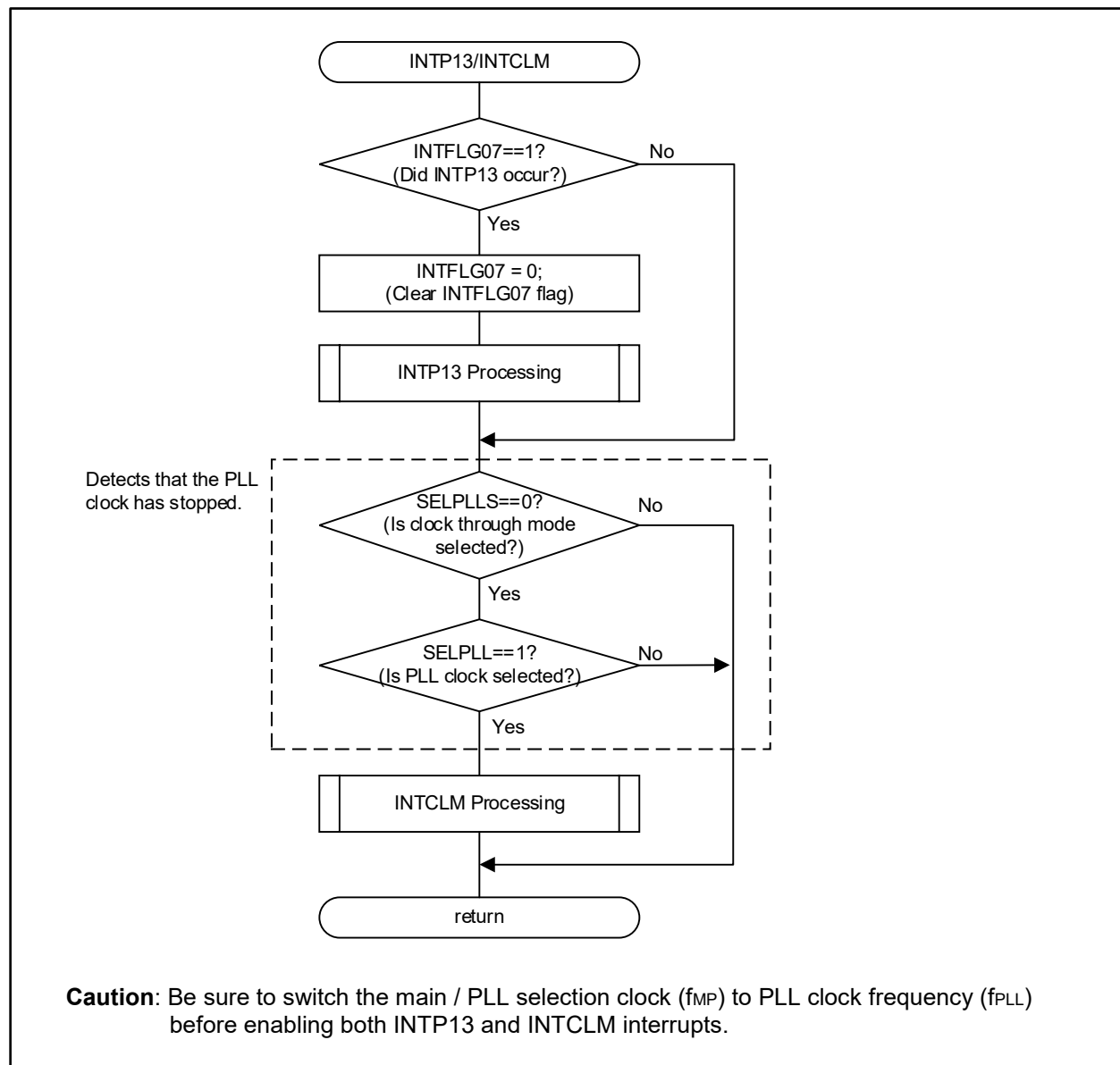


図 1-3 INTP13/INTCLM Interrupt Judgement Example

1.4 INTP8/INTRTC 判別方法

INTP8（端子入力エッジ検出 8）と INTRTC（RTC 定周期信号／アラーム一致検出）の 2 つの割り込みを許可した時の割り込み処理例を図 1-4 に示します。

INTP8 割り込みは INTFLG0 レジスタの INTFLG02 ビット、INTRTC 割り込みは RTCC1 レジスタの WAFG ビットおよび RIFG ビットで判定します。

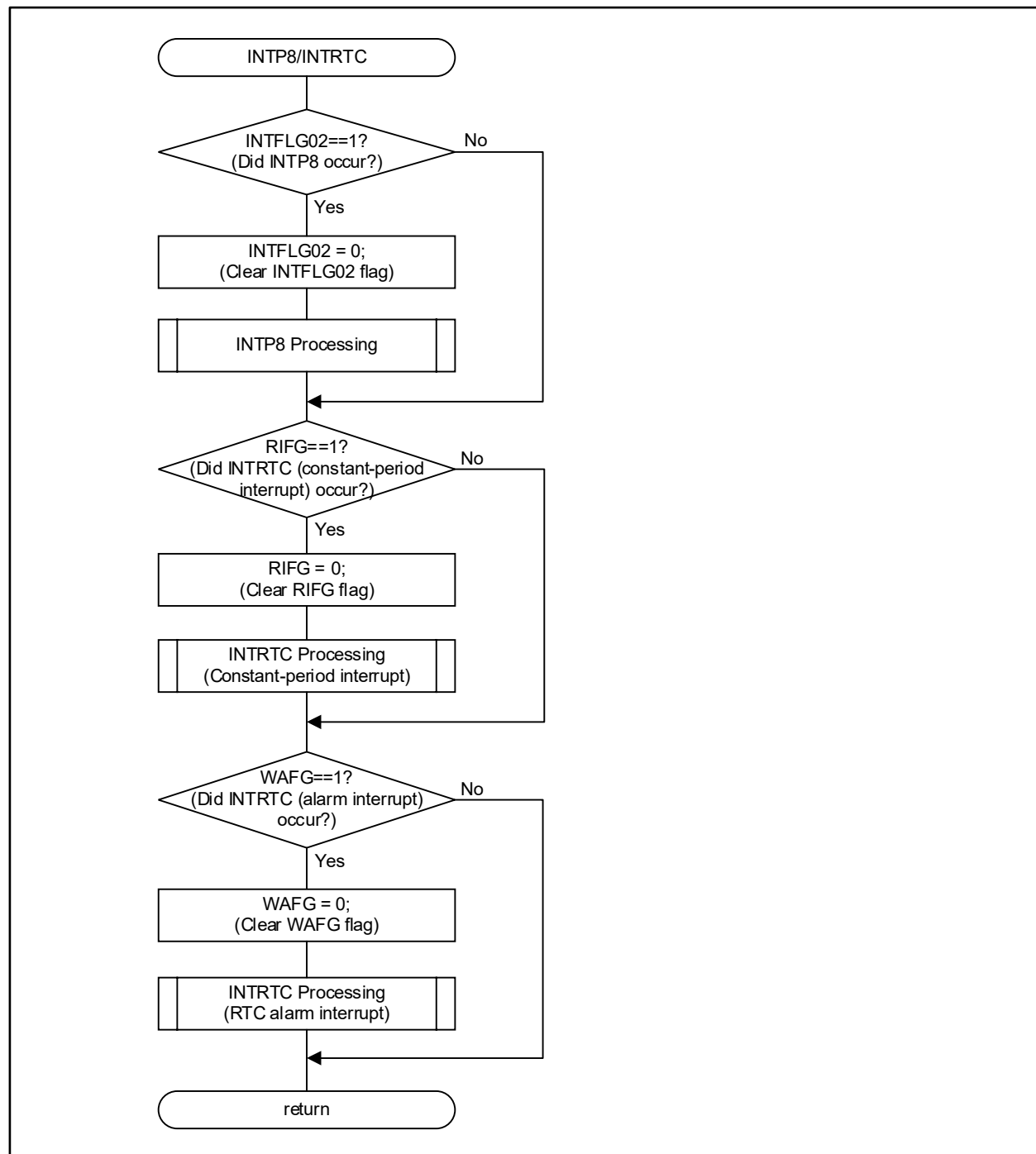


図 1-4 INTP8/INTRTC Interrupt Judgement Example

1.5 INTTM0n/INTLIN2x 判別方法

INTTM0n (TAU0 チャネル n カウント完了/キャプチャ完了) と INTLIN2x (LIN2 送信/受信/ステータス割り込み) の 2 つの割り込みを許可した時の割り込み処理例を図 1-5 に示します。

INTTM0n 割り込みは INTFLG1 レジスタの INTFLG1n ビット、INTLIN2x 割り込みは LIN2 モジュールの持つ割り込み要求フラグで判定します。なお、INTLIN2RVC を UART 通信の受信割り込みとして使用したい場合、要因判定ができません。その場合は、INTTM02 割り込みを禁止にして使用してください。

備考: $n = 1 \sim 3$

$x = \text{TRM, RVC, STA}$

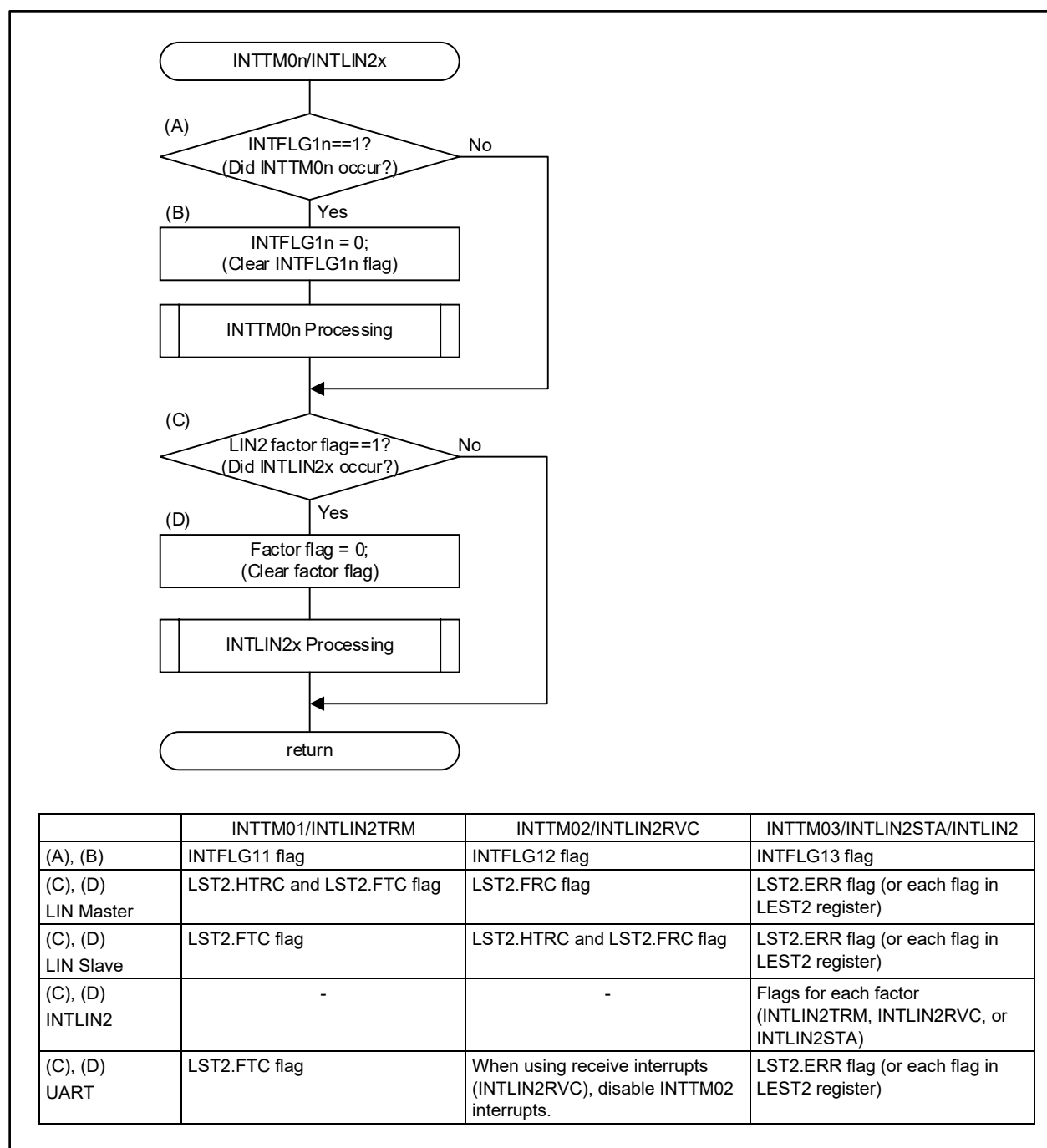


図 1-5 INTM0n/INTLIN2x Interrupt Judgement Example

1.6 INTSAU1x/INTIEBBy 判別方法

INTSAU1x (UART1 送受信, CSI10/CSI11/IIC10/IIC11 転送完了) と INTIEBBy (IEBus データ/ペクタ割り込み) の 2 つの割り込みを許可した時の割り込み処理例を図 1-6 に示します。

INTSAU1x 割り込みは INTFLG4 レジスタの INTFLG41, INTFLG42 ビット、INTIEBBy 割り込みは INTFLG46, INTFLG47 ビットで判定します。

備考 : $x = \text{ST1/CSI10/IIC10, SR1/CSI11/IIC11}$
 $y = \text{TD, TV}$

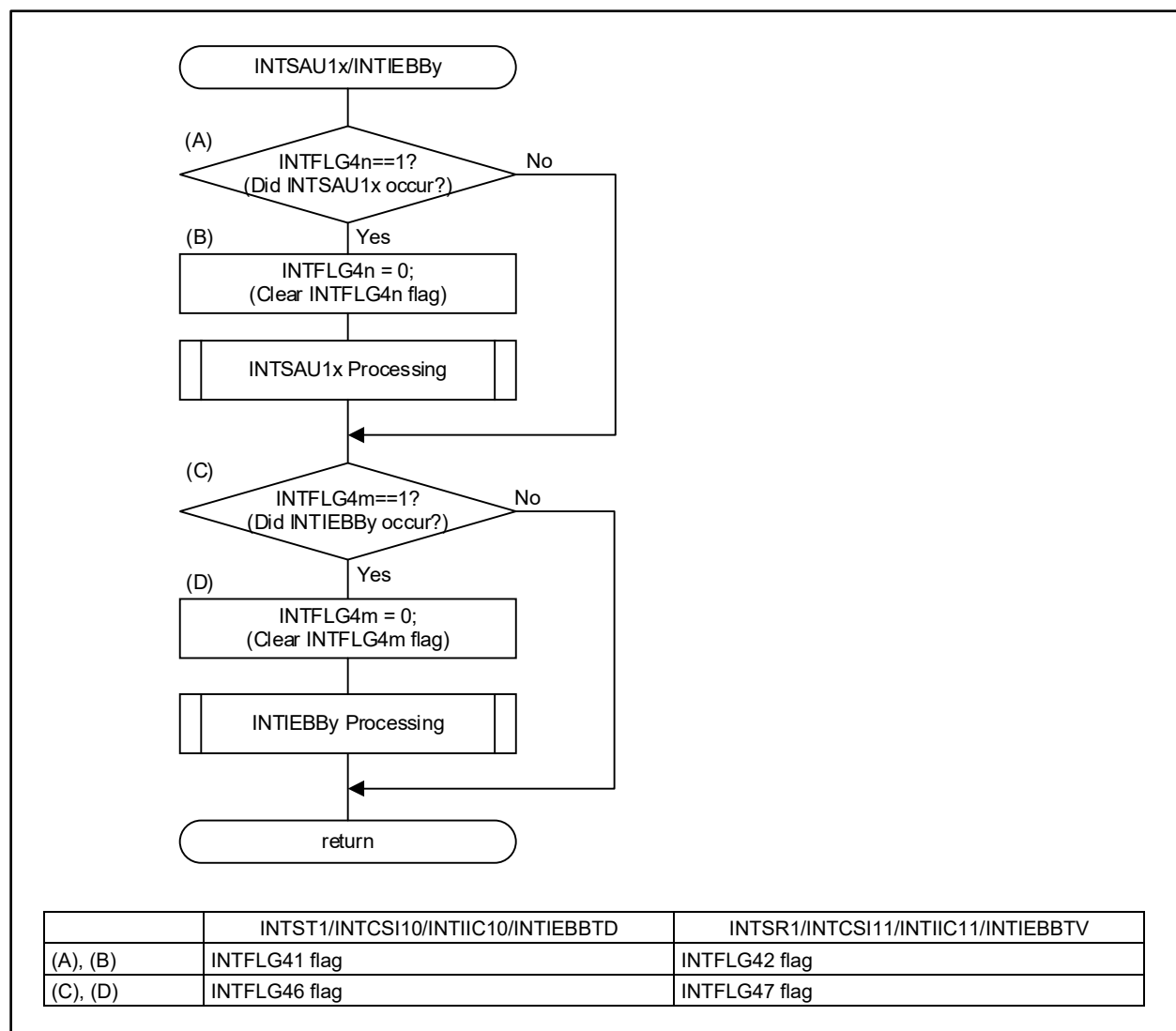


図 1-6 INTSAU1x/INTIEBBy Interrupt Judgement Example

1.7 INTTM0x/INTSAU2y 判別方法

INTTM0x (TAU0 チャネル x カウント完了/キャプチャ完了) と INTSAU2y (UART2 送受信, CSI20/CSI2 転送完了, UART2 受信エラー発生) の 2 つの割り込みを許可した時の割り込み処理例を図 1-7 に示します。

INTTM0x 割り込みは INTFLG1 レジスタの INTFLG14, INTFLG15, INTFLG16 ビット、INTSAU2y 割り込みは INTFLG4 レジスタの INTFLG43, INTFLG44 ビットおよび SSR21 レジスタで判定します。

備考 : x = 4, 5, 6

y = ST2/CSI20, SR2/CSI21, SRE2

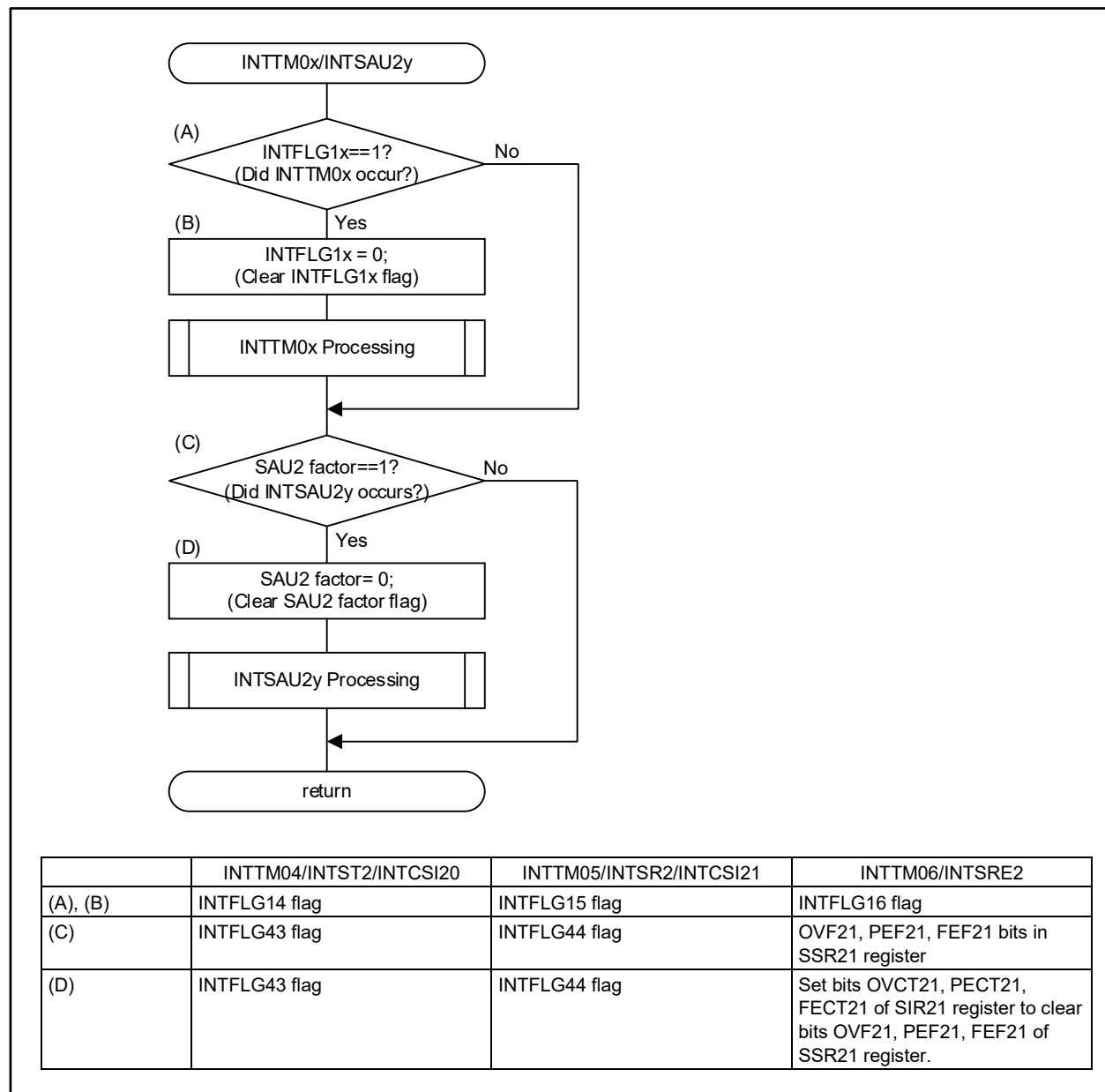


図 1-7 INTTM0x/INTSAU2y Interrupt Judgement Example

1.8 INTP15/INTTM07 判別方法

INTP15（端子入力エッジ検出 15）と INTTM07（TAU0 チャンネル 7 カウント完了/キャプチャ完了）の 2 つの割り込みを許可した時の割り込み処理例を図 1-8 に示します。

INTP15 割り込みは INTFLG4 レジスタの INTFLG40 ビット、INTTM07 割り込みは INTFLG1 レジスタの INTFLG17 ビットで判定します。

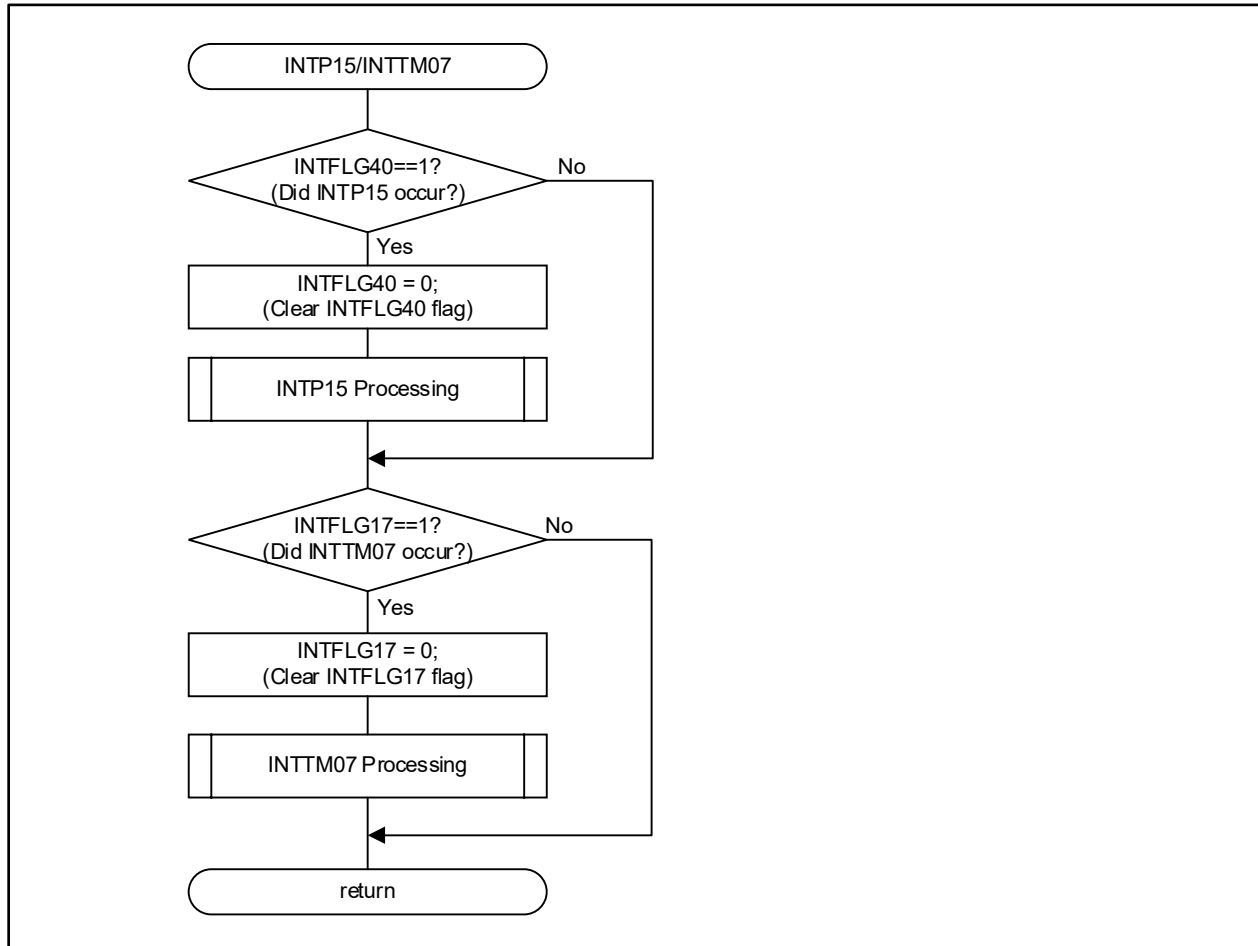


図 1-8 INTP15/INTTM07 Interrupt Judgement Example

1.9 INTTM1x/INTTM2x 判別方法

INTTM1x (TAU1 チャネル x カウント完了/キャプチャ完了) と INTTM2x (TAU1 チャネル x カウント完了/キャプチャ完了) の 2 つの割り込みを許可した時の割り込み処理例を図 1-9 に示します。

INTTM1x 割り込みは INTFLG2 レジスタの INTFLG2x ビット、INTTM2x 割り込みは INTFLG3 レジスタの INTFLG3x ビットで判定します。

備考: $x = 0 \sim 7$

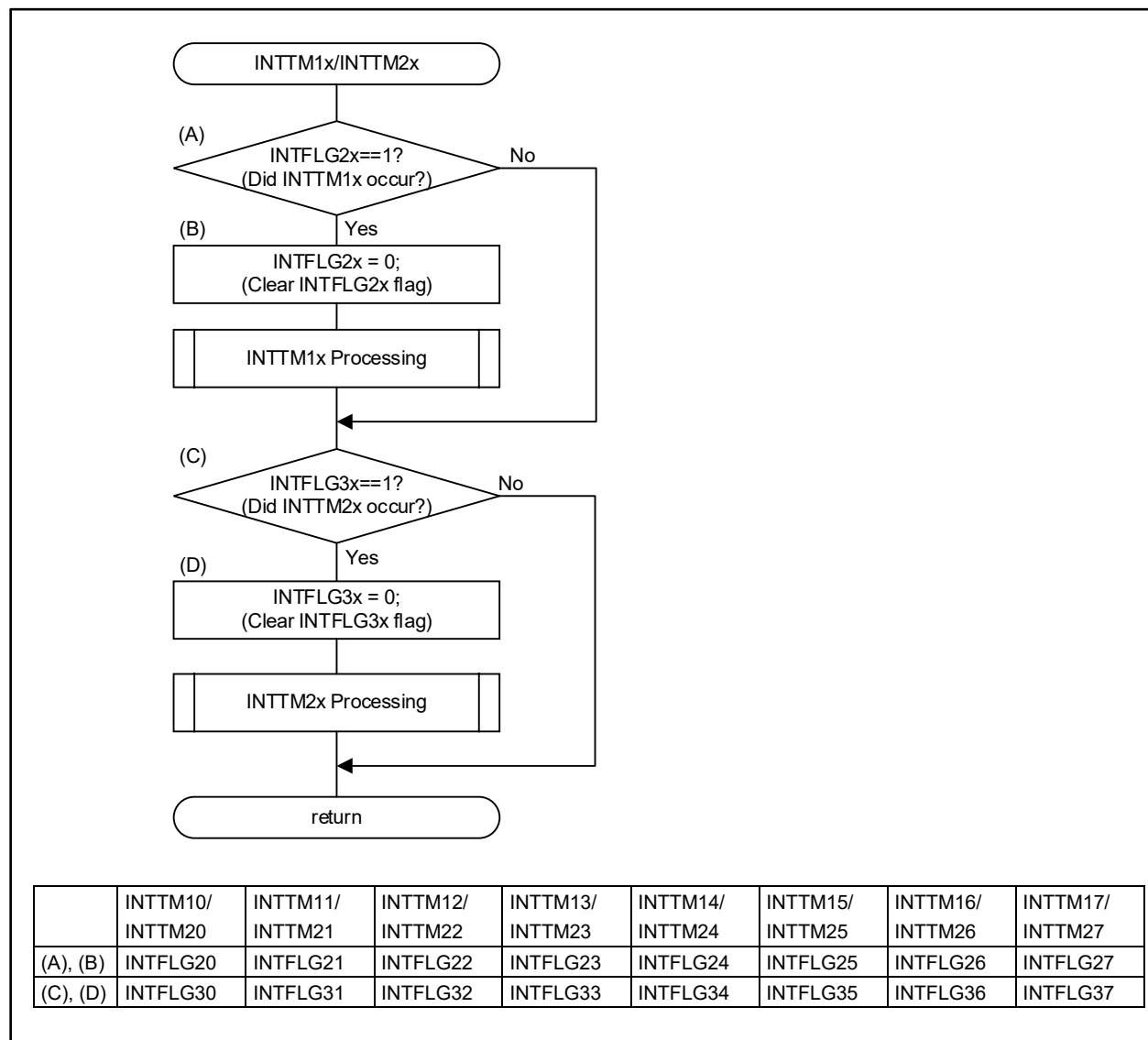


図 1-9 INTTM1x/INTTM2x Interrupt Judgement Example

2. 兼用割り込み使用時の注意点

2.1 INTFLGn レジスタのビットクリア時の注意点

割り込み処理中に同一要因の割り込みが新たに発生した場合、対応する INTFLGn レジスタの INTFLGnm ビットをクリアしても割り込み要求フラグ・レジスタの IF フラグが “1”（割り込み要求あり）になることがあります。その場合、割り込みは発生しますが INTFLGnm ビットは “0”（要因なし）のため、1 章で示すフロー例の場合、発生した割り込み処理を行わずに割り込みサービス・ルーチンを終了します。

上記のケースについて INTP4/INTSPM 割り込みを例として説明します。図 2-1 の割り込み処理で INTFLG00 ビットが “1”（INTP4 要求発生）を判定後、INTFLG00 ビットをクリアする前に新たな有効エッジが INTP4 端子に入力されると IF0L レジスタの PIF4 ビットが “1”になります。その後、INTFLG00 ビットをクリアし、INTP4 割り込み処理を終了しますが、PIF4 ビットが “1”のため、再び INTP4/INTSPM 割り込みが発生します。この時、INTFLG00 ビットが既に“0”にクリアされているため、INTP4 割り込み処理を行わずに次の処理を実行します。

複数の割り込みを許可して使用する場合は、上記の注意事項を考慮して設計してください。

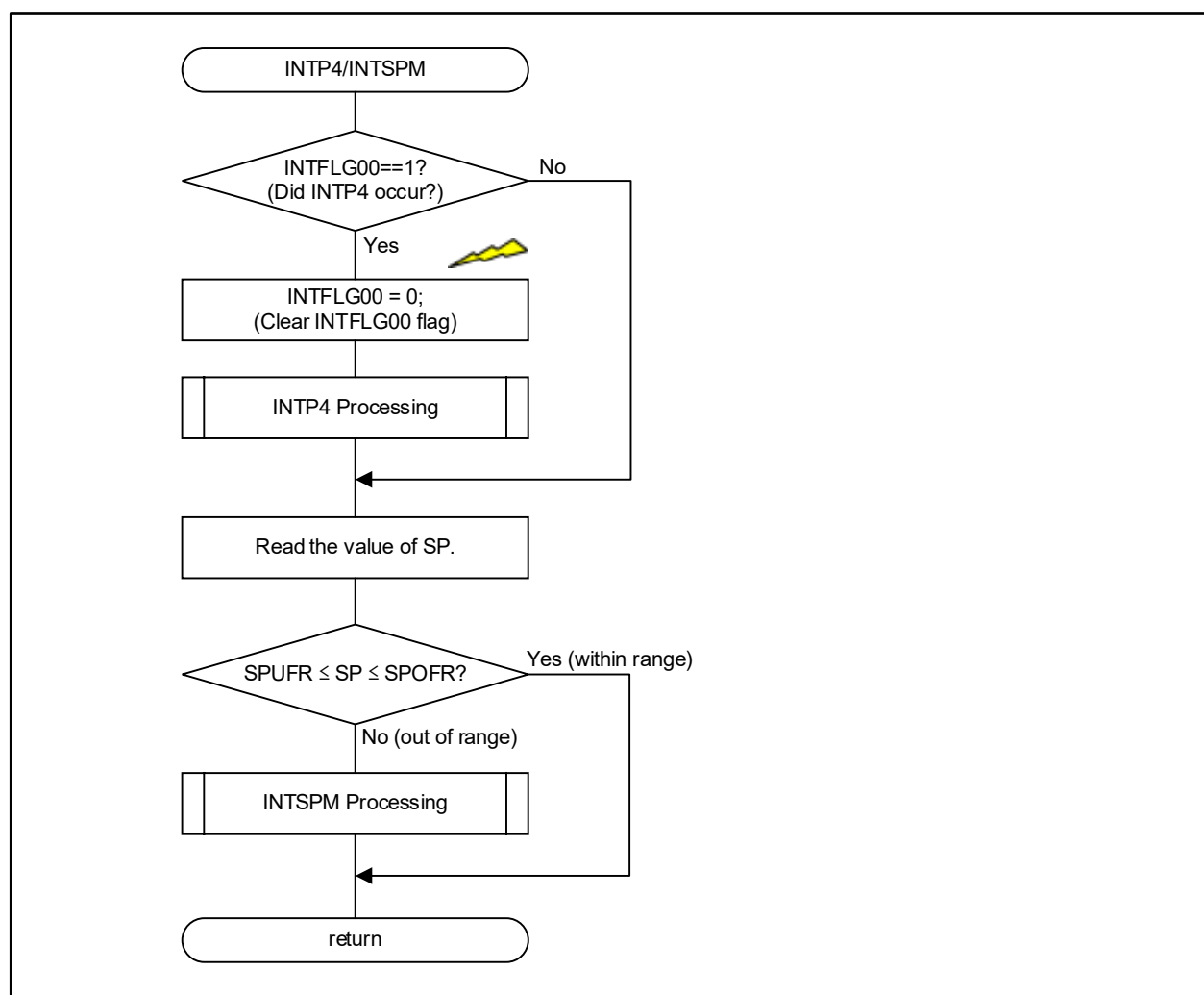


図 2-1 INTP4/INTSPM Interrupt Judgement Example (INTP4 occurs continuously)

2.2 INTSPM と INTCLM 使用時の注意点

CPU スタック・ポインタ・モニタ機能やクロック・モニタ機能は安全機能であるため、使用される場合は、割り込み優先レベルを高く設定することをお勧めします。

3. 参考資料

本アプリケーションノートにおける参考資料を以下に示します。参照の際は、ルネサスエレクトロニクスホームページから最新版を入手してください。

- ・ RL78/F15 ユーザーズマニュアル ハードウェア編 Rev. 1.00

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2021.09.30	-	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとしします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。