
RL78/F13、F14

R02AN0033JJ0100

Rev.1.00

RL78/F13、F14 クロック関連

2016.09.01

要旨

本資料は、RL78/F13、F14 のクロック発生回路に関する資料です。クロックの構成、設定手順、留意点等について説明します。

対象デバイス

RL78/F14、RL78/F13 (CAN&LIN 搭載版)、RL78/F13 (LIN 搭載版)

目次

1. ハードウェア説明	3
1.1 CPU クロック源の遷移	4
2. 各クロック回路の設定手順	6
2.1 X1 発振回路	6
2.1.1 X1 発振回路の発振開始処理	6
2.1.2 X1 発振回路の発振停止処理	7
2.1.3 CPU クロック切り替え手順 (切り替え前 : f_{MX})	8
2.1.4 X1 クロック回路の注意事項	9
2.2 高速オンチップ・オシレータ	10
2.2.1 高速オンチップ・オシレータの発振開始処理	10
2.2.2 高速オンチップ・オシレータの発振停止処理	11
2.2.3 CPU クロック切り替え手順(切り替え前 : f_{IH})	12
2.2.4 高速オンチップ・オシレータの注意事項	13
2.3 低速オンチップ・オシレータ	14
2.3.1 低速オンチップ・オシレータの発振開始処理	14
2.3.2 低速オンチップ・オシレータの発振停止処理	14
2.3.3 CPU クロック切り替え手順 (切り替え前 : f_{IL})	15
2.3.4 低速オンチップ・オシレータの注意事項	16
2.4 XT1 発振回路	17
2.4.1 XT1 発振回路の発振開始処理	17
2.4.2 XT1 発振回路の発振停止処理	17
2.4.3 CPU クロック切り替え手順 (切り替え前 : f_{SUB})	18
2.4.4 XT1 クロック回路の注意事項	19
2.5 PLL 回路	20
2.5.1 PLL 回路の発振開始処理	20
2.5.2 PLL 回路の発振停止処理	20
2.5.3 CPU クロック切り替え手順 (f_{PLL})	21
2.5.4 PLL クロックの注意事項	23
2.6 WDT 専用低速オンチップ・オシレータ	24
3. クロック設定における注意事項	25

1. ハードウェア説明

RL78/F13、F14 は以下のクロック発生回路を持ちます。表 1-1、表 1-2に各クロックの概要を示します。

- ・ X1 発振回路
- ・ 高速オンチップ・オシレータ(高速 OCO)
- ・ PLL 回路
- ・ XT1 発振回路
- ・ 低速オンチップ・オシレータ(低速 OCO)
- ・ WDT 専用低速オンチップ・オシレータ(WDT 専用低速 OCO)

【注】 1. 20、30、32 ピン製品には XT1 発振回路はありません。

【注】 2. Y グレード製品では、XT1 発振回路(サブシステム・クロック)を使用しないでください。

表 1-1 RL78/F13、F14 搭載クロックの概要(1)

	高速OCOクロック	X1クロック	XT1クロック	PLLクロック
リセット解除時	発振	停止	停止	停止
クロック周波数	<ul style="list-style-type: none"> ・ Lグレード 1/4/8/12/16/24/32/48/64 [MHz]から選択 ・ Kグレード、Yグレード 1/4/8/12/16/24/32/48 [MHz]から選択 	1~20 [MHz]	<ul style="list-style-type: none"> ・ Lグレード、Kグレード 32.768 [kHz] ・ Yグレード 使用禁止 	<ul style="list-style-type: none"> ・ Lグレード 24/32/48/64 [MHz]から選択 ・ Kグレード、Yグレード 24/32/48 [MHz]から選択
CPU/周辺ハードウェア・クロック最大周波数	<ul style="list-style-type: none"> ・ Lグレード 32 [MHz] ・ Kグレード、Yグレード 24 [MHz] 	20 [MHz]	35.0 [kHz]	<ul style="list-style-type: none"> ・ Lグレード 32 [MHz] ・ Kグレード、Yグレード 24 [MHz]
クロックの用途	<ul style="list-style-type: none"> ・ CPUクロック ・ 周辺ハードウェア・クロック 	<ul style="list-style-type: none"> ・ CPUクロック ・ 周辺ハードウェア・クロック 	<ul style="list-style-type: none"> ・ CPUクロック ・ 周辺ハードウェア・クロック 	<ul style="list-style-type: none"> ・ CPUクロック ・ 周辺ハードウェア・クロック
発振開始条件	<ul style="list-style-type: none"> ・ リセット解除時 ・ CSC.HIOSTOP=0 ・ STOPモード解除 	<ul style="list-style-type: none"> ・ CSC.MSTOP=0 ・ STOPモード解除 	<ul style="list-style-type: none"> ・ CSC.XTSTOP=0 	<ul style="list-style-type: none"> ・ PLLCTL.PLLON=1
発振停止条件	<ul style="list-style-type: none"> ・ STOP命令の実行 ・ CSC.HIOSTOP=1 	<ul style="list-style-type: none"> ・ STOP命令の実行 ・ CSC.MSTOP=1 	<ul style="list-style-type: none"> ・ CSC.XTSTOP=1 	<ul style="list-style-type: none"> ・ PLLCTL.PLLON=0
クロック有効判定	—	<ul style="list-style-type: none"> ・ OSTCレジスタで発振安定待ち 	<ul style="list-style-type: none"> ・ ソフトウェアで発振安定待ち 	<ul style="list-style-type: none"> ・ PLLSTS.LOCK=1

表 1-2 RL78/F13、F14 搭載クロックの概要(2)

	低速OCOクロック	WDT専用低速OCOクロック
リセット解除時	停止	ユーザ・オプション・バイト(000C0H/020C0H)のWDTONビットで発振/停止を選択
クロックの周波数	15 [kHz]	15 [kHz]
CPU/周辺ハードウェア・クロック最大周波数	15 [kHz]	CPU/周辺ハードウェア・クロック源にならない。
クロックの用途	<ul style="list-style-type: none"> ・ CPUクロック ・ 周辺ハードウェア・クロック ・ クロック・モニタ動作クロック 	<ul style="list-style-type: none"> ・ WDTクロック
発振開始条件	<ul style="list-style-type: none"> ・ OSMC.WUTMMCK0=1またはCKSEL.SELLOSC=1 	<ul style="list-style-type: none"> ・ ユーザ・オプション・バイト(000C0H/020C0H)のWDTONビットを“1” ・ ユーザ・オプション・バイト(000C0H/020C0H)のWDTONビットが“1”かつWDSTBYONビットが“0”で、HALT/STOP/SNOOZEモード解除
発振停止条件	<ul style="list-style-type: none"> ・ OSMC.WUTMMCK0=0かつCKSEL.SELLOSC=0 	<ul style="list-style-type: none"> ・ ユーザ・オプション・バイト(000C0H/020C0H)のWDTONビットを“0” ・ ユーザ・オプション・バイト(000C0H/020C0H)のWDTONビットが“1”かつWDSTBYONビットが“0”で、HALT/STOP/SNOOZEモードに移行時
クロック有効判定	—	—

1.1 CPU クロック源の遷移

図 1-1および図 1-2に CPU/周辺ハードウェア・クロック周波数(f_{CLK})の状態遷移図、ブロック図を示します。また、表 1-3に CPU クロック周波数(f_{CLK})の状態遷移表を示します。

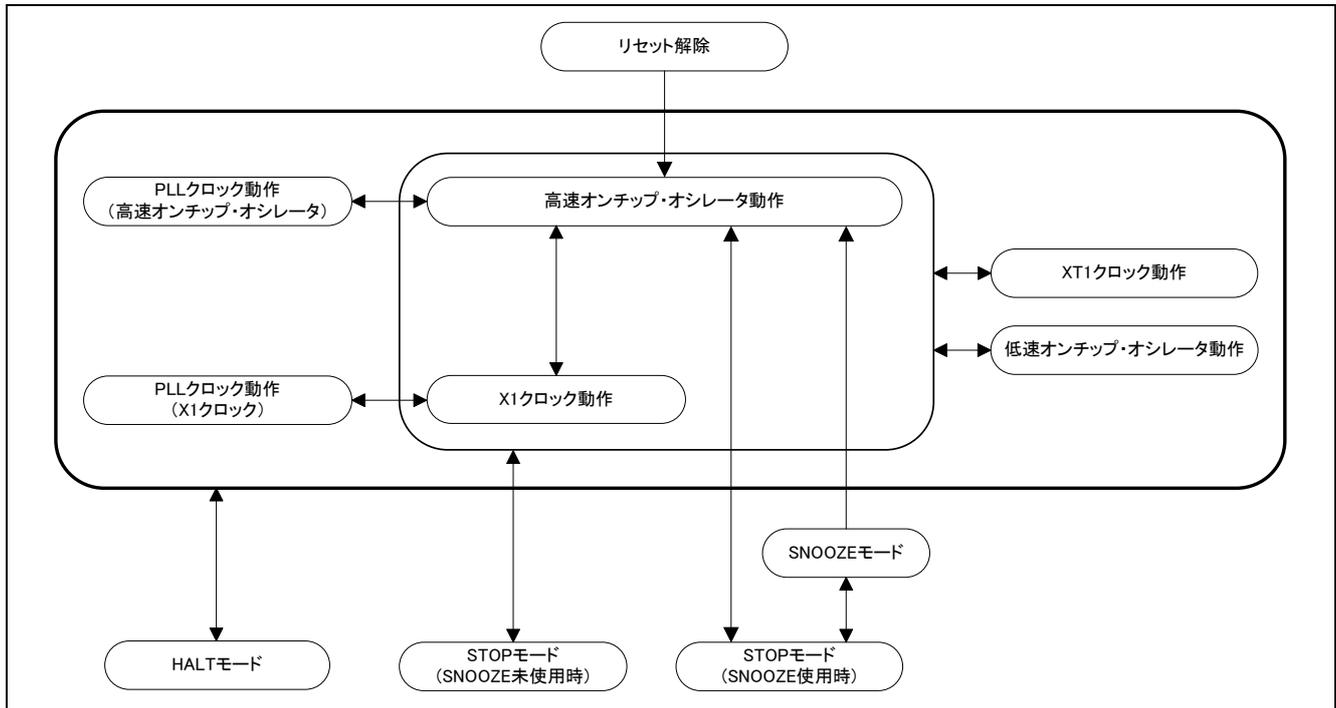


図 1-1 CPU クロックの状態遷移

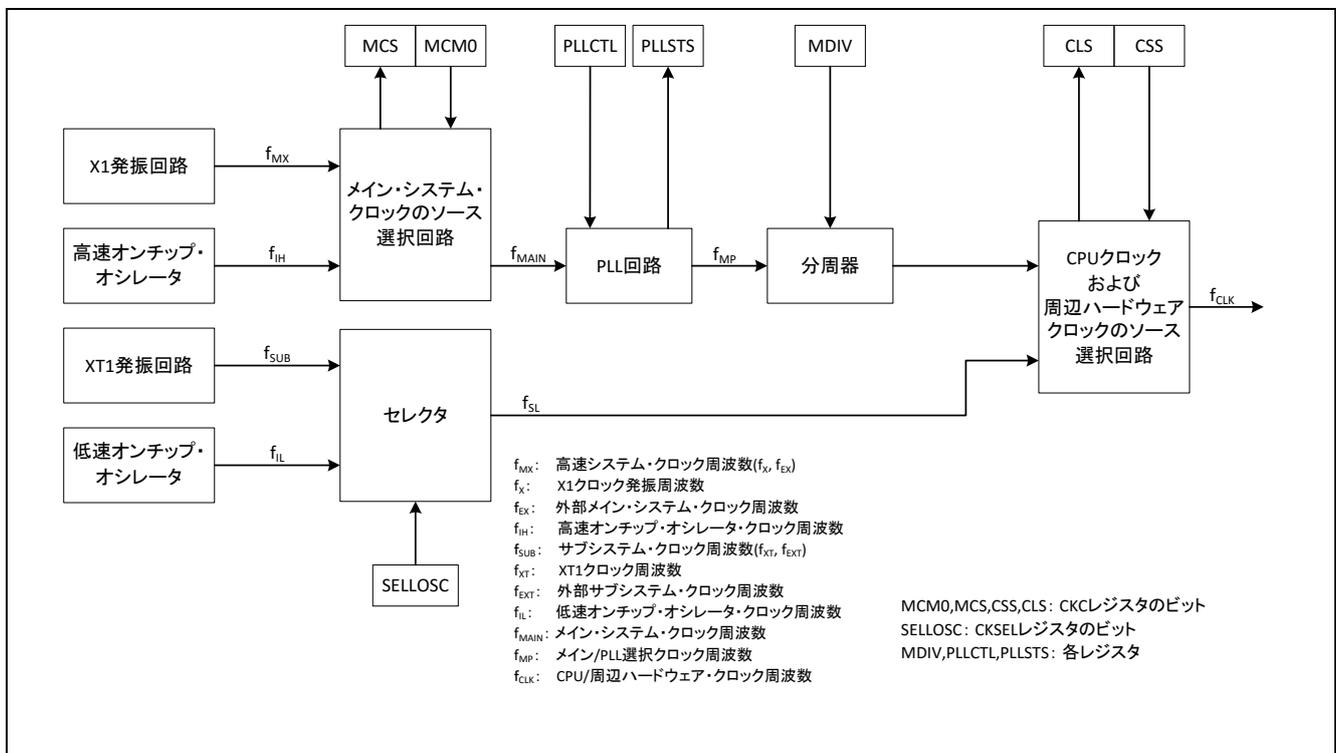


図 1-2 CPU クロックのブロック図

表 1-3 CPU クロック (f_{CLK}) の状態遷移表

		遷移先状態					
		f_{IH}	f_{MX}	$f_{PLL}(f_{IH})$	$f_{PLL}(f_{MX})$	$f_{SUB}^{(注1)}$	f_{IL}
遷移元 f_{CLK}	f_{IH}		○ (図 2-4)	○ (図 2-10)	×	○ (図 2.4)	○ (図 2.4)
	f_{MX}	○ (図 2-2)		×	○ (図 2-10)	○ (図 2-2)	○ (図 2-2)
	$f_{PLL}(f_{IH})$	○ (図 2-11)	×		×	×	×
	$f_{PLL}(f_{MX})$	×	○ (図 2-12)	×		×	×
	$f_{SUB}^{(注2)}$	○ (図 2-8)	○ (図 2-8)	×	×		×
	f_{IL}	○ (図 2-6)	○ (図 2-6)	×	×	×	

【○：遷移可能、×：遷移不可】

- f_{CLK} : CPU/周辺ハードウェア・クロック
 f_{IH} : 高速オンチップ・オシレータ・クロック
 f_{MX} : X1 クロック
 $f_{PLL}(f_{IH})$: PLL クロック(クロック源：高速オンチップ・オシレータ)
 $f_{PLL}(f_{MX})$: PLL クロック(クロック源：X1 クロック)
 f_{SUB} : XT1 クロック
 f_{IL} : 低速オンチップ・オシレータ・クロック

【注】 1. 20、30、32 ピン製品には XT1 クロックの機能はありません。

2. 各クロック回路の設定手順

本章では、RL78/F13、F14 が持つ各クロック発生回路のシステム概要、およびクロックを使用する際の設定手順を示します。

2.1 X1 発振回路

X1 発振回路は、X1、X2 端子に接続した発振回路、または EXCLK 端子に入力する外部クロック回路から内部クロック (f_X 、 f_{EX}) を生成する回路を指します。X1 発振回路が生成するクロックを CPU クロック源として使用することができます。X1 発振回路が生成するクロックを f_{MAIN} に選択した場合、X1 クロックの発振状態をクロック・モニタで監視することができます。図 2-1 に X1 発振回路のブロック図を示します。

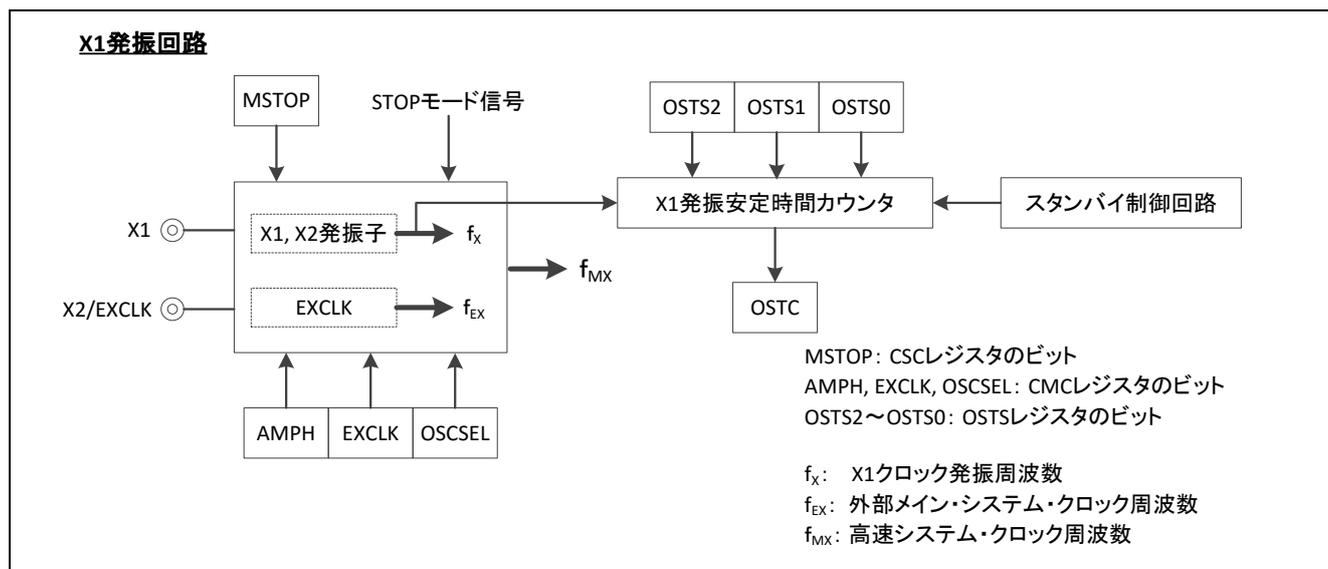


図 2-1 X1 発振回路のブロック図

2.1.1 X1 発振回路の発振開始処理

リセット解除後、X1、X2 端子を割り当てている P121、P122 端子は、入力ポートとなり X1 発振回路は動作を停止しています。X1 発振回路の動作を開始するには、以下の手順でクロック関連レジスタを設定してください。

(1) CMC レジスタの EXCLK、OSCSEL、AMPH ビットを設定する。(注1)

CMC.[EXCLK:OSCSEL] = 01b (X1 発振モード) または 11b (外部クロック入力モード)

(2) OSTS レジスタで発振安定時間を設定する。(注2)

(3) CSC レジスタの MSTOP ビットに“0”を書き込み、X1 発振回路の動作を有効にする。

(4) OSTC レジスタをモニタし、発振安定時間の経過を確認する。

【注】1. CMC レジスタはリセット解除後、1 回だけ書き込み可能です。

【注】2. 発振安定時間は、使用される発振子により異なります。発振安定時間は発振子メーカー様に確認し、お客様のシステムにて十分な評価を行ってください。外部クロック入力モード選択時、発振安定処理は不要です。ただし、入力するクロックは電気的特性に記載している範囲でご使用ください。

CPU クロックに f_{MX} を選択する場合の手順は、2.2章～2.5章を参照ください。

2.1.2 X1 発振回路の発振停止処理

X1 発振回路の発振を停止するには、以下の手順でクロック関連レジスタを設定してください。

- (1) CPU クロックに f_{MX} をカウント源としないクロックを設定する。
- (2) CSC レジスタの MSTOP ビットに “1” を書き込み、X1 発振回路の動作を停止する。

2.1.3 CPU クロック切り替え手順 (切り替え前 : f_{MX})

CPU クロック切り替え手順 (切り替え前 : X1 クロック)を図 2-2に示します。

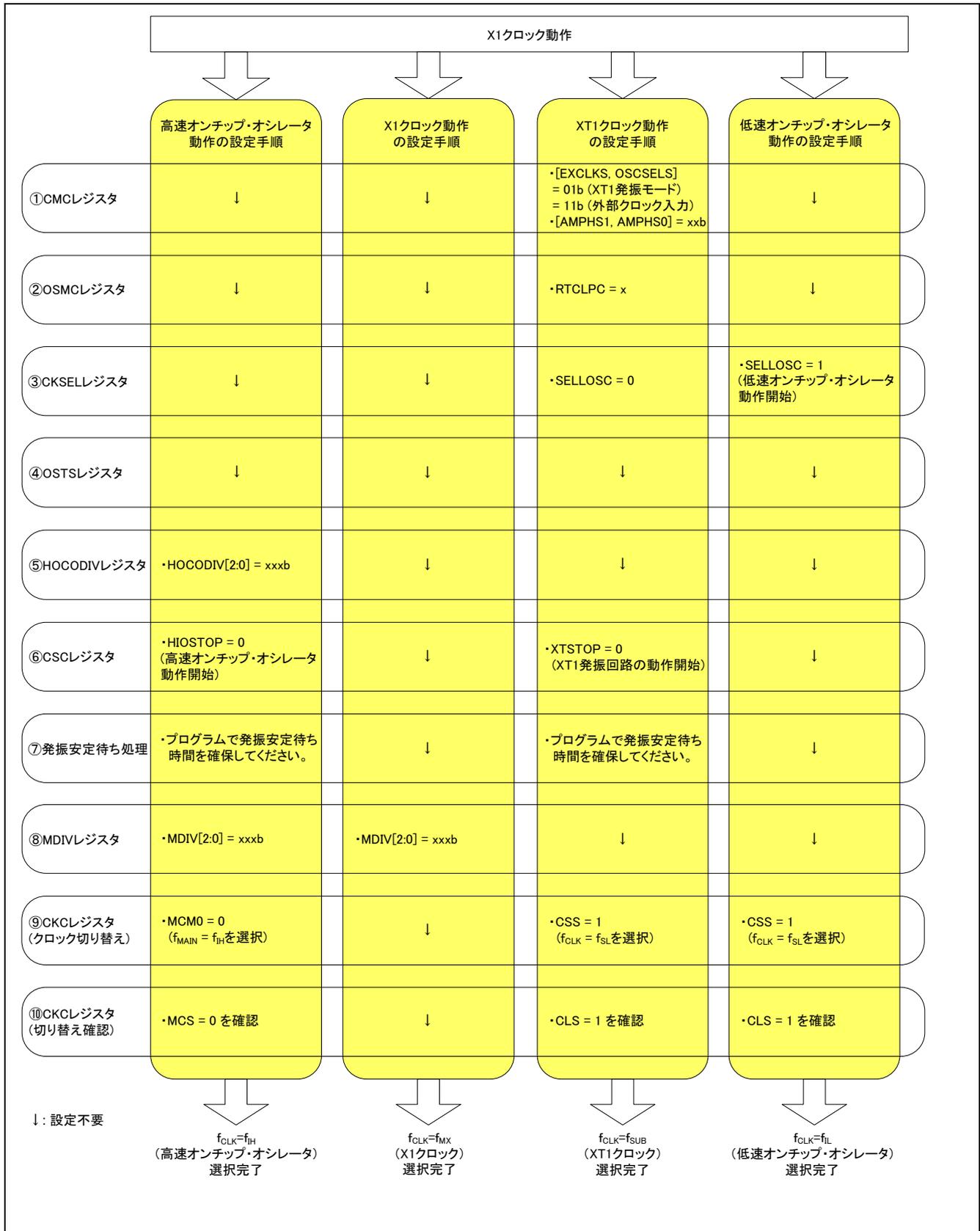


図 2-2 CPU クロック切り替え手順(切り替え前 : X1 クロック)

2.1.4 X1 クロック回路の注意事項

- X1 発振回路を使用しない場合は、CMC レジスタの EXCLK、OSCSEL ビットをともに “0” (入力ポート・モード)にしてください。
- X1 クロック発振周波数が 10MHz を超える場合、CMC レジスタの AMPH ビットを “1” に設定してください。X1 クロックが 1~10MHz の場合、AMPH ビットを “1” にすると発振余裕度が向上します。
- OSTC レジスタの OSTC2~OSTC0 ビットは、X1 クロック発振開始前に OSTC レジスタで確認するカウンタ値以上の時間を設定してください。
- MDIV レジスタを設定する際は、 f_{MP} 分周後の周波数を 1MHz~32MHz(K、Y グレード製品では 1MHz~24MHz)にしてください。
- X1 発振回路に発振子を使用する場合、発振回路の定数や発振安定時間は使用される発振子により異なります。これらの情報は使用される発振子メーカー様に確認し、お客様のシステムにて十分な評価を行ってください。

2.2 高速オンチップ・オシレータ

リセット解除後、高速オンチップ・オシレータが CPU クロック源になります。リセット解除後の高速オンチップ・オシレータの周波数は、マイコンに内蔵している 1/4/8/12/16/24/32/48/64 [MHz] のクロック源の中から 1 つをオプション・バイトによって選択することができます。また、高速オンチップ・オシレータの周波数は、HOCODIV レジスタをプログラムで変更することで、1/2/3/4/6/8/12/16/24/32/48/64 [MHz] に切り替えることができます。図 2-3 に高速オンチップ・オシレータのブロック図を示します。

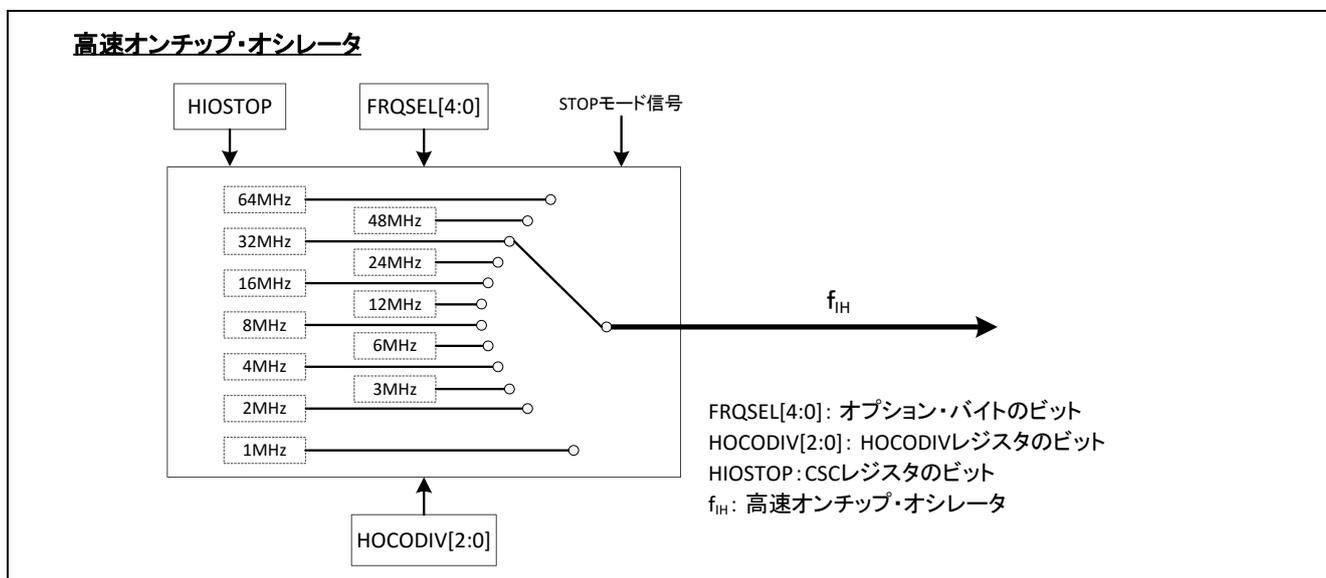


図 2-3 高速オンチップ・オシレータのブロック図

2.2.1 高速オンチップ・オシレータの発振開始処理

リセット解除後、高速オンチップ・オシレータは動作を開始しています。発振停止処理実行後に発振を再開する場合、以下の手順でクロック関連レジスタを設定してください。

- (1) CSC レジスタの HIOSTOP ビットに “0” を書き込み、高速オンチップ・オシレータの動作を開始する。
- (2) 発振安定時間^(注1)の経過を確認する。

【注】1. 発振安定時間は、タイマやソフトウェア・ウェイトを使用し、お客様のソフトウェアで実現してください。高速オンチップ・オシレータの発振安定時間は、ユーザ・オプション・バイト (000C2H/020C2H) の FRQSEL4 ビットの設定により異なります。

FRQSEL4 = 0 : (max) 65 μ s、FRQSEL4 = 1 : (max) 105 μ s

CPU クロックに f_{IH} を選択する場合の手順は、2.1章、2.3章～2.5章を参照ください。

2.2.2 高速オンチップ・オシレータの発振停止処理

高速オンチップ・オシレータを停止するには、以下の手順でクロック関連レジスタを設定してください。

- (1) CPU クロックに、 f_{H} をカウント源としないクロックを設定する。
- (2) CSC レジスタの HIOSTOP ビットに “1” を書き込み、高速オンチップ・オシレータの動作を停止する。

2.2.3 CPU クロック切り替え手順(切り替え前 : f_{IH})

CPU クロック切り替え手順(切り替え前 : 高速オンチップ・オシレータ)を
 図 2-4に示します。

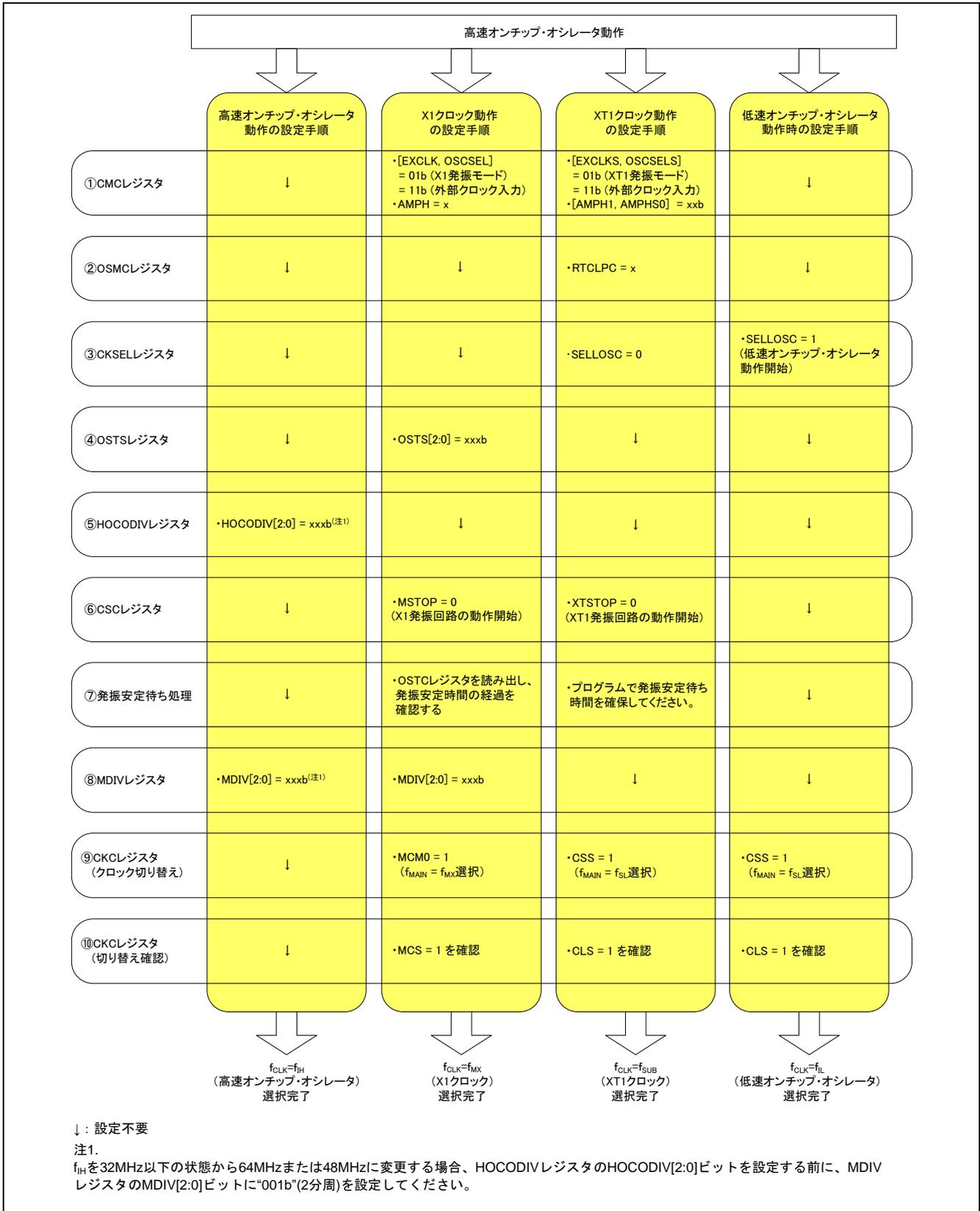


図 2-4 CPU クロック切り替え手順(切り替え前 : 高速オンチップ・オシレータ)

2.2.4 高速オンチップ・オシレータの注意事項

- MDIV レジスタを設定する際は、 f_{MP} 分周後の周波数を 1MHz~32MHz(K、Y グレード製品は 1MHz~24MHz) にしてください。
- ユーザ・オプション・バイト(000C2H/020C2H)のFRQSEL[4:0]ビットで高速オンチップ・オシレータを 48MHz、24MHz、12MHz、6MHz または 3MHz に設定しているときに、CPU/周辺ハードウェア・クロックに PLL クロックを選択する場合は、CPU/周辺ハードウェア・クロック周波数(f_{CLK})を 32MHz に設定しないでください。
- 高速オンチップ・オシレータの周波数に 64MHz または 48MHz を設定した場合は、MDIV レジスタに “01h” ($f_{MP}/2$)を設定してください。
- 高速オンチップ・オシレータの発振を再開させる場合、発振安定待ち時間が必要になります。発振安定時間は、ユーザ・オプション・バイト(000C2H/020C2H)の FRQSEL4 ビットの設定により異なります (FRQSEL4=0 時(max)65 μ s、FRQSEL4=1 時(max)105 μ s)。発振安定時間は、タイマやソフトウェア・ウェイトを使用し、お客様のソフトウェアで実現してください。

2.3 低速オンチップ・オシレータ

低速オンチップ・オシレータは15kHzで動作し、CPUクロック源に選択することができます。リセット解除後、低速オンチップ・オシレータは停止しています。STOPモード時、低速オンチップ・オシレータの発振は停止しません。図 2-5に低速オンチップ・オシレータのブロック図を示します。

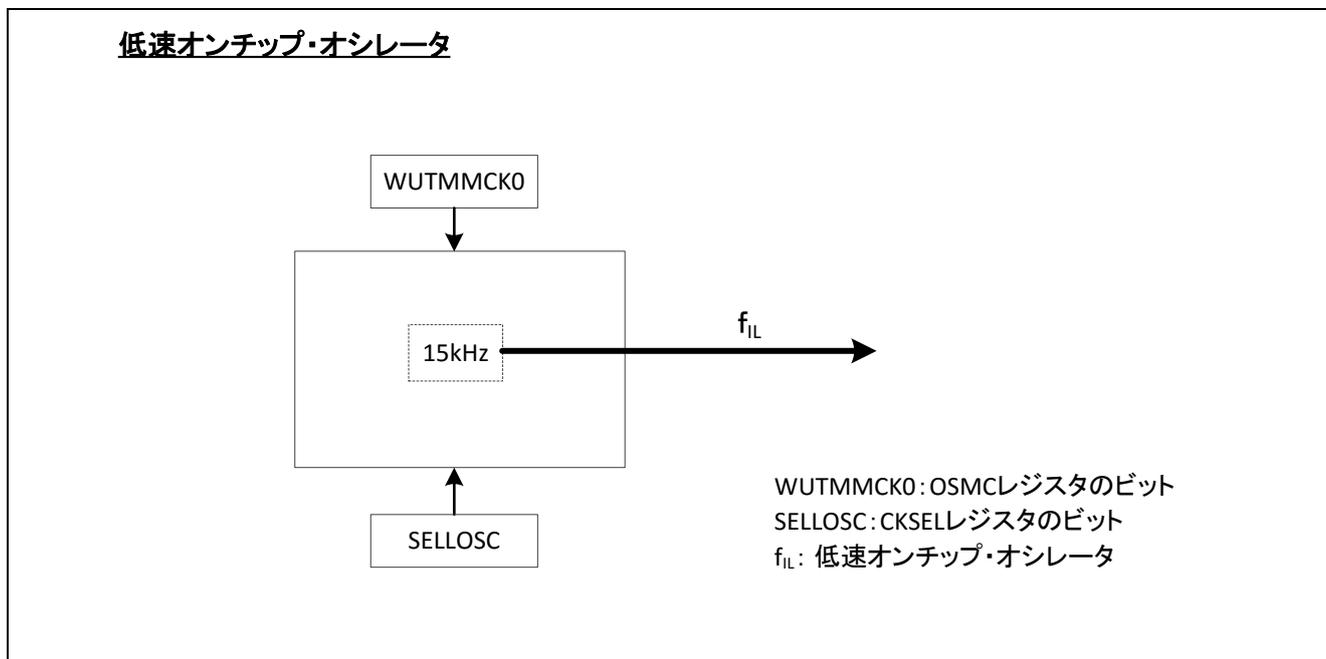


図 2-5 低速オンチップ・オシレータのブロック図

2.3.1 低速オンチップ・オシレータの発振開始処理

リセット解除後、低速オンチップ・オシレータは動作を停止しています。低速オンチップ・オシレータの動作を開始する場合、以下の手順でクロック関連レジスタを設定してください。

- (1) CKSEL レジスタの SELLOSC ビットに“1”を書き込み、低速オンチップ・オシレータの動作を開始する。^(注1)

【注】1. 低速オンチップ・オシレータは、OSMC レジスタの WUTMMCK0 ビットに“1”を書いても発振を開始しません。

CPU クロックに f_L を選択する場合の手順は、2.1章および2.2章を参照してください。

2.3.2 低速オンチップ・オシレータの発振停止処理

低速オンチップ・オシレータを停止するには、以下の手順でクロック関連レジスタを設定してください。

- (1) CPU クロックに f_L をカウント源としないクロックを設定する。
- (2) CKSEL レジスタの SELLOSC ビットを“0”かつ OSMC レジスタの WUTMMCK0 ビットを“0”にして、低速オンチップ・オシレータの動作を停止する。

2.3.3 CPU クロック切り替え手順 (切り替え前 : f_{IL})

CPU クロック切り替え手順(切り替え前 : 低速オンチップ・オシレータ)を
 図 2-6に示します。

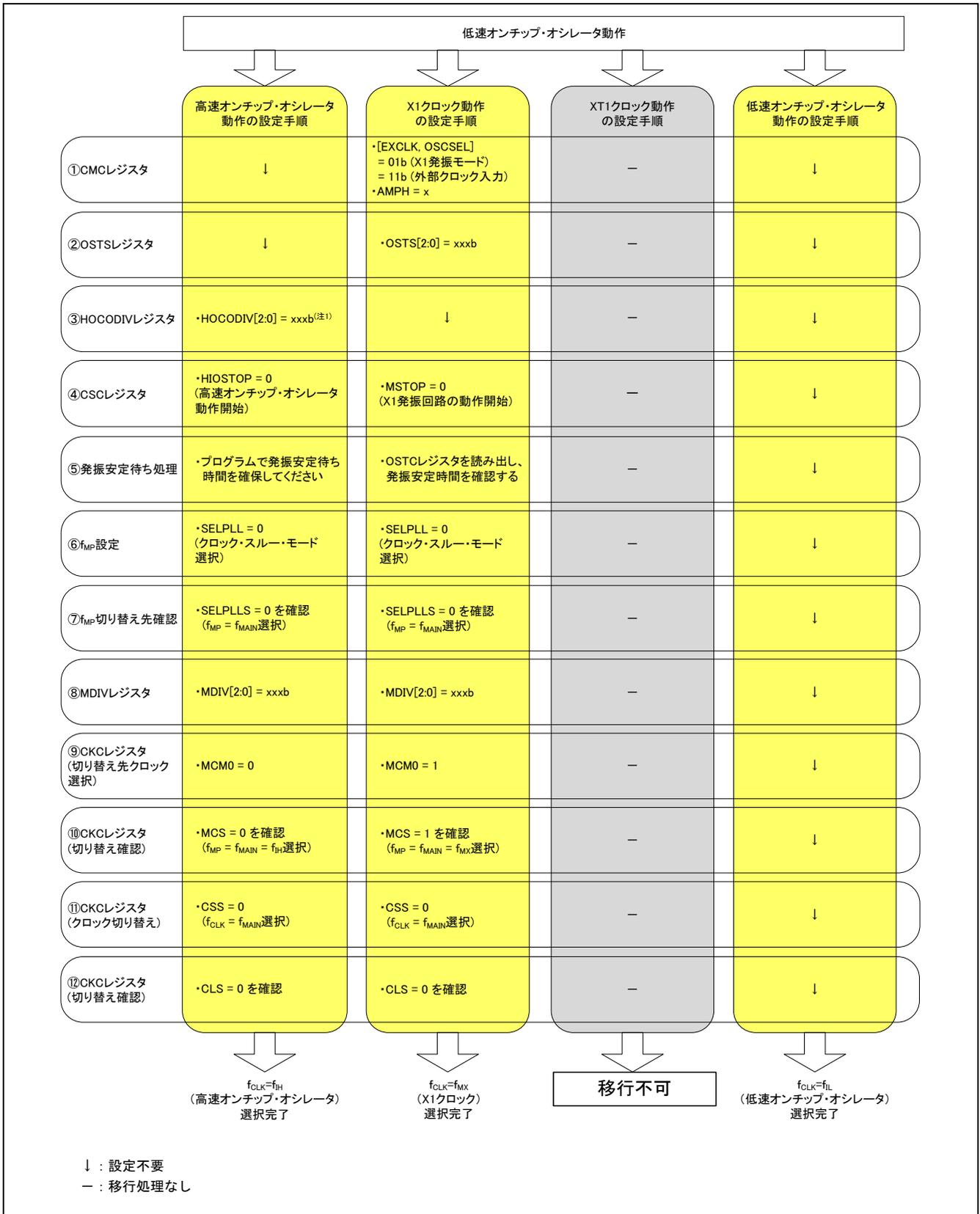


図 2-6 CPU クロック切り替え手順(切り替え前 : 低速オンチップ・オシレータ)

2.3.4 低速オンチップ・オシレータの注意事項

- ・タイマ RJ のカウント源に低速オンチップ・オシレータを選択する場合、OSMC レジスタの WUTMMCK0 ビットに“1”を書いてください。WUTMMCK0 ビットに“1”を書くと低速オンチップ・オシレータが発振を開始します。
- ・周辺ハードウェア・クロックとして低速オンチップ・オシレータを使用している場合、A/D コンバータ、IICA の動作を保証できません。
- ・CKSEL レジスタの TRD_CKSEL ビットを“1” (タイマ RD クロックに f_{SL} を選択)にする場合は、PER1 レジスタの TRDOEN ビットを“1”にする前に、CPU クロックを f_{SL} にしてください。

2.4 XT1 発振回路

XT1 発振回路は、XT1、XT2 端子に接続した発振回路、または EXCLKS 端子に入力する外部クロック回路から内部クロック (f_{XT} 、 f_{EXS}) を生成する回路を指します。XT1 発振回路が生成するクロックを CPU クロック源として使用することができます。STOP モードに移行しても XT1 クロックの発振は停止しません。図 2-7 に XT1 発振回路のブロック図を示します。

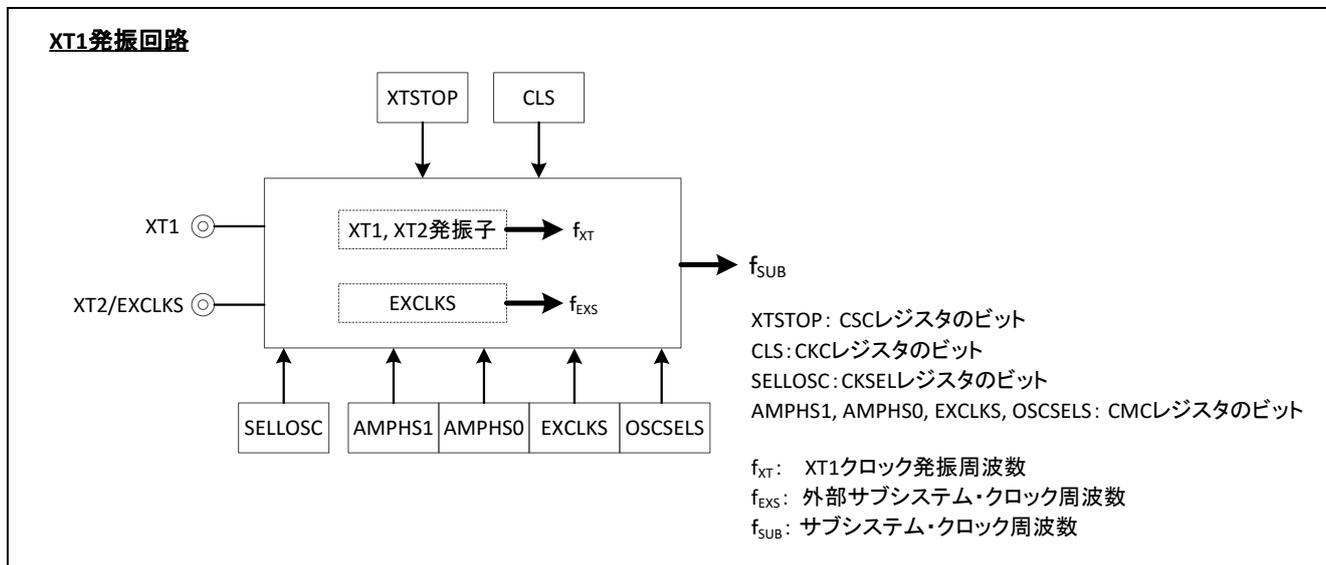


図 2-7 XT1 発振回路ブロック図

2.4.1 XT1 発振回路の発振開始処理

リセット解除後、XT1、XT2 端子を割り当てている P123、P124 端子は、入力ポートとなり XT1 発振回路は動作を停止しています。XT1 発振回路の動作を開始するには、以下の手順でクロック関連レジスタを設定してください。

- (1) CMC レジスタの EXCLKS、OSCSELS、AMPHS1、AMPHS0 ビットを設定する。^(注1)
 CMC.[EXCLKS:OSCSELS] = 01b (XT1 発振モード) または 11b (外部クロック入力モード)。
- (2) CKSEL レジスタの SELLOSC ビットを“0”にする。
- (3) CSC レジスタの XTSTOP ビットに“0”を書き込み、XT1 発振回路の動作を有効にする。
- (4) 発振安定時間^(注2)の経過を確認する。

【注】1. CMC レジスタはリセット解除後、1 回だけ書き込み可能です。

【注】2. 発振安定時間は、使用される発振子により異なります。発振安定時間は発振子メーカー様に確認し、お客様のシステムにて十分な評価を行ってください。外部クロック入力モード選択時、発振安定処理は不要です。ただし、入力するクロックは電気的特性に記載している範囲でご使用ください。

CPU クロックに f_{SUB} を選択する場合の手順は、2.1章および2.2章を参照してください。

2.4.2 XT1 発振回路の発振停止処理

XT1 発振回路の発振を停止するには、以下の手順でクロック関連レジスタを設定してください。

- (1) CPU クロックに f_{SUB} をカウント源としないクロックを設定する。
- (2) CSC レジスタの XTSTOP ビットに“1”を書き込み、XT1 発振回路の動作を停止する。

2.4.3 CPU クロック切り替え手順 (切り替え前 : f_{SUB})

CPU クロック切り替え手順(切り替え前 : XT1 クロック)を図 2-8に示します。

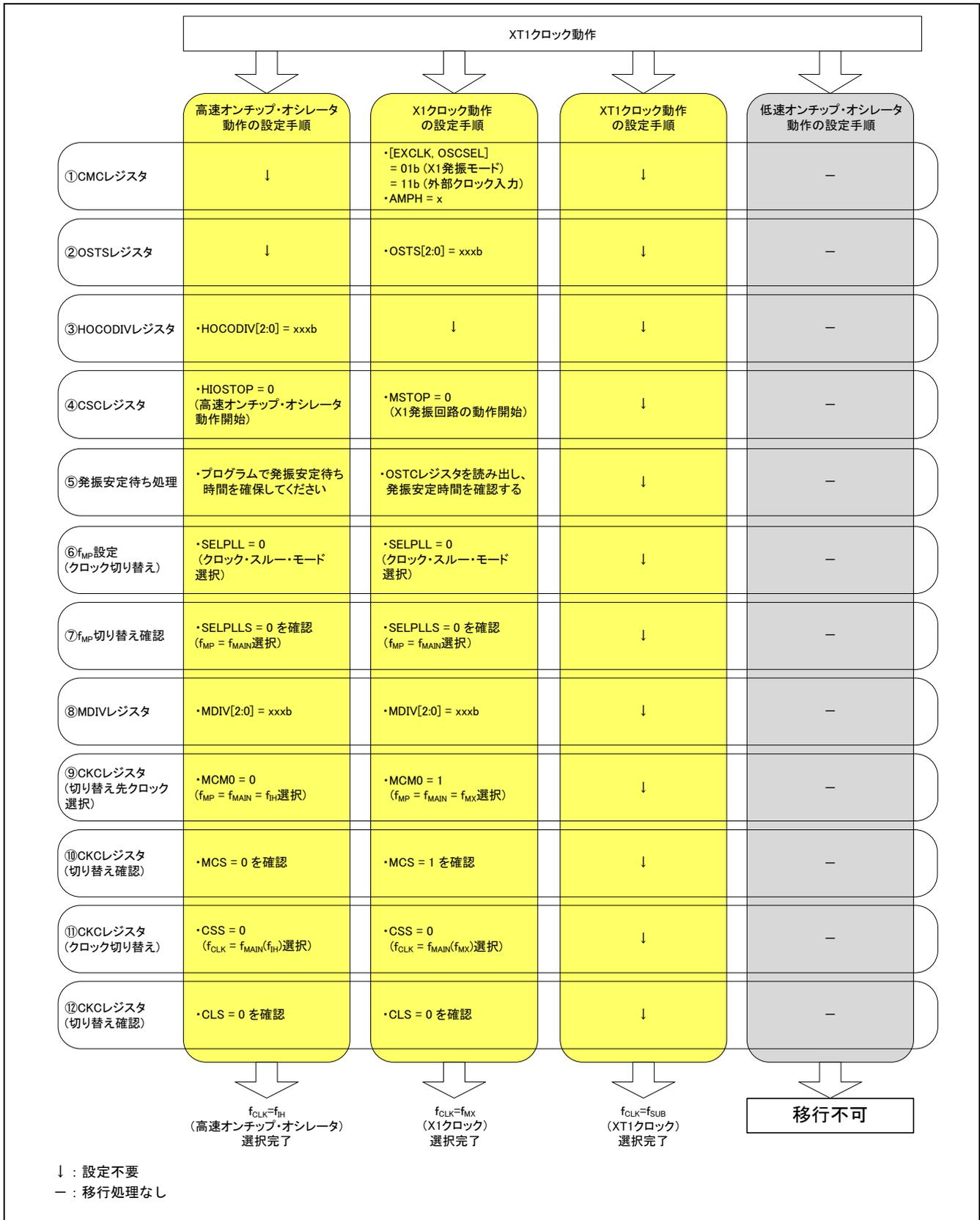


図 2-8 CPU クロック切り替え手順(切り替え前 : XT1 クロック)

2.4.4 XT1 クロック回路の注意事項

- 20、30、32 ピン製品及び Y グレード製品は、サブシステム・クロック(f_{SUB})は使用できません。
- XT1 発振回路を使用しない場合は、CMC レジスタの EXCLKS、OSCSELS ビットを共に “0” (入力ポート・モード)にしてください。
- XT1 発振回路に発振子を使用する場合、発振回路の定数や発振安定時間は使用される発振子により異なります。これらの情報は使用される発振子メーカー様に確認し、お客様のシステムにて十分な評価を行ってください。
- 周辺ハードウェア・クロックとしてサブシステム・クロックを使用している場合、A/D コンバータ、IICA の動作を保証できません。
- CKSEL レジスタの TRD_CKSEL ビットを “1” (タイマ RD クロックに f_{SL} を選択)にする場合は、PER1 レジスタの TRD0EN ビットを “1” にする前に、CPU クロックを f_{SL} にしてください。

2.5 PLL 回路

高速システム・クロック (f_{MX})、高速オンチップ・オシレータ (f_{IH}) を通倍した PLL クロックを CPU クロック源として使用することができます。図 2-9 に PLL 回路のブロック図を示します。

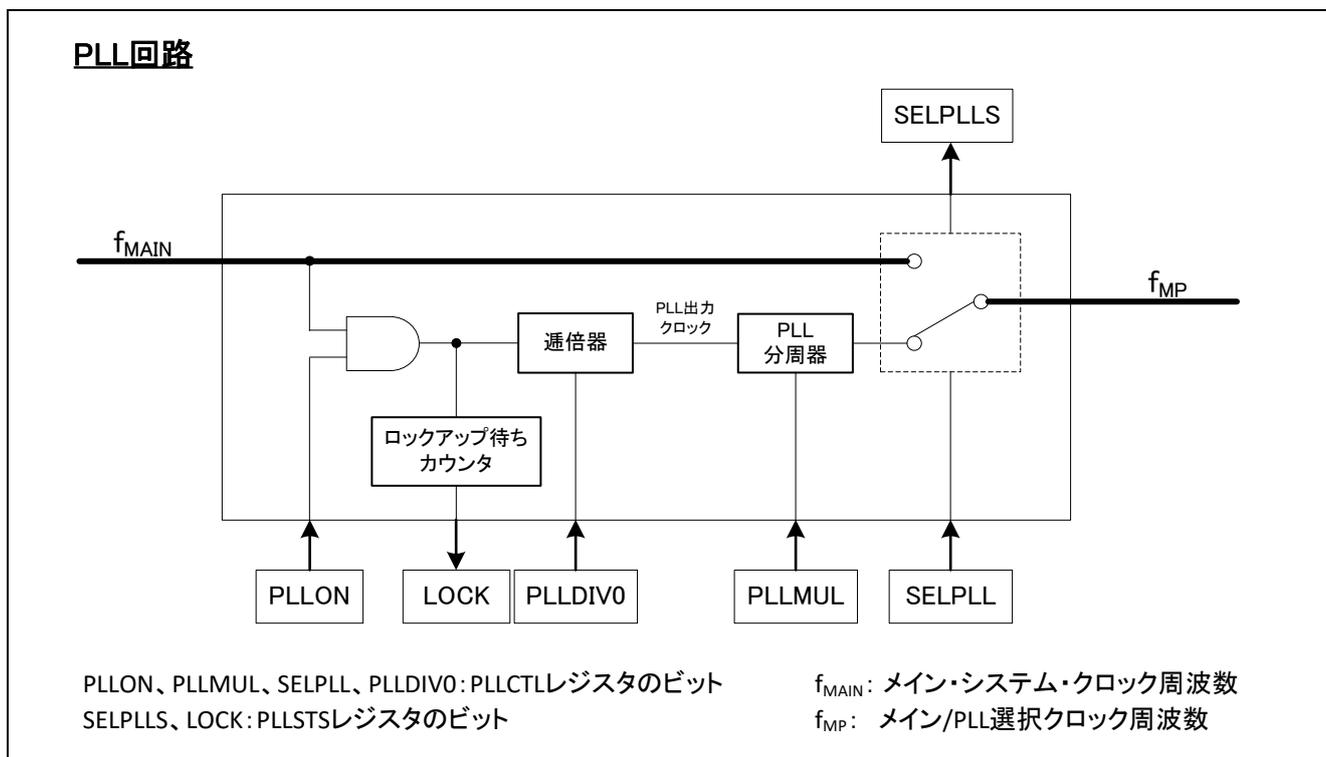


図 2-9 PLL 回路ブロック図

2.5.1 PLL 回路の発振開始処理

リセット解除後、PLL 回路は動作を停止しています。PLL 回路の動作を開始するには、以下の手順でクロック関連レジスタを設定してください。

- (1) PLLCTL レジスタの PLLMUL、PLLDIV0、PLLDIV1、LCKSEL[1:0] ビットを設定する。
- (2) PLL 通倍選択待ち時間 (PLLMUL ビット設定後 $1\mu s$ 以上) の経過を確認する。
- (3) PLLCTL レジスタの PLLON ビットに “1” を書き込み、PLL 回路の動作を有効にする。
- (4) PLLSTS レジスタの LOCK ビットをモニタし、発振安定時間 ($40\mu s$ 以上) の経過を確認する。

【注】 1. PLL 回路で使用可能な入力クロックと出力クロックの組み合わせは、表 2-1 を参照してください。表 2-1 に記載のない組み合わせは使用しないでください。

2.5.2 PLL 回路の発振停止処理

PLL 回路の発振を停止するには、以下の手順でクロック関連レジスタを設定してください。

- (1) PLLCTL レジスタの SELPLL ビットに “0” を書き込み、クロック・スルー・モードにする。
- (2) PLLSTS レジスタの SELPLLS ビットを判定し、クロック・スルー・モードの遷移を確認する。
- (3) PLLCTL レジスタの PLLON ビットに “0” を書き込み、PLL 回路を停止する。

2.5.3 CPU クロック切り替え手順 (f_{PLL})

CPU クロック切り替え手順(切り替え前 : PLL クロック)を図 2-10に、また、CPU クロック切り替え手順(切り替え後 : PLL クロック)を図 2-11に示します。

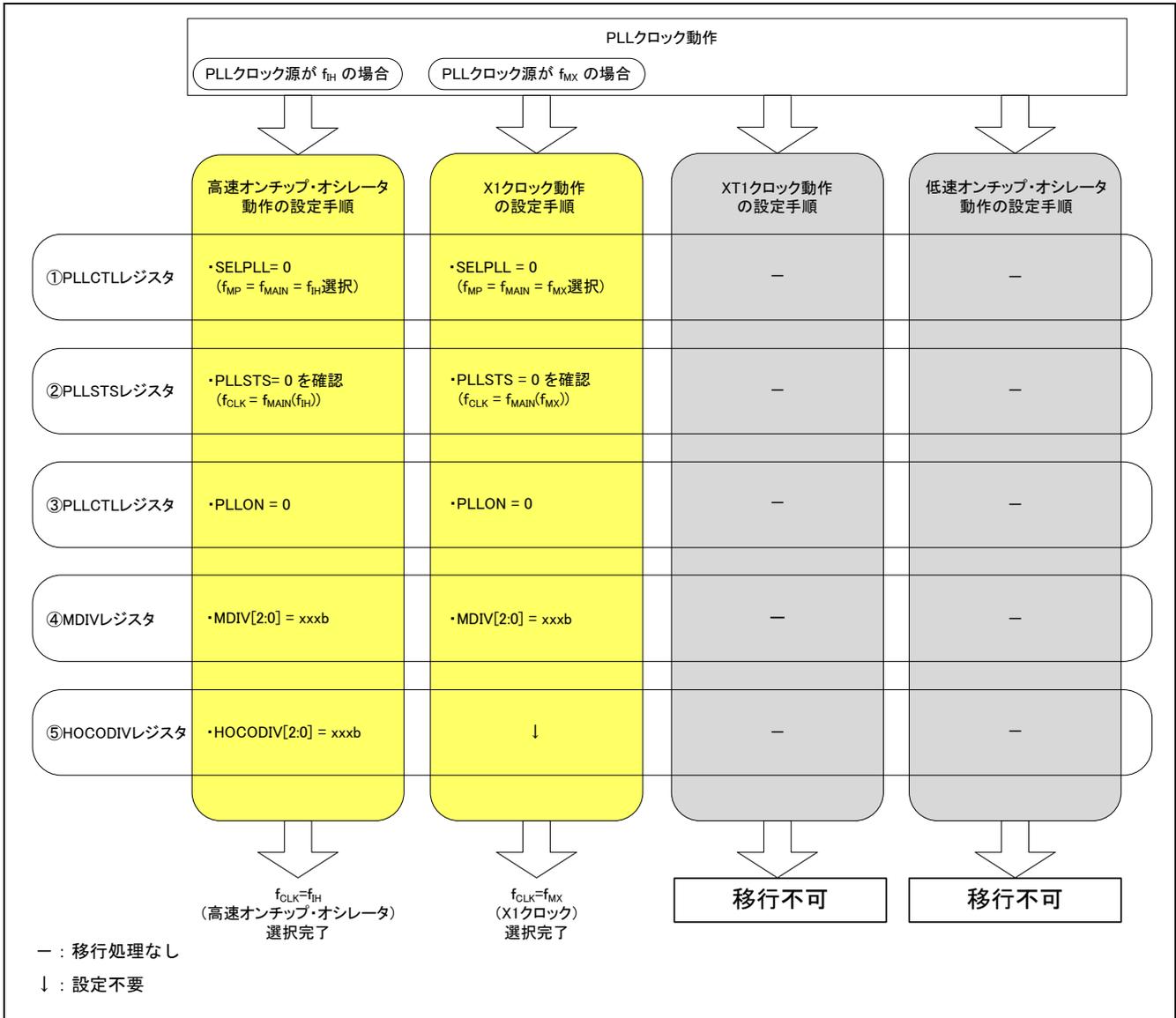


図 2-10 CPU クロック切り替え手順(切り替え前 : PLL クロック)

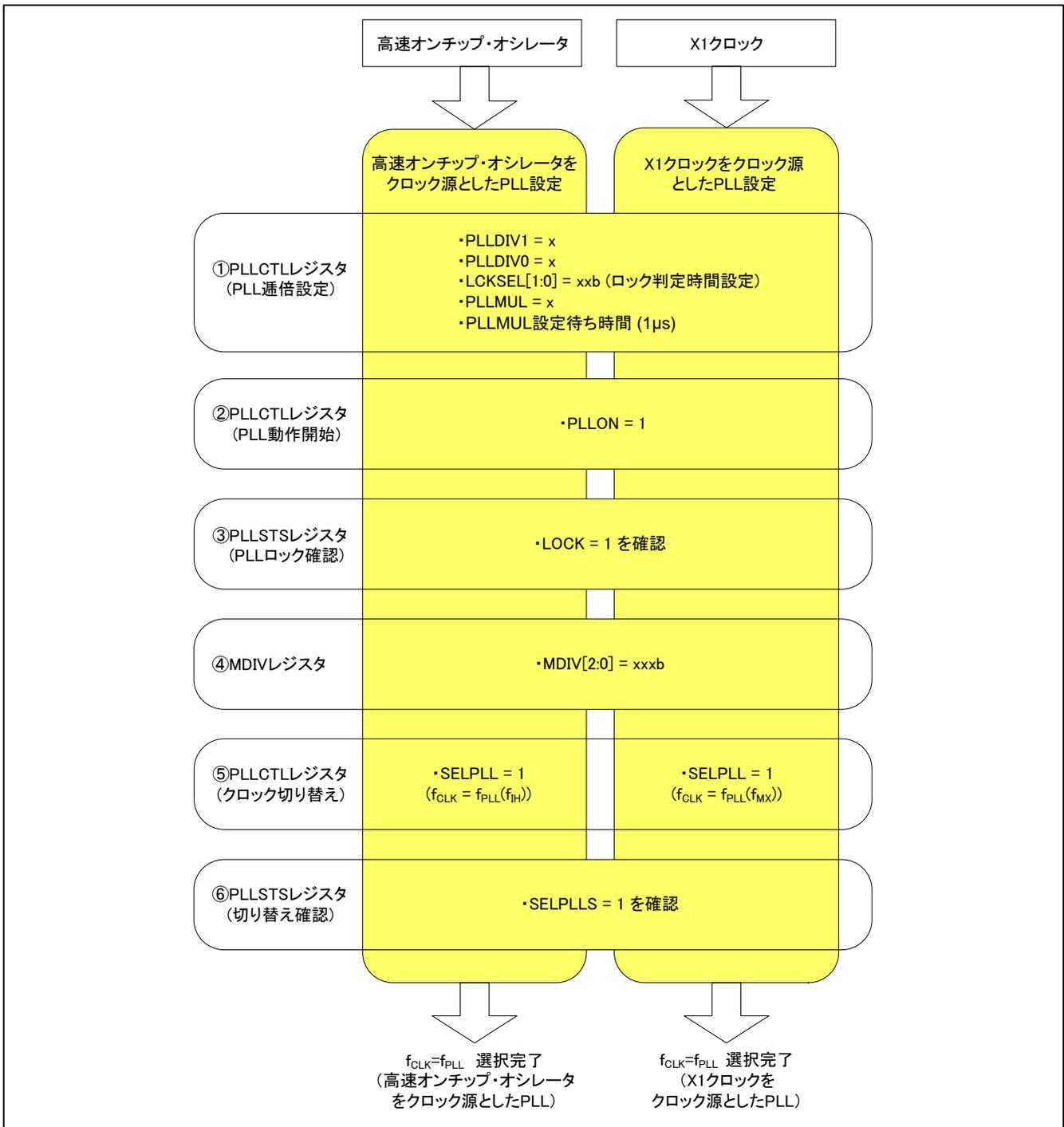


図 2-11 CPU クロック切り替え手順 (切り替え後 : PLL クロック)

2.5.4 PLL クロックの注意事項

- MDIV レジスタを設定する際は、 f_{MP} 分周後の周波数を 1MHz~32MHz(K、Y グレード製品は 1MHz~24MHz) にしてください。また、PLLCTL レジスタの PLLDIV1 ビットが “1” ($f_{PLL}>32\text{MHz}$) の場合、MDIV レジスタに “01h” ($f_{MP}/2$) を設定してください。
- PLL 回路で使用可能な入力クロックと出力クロックの組み合わせは、表 2-1 を参照してください。表 2-1 に記載のない組み合わせは使用しないでください。

表 2-1 PLL 逡倍クロック一覧表

入力クロック	PLLCTL レジスタ				出力クロック
	PLLMUL	PLLDIV0	PLLDIV1(注 1)	LCKSEL[1:0]	
4MHz±2%	0 (12 逡倍)	0 (2 分周)	0 ($f_{PLL} \leq 32\text{MHz}$)	01b (64 μs)	24MHz
	1 (16 逡倍)	0 (2 分周)	0 ($f_{PLL} \leq 32\text{MHz}$)	10b (128 μs)	32MHz
8MHz±2%	0 (12 逡倍)	1 (4 分周)	0 ($f_{PLL} \leq 32\text{MHz}$)	10b (64 μs)	24MHz
	0 (12 逡倍)	0 (2 分周)	1 ($f_{PLL} > 32\text{MHz}$)		48MHz
	1 (16 逡倍)	1 (4 分周)	0 ($f_{PLL} \leq 32\text{MHz}$)		32MHz
	1 (16 逡倍)	1 (4 分周)	1 ($f_{PLL} > 32\text{MHz}$)		64MHz

【注】 1. ユーザ・オプション・バイト(000C2H/020C2H)の FRQSEL4 ビットが “1” の場合、PLLDIV1 ビットは “0” にしてください。

- クロック・モニタ機能がメイン/PLL 選択クロックの停止を検出した場合、PLLSTS レジスタの SELPLLS ビットは “0” (クロック・スルー・モード) になります。しかし、PLLCTL レジスタの SELPLL ビットは “1” (PLL クロック選択モード) を保持します。
- ユーザ・オプション・バイト(000C2H/020C2H)の FRQSEL[4:0] ビットで高速オンチップ・オシレータを 48MHz、24MHz、12MHz、6MHz または 3MHz に設定しているときに、CPU/周辺ハードウェア・クロックに PLL クロックを選択する場合は、CPU/周辺ハードウェア・クロック周波数(f_{CLK})を 32MHz に設定しないでください。

2.6 WDT 専用低速オンチップ・オシレータ

WDT 専用低速オンチップ・オシレータは、ウォッチドッグ・タイマのクロックとして使用します。ユーザ・オプション・バイト(000C0H/020C0H)の WDTON ビットを“1”にすると、リセット解除後、WDT 専用低速オンチップ・オシレータは発振を開始し、ウォッチドッグ・タイマのカウンタ動作を開始します。

ユーザ・オプション・バイト(000C0H/020C0H)の WDTON ビットが“1”かつ WDSTBYON ビットが“0”の場合、HALT/STOP/SNOOZE モードに移行すると、WDT 専用低速オンチップ・オシレータの発振は停止します。HALT/STOP/SNOOZE モードを解除すると発振を再開します。

図 2-12に WDT 専用低速オンチップ・オシレータのブロック図を示します。

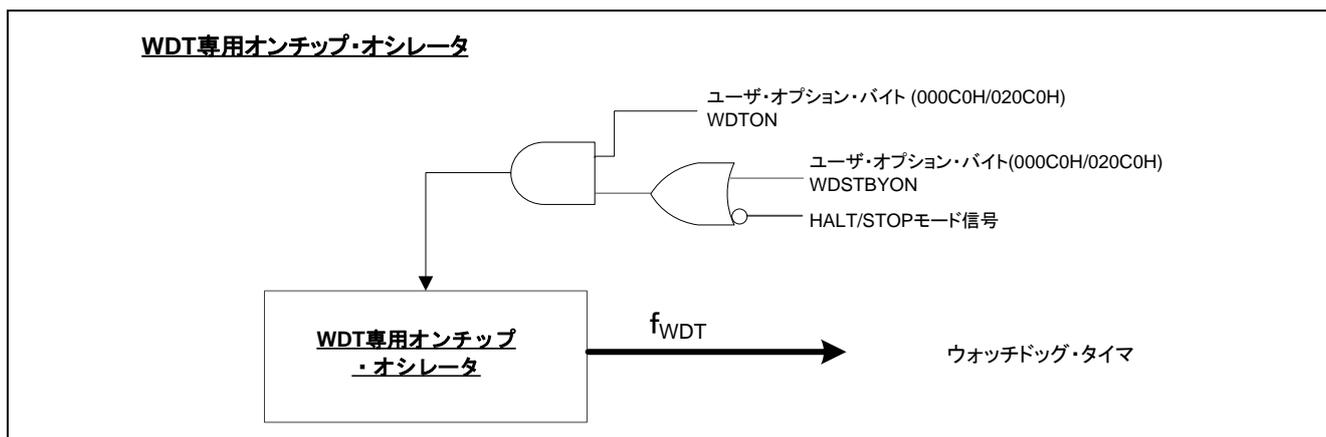


図 2-12 WDT 専用オンチップ・オシレータのブロック図

3. クロック設定における注意事項

- CPU/周辺ハードウェア・クロックを使用している周辺機能は、CPU/周辺ハードウェア・クロックを変更する前に動作を停止してください。
- CMC レジスタはリセット解除後、8 ビット・メモリ操作命令で 1 回のみ書き換え可能です。すでに CMC レジスタを設定している場合は、クロック切り替え手順から省略可能です。
- CMC、CSC、CKC、OSTS、MDIV の各レジスタは、IAWCTL レジスタの GCSC ビットが “0” のときに書いてください。

ホームページとサポート窓口<website and support,ws>

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録<revision history,rh>

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2016.09.01		初版

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレストシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>