

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8SX ファミリ

マルチプロセッサ通信

要旨

シリアルコミュニケーションインタフェース (SCI) のマルチプロセッサ通信機能を用いて、それぞれのプロセッサにデータを送信します。

動作確認デバイス

H8SX/1582F

目次

1. 仕様	2
2. 適用条件	3
3. 使用機能説明	4
4. 動作説明	8
5. ソフトウェア説明	10

1. 仕様

マルチプロセッサ通信機能を使用して、受信局 A にデータ H'B8 を受信局 B にデータ H'DE をそれぞれ送信します。

マルチプロセッサ通信では、はじめに受信局固有の ID を、次にデータを送信することで、シリアルで接続された複数の受信局に、任意にデータを転送することができます。受信局では、はじめに送られてきた ID を自局の ID と比較し、一致すると次に送られてきたデータを受信します。一致しなければ、次のデータは受信しません。

- マルチプロセッサフォーマット通信を使用したプロセッサ間通信の接続例を図 1 に示します。
- 通信フォーマットを表 1 に示します。またデータ送信の終了時にブレークを出力します。
- 本タスク例では、128 バイトの非同期送受信を割り込み例外処理によるソフトウェアで制御します。

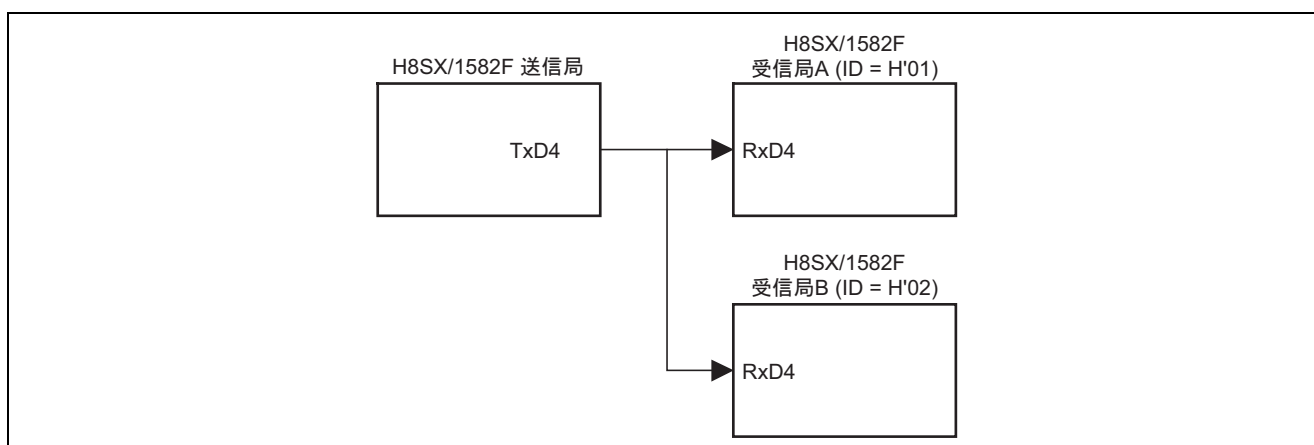


図 1 マルチプロセッサフォーマット通信を使用したプロセッサ間通信

表 1 調歩同期式マルチプロセッサ送信フォーマット

フォーマット内容	設定
Pφ	16MHz
ビットレート	19200bps
データ長	8 ビット
パリティビット	なし
ストップビット	1 ビット
マルチプロセッサビット	1 ビット
シリアル/パラレル変換フォーマット	LSB ファースト

2. 適用条件

表 2 適用条件

項目	内容
動作周波数	入力クロック : 5MHz システムクロック (I ϕ) : 40MHz 周辺モジュールクロック (P ϕ) : 20MHz 外部バスクロック (B ϕ) : 20MHz
動作モード	モード 3 (MD1 = 1, MD0 = 1)
開発ツール	High-performance Embedded Workshop Ver 4.00.02
C/C++コンパイラ	ルネサス テクノロジ製 H8S, H8/300 SERIES C/C++ Compiler Ver 6.01.00
コンパイルオプション	-cpu = h8sxa:24:md, -code = machinecode, -optimize = 1, -regparam = 3 -speed = (register, shift, struct, expression)

表 3 セクション設定

アドレス	セクション名	説明
H'001000	P	プログラム領域
	C	定数領域
H'FF9000	B	未初期化データ領域 (RAM 領域)

3. 使用機能説明

3.1 SCI_4 説明

本タスク例では、SCI_4 を用いて、調歩同期式シリアルデータ送信を行いません。図 2 に SCI_4 のブロック図を示し、以下に図 2 についての機能説明をします。

- 内蔵周辺クロック Pφ
内蔵周辺機能を動作させるための基準クロックであり、クロック発振器により生成されます。
- レシーブシフトレジスタ_4 (RSR_4)
シリアルデータを受信するためのレジスタです。RSR_4 は、RxD_4 端子からシリアルデータが入力され、1 フレーム分のデータを受信すると、データは自動的にレシーブデータレジスタ (RDR_4) へと転送されます。CPU からのアクセスは行なえません。
- レシーブデータレジスタ_4 (RDR_4)
受信データを格納する 8 ビットのレジスタです。1 フレーム分のデータを受信すると、自動的に RSR_4 からデータが転送されます。RSR_4 と RDR_4 は、ダブルバッファ構造ですので、連続受信動作が可能です。RDR_4 は、受信専用レジスタのため、CPU からのリードのみ可能です。
- トランスミットシフトレジスタ_4 (TSR_4)
シリアルデータを送信するためのレジスタです。送信の際には、トランスミットデータレジスタ (TDR_4) から TSR_4 へと転送され、TxD4 端子から送信データが出力されます。CPU からの直接アクセスは行なえません。
- トランスミットデータレジスタ_4 (TDR_4)
送信データを格納する 8 ビットのレジスタです。TSR_4 に空きを検出すると、TDR_4 にライトしたデータは、自動的に TSR_4 に転送されます。また、TDR_4 と TSR_4 はダブルバッファ構造ですので、1 フレーム分のデータを送信したときに TDR_4 に次のデータがライトされていると、TSR_4 へと転送され連続送信が可能です。TDR は、常に CPU からのリード/ライトが可能です。ライトは、シリアルステータスレジスタ (SSR_4) の TDRE ビットが 1 であることを確認して行ってください。
- シリアルモードレジスタ_4 (SMR_4)
シリアルデータ通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。
- シリアルコントロールレジスタ_4 (SCR_4)
送受信制御と割り込み制御、および送受信クロックソースの選択を行なうためのレジスタです。
- シリアルステータスレジスタ_4 (SSR_4)
SCI_4 のステータスフラグと、送受信マルチプロセッサビットで構成されています。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。
- スマートカードモードレジスタ_4 (SCMR_4)
スマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。本タスク例では、通常の調歩同期式またはクロック同期式モードに設定します。

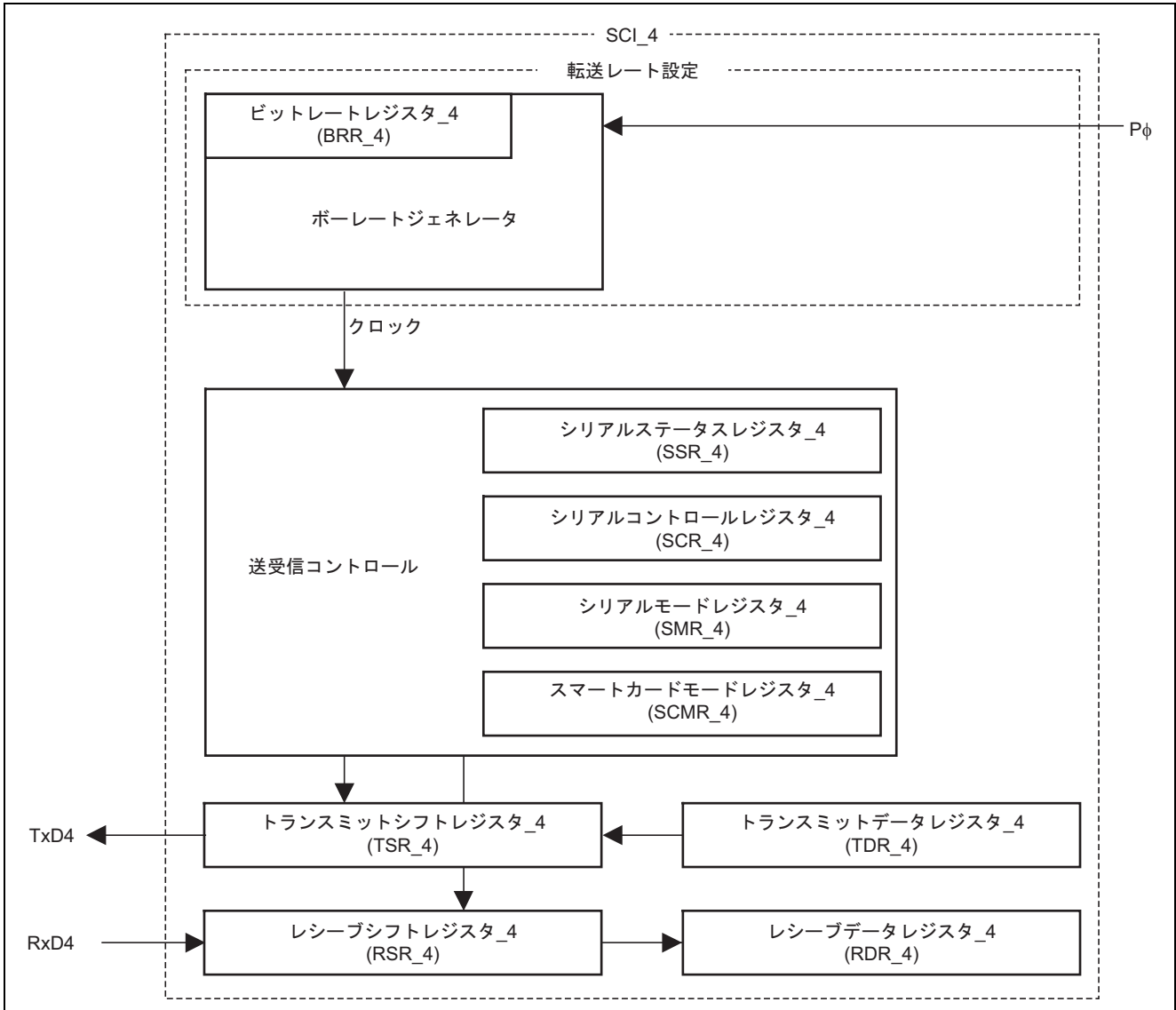


図 2 SCI_4 ブロック図

3.2 マルチプロセッサ通信機能

マルチプロセッサ通信とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信を行なうことにより、複数のプロセッサ間で通信回線を共有してデータの送受信を行なう機能です。

マルチプロセッサ通信を行なうとき、受信局はおのこの固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局へ通信データを送信するデータ送信サイクルの 2 つから構成されます。

この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行ないます。マルチプロセッサビットが"1"のとき ID 送信サイクル、"0"のときデータ送信サイクルとなります。

送信局は、まずシリアルデータ送信を行ないたい受信局の ID コードに、マルチプロセッサビット"1"を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット"0"を付加した通信データを送信します。

受信局は、マルチプロセッサビットが"1"の通信データを、自局の ID と比較し一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが"1"の通信データが送信されるまで通信データを読み飛ばします。

送信/受信フォーマットは 4 種類を選択できます。マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

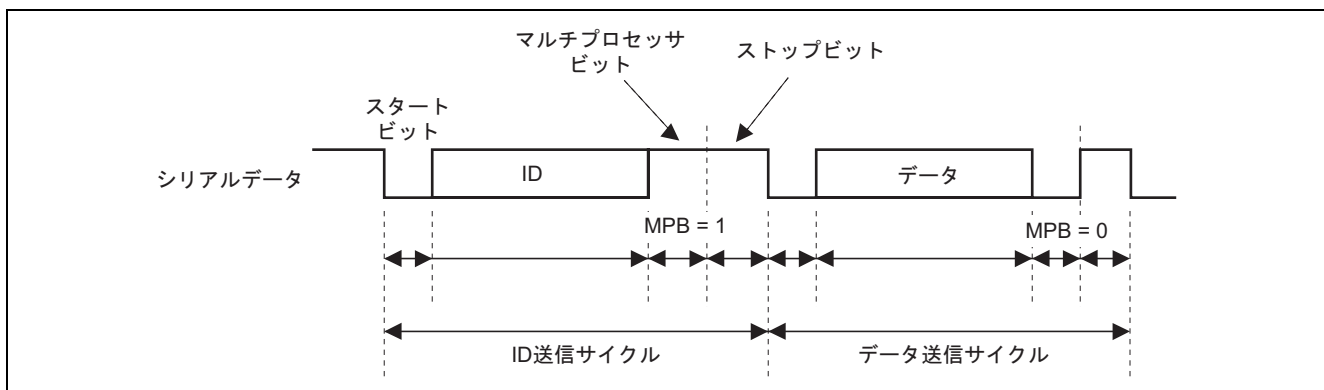


図 3 マルチプロセッサフォーマット

表4 マルチプロセッサ通信フォーマット

SMR			マルチプロセッサ通信フォーマットとフレーム長												
CHR	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	1	0	START	8ビットデータ							MPB	STOP *			
0	1	1	START	8ビットデータ							MPB	STOP	STOP		
1	1	0	START	7ビットデータ						MPB	STOP				
1	1	1	START	7ビットデータ						MPB	STOP	STOP			

【注】 * 本タスク例の設定

【記号説明】

- START : スタートビット
- STOP : ストップビット
- MPB : マルチプロセッサビット

4. 動作説明

4.1 動作概要

ID が一致しなかったときの受信動作を図4に、ID が一致したときの受信動作を図5に示します。また図4、図5の説明として、ハードウェアおよびソフトウェア処理の内容をそれぞれ表5、表6に示します。

送信時の動作は、ID 送信時に SSR_4 の MPBT ビットを 1 にセットする以外は調歩同期式のデータ送信と同様です。

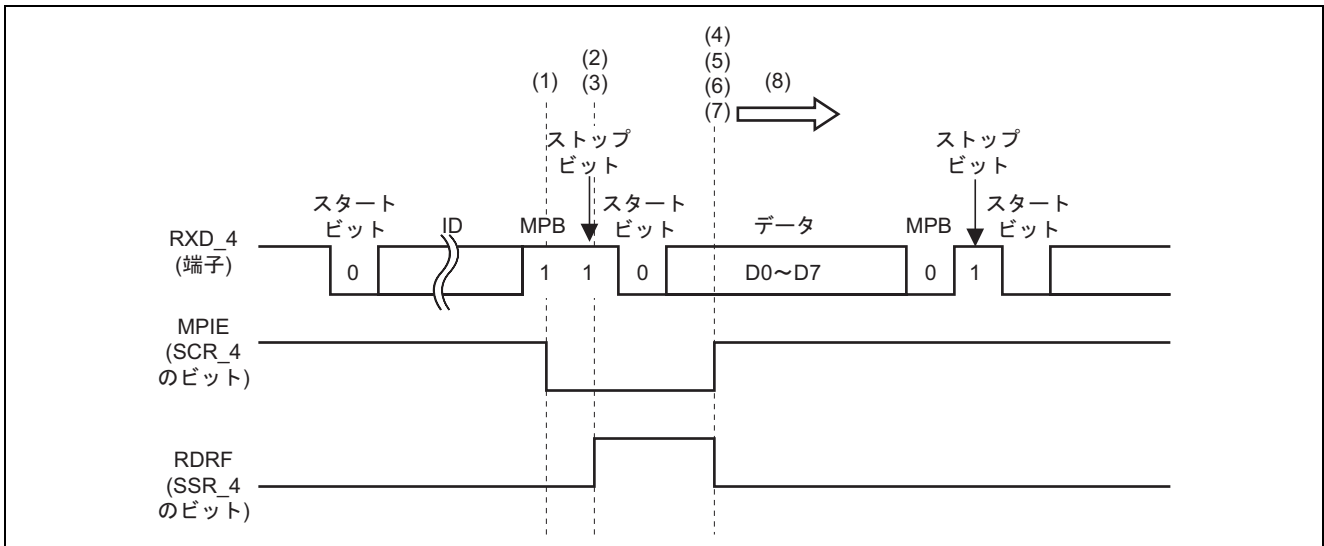


図4 ID 不一致時の受信動作

表5 処理内容

	ハードウェア処理	ソフトウェア処理
(1)	SCR_4 の MPIE フラグを 0 にクリア (ID データ受信)	—
(2)	RSR_4 がシリアルデータを受信して RDR_4 へ転送	—
(3)	SSR_4 の RDRF フラグを 1 にセット	—
(4)	—	RDR_4 のデータをリード
(5)	—	SSR_4 の RDRF フラグを 0 にクリア
(6)	—	自局の ID と比較
(7)	—	SCR_4 の MPIE フラグを 1 にセット
(8)	MPIE フラグが 1 で送られてきたデータの MPB ビットが 0 のためデータを受信しない	—

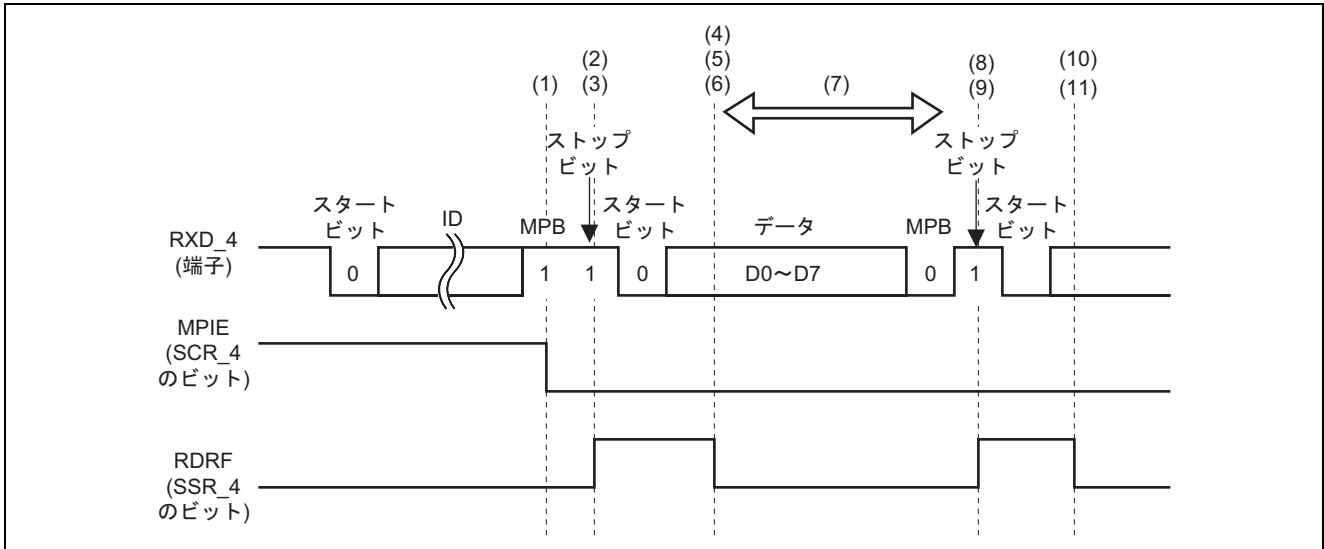


図 5 ID 一致時の受信動作

表 6 処理内容

	ハードウェア処理	ソフトウェア処理
(1)	SCR_4 の MPIE フラグを 0 にクリア (ID データ受信)	—
(2)	RSR_4 がシリアルデータを受信して RDR_4 へ転送	—
(3)	SSR_4 の RDRF フラグを 1 にセット	—
(4)	—	RDR_4 のデータをリード
(5)	—	SSR_4 の RDRF フラグを 0 クリア
(6)	—	自局の ID と比較
(7)	データを受信	—
(8)	RSR_4 がシリアルデータを受信して RDR_4 へ転送	—
(9)	SSR_4 の RDRF フラグを 1 にセット	—
(10)	—	RDR_4 のデータをリード
(11)	—	SSR_4 の RDRF フラグを 0 クリア

5. ソフトウェア説明

5.1 関数一覧

表 7 関数一覧

関数名	機能
init	初期化ルーチン モジュールストップ解除, クロック設定, main 関数のコール
main	メインルーチン SCI の初期設定を行ない, 転送レート 19200bps で複数デバイスと通信する
sci4_rcv1byte	受信局側 1 バイト受信 受信した ID コード確認と 1 バイトデータ受信
sci4_trs1byte	送信局側 1 バイト送信 ID コードと 1 バイトデータを送信

5.2 使用 RAM

表 8 使用 RAM

型	変数名	内容	使用関数
unsigned char	r_buf	受信データを格納する	main

5.3 定数説明

表 9 定数一覧

定数名	説明	使用関数名
ID1	受信局 A の ID 番号 設定値 : H'01	main
ID2	受信局 B の ID 番号 設定値 : H'02	main

5.4 データテーブル

表 10 データテーブル

型	配列名	内容	使用関数
unsigned char	t_buf[2]	送信データを格納する t_buf[0] = H'B8, t_buf[1] = H'DE	main

5.5 マクロ定義

表 11 マクロ定義

識別子	内容	使用関数
TRSSTA	送信局のプログラムを生成	main
RCVSTA_A	受信局 A のプログラムを生成	main
RCVSTA_B	受信局 B のプログラムを生成	main

5.6 関数説明

5.6.1 init 関数

(1) 機能概要

初期化ルーチン。モジュールストップ解除，クロック設定。main 関数のコール。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本タスク例で使用する内部レジスタを以下に示します。なお，設定値は本タスク例において使用している値であり，初期値とは異なります。

● システムクロックコントロールレジスタ (SCKCR) アドレス：H'FFFDC4

ビット	ビット名	設定値	R/W	機能
10	ICK2	0	R/W	システムクロック (I ϕ) セレクト CPU, DMAC, DTC モジュールとシステムクロックの周波数を選択します。 000：入力クロック × 8
9	ICK1	0		
8	ICK0	0		
6	PCK2	0	R/W	周辺モジュールクロック (P ϕ) セレクト 周辺モジュールクロックの周波数を選択します。 001：入力クロック × 4
5	PCK1	0		
4	PCK0	1		
2	BCK2	0	R/W	外部バスクロック (B ϕ) セレクト 外部バスクロックの周波数を選択します。 001：入力クロック × 4
1	BCK1	0		
0	BCK0	1		

- MSTPCRA, MSTPCRB, MSTPCRC はモジュールストップモードの制御を行いません。1 のとき対応するモジュールはモジュールストップモードになり，クリアするとモジュールストップモードは解除されます。

● モジュールストップコントロールレジスタ A (MSTPCRA) アドレス：H'FFFDC8

ビット	ビット名	設定値	R/W	機能
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCR で制御されるすべてのモジュールがモジュールストップモードに設定された上で，CPU が SLEEP 命令を実行した場合にバスコントローラと I/O ポートも動作をストップして，消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。 0：全モジュールクロックストップモード禁止 1：全モジュールクロックストップモード許可
13	MSTPA13	1	R/W	DMA コントローラ (DMAC)
12	MSTPA12	1	R/W	データトランスファコントローラ (DTC)
4	MSTPA4	1	R/W	A/D コンバータ (ユニット 1)
3	MSTPA3	1	R/W	A/D コンバータ (ユニット 0)
1	MSTPA1	1	R/W	16 ビットタイマパルスユニット (TPU チャネル 11~6)
0	MSTPA0	1	R/W	16 ビットタイマパルスユニット (TPU チャネル 5~0)

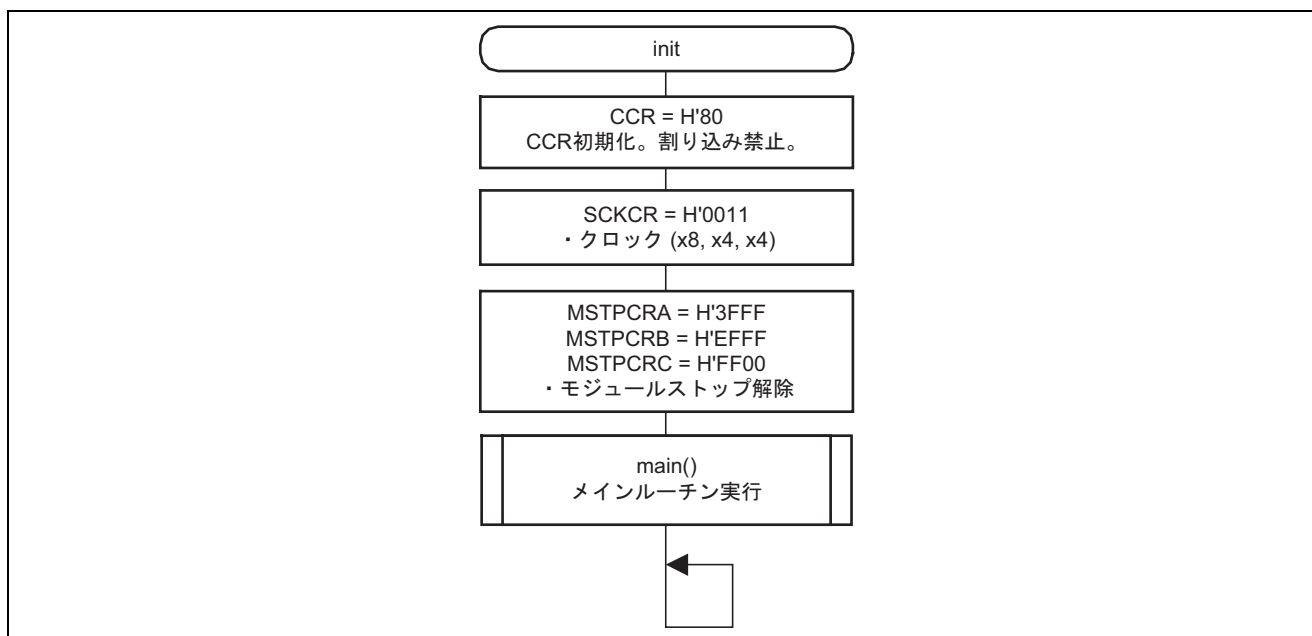
• モジュールストップコントロールレジスタ B (MSTPCRB) アドレス：H'FFDCA

ビット	ビット名	設定値	R/W	機能
15	MSTPB15	1	R/W	プログラマブルパルスジェネレータ (PPG)
12	MSTPB12	0	R/W	シリアルコミュニケーションインタフェース_4 (SCI_4)
11	MSTPB11	1	R/W	シリアルコミュニケーションインタフェース_3 (SCI_3)

• モジュールストップコントロールレジスタ C (MSTPCRC) アドレス：H'FFDCC

ビット	ビット名	設定値	R/W	機能
10	MSTPC10	1	R/W	シンクロナスシリアルコミュニケーションユニット 2 (SSU_2)
9	MSTPC9	1	R/W	シンクロナスシリアルコミュニケーションユニット 1 (SSU_1)
8	MSTPC8	1	R/W	シンクロナスシリアルコミュニケーションユニット 0 (SSU_0)
1	MSTPC1	0	R/W	内蔵 RAM_1 (H'FF9000~H'FFBFFF)
0	MSTPC0	0	R/W	MSTPC1 と MSTPC0 は常に同じ値となるようにライトしてください。

(5) フローチャート



5.6.2 main 関数

(1) 機能概要

メインルーチン。1 バイト送信，受信。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本タスク例で使用する内部レジスタを以下に示します。なお，設定値は本タスク例において使用している値であり，初期値とは異なります。

● シリアルモードレジスタ_4 (SMR_4) アドレス：H'FFFE90

ビット	ビット名	設定値	R/W	機能
7	C/A	0	R/W	コミュニケーションモード 0：調歩同期式モードで動作します。 1：クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス 0：データ長 8 ビットで送信します。 1：データ長 7 ビットで送信します。
3	STOP	0	R/W	ストップビットレングス 送信時のストップビットの長さを選択します。 0：1 ストップビット 1：2 ストップビット 受信時はこのビットの設定値に関わらず，ストップビットの 1 ビット目のみチェックし，2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	1	R/W	マルチプロセッサモード 0：マルチプロセッサ機能は無効 1：マルチプロセッサ機能に設定
1	CKS1	0	R/W	クロックセレクト 1, 0
0	CKS0	0	R/W	00：内蔵ポーレートジェネレータのクロックソースは，Pφクロック

● ビットレートレジスタ_4 (BRR_4) アドレス：H'FFFE91

機能：ビットレートを調整するための 8 ビットのレジスタです。Pφ：20MHz，SMR_4 の CKS1，0 = B'00，BRR_4 = 32 のとき，ビットレート = 19200bps に設定されます。

設定値：32

● シリアルコントロールレジスタ_4 (SCR_4) アドレス : H'FFFE92

ビット	ビット名	設定値	R/W	機能
7	TIE	0	R/W	トランスミットインタラプトイネーブル 0 : TXI 割り込み禁止 1 : TXI 割り込み許可
6	RIE	0	R/W	レシーブインタラプトイネーブル 0 : RXI, ERI 割り込み禁止 1 : RXI, ERI 割り込み許可
5	TE	0	R/W	トランスミットイネーブル 0 : 送信禁止 1 : 送信許可
4	RE	0	R/W	レシーブイネーブル 0 : 受信禁止 1 : 受信許可
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効) このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読み飛ばし、SSR の RDRF, FER, ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細はハードウェアマニュアルの「13.5 マルチプロセッサ通信機能」を参照してください。 マルチプロセッサビットが 0 の受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF, FER, ORER の各フラグのセットは行ないません。マルチプロセッサビットが 1 の受信データを受信すると、SSR の MPB を 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI, ERI 割り込み要求 (SCR の TIE, RIE ビットが 1 にセットされている場合) と RDRF, FER, ORER フラグのセットが許可されます。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル 0 : TEI 割り込み禁止 1 : TEI 割り込み許可
1 0	CKE1 CKE0	0 0	R/W	クロックイネーブル 1~0 クロックソースを選択します。 00 : 内蔵ポーレートジェネレータ

【注】 X : Don't care

● トランスミットデータレジスタ_4 (TDR_4) アドレス : H'FFFE93

機能 : 送信データを格納するリード/ライト可能な 8 ビットのレジスタです。

設定値 : 不定

● シリアルステータスレジスタ_4 (SSR_4) アドレス：H'FFFE94

ビット	ビット名	設定値	R/W	機能
7	TDRE	不定	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> SCR の TE が 0 のとき TDR から TSR にデータが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後, 0 をライトしたとき TXI 割り込みにより DMAC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> 受信が正常終了し, RSR から RDR へ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後, 0 をライトしたとき RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。RDRF フラグが 1 にセットされたまま次のデータを受信完了すると, オーバランエラーが発生し, 受信データが失われますので注意してください。
5	ORER	0	R/(W)*	オーバランエラー [セット条件] <ul style="list-style-type: none"> 受信時にオーバランエラーが発生したとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後, 0 をライトしたとき
4	FER	0	R/(W)*	フレーミングエラー [セット条件] <ul style="list-style-type: none"> 受信時にフレーミングエラーが発生したとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後, 0 をライトしたとき
3	PER	0	R/(W)*	パリティエラー [セット条件] <ul style="list-style-type: none"> 受信時にパリティエラーが発生したとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後, 0 をライトしたとき
2	TEND	不定	R	トランスミットエンド [セット条件] <ul style="list-style-type: none"> SCR の TE が 0 のとき 送信キャラクタの最後尾ビットの送信時, TDRE が 1 のとき [クリア条件] <ul style="list-style-type: none"> TDRE = 1 の状態をリードした後, TDRE フラグに 0 をライトしたとき TXI 割り込み要求により DMAC で TDR へ送信データをライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• シリアルステータスレジスタ_4 (SSR_4) アドレス : H'FFFE94 (続き)

ビット	ビット名	設定値	R/W	機能
1	MPB	不定	R	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCR の RE が 0 のときは変化しません。
0	MPBT	不定	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

- レシーブデータレジスタ_4 (RDR_4) アドレス : H'FFFE95
機能 : 受信データを格納するリードのみ可能な 8 ビットのレジスタです。
設定値 : 不定

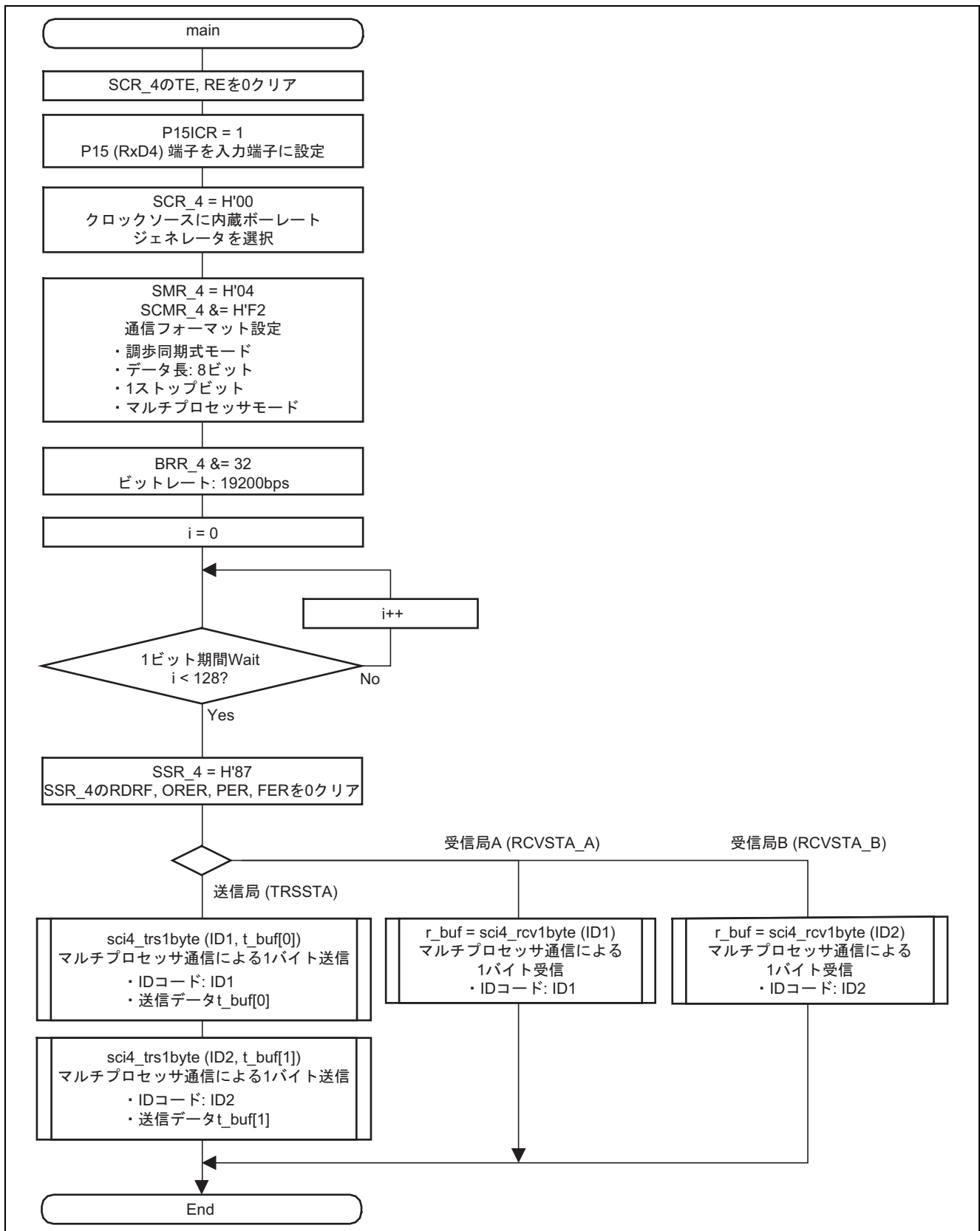
• スマートカードモードレジスタ_4 (SCMR_4) アドレス : H'FFFE96

ビット	ビット名	設定値	R/W	機能
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト 0 : 通常の調歩同期式またはクロック同期式モードで動作 1 : スマートカードインタフェースモードで動作

• ポート 1 入力バッファコントロールレジスタ (P1ICR) アドレス : H'FFFB90

ビット	ビット名	設定値	R/W	機能
5	P15ICR	1	R/W	0 : P15 端子の入力バッファ無効。入力信号は、High レベルに固定される。 1 : P15 端子の入力バッファ有効。周辺モジュール側に端子状態が反映される。

(5) フローチャート



5.6.3 sci4_rcv1byte 関数

(1) 機能概要

受信した ID コード確認と 1 バイトデータ受信

(2) 引数

型	変数名	内容
unsigned char	id	ID コード

(3) 戻り値

型	内容
unsigned char	受信データ

(4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- シリアルコントロールレジスタ_4 (SCR_4) アドレス：H'FFFE92

ビット	ビット名	設定値	R/W	機能
4	RE	0	R/W	レシーブイネーブル 0：受信動作を禁止 1：受信動作を許可
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効) このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読み飛ばし、SSR の RDRF, FER, ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細はハードウェアマニュアルの「13.5 マルチプロセッサ通信機能」を参照してください。 マルチプロセッサビットが 0 の受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF, FER, ORER の各フラグのセットは行ないません。マルチプロセッサビットが 1 の受信データを受信すると、SSR の MPB を 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI, ERI 割り込み要求 (SCR の TIE, RIE ビットが 1 にセットされている場合) と RDRF, FER, ORER フラグのセットが許可されます。

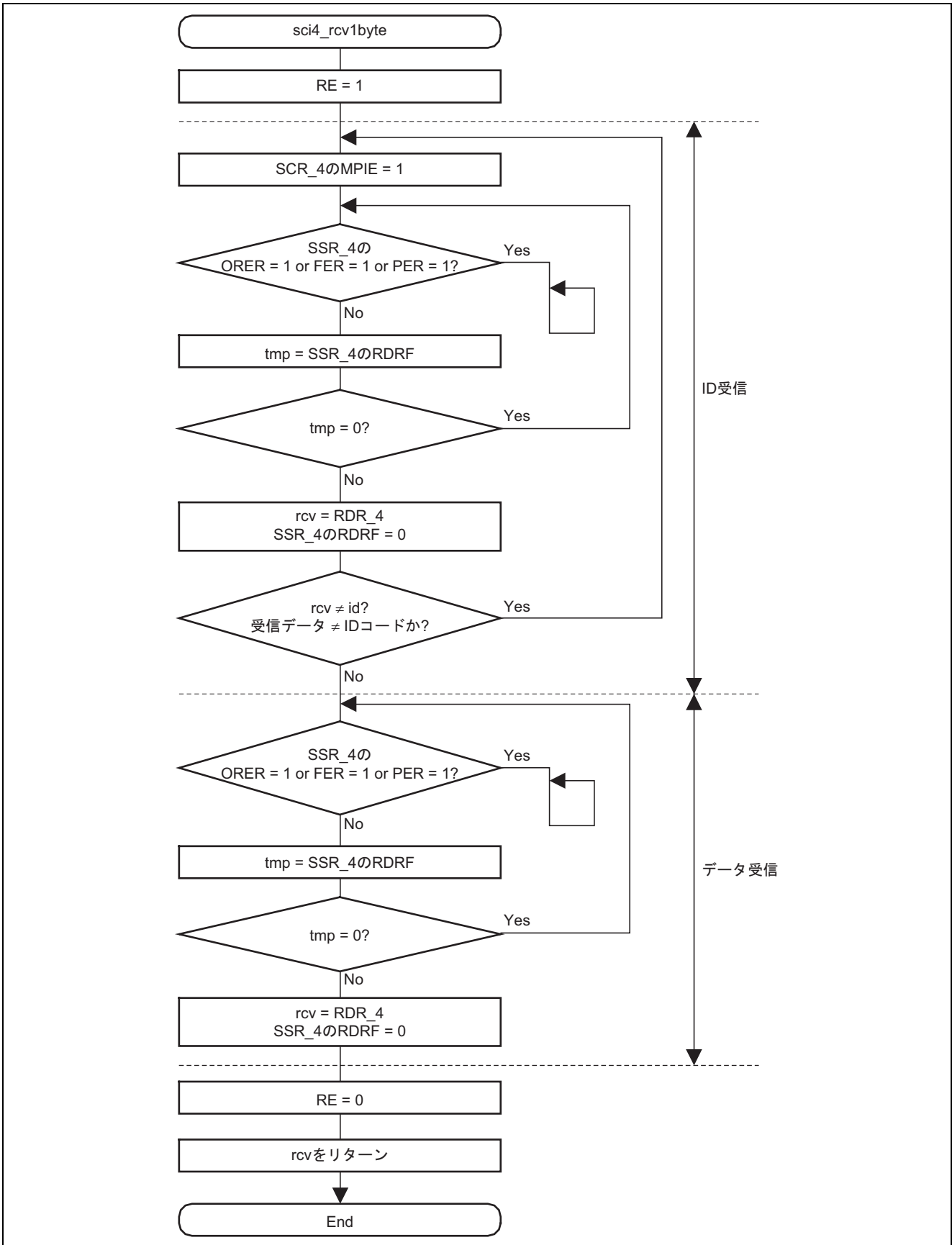
• シリアルステータスレジスタ_4 (SSR_4) アドレス：H'FFFE94

ビット	ビット名	設定値	R/W	機能
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバランエラーが発生し、受信データが失われますので注意してください。
5	ORER	0	R/(W)*	オーバランエラー [セット条件] <ul style="list-style-type: none"> 受信時オーバランエラーが発生したとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき
4	FER	0	R/(W)*	フレーミングエラー [セット条件] <ul style="list-style-type: none"> 受信時にフレーミングエラーが発生したとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき
3	PER	0	R/(W)*	パリティエラー [セット条件] <ul style="list-style-type: none"> 受信時にパリティエラーが発生したとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

- レシーブデータレジスタ_4 (RDR_4) アドレス：H'FFFE95
機能：受信データを格納する 8 ビットのレジスタ
設定値：不定

(5) フローチャート



5.6.4 sci4_trsr1byte 関数

(1) 機能概要

ID コードと 1 バイトデータを送信

(2) 引数

型	変数名	内容
unsigned char	id	ID コード
unsigned char	tdt	送信データ

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- シリアルコントロールレジスタ_4 (SCR_4) アドレス：H'FFFE92

ビット	ビット名	設定値	R/W	機能
5	TE	0	R/W	トランスミットイネーブル 0：送信動作を禁止 1：送信動作を許可

- トランスミットデータレジスタ_4 (TDR_4) アドレス：H'FFFE93

機能：送信データを格納する 8 ビットのレジスタ

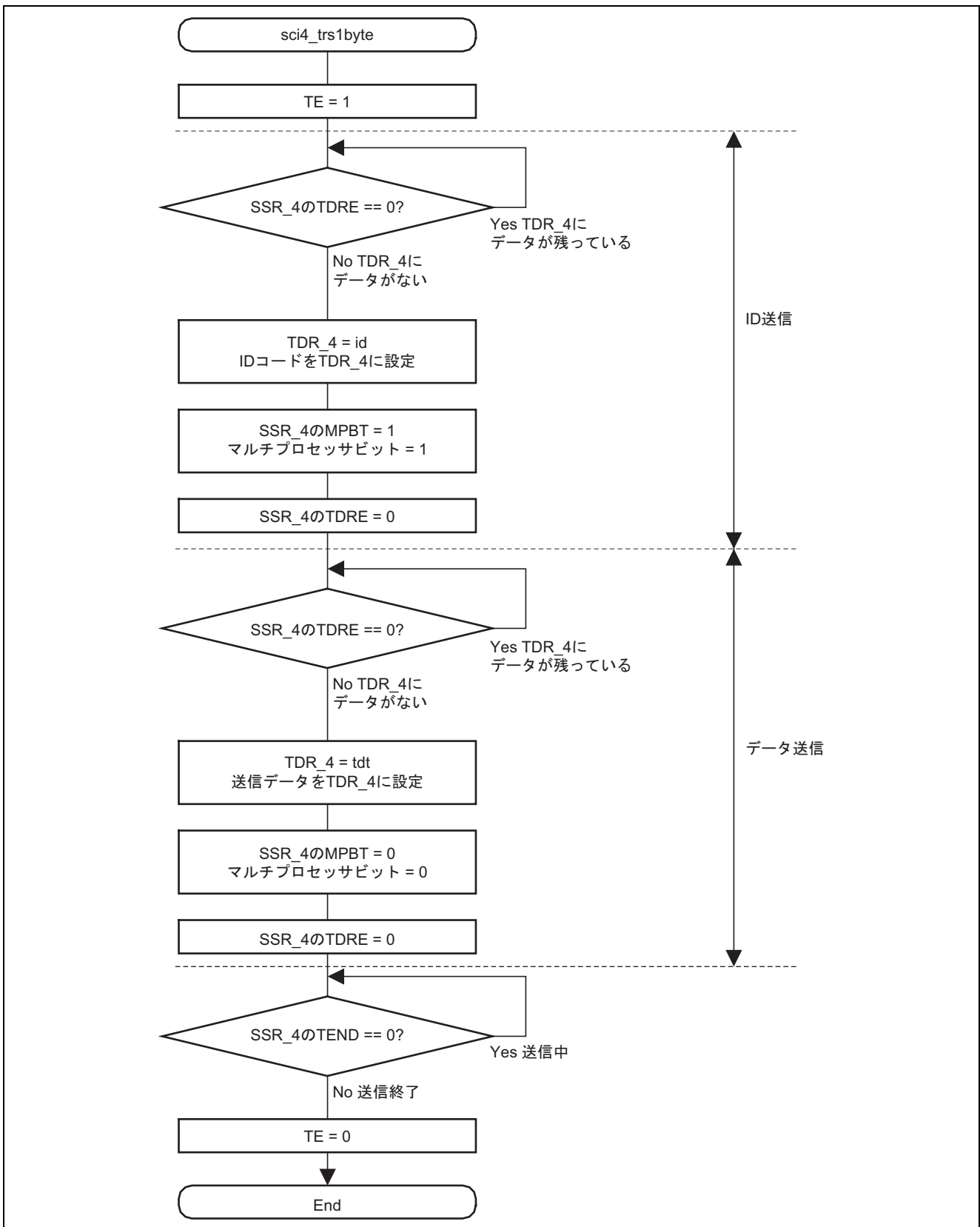
設定値：不定

- シリアルステータスレジスタ_4 (SSR_4) アドレス：H'FFFE94

ビット	ビット名	設定値	R/W	機能
7	TDRE	0	R/(W)*	トランスミットデータレジスタエンプティ 0：TDR にライトされた送信データが TSR に転送されていないことを示す 1：TDR に送信データがライトされていない、または TDR にライトされた送信データが TSR に転送されたことを示す
2	TEND	不定	R/(W)*	トランスミットエンド 0：送信中であることを示す 1：送信を終了したことを示す
0	MPBT	0/1	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

(5) フローチャート



改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.03.10	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。