

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M16C/62Aグループ

外部バス

1. 要約

この資料はM16C/62Aグループの外部バスについて説明しています。

2. はじめに

この資料で説明する内容は次のマイコンでの利用に適用されます。

- ・マイコン : M16C/62Aグループ

3. 外部バス

3.1 外部バスの概要

外部バスの機能を用いることで、マイクロコンピュータと外部のメモリやI/Oを簡単に接続することができます。外部バスは、プロセッサモードとしてメモリ拡張モードまたはマイクロプロセッサモードを選択したとき、一部の端子がデータバス、アドレスバス、制御信号用の端子として機能することにより動作します。

データバス幅は、外部領域をアクセスする場合、BYTE端子のレベルによって8ビットまたは16ビットから選択できます。内部領域をアクセスする場合、BYTE端子のレベルに関係なく、データバス幅は16ビット固定です。外部領域に8ビットおよび16ビットのデータバス幅を混在することはできません。必ず、BYTE端子は8ビットバス幅選択時は“H”レベルに固定し、16ビットバス幅選択時は“L”レベルに固定してください。

3.2 データアクセス

3.2.1 データバス幅

BYTE端子に入力される電圧レベルが“H”の場合、外部データバス幅は8ビットとなり、P10(/D8)～P17(/D15)は入出力ポートとして使用できます(図3.2.1)。

BYTE端子に入力される電圧レベルが“L”の場合、外部データバス幅は16ビットとなり、P10(/D8)～P17(/D15)はデータバス(D8～D15)として動作します(図3.2.1)。

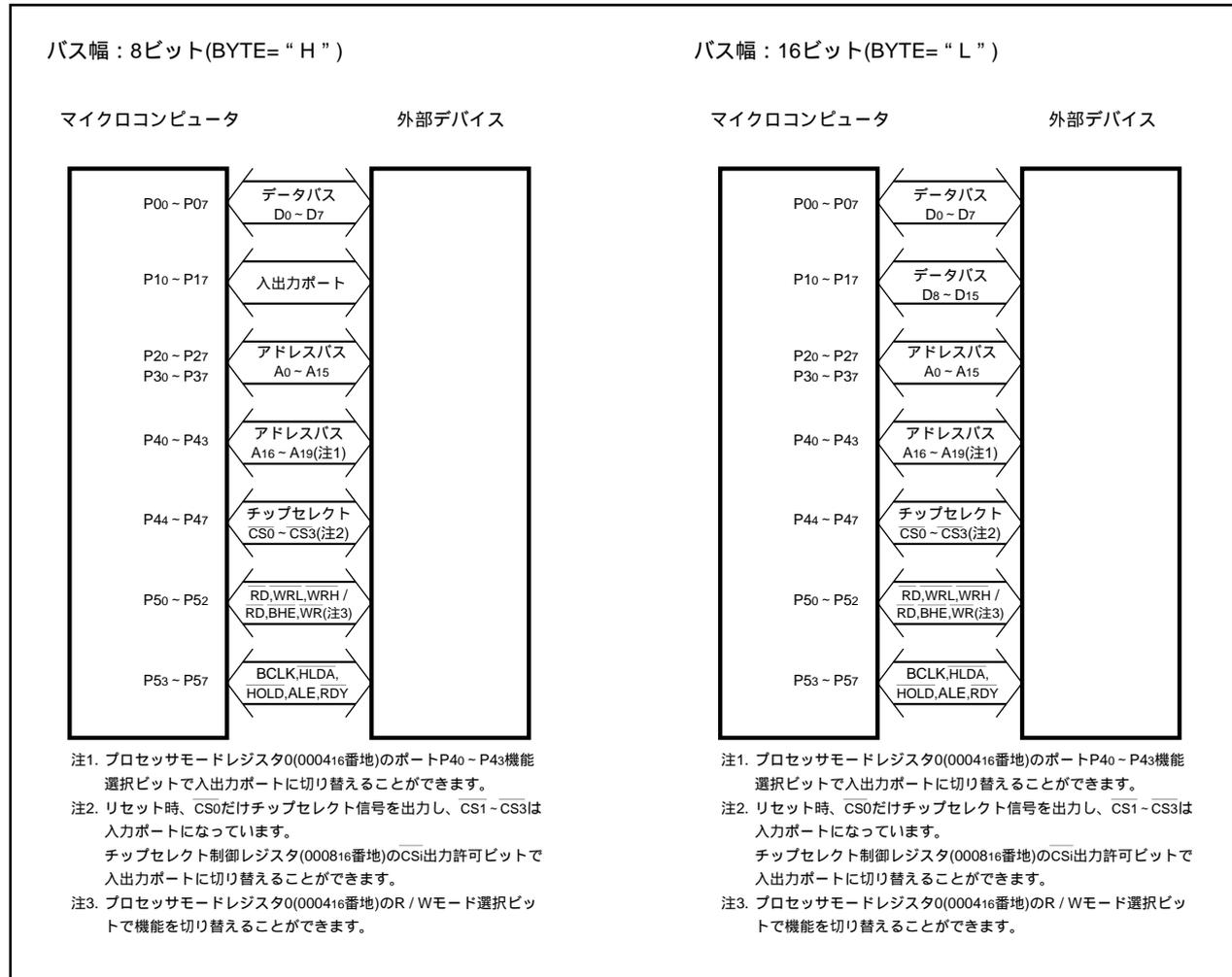


図3.2.1. BYTE端子のレベルと外部データバス幅

3.2.2 チップセレクトとアドレスバス

チップセレクト(P44/CS0 ~ P47/CS3)は、1Mバイトの空間を4分割した領域で出力します。チップセレクトを使用する場合、チップセレクト制御レジスタの設定で、チップセレクト出力許可状態にする必要があります。各チップセレクトがアクティブ(“L”)になるアドレスを図3.2.2に示します。ただし、メモリ拡張モードとマイクロプロセッサモードで内部領域と外部領域の範囲が異なるため、CS0が出力される領域は異なります。また、内部のROM/RAM領域がアクセスされているときは、チップセレクトは出力されず、アドレスバスも変化しません(直前にアクセスされた外部領域のアドレスが保持されます)。

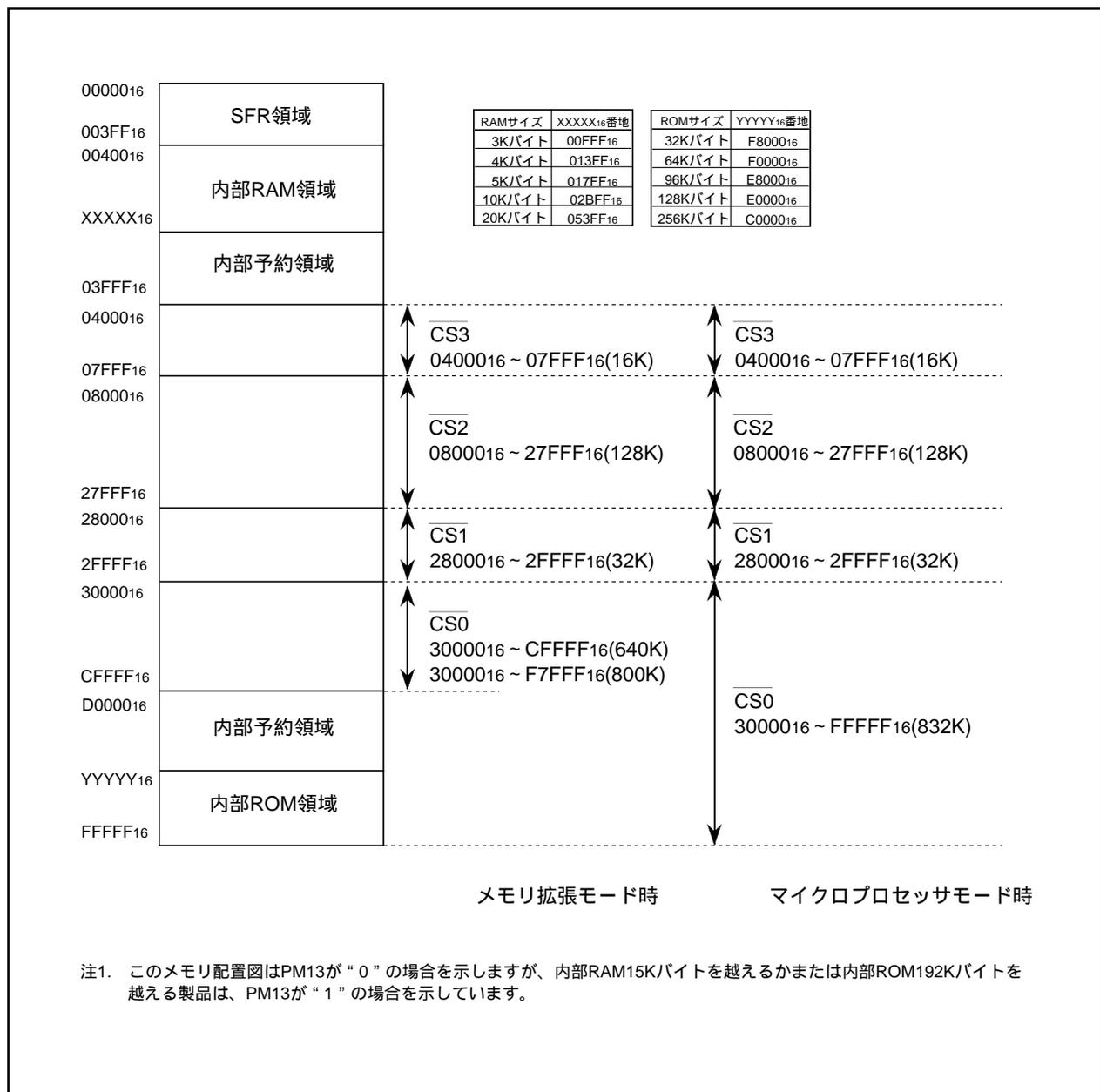


図3.2.2. 各チップセレクトがアクティブ(“L”)になるアドレス

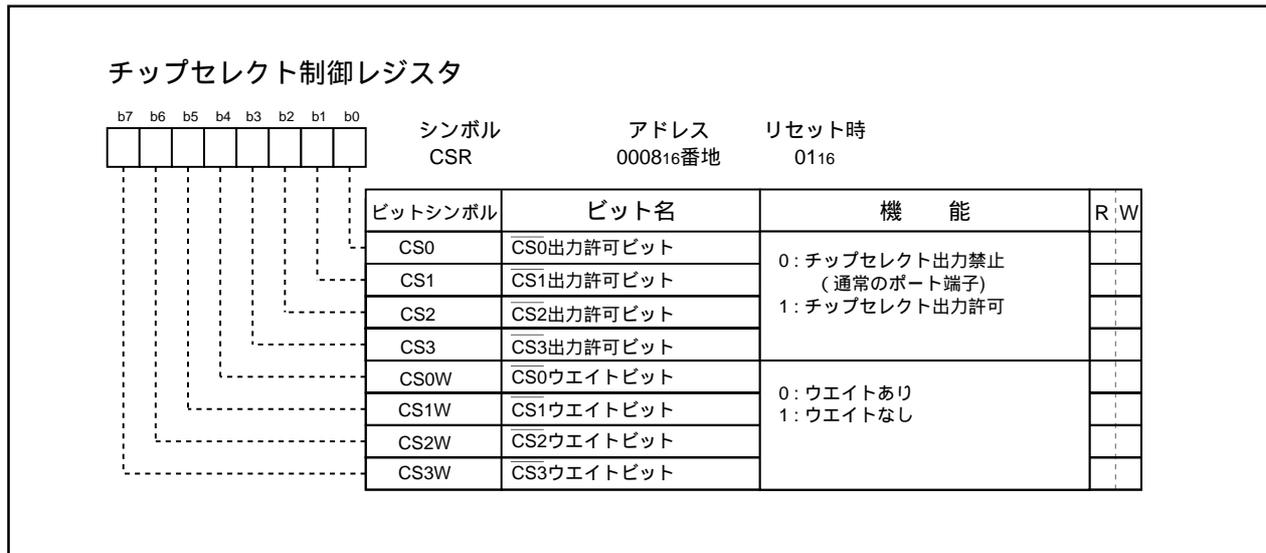


図3.2.3. チップセレクト制御レジスタ

3.2.3 バスタイプ

M16C/62Aグループでは、アドレスの出力とデータの入出力に別々の端子を使用するセパレートバスと、アドレスの出力とデータの入出力が時分割で切り替わり、使用する端子を節約することができるマルチプレクスバスの2つのタイプのバスを持ちます。

セパレートバスは、ROMやRAMなどセパレートバスをもつデバイスをアクセスするときに使用します。セパレートバスでアクセスする領域には、プログラムやデータを配置することができます。

マルチプレクスバスは、ASSPなどマルチプレクスバスをもつデバイスをアクセスするときに使用します。マルチプレクスバスでアクセスする領域にはデータだけ配置し、プログラムを配置しないでください。

プロセッサモードレジスタ0(0004₁₆番地)のマルチプレクスバス空間選択ビット(ビット4とビット5)の設定で、マルチプレクスバスでアクセスする領域を、CS2の領域、CS1の領域、全空間の3種類から選択することができます。ただし、マイクロプロセッサモード時、全空間を選択することはできません。

マルチプレクスバスでアクセスしない領域は、セパレートバスでアクセスします。

マルチプレクスバスに設定した領域をアクセスした場合、BYTE端子が“H”レベルのとき、データバスのD₀~D₇がアドレスバスA₀~A₇と時分割で切り替わります。

BYTE端子が“L”レベルのとき、データバスのD₀~D₇がアドレスバスA₁~A₈と時分割で切り替わります。このため、M16C/62Aグループの偶数番地ごと(2番地ごと)に、接続されたデバイスの番地が配置されますので、接続されたデバイスをアクセスするときは、M16C/62Aグループの偶数番地をバイト長でアクセスしてください。

3.2.4 R/Wモード

外部領域をアクセスする場合に出力されるリード/ライト信号は、プロセッサモードレジスタ0(0004₁₆番地)のR/Wモード選択ビット(ビット2)の設定で、 $\overline{RD/BHE/WR}$ または $\overline{RD/WRH/WRL}$ を選択することができます。 $\overline{RD/BHE/WR}$ は、16ビット幅をもつRAMをアクセスする場合に使用し、 $\overline{RD/WRH/WRL}$ は8ビット幅をもつRAMをアクセスする場合に使用します。

リセット時、M16C/62Aグループは、 $\overline{RD/BHE/WR}$ の設定になっています。 $\overline{RD/WRH/WRL}$ に切り替える場合は、外部のRAMをアクセスする前に切り替えてください。

「3.3 接続例」に $\overline{RD/BHE/WR}$ および $\overline{RD/WRH/WRL}$ の接続例を示しますので参照してください。

3.3 接続例

メモリの接続例を示します。

3.3.1 16ビット幅のメモリの接続例

図3.3.1にM5M51016BTP(SRAM)との接続例を示します。この図では、リセット解除後マイコンは、シングルチップモードで動作します。プログラムでメモリ拡張モードに変更してください。

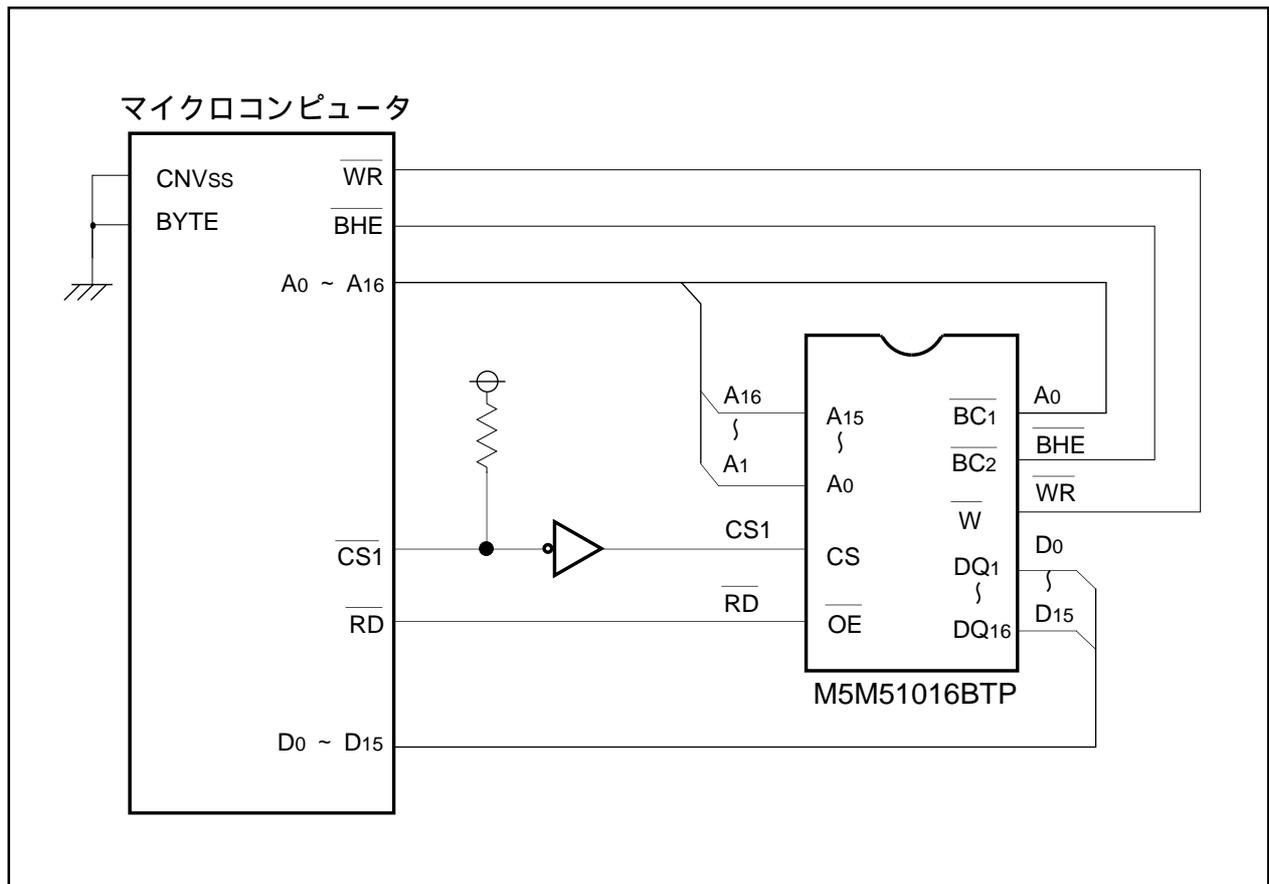


図3.3.1. M5M51016BTPとの接続例

3.3.2 16ビット幅のデータバスと8ビットメモリとの接続例

図3.3.2に16ビットのデータバスに2個のM5M5278(SRAM)と接続した例を示します。この図では、リセット解除後マイコンは、シングルチップモードで動作します。プログラムでメモリ拡張モードに変更してください。

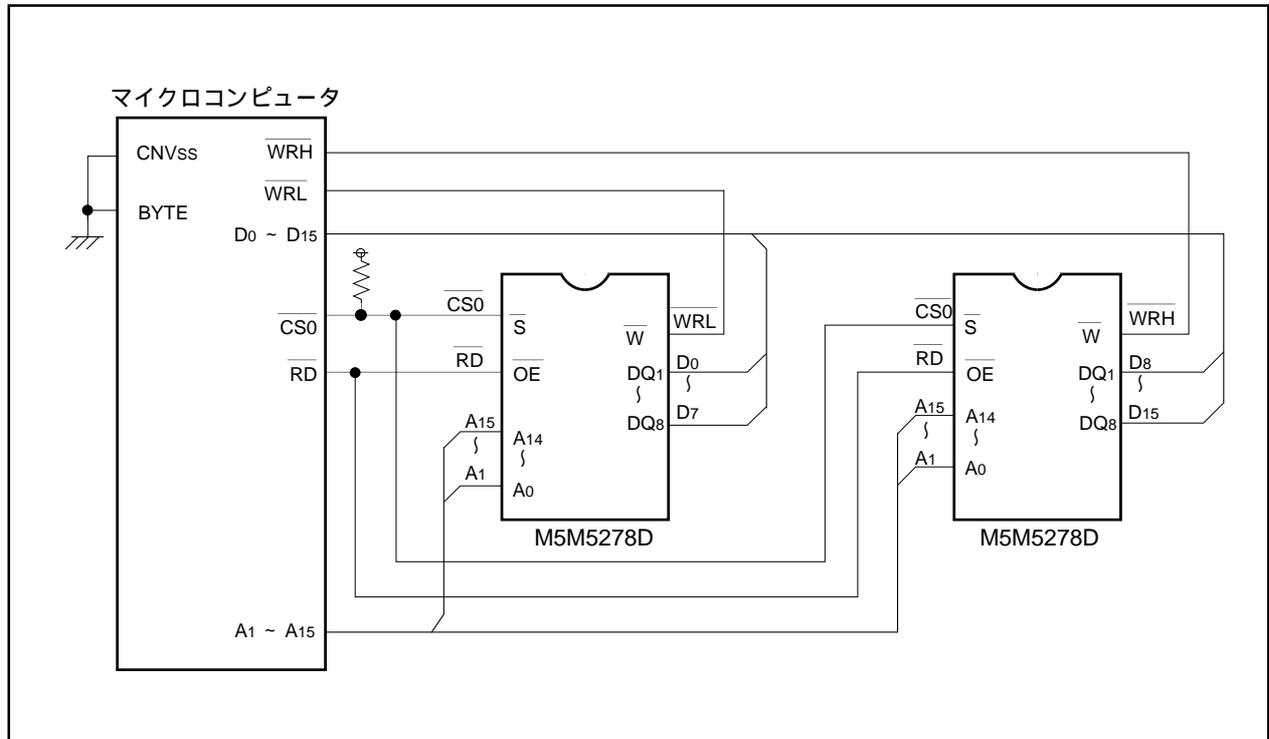


図3.3.2. M5M5278(32K×8ビット)を2個、16ビットバス幅で使用する場合の接続例

図3.3.3に16ビットのデータバスに2個のAm29LV008B(フラッシュメモリ)と接続した例を示します。16ビットバスモードではリセット解除後、BHE/WRH端子はBHEとして動作し信号が出力されます。16ビットバスモードに8ビットフラッシュメモリを接続する場合、両方のフラッシュのWR端子にWRL端子を接続し、フラッシュメモリへは偶数アドレスから16ビット単位で書き込むようにしてください。

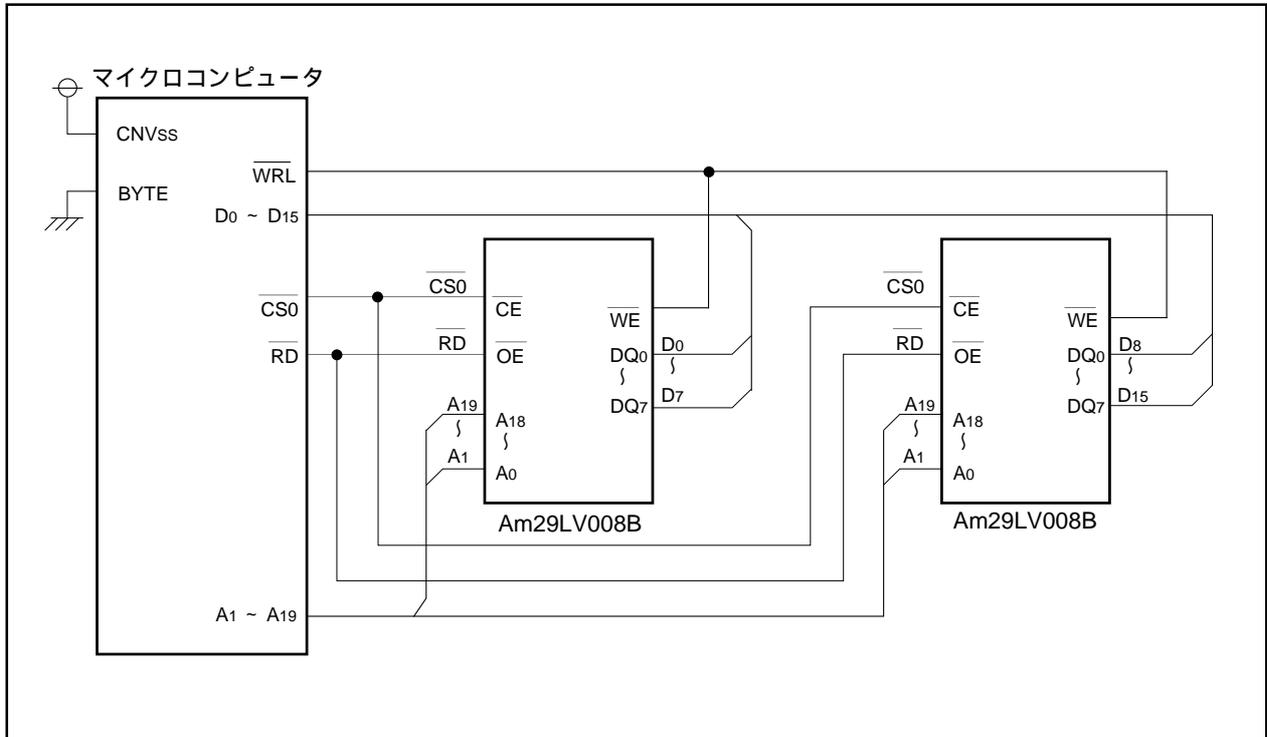


図3.3.3. Am29LV008B(1M×8ビット)を2個、16ビットバス幅で使用する場合の接続例

3.3.3 8ビット幅のデータバスと8ビットメモリとの接続例

図3.3.4に8ビットのデータバスに2個のM5M5278(SRAM)と接続した例を示します。この図では、リセット解除後マイコンは、シングルチップモードで動作します。プログラムでメモリ拡張モードに変更してください。

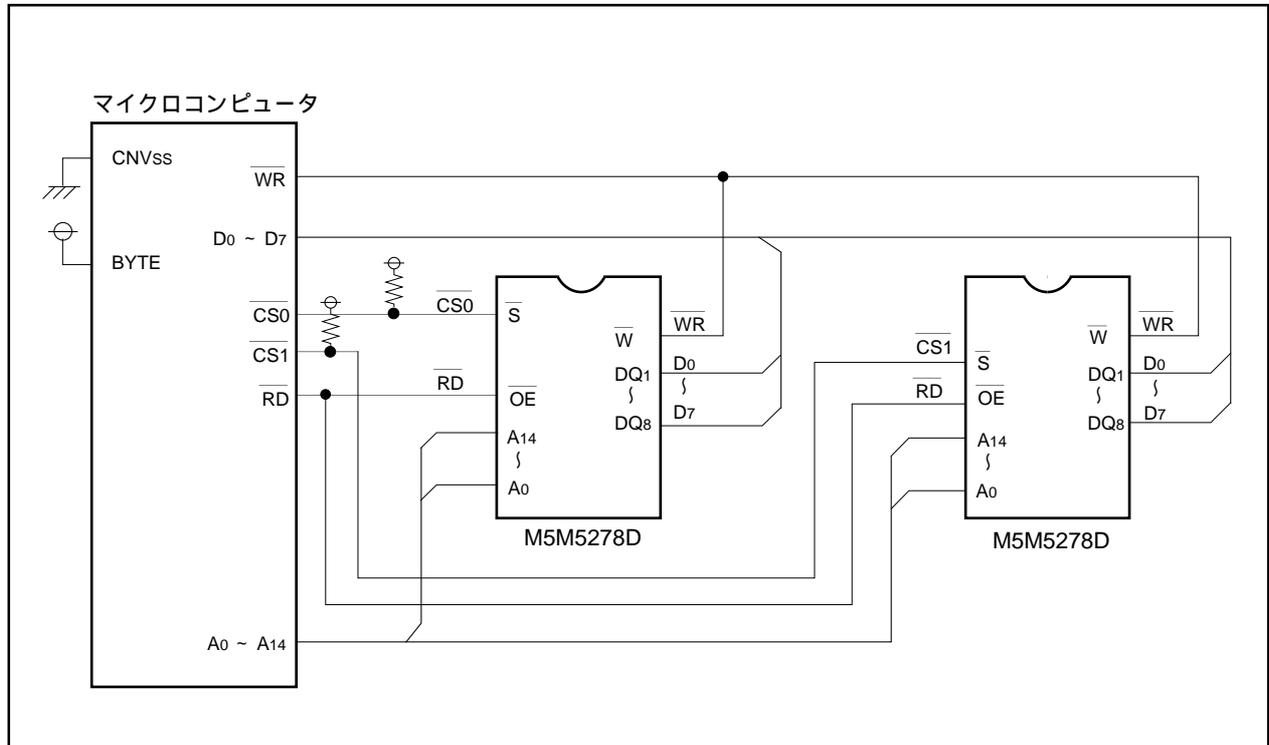


図3.3.4. M5M5278(32K×8ビット)を2個、8ビットバス幅で使用する場合の接続例

3.3.4 16ビット幅のデータバスに8ビットメモリと16ビットメモリの接続例

図3.3.5に16ビットのデータバスにM5M28F102(16ビットのフラッシュメモリ)とM5M5278(8ビットのSRAM) 2個の接続例を示します。

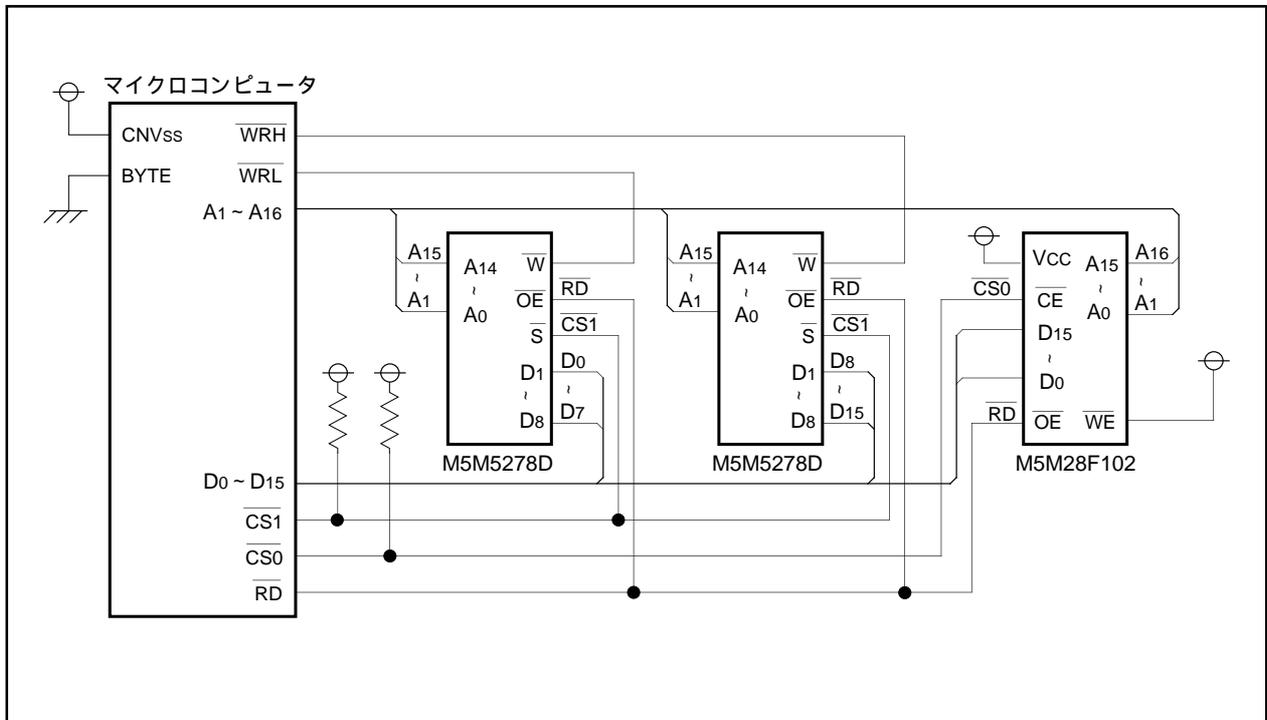


図3.3.5. 16ビットバス幅で8ビット / 16ビットのメモリを混在させた場合の接続例

3.3.5 チップセレクトとアドレスバス

内蔵しているチップセレクト信号が不足する場合、外部でチップセレクト信号を生成する必要があります。 $\overline{CS2}$ (128Kバイト)の領域を32Kバイト単位で4個に分割する接続例を図3.3.6に示します。

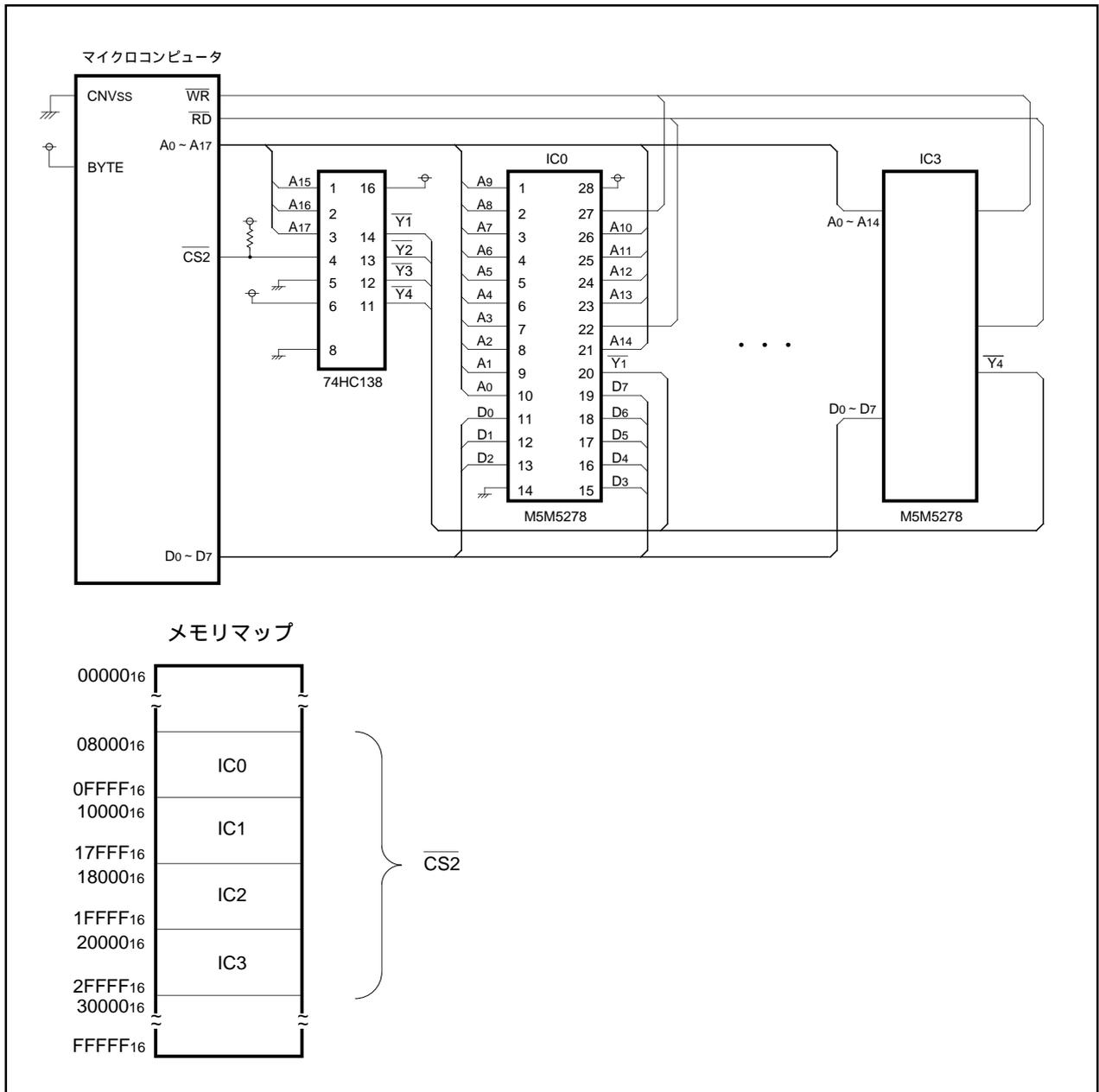


図3.3.6. チップセレクトとアドレスバス

3.4 接続可能なメモリ

3.4.1 動作周波数とアクセス時間

接続可能なメモリは、BCLKの周波数f(BCLK)により異なります。f(BCLK)は、発振子の周波数とシステムクロック選択ビット(0006₁₆番地のビット6、0007₁₆番地のビット6、7)の設定で決まります。

以下に接続条件式を示します。最低限、これらの条件を満たすようにしてください。また、BCLKの周波数とメモリの関係を図3.4.1、図3.4.2に示します。

リードサイクル時間(tCR) / ライトサイクル時間(tCW)

リードサイクル時間 (tCR) / ライトサイクル時間 (tCW) は次の条件式を満たす必要があります。

・ウエイトなし

$$tCR < 10^9 / f(BCLK) \quad \text{かつ} \quad tCW < 10^9 / f(BCLK)$$

・ウエイトあり

$$tCR < 2 \times 10^9 / f(BCLK) \quad \text{かつ} \quad tCW < 2 \times 10^9 / f(BCLK)$$

アドレスアクセス時間ta(A)

アドレスアクセス時間ta(A)は次の条件を満たす必要があります。

(1)Vcc=5Vの場合

・ウエイトなし

$$ta(A) < 10^9 / f(BCLK) - 65(\text{ns})$$

・ウエイトあり

$$ta(A) < 2 \times 10^9 / f(BCLK) - 65(\text{ns})$$

$$65(\text{ns}) = td(\text{BCLK-AD}) + tsu(\text{DB-RD}) - th(\text{BCLK-RD})$$

$$= (\text{アドレス出力遅延時間}) + (\text{データ入力セットアップ時間}) - (\text{RD信号出力保持時間})$$

(2)Vcc=3Vの場合

・ウエイトなし

$$ta(A) < 10^9 / f(BCLK) - 140(\text{ns})$$

・ウエイトあり

$$ta(A) < 2 \times 10^9 / f(BCLK) - 140(\text{ns})$$

$$140(\text{ns}) = td(\text{BCLK-AD}) + tsu(\text{DB-RD}) - th(\text{BCLK-RD})$$

$$= (\text{アドレス出力遅延時間}) + (\text{データ入力セットアップ時間}) - (\text{RD信号出力保持時間})$$

チップセレクトアクセス時間ta(S)

チップセレクトアクセス時間ta(S)は次の条件式を満たす必要があります。

(1)Vcc=5Vの場合

・ウエイトなし

$$ta(S) < 10^9 / f(BCLK) - 65(\text{ns})$$

・ウエイトあり

$$ta(S) < 2 \times 10^9 / f(BCLK) - 65(\text{ns})$$

$$65(\text{ns}) = td(\text{BCLK-CS}) + tsu(\text{DB-RD}) - th(\text{BCLK-RD})$$

$$= (\text{チップセレクト出力遅延時間}) + (\text{データ入力セットアップ時間}) - (\text{RD信号出力保持時間})$$

(2)V_{CC}=3Vの場合

- ・ウエイトなし

$$t_a(S) < 10^9 / f(\text{BCLK}) - 140(\text{ns})$$

- ・ウエイトあり

$$t_a(S) < 2 \times 10^9 / f(\text{BCLK}) - 140(\text{ns})$$

$$140(\text{ns}) = t_d(\text{BCLK-CS}) + t_{su}(\text{DB-RD}) - t_h(\text{BCLK-RD})$$

$$=(\text{チップセレクト出力遅延時間}) + (\text{データ入力セットアップ時間}) - (\text{RD信号出力保持時間})$$

出カインーブル時間 $t_a(\text{OE})$

出カインーブル時間 $t_a(\text{OE})$ は次の条件式を満たす必要があります。

(1)V_{CC} = 5Vの場合

- ・ウエイトなし

$$t_a(\text{OE}) < 10^9 / (f(\text{BCLK}) \times 2) - 45(\text{ns}) = t_{ac1}(\text{RD} - \text{DB})$$

- ・ウエイトあり

$$t_a(\text{OE}) < 3 \times 10^9 / (f(\text{BCLK}) \times 2) - 45(\text{ns}) = t_{ac2}(\text{RD} - \text{DB})$$

(2)V_{CC}=3Vの場合

- ・ウエイトなし

$$t_a(\text{OE}) < 10^9 / (f(\text{BCLK}) \times 2) - 90(\text{ns}) = t_{ac1}(\text{RD} - \text{DB})$$

- ・ウエイトあり

$$t_a(\text{OE}) < 3 \times 10^9 / (f(\text{BCLK}) \times 2) - 90(\text{ns}) = t_{ac2}(\text{RD} - \text{DB})$$

データセットアップ時間 $t_{su}(\text{D})$

データセットアップ時間 $t_{su}(\text{D})$ は次の条件式を満たす必要があります。

(1)V_{CC}=5Vの場合

- ・ウエイトなし

$$t_{su}(\text{D}) < 10^9 / (f(\text{BCLK}) \times 2) - 40(\text{ns})$$

- ・ウエイトあり

$$t_{su}(\text{D}) < 10^9 / f(\text{BCLK}) - 40(\text{ns})$$

$$40(\text{ns}) = t_d(\text{BCLK-DB}) - t_h(\text{BCLK-WR})$$

$$=(\text{データ出力遅延時間}) - (\text{WR信号出力保持時間})$$

(2)V_{CC}=3Vの場合

- ・ウエイトなし

$$t_{su}(\text{D}) < 10^9 / (f(\text{BCLK}) \times 2) - 80(\text{ns})$$

- ・ウエイトあり

$$t_{su}(\text{D}) < 10^9 / f(\text{BCLK}) - 80(\text{ns})$$

$$80(\text{ns}) = t_d(\text{BCLK-DB}) - t_h(\text{BCLK-WR})$$

$$=(\text{データ出力遅延時間}) - (\text{WR信号出力保持時間})$$

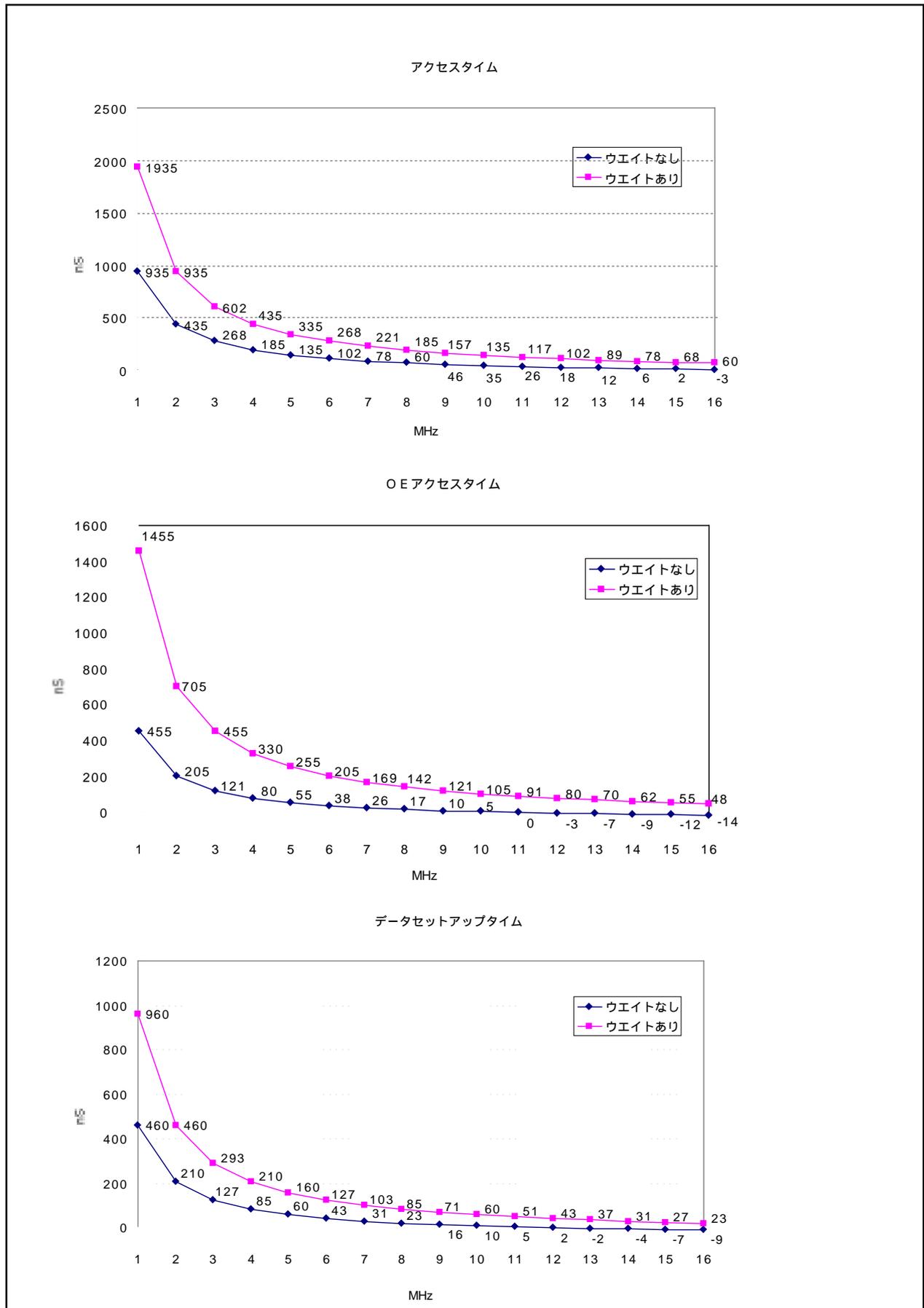


図3.4.1. BCLKの周波数とメモリの関係(Vcc = 5V)

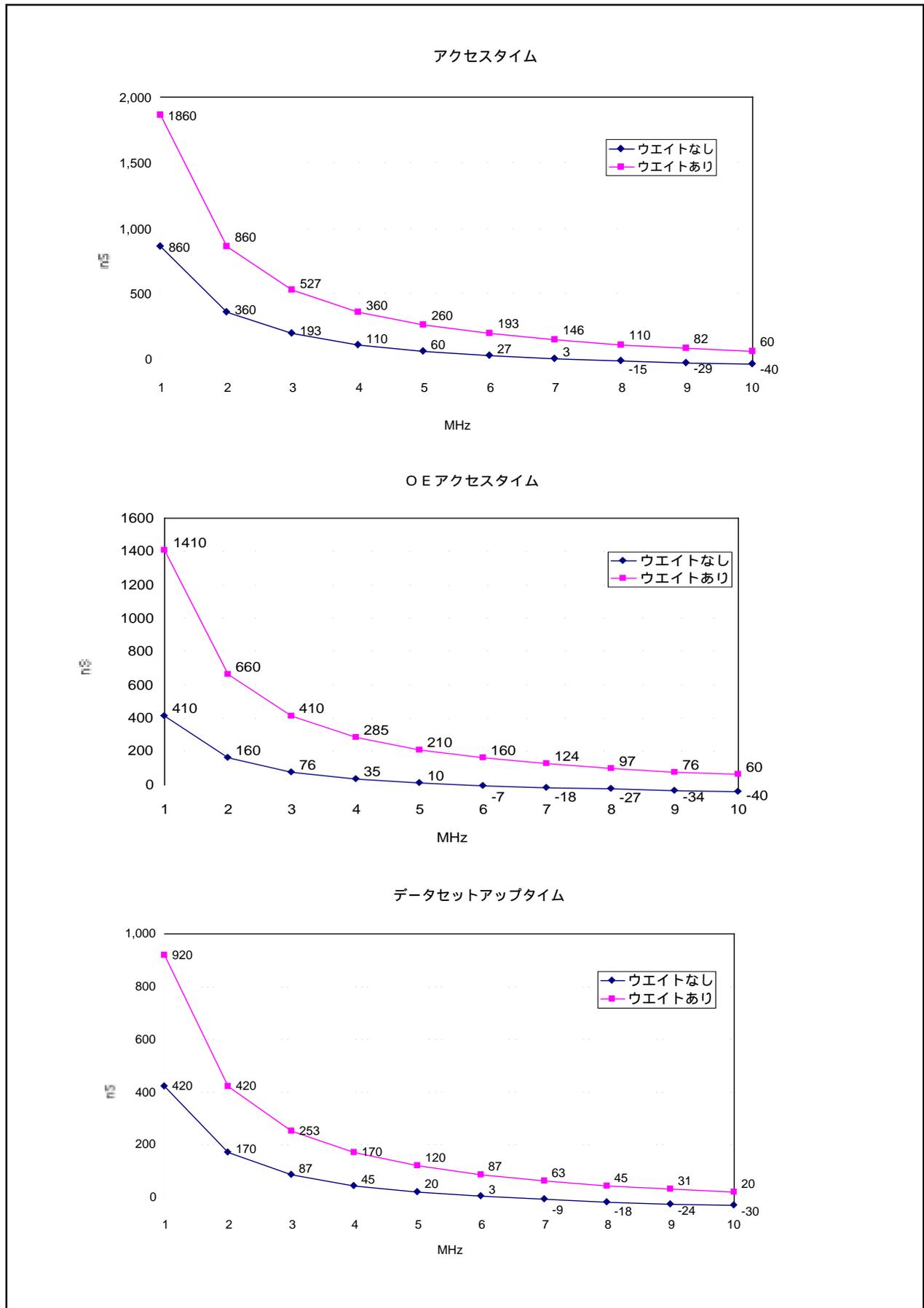


図3.4.2. BCLKの周波数とメモリの関係(Vcc = 3V)

3.4.2 低速メモリの接続

アクセスタイム $t_a(A)$ の大きいメモリを接続する場合、BCLKの周波数を下げるか、ソフトウェアウエイトを設定してください。ソフトウェアウエイトを設定しても、接続できないタイミングのメモリは、RDY機能を使用することにより接続可能となります。

(1) ソフトウェアウエイトの使用

ソフトウェアウエイトは、プロセッサモードレジスタ1のビット7(PM17)、またはチップセレクト制御レジスタのビット4~ビット7(CS0W~CS3W)により設定できます。ソフトウェアウエイトを設定した場合、セパレートバスが選択されているアドレス空間をアクセスすると、バスサイクルは、BCLKの2サイクルとなり、マルチプレクスバスが選択されているアドレス空間をアクセスすると、バスサイクルは、BCLKの3サイクルとなります。

プロセッサモードレジスタ1のビット7(PM17)をウエイトありに設定した場合、すべての領域をウエイトありでアクセスします。プロセッサモードレジスタ1(PM17)のビット7をウエイトなしに設定した場合、チップセレクト制御レジスタのビット4~ビット7(CS0W~CS3W)の設定により、各チップセレクトごとにウエイトの有無を設定できます。図3.4.3~図3.4.5に各プロセッサモードとウエイトビット(PM17, CSiW)の関係を示します。

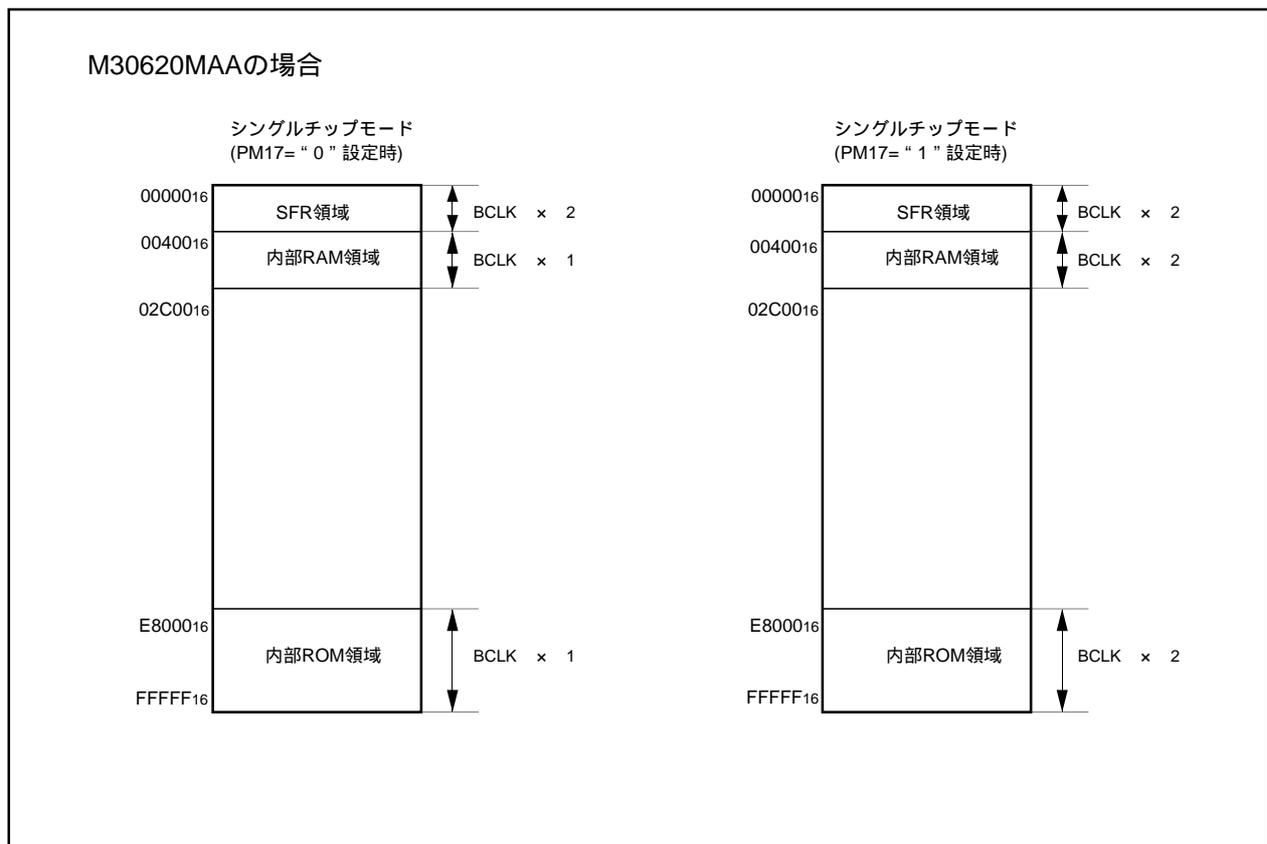


図3.4.3. 各プロセッサモードとウエイトビット(PM17, CSiW)の関係(1)

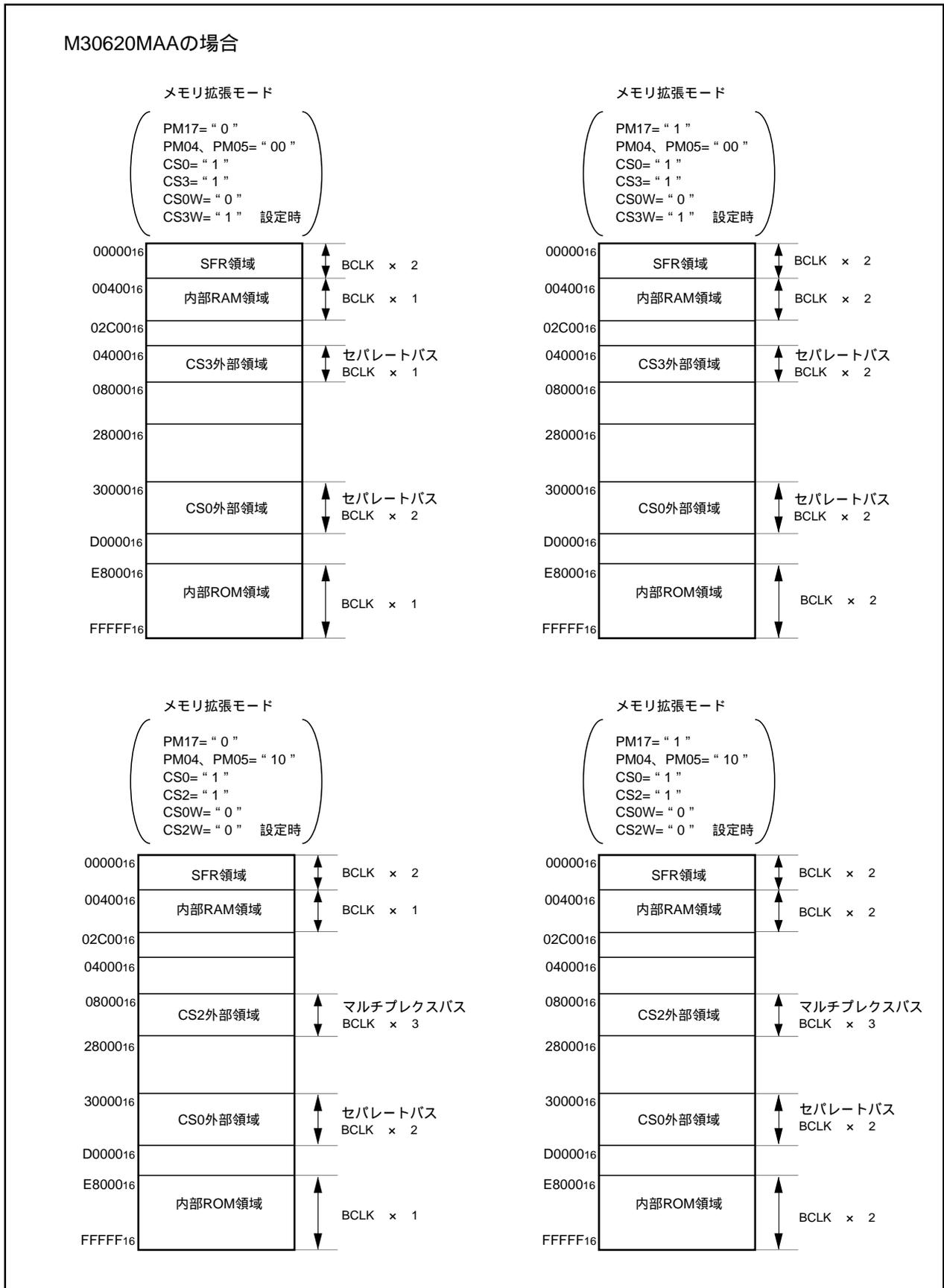


図3.4.4. 各プロセッサモードとウェイトビット(PM17, CSiW)の関係(2)

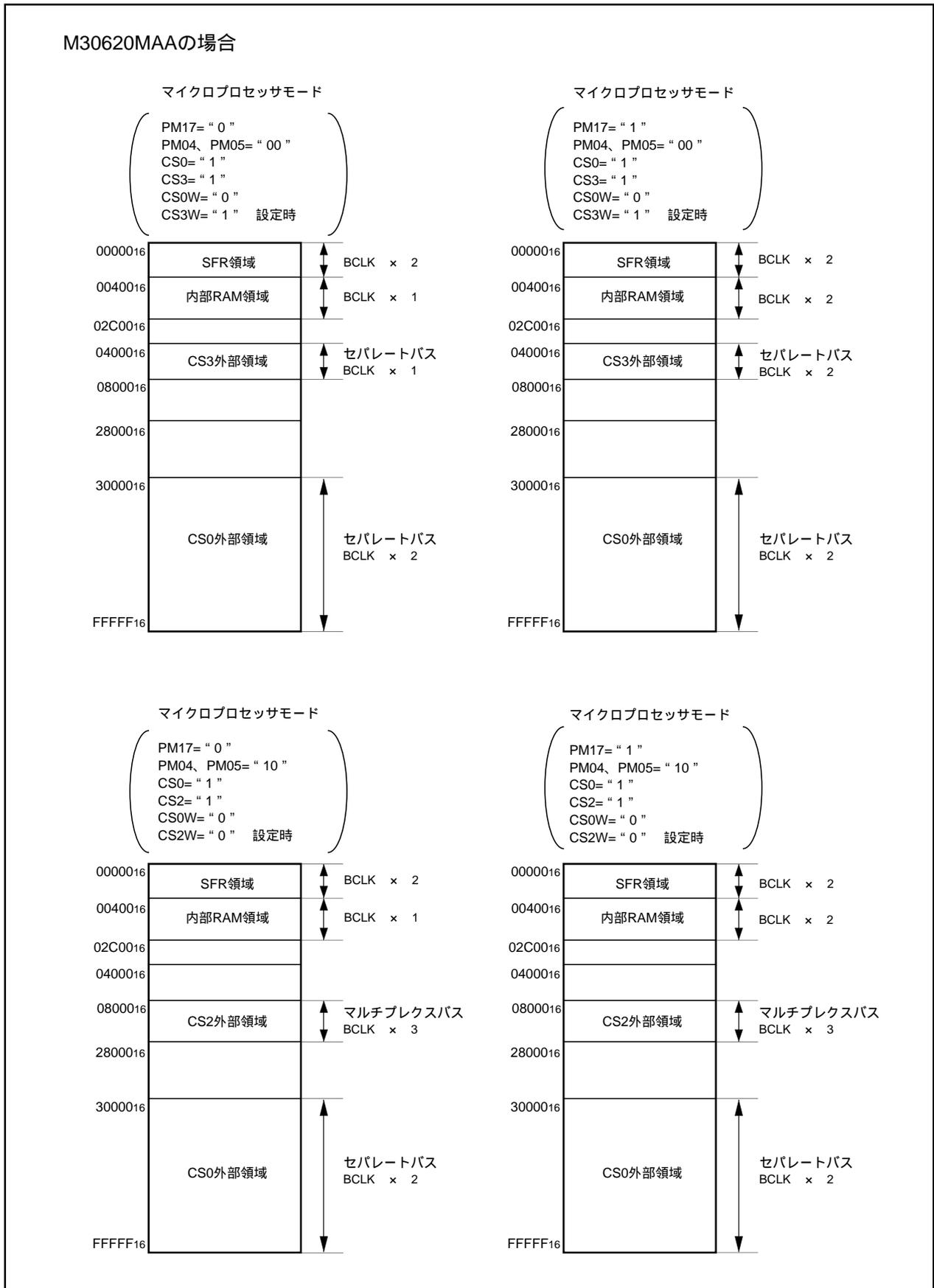


図3.4.5. 各プロセッサモードとウェイトビット(PM17, CSiW)の関係(3)

(2) RDY機能の使用

RDY機能を使用する場合は、ソフトウェアウエイトを設定してください。

RDY機能は、BCLK信号の立ち下がり時RDY端子が“L”の場合に動作し、1BCLKの間バスは変化せず、そのときの状態を保持します。

RDY機能は、RDY端子が“L”の間バスの状態が保持され、BCLK信号の立ち下がり時RDY端子が“H”の場合に解除されます。図3.4.6に1BCLKの間バスを保持させるためのRDY回路例($f(X_{IN})=10\text{MHz}$ の例)を示します。

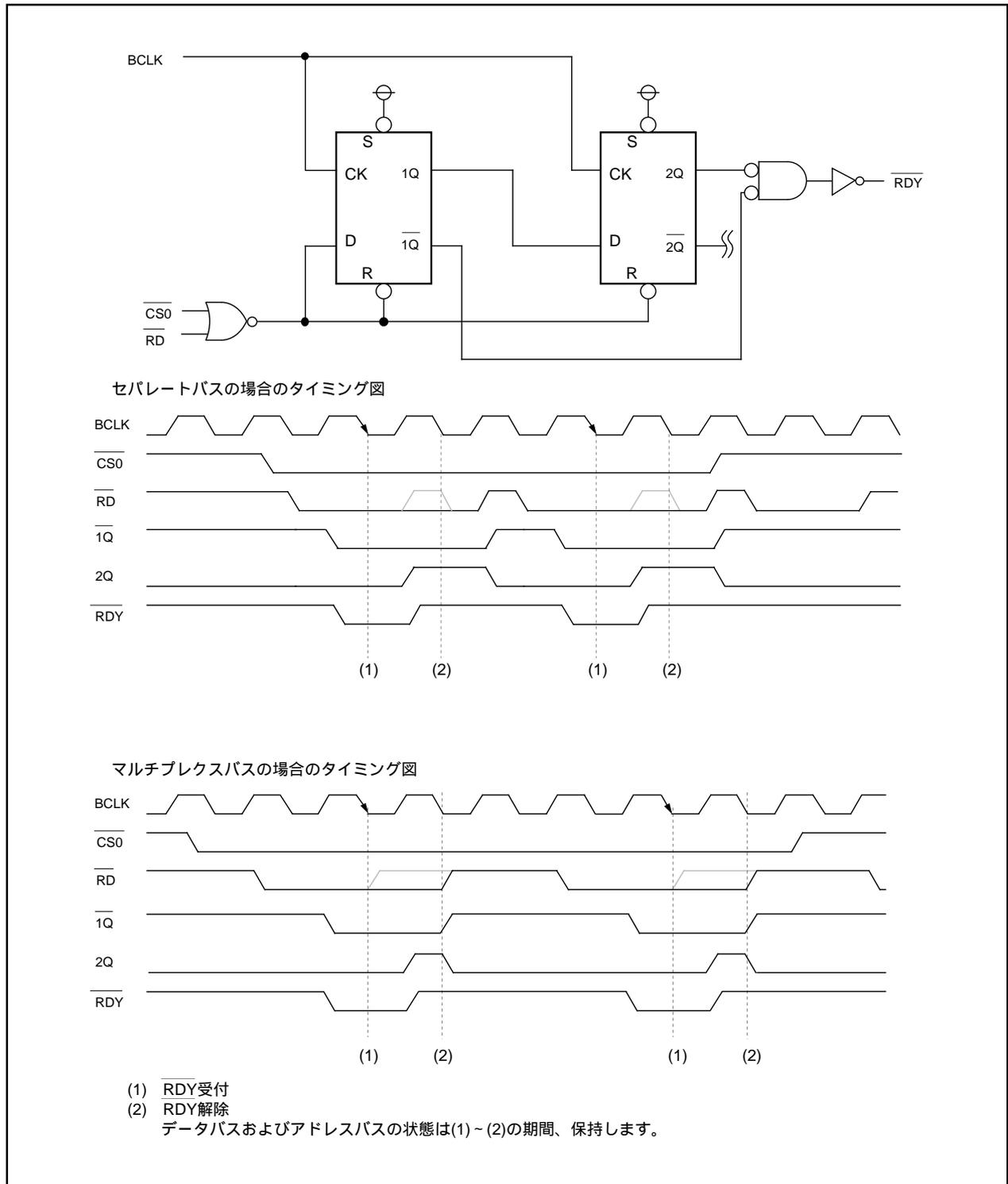


図3.4.6. 1BCLKの間バスを保持させるためのRDY回路例($f(X_{IN})=10\text{MHz}$ の例)

3.4.3 接続可能なメモリ

接続可能なメモリとそのときの最大周波数を示します。

なお、M16C/62Aグループの最大周波数は、下記のとおりです。

Vcc = 5V時 16MHz、ノーウエイト

Vcc = 3V時 10MHz、1ウエイト

(1) フラッシュメモリ(リードオンリモード)

(a)接続条件 3V、ウエイトなし

最大周波数(MHz)	形 名
3.57	M5M29GB/T160BVP-80

(b)接続条件 3V、1ウエイト

最大周波数(MHz)	形 名
8.33	M5M29GB/T160BVP-80

(2) SRAM

(a)接続条件 3V、ウエイトなし

最大周波数(MHz)	形 名
5.12	M5M54R08AJ-12 M5M54R16AJ,ATP-12

(b)接続条件 3V、1ウエイト

最大周波数(MHz)	形 名
10.0	M5M54R08AJ-12 M5M54R16AJ,ATP-12

3.5 外部バスの開放(HOLD入力とHLDA出力)

ホールド機能とは、複数のバスマスタがアドレスバス、データバス、コントロールバスを共有する場合に、M16C/62Aグループ以外のバスマスタからのホールド要求によって、M16C/62Aグループ側のアドレスバス、データバス、コントロールバス端子を開放する機能です。ホールド機能は、マイクロプロセッサモード、メモリ拡張モード時のみ有効です。

ホールド機能を使用する順序としては、

1. $\overline{\text{HOLD}}$ 端子の入力レベルを"L"にする。
2. M16C/62Aグループがバスを開放できる状態になると、BCLKの立ち下がりのタイミングで各バスがハイインピーダンス状態になる。
3. 次のBCLKの立ち上がりのタイミングでHLDA端子出力が"L"になる。
4. 外部のバスマスタがバスを使用する。
5. 外部のバスマスタがバスを使用し終わると、 $\overline{\text{HOLD}}$ 端子の入力レベルを"H"に戻す。
6. 次のBCLKの立ち上がりのタイミングでHLDA端子出力が"H"になる。
7. 次のBCLKの立ち下がりのタイミングでハイインピーダンス状態から元に戻る。

上記のように、HLDA出力が"L"の間は必ず各バスはハイインピーダンス状態となります。

また、バスを開放できる状態とは、バスサイクル中ではないことを意味します。すなわち、バスサイクル中にホールド要求が入った場合、そのバスサイクルが終了するまでHLDA出力は"L"になりません。

ホールド状態では、各端子の状態は、下記のようになります。

- ・アドレスバス A0 ~ A19
ハイインピーダンス状態。マイクロプロセッサモード時、メモリ拡張モード時に、A16 ~ A19をポートP40 ~ P43として使用する場合(アドレス空間64Kバイト)やA9 ~ A19をポートP31 ~ P37、P40 ~ P43として使用する場合(全領域マルチプレクス)も該当する。
- ・データバス D0 ~ D15
ハイインピーダンス状態。マイクロプロセッサモード時、メモリ拡張モード時に、D8 ~ D15をポートP10 ~ P17として使用する場合(外部バス幅8ビット)やD0 ~ D15をポートP00 ~ P07、P10 ~ P17として使用する場合(全領域マルチプレクス)も該当する。
- ・ $\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, BHE
ハイインピーダンス状態。
- ・ALE
BCLKと同位相の内部クロックが出力される。
- ・ $\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$
ハイインピーダンス状態。ただし、チップセレクト制御レジスタによって、ポートが選択されている場合も該当する。

図3.5.1に外部バスの開放例を示します。

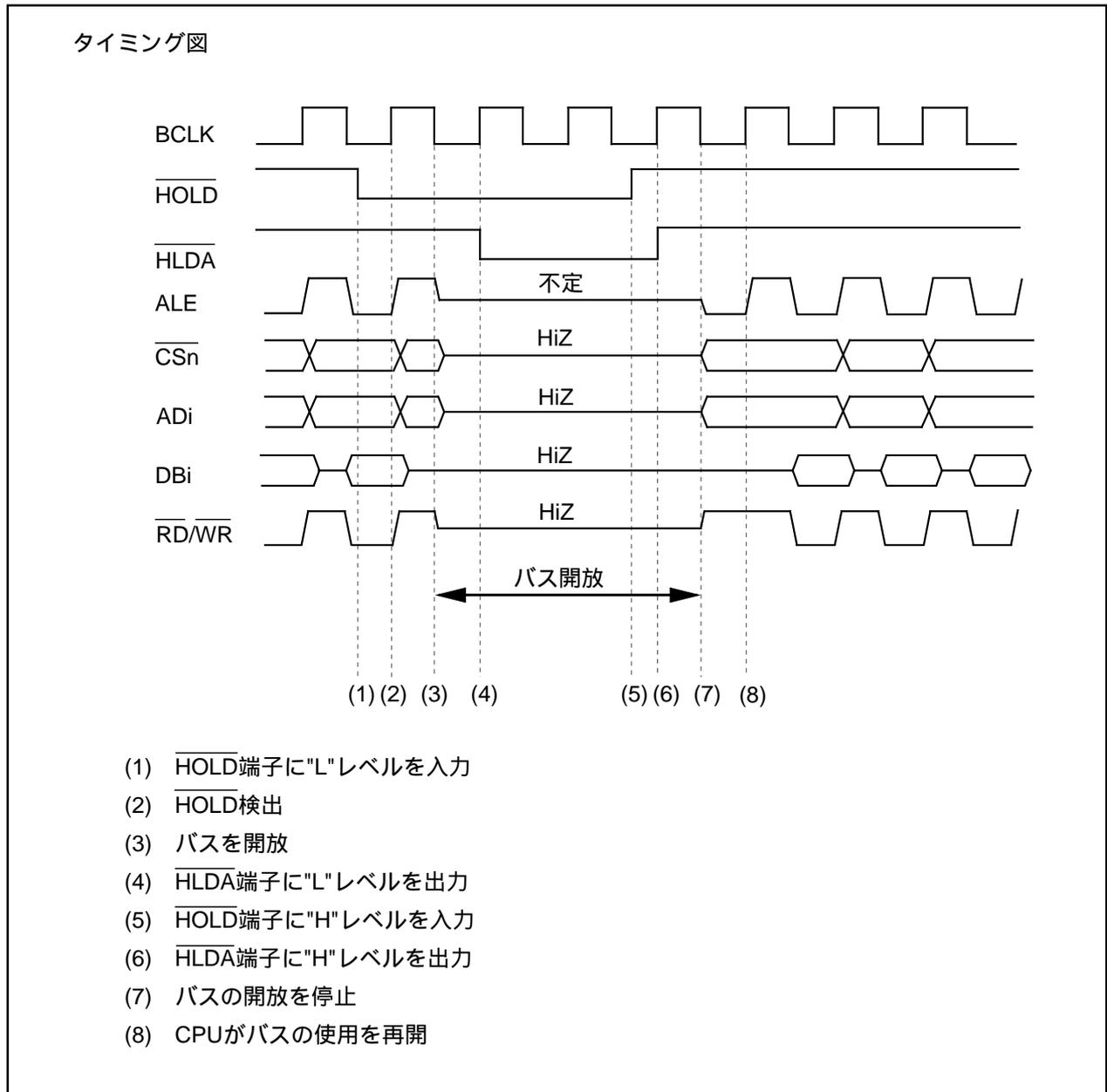


図3.5.1. 外部バスの開放例

3.6 外部バスの注意事項

ROM外付け版はマイクロプロセッサモード専用のため、必ず以下の設定を行ってください。

- ・ CNV_{SS}端子は、V_{CC}に接続してください。

4. 参考ドキュメント

データシート

M16C/62Aグループデータシート Rev.C1

(最新版をルネサス テクノロジホームページから入手してください。)

ユーザーズマニュアル

M16C/62Aグループユーザーズマニュアル Rev.1.0

(最新版をルネサス テクノロジホームページから入手してください。)

5. ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://www.renesas.com/>

M16CファミリMCU技術サポート窓口

E-mail: support_apl@renesas.com

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
- ・本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。