

RH850/U2Bx

モータコントロールタイマ (TSG3)

要旨

本アプリケーションノートは、RH850/U2B6 のモータコントロールタイマ (TSG3) を使用した動作例をまとめたものです。

なお、本アプリケーションノートに掲載されているタスク例およびアプリケーション例は動作確認済みですが、実際にご使用になる場合には、必ず動作環境を確認の上ご使用下さいますようお願いいたします。

動作確認デバイス

この資料は、RH850/U2B6 に適用されます。

目次

| | |
|-------------------------------------|----|
| 1. はじめに..... | 3 |
| 1.1 使用機能..... | 3 |
| 2. 動作例..... | 4 |
| 2.1 HT-PWM モード..... | 4 |
| 2.1.1 仕様概要..... | 4 |
| 2.1.2 使用機能の動作条件..... | 5 |
| 2.1.3 動作説明..... | 6 |
| 2.1.4 ソフトウェア説明..... | 7 |
| 2.1.5 動作フロー..... | 9 |
| 2.2 HT-PWM モード ADCK キャリア谷トリガ起動..... | 10 |
| 2.2.1 仕様概要..... | 10 |
| 2.2.2 使用機能の動作条件..... | 11 |
| 2.2.3 動作説明..... | 12 |
| 2.2.1 ソフトウェア説明..... | 13 |
| 2.2.1 動作フロー..... | 18 |
| 2.3 HT-PWM モード コンペアー一致割り込み..... | 19 |
| 2.3.1 仕様概要..... | 19 |
| 2.3.1 使用機能の動作条件..... | 20 |
| 2.3.1 動作説明..... | 21 |
| 2.3.1 ソフトウェア説明..... | 22 |
| 2.3.1 動作フロー..... | 25 |
| 2.4 注意事項..... | 26 |
| 改訂記録..... | 27 |

1. はじめに

本アプリケーションノートでは、RH850/U2B6 のモータコントロールタイマ (TSG3) の使用方法を掲載しています。

1.1 使用機能

本アプリケーションノートで使用する RH850/U2B6 のハードウェア機能を以下に示します。

- ・モータコントロールタイマ (TSG3)
- ・A/D コンバータ (ADCK)
- ・ペリフェラルインタコネクション 2 (PIC2)

2. 動作例

2.1 HT-PWM モード

2.1.1 仕様概要

本動作例は、TSG3 の HT-PWM モードを使用し、相補三相 PWM を出力します。

キャリア周期 125us (8kHz)、デッドタイム 2.5us に設定し、INTTSG30IVLY 割り込み (谷割り込み) にてデューティを更新します。

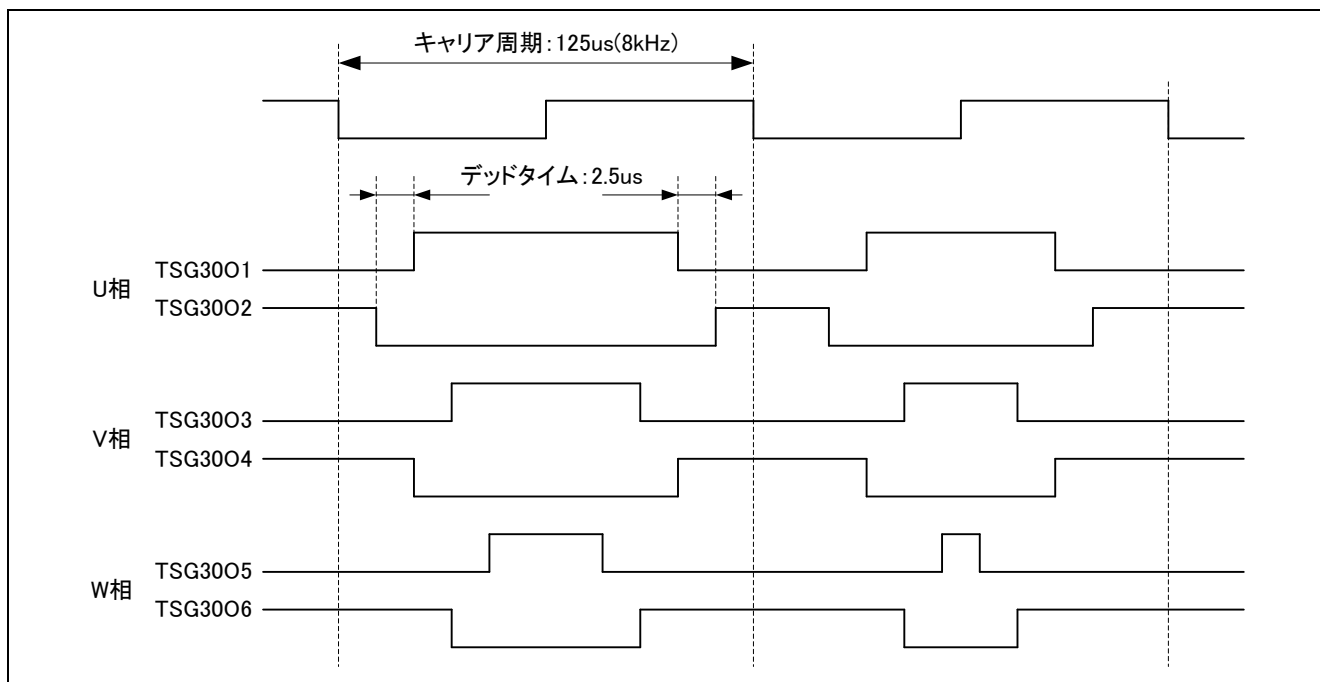


図 2-1 概要図

2.1.2 使用機能の動作条件

本動作例で使用する機能の動作条件を以下に示します。

表 2-1 ポートの設定

| 項目 | 内容 |
|-------|---|
| 使用ポート | P2_5 : TSG3001 P2_6 : TSG3002 P2_7 : TSG3003 P2_8 : TSG3004 P2_9 : TSG3005 P2_10 : TSG3006 |

表 2-2 TSG3 の設定

| 項目 | 内容 |
|------------------|--------------------------------|
| TSG3 への供給クロック | CLKC_HSB (非変調高速周辺クロック) : 80MHz |
| 使用機能 | HT-PWM モード |
| キャリア周期 | 125us (8kHz) |
| デッドタイム | 2.5us |
| コンペアレジスタの転送タイミング | リロードモード (一斉書き換え機能) |
| リロードタイミング | 谷タイミングにおけるリロード動作を許可 |
| 割り込み | 谷割り込みの発生許可 |
| 間引き率 | 1/32 |

表 2-3 割り込み機能の設定

| 項目 | 内容 |
|-------------------------------|-----------------|
| TSG30 谷割り込み (INTTSG30IVLY) | デープル参照方式 優先度 15 |

2.1.3 動作説明

本動作例では、INTTSG30IVLY 割り込み（谷割り込み）有効、谷タイミングにおけるリロード動作を許可に設定します。INTTSG30IVLY 割り込みにて、相補三相 PWM 出力のデューティを更新します。次のリロードタイミングにてコンペアレジスタ（TSG30CMP1E～TSG30CMP6E）に更新値が転送され、相補三相 PWM 出力のデューティが変化します。なお、本動作例では、INTTSG30IVLY 割り込みとリロードの間引きを 1/32 に設定しています。

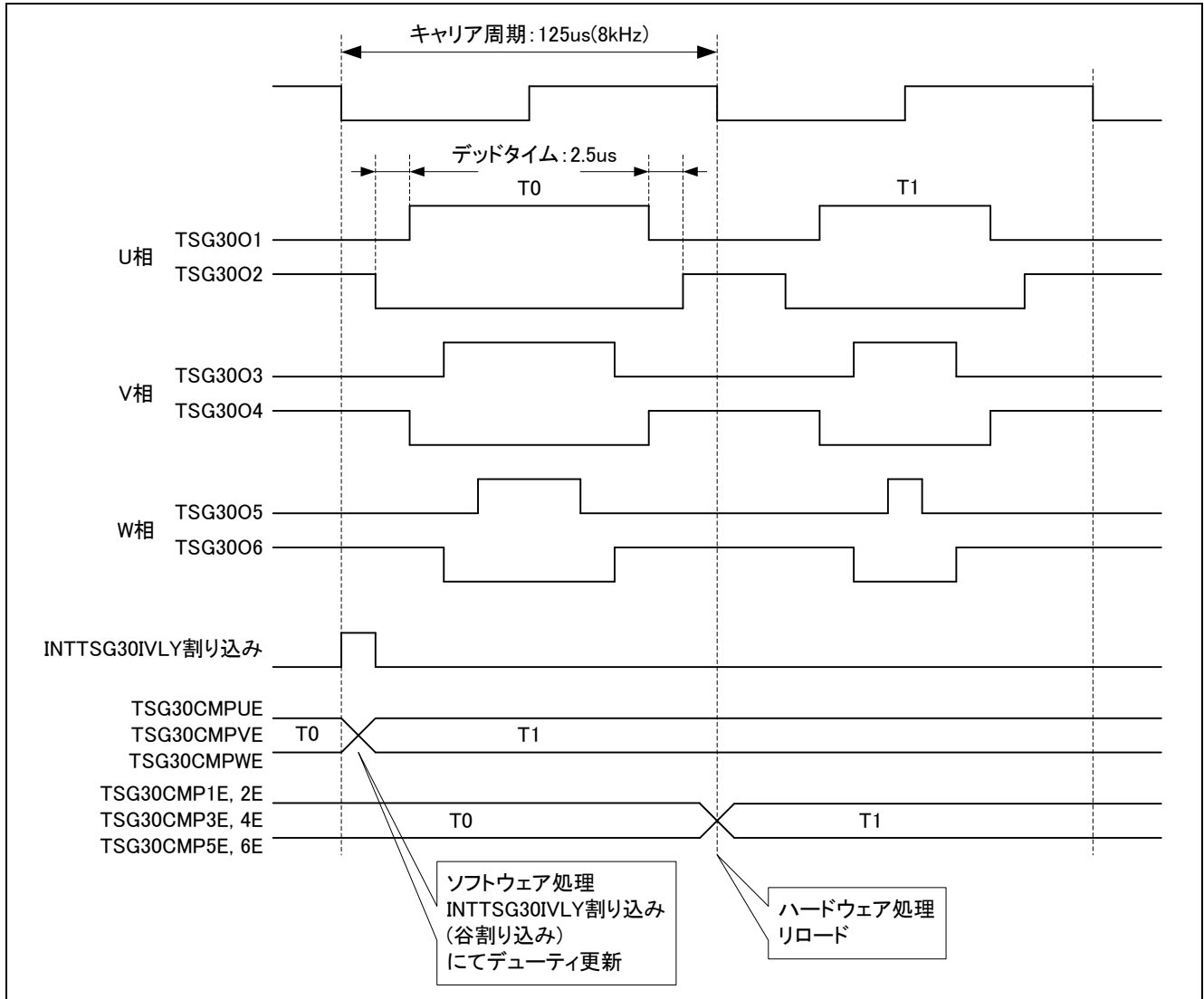


図 2-2 動作原理

2.1.4 ソフトウェア説明

表 2-4～表 2-6 に、本動作例で使用する各レジスタの設定例を示します。

表 2-4 TSG3 レジスタの設定例

| レジスタ名 | 設定値 | 機能 |
|------------|------------|--|
| TSG30TRG1 | 0x01 | TSG30 のタイマーの停止を制御します。 TSG30TT 1 : タイマーが停止します |
| TSG30CTL0 | 0x01 | TSG30 の動作モードを設定します。 TSG30MD[2:0] 0x1 : HT-PWM モード (HT-PWM) |
| TSG30CTL3 | 0x00 | コンペアレジスタの書き換え方法を設定します。 TSG30RIA 0 : リロードタイミングは、山リロードタイミング (TSG3nCTL4.TSG3nPRE にて設定) と谷リロードタイミング (TSG3nCTL4.TSG3nVRE にて設定) 時に発生 TSG30RMC 0 : リロードモード (一斉書き換え機能) |
| TSG30CTL4 | 0x000000BF | 山割り込み、谷割り込みとリロードタイミングを制御します。 TSG30PRE 0 : 山タイミングにおけるリロード動作禁止 TSG30VRE 1 : 谷タイミングにおけるリロード動作許可 TSG30PIE 0 : 山タイミングにおける山割り込み禁止 TSG30VIE 1 : 谷タイミングにおける谷割り込み許可 TSG30RCC[04:00] 0x1F : 割り込みとリロードの間引き率 1/32 |
| TSG30CMP0 | 10000 | PWM 周期を設定します。 $1/80\text{MHz} \times 10000 = 125\mu\text{s}$ (8kHz) |
| TSG30TRG0 | 0x01 | タイマの開始を制御します。 TSG30TS 1 : タイマ動作開始 |
| TSG30DTC0W | 200 | デッドタイム値 (逆相インアクティブ→正相アクティブ間) を設定します。 TSG30DTC0 200 : $1/80\text{MHz} \times 200 = 2.5\mu\text{s}$ |
| TSG30DTC1W | 200 | デッドタイム値 (正相インアクティブ→逆相アクティブ間) を設定します。 TSG30DTC1 200 : $1/80\text{MHz} \times 200 = 2.5\mu\text{s}$ |
| TSG30CMPU | - | U 相用のコンペア値を設定します。(U 相のデューティ設定) |
| TSG30CMPV | - | V 相用のコンペア値を設定します。(V 相のデューティ設定) |
| TSG30CMPW | - | W 相用のコンペア値を設定します。(W 相のデューティ設定) |

表 2-5 割り込み制御レジスタの設定例

| レジスタ名 | 設定値 | 機能 |
|---|--------|--|
| EIC376 TSG30 谷割り込み (INTTSG30IVLY) | 0x004F | EI レベル INT の要因ごとに用意され、各要因の割り込み制御条件を設定します。 EIMKn 0 : 割り込み処理許可 EITBn 1 : テーブル参照方式 EIPn 0xF : 優先度 15 |

表 2-6 ポートレジスタの設定例

| レジスタ名 | 設定値 | 機能 | 機能選択 |
|---------|------------|--|--|
| PCR2_5 | 0x00000048 | PUCC,PDSC 0x0 : ドライブ強度 Low PBDC 0x0 : 双方向モードを禁止 | PFCEAE,PFCAE,PFCE,PFC 0x8 : 兼用出力モード 9 |
| PCR2_6 | 0x00000048 | PIBC 0x0 : 入力バッファ禁止 PMC 0x1 : 兼用モード | PFCEAE,PFCAE,PFCE,PFC 0x8 : 兼用出力モード 9 |
| PCR2_7 | 0x00000040 | PIPC 0x0 : S/W 入出力制御 PM 0x0 : 出力モード (出力許可) | PFCEAE,PFCAE,PFCE,PFC 0x0 : 兼用出力モード 1 |
| PCR2_8 | 0x00000040 | | PFCEAE,PFCAE,PFCE,PFC 0x0 : 兼用出力モード 1 |
| PCR2_9 | 0x0000004C | | PFCEAE,PFCAE,PFCE,PFC 0xC : 兼用出力モード 13 |
| PCR2_10 | 0x0000004C | | PFCEAE,PFCAE,PFCE,PFC 0x8 : 兼用出力モード 13 |

表 2-7～表 2-9 に本動作例で使用する関数、変数、定数一覧を示します。

表 2-7 関数一覧

| 関数名 | 概要 |
|--------------------|-----------------------------------|
| main0 | 各関数の呼び出しを行います。 |
| tsg30_init | TSG30 の初期設定を行います。 |
| tsg30_init_duty | TSG30 の初期設定を行います。 |
| set_p2 | ポート (P2_5～P2_10) の初期設定を行います。 |
| int_init | 割り込み機能の初期設定を行います。 |
| tsg30_enable | TSG30 を動作開始に設定します。 |
| int_tsg_dutychange | 割り込み関数です。 U、V、W 相のデューティを更新します。 |

表 2-8 変数一覧

| 変数名 | 概要 |
|---------|----------|
| u4_duty | デューティ更新用 |

表 2-9 定数一覧

| 定数名 | 概要 |
|--------------|------------------------------|
| NUM_TSGCARR | PWM 周期の設定値 |
| NUM_TSGDT_IP | デッドタイム値 (逆相インアクティブ→正相アクティブ間) |
| NUM_TSGDT_PI | デッドタイム値 (正相インアクティブ→逆相アクティブ間) |
| MAX_DUTY | デューティの最大値 |

2.1.5 動作フロー

以下に、本動作例のフローチャートを示します。

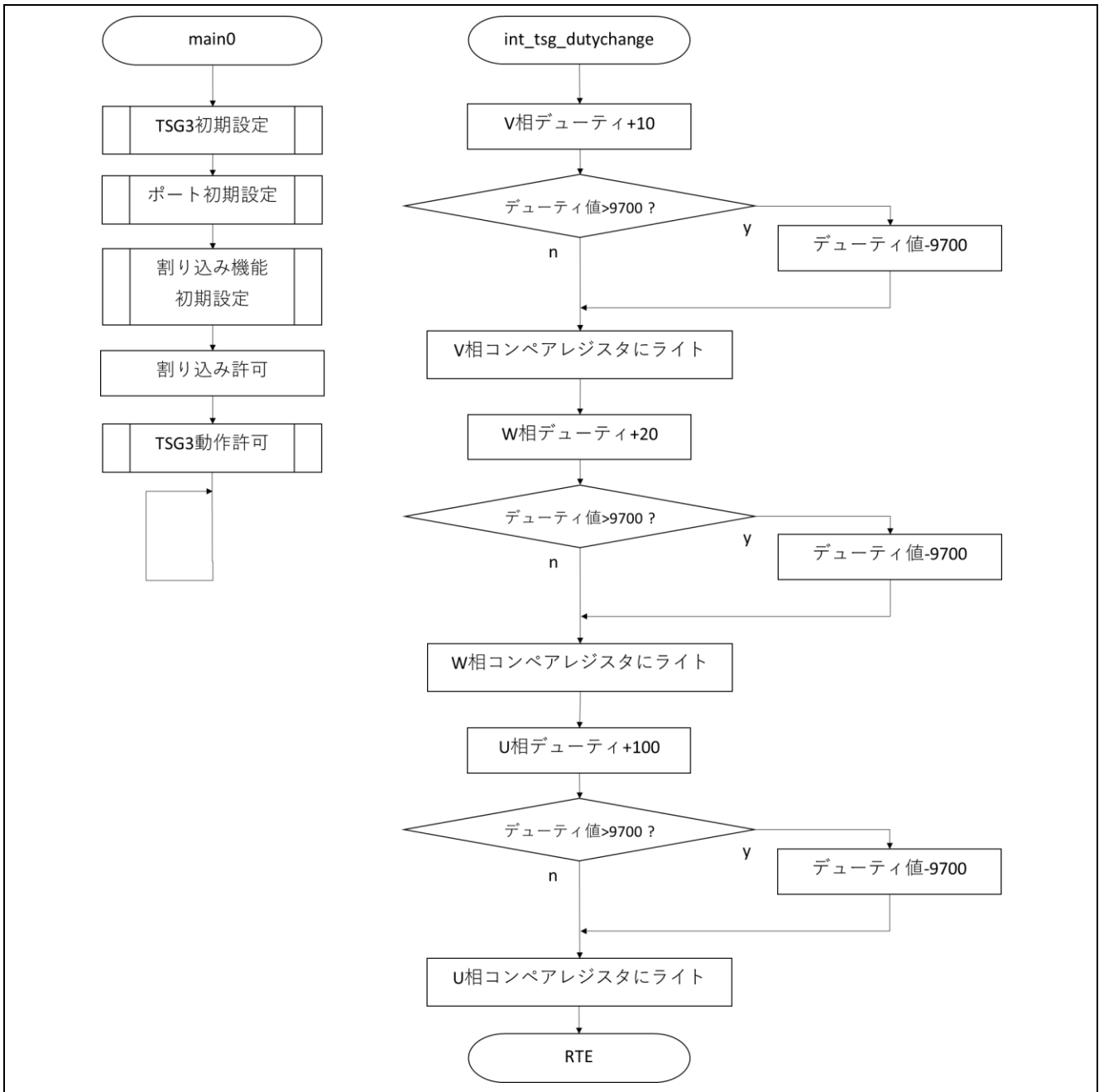


図 2-3 動作フロー

2.2 HT-PWM モード ADCK キャリア谷トリガ起動

2.2.1 仕様概要

本動作例は、2.1 項の動作にキャリア谷にて ADCK 起動を加えた動作になります。

TSG30 の設定で、谷割り込みで A/D 変換トリガ (TSG30ADTRG0) 発生を有効にします。ペリフェラルインタコネクション 2 (PIC2) にて、ADCK0 の起動トリガを TSG30ADTRG0 に設定します。A/D 変換トリガ (TSG30ADTRG0) 発生毎に ADCK0 が起動し A/D 変換が行われます。

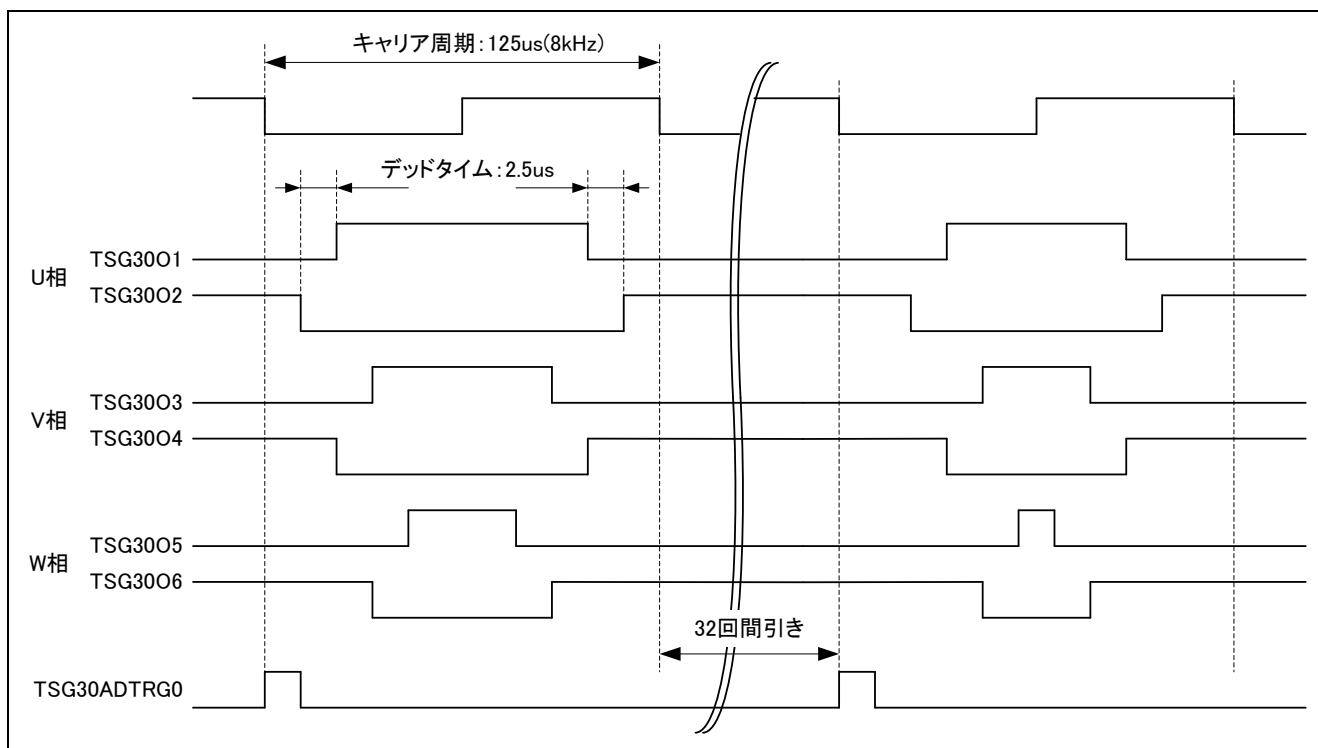


図 2-4 概要図

2.2.2 使用機能の動作条件

本動作例で使用する機能の動作条件を以下に示します。

表 2-10 ポートの設定

| 項目 | 内容 |
|-------|--|
| 使用ポート | P2_5 : TSG3001 P2_6 : TSG3002 P2_7 : TSG3003 P2_8 : TSG3004 P2_9 : TSG3005 P2_10 : TSG3006 P11_0 : 出力ポート |

表 2-11 TSG3 の設定

| 項目 | 内容 |
|------------------|--------------------------------|
| TSG3 への供給クロック | CLKC_HSB (非変調高速周辺クロック) : 80MHz |
| 使用機能 | HT-PWM モード |
| キャリア周期 | 125us (8kHz) |
| デッドタイム | 2.5us |
| コンペアレジスタの転送タイミング | リロードモード (一斉書き換え機能) |
| リロードタイミング | 谷タイミングにおけるリロード動作を許可 |
| 割り込み | 谷割り込みの発生許可 |
| 間引き率 | 1/32 |
| A/D 変換トリガ | TSG30ADTRG0 有効 (谷割り込み、間引きなし) |

表 2-12 PIC2 の設定

| 項目 | 内容 |
|-------------------|-------------|
| ADCK0 SG4 のトリガソース | TSG30ADTRG0 |
| 有効エッジの選択 | 立ち上がりエッジ |

表 2-13 割り込み機能の設定

| 項目 | 内容 |
|--------------------------------------|------------------|
| TSG30 谷割り込み (INTTSG30IVLY) | デューブル参照方式 優先度 15 |
| ADCK0 スキャングループ 4 終了割り込み (INTADCK0I4) | デューブル参照方式 優先度 0 |

表 2-14 ADCK の設定

| 項目 | 内容 |
|-----------------------------|-------------------------------------|
| 使用端子 | ADCK0I30、ADCK0I31、ADCK0I32、ADCK0I33 |
| 変換モード | ホールド値 A/D 変換 |
| スキャングループ | SG4 |
| スキャンモード | マルチサイクルスキャンモード |
| スキャングループ 4 終了割り込み信号 (ADI04) | 出力許可 |
| A/D 変換開始トリガ入力 | 有効 |

2.2.3 動作説明

本動作例は、2.1 項の動作にキャリア谷にて ADCK 起動を加えた動作になります。

谷割り込み (INTTSG30IVLY) 発生時に、A/D 変換トリガ (TSG30ADTRG0) が出力されます。A/D 変換トリガ (TSG30ADTRG0) にて ADCK0 が起動し A/D 変換を行います。本動作例では、A/D 変換が行われたことを確認するため、P11_0 を出力端子に設定し、A/D 変換終了割り込み関数内でパルス出力を行います。なお、本動作例では、A/D 変換値の取得等の処理はありません。

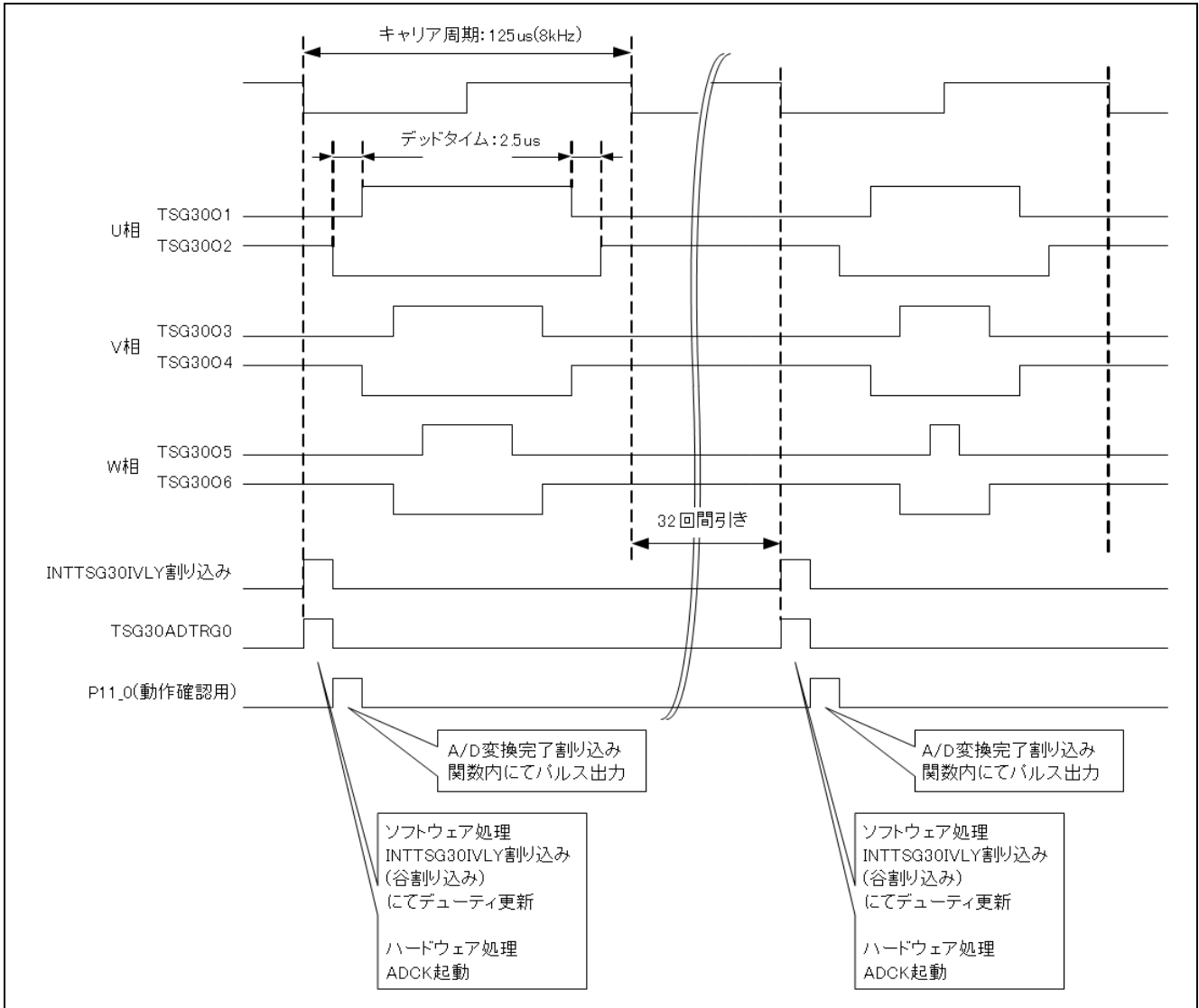


図 2-5 動作原理

2.2.1 ソフトウェア説明

表 2-15~エラー! 参照元が見つかりません。に、本動作例で使用する各レジスタの設定例を示します。

表 2-15 TSG3 レジスタの設定例

| レジスタ名 | 設定値 | 機能 |
|------------|------------|--|
| TSG30TRG1 | 0x01 | TSG30 のタイマーの停止を制御します。 TSG30TT 1 : タイマーが停止します |
| TSG30CTL0 | 0x01 | TSG30 の動作モードを設定します。 TSG30MD[2:0] 0x1 : HT-PWM モード (HT-PWM) |
| TSG30CTL3 | 0x00 | コンペアレジスタの書き換え方法を設定します。 TSG30RIA 0 : リロードタイミングは、山リロードタイミング (TSG3nCTL4.TSG3nPRE にて設定) と谷リロードタイミング (TSG3nCTL4.TSG3nVRE にて設定) 時に発生 TSG30RMC 0 : リロードモード (一斉書き換え機能) |
| TSG30CTL4 | 0x000000BF | 山割り込み、谷割り込みとリロードタイミングを制御します。 TSG30PRE 0 : 山タイミングにおけるリロード動作禁止 TSG30VRE 1 : 谷タイミングにおけるリロード動作許可 TSG30PIE 0 : 山タイミングにおける山割り込み禁止 TSG30VIE 1 : 谷タイミングにおける谷割り込み許可 TSG30RCC[04:00] 0x1F : 割り込みとリロードの間引き率 1/32 |
| TSG30CTL5 | 0x0001 | A/D 変換トリガ出力 (TSG30ADTRG0) を制御します。 TSG30ACC[1:0] 0x0 : A/D 変換トリガの間引き率 間引きなし TSG30AT00 1 : 谷割り込み (INTTSG3nIVLY) を A/D 変換トリガとする。 |
| TSG30CMP0 | 10000 | PWM 周期を設定します。 $1/80\text{MHz} \times 10000 = 125\mu\text{s}$ (8kHz) |
| TSG30TRG0 | 0x01 | タイマの開始を制御します。 TSG30TS 1 : タイマ動作開始 |
| TSG30DTC0W | 200 | デッドタイム値 (逆相インアクティブ→正相アクティブ間) を設定します。 $1/80\text{MHz} \times 200 = 2.5\mu\text{s}$ |
| TSG30DTC1W | 200 | デッドタイム値 (正相インアクティブ→逆相アクティブ間) を設定します。 $1/80\text{MHz} \times 200 = 2.5\mu\text{s}$ |
| TSG30CMPU | - | U 相用のコンペア値を設定します。(U 相のデューティ設定) |
| TSG30CMPV | - | V 相用のコンペア値を設定します。(V 相のデューティ設定) |
| TSG30CMPW | - | W 相用のコンペア値を設定します。(W 相のデューティ設定) |

表 2-16 PIC2 レジスタの設定例

| レジスタ名 | 設定値 | 機能 |
|------------------|------------|--|
| PIC20ADCK0TSEL4 | 0x00000020 | ADCK0 のチャンネルグループ 4 のトリガを選択するレジスタです。 PIC20ADCK0TSEL405 1 : TSG30ADTRG0 を選択 |
| PIC20ADCK0EDGSEL | 0x0000 | 有効エッジの選択を行うレジスタです。 PIC20ADCK0EDGSEL[9:8] 0x0 : 立ち上がりエッジ |

表 2-17 割り込み制御レジスタの設定例

| レジスタ名 | 設定値 | 機能 |
|---|--------|--|
| EIC376 TSG30 谷割り込み (INTTSG30IVLY) | 0x004F | EI レベル INT の要因ごとに用意され、各要因の割り込み制御条件を設定します。 EIMKn 0 : 割り込み処理許可 EITBn 1 : テーブル参照方式 EIPn 0xF : 優先度 15 |
| EIC445 ADCK0 スキャングループ 4 終了割り込み (INTAIRINTREQ8 Group 0 → INTADCK0I4) | 0x0040 | EI レベル INT の要因ごとに用意され、各要因の割り込み制御条件を設定します。 EIMKn 0 : 割り込み処理許可 EITBn 1 : テーブル参照方式 EIPn 0x0 : 優先度 0 |

表 2-18 ポートレジスタの設定例

| レジスタ名 | 設定値 | 機能 | 機能選択 |
|---------|-------------|---|---|
| PCR2_5 | 0x00000048 | PUCC,PDSC 0x0 : ドライブ強度 Low PBDC 0x0 : 双方向モードを禁止 | PFCEAE,PFCAE,PFCE,PFC 0x8 : 兼用出力モード 9 |
| PCR2_6 | 0x00000048 | PIBC 0x0 : 入力バッファ禁止 PMC 0x1 : 兼用モード | PFCEAE,PFCAE,PFCE,PFC 0x8 : 兼用出力モード 9 |
| PCR2_7 | 0x00000040 | PIPC 0x0 : S/W 入出力制御 PM 0x0 : 出力モード (出力許可) | PFCEAE,PFCAE,PFCE,PFC 0x0 : 兼用出力モード 1 |
| PCR2_8 | 0x00000040 | | PFCEAE,PFCAE,PFCE,PFC 0x0 : 兼用出力モード 1 |
| PCR2_9 | 0x0000004C | | PFCEAE,PFCAE,PFCE,PFC 0xC : 兼用出力モード 13 |
| PCR2_10 | 0x0000004C | | PFCEAE,PFCAE,PFCE,PFC 0x8 : 兼用出力モード 13 |
| PCR11_0 | 0x00000000 | 出力ポート (動作確認用) | - |
| P11 | P11_0~P11_0 | P11 の出力レベルを設定します。 P11_0 0 : Lo レベル P11_0 1 : Hi レベル | - |

表 2-19 ADCK の設定例

| レジスタ名 | 設定値 | 機能 |
|------------------------------------|------------|--|
| ADCK0ADCR1 | 0x02 | ADCK の共通制御 (サスペンド方式) を設定するためのレジスタです。 SUSMTD[1:0] 0x2 : 非同期サスペンド |
| ADCK0ADCR2 | 0x10 | ADCK の共通制御 (データフォーマット、加算方式) を設定するためのレジスタです。 DFMT[2:0] 0x1 : 解像度 12bit 符号付整数フォーマット |
| ADCK0VCLMINTER1 ADCK0VCLMINTER2 | 0x00000000 | 仮想チャネルの上限/下限チェック割り込みを無効に設定します。 |
| ADCK0THCR | 0x00 | T&H のサンプリング機能を制御します。 ASMPMSK 0 : 自動サンプリング |
| ADCK0THGSR | 0x0000 | 各 T&H の T&H グループを選択するレジスタです。 TH0GS 0 : T&H グループ A TH1GS 0 : T&H グループ A TH2GS 0 : T&H グループ A TH3GS 0 : T&H グループ A TH4GS 0 : T&H グループ A TH5GS 0 : T&H グループ A |
| ADCK0THER | 0x3F | 各 T&H 回路の有効/無効を制御するレジスタです。 TH0E 1 : T&H0 回路の動作有効 TH1E 1 : T&H1 回路の動作有効 TH2E 1 : T&H2 回路の動作有効 TH3E 1 : T&H3 回路の動作有効 TH4E 1 : T&H4 回路の動作有効 TH5E 1 : T&H5 回路の動作有効 |
| ADCK0SGVCPR4 | 0x0300 | SG4 の仮想チャネル開始/終了ポインタを設定するレジスタです。 VCEP[5:0] 0x03 : 終了仮想チャネル 3 VCSP[5:0] 0x00 : 開始仮想チャネル 0 |
| ADCK0SGMCYCR4 | 0x00 | SG4 マルチサイクルスキャン時に AD 変換回数を設定するレジスタです。 MCYC[7:0] 0x00 : マルチサイクルスキャン 1 回 |

| レジスタ名 | 設定値 | 機能 |
|----------------|------------|---|
| ADCK0VCR0 | 0x00000800 | 仮想チャンネル 0 の設定を行うレジスタです。 VCULLMTBS[3:0] 0x0 : 上限/下限チェック無効 WTTS[3:0] 0x0 : 変換待機機能無効 DFETN 0 : DFE エントリー無効 CNVCLS[3:0] 0x1 : ホールド値 AD 変換 ADIE 0 : 仮想チャンネル終了割り込み無効 GCTRL [5:0] 0x00 : T&H0 ホールド値を AD 変換 |
| ADCK0VCR1 | 0x00000801 | 仮想チャンネル 1 の設定を行うレジスタです。 VCULLMTBS[3:0] 0x0 : 上限/下限チェック無効 WTTS[3:0] 0x0 : 変換待機機能無効 DFETN 0 : DFE エントリー無効 CNVCLS[3:0] 0x1 : ホールド値 AD 変換 ADIE 0 : 仮想チャンネル終了割り込み無効 GCTRL [5:0] 0x01 : T&H1 ホールド値を AD 変換 |
| ADCK0VCR2 | 0x00000802 | 仮想チャンネル 2 の設定を行うレジスタです。 VCULLMTBS[3:0] 0x0 : 上限/下限チェック無効 WTTS[3:0] 0x0 : 変換待機機能無効 DFETN 0 : DFE エントリー無効 CNVCLS[3:0] 0x1 : ホールド値 AD 変換 ADIE 0 : 仮想チャンネル終了割り込み無効 GCTRL [5:0] 0x02 : T&H2 ホールド値を AD 変換 |
| ADCK0VCR3 | 0x00000803 | 仮想チャンネル 3 の設定を行うレジスタです。 VCULLMTBS[3:0] 0x0 : 上限/下限チェック無効 WTTS[3:0] 0x0 : 変換待機機能無効 DFETN 0 : DFE エントリー無効 CNVCLS[3:0] 0x1 : ホールド値 AD 変換 ADIE 0 : 仮想チャンネル終了割り込み無効 GCTRL [5:0] 0x03 : T&H3 ホールド値を AD 変換 |
| ADCK0THACR | 0x33 | T&H グループ A の設定を行うレジスタです。 HLDCTE 1 : ホールド制御有効 HLDTE 1 : HW トリガ信号入力有効 SGS[1:0] 0x3 : SG4 選択 |
| ADCK0SGCR4 | 0x11 | SG4 の設定を行うレジスタです。 ADSTARTE 0 : SG 同期開始信号無効 SCANMD 0 : マルチサイクルスキャン ADIE 1 : SG4 終了割り込み信号出力許可 TRGMD 0x1 : SG4 HW トリガ有効 |
| ADCK0SGSTPCR4 | 0x01 | スキャングループ 4 の A/D 変換の停止を制御します。 SGSTP 1 : A/D 変換停止 |
| AIRISELR0 | 0x00000000 | AD 割り込みルータの割り込み要因を選択するレジスタです。 ISEL[8] 0 : INTADCK0I4 を選択 |
| ADCK0THSMPSTCR | 0x01 | 全 T&H のサンプリング開始を制御するレジスタです。 SMPST 1 : サンプリング開始 |

表 2-19～表 2-21 に本動作例で使用する関数、変数、定数一覧を示します。

表 2-19 関数一覧

| 関数名 | 概要 |
|---------------------|--|
| main0 | 各関数の呼び出しを行います。 |
| tsg30_init | TSG30 の初期設定を行います。 |
| tsg30_init_duty | TSG30 の初期設定を行います。 |
| adck0_init | ADCK0 の初期設定を行います |
| pic_set_adtrg | PICD の初期設定を行います。 |
| set_p2 | ポート (P2_5～P2_10) の初期設定を行います。 |
| set_p11 | ポート (P11_0) の初期設定を行います。 |
| int_init | 割り込み機能の初期設定を行います。 |
| tsg30_enable | TSG30 を動作開始に設定します。 |
| adck0_enable | ADCK0 を動作開始に設定します。 |
| int_tsg_dutychange | 割り込み関数です。 U、V、W 相のデューティを更新します。 |
| int_adck0sg4_finish | 割り込み関数です。 A/D 変換終了で P11_0 端子からパルス (動作確認用) を出力します。 |

表 2-20 変数一覧

| 変数名 | 概要 |
|------------|----------|
| u4_duty | デューティ更新用 |
| u2_count_i | ウェイト処理用 |

表 2-21 定数一覧

| 定数名 | 概要 |
|--------------|------------------------------|
| NUM_TSGCARR | PWM 周期の設定値 |
| NUM_TSGDT_IP | デッドタイム値 (逆相インアクティブ→正相アクティブ間) |
| NUM_TSGDT_PI | デッドタイム値 (正相インアクティブ→逆相アクティブ間) |
| MAX_DUTY | デューティの最大値 |

2.2.1 動作フロー

以下に、本動作例のフローチャートを示します。

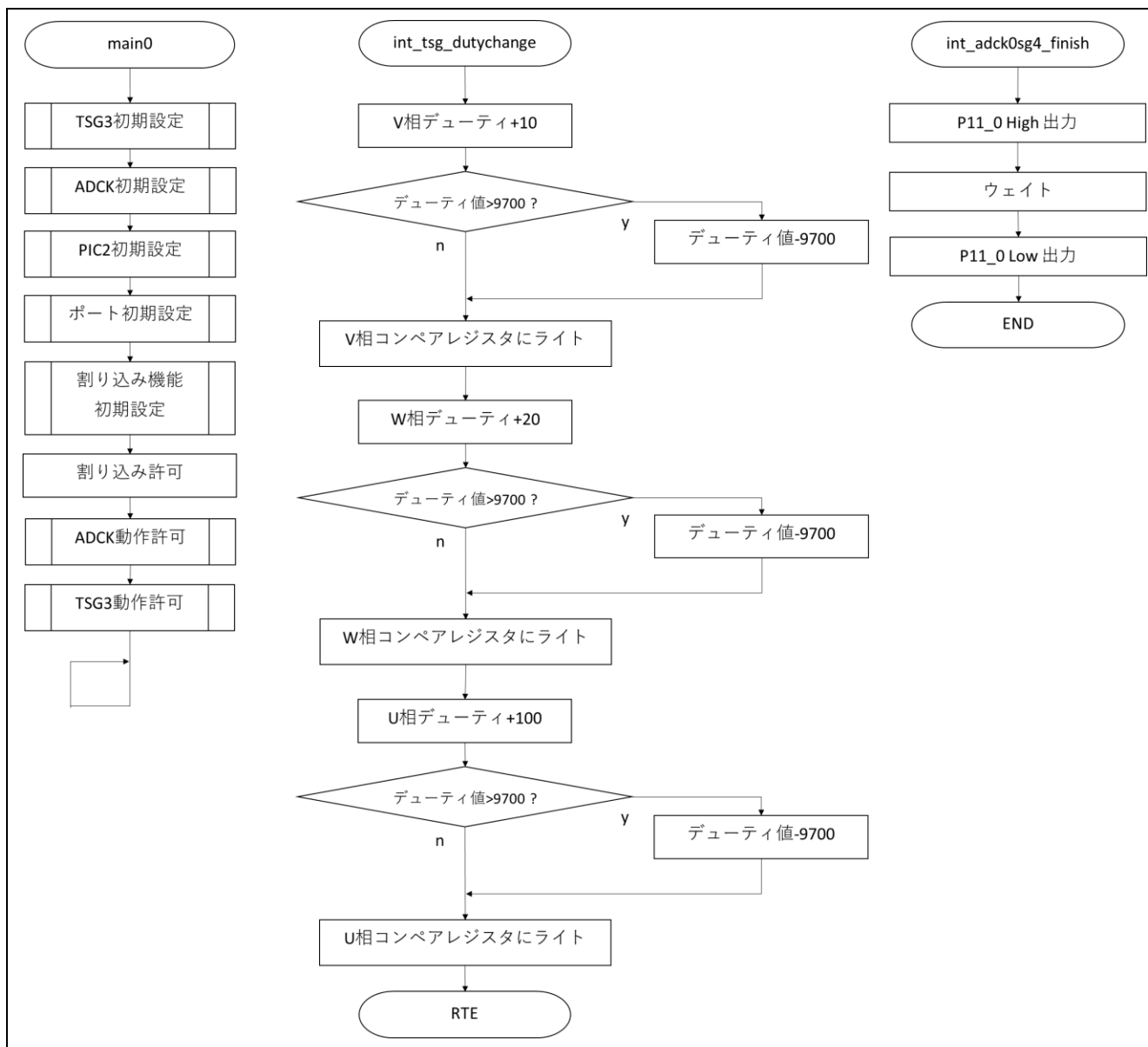


図 2-6 動作フロー

2.3 HT-PWM モード コンペアー一致割り込み

2.3.1 仕様概要

本動作例は、2.1 項の動作にコンペアー一致割り込みを加えた動作になります。

コンペアー一致割り込み (INTTSG3nIm) は、TSG3nCMPmE バッファレジスタと 18 ビットカウンタの一致により発生する割り込みです。動作モードで使用するコンペアーレジスタに応じて一致割り込みが発生します。

本動作例では、コンペアー一致割り込み (INTTSG30I3) を使用します。

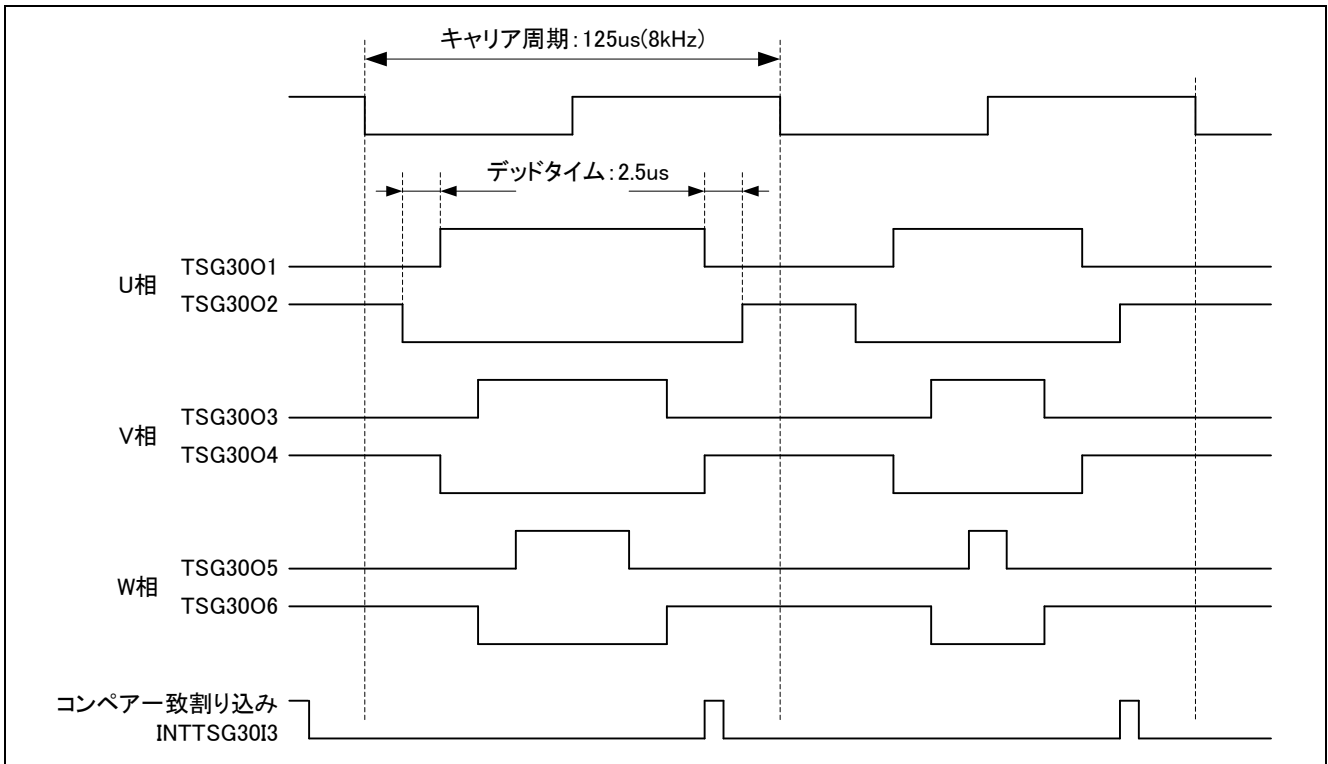


図 2-7 概要図

2.3.1 使用機能の動作条件

本動作例で使用する機能の動作条件を以下に示します。

表 2-22 ポートの設定

| 項目 | 内容 |
|-------|--|
| 使用ポート | P2_5 : TSG3001 P2_6 : TSG3002 P2_7 : TSG3003 P2_8 : TSG3004 P2_9 : TSG3005 P2_10 : TSG3006 P11_0 : 出力ポート |

表 2-23 TSG3 の設定

| 項目 | 内容 |
|------------------|--------------------------------|
| TSG3 への供給クロック | CLKC_HSB (非変調高速周辺クロック) : 80MHz |
| 使用機能 | HT-PWM モード |
| キャリア周期 | 125us (8kHz) |
| デッドタイム | 2.5us |
| コンペアレジスタの転送タイミング | リロードモード (一斉書き換え機能) |
| リロードタイミング | 谷タイミングにおけるリロード動作を許可 |
| 割り込み | 谷割り込みの発生許可 |
| 間引き率 | 1/32 |
| コンペア値 | 3000 |

表 2-24 割り込み機能の設定

| 項目 | 内容 |
|-------------------------------|-----------------|
| TSG30 谷割り込み (INTTSG30IVLY) | デューブル参照方式 優先度 1 |
| コンペア一致割り込み (INTTSG30I3) | デューブル参照方式 優先度 1 |

2.3.1 動作説明

本動作例は、2.1 項の動作にコンペアー一致割り込みを加えた動作になります。

コンペアー一致割り込み (INTTSG30I3) を使用します。割り込み動作確認のため、P11_0 端子を出力ポートに設定し、割り込み関数内でパルス出力を行います。

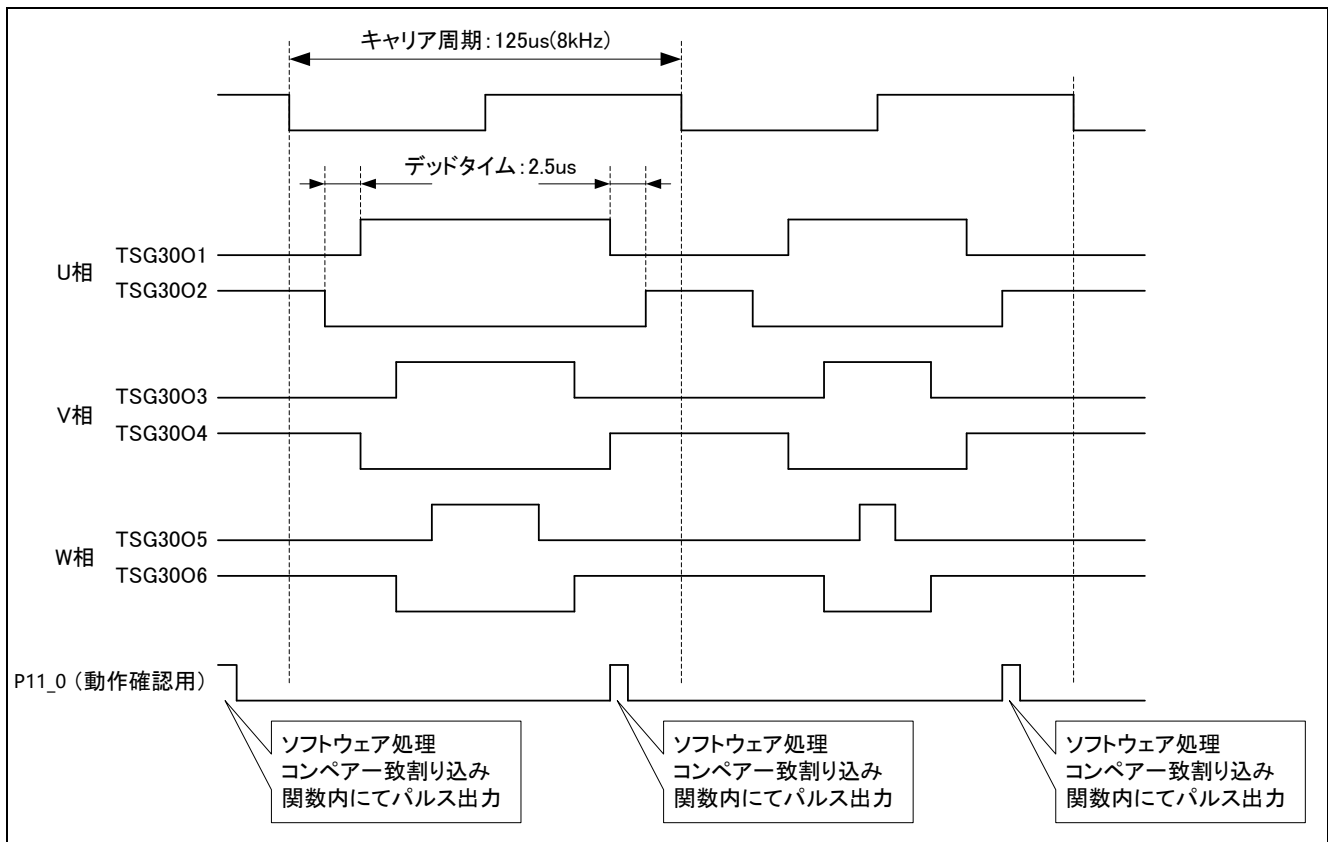


図 2-8 動作原理

2.3.1 ソフトウェア説明

表 2-25～表 2-27 に、本動作例で使用する各レジスタの設定例を示します。

表 2-25 TSG3 レジスタの設定例

| レジスタ名 | 設定値 | 機能 |
|------------|------------|--|
| TSG30TRG1 | 0x01 | TSG30 のタイマーの停止を制御します。 TSG30TT 1 : タイマーが停止します |
| TSG30CTL0 | 0x01 | TSG30 の動作モードを設定します。 TSG30MD[2:0] 0x1 : HT-PWM モード (HT-PWM) |
| TSG30CTL3 | 0x00 | コンペアレジスタの書き換え方法を設定します。 TSG30RIA 0 : リロードタイミングは、山リロードタイミング (TSG3nCTL4.TSG3nPRE にて設定) と谷リロードタイミング (TSG3nCTL4.TSG3nVRE にて設定) 時に発生 TSG30RMC 0 : リロードモード (一斉書き換え機能) |
| TSG30CTL4 | 0x000000BF | 山割り込み、谷割り込みとリロードタイミングを制御します。 TSG30PRE 0 : 山タイミングにおけるリロード動作禁止 TSG30VRE 1 : 谷タイミングにおけるリロード動作許可 TSG30PIE 0 : 山タイミングにおける山割り込み禁止 TSG30VIE 1 : 谷タイミングにおける谷割り込み許可 TSG30RCC[04:00] 0x1F : 割り込みとリロードの間引き率 1/32 |
| TSG30CMP0 | 10000 | PWM 周期を設定します。 $1/80\text{MHz} \times 10000 = 125\mu\text{s}$ (8kHz) |
| TSG30TRG0 | 0x01 | タイマの開始を制御します。 TSG30TS 1 : タイマ動作開始 |
| TSG30DTC0W | 200 | デッドタイム値 (逆相インアクティブ→正相アクティブ間) を設定します。 TSG30DTC0 200 : $1/80\text{MHz} \times 200 = 2.5\mu\text{s}$ |
| TSG30DTC1W | 200 | デッドタイム値 (正相インアクティブ→逆相アクティブ間) を設定します。 TSG30DTC1 200 : $1/80\text{MHz} \times 200 = 2.5\mu\text{s}$ |
| TSG30CMPU | - | U 相用のコンペア値を設定します。(U 相のデューティ設定) |
| TSG30CMPV | - | V 相用のコンペア値を設定します。(V 相のデューティ設定) |
| TSG30CMPW | - | W 相用のコンペア値を設定します。(W 相のデューティ設定) |
| TSG30CMP3 | 3000 | コンペア値を設定します。 |

表 2-26 割り込み制御レジスタの設定例

| レジスタ名 | 設定値 | 機能 |
|---|--------|---|
| EIC376 TSG30 谷割り込み (INTTSG30IVLY) | 0x0041 | EI レベル INT の要因ごとに用意され、各要因の割り込み制御条件を設定します。 EIMKn 0 : 割り込み処理許可 EITBn 1 : テーブル参照方式 EIPn 0x1 : 優先度 1 |
| EIC365 コンペア一致割り込み (INTTSG30I3) | 0x0041 | EI レベル INT の要因ごとに用意され、各要因の割り込み制御条件を設定します。 EIMKn 0 : 割り込み処理許可 EITBn 1 : テーブル参照方式 EIPn 0x1 : 優先度 1 |

表 2-27 ポートレジスタの設定例

| レジスタ名 | 設定値 | 機能 | 機能選択 |
|---------|------------|--|--|
| PCR2_5 | 0x00000048 | PUCC,PDSC 0x0 : ドライブ強度 Low PBDC 0x0 : 双方向モードを禁止 | PFCEAE,PFCAE,PFCE,PFC 0x8 : 兼用出力モード 9 |
| PCR2_6 | 0x00000048 | PIBC 0x0 : 入力バッファ禁止 PMC 0x1 : 兼用モード | PFCEAE,PFCAE,PFCE,PFC 0x8 : 兼用出力モード 9 |
| PCR2_7 | 0x00000040 | PIPC 0x0 : S/W 入出力制御 PM 0x0 : 出力モード (出力許可) | PFCEAE,PFCAE,PFCE,PFC 0x0 : 兼用出力モード 1 |
| PCR2_8 | 0x00000040 | | PFCEAE,PFCAE,PFCE,PFC 0x0 : 兼用出力モード 1 |
| PCR2_9 | 0x0000004C | | PFCEAE,PFCAE,PFCE,PFC 0xC : 兼用出力モード 13 |
| PCR2_10 | 0x0000004C | | PFCEAE,PFCAE,PFCE,PFC 0x8 : 兼用出力モード 13 |
| PCR11_0 | 0x00000000 | 出力ポート (動作確認用) | - |

表 2-28～表 2-30 に本動作例で使用する関数、変数、定数一覧を示します。

表 2-28 関数一覧

| 関数名 | 概要 |
|--------------------|---|
| main0 | 各関数の呼び出しを行います。 |
| tsg30_init | TSG30 の初期設定を行います。 |
| tsg30_init_duty | TSG30 の初期設定を行います。 |
| tsg30_setcomp3 | コンペア値を設定します。 |
| set_p2 | ポート (P2_5～P2_10) の初期設定を行います。 |
| set_p11 | ポート (P11_0) の初期設定を行います。 |
| int_init | 割り込み機能の初期設定を行います。 |
| tsg30_enable | TSG30 を動作開始に設定します。 |
| int_tsg_dutychange | 割り込み関数です。 U、V、W 相のデューティを更新します。 |
| int_tsg30_cmp | 割り込み関数です。 コンペア一致割り込み発生時、18 ビットカウンタの値を変数へ格納し、P4_0 端子からパルス (動作確認用) を出力します。 |

表 2-29 変数一覧

| 変数名 | 概要 |
|-------------------|--------------------------------|
| u4_duty | デューティ更新用 |
| u2_count_i | ウェイト処理用 |
| u4_countTSG_pm0_g | コンペア一致割り込み発生時の 18 ビットカウンタの値を格納 |

表 2-30 定数一覧

| 定数名 | 概要 |
|--------------|------------------------------|
| NUM_TSGCARR | PWM 周期の設定値 |
| NUM_TSGDT_IP | デッドタイム値 (逆相インアクティブ→正相アクティブ間) |
| NUM_TSGDT_PI | デッドタイム値 (正相インアクティブ→逆相アクティブ間) |
| MAX_DUTY | デューティの最大値 |
| NUM_COMP | コンペア値 |

2.3.1 動作フロー

以下に、本動作例のフローチャートを示します。

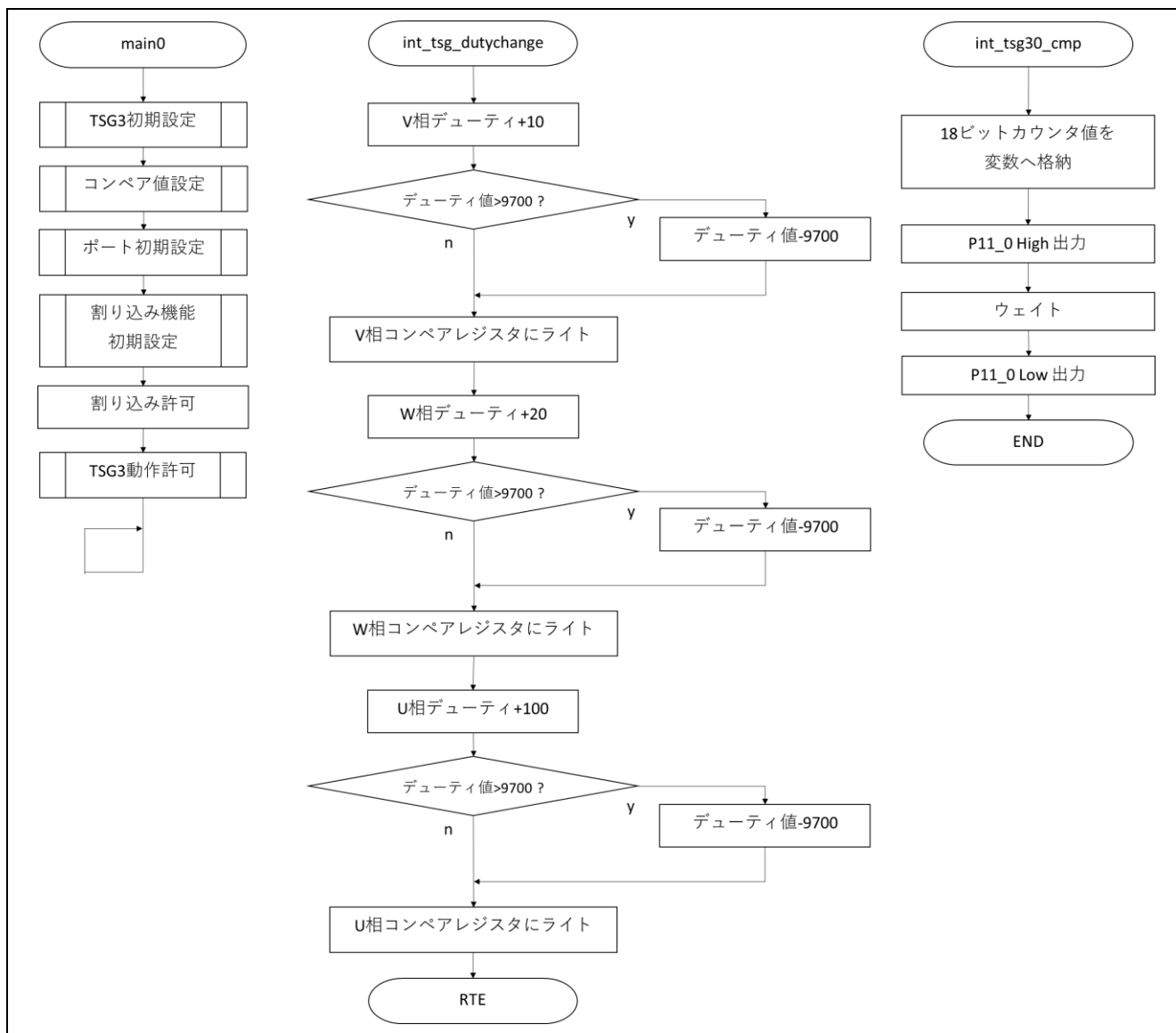
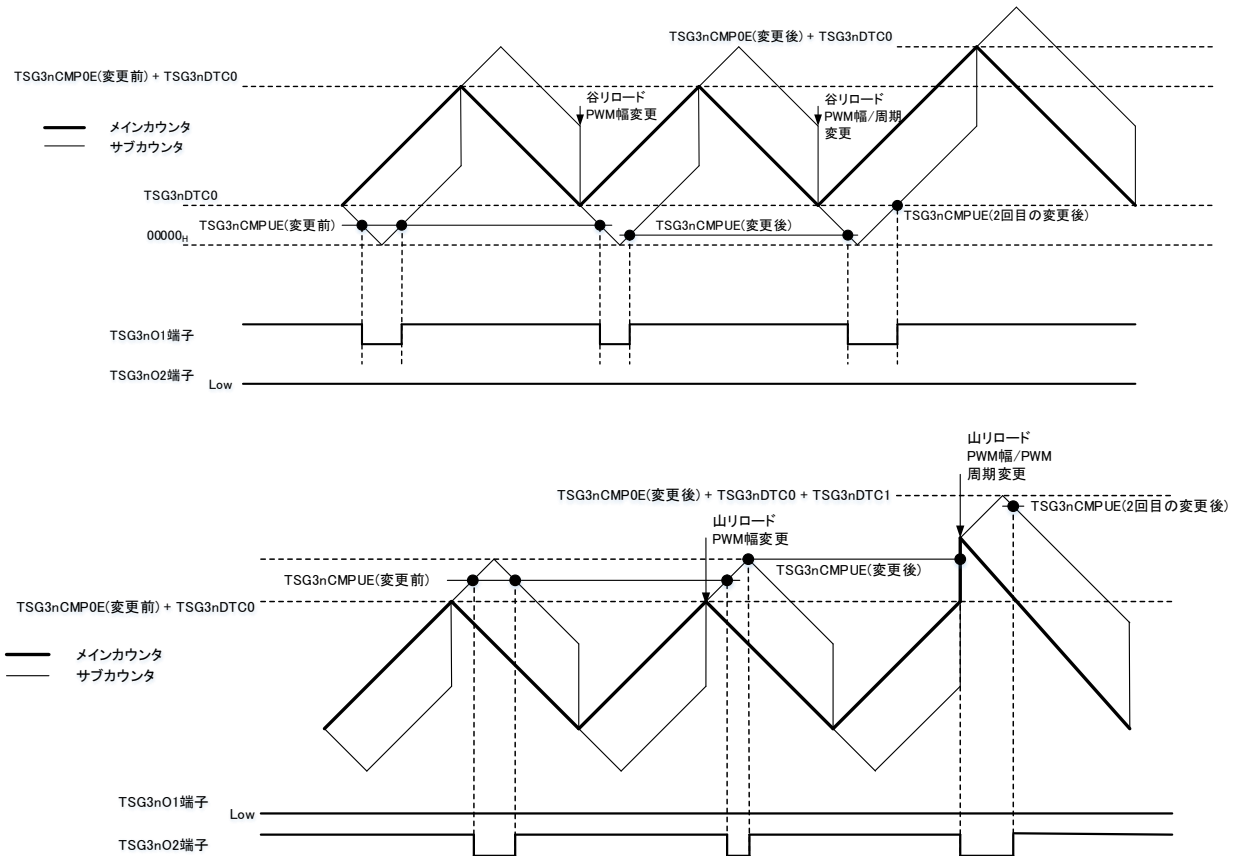


図 2-9 動作フロー

2.4 注意事項

HT-PWM モードにおいて、TSG3nCMPmE が TSG3nDTC0 以下の値、もしくは TSG3nCMP0E+TSG3nDTC0 以上の値の場合、メインカウンタではなくサブカウンタとのコンペア一致で PWM 出力波形が生成されます。



改訂記録

| Rev. | 発行日 | 改訂内容 | |
|------|------------|------|------|
| | | ページ | ポイント |
| 1.00 | 2022.06.30 | - | 初版発行 |
| | | | |

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、変更、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、変更、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとなります。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。