

RH850/U2B Group

R01AN6437JJ0100

Rev.1.00

DS-ADC & DFE アプリケーションノート

要旨

本アプリケーションノートは、RH850/U2Bx の $\Delta \Sigma$ AD コンバータ（以下 DS-ADC と記します）および、デジタルフィルタ（以下 DFE と記載します）を使用した動作例についてまとめたものです。

尚、本アプリケーションノートに掲載されているタスク例及びアプリケーション例は確認済みですが、実際にご使用になる場合には、必ず動作環境を確認の上ご使用くださいますようお願いいたします。

適用

この資料は、RH850 / U2Bx に適用されます。

【注 1】 U2B16 以外を使用する場合

本アプリケーションノートのサンプルプログラムを U2B16 以外で使用する際はマイクロコントローラを変更してください。ヘッダ・ファイルを更新、クロック周波数を再設定してください。

- (1) プロジェクト・ツリーから「***** (ビルド・ツール)」を選択
 - (2) 「I/O ヘッダ・ファイル生成」を実行
 - (3) プロジェクト・ツリーから「***** (デバック・ツール)」を選択
 - (4) 「接続用設定」のタブを選択
- 「クロック」の“メイン・クロック周波数” = “20MHz” に設定

目次

1. $\Delta\Sigma$ ADコンバータ — デジタルフィルタ動作例	4
1.1 仕様	4
1.1.1 使用機能	5
1.2 応用例の説明	6
1.2.1 動作説明	6
1.2.2 使用機能の動作条件	8
1.3 モジュール設定	9
1.3.1 DFE設定	9
1.3.2 係数メモリ設定	10
1.3.3 割り込み設定	11
1.4 ソフトウェア説明	11
1.4.1 関数説明	11
1.4.2 使用define宣言説明	11
1.4.3 使用変数説明	11
1.4.4 レジスタ説明	12
1.4.5 動作フロー	19
2. PH23処理の動作例	21
2.1 仕様	21
2.1.1 使用機能	24
2.2 応用例の説明	25
2.2.1 動作説明	25
2.2.2 使用機能の動作条件	28
2.3 モジュール設定	29
2.3.1 DFE設定	29
2.4 ソフトウェア説明	30
2.4.1 関数説明	30
2.4.2 使用define宣言説明	30
2.4.3 使用変数説明	30
2.4.4 レジスタ説明	31
2.4.5 動作フロー	48
3. FIFO機能（DS-ADC、sDMAC、ATU-VIタイマGとの連携動作）	49
3.1 仕様	49
3.1.1 使用機能	50
3.2 応用例の説明	51
3.2.1 動作説明	51
3.2.2 使用機能の動作条件	53
3.3 モジュール設定	54
3.3.1 DFE設定	54
3.4 ソフトウェア説明	56
3.4.1 関数説明	56
3.4.2 使用define宣言説明	56
3.4.3 使用変数説明	56

3.4.4 レジスタ説明.....	57
3.4.5 動作フロー	72
4. 減算回路によるフィルタch間の演算	73
4.1 仕様	73
4.1.1 使用機能.....	74
4.2 応用例の説明.....	75
4.2.1 動作説明.....	75
4.2.2 使用機能の動作条件.....	76
4.3 モジュール設定	78
4.3.1 DFE設定.....	78
4.4 ソフトウェア説明	79
4.4.1 関数説明.....	79
4.4.2 使用define宣言説明.....	79
4.4.3 使用変数説明.....	79
4.4.4 レジスタ説明.....	80
4.4.5 動作フロー	90
5. デジタルフィルタ診断例	91
5.1 仕様	91
5.1.1 使用機能.....	92
5.2 応用例の説明.....	93
5.2.1 動作説明.....	93
5.2.2 使用機能の動作条件.....	93
5.3 モジュール設定	93
5.3.1 DFE設定.....	93
5.4 ソフトウェア説明	95
5.4.1 関数説明.....	95
5.4.2 使用define宣言説明.....	95
5.4.3 使用変数説明.....	96
5.4.4 レジスタ説明.....	97
5.4.5 動作フロー	99
5.5 DFE出力結果期待値	100

1. $\Delta\Sigma$ AD コンバータ — デジタルフィルタ動作例

1.1 仕様

本応用例では、DS-ADC (DSADC00) を使用し、DSAN000P 端子への印加電圧を一定のサンプリングレートで A/D 変換します。A/D 変換値は、DFE0 ch0 内の FIR フィルタでフィルタ処理を施し、フィルタ処理結果を DTS ch32 によって Local RAM に転送します。

本応用例の仕様を以下に示します。

- DS-ADC (DSADC00) は、シングルエンド入力、コモン電圧 ADSVREFL でアナログ入力電圧の A/D 変換を連続で行います。
- DS-ADC (DSADC00) の A/D 変換値は自動で DFE へエントリします。
- DFE は、内蔵の FIR フィルタにより構成したバンドパスフィルタによって入力データのフィルタ処理を行います。
- FIR フィルタの設定に使用するフィルタ係数及びデータは、DFE 内の RAM (係数メモリ及びデータメモリ) に格納します。
- DFE のフィルタ処理結果は、デシメーション処理 (間引き) を行いません。
- DFE の出力結果は、DTS ch32 によって Local RAM へ DMA 転送します。
- DS-ADC 起動トリガ：ソフトウェアトリガ
- DS-ADC サンプリングレート：200ksps
- DFE 処理結果出力レート：200kHz (デシメーション処理なし)
- DMA 転送回数：200 回
- 入力電圧範囲：0 ～ ADSVCC (ADSVCC：アナログ電源電圧 0 ～ +5.5V)
- 出力データフォーマット：32 ビット符号付固定小数点数

表 1-1に本応用例のフィルタ仕様例を示します。尚、表中のサンプリング周波数 f_s は、DFE にデータが入力される速度を示し、本応用例においては、DS-ADC のサンプリングレート (200ksps) を意味します。

表 1-1 フィルタ仕様例

項目	内容
構成フィルタ	バンドパスフィルタ
サンプリング周波数 f_s	200ksps
低域カットオフ周波数 f_L	5kHz
高域カットオフ周波数 f_H	15kHz
通過域リップル R_p	1dB
阻止域減衰量 A_p	25dB

図 1-1にシステム構成図を示します。

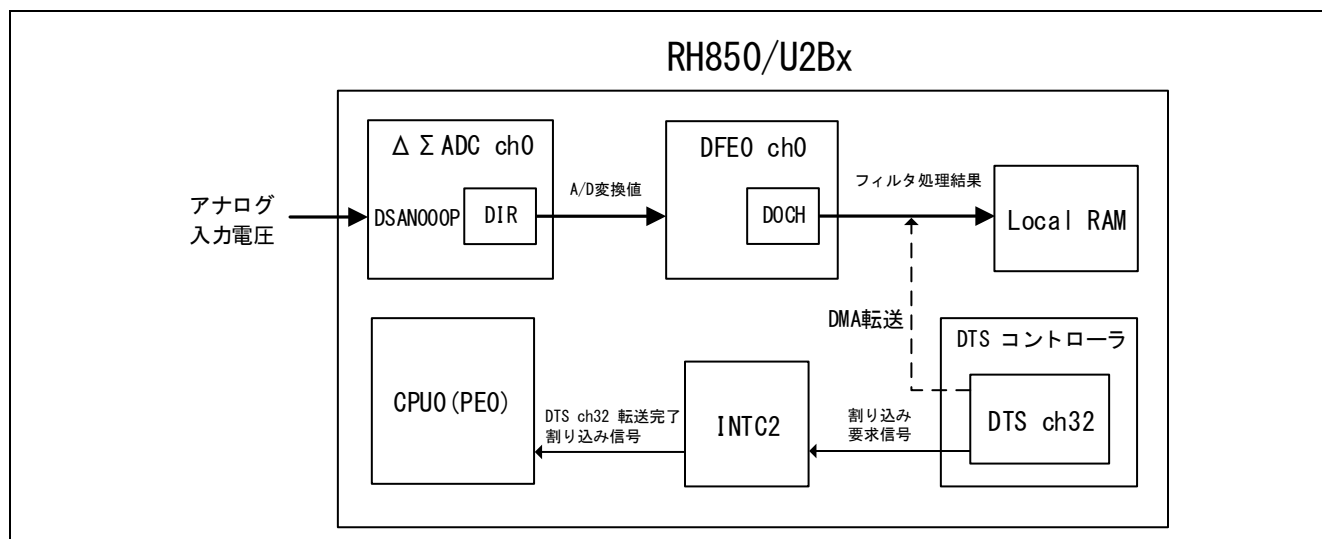


図 1-1 システム構成図

1.1.1 使用機能

本アプリケーションノートで使用する RH850/U2Bx のハードウェア機能を以下に示します。

- ・ ΔΣAD コンバータ(DS-ADC) アナログ入力電圧の A/D 変換を行います。
- ・ デジタルフィルタ(DFE) 内部の FIR フィルタによりバンドパスフィルタを構成し、DS-ADC の A/D 変換値にフィルタ処理を施します。
- ・ DTS コントローラ DFE の出力結果を Local RAM へ DMA 転送します。
- ・ 割り込みコントローラ(INTC2) DTS ch63-32 転送完了割り込み要求の CPU への割り込みを制御します。

1.2 応用例の説明

1.2.1 動作説明

図 1-2に本応用例の動作説明を示します。この一連の動作をハードウェア処理及びソフトウェア処理に分けて説明します。

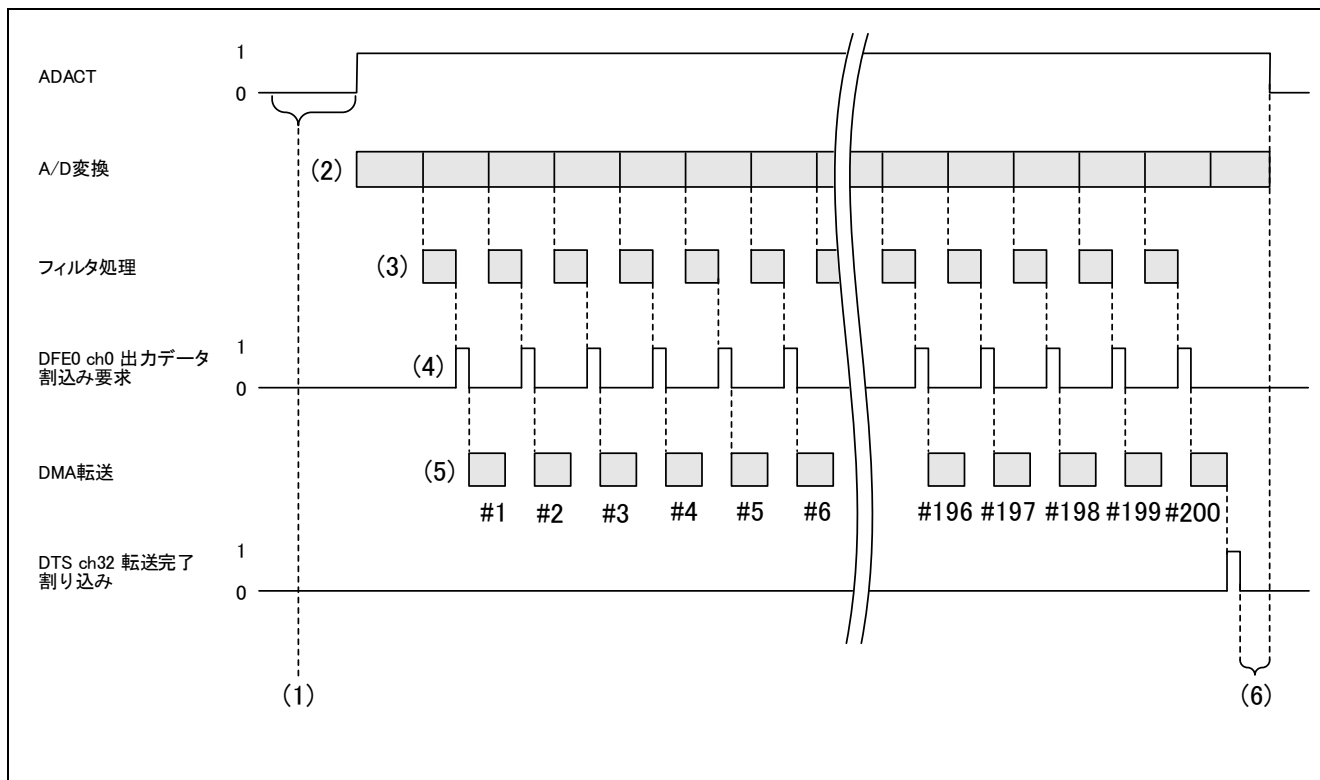


図 1-2 動作説明

(1) ソフトウェア処理

- ①割り込み禁止
- ②DS-ADC 機能初期化
- ③DFE 機能初期化
- ④DTS 機能初期化
- ⑤割り込み機能初期化
- ⑥割り込み許可
- ⑦DS-ADC (DSADC00) の A/D 変換開始

(2) DS-ADC (DSADC00) 処理

- ①DS-ADC (DSADC00) が 200kps でアナログ入力電圧のサンプリングを行います。
- ②A/D 変換が終了する毎に A/D 変換値を DFE へエントリします。

(3) DFE0 ch0 処理

- ①DFE0 ch0 へ DS-ADC (DSADC00) からデータが与えられることにより、フィルタ処理を開始します。

(4) DFE0 ch0 処理

- ①フィルタ処理結果を出力し、DFE0 ch0 出力データ割り込み要求(*)が発生します。

*: 本動作例では、出力データ割り込み要求を発生させるため、制御レジスタ B の PRCSA ビットにてデシメーション処理を実行に設定し、積算/デシメーション回数設定レジスタ A でデシメーション回数を 0 に設定してデシメーションを行わない動作としています。

(5) DTS ch32 処理

- ①DFE0 ch0 出力データ割り込み要求をトリガとして、DTS ch32 がフィルタ処理結果を Local RAM へ DMA 転送します。

(6) DTS ch32 処理

- ①200 回の DMA 転送完了で、DTS ch63-32 転送完了割り込みが発生します。

ソフトウェア処理 (DTS ch63-32 転送完了割り込み)

- ②DS-ADC (DSADC00) の A/D 変換を停止させます。
③DTS ch32 の転送完了割り込みをクリアします。

1.2.2 使用機能の動作条件

表 1-2に本応用例で使用した DS-ADC の動作条件を示します。

表 1-2 DS-ADC 動作条件

項目	内容
使用チャンネル	DSADC00
アナログ入力端子	DSAN000P
サンプリングレート	200ksps
オーバーサンプリングレート	8Msps
DFE エントリ	する
DFE-TAG	0
ゲイン	×1
変換種別	シングルエンド入力
コモン電圧	ADSVREFL
A/D 変換データフォーマット	16 ビット符号付き固定小数点数
有効ビット	12bit

表 1-3に本応用例で使用した DFE の動作条件を示します。

表 1-3 DFE 動作条件

項目	内容
使用チャンネル	DFE0 ch0
チャンネルタグ	0
使用フィルタ	FIR
タップ数	32
入力データフォーマット	16 ビット符号付き固定小数点数
係数データフォーマット	16 ビット符号付き固定小数点数
出力データフォーマット	32 ビット符号付き固定小数点数
デシメーション回数	デシメーション処理しない

表 1-4に本応用例で使用した DTS の動作条件を示します。

表 1-4 DTS 動作条件

項目	内容
DTS チャンネル	32
チャンネルマスタ SPID	0
チャンネルマスタ UM	スーパバイザモード
DTS トリガ要因	DFE0 ch0 出力データ割込み要求
転送モード	シングル転送
ソースアドレス	DFE0 ch0 出力データレジスタ (DFDOCH0)
ディスティネーションアドレス	Local RAM
転送回数	200 回
ソースアドレス・カウント方向	固定
ディスティネーションアドレス カウント方向	インクリメント
転送単位	32bit

1.3 モジュール設定

1.3.1 DFE 設定

RH850/U2Bx 内蔵の DFE は、最大 64 タップの FIR フィルタと最大 6 次の IIR フィルタを内蔵しています。

本応用例では、FIR フィルタによってバンドパスフィルタを構成します。このときのレジスタ設定及び係数メモリの設定方法について説明します。

(1) 係数メモリ設定

DFE 内の係数メモリ (CMEM) に FIR フィルタのフィルタ係数を格納します。詳細は『1.3.2 係数メモリ設定』を参照してください。

(2) 制御レジスタ設定 (レジスタ設定の詳細は、1.4.4 レジスタ説明を参照して下さい。)

CTLACH0 レジスタ設定

- ・チャンネルタグ : 0
- ・フィルタ処理選択 : FIR 32TAP
- ・入力データフォーマット選択 : 16 ビット固定小数点
- ・出力データ割り込み要求許可

CTLBCH0 レジスタ設定

- ・積算回路処理選択 : デシメーション処理を選択

CTLCCH0 レジスタ設定

- ・入力選択 : DS-ADC を選択

ACA レジスタ設定

- ・デシメーション回数設定 : デシメーション処理しない

(3) チャンネル有効化

CTLACH0.EN ビットを”1”にします。

1.3.2 係数メモリ設定

フィルタ係数を格納する CMEM のデータフォーマットは、16 ビット符号付固定小数点フォーマットと 16 ビット整数フォーマットから選択できます。本応用例では、符号付固定小数点フォーマットを使用します。符号付固定小数点フォーマットの小数点の位置は、16 ビット目と 15 ビット目の間となっています。尚、CMEM へのライトアクセスは 32 ビットで実行してください。16 ビットアクセス及び 8 ビットアクセスは禁止です。

表 1-5に、表 1-1のフィルタ仕様例から求めたフィルタ係数を示します。本応用例では、フィルタ係数を窓関数法によって求めています。尚、表 1-5では、16 ビット固定小数点フォーマットとして扱うためにフィルタ係数を 32,768 倍（小数点位置を 15 ビット左にシフト）した整数値を記載しています。

表 1-5 フィルタ係数例

TAP 番号 (n)	フィルタ係数 (16 ビット固定小数点フォーマット表記)
0	15
1	-13
2	-200
3	-535
4	-965
5	-1405
6	-1747
7	-1889
8	-1752
9	-1304
10	-569
11	373
12	1397
13	2350
14	3085
15	3486
16	3486
17	3085
18	2350
19	1397
20	373
21	-569
22	-1304
23	-1752
24	-1889
25	-1747
26	-1405
27	-965
28	-535
29	-200
30	-13
31	15

1.3.3 割り込み設定

本応用例では、DTS ch32 の DMA 転送の完了で DTS ch63-32 転送完了割り込みを使用します。この割り込みは、DTS の ch32 から ch63 までの 32 本の割り込み要求が束ねられています。この 32 本の割り込み要因に対して多重の割り込みが発生した場合、優先順位が高い割り込み要求に対して DTS ch63-32 転送完了割り込み要求が発生します。各 DTS チャンネルの優先度の設定は、DTS チャンネル優先順位設定 (DTSPRn) レジスタで設定します。本応用例では、DTS ch32 の優先度を "0" (最高) に設定しています。

1.4 ソフトウェア説明

1.4.1 関数説明

表 1-6に本応用例の使用関数を示します。

表 1-6 関数説明

関数名	ラベル名	処理内容
メイン関数	main_pe0	各関数の呼び出し及び割り込み待ちを行います。
DTS ch63-32 転送完了割り込み関数	dst_end_int	DTS ch63-32 の転送完了割り込み関数です。
DS-ADC 機能初期化関数	ds_adc_init	DS-ADC (DSADC00) の初期設定を行います。
DFE 機能初期化関数	dfe_init	DFE0 ch0 の初期設定を行います。
DTS 機能初期化関数	dts_init	DTS ch32 の初期設定を行います。
割り込み機能初期化関数	intc_init	DTS ch63-32 の転送完了割り込みの設定を行います。

1.4.2 使用 define 宣言説明

表 1-7に本応用例で使用する define 宣言の説明を示します。

表 1-7 使用 define 宣言の説明

ラベル名	機能	設定値	使用関数名
TAP_NUM	FIR フィルタの TAP 数を示します。	32	dfe_init

1.4.3 使用変数説明

表 1-8に本応用例で使用する変数の説明を示します。

表 1-8 使用変数の説明

ラベル名	機能	データ長	使用関数名
*cmem0[TAP_NUM/2]	DFE0 ch0 の係数メモリを示すポインタ変数です。	signed long	dfe_init
smp_data[200]	DFE の出力結果を格納します。	signed long	dts_Init

1.4.4 レジスタ説明

表 1-9に DS-ADC (DSADC00) のレジスタ設定例を示します。

表 1-9 DS-ADC (DSADC00) のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
■DS-ADC 共通レジスタ				
AD グローバル コントロール レジスタ (DSADCADGCR)	0x00	ODDE	断線検出機能 自己診断	ディセーブル
		ODE	断線検出	ディセーブル
		UNSDND	変換結果出力	符号あり
ピンレベル自己診断 制御レジスタ (DSADCTDCR)	0x00	TDE	ピンレベル 自己診断機能	ディセーブル
■DS-ADC 固有レジスタ				
ユニット制御レジスタ (DSADC00UCR)	0x04000000	VPRSTE	仮想チャネル ポインタリセット	なし
		RDMA	リードゲート DMA モード	すべての A / D 変換結果 に対して DMA 転送要求 を出力
		RESO0	高精度モード	高インピーダンス モード
		DFES	DFE チャネル選択	DFE0 を選択
		DFMT[3:0]	データ フォーマット	マスクなし
		VCEP[2:0]	終了仮想チャネル ポインタ	0
仮想チャネル制御 レジスタ (DSADC00VCR0)	0x00101000	FSELEXT	拡張 Fs 切替ビッ ト	拡張なし
		GAIN[1:0]	ゲイン	×1
		VCULME	上限スレッシュ ホールド通知	通知なし
		VCLLME	下限スレッシュ ホールド通知	通知なし
		VCULLMTBS[1:0]	閾値テーブル選択	DSADCnULTBR0 (未使用)
		ORT	後置フィルタ 2nd stage 出力レート 選択	1/2
		TPVSL[2:0]	TAP 係数選択	係数 1
		DSDFTYP[3:0]	ポストフィルタ タイプ	ORT と TPVSL の 設定に依存
		ADIE	変換完了割り込み	ディセーブル
		ULEIE	上限/下限エラー 割り込み	ディセーブル
		DFENT	DFE エントリ	エントリする
		DFTAG[3:0]	DFE-TAG	0
		CNVCLS[1:0]	変換種別	シングルエンド入力、 コモン電圧=ADSVREFL
		GCTRL[3:0]	入力端子設定	DSAN000P

レジスタ名	設定値	ビット名	機能	設定内容
AD 開始制御レジスタ (DSADC00 ADSTCR)	0x01	ADST	A/D 変換を開始	変換開始
AD 停止制御レジスタ (DSADC00 ADENDCR)	0x01	ADEND	A/D 変換を停止	変換停止
AD 変換トリガ 制御レジスタ (DSADC00ADTCR)	0x00	ADSTTE	AD 同期開始 イネーブル	ADSTART 無効
		ENDTRGE	AD 終了トリガ イネーブル	AD 終了トリガ無効
		STTRGE	AD 開始トリガ イネーブル	AD 開始トリガ無効
仮想チャンネルポインタ レジスタ (DSADC00 VCPTRR)	0x00	VCPTR[2:0]	A/D 変換進行中 の仮想チャンネル 番号	0 にクリア
セーフティ制御 レジスタ (DSADC00SFTCR)	0x00	RDCLRE	リード&クリア イネーブル	クリアしない
		OWEIE	オーバライト エラー割り込み	禁止
		PEIE	パリティエラー 割り込み	禁止
		IDEIE	ID エラー割り込み	禁止
上限／下限テーブル レジスタ (DSADC00ULTBR0 ～3)	0x7FFF8000	ULMTB[15:0]	上限テーブル	未使用 (初期値)
		LLMTB[15:0]	下限テーブル	未使用 (初期値)
ピンレベル自己診断 レベルレジスタ (DSADC00TDLVR)	0x00	AN3NLV	端子レベル自己 診断レベル指定	未使用 (初期値)
		AN3PLV	端子レベル自己 診断レベル指定	未使用 (初期値)
		AN2NLV	端子レベル自己 診断レベル指定	未使用 (初期値)
		AN2PLV	端子レベル自己 診断レベル指定	未使用 (初期値)
		AN1NLV	端子レベル自己 診断レベル指定	未使用 (初期値)
		AN1PLV	端子レベル自己 診断レベル指定	未使用 (初期値)
		AN0NLV	端子レベル自己 診断レベル指定	未使用 (初期値)
		AN0PLV	端子レベル自己 診断レベル指定	未使用 (初期値)

表 1-10に DFE0 のレジスタ設定例を示します。

表 1-10 DFE0 のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
制御レジスタ A (DFE0CTLACH0)	0x00003010 ↓ 0x00003011	CATAG	カスケード入力用 タグ値	0 (未使用)
		CAEN	カスケード イネーブル	カスケードしない
		CAENL	カスケード イネーブル	カスケードしない
		TAG	チャネルタグ	0 (AD から入力される AD タグ値と同一の値を 設定)
		CMD	フィルタ処理選択	FIR 32TAP
		IEF	フィルタ終了割り 込み	禁止
		FMT	FIR 入力データ フォーマット	16 ビット固定小数点
		IEP	PH 終了割り込み	禁止
		IEE	エラー割り込み	禁止
		IEC	条件一致割り込み	禁止
		IEO	出力データ 割り込み	許可
		CNSL	条件一致割り込み 0/1 機能選択	INT_DFE_CND0 : 比較一致割り込み要求 を選択 (未使用) INT_DFE_CND1 : PH 終了割り込み要求 を選択 (未使用)
		CNSLE	CNSL イネーブル	CNSL ビットの設定無効
		AIME	自動初期化	禁止
制御レジスタ C (DFE0CTLCCCH0)	0x00000100	EN	チャネル イネーブル	チャネル有効
		CA0E	C-ADC 選択	使用しない
		DAyE	DS-ADC 選択	チャネル 0 使用する
		SAyE	SAR-ADC 選択	使用しない

レジスタ名	設定値	ビット名	機能	設定内容
制御レジスタ B (DFE0CTLBCH0)	0x01000002	SELB1U	比較対象レジスタの選択	比較演算対象の値に CPA レジスタの値を選択（未使用）
		SELAU	積算/デシメーションレジスタの選択	ACA の値を選択
		OFSL	比較オフセット値 α 選択	DFEjCPOFST0 レジスタ値選択（未使用）
		DISB	PH 処理禁止	PH 処理禁止
		PHPS	PH ピークタイプ選択	PH 処理は、上限ピークを検出（未使用）
		CPCS	比較値タイプ選択	DFEjCPA~DFEjCPD は DFEjCTLBCHn.SELB1 によって選択（未使用）
		PHSLB2	PH 初期値レジスタ選択	DFEjPHIA レジスタの値が PH 処理の初期値として選択（未使用）
		DISA	積算/デシメーション処理禁止	積算/デシメーション処理禁止
		PRCSC	出力データレジスタ浮動小数点変換	浮動小数点変換を実行しない
		SELB2	PH 初期値レジスタ選択	PH 処理の初期値に PHIA レジスタの値を選択（未使用）
		SELB1	比較対象レジスタ選択	比較演算対象の値に CPA レジスタの値を選択（未使用）
		PRCSB	PH 回路処理選択	PH 処理、比較演算処理をしない
		HOFS	中間値出力レジスタ浮動小数点変換	浮動小数点変換を実行しない
		PICS	PH インデックスレジスタ制御選択	PH インデックス更新モード
		SELA	積算/デシメーション回数レジスタ選択	ACA の値を選択
		PFMT	PH 結果レジスタ浮動小数点変換	浮動小数点変換を実行しない（未使用）
		ABS	絶対値演算	絶対値演算しない
		PRCSA	積算回路処理選択	デシメーション処理を実行する
出力データレジスタ (DFE0DOCH0)	-	DO	出力データ	DFE 処理完了後の演算結果を格納します。
積算/デシメーション回数設定レジスタ A (DFE0ACA)	0x0000	AC	積算/デシメーション回数	積算/デシメーションしない

表 1-11に DTS ch32 のレジスタ設定例を示します。

表 1-11 DTS ch32 のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
■グローバルレジスタ				
DTS チャネル優先順位設定 2 (DTSPR2)	0xFFFFFFFFC	DTSnPR[1:0] (n=32 to 63)	DTS チャネルの優先順位設定	DTS チャネル 32 の優先順位を 0 (最高優先度) に設定
DTS チャネル 32 チャンネルマスタ設定 (DTS032CM)	0x00000000	CHAIN_RESTRICT	チェイン機能制限設定	制限なし
		CHAIN_SPID [4:0]	チェイン許可 SPID 設定	0 (未使用)
		CHAIN_UM	チェイン許可 UM 設定	(未使用)
		SPID[4:0]	チャンネルマスタ SPID 設定	SPID = 0 に設定
		UM	チャンネルマスタ UM 設定	スーパバイザモード
		CMC[15:0]	転送回数コンペア	(未使用)
■DTS チャネルレジスタ				
DTS ソースアドレス (DTSA032)	(unsigned long)&DFE0.D OCH0	SA[31:0]	ソースアドレス	ソースアドレスを DFE0 ch0 出力データレジスタ(DFE0DOCH0)に設定
DTS ディスティネーションアドレス (DTDA032)	(unsigned long)&smp_data[0]	DA[31:0]	ディスティネーションアドレス	ディスティネーションアドレスをサンプリングデータ格納用配列の先頭アドレスに設定
DTS 転送回数 (DTTC032)	0x000000C8	ARC[15:0]	アドレスリロードカウンタ	(未使用)
		TRC[15:0]	転送回数	転送回数を 200 回に設定

レジスタ名	設定値	ビット名	機能	設定内容
DTS 転送制御 (DTTCT032)	0x00004048	ESE	転送エラー時 DMA 転送中止 設定	DMA 転送を継続する
		CHNSEL[6:0]	チェイン先選択	(未使用)
		CHNE[1:0]	チェイン イネーブル	無効
		CCE	転送回数一致 割り込み	禁止
		TCE	転送完了割り込み	許可
		RLD2M[1:0]	リロード機能 2 設定	リロード機能 2 無効
		RLD1M[1:0]	リロード機能 1 設定	リロード機能 1 無効
		DACM[1:0]	ディスティネーシ ョンアドレスカウ ント方向	インクリメント
		SACM[1:0]	ソースアドレス カウント方向	固定
		DS[2:0]	転送データサイズ	32 ビット
		TRM[1:0]	転送モード	シングル転送
DTSFSL 動作設定 (DTFSL032)	0x00000001	REQEN	DTS 転送要求 イネーブル	DTS 転送要求を有効に 設定
DTS 転送要求クリア (DTFSC032)	0x000000B1	ERC	転送エラーフラグ (ER) クリア	クリア
		CCC	転送カウン ト一致フラグ (CC) クリア	クリア
		TCC	転送完了フラグ (TC) クリア	クリア
		DRQC	DMA 転送要求 クリア	クリア

表 1-12に INTC2 のレジスタ設定例を示します。

表 1-12 INTC2 のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
EI レベル割り込み バインドレジスタ (EIBD63)	0x00000000	CST	ブロードキャスト 割り込みイネーブル	禁止
		BCP[1:0]	ブロードキャスト 割り込みポート番号の設定	(未使用)
		PEID[2:0]	割り込みをバインド (要求) する先を指定	PE0 (CPU0)
EI レベル割り込み 制御レジスタ (EIC63)	0x0040	EICTn	割り込みチャンネル タイプビット	(リードのみ可能)
		EIRFn	割り込み要求 フラグ	(リードのみ可能)
		EIMKn	割り込みマスク ビット	割り込み処理を許可
		EITBn	割り込みベクタ 方式選択	テーブル参照方式
		EIPn	割り込み優先度の 指定	0 (最高優先度)

1.4.5 動作フロー

図 1-3に本応用例のソフトウェア動作フローを示します。

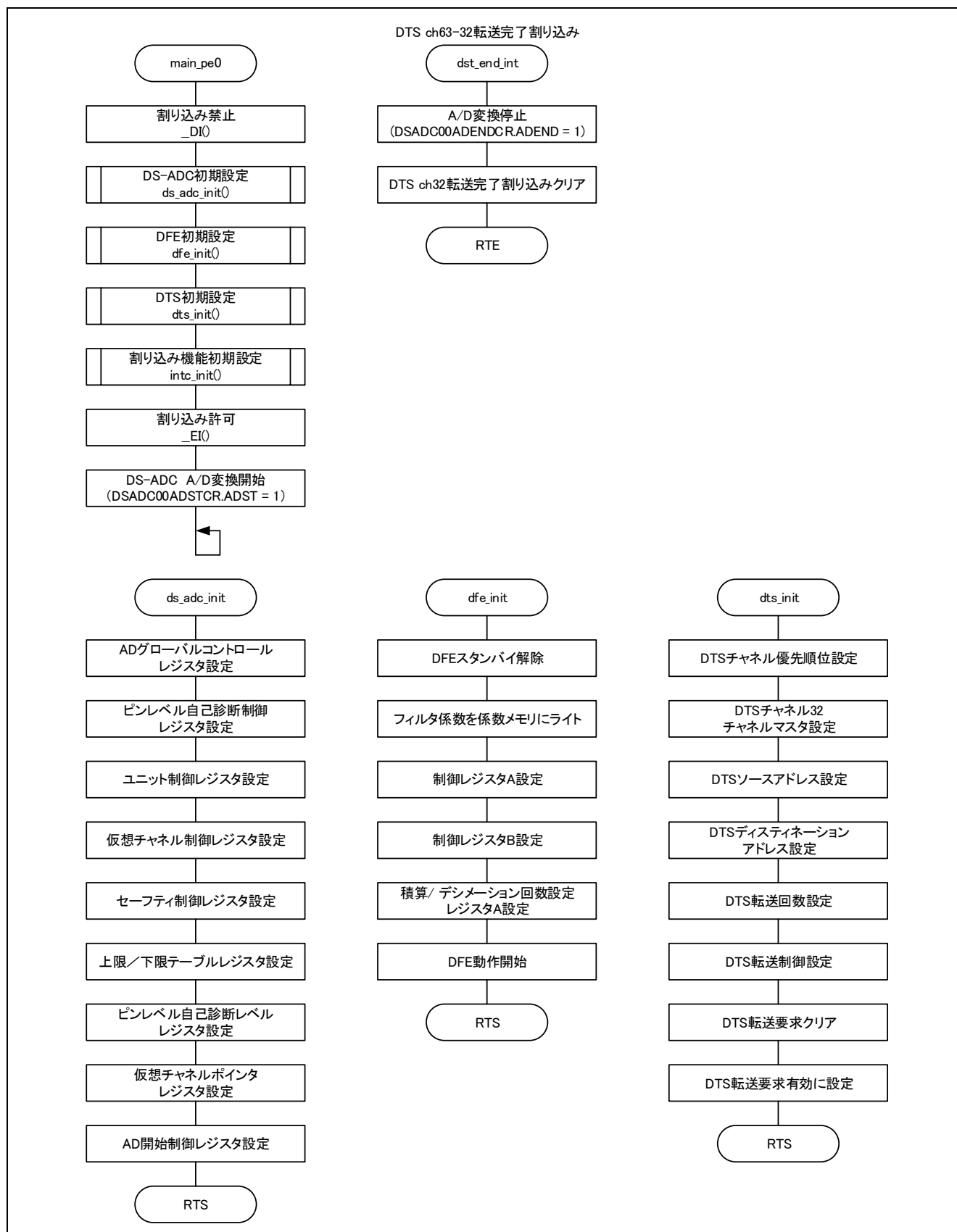


図 1-3 ソフトウェア動作フロー

2. PH23 処理の動作例

2.1 仕様

本応用例では、DS-ADC (DSADC00) を使用し、DSAN000P 端子への印加電圧を一定のサンプリングレートで A/D 変換します。A/D 変換値は、DFE0 ch0 内の FIR フィルタでフィルタ処理を施し、フィルタ処理結果に Peak-hold 23 処理を施し、フィルタ処理結果の上限値 / 下限値を検出します。検出した上限値 PH1, PH3 と下限値 PH2 を Local RAM に格納します。（※本応用例は、動作例 1 に Peak-hold 23 処理を加えた動作になります。）

本応用例の仕様を以下に示します。

- DS-ADC (DSADC00) は、シングルエンド入力、コモン電圧 ADSVREFL の A/D 変換を連続で行います。
- DS-ADC (DSADC00) の A/D 変換値は自動で DFE へエントリします。
- DFE は、内蔵の FIR フィルタにより構成したバンドパスフィルタによって入力データのフィルタ処理を行います。
- FIR フィルタの設定に使用するフィルタ係数及びデータは、DFE 内の RAM (係数メモリ及びデータメモリ) に格納します。
- DFE のフィルタ処理結果は、デシメーション処理 (間引き) を行いません。
- DFE の出力結果は PH 回路で上限値検出始まりの PH23 処理を実施します。
- タイマ D のタイマトリガを PH23 処理の初期化フラグと終了フラグとします。
- ピークホールド値の更新でタイマ D のカウント値をキャプチャします。
- PH23 処理の結果は、CPU でレジスタから読み出し、Local RAM に保存します。
- DS-ADC 起動トリガ：ソフトウェアトリガ
- DS-ADC サンプリングレート：200ksps
- DFE 処理結果出力レート：200kHz (デシメーション処理なし)
- 入力電圧範囲：0 ～ ADSVCC (ADSVCC：アナログ電源電圧 0 ～ +5.5V)
- 出力データフォーマット：32 ビット符号付固定小数点数

表 2-1に本応用例のフィルタ仕様例を示します。尚、表中のサンプリング周波数 f_s は、DFE にデータが入力される速度を示し、本応用例においては、DS-ADC のサンプリングレート (200ksps) を意味します。

表 2-1 フィルタ仕様例

項目	内容
構成フィルタ	バンドパスフィルタ
サンプリング周波数 f_s	200ksps
低域カットオフ周波数 f_L	5kHz
高域カットオフ周波数 f_H	15kHz
通過域リップル R_p	1dB
阻止域減衰量 A_p	25dB

本動作例では、DSAN000P 端子への印加電圧を A/D 変換します。その A/D 変換される入力信号の仕様を表 2-2、図 2-1に示します。

表 2-2 入力信号の仕様

項目	内容
想定される入力波形	正弦波
最大電圧	5V
最少周波数	5kHz
最大周波数	15kHz

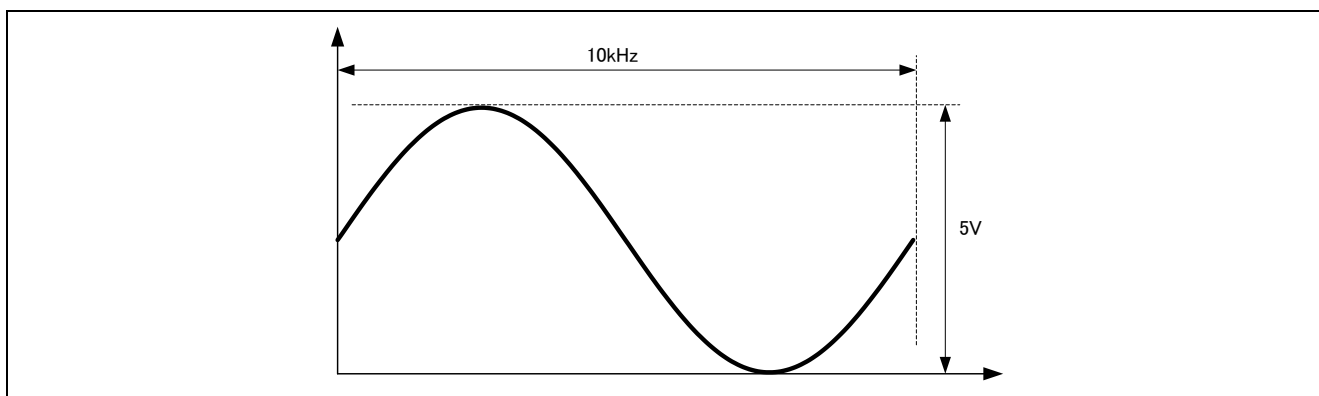


図 2-1 入力波形の例

図 2-2にシステム構成図を示します。

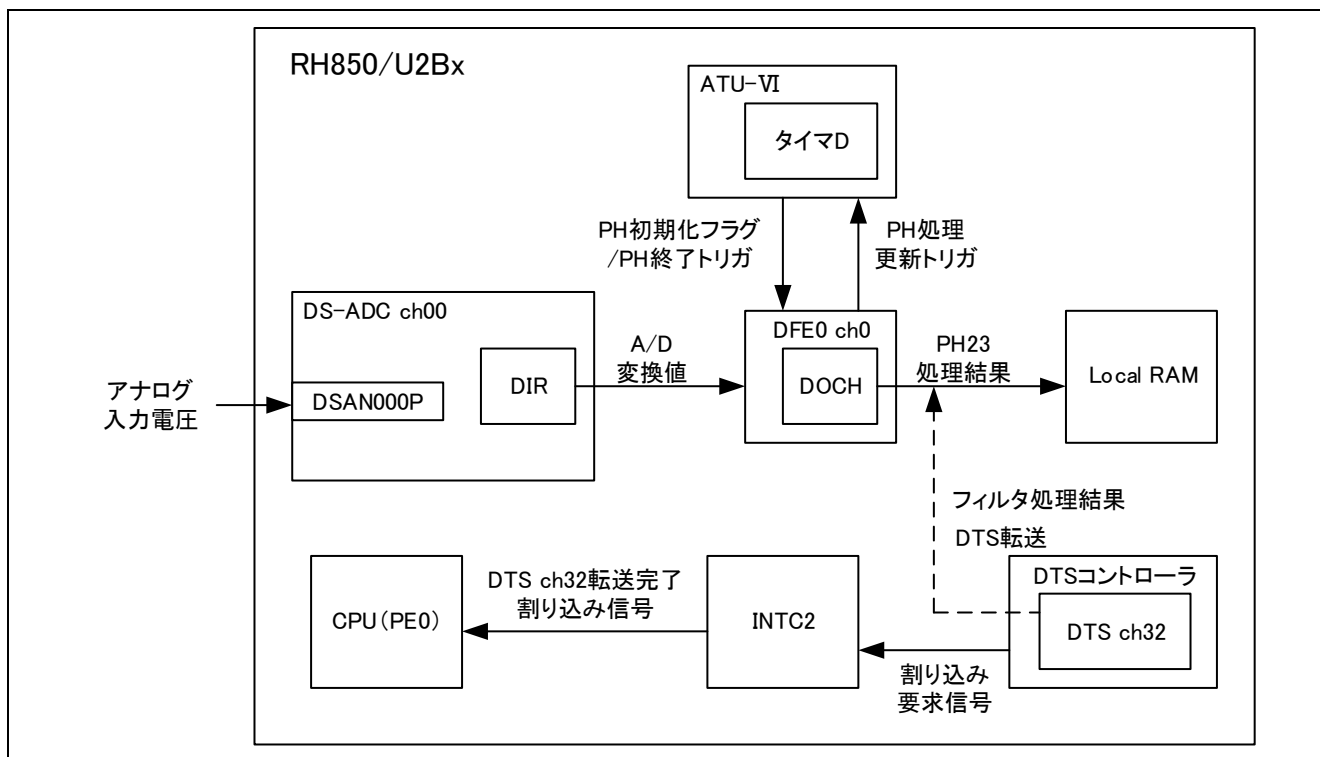


図 2-2 システム構成図

2.1.1 使用機能

本アプリケーションノートで使用する RH850/U2Bx のハードウェア機能を以下に示します。

- ・ $\Delta \Sigma$ AD コンバータ(DS-ADC) アナログ入力電圧の A/D 変換を行います。
- ・ デジタルフィルタ(DFE) 内部の FIR フィルタによりバンドパスフィルタを構成し、DS-ADC の A/D 変換値にフィルタ処理を施します。
フィルタ処理結果は PH23 処理を実施し、上限値と下限値を求めます。
- ・ ATU-VI タイマ D で PH23 処理の開始と終了のトリガを与えます。
ピークホールド値の更新に同期して、タイマ D のカウンタ値をキャプチャします。
- ・ DTS コントローラ DFE の出力結果を Local RAM へ DMA 転送します。
- ・ 割り込みコントローラ(INTC2) DTS ch63-32 転送完了割り込み要求、タイマ D コンペアマッチ割り込みの CPU への割り込みを制御します。

2.2 応用例の説明

2.2.1 動作説明

図 2-3に本応用例の動作説明を示します。この一連の動作をハードウェア処理及びソフトウェア処理に分けて説明します。

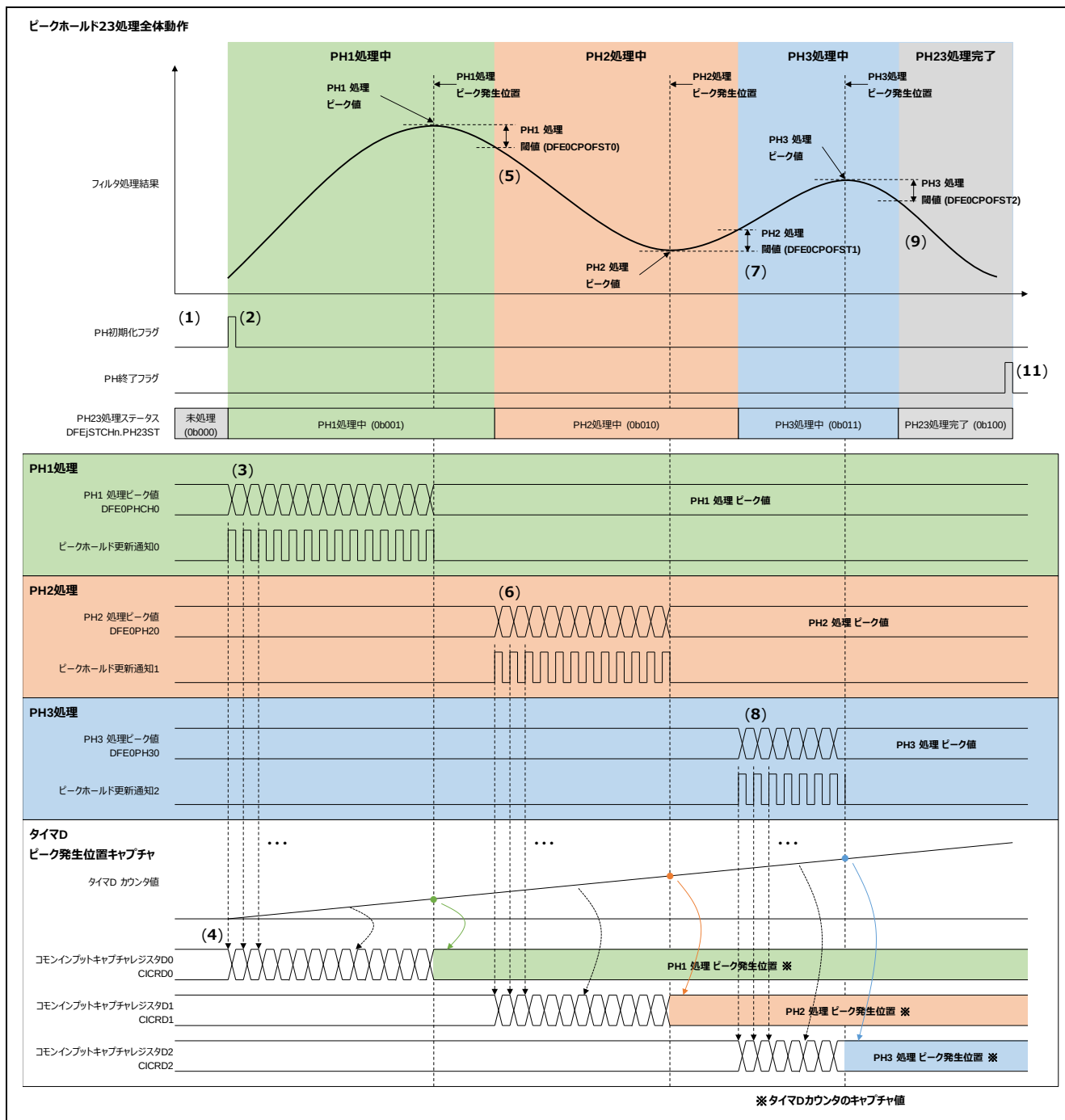


図 2-3 動作説明

(1) ソフトウェア処理

- ①割り込み禁止
- ②DS-ADC 機能初期化
- ③DFE 機能初期化
- ④ATU-VIタイマ D の初期化
- ⑤DTS 機能初期化
- ⑥割り込み機能初期化
- ⑦割り込み許可
- ⑧DS-ADC (DSADC00) の A/D 変換開始
- ⑨タイマ D のカウントアップをスタート

(2) DFE の処理

- ①PH 初期化フラグの立ち上りで DFE のフィルタ処理結果に対し、PH23 処理を開始します。

(3) DFE の処理

- ①フィルタ処理結果に対し、上限ピークのピークホールド処理を実施します。
- ②PH 結果レジスタのピークホールド値更新時に PH 更新通知を発行します。

(4) DFE の処理

- ①ピークホールド値の更新時にタイマ D のカウント値をタイマ D のキャプチャ結果レジスタにキャプチャします。

(5) DFE の処理

- ①"PH 回路入力データの値 < PH 結果レジスタ n の値 + 比較オフセット値(*)" の条件成立で PH1 処理終了します。
- ②PH2 処理を開始します。

(6) DFE の処理

- ①フィルタ処理結果に対し、下限ピークのピークホールド処理を実施します。
- ②PH 結果レジスタのピークホールド値更新時に PH 更新通知を発行します。

(7) DFE の処理

- ①"PH 回路入力データの値 > PH2 結果レジスタ 0 の値 + 比較オフセット値(*)" の条件成立で PH2 処理終了します。
- ②PH3 処理を開始します。

(8) DFE の処理

- ①フィルタ処理結果に対し、上限ピークのピークホールド処理を実施します。
- ②PH 結果レジスタのピークホールド値更新時に PH 更新通知を発行します。

(9) DFE の処理

- ①"PH 回路入力データの値 > PH3 結果レジスタ 0 の値 + 比較オフセット値(*)" の条件成立で PH3 処理終了します。

(10) ソフトウェア処理

- ①下記値を Local RAM に格納します。
 - ・ PH1 処理のピークホールド値、タイマ D のキャプチャ結果レジスタ値
 - ・ PH2 処理のピークホールド値、タイマ D のキャプチャ結果レジスタ値
 - ・ PH3 処理のピークホールド値、タイマ D のキャプチャ結果レジスタ値

(11) DFE の処理

- ①PH 終了フラグで PH23 処理を終了します。

*: 比較オフセット値は "比較オフセット値レジスタ nDFEjCPOFSTn (n=0~2)" で設定します。

2.2.2 使用機能の動作条件

表 2-3に本応用例で使用した DS-ADC の動作条件を示します。

表 2-3 DS-ADC 動作条件

項目	内容
使用チャンネル	DSADC00
アナログ入力端子	DSAN000P
サンプリングレート	200ksps
オーバーサンプリングレート	8Msps
DFE エントリ	する
DFE-TAG	0
ゲイン	×1
変換種別	シングルエンド入力
コモン電圧	ADSVREFL
A/D 変換データフォーマット	16 ビット符号付き固定小数点数
有効ビット	12bit

表 2-4に本応用例で使用した DFE の動作条件を示します。

表 2-4 DFE 動作条件

項目	内容
使用チャンネル	DFE0 ch0
チャンネルタグ	0
使用フィルタ	FIR
タップ数	32
入力データフォーマット	16 ビット符号付き固定小数点数
係数データフォーマット	16 ビット符号付き固定小数点数
出力データフォーマット	32 ビット符号付き固定小数点数
デシメーション回数	デシメーション処理しない
Peak-Hold 処理	PH 処理と比較を同時に実施
PH 初期化フラグ、終了フラグ	タイマ D のコンペアマッチ A0/B0 に設定

表 2-5に本応用例で使用した ATU-VI (タイマ D) の動作条件を示します。

表 2-5 ATU-VI (タイマ D) 動作条件

項目	内容
プリスケアラの分周比	1/10 (40MHz / 10 = 4MHz)
クロックソース	クロックバス 0
コンペアマッチ割り込み	OCR2D00 を使用
コンペアマッチ A (OCR1D00)	500us
コンペアマッチ B (OCR2D00)	700us

2.3 モジュール設定

2.3.1 DFE 設定

RH850/U2Bx 内蔵の DFE は、最大 64 タップの FIR フィルタと最大 6 次の IIR フィルタを内蔵しています。

本応用例では、FIR フィルタによってバンドパスフィルタを構成します。このときのレジスタ設定及び係数メモリの設定方法について説明します。

(1) 係数メモリ設定

DFE 内の係数メモリ (CMEM) に FIR フィルタのフィルタ係数を格納します。詳細は『1.3.2 係数メモリ設定』を参照してください。

(2) 制御レジスタ設定 (レジスタ設定の詳細は、2.4.4 レジスタ説明を参照して下さい。)

CTLACH0 レジスタ設定

- ・チャンネルタグ : 0
- ・フィルタ処理選択 : FIR 32TAP
- ・入力データフォーマット選択 : 16 ビット固定小数点
- ・出力データ割り込み要求許可

CTLBCH0 レジスタ設定

- ・積算回路処理選択 : デシメーション処理を選択
- ・ピークホールドと比較を同時に実行に設定
- ・比較指定 : 小なり (<) を選択

CTLCCCH0 レジスタ設定

- ・入力選択 : DS-ADC を選択

ACA レジスタ設定

- ・デシメーション回数設定 : デシメーション処理しない

CPOFST0~2 レジスタ設定

- ・閾値を 0x03000000 に設定

PH2CTL0 レジスタ設定

- ・比較指定 : 大なり (>) を選択

PH3CTL0 レジスタ設定

- ・比較指定 : 小なり (<) を選択

PHUPDC0~3 レジスタ設定

- ・PH1~3 の更新通知を許可

TRGCH0、PITRG レジスタ設定

- ・PH 初期化フラグ、終了フラグをタイマ D のコンペアマッチ A0/B0 に設定

PH23CCTL0 レジスタ設定

- ・PH23 処理実施

(3) チャンネル有効化

CTLACH0.EN ビットを”1”にします。

2.4 ソフトウェア説明

2.4.1 関数説明

表 2-6に本応用例の使用関数を示します。

表 2-6 関数説明

関数名	ラベル名	処理内容
メイン関数	main_pe0	各関数の呼び出し及び割り込み待ちを行います。
DS-ADC 機能初期化関数	ds_adc_init	DS-ADC (DSADC00) の初期設定を行います。
DFE 機能初期化関数	dfe_init	DFE0 ch0 の初期設定を行います。
ATU 機能初期化関数	atu_init	ATU-VI タイマ D の初期設定を行います。
DTS 機能初期化関数	dts_init	DTS ch32 の初期設定を行います。
割り込み機能初期化関数	intc_init	DTS ch63-32 の転送完了割り込み、 タイマ D コンペアマッチ割り込みの設定を行います。
コンペアマッチ割り込み関数	atu6_td_int	PH23 処理結果を Local RAM に格納します。
DTS ch63-32 転送完了割り込み関数	dst_end_int	DTS ch63-32 の転送完了割り込み関数です。

2.4.2 使用 define 宣言説明

表 2-7に本応用例で使用する define 宣言の説明を示します。

表 2-7 使用 define 宣言の説明

ラベル名	機能	設定値	使用関数名
TAP_NUM	FIR フィルタの TAP 数を示します。	32	dfe_init

2.4.3 使用変数説明

表 2-8に本応用例で使用する変数の説明を示します。

表 2-8 使用変数の説明

ラベル名	機能	データ長	使用関数名
*cmem0[TAP_NUM/2]	DFE0 ch0 の係数メモリを示すポインタ変数です。	signed long	dfe_init
smp_data[200]	DFE の出力結果を格納します。	signed long	dts_Init
cap_data_ph1	PH1 処理完了時のタイマ D のカウンタ値を格納します。	unsigned long	atu6_td_int
cap_data_ph2	PH2 処理完了時のタイマ D のカウンタ値を格納します。	unsigned long	atu6_td_int
cap_data_ph3	PH3 処理完了時のタイマ D のカウンタ値を格納します。	unsigned long	atu6_td_int
smp_data_ph1	PH1 処理のピークホールド値を格納します。	signed long	atu6_td_int
smp_data_ph2	PH2 処理のピークホールド値を格納します。	signed long	atu6_td_int
smp_data_ph3	PH3 処理のピークホールド値を格納します。	signed long	atu6_td_int

2.4.4 レジスタ説明

表 2-9に DS-ADC (DSADC00) のレジスタ設定例を示します。

表 2-9 DS-ADC (DSADC00) のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
■DS-ADC 共通レジスタ				
AD グローバル コントロール レジスタ (DSADCADGCR)	0x00	ODDE	断線検出機能 自己診断	ディセーブル
		ODE	断線検出	ディセーブル
		UNSDN	変換結果出力	符号あり
ピンレベル自己診断 制御レジスタ (DSADCTDCR)	0x00	TDE	ピンレベル 自己診断機能	ディセーブル
■DS-ADC 固有レジスタ				
ユニット制御レジスタ (DSADC00UCR)	0x04000000	VPRSTE	仮想チャンネル ポインタリセット	なし
		RDMA	リードゲート DMA モード	すべての A / D 変換結果 に対して DMA 転送要求 を出力
		RESO0	高精度モード	高インピーダンス モード
		DFES	DFE チャンネル選択	DFE0 を選択
		DFMT[3:0]	データ フォーマット	マスクなし
		VCEP[2:0]	終了仮想チャンネル ポインタ	0
仮想チャンネル制御 レジスタ (DSADC00VCR0)	0x00101000	FSELEXT	拡張 Fs 切替ビット	拡張なし
		GAIN[1:0]	ゲイン	×1
		VCULME	上限スレッシュ ホールド通知	通知なし
		VCLLME	下限スレッシュ ホールド通知	通知なし
		VCULLMTBS[1:0]	閾値テーブル選択	DSADCnULTBR0 (未使用)
		ORT	後置フィルタ 2nd stage 出力レート 選択	1/2
		TPVSL[2:0]	TAP 係数選択	係数 1
		DSDFTYP[3:0]	ポストフィルタ タイプ	ORT と TPVSL の 設定に依存
		ADIE	変換完了割り込み	ディセーブル
		ULEIE	上限/下限エラー 割り込み	ディセーブル
		DFENT	DFE エントリ	エントリする
		DFTAG[3:0]	DFE-TAG	0
		CNVCLS[1:0]	変換種別	シングルエンド入力、 コモン電圧=ADSVREFL
		GCTRL[3:0]	入力端子設定	DSAN000P

レジスタ名	設定値	ビット名	機能	設定内容
AD 開始制御レジスタ (DSADC00 ADSTCR)	0x01	ADST	A/D 変換を開始	変換開始
AD 停止制御レジスタ (DSADC00 ADENDCR)	0x01	ADEND	A/D 変換を停止	変換停止
AD 変換トリガ 制御レジスタ (DSADC00ADTCR)	0x00	ADSTTE	AD 同期開始 イネーブル	ADSTART 無効
		ENDTRGE	AD 終了トリガ イネーブル	AD 終了トリガ無効
		STTRGE	AD 開始トリガ イネーブル	AD 開始トリガ無効
仮想チャネルポインタ レジスタ (DSADC00 VCPTRR)	0x00	VCPTR[2:0]	A/D 変換進行中 の仮想チャネル 番号	0 にクリア
セーフティ制御 レジスタ (DSADC00SFTCR)	0x00	RDCLRE	リード&クリア イネーブル	クリアしない
		OWEIE	オーバライト エラー割り込み	禁止
		PEIE	パリティエラー 割り込み	禁止
		IDEIE	ID エラー割り込み	禁止
上限／下限テーブル レジスタ (DSADC00ULTBR0 ～3)	0x7FFF8000	ULMTB[15:0]	上限テーブル	未使用（初期値）
		LLMTB[15:0]	下限テーブル	未使用（初期値）
ピンレベル自己診断 レベルレジスタ (DSADC00TDLVR)	0x00	AN3NLV	端子レベル自己 診断レベル指定	未使用（初期値）
		AN3PLV	端子レベル自己 診断レベル指定	未使用（初期値）
		AN2NLV	端子レベル自己 診断レベル指定	未使用（初期値）
		AN2PLV	端子レベル自己 診断レベル指定	未使用（初期値）
		AN1NLV	端子レベル自己 診断レベル指定	未使用（初期値）
		AN1PLV	端子レベル自己 診断レベル指定	未使用（初期値）
		AN0NLV	端子レベル自己 診断レベル指定	未使用（初期値）
		AN0PLV	端子レベル自己 診断レベル指定	未使用（初期値）

表 2-10に DFE0 のレジスタ設定例を示します。

表 2-10 DFE0 のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
制御レジスタ A (DFE0CTLACH0)	0x00003010 ↓ 0x00003011	CATAG	カスケード入力用 タグ値	0 (未使用)
		CAEN	カスケード イネーブル	カスケードしない
		CAENL	カスケード イネーブル	カスケードしない
		TAG	チャネルタグ	0 (AD から入力される AD タグ値と同一の値を 設定)
		CMD	フィルタ処理選択	FIR 32TAP
		IEF	フィルタ終了割り 込み	禁止
		FMT	FIR 入力データ フォーマット	16 ビット固定小数点
		IEP	PH 終了割り込み	禁止
		IEE	エラー割り込み	禁止
		IEC	条件一致割り込み	禁止
		IEO	出力データ 割り込み	許可
		CNSL	条件一致割り込み 0/1 機能選択	INT_DFE_CND0 : 比較一致割り込み要求 を選択 (未使用) INT_DFE_CND1 : PH 終了割り込み要求 を選択 (未使用)
		CNSLE	CNSL イネーブル	CNSL ビットの設定無効
		AIME	自動初期化	禁止
		EN	チャネル イネーブル	チャネル有効

レジスタ名	設定値	ビット名	機能	設定内容
制御レジスタ B (DFE0CTLBCH0)	0x01403302	OFSL	比較オフセット値 α 選択	DFEjCPOFST0 レジスタ値を選択
		DISB	PH 処理禁止	PH 処理禁止
		PHPS	PH ピーク タイプ選択	PH 処理は、上限ピーク を検出
		CPCS	比較値タイプ選択	DFEjPHCHn は DFEjCTLBCHn.SELB1 によって選択
		PHSLB2	PH 初期値 レジスタ選択	DFEjPHIA レジスタの値 が PH 処理の初期値とし て選択
		DISA	積算/デシメーシ ョン処理禁止	積算/デシメーション 処理禁止
		PRCSC	出力データレジス タ浮動小数点変換	浮動小数点変換を実行 しない
		SELB2	比較計算選択	小なり (<) を選択
		SELB1	比較対象 レジスタ選択	レジスタ (DFEjPHCHn) + 比較オフセット値設定 レジスタ (DFEjCPOFSTn)
		PRCSB	PH 回路処理選択	ピークホールドと比較 を同時に実行
		HOFS	中間値出力レジス タ浮動小数点変換	浮動小数点変換を実行 しない
		PICS	PH インデックス レジスタ制御選択	PH インデックス 更新モード
		SELA	積算/デシメーシ ョン回数レジスタ 選択	ACA の値を選択
		PFMT	PH 結果レジスタ 浮動小数点変換	浮動小数点変換を実行 しない
		ABS	絶対値演算	絶対値演算しない
		PRCSA	積算回路処理選択	デシメーション処理を 実行する
制御レジスタ C (DFE0CTLCH0)	0x00000100	CA0E	C-ADC 選択	使用しない
		DAyE	DS-ADC 選択	チャンネル 0 使用する
		SAyE	SAR-ADC 選択	使用しない
出力データレジスタ (DFE0DOCH0)	-	DO	出力データ	DFE 処理完了後の演算 結果を格納します。
積算/デシメーション 回数設定レジスタ A (DFE0ACA)	0x0000	AC	積算/デシメーシ ョン回数	積算/デシメーション しない

レジスタ名	設定値	ビット名	機能	設定内容
比較オフセット値設定 レジスタ (DFE0CPOFST0) (DFE0CPOFST1) (DFE0CPOFST2)	0x03000000	CPOFST	比較オフセット値 α を設定	$\alpha = 0x03000000$ に設定
ピークホールド 2 制御レジスタ 0 (DFE0PH2CTL0)	0x0000010C	OFSL	ピークホールド 2 処理の比較オフセ ット値 α 選択	DFE0CPOFST1 レジスタ値を選択
		PHPS	ピークホールド 2 ピークタイプ選択	下限ピークを検出
		CN2SLB2	ピークホールド 2 比較計算選択	大なり (>) を選択
ピークホールド 3 制御レジスタ 0 (DFE0PH3CTL0)	0x00000203	OFSL	ピークホールド 3 処理の比較オフセ ット値 α 選択	DFEjCPOFST2 レジスタ値を選択
		PHPS	ピークホールド 3 ピークタイプ選択	上限ピークを検出
		CN3SLB2	ピークホールド 3 比較計算選択	小なり (<) を選択
PH 初期値設定 レジスタ (DFE0PHIA)	0x80000000	PHI	PH 初期値を設定	負数の最小値に設定
PH 初期値設定 レジスタ (DFE0PHIB)	0x7FFFFFFF	PHI	PH 初期値を設定	正数の最大値に設定

レジスタ名	設定値	ビット名	機能	設定内容
ピークホールド更新 通知設定レジスタ 0 (DFE0PHUPDC0)	0x01	PHUPDCH	PH 結果レジスタ 更新通知チャネル 選択	チャネル 0 の PH 結果 レジスタ更新を通知対 象とする
		PH23SL	PH2 / PH3 結果 レジスタ更新通知 選択	PH2 が更新された時に 通知（未使用）
		PH23E	PH2 / PH3 結果 レジスタ更新通知 許可	通知を禁止
		OEPHUPD	PH 結果レジスタ 更新通知許可	通知を許可
ピークホールド更新 通知設定レジスタ 1 (DFE0PHUPDC1)	0x03	PHUPDCH	PH 結果レジスタ 更新通知チャネル 選択	チャネル 0 の PH 結果 レジスタ更新を通知対 象とする
		PH23SL	PH2 / PH3 結果 レジスタ更新通知 選択	PH2 が更新された時に 通知
		PH23E	PH2 / PH3 結果 レジスタ更新通知 許可	通知を許可
		OEPHUPD	PH 結果レジスタ 更新通知許可	通知を許可
ピークホールド更新 通知設定レジスタ 2 (DFE0PHUPDC2)	0x07	PHUPDCH	PH 結果レジスタ 更新通知チャネル 選択	チャネル 0 の PH 結果 レジスタ更新を通知対 象とする
		PH23SL	PH2 / PH3 結果 レジスタ更新通知 選択	PH3 が更新された時に 通知
		PH23E	PH2 / PH3 結果 レジスタ更新通知 許可	通知を許可
		OEPHUPD	PH 結果レジスタ 更新通知許可	通知を許可

レジスタ名	設定値	ビット名	機能	設定内容
トリガ設定レジスタ (DFE0TRGCH0)	0x00040400	PMFE	ピークホールド マスク終了フラグ トリガ設定	ピークホールドマスク 終了フラグを生成 しない
		PME	ピークホールド マスク開始フラグ トリガ設定	ピークホールドマスク 開始フラグを生成 しない
		PFE	ピークホールド 終了フラグトリガ 設定	ピークホールド終了 フラグをタイマトリガ で生成する
		AFE	積算/デシメーシ ョン禁止フラグ トリガ設定	積算/デシメーション 禁止フラグを生成 しない
		PE	ピークホールド 初期化フラグ トリガ設定	ピークホールド初期化 フラグをタイマトリガ で生成する
		PT	ピークホールド 初期化フラグ およびピーク ホールド終了 フラグタイマ トリガ選択	タイマトリガ 0 を使用 する
		AE	積算/デシメーシ ョン初期化フラグ トリガ設定	積算/デシメーション 初期化フラグを生成 しない
		AT	積算/デシメーシ ョン初期化フラグ および積算/デシ メーション禁止 フラグタイマ トリガ選択	タイマトリガ 0 を使用 する（未使用）
		FE	フィルタ初期化 フラグのトリガ 設定	フィルタ初期化フラグ を生成しない
		FT	フィルタ初期化 フラグタイマ トリガ選択	タイマトリガ 0 を使用 する（未使用）

レジスタ名	設定値	ビット名	機能	設定内容
ピークホールド初期化 /終了タイマトリガ 選択レジスタ (DFE0PITRG)	0x00000000	PITMTRG3	ピークホールド初期化／終了フラグ 用タイマトリガ 3	タイマ D コンペアマッチ A0/B0 を使用する (未使用)
		PITMTRG2	ピークホールド初期化／終了フラグ 用タイマトリガ 2	タイマ D コンペアマッチ A0/B0 を使用する (未使用)
		PITMTRG1	ピークホールド初期化／終了フラグ 用タイマトリガ 1	タイマ D コンペアマッチ A0/B0 を使用する (未使用)
		PITMTRG0	ピークホールド初期化／終了フラグ 用タイマトリガ 0	タイマ D コンペアマッチ A0/B0 を使用する
ピークホールド 23 共通制御レジスタ 0 (DFE0PH23CCTL0)	0x00000001	CHS	ピークホールド 23 ターゲット チャンネル選択	チャンネル 0 を使用する
		PFMT	ピークホールド 23 結果レジスタ 浮動小数点変換	浮動小数点変換しない
		PEN	ピークホールド 23 イネーブル	ピークホールド 23 有効

表 2-11に ATU-VI (タイマ D) のレジスタ設定例を示します。

表 2-11 ATU-VI (タイマ D) のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
プリスケアラ レジスタ 0 (PSCR0)	0x0009	PSCx[9:0]	プリスケアラの 分周比を設定	1/10 に設定 (40MHz / 10)
タイマコントロール レジスタ D0 (TCRD0)	0x4000	OBREDx	オフセットベース レジスタイネーブル	OSBRDx のインプット キャプチャ動作を禁止
		C2CEDx	カウンタ 2 クリア イネーブル	タイマ B からの TCNT2Dx カウンタ値 クリア要求を禁止
		C1CEDx	カウンタ 1 クリア イネーブル	タイマ B からの TCNT1Dx カウンタ値 クリア要求を禁止
		CLR2Dx	TCNT2Dx クリア 設定ビット	TCNT2Dx のクリアに CUCR2Dx のコンペア マッチを使用しない
		CKSEL2Dx[2:0]	TCNT2Dx クロックセレクト	クロックバス 0 で TCNT2Dx をアップ カウント
		CLR1Dx	TCNT1Dx クリア 設定ビット	TCNT1Dx のクリアに CUCR1Dx のコンペア マッチを使用しない
		CKSEL1Dx[2:0]	TCNT1Dx クロックセレクト	クロックバス 0 で TCNT1Dx をアップ カウント
		DCSELDx[2:0]	DCNTDxy クロックセレクト	クロックバス 0 で DCNTDxy をダウン カウント

レジスタ名	設定値	ビット名	機能	設定内容
タイマ I/O コントロー ルレジスタ 1D0 (TIOR1D0)	0x0002	OSSDx3[1:0]	コンペアマッチ出 力要因選択ビット	TODxyA 端子出力なし
		OSSDx2[1:0]	コンペアマッチ出 力要因選択ビット	TODxyA 端子出力なし
		OSSDx1[1:0]	コンペアマッチ出 力要因選択ビット	TODxyA 端子出力なし
		OSSDx0[1:0]	コンペアマッチ出 力要因選択ビット	TODxyA 端子出力なし
		IOADx3[1:0]	I/O コントロール A	コンペアマッチ A 禁止
		IOADx2[1:0]	I/O コントロール A	コンペアマッチ A 禁止
		IOADx1[1:0]	I/O コントロール A	コンペアマッチ A 禁止
		IOADx0[1:0]	I/O コントロール A	コンペアマッチ A で 1 出力
タイマ I/O コントロー ルレジスタ 2D0 (TIOR2D0)	0x0001	IOBDx3[2:0]	I/O コントロール B	コンペアマッチ B 禁止
		IOBDx2[2:0]	I/O コントロール B	コンペアマッチ B 禁止
		IOBDx1[2:0]	I/O コントロール B	コンペアマッチ B 禁止
		IOBDx0[2:0]	I/O コントロール B	コンペアマッチ B で 0 出力
タイマ D 割り込み選択 制御レジスタ 0 (ATUINSELDO)	0x00000001	ATU_INTSEL_ D13[2:0]	割り込み要求選択	OCR1Dxy コンペア マッチ割り込みを選択
		ATU_INTSEL_ D12[2:0]	割り込み要求選択	OCR1Dxy コンペア マッチ割り込みを選択
		ATU_INTSEL_ D11[2:0]	割り込み要求選択	OCR1Dxy コンペア マッチ割り込みを選択
		ATU_INTSEL_ D10[2:0]	割り込み要求選択	OCR1Dxy コンペア マッチ割り込みを選択
		ATU_INTSEL_ D03[2:0]	割り込み要求選択	OCR1Dxy コンペア マッチ割り込みを選択
		ATU_INTSEL_ D02[2:0]	割り込み要求選択	OCR1Dxy コンペア マッチ割り込みを選択
		ATU_INTSEL_ D01[2:0]	割り込み要求選択	OCR1Dxy コンペア マッチ割り込みを選択
		ATU_INTSEL_ D00[2:0]	割り込み要求選択	OCR2Dxy コンペア マッチ割り込みを選択

レジスタ名	設定値	ビット名	機能	設定内容
DFE コンペア A タイマ トリガ A1 (ATUDFEENA1)	0x00000001	ATU_DFEEN_A7[3:0]	タイマトリガ	禁止
		ATU_DFEEN_A6[3:0]	タイマトリガ	禁止
		ATU_DFEEN_A5[3:0]	タイマトリガ	禁止
		ATU_DFEEN_A4[3:0]	タイマトリガ	禁止
		ATU_DFEEN_A3[3:0]	タイマトリガ	禁止
		ATU_DFEEN_A2[3:0]	タイマトリガ	禁止
		ATU_DFEEN_A1[3:0]	タイマトリガ	禁止
		ATU_DFEEN_A0[3:0]	タイマトリガ	D00A コンペア マッチ割り込みを選択
タイマ割り込み イネーブルレジスタ 2D0 (TIER2D0)	0x00000101	UNDEdX3	アンダーフロー割 り込みイネーブル	禁止
		UNDEdX2	アンダーフロー割 り込みイネーブル	禁止
		UNDEdX1	アンダーフロー割 り込みイネーブル	禁止
		UNDEdX0	アンダーフロー割 り込みイネーブル	禁止
		CMPBEDx3	コンペアマッチ B 割り込み イネーブル	禁止
		CMPBEDx2	コンペアマッチ B 割り込み イネーブル	禁止
		CMPBEDx1	コンペアマッチ B 割り込み イネーブル	禁止
		CMPBEDx0	コンペアマッチ B 割り込み イネーブル	許可
		CMPAEDx3	コンペアマッチ A 割り込み イネーブル	禁止
		CMPAEDx2	コンペアマッチ A 割り込み イネーブル	禁止
		CMPAEDx1	コンペアマッチ A 割り込み イネーブル	禁止
		CMPAEDx0	コンペアマッチ A 割り込み イネーブル	許可

レジスタ名	設定値	ビット名	機能	設定内容
タイマステータス クリアレジスタ D0 (TSCRD0)	0x3FFF	OVFC2Dx	オーバフロー フラグクリア イネーブル 2Dx	フラグクリア
		OVFC1Dx	オーバフロー フラグクリア イネーブル 1Dx	フラグクリア
		UDFCDx3	アンダーフロー フラグクリア イネーブル Dx3	フラグクリア
		UDFCDx2	アンダーフロー フラグクリア イネーブル Dx2	フラグクリア
		UDFCDx1	アンダーフロー フラグクリア イネーブル Dx1	フラグクリア
		UDFCDx0	アンダーフロー フラグクリア イネーブル Dx0	フラグクリア
		CMFCADx3	コンペアマッチ A フラグクリア イネーブル Dx3	フラグクリア
		CMFCADx2	コンペアマッチ A フラグクリア イネーブル Dx2	フラグクリア
		CMFCADx1	コンペアマッチ A フラグクリア イネーブル Dx1	フラグクリア
		CMFCADx0	コンペアマッチ A フラグクリア イネーブル Dx0	フラグクリア
		CMFCBDx3	コンペアマッチ B フラグクリア イネーブル Dx3	フラグクリア
		CMFCBDx2	コンペアマッチ B フラグクリア イネーブル Dx2	フラグクリア
		CMFCBDx1	コンペアマッチ B フラグクリア イネーブル Dx1	フラグクリア
		CMFCBDx0	コンペアマッチ B フラグクリア イネーブル Dx0	フラグクリア

レジスタ名	設定値	ビット名	機能	設定内容
アウトプットコンペア レジスタ 1D00 (OCR1D00)	0x000007D0	OC1D[31:0]	コンペア値の設定	0x000007D0 (500us)
アウトプットコンペア レジスタ 2D00 (OCR2D00)	0x00000AF0	OC2D[31:0]	コンペア値の設定	0x00000AF0 (700us)
共通インプットキャプ チャ選択レジスタ D (CCAPSEL0)	0x01	CCAPSEL	インプット キャプチャ選択	TCNT2D0 の値を キャプチャする
タイマスタート レジスタ D (TSTRD)	0x0001	STRD8	カウンタ D8 スタートビット	カウント動作を停止
		STRD7	カウンタ D7 スタートビット	カウント動作を停止
		STRD6	カウンタ D6 スタートビット	カウント動作を停止
		STRD5	カウンタ D5 スタートビット	カウント動作を停止
		STRD4	カウンタ D4 スタートビット	カウント動作を停止
		STRD3	カウンタ D3 スタートビット	カウント動作を停止
		STRD2	カウンタ D2 スタートビット	カウント動作を停止
		STRD1	カウンタ D1 スタートビット	カウント動作を停止
		STRD0	カウンタ D0 スタートビット	カウント動作を許可
ATU マスタ イネーブルレジスタ (ATUENR)	0x11	TGE	タイマ G イネーブルビット	カウント動作を停止
		TFE	タイマ F イネーブルビット	カウント動作を停止
		TEE	タイマ E イネーブルビット	カウント動作を停止
		TDE	タイマ D イネーブルビット	カウント動作を許可
		TCE	タイマ C イネーブルビット	カウント動作を停止
		TBE	タイマ B イネーブルビット	カウント動作を停止
		TAE	タイマ A イネーブルビット	カウント動作を停止
		PSCE	プリスケラ イネーブルビット	クロック生成を許可

表 2-12に DTS ch32 のレジスタ設定例を示します。

表 2-12 DTS ch32 のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
■グローバルレジスタ				
DTS チャンネル 優先順位設定 2 (DTSPR2)	0xFFFFFFFFC	DTSnPR[1:0] (n=32 to 63)	DTS チャンネルの 優先順位設定	DTS チャンネル 32 の優先 順位を 0（最高優先度） に設定
DTS チャンネル 32 チャンネルマスタ設定 (DTS032CM)	0x00000000	CHAIN_ RESTRICT	チェイン機能 制限設定	制限なし
		CHAIN_SPID [4:0]	チェイン許可 SPID 設定	0（未使用）
		CHAIN_UM	チェイン許可 UM 設定	（未使用）
		SPID[4:0]	チャンネルマスタ SPID 設定	SPID = 0 に設定
		UM	チャンネルマスタ UM 設定	スーパバイザモード
		CMC[15:0]	転送回数コンペア	（未使用）
■DTS チャンネルレジスタ				
DTS ソースアドレス (DTSA032)	(unsigned long)&DFE0.D OCH0	SA[31:0]	ソースアドレス	ソースアドレスを DFE0 ch0 出力データレジス タ(DFE0DOCH0)に設定
DTS ディスティネー ションアドレス (DTDA032)	(unsigned long)&smp_da ta[0]	DA[31:0]	ディスティネーシ ョンアドレス	ディスティネーション アドレスをサンプリン グデータ格納用配列の 先頭アドレスに設定
DTS 転送回数 (DTTC032)	0x000000C8	ARC[15:0]	アドレスリロード カウント	（未使用）
		TRC[15:0]	転送回数	転送回数を 200 回に設定

レジスタ名	設定値	ビット名	機能	設定内容
DTS 転送制御 (DTTCT032)	0x00004048	ESE	転送エラー時 DMA 転送中止 設定	DMA 転送を継続する
		CHNSEL[6:0]	チェイン先選択	(未使用)
		CHNE[1:0]	チェイン イネーブル	無効
		CCE	転送回数一致 割り込み	禁止
		TCE	転送完了割り込み	許可
		RLD2M[1:0]	リロード機能 2 設定	リロード機能 2 無効
		RLD1M[1:0]	リロード機能 1 設定	リロード機能 1 無効
		DACM[1:0]	ディスティネーシ ョンアドレスカウ ント方向	インクリメント
		SACM[1:0]	ソースアドレス カウント方向	固定
		DS[2:0]	転送データサイズ	32 ビット
		TRM[1:0]	転送モード	シングル転送
DTSFSL 動作設定 (DTFSL032)	0x00000001	REQEN	DTS 転送要求 イネーブル	DTS 転送要求を有効に 設定
DTS 転送要求クリア (DTFSC032)	0x000000B1	ERC	転送エラーフラグ (ER) クリア	クリア
		CCC	転送カウン ト一致フラグ (CC) クリア	クリア
		TCC	転送完了フラグ (TC) クリア	クリア
		DRQC	DMA 転送要求 クリア	クリア

表 2-13に INTC2 のレジスタ設定例を示します。

表 2-13 INTC2 のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
EI レベル割り込み バインドレジスタ (EIBD63) (EIBD164)	0x00000000	CST	ブロードキャスト 割り込みイネーブル	禁止
		BCP[1:0]	ブロードキャスト 割り込みポート番号の設定	(未使用)
		PEID[2:0]	割り込みをバインド (要求) する先を指定	PE0 (CPU0)
EI レベル割り込み 制御レジスタ (EIC63) (EIC164)	0x0040	EICTn	割り込みチャンネル タイプビット	(リードのみ可能)
		EIRFn	割り込み要求 フラグ	(リードのみ可能)
		EIMKn	割り込みマスク ビット	割り込み処理を許可
		EITBn	割り込みベクタ 方式選択	テーブル参照方式
		EIPn	割り込み優先度の 指定	0 (最高優先度)

2.4.5 動作フロー

図 2-4に本応用例のソフトウェア動作フローを示します。

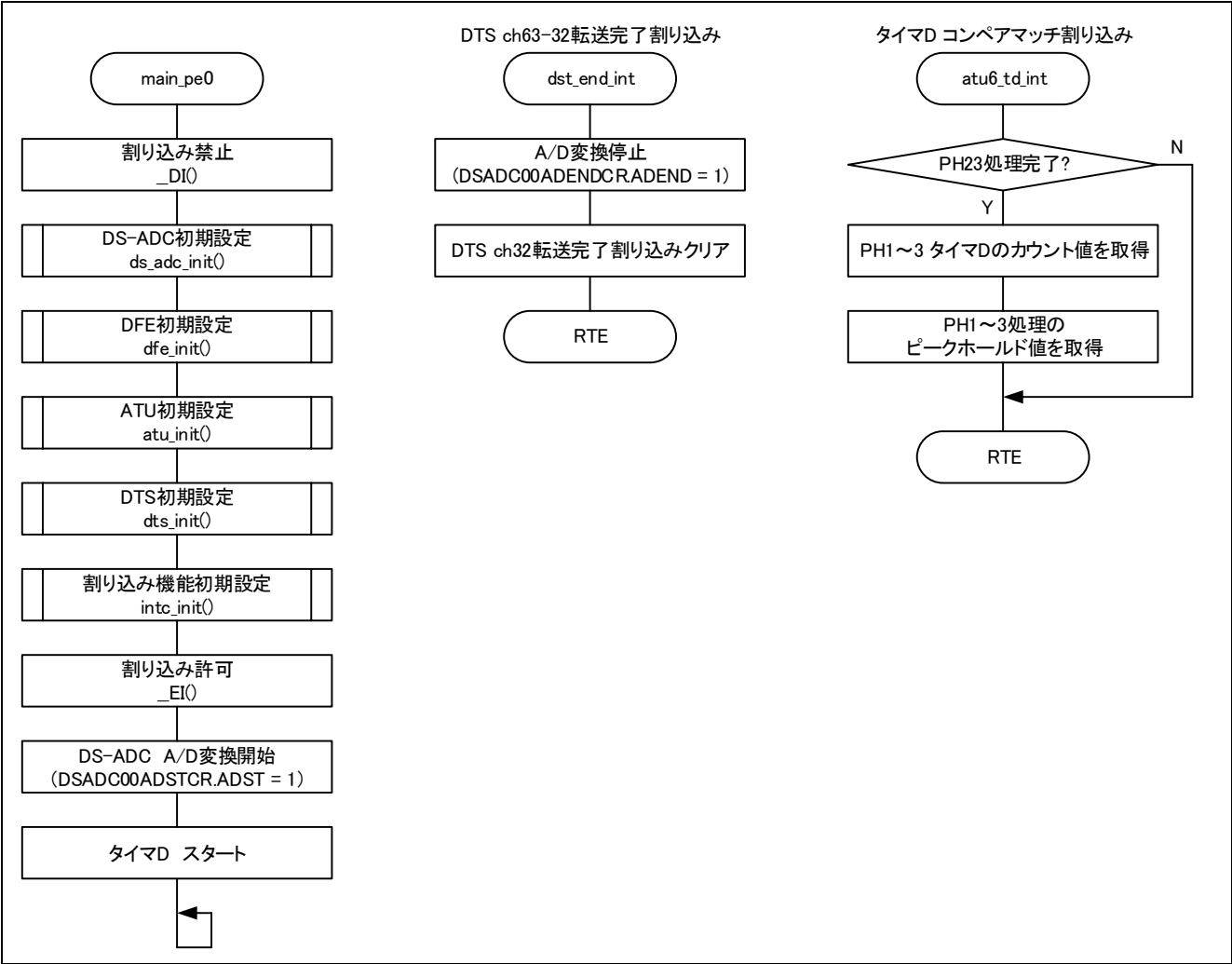


図 2-4 ソフトウェア動作フロー

3. FIFO 機能（DS-ADC、sDMAC、ATU-VI タイマ G との連携動作）

3.1 仕様

本応用例では、DS-ADC (DSADC00、DSADC10、DSADC21*注) を使用し、DSAN000P、DSAN100P、DSAN210P 端子への印加電圧を一定のサンプリングレートで A/D 変換します。A/D 変換値は、DFE0 ch0、ch1、ch2 内の FIR フィルタでフィルタ処理を施し、タイマ G からの FIFO キャプチャトリガにより、DFE0 ch0、ch1、ch2 の出力データレジスタ値を一括して DFE_FIFO Buffer A ch0、ch1、ch2 に格納します。フィルタ処理結果は、キャプチャ終了割り込みをトリガとした DMA 転送 (Scatter 機能使用) により、系統毎に分配し Local RAM に転送します。

本応用例の仕様の以下に示します。

- DS-ADC (DSADC00、DSADC10、DSADC21) は、シングルエンド入力、コモン電圧 ADSVREFL でアナログ入力電圧の A/D 変換を連続で行います。
- DS-ADC (DSADC00、DSADC10、DSADC21) の A/D 変換値は自動で DFE ヘエントリします。
- DFE は、内蔵の FIR フィルタにより構成したバンドパスフィルタによって入力データのフィルタ処理を行います。
- FIR フィルタの設定に使用するフィルタ係数及びデータは、DFE 内の RAM (係数メモリ及びデータメモリ) に格納します。
- DFE のフィルタ処理結果は、デシメーション処理 (間引き) を行いません。
- タイマ G にて FIFO キャプチャトリガを生成します。
- DFE0 ch0、ch1、ch2 の出力データレジスタ値をそれぞれ DFE_FIFO Buffer A ch0、ch1、ch2 に格納します。
- バッファ A キャプチャ終了割り込みを sDMAC の転送要求要因とします。
- sDMAC の Scatter 動作により DFE でキャプチャした値を系統毎に分配し RAM へ転送します。
- DS-ADC 起動トリガ：ソフトウェアトリガ
- DS-ADC サンプリングレート：200ksps
- DFE 処理結果出力レート：200kHz (デシメーション処理なし)
- 入力電圧範囲：0 ～ ADSVCC (ADSVCC：アナログ電源電圧 0 ～ +5.5V)
- 出力データフォーマット：32 ビット符号付固定小数点数

表 3-1 に本応用例のフィルタ仕様例を示します。尚、表中のサンプリング周波数 f_s は、DFE にデータが入力される速度を示し、本応用例においては、DS-ADC のサンプリングレート (200ksps) を意味します。

表 3-1 フィルタ仕様例

項目	内容
構成フィルタ	バンドパスフィルタ
サンプリング周波数 f_s	200ksps
低域カットオフ周波数 f_L	5kHz
高域カットオフ周波数 f_H	15kHz
通過域リップル R_p	1dB
阻止域減衰量 A_p	25dB

*注：DCADC21 が無い 292 ピン版 (U2B10、U2B6) を使用する場合は DCADC20 に変更してください。

図 3-1にシステム構成図を示します。

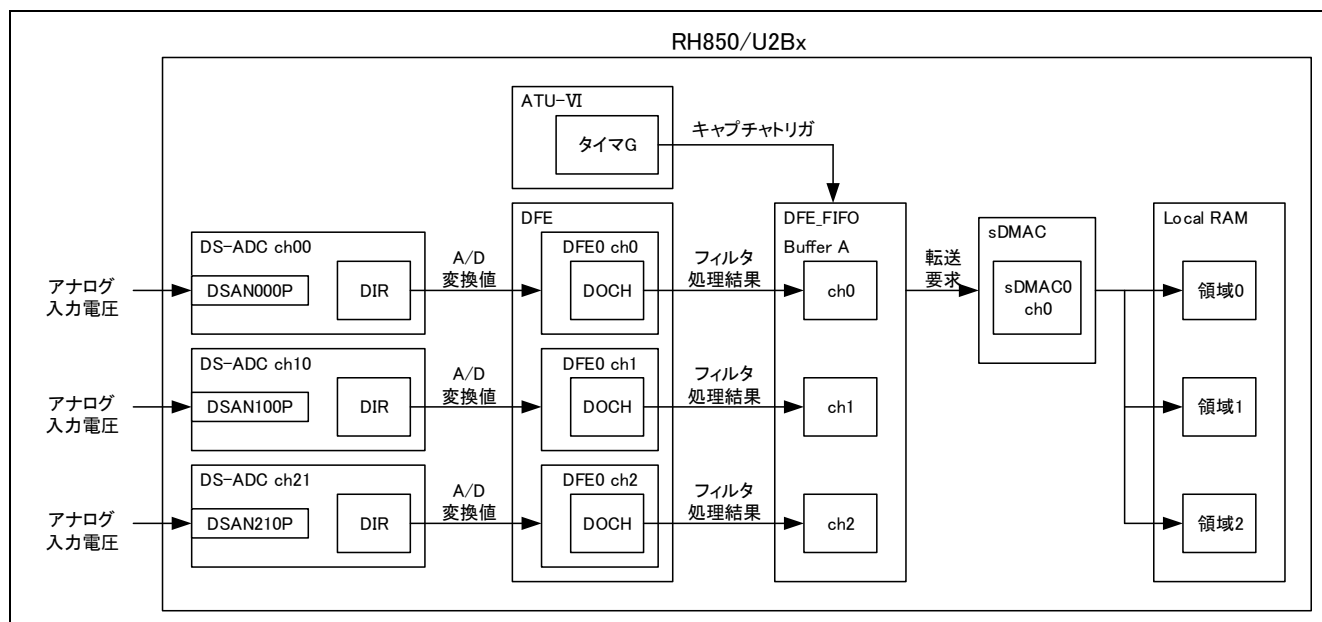


図 3-1 システム構成図

3.1.1 使用機能

本アプリケーションノートで使用する RH850/U2Bx のハードウェア機能を以下に示します。

- ・ $\Delta \Sigma$ AD コンバータ(DS-ADC) アナログ入力電圧の A/D 変換を行います。
- ・ デジタルフィルタ(DFE) 内部の FIR フィルタによりバンドパスフィルタを構成し、DS-ADC の A/D 変換値にフィルタ処理を施します。
- ・ DFE_FIFO バッファ A を利用し、タイマ G からの FIFO キャプチャトリガにより DFE0 の出力データレジスタの値を 3 つ一括で FIFO に格納します。
- ・ sDMAC Scatter 動作により DFE でキャプチャした値を系統毎に分配し RAM へ転送します。
- ・ ATU-VI タイマ G を使用し、タイマ FIFO キャプチャトリガを DFE_FIFO に与えます。
- ・ 割り込みコントローラ(INTC2) sDMAC 転送完了割り込み要求の CPU への割り込みを制御します。

3.2 応用例の説明

3.2.1 動作説明

図 3-2に本応用例の動作説明を、図 3-3に sDMAC の Scatter 転送概要を示します。

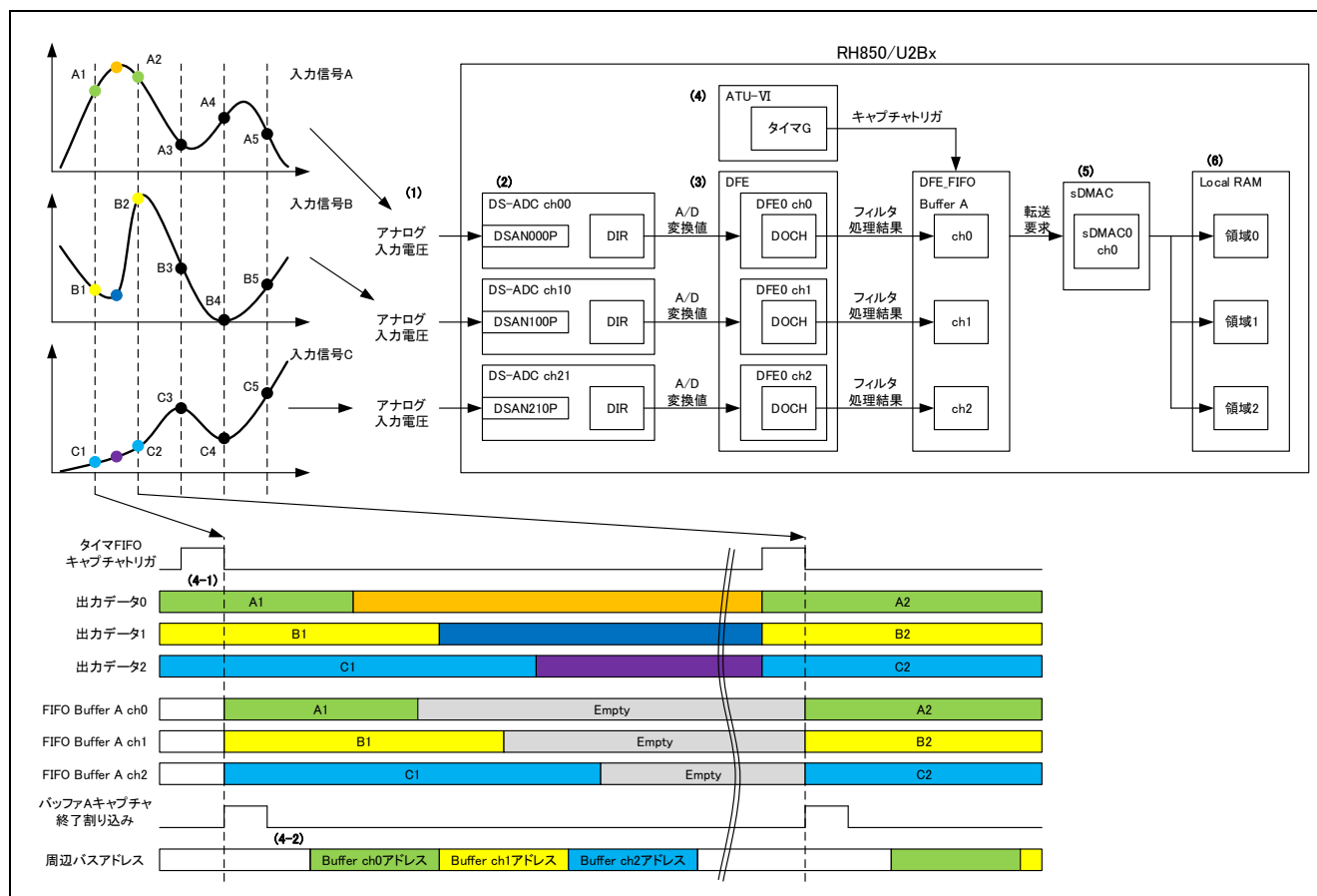


図 3-2 動作説明

- (1) アナログ入力端子からそれぞれ DS-ADC ch00、ch10、ch21 へアナログ信号を入力します。
- (2) DS-ADC のそれぞれで一定のサンプリング周期で A/D 変換を実施します。
- (3) DS-ADC の A/D 変換結果を DFE にエントリし、フィルタ処理を施します。
- (4) タイマ G からの FIFO キャプチャトリガにより、DFE の出力データレジスタ値を一括して DFE FIFO に格納します。
- (5) sDMAC の Scatter 転送を利用し、Buffer A ch0~2 に格納された値を Local RAM に転送します。
- (6) DS-ADC ch0~2 のそれぞれの入力系統毎に分配され、Local RAM に格納されます。

Scatter 機能にて sDMAC 1 チャンネルでそれぞれの配列変数へフィルタ処理結果を転送することができます。

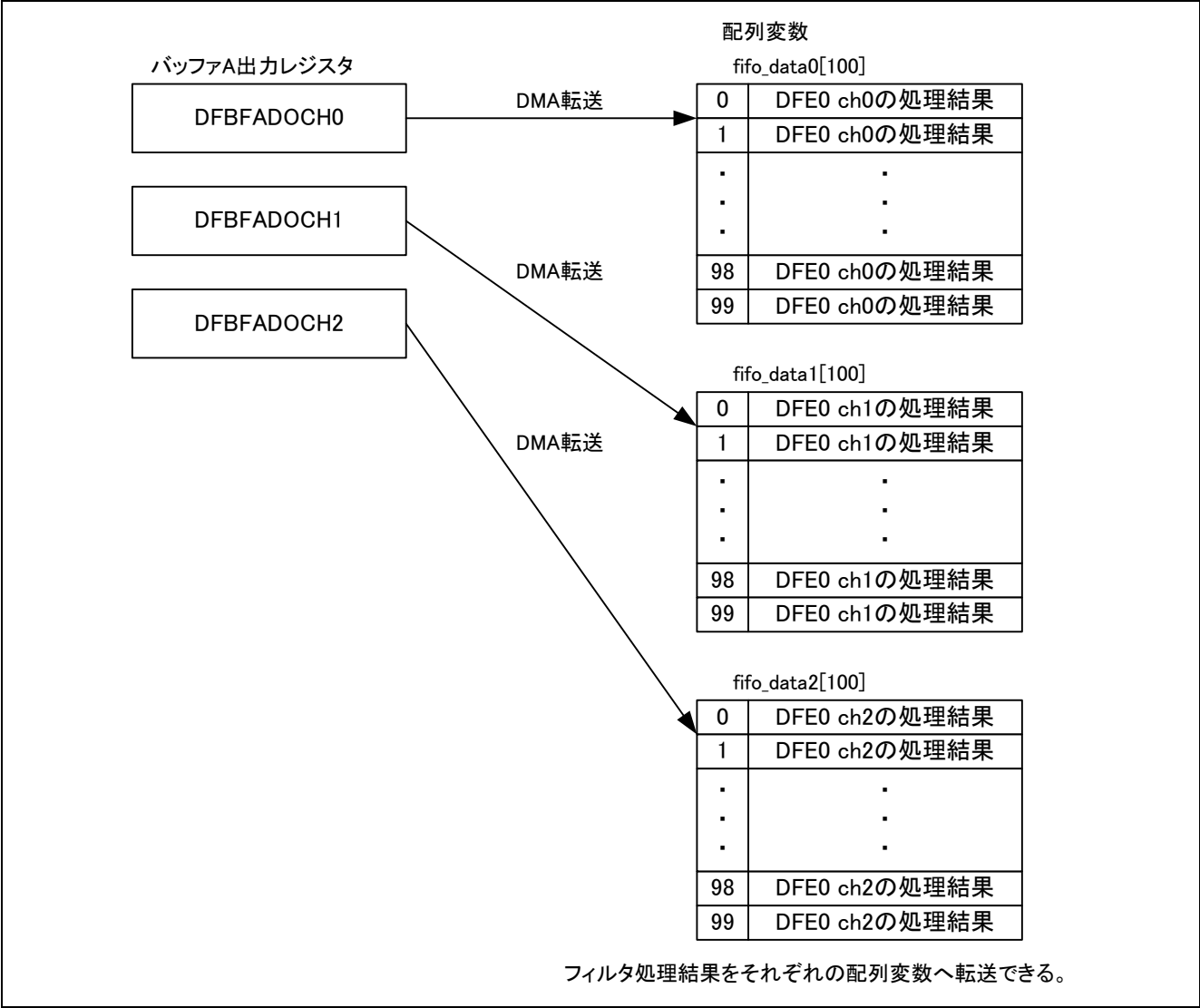


図 3-3 sDMAC の Scatter 転送概要

3.2.2 使用機能の動作条件

表 3-2に本応用例で使用した DS-ADC の動作条件を示します。

表 3-2 DS-ADC 動作条件

項目	内容
使用チャンネル	DSADC00、DSADC10、DSADC21
アナログ入力端子	DSAN000P、DSAN100P、DSAN210P
サンプリングレート	200ksps
オーバーサンプリングレート	8Msps
DFE エントリ	する
DFE-TAG	0、7、F
ゲイン	×1
変換種別	シングルエンド入力
コモン電圧	ADSVREFL
A/D 変換データフォーマット	16 ビット符号付き固定小数点数
有効ビット	12bit

表 3-3に本応用例で使用した DFE の動作条件を示します。

表 3-3 DFE 動作条件

項目	内容
使用チャンネル	DFE0 ch0、ch1、ch2
チャンネルタグ	0、7、F
使用フィルタ	FIR
タップ数	32
入力データフォーマット	16 ビット符号付き固定小数点数
係数データフォーマット	16 ビット符号付き固定小数点数
出力データフォーマット	32 ビット符号付き固定小数点数
デシメーション回数	デシメーション処理しない
Peak-Hold 処理	PH 処理しない

表 3-4に本応用例で使用した ATU-VI（タイマ G）の動作条件を示します。

表 3-4 ATU-VI（タイマ G）動作条件

項目	内容
プリスケアラの分周比	1/10 (40MHz / 10 = 4MHz)
クロックソース	クロックバス 1
コンペアマッチ値	0x20 (8us)
コンペアマッチ割り込み	G1 コンペアマッチ割り込みを使用
FIFO キャプチャトリガ	G1 コンペアマッチ割り込みを使用

表 3-5に本応用例で使用了 sDMAC の動作条件を示します。

表 3-5 sDMAC 動作条件

項目	内容
sDMAC チャンネル	sDMAC0 ch0
チャンネルマスタ SPID	0
チャンネルマスタ UM	スーパーバイザモード
sDMAC トリガ要因	バッファ A キャプチャ終了割り込み
ソースアドレス	バッファ A 出力レジスタ (DFBFADOCH0)
ディスティネーションアドレス	Local RAM
ソースアドレス・カウント方向	インクリメント
ディスティネーションアドレス カウント方向	固定
Scatter 転送内部ループ アドレスインクリメント値	fifo_data1[0]のアドレス - fifo_data0[0]のアドレス
内部 DMA ループの繰返し回数	2 回
転送モード	Scatter 転送有効
転送サイズ	12byte
転送単位	4byte

3.3 モジュール設定

3.3.1 DFE 設定

RH850/U2Bx 内蔵の DFE は、最大 64 タップの FIR フィルタと最大 6 次の IIR フィルタを内蔵しています。

本応用例では、FIR フィルタによってバンドパスフィルタを構成します。このときのレジスタ設定及び係数メモリの設定方法について説明します。

(1) 係数メモリ設定

DFE 内の係数メモリ (CMEM) に FIR フィルタのフィルタ係数を格納します。詳細は『1.3.2 係数メモリ設定』を参照してください。

(2) 制御レジスタ設定（レジスタ設定の詳細は、3.4.4 レジスタ説明を参照して下さい。）

CTLACH0 レジスタ設定

- ・チャンネルタグ：0
- ・フィルタ処理選択：FIR 32TAP
- ・入力データフォーマット選択：16 ビット固定小数点
- ・出力データ割り込み要求禁止

CTLACH1 レジスタ設定

- ・チャンネルタグ：7
- ・フィルタ処理選択：FIR 32TAP
- ・入力データフォーマット選択：16 ビット固定小数点
- ・出力データ割り込み要求禁止

CTLACH2 レジスタ設定

- ・チャンネルタグ：F
- ・フィルタ処理選択：FIR 32TAP
- ・入力データフォーマット選択：16 ビット固定小数点
- ・出力データ割り込み要求禁止

CTLBCH0~2 レジスタ設定

- ・積算回路処理選択：デシメーション処理を選択

CTLCCH0~2 レジスタ設定

- ・入力選択：DS-ADC を選択

ACA レジスタ設定

- ・デシメーション回数設定：デシメーション処理しない

(3) チャンネル有効化

CTLACH0~2.EN ビットを”1”にします。

(4)DFE_FIFO の設定

DFBFACCTL レジスタ設定

- ・バッファ A 回路：使用する

DFBFACTLCH0 レジスタ設定

- ・バッファ A_ch0 イネーブル
- ・キャプチャターゲットチャンネル：DFE0_ch0

DFBFACTLCH1 レジスタ設定

- ・バッファ A_ch1 イネーブル
- ・キャプチャターゲットチャンネル：DFE0_ch1

DFBFACTLCH2 レジスタ設定

- ・バッファ A_ch2 イネーブル
- ・キャプチャターゲットチャンネル：DFE0_ch2

3.4 ソフトウェア説明

3.4.1 関数説明

表 3-6に本応用例の使用関数を示します。

表 3-6 関数説明

関数名	ラベル名	処理内容
メイン関数	main_pe0	各関数の呼び出し及び割り込み待ちを行います。
sDMAC 転送完了割り込み関数	sdmac_end_int	sDMAC の転送完了割り込み関数です。
DS-ADC 機能初期化関数	ds_adc_init	DS-ADC (DSADC00、DSADC10、DSADC21) の初期設定を行います。
DFE 機能初期化関数	dfe_init	DFE0 ch0、ch1、ch2 の初期設定を行います。
ATU 機能初期化関数	atu_init	ATU-VI タイマ G の初期設定を行います。
sDMAC 機能初期化関数	sdmac_init	sDMAC0 ch0 の初期設定を行います。
割り込み機能初期化関数	intc_init	sDMAC の転送完了割り込みの設定を行います。

3.4.2 使用 define 宣言説明

表 3-7に本応用例で使用する define 宣言の説明を示します。

表 3-7 使用 define 宣言の説明

ラベル名	機能	設定値	使用関数名
TAP_NUM	FIR フィルタの TAP 数を示します。	32	dfe_init

3.4.3 使用変数説明

表 3-8に本応用例で使用する変数の説明を示します。

表 3-8 使用変数の説明

ラベル名	機能	データ長	使用関数名
*cmem0[TAP_NUM/2]	DFE0 ch0 の係数メモリを示すポインタ変数です。	signed long	dfe_init
*cmem1[TAP_NUM/2]	DFE0 ch1 の係数メモリを示すポインタ変数です。	signed long	dfe_init
*cmem2[TAP_NUM/2]	DFE0 ch2 の係数メモリを示すポインタ変数です。	signed long	dfe_init
fifo_data0 [100]	DFE0 ch0 の出力結果を格納します。	signed long	sdmac_init
fifo_data1 [100]	DFE0 ch1 の出力結果を格納します。	signed long	sdmac_init
fifo_data2 [100]	DFE0 ch2 の出力結果を格納します。	signed long	sdmac_init

3.4.4 レジスタ説明

表 3-9に DS-ADC (DSADC00、DSADC10、DSADC21) のレジスタ設定例を示します。

表 3-9 DS-ADC (DSADC00、DSADC10、DSADC21) のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
■DS-ADC 共通レジスタ				
AD グローバル コントロール レジスタ (DSADCADGCR)	0x00	ODDE	断線検出機能 自己診断	ディセーブル
		ODE	断線検出	ディセーブル
		UNSD	変換結果出力	符号あり
ピンレベル自己診断 制御レジスタ (DSADCTDCR)	0x00	TDE	ピンレベル 自己診断機能	ディセーブル
■DS-ADC 固有レジスタ				
ユニット制御レジスタ (DSADC00UCR)	0x04000000	VPRSTE	仮想チャンネル ポインタリセット	なし
		RDMA	リードゲート DMA モード	すべての A / D 変換結果 に対して DMA 転送要求 を出力
		RESO0	高精度モード	高インピーダンス モード
		DFES	DFE チャンネル選択	DFE0 を選択
		DFMT[3:0]	データ フォーマット	マスクなし
		VCEP[2:0]	終了仮想チャンネル ポインタ	0
仮想チャンネル制御 レジスタ (DSADC00VCR0)	0x00101000	GAIN[1:0]	ゲイン	×1
		VCULME	上限スレッショ ールド通知	通知なし
		VCLLME	下限スレッショ ールド通知	通知なし
		VCULLMTBS[1:0]	閾値テーブル選択	DSADCnULTBR0 (未使用)
		ORT	後置フィルタ 2nd stage 出力レート 選択	1/2
		TPVSL[2:0]	TAP 係数選択	係数 1
		DSDFTYP[3:0]	ポストフィルタ タイプ	ORT と TPVSL の 設定に依存
		ADIE	変換完了割り込み	ディセーブル
		ULEIE	上限/下限エラー 割り込み	ディセーブル
		DFENT	DFE エントリ	エントリする
		DFTAG[3:0]	DFE-TAG	0
		CNVCLS[1:0]	変換種別	シングルエンド入力、 コモン電圧=ADSVREFL
		GCTRL[3:0]	入力端子設定	DSAN000P

レジスタ名	設定値	ビット名	機能	設定内容
仮想チャネル制御 レジスタ (DSADC10VCR0)	0x00101700	FSELEXT	拡張 Fs 切替ビット	拡張なし
		GAIN[1:0]	ゲイン	×1
		VCULME	上限スレッシュ ホールド通知	通知なし
		VCLLME	下限スレッシュ ホールド通知	通知なし
		VCULLMTBS[1:0]	閾値テーブル選択	DSADCnULTBR0 (未使用)
		ORT	後置フィルタ 2nd stage 出力レート 選択	1/2
		TPVSL[2:0]	TAP 係数選択	係数 1
		DSDFTYP[3:0]	ポストフィルタ タイプ	ORT と TPVSL の 設定に依存
		ADIE	変換完了割り込み	ディセーブル
		ULEIE	上限/下限エラー 割り込み	ディセーブル
		DFENT	DFE エントリ	エントリする
		DFTAG[3:0]	DFE-TAG	7
		CNVCLS[1:0]	変換種別	シングルエンド入力、 コモン電圧=ADSVREFL
		GCTRL[3:0]	入力端子設定	DSAN100P
仮想チャネル制御 レジスタ (DSADC21VCR0)	0x00101F00	GAIN[1:0]	ゲイン	×1
		VCULME	上限スレッシュ ホールド通知	通知なし
		VCLLME	下限スレッシュ ホールド通知	通知なし
		VCULLMTBS[1:0]	閾値テーブル選択	DSADCnULTBR0 (未使用)
		ORT	後置フィルタ 2nd stage 出力レート 選択	1/2
		TPVSL[2:0]	TAP 係数選択	係数 1
		DSDFTYP[3:0]	ポストフィルタ タイプ	ORT と TPVSL の 設定に依存
		ADIE	変換完了割り込み	ディセーブル
		ULEIE	上限/下限エラー 割り込み	ディセーブル
		DFENT	DFE エントリ	エントリする
		DFTAG[3:0]	DFE-TAG	F
		CNVCLS[1:0]	変換種別	シングルエンド入力、 コモン電圧=ADSVREFL
		GCTRL[3:0]	入力端子設定	DSAN210P

レジスタ名	設定値	ビット名	機能	設定内容
セーフティ制御 レジスタ (DSADC00SFTCR) (DSADC10SFTCR) (DSADC21SFTCR)	0x00	RDCLRE	リード&クリア イネーブル	クリアしない
		OWEIE	オーバライト エラー割り込み	禁止
		PEIE	パリティエラー 割り込み	禁止
		IDEIE	IDエラー割り込み	禁止
上限／下限テーブル レジスタ (DSADC00ULTBR0 ～3)	0x7FFF8000	ULMTB[15:0]	上限テーブル	未使用（初期値）
		LLMTB[15:0]	下限テーブル	未使用（初期値）
上限／下限テーブル レジスタ (DSADC10ULTBR0 ～1)	0x7FFF8000	ULMTB[15:0]	上限テーブル	未使用（初期値）
		LLMTB[15:0]	下限テーブル	未使用（初期値）
ピンレベル自己診断 レベルレジスタ (DSADC00TDLVR) (DSADC10TDLVR) (DSADC21TDLVR)	0x00	AN3NLV	端子レベル自己 診断レベル指定	未使用（初期値）
		AN3PLV	端子レベル自己 診断レベル指定	未使用（初期値）
		AN2NLV	端子レベル自己 診断レベル指定	未使用（初期値）
		AN2PLV	端子レベル自己 診断レベル指定	未使用（初期値）
		AN1NLV	端子レベル自己 診断レベル指定	未使用（初期値）
		AN1PLV	端子レベル自己 診断レベル指定	未使用（初期値）
		AN0NLV	端子レベル自己 診断レベル指定	未使用（初期値）
		AN0PLV	端子レベル自己 診断レベル指定	未使用（初期値）
仮想チャネルポインタ レジスタ (DSADC00 VCPTRR) (DSADC10 VCPTRR) (DSADC21 VCPTRR)	0x00	VCPTR[2:0]	A/D変換進行中 の仮想チャネル 番号	0にクリア

レジスタ名	設定値	ビット名	機能	設定内容
AD 変換トリガ制御レジスタ (DSADC00ADTCR) (DSADC10ADTCR) (DSADC21ADTCR)	0x40	ADSTTE	AD 同期開始イネーブル	ADSTART 有効
		ENDTRGE	AD 終了トリガイネーブル	AD 終了トリガ無効
		STTRGE	AD 開始トリガイネーブル	AD 開始トリガ無効
AD 同期開始制御レジスタ (DSADCSYNSTCR)	0x01	ADSTART	各 $\Delta \Sigma$ ADC の A/D 変換開始	A/D 変換開始

表 3-10に DFE0 のレジスタ設定例を示します。

表 3-10 DFE0 のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
制御レジスタ A (DFE0CTLACH0)	0x00003000 ↓ 0x00003001	CATAG	カスケード入力用タグ値	0 (未使用)
		CAEN	カスケードイネーブル	カスケードしない
		TAG	チャンネルタグ	0 (AD から入力される AD タグ値と同一の値を設定)
		CMD	フィルタ処理選択	FIR 32TAP
		IEF	フィルタ終了割り込み	禁止
		FMT	FIR 入力データフォーマット	16 ビット固定小数点
		IEP	PH 終了割り込み	禁止
		IEE	エラー割り込み	禁止
		IEC	条件一致割り込み	禁止
		IEO	データ出力割り込み	禁止
		CNSL	条件一致割り込み 0/1 機能選択	INT_DFE_CND0 : 比較一致割り込み要求を選択 (未使用) INT_DFE_CND1 : PH 終了割り込み要求を選択 (未使用)
		CNSLE	CNSL イネーブル	CNSL ビットの設定無効
		AIME	自動初期化	禁止
		EN	チャンネルイネーブル	チャンネル有効

レジスタ名	設定値	ビット名	機能	設定内容
制御レジスタ A (DFE0CTLACH1)	0x00073000 ↓ 0x00073001	CATAG	カスケード入力用 タグ値	0 (未使用)
		CAEN	カスケード イネーブル	カスケードしない
		CAENL	カスケード イネーブル	カスケードしない
		TAG	チャンネルタグ	7 (AD から入力される AD タグ値と同一の値を 設定)
		CMD	フィルタ処理選択	FIR 32TAP
		FMT	FIR 入力データ フォーマット	16 ビット固定小数点
		IEF	フィルタ終了割り 込み	禁止
		IEP	PH 終了割り込み	禁止
		IEE	エラー割り込み	禁止
		IEC	条件一致割り込み	禁止
		IEO	出力データ 割り込み	禁止
		CNSL	条件一致割り込み 0/1 機能選択	INT_DFE_CND0 : 比較一致割り込み要求 を選択 (未使用) INT_DFE_CND1 : PH 終了割り込み要求 を選択 (未使用)
		CNSLE	CNSL イネーブル	CNSL ビットの設定無効
		AIME	自動初期化	禁止
		EN	チャンネル イネーブル	チャンネル有効

レジスタ名	設定値	ビット名	機能	設定内容
制御レジスタ A (DFE0CTLACH2)	0x000F3000 ↓ 0x000F3001	CATAG	カスケード入力用 タグ値	0 (未使用)
		CAEN	カスケード イネーブル	カスケードしない
		TAG	チャンネルタグ	F (AD から入力される AD タグ値と同一の値を 設定)
		CMD	フィルタ処理選択	FIR 32TAP
		FMT	FIR 入力データ フォーマット	16 ビット固定小数点
		IEP	PH 終了割り込み	禁止
		IEE	エラー割り込み	禁止
		IEC	条件一致割り込み	禁止
		IEO	出力データ 割り込み	禁止
		CNSL	条件一致割り込み 0/1 機能選択	INT_DFE_CND0 : 比較一致割り込み要求 を選択 (未使用) INT_DFE_CND1 : PH 終了割り込み要求 を選択 (未使用)
		CNSLE	CNSL イネーブル	CNSL ビットの設定無効
		AIME	自動初期化	禁止
		EN	チャンネル イネーブル	チャンネル有効

レジスタ名	設定値	ビット名	機能	設定内容
制御レジスタ B (DFE0CTLBCH0) (DFE0CTLBCH1) (DFE0CTLBCH2)	0x01000002	OFSL	比較オフセット値 α 選択	DFEjCPOFST0 レジスタ値選択 (未使用)
		DISB	PH 処理禁止	PH 処理禁止
		PHPS	PH ピーク タイプ選択	PH 処理は、上限ピークを検出 (未使用)
		CPCS	比較値タイプ選択	DFEjCPA~DFEjCPD は DFEjCTLBCHn.SELB1 によって選択 (未使用)
		PHSLB2	PH 初期値 レジスタ選択	DFEjPHIA レジスタの値が PH 処理の初期値として 選択 (未使用)
		DISA	積算/デシメーション 処理禁止	積算/デシメーション 処理禁止
		PRCSC	出力データレジスタ 浮動小数点変換	浮動小数点変換を実行 しない
		SELB2	PH 初期値 レジスタ選択	PH 処理の初期値に PHIA レジスタの値を 選択 (未使用)
		SELB1	比較対象 レジスタ選択	比較演算対象の値に CPA レジスタの値を 選択 (未使用)
		PRCSB	PH 回路処理選択	PH 処理、比較演算処理 をしない
		HOFS	中間値出力レジスタ 浮動小数点変換	浮動小数点変換を実行 しない
		PICS	PH インデックス レジスタ制御選択	PH インデックス 更新モード
		SELA	積算/デシメーション 回数レジスタ 選択	ACA の値を選択
		PFMT	PH 結果レジスタ 浮動小数点変換	浮動小数点変換を実行 しない (未使用)
		ABS	絶対値演算	絶対値演算しない
		PRCSA	積算回路処理選択	デシメーション処理を 実行する
制御レジスタ C (DFE0CTLCCH0)	0x00000100	CA0E	C-ADC 選択	使用しない
		DAyE	DS-ADC 選択	チャンネル 0 使用する
		SAyE	SAR-ADC 選択	使用しない
制御レジスタ C (DFE0CTLCCH1)	0x00000200	CA0E	C-ADC 選択	使用しない
		DAyE	DS-ADC 選択	チャンネル 1 使用する
		SAyE	SAR-ADC 選択	使用しない
制御レジスタ C (DFE0CTLCCH2)	0x00020000	CA0E	C-ADC 選択	使用しない
		DAyE	DS-ADC 選択	チャンネル 9 使用する
		SAyE	SAR-ADC 選択	使用しない
積算/デシメーション 回数設定レジスタ A (DFE0ACA)	0x0000	AC	積算/デシメーション 回数	積算/デシメーション しない

表 3-11に DFE_FIFO (バッファ A) のレジスタ設定例を示します。

表 3-11 DFE_FIFO (バッファ A) のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
バッファ A 共通制御レジスタ (DFBFACCTL)	0x00000003	AUNE	バッファ A データ 更新フラグ イネーブル	バッファ A データ更新 フラグを使用しない
		AIEE	バッファ A エラー 割り込み要求 イネーブル	禁止
		AIEO	バッファ A 出力 データ割り込み 要求イネーブル	許可
		AEN	バッファ A イネーブル	バッファ A の処理実行
バッファ A 制御レジスタ (DFBFACTLCH0)	0x00000001	BFACH	キャプチャ対象 チャンネル選択	DFE0 ch0 に設定
		ADSL	バッファ A DFE 選択	DFE0 を選択
		CHEN	バッファ A チャンネル イネーブル	バッファ A チャンネル 0 有効
バッファ A 制御レジスタ (DFBFACTLCH1)	0x00000101	BFACH	キャプチャ対象 チャンネル選択	DFE0 ch1 に設定
		ADSL	バッファ A DFE 選択	DFE0 を選択
		CHEN	バッファ A チャンネル イネーブル	バッファ A チャンネル 1 有効
バッファ A 制御レジスタ (DFBFACTLCH2)	0x00000201	BFACH	キャプチャ対象 チャンネル選択	DFE0 ch2 に設定
		ADSL	バッファ A DFE 選択	DFE0 を選択
		CHEN	バッファ A チャンネル イネーブル	バッファ A チャンネル 2 有効
バッファ A クリアレジスタ (DFBFACLR)	0x00000001	CLRA	バッファ A クリア	バッファ A FIFO クリア

表 3-12に ATU-VI (タイマ G) のレジスタ設定例を示します。

表 3-12 ATU-VI (タイマ G) のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
プリスケアラ レジスタ 1 (PSCR1)	0x0009	PSCx[9:0]	プリスケアラの 分周比を設定	1/10 に設定 (40MHz / 10)
タイマコントロール レジスタ G1 (TCRG1)	0x10	CKSELGx[2:0]	クロックセレクト	クロックバス 1 を使用
		EVSYMGx	外部イベント同期 モードセット	通常カウントモード
コンペアマッチ レジスタ G1 (OCRG1)	0x00000020	OCRGx[31:0]	コンペアマッチ値 を指定	8us に設定
タイマ割り込み許可 レジスタ G (TIERG)	0x0002	CMPIEG9	コンペアマッチ 割り込み許可 G9	禁止
		CMPIEG8	コンペアマッチ 割り込み許可 G8	禁止
		CMPIEG7	コンペアマッチ 割り込み許可 G7	禁止
		CMPIEG6	コンペアマッチ 割り込み許可 G6	禁止
		CMPIEG5	コンペアマッチ 割り込み許可 G5	禁止
		CMPIEG4	コンペアマッチ 割り込み許可 G4	禁止
		CMPIEG3	コンペアマッチ 割り込み許可 G3	禁止
		CMPIEG2	コンペアマッチ 割り込み許可 G2	禁止
		CMPIEG1	コンペアマッチ 割り込み許可 G1	許可
		CMPIEG0	コンペアマッチ 割り込み許可 G0	禁止
タイマステータス クリアレジスタ G1 (TSCRG1)	0x03	OVFCGx	オーバフロー フラグクリア G1 イネーブル	フラグクリア
		CMFCGx	コンペアマッチ フラグクリア G1 イネーブル	フラグクリア
タイマ FIFO キャプチャトリガ選択 (ATUDFESELD1T)	0x00000001	ATU_DFESSEL_ D1T[2:0]	タイマ FIFO キャプチャトリガ 入力の選択	OCRG1 コンペアマッチ 割り込みに設定

レジスタ名	設定値	ビット名	機能	設定内容
タイマスタート レジスタ G (TSTRG)	0x0002	STRG9	カウンタ G スタートビット	TCNTG9 : 動作停止
		STRG8	カウンタ G スタートビット	TCNTG8 : 動作停止
		STRG7	カウンタ G スタートビット	TCNTG7 : 動作停止
		STRG6	カウンタ G スタートビット	TCNTG6 : 動作停止
		STRG5	カウンタ G スタートビット	TCNTG5 : 動作停止
		STRG4	カウンタ G スタートビット	TCNTG4 : 動作停止
		STRG3	カウンタ G スタートビット	TCNTG3 : 動作停止
		STRG2	カウンタ G スタートビット	TCNTG2 : 動作停止
		STRG1	カウンタ G スタートビット	TCNTG1 : 動作許可
		STRG0	カウンタ G スタートビット	TCNTG0 : 動作停止
ATU マスタ イネーブルレジスタ (ATUENR)	0x81	TGE	タイマ G イネーブルビット	タイマ G : 動作許可
		TFE	タイマ F イネーブルビット	タイマ F : 動作停止
		TEE	タイマ E イネーブルビット	タイマ E : 動作停止
		TDE	タイマ D イネーブルビット	タイマ D : 動作停止
		TCE	タイマ C イネーブルビット	タイマ C : 動作停止
		TBE	タイマ B イネーブルビット	タイマ B : 動作停止
		TAE	タイマ A イネーブルビット	タイマ A : 動作停止
		PSCE	プリスケラ イネーブルビット	プリスケラの クロック生成許可

表 3-13に sDMAC0 のレジスタ設定例を示します。

表 3-13 sDMAC0 のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
DMA チャンネルマスタ 設定レジスタ (DMA0CM_0)	0x00001C00	SPID[4:0]	チャンネルマスタ SPID の設定	SPID=0x1C (sDMAC0)
		UM	チャンネルマスタ の UM 設定	スーパバイザモード
DMA チャンネル制御 レジスタ (DMA0CHCR_0)	0x0000 ↓ 0x0003	DPE	ディスクリプタ イネーブルビット	ディスクリプタ無効
		DPB	ディスクリプタ 開始ビット	レジスタ設定で DMA 転送を開始
		CAEE	チャンネルアドレス エラー通知 イネーブル	アドレスエラー通知 無効
		CAIE	チャンネルアドレス エラー割り込み イネーブル	禁止
		DSIE	ディスクリプタ ステップ終了割り 込みマスタイネー ブル	禁止
		IE	転送終了割り込み イネーブル	禁止 ↓ 許可
DMA ソースアドレス レジスタ (DMA0SAR_0)	(unsigned long) &DFEFIFO.D FBFADOCH 0.UINT32	SAR[31:0]	DMA 転送元 アドレス設定	DFBFADOCH0 レジスタ のアドレス
DMA ディスティネー ションアドレス レジスタ (DMA0DAR_0)	(unsigned long) & fifo_data0[0]	DAR[31:0]	DMA 転送先 アドレス設定	DFE 処理結果格納用 配列変数 fifo_data0[0]の アドレス
DMA 転送サイズ レジスタ (DMA0TSR_0)	0x0000000C	TSR[31:0]	DMA 転送サイズ の設定	12byte (=4byte × 3 回)

レジスタ名	設定値	ビット名	機能	設定内容
DMA 転送モード レジスタ (DMA0TMR_0)	0x00001122	SLM[3:0]	DMA 転送 低速モード	通常モード
		PRI[3:0]	チャネル要求 優先度設定	チャネル要求の 優先順位無効
		TRS	転送要求元	ハードウェア要求
		DM[1:0]	ディスティネーシ ョンアドレスカウ ント方向	固定
		SM[1:0]	ソースアドレス カウント方向	インクリメント
		DTS[3:0]	DMA ディスティ ネーショントラ ンザクションサイ ズ	4byte 転送
		STS[3:0]	DMA ソーストラ ンザクションサイ ズ	4byte 転送
DMA リソース選択 レジスタ (DMA0RS_0)	0x0003001E	TC[15:0]	ハードウェア要求 ごとの転送回数	3 回
		TL[2:0]	ハードウェア要求 ごとの転送制限	DMAjTMR_n.STS × DMAjRS_n.TC
		FPT	ファーストプリロ ードトリガ	(未使用)
		PLE	プリロード イネーブル	禁止
		DRQI	DMA 要求の 初期化	DRQ (Hardware request status) 初期化禁止
		RS[7:0]	ハードウェア DMA 転送要因 選択	バッファ A キャプチャ 終了割り込み INTDFEFIFOOUTA (group 0-30)
DMA Scatter 内部アドレスインクリ メントレジスタ (DMA0SIAI_0)	(unsigned long)&fifo_ data1[0] – (unsigned long)&fifo_ data0[0]	SIAI[31:0]	Scatter 内部ルー プのディスティネ ーションアドレスイ ンクリメント値	DFE 処理結果格納用 配列変数 fifo_data1[0]のアドレス – fifo_data0[0]のアドレス

レジスタ名	設定値	ビット名	機能	設定内容
DMA Scatter Gather 制御レジスタ (DMA0SGCR_0)	0x80020000	SEN	Scatter イネーブル	Scatter 有効
		ZF	ゼロフィル	禁止
		SIRPT[13:0]	Scatter 内部 DMA ループの繰り返し 回数	2 回
		GEN	Gather イネーブル	Gather 禁止
		GIRPT[13:0]	Gather 内部 DMA ループの繰り返し 回数	(未使用)
DMA チャンネルフラグ クリアレジスタ (DMA0CHFCR_0)	0x0000320F	OVFC	ハードウェア転送 要求オーバフロー フラグクリア	クリア
		DRQC	ハードウェア転送 要求のクリア	クリア
		DPEC	ディスクリプタ 有効クリア	クリア
		CAEC	アドレスエラー フラグクリア	クリア
		DSEC	ディスクリプタス テップ終了フラグ クリア	クリア
		TEC	転送完了フラグ クリア	クリア
		DEC	DMA イネーブル クリア	クリア
DMA 動作レジスタ (DMA0OR)	0x0001	PR[1:0]	チャンネル間の優先 順位	CH0> CH1> ... > CH14> CH15
		DME	DMA マスタ イネーブル	全チャンネルの DMA 転送 有効

表 3-14に INTC2 のレジスタ設定例を示します。

表 3-14 INTC2 のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
EI レベル割り込み バインドレジスタ (EIBD70)	0x00000000	CST	ブロードキャスト 割り込みイネーブル	禁止
		BCP[1:0]	ブロードキャスト 割り込みポート番号の設定	(未使用)
		PEID[2:0]	割り込みをバインド(要求)する先を指定	PE0 (CPU0)
EI レベル割り込み 制御レジスタ (EIC70)	0x0040	EICTn	割り込みチャネル タイプビット	(リードのみ可能)
		EIRFn	割り込み要求 フラグ	(リードのみ可能)
		EIMKn	割り込みマスク ビット	割り込み処理を許可
		EITBn	割り込みベクタ 方式選択	テーブル参照方式
		EIPn	割り込み優先度の 指定	0 (最高優先度)

3.4.5 動作フロー

図 3-4に本応用例のソフトウェア動作フローを示します。

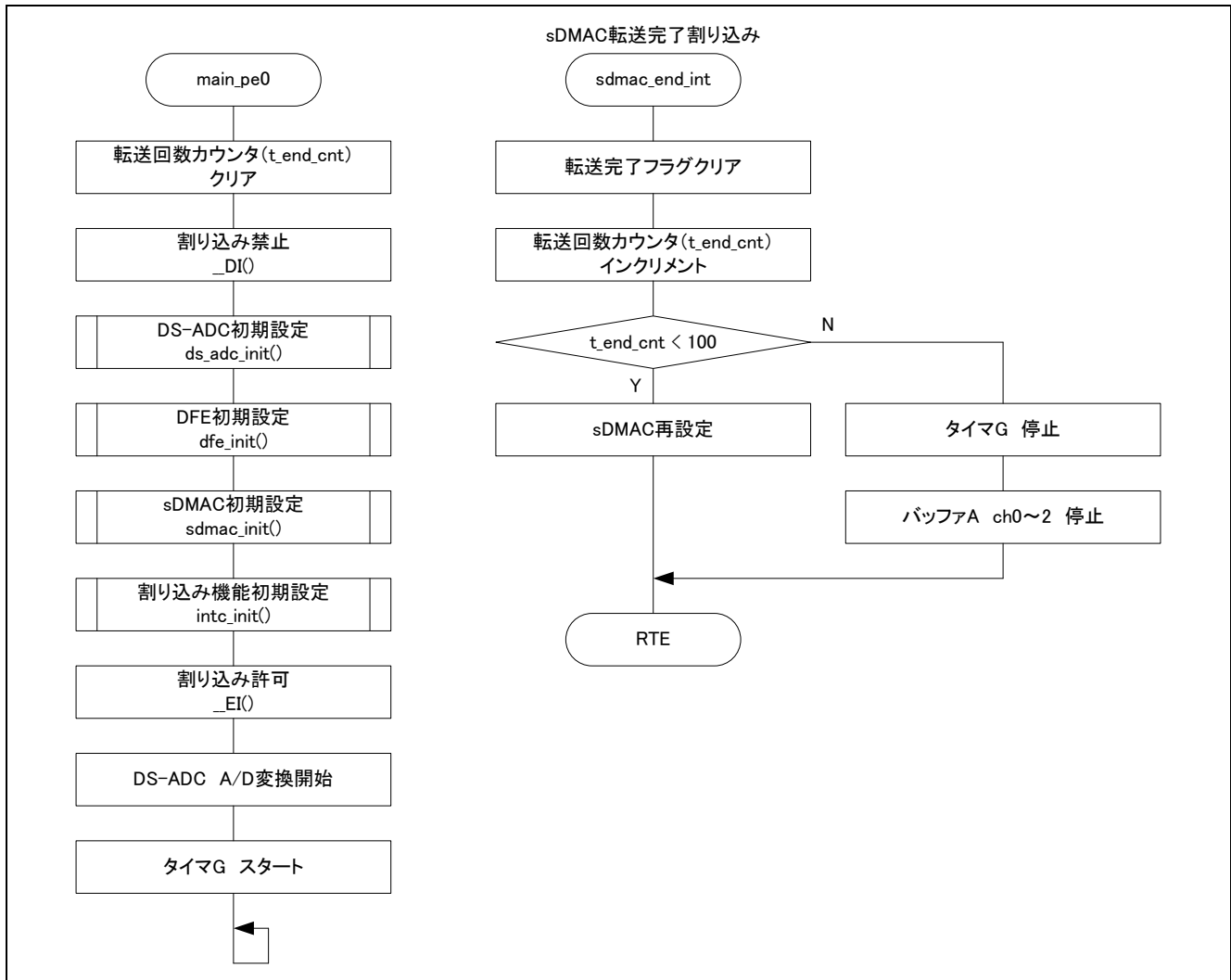


図 3-4 ソフトウェア動作フロー

4. 減算回路によるフィルタ ch 間の演算

4.1 仕様

本応用例では、DS-ADC (DSADC00、DSADC10) を使用し、DSAN000P、DSAN100P 端子への印加電圧を一定のサンプリングレートで A/D 変換します。A/D 変換値は、DFE0 ch0、ch1 内の FIR フィルタでフィルタ処理を施します。フィルタ処理完了時にソフトウェアトリガにより 2 つのチャンネルのフィルタ処理結果を減算回路にて減算を行い、減算結果を sDMAC の DMA 転送にて Local RAM に格納します。

本応用例の仕様を以下に示します。

- DS-ADC (DSADC00、DSADC10) は、シングルエンド入力、コモン電圧 ADSVREFL でアナログ入力電圧の A/D 変換を連続で行います。
- DS-ADC (DSADC00、DSADC10) の A/D 変換値は自動で DFE へエントリします。
- DFE は、内蔵の FIR フィルタにより構成したバンドパスフィルタによって入力データのフィルタ処理を行います。
- FIR フィルタの設定に使用するフィルタ係数及びデータは、DFE 内の RAM (係数メモリ及びデータメモリ) に格納します。
- DFE のフィルタ処理結果は、デシメーション処理 (間引き) を行いません。
- 減算回路を使用し、2 つのチャンネルのフィルタ処理結果を減算します。
- 減算結果は、sDMAC にて Local RAM に格納します。
- 減算開始トリガ：ソフトウェアトリガ
- DS-ADC 起動トリガ：ソフトウェアトリガ
- DS-ADC サンプリングレート：200ksps
- DFE 処理結果出力レート：200kHz (デシメーション処理なし)
- 入力電圧範囲：0 ～ ADSVCC (ADSVCC：アナログ電源電圧 0 ～ +5.5V)
- 出力データフォーマット：32 ビット符号付固定小数点数

表 4-1 に本応用例のフィルタ仕様例を示します。尚、表中のサンプリング周波数 f_s は、DFE にデータが入力される速度を示し、本応用例においては、DS-ADC のサンプリングレート (200ksps) を意味します。

表 4-1 フィルタ仕様例

項目	内容
構成フィルタ	バンドパスフィルタ
サンプリング周波数 f_s	200ksps
低域カットオフ周波数 f_L	5kHz
高域カットオフ周波数 f_H	15kHz
通過域リップル R_p	1dB
阻止域減衰量 A_p	25dB

図 4-1にシステム構成図を示します。

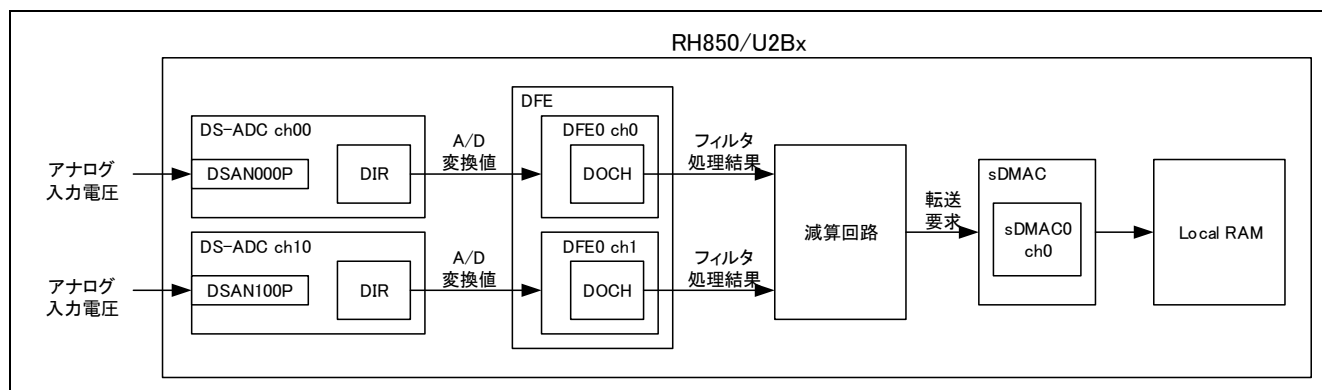


図 4-1 システム構成図

4.1.1 使用機能

本アプリケーションノートで使用する RH850/U2Bx のハードウェア機能を以下に示します。

- ・ $\Delta \Sigma$ AD コンバータ(DS-ADC) アナログ入力電圧の A/D 変換を行います。
- ・ デジタルフィルタ(DFE) 内部の FIR フィルタによりバンドパスフィルタを構成し、DS-ADC の A/D 変換値にフィルタ処理を施します。
- ・ 減算回路 2 つのチャンネルのフィルタ処理結果を減算します。
- ・ sDMAC 減算結果を Local RAM へ転送します。
- ・ 割り込みコントローラ(INTC2) DFE データ出力割り込み、sDMAC 転送完了割り込み要求の CPU への割り込みを制御します。

4.2 応用例の説明

4.2.1 動作説明

図 4-2に本応用例の動作説明を示します。

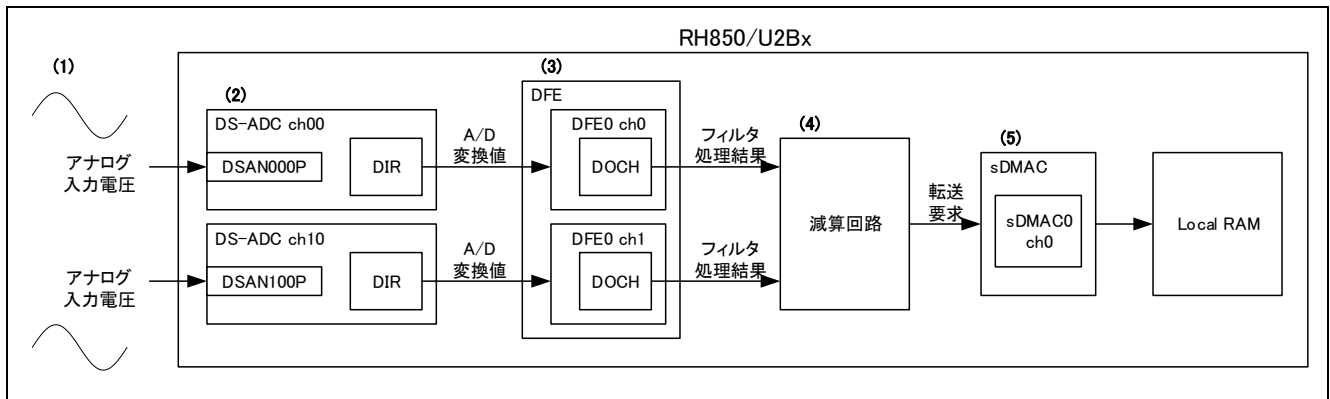


図 4-2 動作説明

- (1) アナログ入力端子からそれぞれ DS-ADC ch00、ch10 へアナログ信号を入力します
- (2) DS-ADC のそれぞれで一定のサンプリング周期で A/D 変換を実施します。
- (3) DS-ADC の A/D 変換結果を DFE にエントリし、フィルタ処理を施します。
- (4) 2つのチャネルのフィルタ処理結果に対し、減算回路で減算処理を実施します。
- (5) sDMAC にて減算結果を Local RAM に転送します。

4.2.2 使用機能の動作条件

表 4-2に本応用例で使用した DS-ADC の動作条件を示します。

表 4-2 DS-ADC 動作条件

項目	内容
使用チャンネル	DSADC00、DSADC10
アナログ入力端子	DSAN000P、DSAN100P
サンプリングレート	200ksps
オーバーサンプリングレート	8Msps
DFE エントリ	する
DFE-TAG	0、F
ゲイン	×1
変換種別	シングルエンド入力
コモン電圧	ADSVREFL
A/D 変換データフォーマット	16 ビット符号付き固定小数点数
有効ビット	12bit

表 4-3に本応用例で使用した DFE の動作条件を示します。

表 4-3 DFE 動作条件

項目	内容
使用チャンネル	DFE0 ch0、ch1
チャンネルタグ	0、F
使用フィルタ	FIR
タップ数	32
入力データフォーマット	16 ビット符号付き固定小数点数
係数データフォーマット	16 ビット符号付き固定小数点数
出力データフォーマット	32 ビット符号付き固定小数点数
デシメーション回数	デシメーション処理しない
Peak-Hold 処理	PH 処理しない

表 4-4に本応用例で使用した sDMAC の動作条件を示します。

表 4-4 sDMAC 動作条件

項目	内容
sDMAC チャンネル	sDMAC0 ch0
チャンネルマスタ SPID	0
チャンネルマスタ UM	スーパバイザモード
sDMAC トリガ要因	減算データ出力割り込み
ソースアドレス	減算結果レジスタ (SUBDOCH0)
ディスティネーションアドレス	Local RAM
ソースアドレス・カウント方向	固定
ディスティネーションアドレス カウント方向	インクリメント
転送サイズ	400byte
転送単位	4byte

4.3 モジュール設定

4.3.1 DFE 設定

RH850/U2Bx 内蔵の DFE は、最大 64 タップの FIR フィルタと最大 6 次の IIR フィルタを内蔵しています。

本応用例では、FIR フィルタによってバンドパスフィルタを構成します。このときのレジスタ設定及び係数メモリの設定方法について説明します。

(1) 係数メモリ設定

DFE 内の係数メモリ (CMEM) に FIR フィルタのフィルタ係数を格納します。詳細は『1.3.2 係数メモリ設定』を参照してください。

(2) 制御レジスタ設定 (レジスタ設定の詳細は、4.4.4 レジスタ説明を参照して下さい。)

CTLACH0 レジスタ設定

- ・チャンネルタグ : 0
- ・フィルタ処理選択 : FIR 32TAP
- ・入力データフォーマット選択 : 16 ビット固定小数点
- ・出力データ割り込み要求禁止

CTLACH1 レジスタ設定

- ・チャンネルタグ : F
- ・フィルタ処理選択 : FIR 32TAP
- ・入力データフォーマット選択 : 16 ビット固定小数点
- ・出力データ割り込み要求許可

CTLBCH0~1 レジスタ設定

- ・積算回路処理選択 : デシメーション処理を選択

CTLCCH0 レジスタ設定

- ・入力選択 : DS-ADC を選択

ACA レジスタ設定

- ・デシメーション回数設定 : デシメーション処理しない

(3) チャンネル有効化

CTLACH0~1.EN ビットを”1”にします。

(4) 減算回路の設定

SUBTRGCH0 レジスタ設定

- ・減算開始トリガ : ソフトトリガ

SUBCTLCH0 レジスタ設定

- ・減算の設定 : DFE0 ch0 - DFE0 ch1
- ・減算データ出力割り込み : 許可
- ・減算回路 : 有効

4.4 ソフトウェア説明

4.4.1 関数説明

表 4-5に本応用例の使用関数を示します。

表 4-5 関数説明

関数名	ラベル名	処理内容
メイン関数	main_pe0	各関数の呼び出し及び割り込み待ちを行います。
DFE 出力データ割り込み関数	dfe_end_int	減算を開始します。（ソフトウェアトリガ）
sDMAC 転送完了割り込み関数	sdmac_end_int	sDMAC の転送完了割り込み関数です。
DS-ADC 機能初期化関数	ds_adc_init	DS-ADC (DSADC00、DSADC10) の初期設定を行います。
DFE 機能初期化関数	dfe_init	DFE0 ch0、ch1 の初期設定を行います。
sDMAC 機能初期化関数	sdmac_init	sDMAC0 ch0 の初期設定を行います。
割り込み機能初期化関数	intc_init	DFE データ出力割り込み、sDMAC の転送完了割り込みの設定を行います。

4.4.2 使用 define 宣言説明

表 4-6に本応用例で使用する define 宣言の説明を示します。

表 4-6 使用 define 宣言の説明

ラベル名	機能	設定値	使用関数名
TAP_NUM	FIR フィルタの TAP 数を示します。	32	dfe_init

4.4.3 使用変数説明

表 4-7に本応用例で使用する変数の説明を示します。

表 4-7 使用変数の説明

ラベル名	機能	データ長	使用関数名
*cmem0[TAP_NUM/2]	DFE0 ch0 の係数メモリを示すポインタ変数です。	signed long	dfe_init
*cmem1[TAP_NUM/2]	DFE0 ch1 の係数メモリを示すポインタ変数です。	signed long	dfe_init
sub_data [100]	減算結果を格納します。	signed long	sdmac_init

4.4.4 レジスタ説明

表 4-8に DS-ADC (DSADC00、DSADC10) のレジスタ設定例を示します。

表 4-8 DS-ADC (DSADC00、DSADC10) のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
■DS-ADC 共通レジスタ				
AD グローバル コントロール レジスタ (DSADCADGCR)	0x00	ODDE	断線検出機能 自己診断	ディセーブル
		ODE	断線検出	ディセーブル
		UNSN	変換結果出力	符号あり
ピンレベル自己診断 制御レジスタ (DSADCTDCR)	0x00	TDE	ピンレベル 自己診断機能	ディセーブル
■DS-ADC 固有レジスタ				
ユニット制御レジスタ (DSADC00UCR)	0x04000000	VPRSTE	仮想チャネル ポインタリセット	なし
		RDMA	リードゲート DMA モード	すべての A / D 変換結果 に対して DMA 転送要求 を出力
		RESO0	高精度モード	高インピーダンス モード
		DFES	DFE チャネル選択	DFE0 を選択
		DFMT[3:0]	データ フォーマット	マスクなし
		VCEP[2:0]	終了仮想チャネル ポインタ	0
仮想チャネル制御 レジスタ (DSADC00VCR0)	0x00101000	GAIN[1:0]	ゲイン	×1
		VCULME	上限スレッシュ ホールド通知	通知なし
		VCLLME	下限スレッシュ ホールド通知	通知なし
		VCULLMTBS[1:0]	閾値テーブル選択	DSADCnULTBR0 (未使用)
		ORT	後置フィルタ 2nd stage 出力レート 選択	1/2
		TPVSL[2:0]	TAP 係数選択	係数 1
		DSDFTYP[3:0]	ポストフィルタ タイプ	ORT と TPVSL の 設定に依存
		ADIE	変換完了割り込み	ディセーブル
		ULEIE	上限/下限エラー 割り込み	ディセーブル
		DFENT	DFE エントリ	エントリする
		DFTAG[3:0]	DFE-TAG	0
		CNVCLS[1:0]	変換種別	シングルエンド入力、 コモン電圧=ADSVREFL
		GCTRL[3:0]	入力端子設定	DSAN000P

レジスタ名	設定値	ビット名	機能	設定内容
仮想チャネル制御 レジスタ (DSADC10VCR0)	0x00101F00	FSELEXTE	拡張 Fs 切替ビット	拡張なし
		GAIN[1:0]	ゲイン	×1
		VCULME	上限スレッシュ ホールド通知	通知なし
		VCLLME	下限スレッシュ ホールド通知	通知なし
		VCULLMTBS[1:0]	閾値テーブル選択	DSADCnULTBR0 (未使用)
		ORT	後置フィルタ 2nd stage 出力レート 選択	1/2
		TPVSL[2:0]	TAP 係数選択	係数 1
		DSDFTYP[3:0]	ポストフィルタ タイプ	ORT と TPVSL の 設定に依存
		ADIE	変換完了割り込み	ディセーブル
		ULEIE	上限/下限エラー 割り込み	ディセーブル
		DFENT	DFE エントリ	エントリする
		DFTAG[3:0]	DFE-TAG	F
		CNVCLS[1:0]	変換種別	シングルエンド入力、 コモン電圧=ADSVREFL
		GCTRL[3:0]	入力端子設定	DSAN100P
セーフティ制御 レジスタ (DSADC00SFTCR) (DSADC10SFTCR)	0x00	RDCLRE	リード&クリア イネーブル	クリアしない
		OWEIE	オーバライト エラー割り込み	禁止
		PEIE	パリティエラー 割り込み	禁止
		IDEIE	ID エラー割り込み	禁止
上限/下限テーブル レジスタ (DSADC00ULTBR0 ~3)	0x7FFF8000	ULMTB[15:0]	上限テーブル	未使用 (初期値)
		LLMTB[15:0]	下限テーブル	未使用 (初期値)
上限/下限テーブル レジスタ (DSADC10ULTBR0 ~1)	0x7FFF8000	ULMTB[15:0]	上限テーブル	未使用 (初期値)
		LLMTB[15:0]	下限テーブル	未使用 (初期値)

レジスタ名	設定値	ビット名	機能	設定内容
ピンレベル自己診断 レベルレジスタ (DSADC00TDLVR) (DSADC10TDLVR)	0x00	AN3NLV	端子レベル自己 診断レベル指定	未使用 (初期値)
		AN3PLV	端子レベル自己 診断レベル指定	未使用 (初期値)
		AN2NLV	端子レベル自己 診断レベル指定	未使用 (初期値)
		AN2PLV	端子レベル自己 診断レベル指定	未使用 (初期値)
		AN1NLV	端子レベル自己 診断レベル指定	未使用 (初期値)
		AN1PLV	端子レベル自己 診断レベル指定	未使用 (初期値)
		AN0NLV	端子レベル自己 診断レベル指定	未使用 (初期値)
		AN0PLV	端子レベル自己 診断レベル指定	未使用 (初期値)
仮想チャネルポインタ レジスタ (DSADC10 VCPTRR) (DSADC21 VCPTRR)	0x00	VCPTR[2:0]	A/D 変換進行中 の仮想チャネル 番号	0 にクリア
AD 変換トリガ 制御レジスタ (DSADC00ADTCR) (DSADC10ADTCR)	0x40	ADSTTE	AD 同期開始 イネーブル	ADSTART 有効
		ENDTRGE	AD 終了トリガ イネーブル	AD 終了トリガ無効
		STTRGE	AD 開始トリガ イネーブル	AD 開始トリガ無効
AD 同期開始制御 レジスタ (DSADCSYNSTCR)	0x01	ADSTART	各 $\Delta \Sigma$ ADC の A/D 変換開始	A/D 変換開始

表 4-9に DFE0 のレジスタ設定例を示します。

表 4-9 DFE0 のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
制御レジスタ A (DFE0CTLACH0)	0x00003000 ↓ 0x00003001	CATAG	カスケード入力用 タグ値	0 (未使用)
		CAEN	カスケード イネーブル	カスケードしない
		CAENL	カスケード イネーブル	カスケードしない
		TAG	チャンネルタグ	0 (AD から入力される AD タグ値と同一の値を 設定)
		CMD	フィルタ処理選択	FIR 32TAP
		IEF	フィルタ終了割り 込み	禁止
		FMT	FIR 入力データ フォーマット	16 ビット固定小数点
		IEP	PH 終了割り込み	禁止
		IEE	エラー割り込み	禁止
		IEC	条件一致割り込み	禁止
		IEO	データ出力 割り込み	禁止
		CNSL	条件一致割り込み 0/1 機能選択	INT_DFE_CND0 : 比較一致割り込み要求 を選択 (未使用) INT_DFE_CND1 : PH 終了割り込み要求 を選択 (未使用)
		CNSLE	CNSL イネーブル	CNSL ビットの設定無効
		AIME	自動初期化	禁止
		EN	チャンネル イネーブル	チャンネル有効

レジスタ名	設定値	ビット名	機能	設定内容
制御レジスタ A (DFE0CTLACH1)	0x000F3010 ↓ 0x000F3011	CATAG	カスケード入力用 タグ値	0 (未使用)
		CAEN	カスケード イネーブル	カスケードしない
		TAG	チャネルタグ	F (AD から入力される AD タグ値と同一の値を 設定)
		CMD	フィルタ処理選択	FIR 32TAP
		FMT	FIR 入力データ フォーマット	16 ビット固定小数点
		IEP	PH 終了割り込み	禁止
		IEE	エラー割り込み	禁止
		IEC	条件一致割り込み	禁止
		IEO	出力データ 割り込み	許可
		CNSL	条件一致割り込み 0/1 機能選択	INT_DFE_CND0 : 比較一致割り込み要求 を選択 (未使用) INT_DFE_CND1 : PH 終了割り込み要求 を選択 (未使用)
		CNSLE	CNSL イネーブル	CNSL ビットの設定無効
		AIME	自動初期化	禁止
		EN	チャネル イネーブル	チャネル有効

レジスタ名	設定値	ビット名	機能	設定内容
制御レジスタ B (DFE0CTLBCH0) (DFE0CTLBCH1)	0x01000002	OFSL	比較オフセット値 α 選択	DFEjCPOFST0 レジスタ値選択 (未使用)
		DISB	PH 処理禁止	PH 処理禁止
		PHPS	PH ピーク タイプ選択	PH 処理は、上限ピークを検出 (未使用)
		CPCS	比較値タイプ選択	DFEjCPA~DFEjCPD は DFEjCTLBCHn.SELB1 によって選択 (未使用)
		PHSLB2	PH 初期値 レジスタ選択	DFEjPHIA レジスタの値が PH 処理の初期値として 選択 (未使用)
		DISA	積算/デシメーション 処理禁止	積算/デシメーション 処理禁止
		PRCSC	出力データレジスタ 浮動小数点変換	浮動小数点変換を実行 しない
		SELB2	PH 初期値 レジスタ選択	PH 処理の初期値に PHIA レジスタの値を 選択 (未使用)
		SELB1	比較対象 レジスタ選択	比較演算対象の値に CPA レジスタの値を 選択 (未使用)
		PRCSB	PH 回路処理選択	PH 処理、比較演算処理 をしない
		HOFS	中間値出力レジスタ 浮動小数点変換	浮動小数点変換を実行 しない
		PICS	PH インデックス レジスタ制御選択	PH インデックス 更新モード
		SELA	積算/デシメーション 回数レジスタ 選択	ACA の値を選択
		PFMT	PH 結果レジスタ 浮動小数点変換	浮動小数点変換を実行 しない (未使用)
		ABS	絶対値演算	絶対値演算しない
		PRCSA	積算回路処理選択	デシメーション処理を 実行する
制御レジスタ C (DFE0CTLCCH0)	0x00000100	CA0E	C-ADC 選択	使用しない
		DAyE	DS-ADC 選択	チャンネル 0 使用する
		SAyE	SAR-ADC 選択	使用しない
制御レジスタ C (DFE0CTLCCH1)	0x00000200	CA0E	C-ADC 選択	使用しない
		DAyE	DS-ADC 選択	チャンネル 1 使用する
		SAyE	SAR-ADC 選択	使用しない
積算/デシメーション 回数設定レジスタ A (DFE0ACA)	0x0000	AC	積算/デシメーション 回数	積算/デシメーション しない

表 4-10に減算回路のレジスタ設定例を示します。

表 4-10 減算回路のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
減算トリガ設定 レジスタ (SUBTRGCH0)	0x00000080	SBFE	減算終了フラグ トリガ設定	生成しない
		SBE	減算開始フラグ トリガ設定	ソフトウェアトリガ によって生成
		SBT	減算開始フラグと 減算終了フラグ タイマトリガ選択	(タイマ未使用)
減算制御レジスタ (SUBCTLCH0)	0x00000013	CATAG	カスケードタグ	(未使用)
		CAEN	カスケード イネーブル	禁止
		MINCH	被減数チャネル 選択	チャネル 0
		SUBCH	減数チャネル 選択	チャネル 1
		SFMT	減算結果 浮動小数点変換	浮動小数点変換しない
		SIEE	減算エラー 割り込み要求	禁止
		SIEO	減算データ出力 割り込み	許可
		SEN	減算チャネル イネーブル	減算処理実行

表 4-11に sDMAC0 のレジスタ設定例を示します。

表 4-11 sDMAC0 のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
DMA チャンネルマスタ 設定レジスタ (DMA0CM_0)	0x00001C00	SPID[4:0]	チャンネルマスタ SPID の設定	SPID=0x1C (sDMAC0)
		UM	チャンネルマスタ の UM 設定	スーパバイザモード
DMA チャンネル制御 レジスタ (DMA0CHCR_0)	0x0000 ↓ 0x0003	DPE	ディスクリプタ イネーブルビット	ディスクリプタ無効
		DPB	ディスクリプタ 開始ビット	レジスタ設定で DMA 転送を開始
		CAEE	チャンネルアドレス エラー通知 イネーブル	アドレスエラー通知 無効
		CAIE	チャンネルアドレス エラー割り込み イネーブル	禁止
		DSIE	ディスクリプタ ステップ終了割り 込みマスタイネー ブル	禁止
		IE	転送終了割り込み イネーブル	禁止 ↓ 許可
		DE	DMA イネーブル	DMA 転送禁止 ↓ DMA 転送許可
DMA ソースアドレス レジスタ (DMA0SAR_0)	(unsigned long) &DFE0.SUB DOCH0.UIN T32	SAR[31:0]	DMA 転送元 アドレス設定	SUBDOCH0 レジスタ のアドレス
DMA ディスティネー ションアドレス レジスタ (DMA0DAR_0)	(unsigned long) &sub_data[0]	DAR[31:0]	DMA 転送先 アドレス設定	減算結果格納用 配列変数 sub_data [0]の アドレス
DMA 転送サイズ レジスタ (DMA0TSR_0)	0x00000190	TSR[31:0]	DMA 転送サイズ の設定	400byte (=4byte × 100 回)

レジスタ名	設定値	ビット名	機能	設定内容
DMA 転送モード レジスタ (DMA0TMR_0)	0x00001422	SLM[3:0]	DMA 転送 低速モード	通常モード
		PRI[3:0]	チャンネル要求 優先度設定	チャンネル要求の 優先順位無効
		TRS	転送要求元	ハードウェア要求
		DM[1:0]	ディスティネーシ ョンアドレスカウ ント方向	インクリメント
		SM[1:0]	ソースアドレス カウント方向	固定
		DTS[3:0]	DMA ディスティ ネーショントラ ンザクションサイ ズ	4byte 転送
		STS[3:0]	DMA ソーストラ ンザクションサイ ズ	4byte 転送
DMA リソース選択 レジスタ (DMA0RS_0)	0x00010014	TC[15:0]	ハードウェア要求 ごとの転送回数	1 回
		TL[2:0]	ハードウェア要求 ごとの転送制限	DMAjTMR_n.STS × DMAjRS_n.TC
		FPT	ファーストプリロ ードトリガ	(未使用)
		PLE	プリロード イネーブル	禁止
		DRQI	DMA 要求の 初期化	DRQ (Hardware request status) 初期化禁止
		RS[7:0]	ハードウェア DMA 転送要因 選択	減算データ出力 割り込み INTDFE0SUBOUT0 (group 0-20)
DMA チャンネルフラグ クリアレジスタ (DMA0CHFCR_0)	0x0000320F	OVFC	ハードウェア転送 要求オーバフロー フラグクリア	クリア
		DRQC	ハードウェア転送 要求のクリア	クリア
		DPEC	ディスクリプタ 有効クリア	クリア
		CAEC	アドレスエラー フラグクリア	クリア
		DSEC	ディスクリプタス テップ終了フラグ クリア	クリア
		TEC	転送完了フラグ クリア	クリア
		DEC	DMA イネーブル クリア	クリア

レジスタ名	設定値	ビット名	機能	設定内容
DMA 動作レジスタ (DMA0OR)	0x0001	PR[1:0]	チャンネル間の優先順位	CH0> CH1> ... > CH14> CH15
		DME	DMA マスタ イネーブル	全チャンネルの DMA 転送 有効

表 4-12に INTC2 のレジスタ設定例を示します。

表 4-12 INTC2 のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
EI レベル割り込み バインドレジスタ (EIBD506) (EIBD70)	0x00000000	CST	ブロードキャスト 割り込みイネーブル	禁止
		BCP[1:0]	ブロードキャスト 割り込みポート番号の設定	(未使用)
		PEID[2:0]	割り込みをバインド (要求) する先を指定	PE0 (CPU0)
EI レベル割り込み 制御レジスタ (EIC506) (EIC70)	0x0040	EICTn	割り込みチャンネル タイプビット	(リードのみ可能)
		EIRFn	割り込み要求 フラグ	(リードのみ可能)
		EIMKn	割り込みマスク ビット	割り込み処理を許可
		EITBn	割り込みベクタ 方式選択	テーブル参照方式
		EIPn	割り込み優先度の 指定	0 (最高優先度)

4.4.5 動作フロー

図 4-3に本応用例のソフトウェア動作フローを示します。

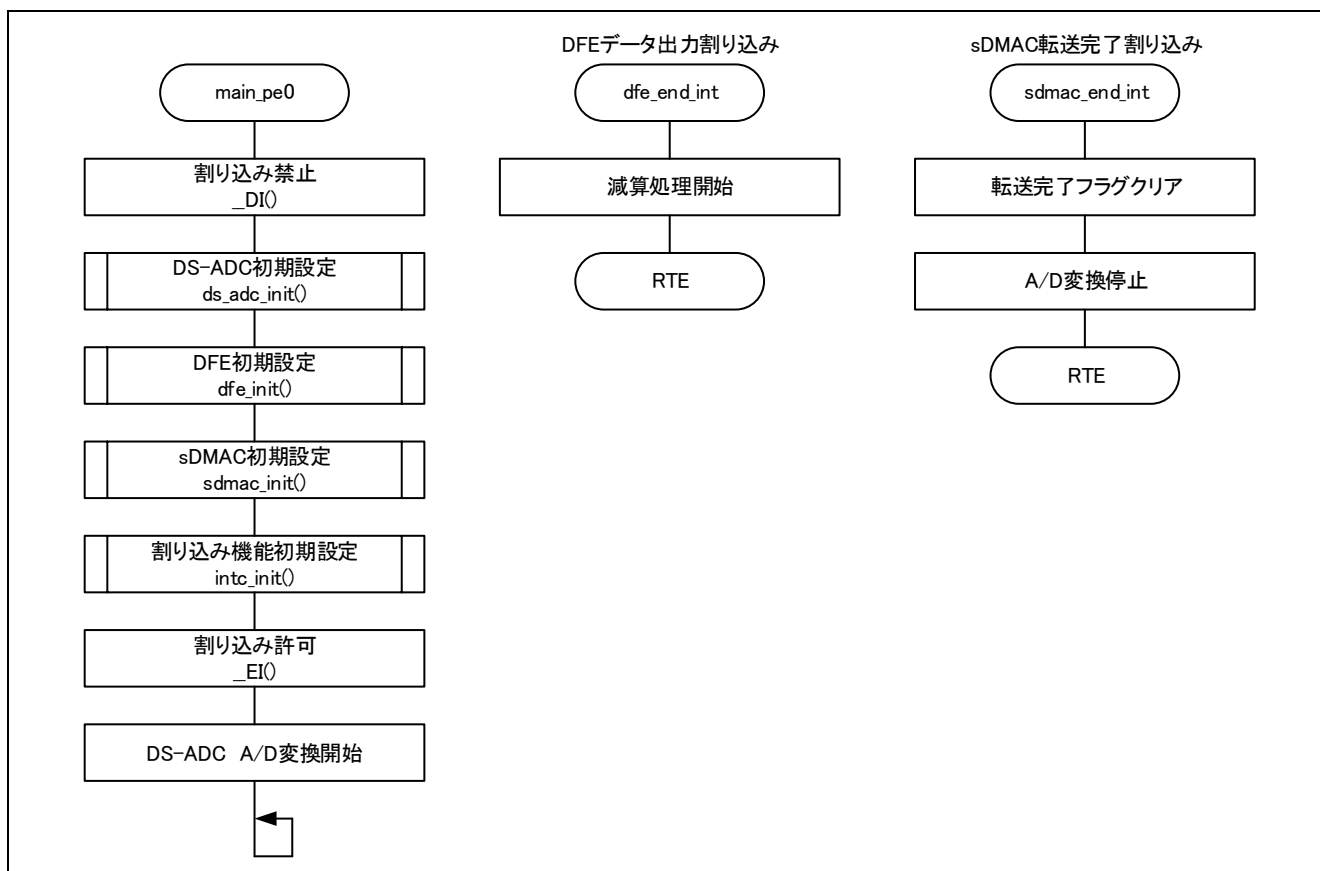


図 4-3 ソフトウェア動作フロー

5. デジタルフィルタ診断例

5.1 仕様

本診断例では、ソフトウェアにて生成した sin 波形のデータを DFE へ入力し、その出力結果を Local RAM に格納します。そして、当該出力結果を DFE 変換結果期待値と比較し、期待通りの結果が得られたか確認することで DFE の診断を行います。

本診断例の仕様を以下に示します。

- ・ DFE は、内蔵の FIR フィルタにより構成したバンドパスフィルタによって入力データのフィルタ処理を行います（Tap 数：32）。
- ・ FIR フィルタの設定に使用するフィルタ係数及びデータは、DFE 内の RAM（係数メモリ及びデータメモリ）に格納します。
- ・ DFE へ入力する診断用データ例として、30kHz の sin 波形をサンプリングレート 100kHz で 300 回分サンプリングしたデータを使用します。波形データはソフトウェアで生成し、Local RAM に保存します。
- ・ DFE のフィルタ処理結果は、デシメーション処理を行いません。
- ・ DFE の入力データは、CPU でソフトウェア入力レジスタ（DI）に書き込みます。次の入力データを DI に書き込むことができるかどうかは、ステータスレジスタ（STCH0）の VALID ビットで判断します。
- ・ DFE の出力結果は、CPU で出力データレジスタ（DOCH0）から読み出し、Local RAM に保存します。次の出力結果が DOCH0 に書き込まれたかどうかは、ステータスレジスタ（STCH0）の DOEN ビットで判断します。
- ・ Local RAM に保存した DFE 出力結果と ROM 領域に予め用意した期待値と比較します。比較対象となるデータは、『5.5DFE出力結果期待値』を参照してください。
- ・ 出力データフォーマット：32 ビット符号付固定小数点数

表 5-1に本診断例の診断対象とするフィルタ仕様例を示します。

表 5-1 フィルタ仕様例

項目	内容
構成フィルタ	バンドパスフィルタ
サンプリング周波数 f_s	100ksps
低域カットオフ周波数 f_L	5kHz
高域カットオフ周波数 f_H	15kHz
通過域リップル R_p	1dB
阻止域減衰量 A_p	25dB

図 5-1にシステム構成図を示します。

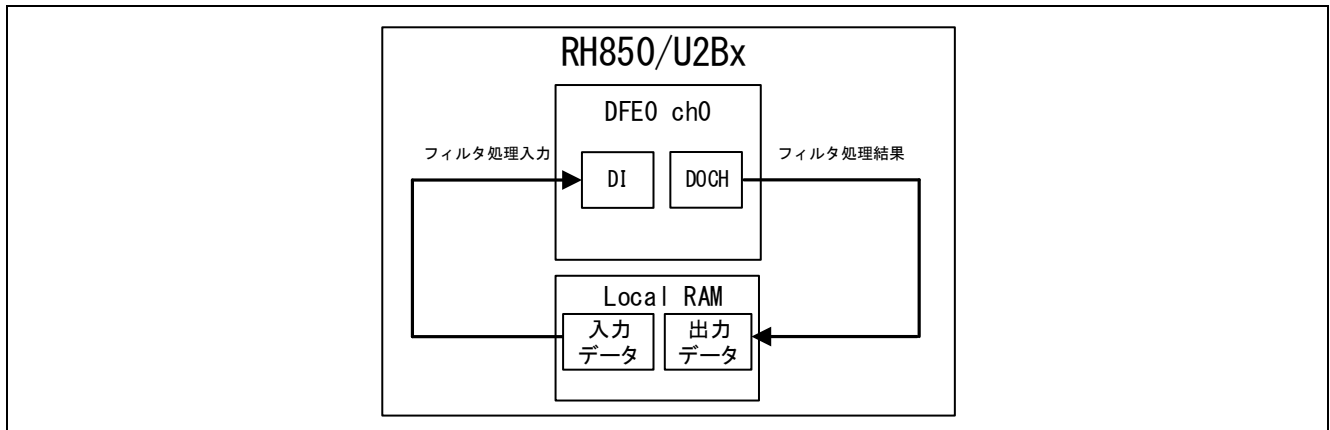


図 5-1 システム構成図

5.1.1 使用機能

本アプリケーションノートで使用する RH850/U2Bx のハードウェア機能を以下に示します。

- デジタルフィルタ (DFE) 内部の FIR フィルタによりバンドパスフィルタを構成し、ソフトウェア入力値にフィルタ処理を施します。

5.2 応用例の説明

5.2.1 動作説明

一連の動作をハードウェア処理及びソフトウェア処理に分けて説明します。

(1) ソフトウェア処理

- ①割り込み禁止
- ②DFE 機能初期化
- ③割り込み許可
- ④DFE 入力データ生成
- ⑤ソフトウェア入力データレジスタに DFE 入力データを書き込む
- ⑥出力データレジスタのデータを読み込む
- ⑦上記⑤⑥の処理を 300 回繰り返す
- ⑧DFE 出力データと期待値データを比較

(2) DFE0 ch0 処理

- ①DFE0 ch0 ヘソフトウェア入力データレジスタからデータが与えられることによりフィルタ処理を開始します。
- ②DFE0 ch0 の処理が完了したならば出力データレジスタから出力結果を読み込みます。

5.2.2 使用機能の動作条件

DFE の動作条件は『1.2.2使用機能の動作条件』表 1-3を参照してください。

5.3 モジュール設定

5.3.1 DFE 設定

DFE 設定は『1.3.1DFE設定』を参照してください。

係数メモリ設定

表 5-2に診断対象のフィルタ（表 5-1）のフィルタ係数を示します。

表 5-2 フィルタ係数例

TAP 番号 (n)	フィルタ係数 (16 ビット固定小数点フォーマット表記)
0	1184
1	710
2	674
3	106
4	-826
5	-1391
6	-1051
7	-194
8	90
9	-916
10	-2706
11	-3798
12	-2888
13	76
14	3770
15	6288
16	6288
17	3770
18	76
19	-2888
20	-3798
21	-2706
22	-916
23	90
24	-194
25	-1051
26	-1391
27	-826
28	-106
29	674
30	-710
31	1184

5.4 ソフトウェア説明

5.4.1 関数説明

表 5-3に本応用例の使用関数を示します。

表 5-3 関数説明

関数名	ラベル名	処理内容
メイン関数	main_pe0	各関数の呼び出し DFE 入力データを書き込み、出力データを読み込みます。そして、出力データと期待値データを比較します。
DFE 機能初期化関数	dfe_init	DFE0 ch0 の初期設定を行います。
DFE 入力データ作成関数	DFE_Input_data	DFE0 へ入力するデータを作成します。

5.4.2 使用 define 宣言説明

表 5-4に本応用例で使用する define 宣言の説明を示します。

表 5-4 使用 define 宣言の説明

ラベル名	機能	設定値	使用関数名
TAP_NUM	FIR フィルタの TAP 数を示します。	32	dfe_init
PLOT_NUM	周波数(30kHz)においてサンプリングする回数を示します。	300	main_pe0、 DFE_Input_data
DI_TIMEOUT_CNT	ソフトウェア入力データレジスタ書き込みタイムアウト、または、出力データレジスタの読み込みタイムアウトカウントを示します。	32	main_pe0
DFE_CHECK_INDEX_TOP	データ比較対象となる周波数(30kHz)の比較開始インデックスを示します。	31	main_pe0
DFE_CHECK_INDEX_LAST	データ比較対象となる周波数(30kHz)の比較終了インデックスを示します。	300	main_pe0

5.4.3 使用変数説明

表 5-5に本応用例で使用する変数の説明を示します。

表 5-5 使用変数の説明

ラベル名	機能	データ長	使用関数名
*cmem0[TAP_NUM/2]	DFE0 ch0 の係数メモリを示すポインタ変数です。	unsigned long	dfe_Init
input_data[PLOT_NUM]	DFE の入力データを格納します。	signed short	main_pe0、 DFE_Input_data
smp_data[PLOT_NUM]	DFE の出力結果を格納します。	signed long	main_pe0
DFE_TimeoutFlag	ソフトウェア入力データレジスタ書き込み タイムアウト、または、出力データレジスタ の読み込みタイムアウトが発生したかどうかを示します。 0=タイムアウト未発生 1=タイムアウト発生	int	main_pe0
DFE_TestNgFlag	DFE 出力データと期待値データとを比較し、一致したかどうかを示します。 0=結果一致 1=不一致	int	main_pe0
DfeCompCheckData[PLOT_NUM]	DFE 出力データの期待値	signed long	main_pe0

5.4.4 レジスタ説明

表 5-6に DFE0 のレジスタ設定例を示します。

表 5-6 DFE0 のレジスタ設定例

レジスタ名	設定値	ビット名	機能	設定内容
制御レジスタ A (DFE0CTLACH0)	0x00003000 ↓ 0x00003001	CATAG	カスケード入力用 タグ値	0 (未使用)
		CAEN	カスケード イネーブル	カスケードしない
		CAENL	カスケード イネーブル	カスケードしない
		TAG	チャネルタグ	0 (AD から入力される AD タグ値と同一の値を 設定)
		CMD	フィルタ処理選択	FIR 32TAP
		IEF	フィルタ終了割り 込み	禁止
		FMT	FIR 入力データ フォーマット	16 ビット固定小数点
		IEP	PH 終了割り込み	禁止
		IEE	エラー割り込み	禁止
		IEC	条件一致割り込み	禁止
		IEO	データ出力 割り込み	禁止
		CNSL	条件一致割り込み 0/1 機能選択	INT_DFE_CND0 : 比較一致割り込み要求 を選択 (未使用) INT_DFE_CND1 : PH 終了割り込み要求 を選択 (未使用)
		CNSLE	CNSL イネーブル	CNSL ビットの設定無効
		AIME	自動初期化	禁止
		EN	チャネル イネーブル	チャネル有効

レジスタ名	設定値	ビット名	機能	設定内容
制御レジスタ B (DFE0CTLBCH0)	0x01000002	OFSL	比較オフセット値 α 選択	DFEjCPOFST0 レジスタ値選択 (未使用)
		DISB	PH 処理禁止	PH 処理禁止
		PHPS	PH ピーク タイプ選択	PH 処理は、上限ピークを検出 (未使用)
		CPCS	比較値タイプ選択	DFEjCPA~DFEjCPD は DFEjCTLBCHn.SELB1 によって選択 (未使用)
		PHSLB2	PH 初期値 レジスタ選択	DFEjPHIA レジスタの値が PH 処理の初期値として選択 (未使用)
		DISA	積算/デシメーション処理禁止	積算/デシメーション処理禁止
		PRCSC	出力データレジスタ浮動小数点変換	浮動小数点変換を実行しない
		SELB2	PH 初期値 レジスタ選択	PH 処理の初期値に PHIA レジスタの値を選択 (未使用)
		SELB1	比較対象 レジスタ選択	比較演算対象の値に CPA レジスタの値を選択 (未使用)
		PRCSB	PH 回路処理選択	PH 処理、比較演算処理をしない
		HOFS	中間値出力レジスタ浮動小数点変換	浮動小数点変換を実行しない
		PICS	PH インデックス レジスタ制御選択	PH インデックス更新モード
		SELA	積算/デシメーション回数レジスタ選択	ACA の値を選択
		PFMT	PH 結果レジスタ浮動小数点変換	浮動小数点変換を実行しない (未使用)
		ABS	絶対値演算	絶対値演算しない
		PRCSA	積算回路処理選択	デシメーション処理を実行する
積算/デシメーション回数設定レジスタ A (DFE0ACA)	0x0000	AC	積算/デシメーション回数	積算/デシメーションしない

5.4.5 動作フロー

図 5-2に本応用例のソフトウェア動作フローを示します。

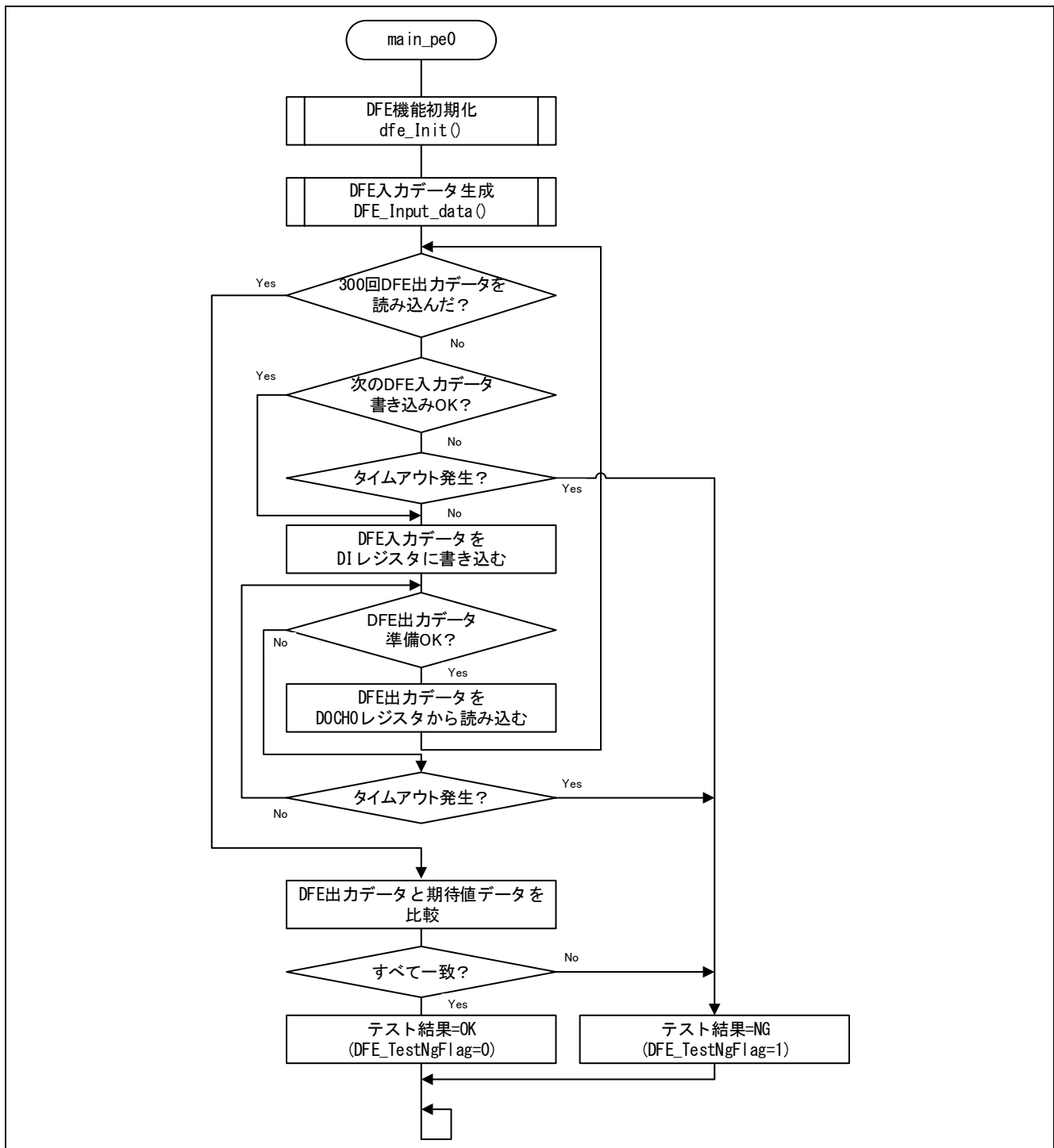


図 5-2 ソフトウェア動作フロー

5.5 DFE 出力結果期待値

表 5-7に DFE 出力結果と比較する期待値データ(300 個)を示します。尚、DFE 処理は 32Tap で行うため、先頭から 31 データは比較対象外となります（灰色部分のデータ）。

表 5-7 DFE 出力結果期待値

サンプリング No	値	サンプリング No	値	サンプリング No	値
0	-72131792	100	-57788148	200	-57783856
1	-94494326	101	-14393204	201	-14444528
2	-67542428	102	66676232	202	66667424
3	107083196	103	-26816292	203	-26789104
4	31568164	104	-50104504	204	-50118068
5	-123687902	105	57784480	205	57788324
6	-35078956	106	14393704	206	14454672
7	15502210	107	-66679606	207	-66664670
8	-30376402	108	26812996	208	26788012
9	102890254	109	50102362	209	50121550
10	92405796	110	-57793976	210	-57788742
11	30779454	111	-14411952	211	-14457930
12	46637858	112	66666368	212	66659772
13	-136766916	113	-26820578	213	-26793460
14	-181851058	114	-50107112	214	-50135232
15	-28606986	115	57796882	215	57778998
16	-46252040	116	14419948	216	14447346
17	-39636494	117	-66662572	217	-66665016
18	154673508	118	26824344	218	26793884
19	108498900	119	50113204	219	50137212
20	-71152772	120	-57792066	220	-57768366
21	26230710	121	-14415226	221	-14438598
22	57034702	122	66665164	222	66674510
23	-94346820	123	-26818664	223	-26783392
24	23584550	124	-50107912	224	-50133078
25	144115084	125	57790842	225	57770046
26	-66333764	126	14410950	226	14444530
27	-82141448	127	-66672168	227	-66673744
28	118596606	128	26808220	228	26780680
29	-42429198	129	50105700	229	50137996
30	-36290204	130	-57788396	230	-57766528
31	-14401328	131	-14411484	231	-14445736
32	66655384	132	66675256	232	66670738
33	-26832700	133	-26812804	233	-26791546
34	-50115698	134	-50114174	234	-50149444
35	57774654	135	57784786	235	57759404
36	14401060	136	14417556	236	14443396
37	-66660020	137	-66665002	237	-66673654
38	26819750	138	26820096	238	26780784
39	50102092	139	50118078	239	50136990
40	-57787154	140	-57784280	240	-57765824
41	-14408216	141	-14421456	241	-14444136
42	66660920	142	66662458	242	66681580
43	-26814080	143	-26816484	243	-26761508

44	-50087148	144	-50118506	244	-50124068
45	57800180	145	57781924	245	57775864
46	14415932	146	14415364	246	14456144
47	-66659600	147	-66670384	247	-66679830
48	26806348	148	26804040	248	26769184
49	50085912	149	50116728	249	50132346
50	-57799344	150	-57778134	250	-57768206
51	-14412200	151	-14417454	251	-14457650
52	66658912	152	66675230	252	66665380
53	-26812914	153	-26806492	253	-26779854
54	-50099836	154	-50120454	254	-50151942
55	57784162	155	57779292	255	57745396
56	14404480	156	14419024	256	14447856
57	-66654662	157	-66669068	257	-66666028
58	26827552	158	26812332	258	26769934
59	50113996	159	50130956	259	50147096
60	-57770786	160	-57773540	260	-57729256
61	-14400968	161	-14418404	261	-14444078
62	66652354	162	66670904	262	66664952
63	-26832144	163	-26813552	263	-26760130
64	-50118694	164	-50125468	264	-50139292
65	57765876	165	57774348	265	57733074
66	14394928	166	14420368	266	14462120
67	-66661310	167	-66671620	267	-66644942
68	26826764	168	26802944	268	26756008
69	50118058	169	50117200	269	50133068
70	-57765428	170	-57786560	270	-57732542
71	-14387468	171	-14437008	271	-14473880
72	66672792	172	66665332	272	66635342
73	-26818510	173	-26800348	273	-26748346
74	-50116178	174	-50115972	274	-50124044
75	57767492	175	57790430	275	57728004
76	14388500	176	14438890	276	14475760
77	-66670104	177	-66666336	277	-66634908
78	26827026	178	26807556	278	26733178
79	50115804	179	50128204	279	50116110
80	-57774728	180	-57777594	280	-57718896
81	-14399622	181	-14426332	281	-14470824
82	66661296	182	66671862	282	66639798
83	-26837572	183	-26806100	283	-26729490
84	-50113274	184	-50133016	284	-50114890
85	57786426	185	57766942	285	57717240
86	14410326	186	14422494	286	14455408
87	-66656156	187	-66671768	287	-66644066
88	26837856	188	26801292	288	26735284
89	50108096	189	50134212	289	50115036
90	-57793716	190	-57773064	290	-57720684
91	-14413484	191	-14437436	291	-14444212
92	66658782	192	66662932	292	66636046
93	-26833590	193	-26802472	293	-26746750
94	-50105532	194	-50131482	294	-50111774
95	57794478	195	57782002	295	57727084

96	14407182	196	14445676	296	14456188
97	-66668414	197	-66663280	297	-66619834
98	26822438	198	26800548	298	26766346
99	50107684	199	50126300	299	50108932

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2022.05.26	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部ROM、レイアウトパターンの相違などにより、電气的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>