

RH850/U2A-EVA Group

MSPI アプリケーションノート

要旨

本アプリケーションノートでは、ルネサスエレクトロニクスの自動車向けシングルチップマイクロコンピュータ RH850/U2A シリーズ(以降、U2A と称す)における Multichannel Serial Peripheral Interface(MSPI)機能について説明します。

本資料およびプログラムは、RH850/U2A 搭載機能の理解促進を意図するものであり、量産設計を対象とするものではありません。

また、最新のマニュアル、正誤表、テクニカルアップデートや、開発環境の更新を反映しておりません。該当機能を使用される場合には、本プログラムは参考として扱い、最新のドキュメントや開発環境にて、お客様の責任において行ってください。

対象デバイス

- RH850/U2A-EVA Group

対象統合開発環境

CS+(ルネサスエレクトロニクス社製)

バージョン : V8.07.00

デバイスファイル : DR7F702300.DVF

DR7F702301.DVF

DR7F702302.DVF

参照文書

RH850/U2A-EVA ユーザーズマニュアル ハードウェア編

デバイスの機能詳細及び電気的特性に関してはユーザーズマニュアル ハードウェア編に記載します。

本アプリケーションノートは以下のマニュアルを参照し作成しております。

- ・ RH850/U2A-EVA User's Manual (Rev1.20): R01UH0864EJ0120

目次

1. 適用.....	3
2. 概要.....	4
2.1 機能概要.....	4
2.2 ブロック図.....	5
3. 動作例.....	6
3.1 同一チャネルでの外部ループバック通信.....	7
3.1.1 仕様概要.....	7
3.1.2 システム構成.....	8
3.1.1 ソフトウェア説明.....	8
3.2 2ユニット間での外部ループバック通信.....	12
3.2.1 仕様概要.....	12
3.2.2 システム構成.....	13
3.2.3 ソフトウェア説明.....	14
3.3 フレーム通信中の割り込み通信.....	19
3.3.1 仕様概要.....	19
3.3.2 システム構成.....	22
3.3.3 ソフトウェア説明.....	23
3.4 CRC 付き 2 チャネル間でのフレーム通信.....	31
3.4.1 仕様概要.....	31
3.4.2 システム構成.....	34
3.4.3 ソフトウェア説明.....	35

1. 適用

本アプリケーションノートでは RH850/U2A の MSPI の動作例を掲載しています。

2. 概要

2.1 機能概要

U2A の MSPI は以下の機能があります。

- 三線式シリアル同期データ転送
- マスタモードとスレーブモード選択
- マルチスレーブ設定により最大 8 つのチップセレクト出力信号を設定可能
- マスタ/スレーブの最大転送速度：
 - LVDS モード：最大 40MHz(MSPI0-1) 注¹
 - シングル・エンド・モード：最大 20MHz(MSPI0-5)、最大 10MHz(MSPI6-9) 注²
- チャンネル毎のクロックとデータの位相選択
- チャンネル毎の MSB/LSB データ転送
- 転送制御チャンネル：ユニット毎に最大 8 個
- チャンネルの転送データ長は 1 ビット単位で 2~128 ビットまで選択可能
- 3 つの転送モード
 - 送信専用モード
 - 受信専用モード
 - 送受信モード
- エラー検出
 - パリティエラー
 - データ一貫性エラー
 - オーバライトエラー
 - オーバリードエラー
 - オーバランエラー
- AUTOSAR 用の JOB のサポート
- AUTOSAR 用の JOB 有効制御
- 自己診断用 LBM(Loop Back Mode)
- 強制チップセレクトアイドル設定
- マスタモードのみ Safe-SPI ver1.00 サポート
- 4 つの割り込み要求
 - 通信ステータス
 - 受信ステータス
 - 通信エラー
 - ジョブ完了
- 3 つの DMA 要求
 - 通信ステータス
 - 受信ステータス
 - ジョブ完了

- 受信サンプリングポイント
 - 受信サンプリングポイントは次のシリアルクロックのエッジにシフト可能

注1. U2A6 の MSPI0 は LVDS モードをサポートしません。

注2. 選択した I/O PORT によっては前述のユニットの最大転送速度を下回る場合があります。各ユニットで選択できる PORT と PORT の最大転送速度の詳細は RH850/U2A-EVA User's Manual 19.1.9 Combination of Pin and Port と 55.3.10.1 MSPI Communication Speed Overview を参照ください。

2.2 ブロック図

以下に MSPI のブロック図を示します。

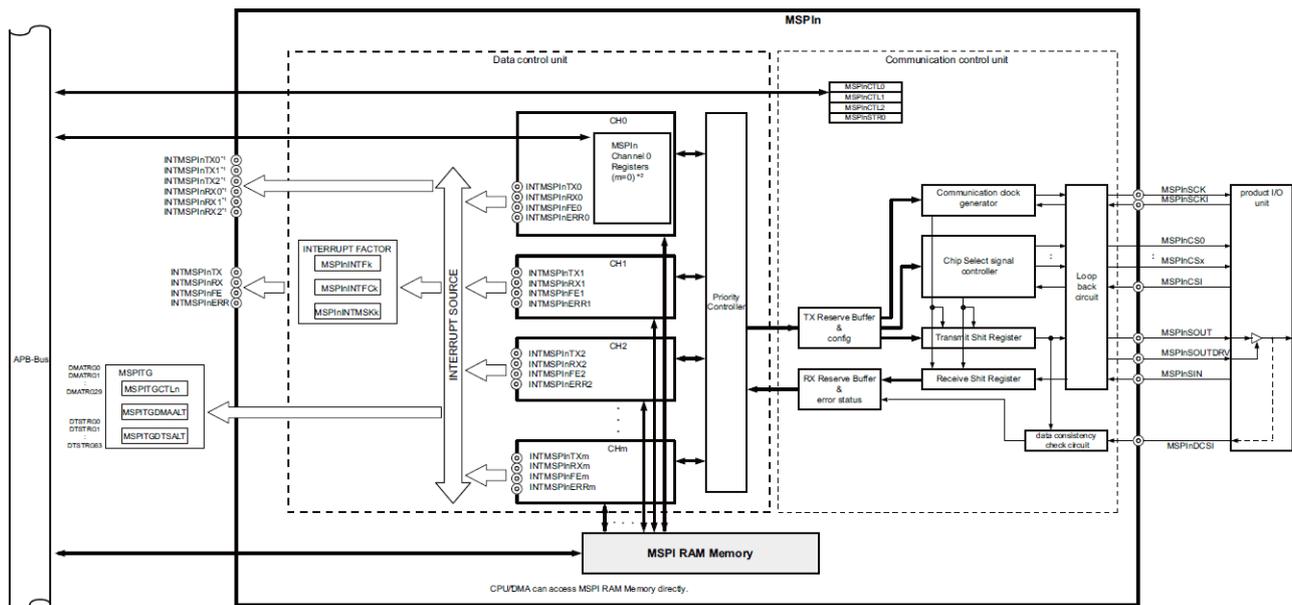


図 2-1 MSPI ブロック図

注1. MSPI0 と MSPI1 専用の割り込みです。詳細は RH850/U2A-EVA User's Manual Figure 19.1 MSPI0-1 Interrupt Connection Image を参照ください。

注2. 詳細は RH850/U2A-EVA User's Manual Table 19.17 List of Channel m Register を参照ください。

3. 動作例

本稿では以下の MSPI の動作例を説明します。本動作例にない MSPI のレジスタ、ビット設定はリセット後の値が設定されているものとします。

表 3-1 動作例一覧

動作例	ユニット/チャンネル	通信開始トリガ	動作モード	メモリモード
3.1 同一チャンネルでの外部ループバック通信	MSPI0 ch0 (マスタ)	SW	送受信	ダイレクトメモリ
3.2.2 ユニット間での外部ループバック通信	MSPI0 ch0 (マスタ)	SW	送受信	ダイレクトメモリ
	MSPI1 ch0 (スレーブ)	—	送受信	ダイレクトメモリ
3.3 フレーム通信中の割り込み通信	MSPI0 ch0 (マスタ)	SW	送受信	固定 FIFO メモリ
	MSPI0 ch1 (マスタ)	HW	送受信	固定 FIFO メモリ
	MSPI1 ch0 (スレーブ)	—	送受信	固定 FIFO メモリ
	MSPI2 ch0 (スレーブ)	—	送受信	固定 FIFO メモリ
3.4 CRC 付き 2 チャンネル間でのフレーム通信	MSPI0 ch0 (マスタ)	SW	送受信	ダイレクトメモリ
	MSPI1 ch0 (スレーブ)	—	送受信	ダイレクトメモリ

3.1 同一チャネルでの外部ループバック通信

3.1.1 仕様概要

本動作例では MSPI の同一チャネルでの外部ループバック通信を行います。ここでは 128 ビットのデータを 4 回に分けて送受信します。また、送信と同時に 128 ビットのデータを 4 回に分けて受信します。

- MSPI0 のデータ出力信号 MSPI0SO とデータ入力信号 MSPI0SI を接続します。
- MSPI0 チャネル 0 はマスタで使用し、データ転送モードは送受信モード(MSPI0CFG00.TXE0 = 1 かつ MSPI0CFG00.RXE= 1)に設定します。ボーレートは 10Mbps に設定します。
- フレーム長は 32 ビット(MSPI0CFG02.FLEN0=0x20)、フレームカウントは 4 回 (MSPI0CFSET0.CFSET0=4)に設定します。
- メモリモードはダイレクトメモリモードを設定します。
- 送信データを送信データレジスタ MSPI0TXDA00 レジスタに書き込むことで通信が開始します。送信データレジスタの書き込みは INTMSPI0TX0 割り込み発生時に行います。
- データ受信後、受信したデータを受信データレジスタ MSPI0RXDA00 からリードします。受信データレジスタのリードは INTMSPI0RX0 割り込み発生時に行います。
- 最後のデータ受信後、INTMSPI0FE0 割り込み発生時に通信を終了します。
- 本動作例では INTMSPI0TX0 割り込みは MSPI0INTF0 レジスタ、INTMSPI0RX0 割り込みは MSPI0INTF1 レジスタ、INTMSPI0FE0 割り込みは MSPI0INTF2 レジスタで確認します。

通信シーケンスの詳細は RH850/U2A-EVA User's Manual Figure 19.41 Transmission/Reception in the Master-Direct Memory Mode を参照してください。

3.1.2 システム構成

図 3-1 にシステム構成を示します。

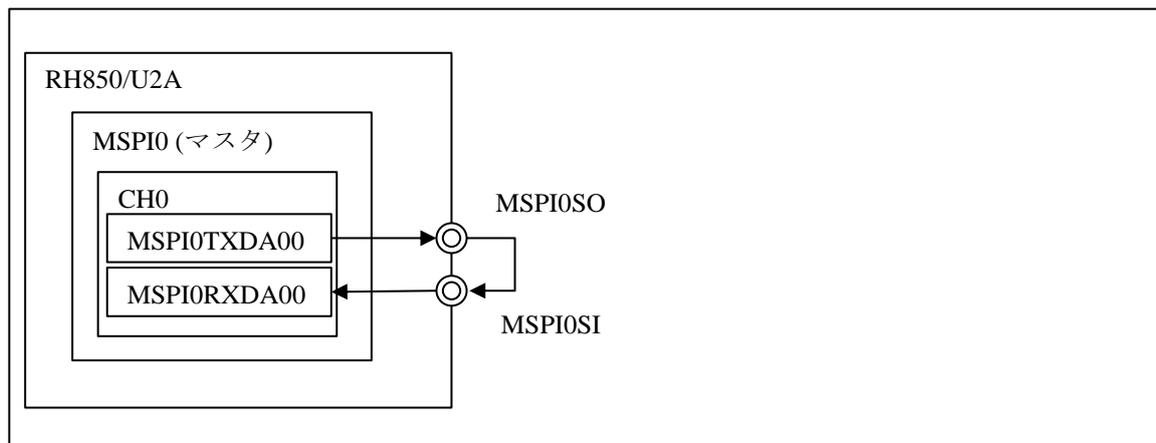


図 3-1 システム構成

3.1.1 ソフトウェア説明

3.1.1.1 モジュール説明

以下に、本動作例のモジュール一覧を示します。

表 3-2 モジュール

モジュール名	関数名	機能
MSPI 初期化ルーチン	mspi_init	MSPI を初期化します。
MSPI アクティベート	mspi0_ch0_activate	MSPI0 CH0 を有効にします。
MSPI 通信ルーチン	mspi0_ch0_communicate	MSPI0 CH0 のデータを送受信します。

3.1.1.2 レジスタ設定

以下に、本動作例での各機能のレジスタ初期設定を示します。

(a) MSPIO 初期設定

表 3-3 MSPIO 初期設定

レジスタ名	ビット名	設定値	機能
MSPIOCTL1	MSSEL	0	Master mode
	CSIE	0	In the master mode (MSPInMSSEL=0), MSPInCSIE must be set to 0.
	SAMP	1	The sampling timing of Master receive is next edge sampling point of SPI protocol.
	CKR	0	The default level of MSPInSCK is low.
	SOLS	0	Set MSPInSOUT to low after macro enable, and holds the level after each transfer.
	CSP	0	The MSPInCS signal is active low.
MSPIOCTL2	DCS	0	Disables the data consistency check.
	LBM	0	Disables the loop-back mode.
MSPIOCTL0	EN	1	Enables the MSPIn function.

(b) MSPIO CH0 初期設定

表 3-4 MSPIO CH0 初期設定

レジスタ名	ビット名	設定値	機能
MSPIOCFG00	TXE0	1	Transmission enabled.
	RXE0	1	Reception enabled.
	MD0	0	Direct memory mode
	PRIO0	7	Channel priority level 8(Lowest priority) (default)
	LOCK0	0	Disables the channel m lock operation.
	FCCE0	0	When a last frame ends, MSPInCHENm is cleared and the channel operation ends.
	IERE0	1	Enables the interrupt output.
	IFEE0	1	Enables the interrupt output.
	IRXE0	1	Enables the interrupt output.
	ITXE0	1	Enables the interrupt output.
MSPIOCFG01	CPOLO	0	MSPInSCK is low during idle time.
	CPHA0	1	Shifting bits out for transmission takes place on odd-numbered edges, and sampling for reception takes place on even-numbered edges.
	DIR0	0	Data is transmitted/received with MSB first.
	ICLS0	0	MSPInCS level is inactive for idle time.
	FIDL0	0	The idle time is not inserted each end of a frame.
	CSRI0	1	MSPInCS returns to the inactive level.
	SAFCM0	0	Does not mask the CRC error of the first frame.
	SAFS0	0	In-frame format

レジスタ名	ビット名	設定値	機能
	SAFE0	0	Disables Safe SPI protocol function
	PS0	0	Transmission: Adds odd parity, Reception: Odd parity bit is expected.
	DECHK0	0	No parity check
MSPI0CFG02	FLEN0	0x20	32 bits (default)
MSPI0CFG03	PRCS0	0	MSPInSCK baud rate = $\frac{MSPInCLK}{4^{PRCSm} \times CDIVm \times 2} = 10\text{MHz}$
	CDIV0	4	
MSPI0CFG04	HWTS0	0	HW trigger disabled. (Only SW trigger is effective)
	SIZE0	0	Set MSPInSIZEm[1:0] to 00 in the direct memory mode or the fixed buffer memory mode.
MSPI0SEUP0	SEUP0	2	MSPInSCK delay time = MSPInSEUPm [11: 0] × MSPInCLK.
MSPI0HOLD0	HOLD0	1	MSPInCS negation delay time = MSPInHOLDm [11: 0] × MSPInCLK
MSPI0IDLE0	IDLE0	1	MSPInCS[7: 0] next frame time = MSPInIDLEm [11: 0] × MSPInCLK.
MSPI0INDA0	INDA0	8	MSPInCS[7: 0] next frame time = MSPInINDAm [11: 0] × MSPInCLK.
MSPI0CFSET0	CFSET0	4	These bits set the number of frame count.
MSPI0SSEL0	JOBEN0	0	Job ends with this frame. After this frame the channel with a higher priority can transfer data.
	CSR0	1	Activates MSPInCS0 Deactivates MSPInCS[7:1]

3.1.1.3 動作フロー

以下に、本動作例のフローチャートを示します。

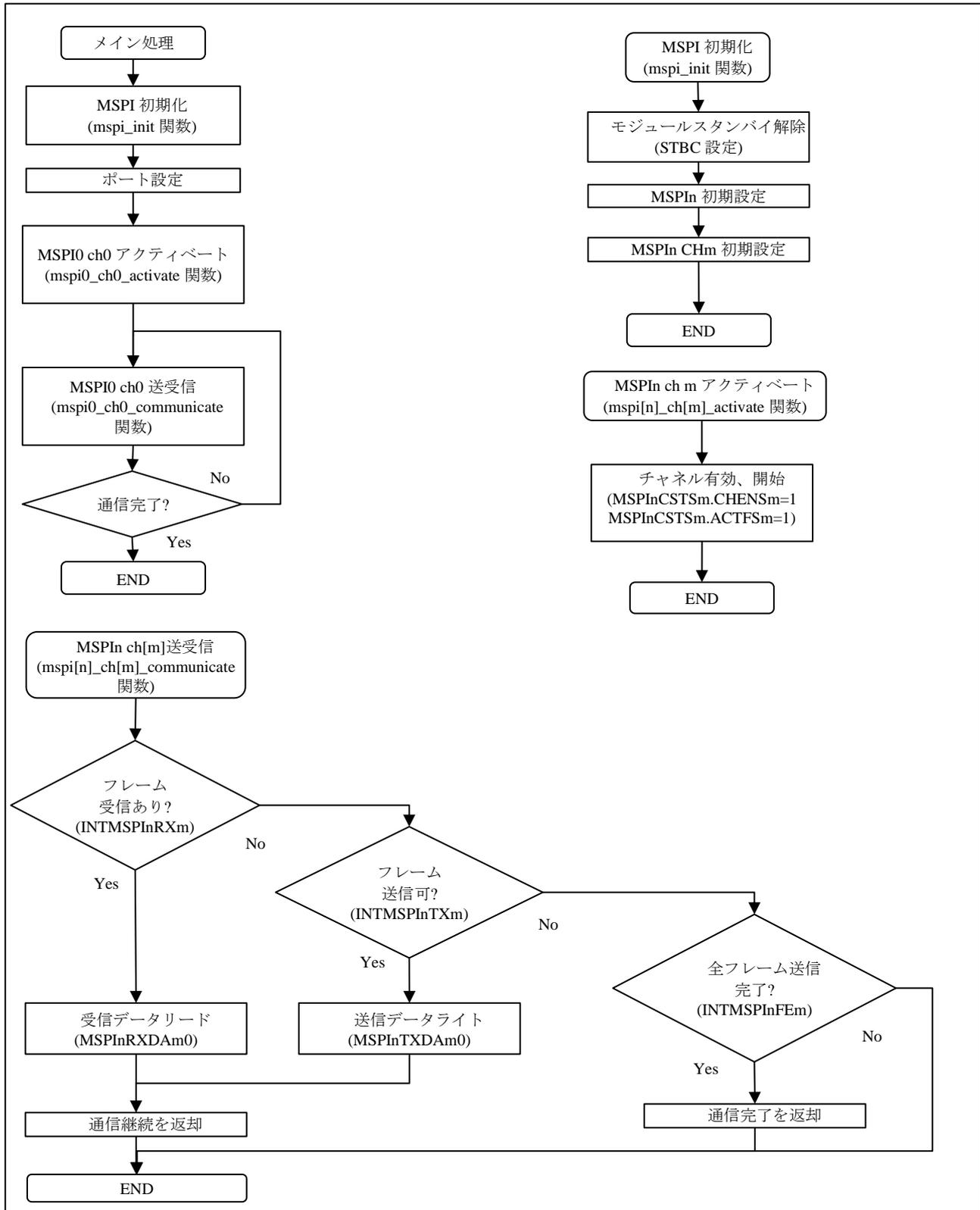


図 3-2 フローチャート

フローチャートの詳細は RH850/U2A-EVA User's Manual Figure 19.45 Master Transmission/Reception Operating Procedure in Direct Memory Mode を参照してください。

3.2 2 ユニット間での外部ループバック通信

3.2.1 仕様概要

本動作例では MSPI の 2 ユニット間での外部ループバック通信を行います。ここでは 128 ビットのデータを 4 回に分けて送信します。また、送信と同時に 128 ビットのデータを 4 回に分けて受信します。

- MSPI0 チャンネル 0 をマスタ、MSPI1 チャンネル 0 をスレーブで使用します。
- MSPI0 と MSPI1 の各端子(データ出力信号 MSPI0SO とデータ入力信号 MSPI1SI、データ入力信号 MSPI0SI とデータ出力信号 MSPI1SO、送信クロック MSPI0SC と MSPI1SC、チップセレクト信号 MSPI0CSS0 と MSPI1SSI)を接続します。
- データ転送モードは各チャンネルともに送受信モード(MSPIInCFGm0.TXEm = 1 かつ MSPIInCFGm0.RXEm = 1)に設定します。ボーレートはマスタチャンネルのみ 10Mbps に設定します。
- フレーム長は各チャンネルともに 32 ビット(MSPIInCFGm2.FLENm=0x20)、フレームカウントは 4 回(MSPIInCFSETm.CFSETm=4)に設定します。
- メモリモードは各チャンネルともダイレクトメモリモードを設定します。
- 送信データをマスタチャンネルの送信データレジスタ MSPIInTXDAm0 に書き込むことで通信が開始します。送信データレジスタの書き込みは INTMSPIInTXm 割り込み発生時に行います。
- データ受信後、受信したデータを各チャンネルの受信データレジスタ MSPIInRXDAm0 からリードします。受信データレジスタのリードは INTMSPIInRXm 割り込み発生時に行います。
- 最後のデータ受信後、INTMSPIInFEm 割り込み発生時に通信を終了します。
- 本動作例では INTMSPIInTXm 割り込みは MSPIInINTFm レジスタ、INTMSPIInRXm 割り込みは MSPIInINTF1 レジスタ、INTMSPIInFEm 割り込みは MSPI0INTF2 レジスタで確認します。

通信シーケンスの詳細は RH850/U2A-EVA User's Manual Figure 19.41 Transmission/Reception in the Master-Direct Memory Mode を参照してください。

3.2.2 システム構成

図 3-3 にシステム構成を示します。

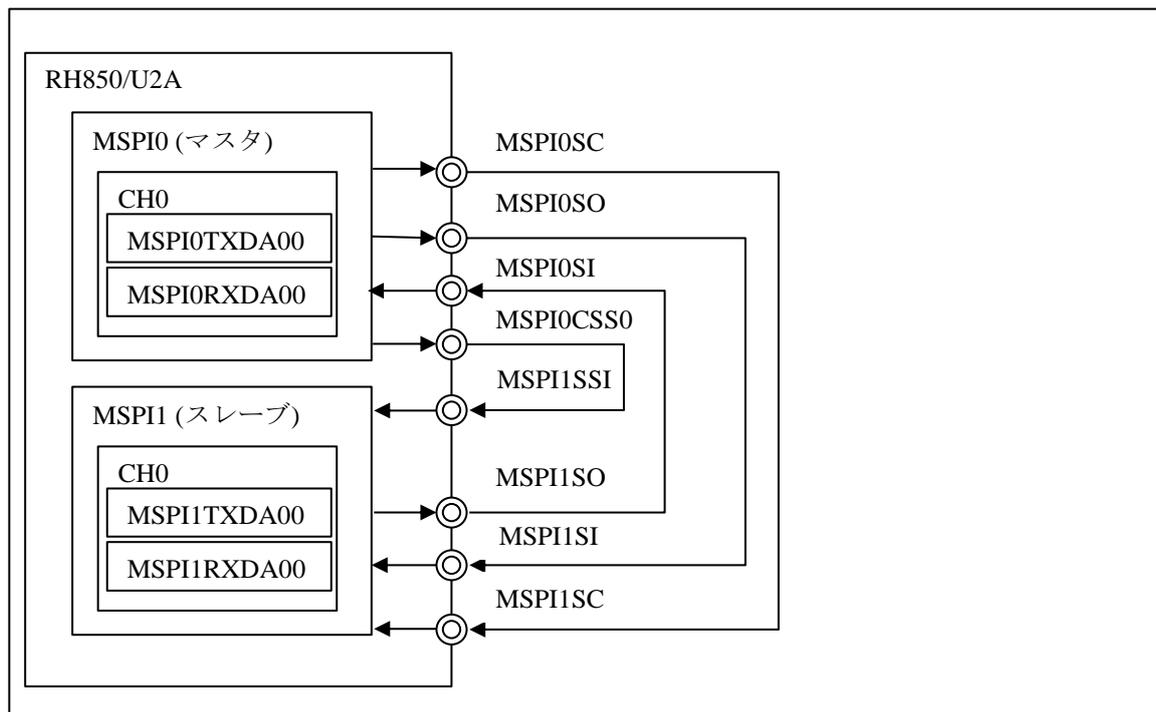


図 3-3 システム構成

3.2.3 ソフトウェア説明

3.2.3.1 モジュール説明

以下に、本動作例のモジュール一覧を示します。

表 3-5 モジュール

モジュール名	関数名	機能
MSPI 初期化ルーチン	mspi_init	MSPI を初期化します。
MSPI アクティベート	mspi0_ch0_activate	MSPI0 CH0 を有効にします。
	mspi1_ch0_activate	MSPI1 CH0 を有効にします。
MSPI 送受信ルーチン	mspi0_ch0_communicate	MSPI0 CH0 のデータを送受信します。
	mspi1_ch0_communicate	MSPI1 CH0 のデータを送受信します。

3.2.3.2 レジスタ設定

以下に、本動作例での各機能のレジスタ初期設定を示します。

(a) MSPI0 初期設定

表 3-6 MSPI0 初期設定

レジスタ名	ビット名	設定値	機能
MSPI0CTL1	MSSEL	0	Master mode
	CSIE	0	In the master mode (MSPIInMSSEL=0), MSPIInCSIE must be set to 0.
	SAMP	1	The sampling timing of Master receive is next edge sampling point of SPI protocol.
	CKR	0	The default level of MSPIInSCK is low.
	SOLS	0	Set MSPIInSOUT to low after macro enable, and holds the level after each transfer.
	CSP	0	The MSPIInCS signal is active low.
MSPI0CTL2	DCS	0	Disables the data consistency check.
	LBM	0	Disables the loop-back mode.
MSPI0CTL0	EN	1	Enables the MSPIIn function.

(b) MSPI0 CH0 初期設定

表 3-7 MSPI0 CH0 初期設定

レジスタ名	ビット名	設定値	機能
MSPI0CFG00	TXE0	1	Transmission enabled.
	RXE0	1	Reception enabled.
	MD0	0	Direct memory mode
	PRI00	7	Channel priority level 8(Lowest priority) (default)
	LOCK0	0	Disables the channel m lock operation.
	FCCE0	0	When a last frame ends, MSPIInCHENm is cleared and the channel operation ends.
	IERE0	1	Enables the interrupt output.
	IFEE0	1	Enables the interrupt output.

レジスタ名	ビット名	設定値	機能
	IRXE0	1	Enables the interrupt output.
	ITXE0	1	Enables the interrupt output.
MSPI0CFG01	CPOL0	0	MSPInSCK is low during idle time.
	CPHA0	1	Shifting bits out for transmission takes place on odd-numbered edges, and sampling for reception takes place on even-numbered edges.
	DIR0	0	Data is transmitted/received with MSB first.
	ICLS0	0	MSPInCS level is inactive for idle time.
	FIDL0	0	The idle time is not inserted each end of a frame.
	CSRI0	1	MSPInCS returns to the inactive level.
	SAFCM0	0	Does not mask the CRC error of the first frame.
	SAFS0	0	In-frame format
	SAFE0	0	Disables Safe SPI protocol function
	PS0	0	Transmission: Adds odd parity, Reception: Odd parity bit is expected.
	DECHK0	0	No parity check
MSPI0CFG02	FLEN0	0x20	32 bits (default)
MSPI0CFG03	PRCS0	0	MSPInSCK baud rate = $\frac{MSPInCLK}{4^{PRCSm} \times CDIVm \times 2} = 10\text{MHz}$
	CDIV0	4	
MSPI0CFG04	HWTS0	0	HW trigger disabled. (Only SW trigger is effective)
	SIZE0	0	Set MSPInSIZEm[1:0] to 00 in the direct memory mode or the fixed buffer memory mode.
MSPI0SEUP0	SEUP0	2	MSPInSCK delay time = MSPInSEUPm [11: 0] × MSPInCLK.
MSPI0HOLD0	HOLD0	1	MSPInCS negation delay time = MSPInHOLDm [11: 0] × MSPInCLK
MSPI0IDLE0	IDLE0	1	MSPInCS[7: 0] next frame time = MSPInIDLEm [11: 0] × MSPInCLK.
MSPI0INDA0	INDA0	8	MSPInCS[7: 0] next frame time = MSPInINDAm [11: 0] × MSPInCLK.
MSPI0CFSET0	CFSET0	4	These bits set the number of frame count.
MSPI0SSEL0	JOBEN0	0	Job ends with this frame. After this frame the channel with a higher priority can transfer data.
	CSR0	1	Activates MSPInCS0 for the communication. Deactivates MSPInCS[7: 1] for the communication.

(c) MSPi1 初期設定

表 3-8 MSPi1 初期設定

レジスタ名	ビット名	設定値	機能
MSPi1CTL1	MSSEL	1	Slave mode
	CSIE	1	Input CS signal (MSPInCSI) is recognized in slave mode.
	SAMP	0	In the slave mode (MSPInMSSEL=1), MSPInSAMP must be set to 0.
	CKR	0	The default level of MSPInSCK is low.
	SOLS	0	In the slave mode (MSPInMSSEL=1), MSPInSOLS[1:0] must be set to 00.
	CSP	0	In the slave mode (MSPInMSSEL=1), MSPInCSP[7:0] must be set to 00H.
MSPi1CTL2	DCS	0	Disables the data consistency check.
	LBM	0	In slave mode (MSPInMSSEL=1), MSPInLBM must be set to 0.
MSPi1CTL0	EN	1	Enables the MSPIn function.

(d) MSPi1 CH0 初期設定

表 3-9 MSPi1 CH0 初期設定

レジスタ名	ビット名	設定値	機能
MSPi1CFG00	TXE0	1	Transmission enabled.
	RXE0	1	Reception enabled.
	MD0	0	Direct memory mode
	PRI00	7	Set MSPInPRI0m to 111 _B in the slave mode.
	LOCK0	0	Set MSPInLOCK0m to 0 in the slave mode.
	FCCE0	0	When a last frame ends, MSPInCHENm is cleared and the channel operation ends.
	IERE0	1	Enables the interrupt output.
	IFEE0	1	Enables the interrupt output.
	IRXE0	1	Enables the interrupt output.
ITXE0	1	Enables the interrupt output.	
MSPi1CFG01	CPOL0	0	Set MSPInCPOLm to 0 in the slave mode.
	CPHA0	1	Shifting bits out for transmission takes place on odd-numbered edges, and sampling for reception takes place on even-numbered edges.
	DIR0	0	Data is transmitted/received with MSB first.
	ICLS0	0	Set MSPInICLSm to 0 in the slave mode.
	FIDL0	0	Set MSPInFIDLm to 0 in the slave mode.
	CSRI0	0	Set MSPInCSRIm to 0 in the slave mode.
	SAFCM0	0	Does not mask the CRC error of the first frame.
	SAFS0	0	In-frame format
	SAFE0	0	Set MSPInSAFE0m to 0 in the slave mode.

レジスタ名	ビット名	設定値	機能
	PS0	0	Transmission: Adds odd parity, Reception: Odd parity bit is expected.
	DECHK0	0	No parity check
MSPI1CFG02	FLEN0	0x20	32 bits (default)
MSPI1CFG03	PRCS0	0	In the slave mode (MSPIInMSSEL=1), MSPIInCFGm3 must be set to 0001 _H (default value).
	CDIV0	1	
MSPI1CFG04	HWTS0	0	HW trigger disabled. (Only SW trigger is effective)
	SIZE0	0	Set MSPIInSIZEm[1:0] to 00 in the direct memory mode or the fixed buffer memory mode.
MSPI1SEUP0	SEUP0	1	Set MSPIInSEUPm to 0001 _H in the slave mode.
MSPI1HOLD0	HOLD0	1	Set MSPIInHOLDm to 0001 _H in slave mode.
MSPI1IDLE0	IDLE0	1	Set MSPIInIDLEm to 0001 _H in slave mode.
MSPI1INDA0	INDA0	0	Set MSPIInINDAm to 0000 _H in slave mode.
MSPI1CFSET0	CFSET0	4	These bits set the number of frame count.
MSPI1SSEL0	JOBEN0	0	Set MSPIInSSELM to 0000 _H in the slave mode.
	CSR0	0	

3.2.3.3 動作フロー

以下に、本動作例のフローチャートを示します。

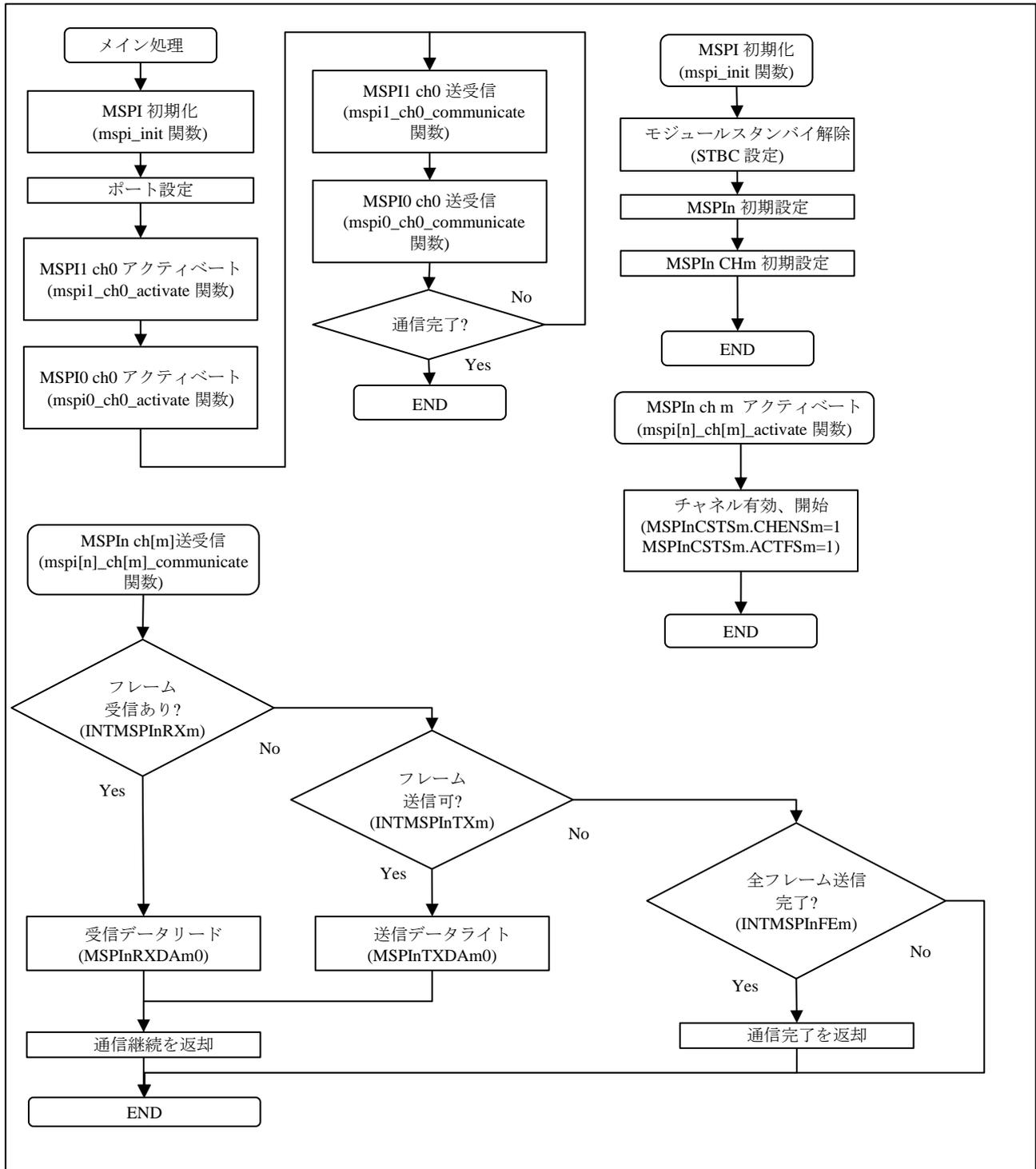


図 3-4 動作フロー

フローチャートの詳細は RH850/U2A-EVA User's Manual Figure 19.45 Master Transmission/Reception Operating Procedure in Direct Memory Mode を参照してください。

3.3 フレーム通信中の割り込み通信

3.3.1 仕様概要

本動作例では MSPI の 2 つのマスタチャンネルと 2 つのスレーブチャンネルの 4 チャンネル間での外部ループバック通信を行います。ここではマスタとスレーブは 256 ビットのデータを 8 回に分けて送信し、送信と同時に 256 ビットのデータを 8 回に分けて受信します。低優先度のマスタチャンネルの連続通信中に HW トリガまたは SW トリガで高優先度のマスタチャンネルに通信開始要求すると低優先度の連続通信に高優先度の通信が割り込みます。割り込み完了後は低優先度の残りの連続通信を再開します。

- MSPI0 チャンネル 0 とチャンネル 1 をマスタ、MSPI1 チャンネル 0 と MSPI2 のチャンネル 0 をスレーブで使用します。
- MSPI0 と MSPI1 と MSPI2 の各端子(データ出力信号 MSPInSO とデータ入力信号 MSPInSI、送信クロック MSPInSC、チップセレクト信号 MSPInCSSm と MSPInSSI)を以下のように接続します。

MSPI0	MSPI1	MSPI2
MSPI0SO	MSP1SI	MSPI2SI
MSPI0SI	MSP1SO	MSPI2SO
MSPI0SC	MSP1SC	MSPI2SC
MSPI0CSS0	MSP1SSI	—
MSPI0CSS1	—	MSPI2SSI

- MSPI0 チャンネル 0 は SW トリガ(MSPI0CFG04.HWTS0=0)、MSPI0 チャンネル 1 は HW トリガを設定します。HW トリガは外部割り込み端子 INTP0 (MSPI0CFG14.HWTS1=1)を設定します。
- MSPI0 チャンネル 1 は MSPI0 チャンネル 0 より高優先度を設定します(MSPI0CFG00.PRIO0=7, MSPI0CFG01.PRIO1=0)。
- データ転送モードは各チャンネルともに送受信モード(MSPInCFGm0.TXEm = 1 かつ MSPInCFGm0.RXEm = 1)に設定します。ボーレートはマスタチャンネルのみ 10Mbps に設定します。
- フレーム長は各チャンネルともに 32 ビット(MSPInCFGm2.FLENm=0x20)、フレームカウントは 8 回(MSPInCFSETm.CFSETm=8)に設定します。
- メモリモードは各チャンネルとも固定 FIFO メモリモード、FIFO ステージサイズは 8 を設定します。
- 送信データをマスタチャンネルの送信データレジスタ MSPInTXDAm0 に書き込むことで通信が開始します。送信データレジスタの書き込みは INTMSPIInTXm 割り込み発生時に行います。
- データ受信後、受信したデータを各チャンネルの受信データレジスタ MSPInRXDAm0 からリードします。受信データレジスタのリードは INTMSPIInRXm 割り込み発生時に行います。
- 最後のデータ受信後、INTMSPIInFEm 割り込み発生時に通信を終了します。
- 本動作例では INTMSPIInTXm 割り込みは MSPInINTFm レジスタ、INTMSPIInRXm 割り込みは MSPInINTF1 レジスタ、INTMSPIInFEm 割り込みは MSPI0INTF2 レジスタで確認します。

- MSPI RAM 領域の各チャネルの送受信データは以下のように格納します。

表 3-10 MSPI RAM 領域

アドレス	オフセット	データ	MSPIInRASTADm
<MSPI0_base> + 0x1000	0x0000	MSPI0 ch0 送信フレーム 1	MSPI0RASTAD0=0x0000
:	:	:	
<MSPI0_base> + 0x101C	0x001C	MSPI0 ch0 送信フレーム 8	
<MSPI0_base> + 0x1020	0x0020	MSPI0 ch0 受信フレーム 1	
:	:	:	
<MSPI0_base> + 0x103C	0x003C	MSPI0 ch0 受信フレーム 8	
<MSPI0_base> + 0x1040	0x0040	MSPI0 ch1 送信フレーム 1	MSPI0RASTAD1=0x0040
:	:	:	
<MSPI0_base> + 0x105C	0x005C	MSPI0 ch1 送信フレーム 8	
<MSPI0_base> + 0x1060	0x0060	MSPI0 ch1 受信フレーム 1	
:	:	:	
<MSPI0_base> + 0x107C	0x007C	MSPI0 ch1 受信フレーム 8	
<MSPI0_base> + 0x1080	:	未使用	
:	:		
<MSPI0_base> + 0x11FF	:		
<MSPI1_base> + 0x1000	0x0000	MSPI1 ch0 送信フレーム 1	MSPI1RASTAD0=0x0000
:	:	:	
<MSPI1_base> + 0x101C	0x001C	MSPI1 ch0 送信フレーム 8	
<MSPI1_base> + 0x1020	0x0020	MSPI1 ch0 受信フレーム 1	
:	:	:	
<MSPI1_base> + 0x103C	0x003C	MSPI1 ch0 受信フレーム 8	
<MSPI1_base> + 0x1040	:	未使用	
:	:		
<MSPI1_base> + 0x11FF	:		
<MSPI2_base> + 0x1000	0x0000	MSPI2 ch0 送信フレーム 1	MSPI2RASTAD0=0x0000
:	:	:	
<MSPI2_base> + 0x101C	0x001C	MSPI2 ch0 送信フレーム 8	
<MSPI2_base> + 0x1020	0x0020	MSPI2 ch0 受信フレーム 1	
:	:	:	
<MSPI2_base> + 0x103C	0x003C	MSPI2 ch0 受信フレーム 8	
<MSPI2_base> + 0x1040	:	未使用	
:	:		
<MSPI2_base> + 0x11FF	:		

本動作例の設定で MSPI0 チャンネル 0 と MSPI1 チャンネル 0 の連続通信中に HW トリガで MSPI0 チャンネル 1 と MSPI2 チャンネル 0 の通信が割り込む例を以下に示します。

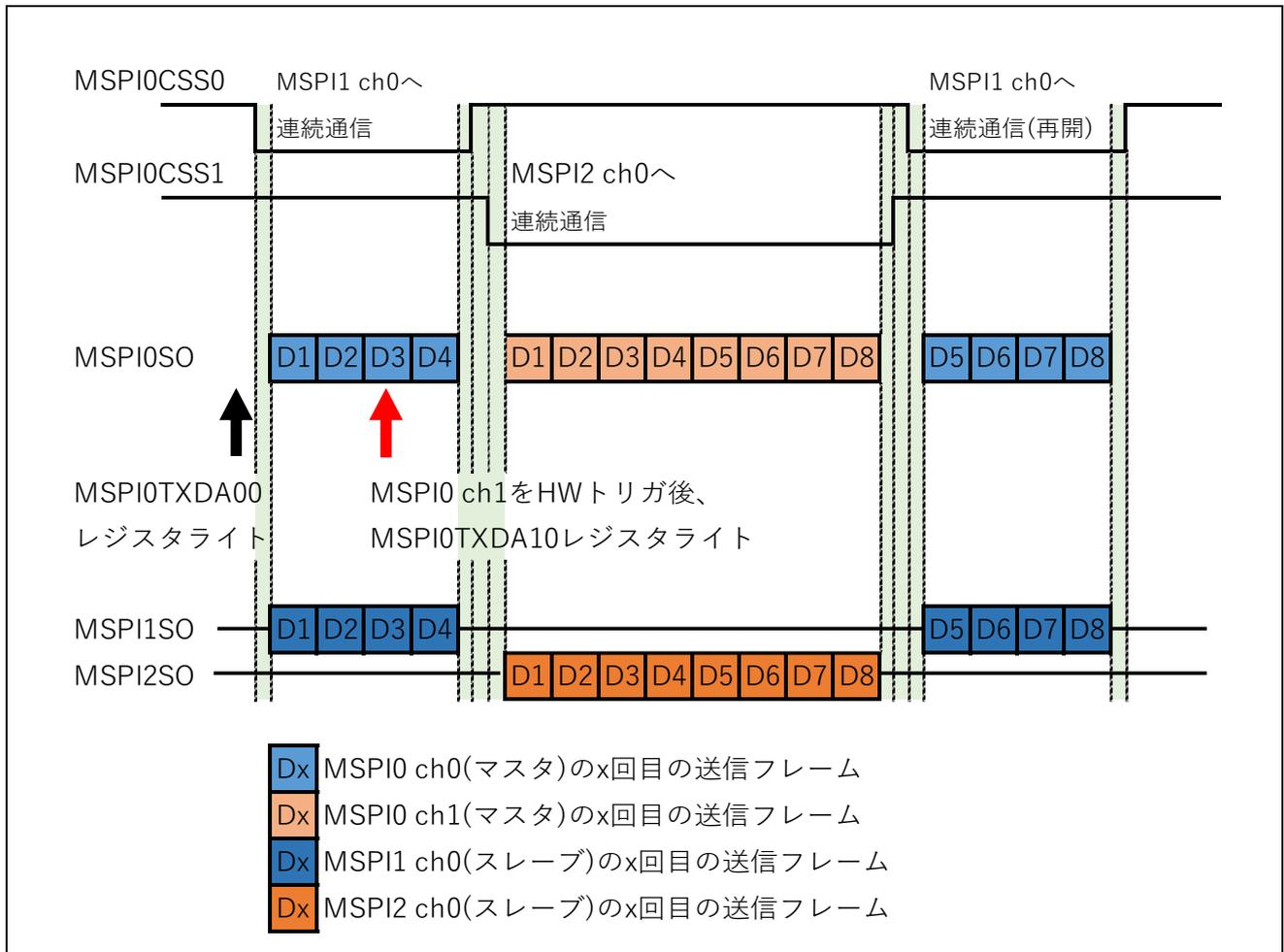


図 3-5 フレーム通信中の割り込み通信例

注 本動作例ではチップセレクト信号 $MSPInCSSm$ がインアクティブ時はスレーブのデータ出力信号 $MSPInSO$ を Hi-Z 制御するためスレーブのデータ出力信号の I/O ポートは $PIPCn.PIPCn_m$ ビット=1 に設定してください。詳細は RH850/U2A-EVA User’s Manua Table 2.29 Alternative functions require “Direct I/O Control” (Must Set $PIPCn_m=1$) を参照してください。

フレーム通信中の通信割り込みのシーケンスの詳細は RH850/U2A-EVA User’s Manual Figure 19.56 Master Transmission/Reception in the Fixed FIFO Memory Mode と Figure 19.23 Timing Diagram of the Channel Priority Judgement を参照してください。

3.3.2 システム構成

図 3-6 にシステム構成を示します。

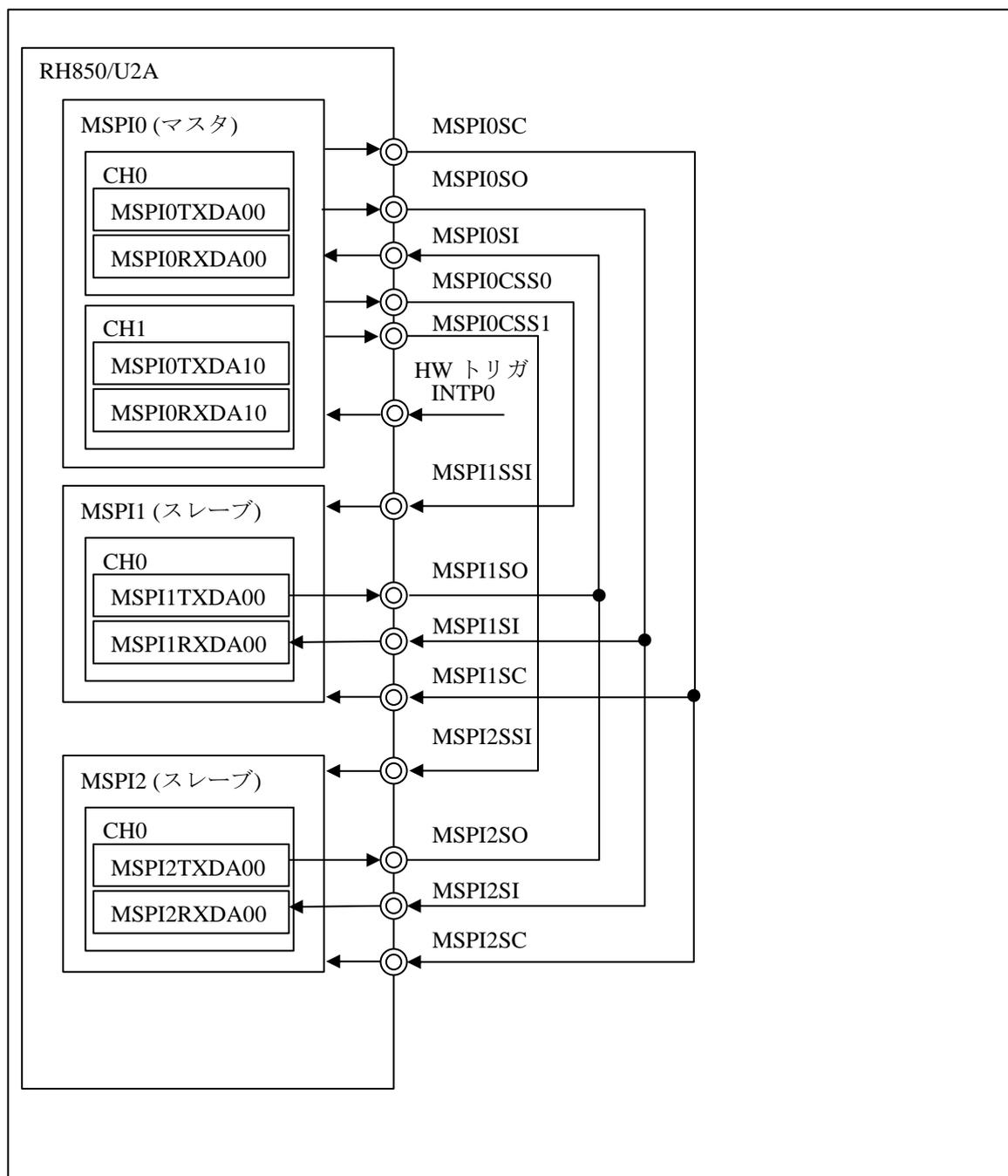


図 3-6 システム構成

3.3.3 ソフトウェア説明

3.3.3.1 モジュール説明

以下に、本動作例のモジュール一覧を示します。

表 3-11 モジュール

モジュール名	関数名	機能
MSPI 初期化ルーチン	mspi_init	MSPI を初期化します。
MSPI アクティベート	mspi0_ch0_activate	MSPI0 CH0 を有効にします。
	mspi0_ch1_activate	MSPI0 CH1 を有効にします。
	mspi1_ch0_activate	MSPI1 CH0 を有効にします。
	mspi2_ch0_activate	MSPI2 CH0 を有効にします。
MSPI 送受信ルーチン	mspi0_ch0_communicate	MSPI0 CH0 のデータを送受信します。
	mspi0_ch1_communicate	MSPI0 CH1 のデータを送受信します。
	mspi1_ch0_communicate	MSPI1 CH0 のデータを送受信します。
	mspi2_ch0_communicate	MSPI2 CH0 のデータを送受信します。

3.3.3.2 レジスタ設定

以下に、本動作例での各機能のレジスタ初期設定を示します。

(a) MSPI0 初期設定

表 3-12 MSPI0 初期設定

レジスタ名	ビット名	設定値	機能
MSPI0CTL1	MSSEL	0	Master mode
	CSIE	0	In the master mode (MSPIInMSSEL=0), MSPIInCSIE must be set to 0.
	SAMP	1	The sampling timing of Master receive is next edge sampling point of SPI protocol.
	CKR	0	The default level of MSPIInSCK is low.
	SOLS	0	Set MSPIInSOUT to low after macro enable, and holds the level after each transfer.
	CSP	0	The MSPIInCS signal is active low.
MSPI0CTL2	DCS	0	Disables the data consistency check.
	LBM	0	Disables the loop-back mode.
MSPI0CTL0	EN	1	Enables the MSPIIn function.

(b) MSPI0 CH0 初期設定

表 3-13 MSPI0 CH0 初期設定

レジスタ名	ビット名	設定値	機能
MSPI0CFG00	TXE0	1	Transmission enabled.
	RXE0	1	Reception enabled.
	MD0	0	Fixed FIFO memory mode
	PRI00	7	Channel priority level 8(Lowest priority) (default)

レジスタ名	ビット名	設定値	機能
	LOCK0	0	Disables the channel m lock operation.
	FCCE0	0	Set MSPInFCCEm to 0 in the fixed buffer memory mode and fixed FIFO memory mode.
	IERE0	1	Enables the interrupt output.
	IFEE0	1	Enables the interrupt output.
	IRXE0	1	Enables the interrupt output.
	ITXE0	1	Enables the interrupt output.
MSPI0CFG01	CPOL0	0	MSPInSCK is low during idle time.
	CPHA0	1	Shifting bits out for transmission takes place on odd-numbered edges, and sampling for reception takes place on even-numbered edges.
	DIR0	0	Data is transmitted/received with MSB first.
	ICLS0	0	Set MSPInICLSm to 0 in the fixed buffer memory mode and fixed FIFO memory mode.
	FIDL0	0	The idle time is not inserted each end of a frame.
	CSRI0	1	MSPInCS returns to the inactive level.
	SAFCM0	0	Does not mask the CRC error of the first frame.
	SAFS0	0	In-frame format
	SAFE0	0	Disables Safe SPI protocol function
	PS0	0	Transmission: Adds odd parity, Reception: Odd parity bit is expected.
	DECHK0	0	No parity check
MSPI0CFG02	FLEN0	0x20	32 bits (default)
MSPI0CFG03	PRCS0	0	MSPInSCK baud rate = $\frac{MSPInCLK}{4^{PRCSm} \times CDIVm \times 2} = 10\text{MHz}$
	CDIV0	4	
MSPI0CFG04	HWTS0	0	HW trigger disabled. (Only SW trigger is effective)
	SIZE0	0	The stage size of Buffer is 8 in Fixed FIFO memory mode.
MSPI0SEUP0	SEUP0	2	MSPInSCK delay time = MSPInSEUPm [11: 0] × MSPInCLK.
MSPI0HOLD0	HOLD0	1	MSPInCS negation delay time = MSPInHOLDm [11: 0] × MSPInCLK
MSPI0IDLE0	IDLE0	1	MSPInCS[7: 0] next frame time = MSPInIDLEm [11: 0] × MSPInCLK.
MSPI0INDA0	INDA0	8	MSPInCS[7: 0] next frame time = MSPInINDAm [11: 0] × MSPInCLK.
MSPI0CFSET0	CFSET0	8	These bits set the number of frame count.
MSPI0SSEL0	JOBEN0	0	Set MSPInJOBENm to 0 in the fixed buffer memory mode, fixed FIFO memory mode, or slave mode.
	CSR0	1	Activates MSPInCS0 for the communication. Deactivates MSPInCS[7: 1] for the communication.
MSPI0RASTAD0	—	0x0000	Start address of MSPI RAM in Fixed FIFO memory mode or fixed buffer memory mode.

(c) MSPI0 CH1 初期設定

表 3-14 MSPI0 CH1 初期設定

レジスタ名	ビット名	設定値	機能
MSPI0CFG10	TXE1	1	Transmission enabled.
	RXE1	1	Reception enabled.
	MD1	0	Fixed FIFO memory mode
	PRI01	0	Channel priority level 0(Highest priority)
	LOCK1	1	Enables the channel m lock operation.
	FCCE1	0	Set MSPInFCCEm to 0 in the fixed buffer memory mode and fixed FIFO memory mode.
	IERE1	1	Enables the interrupt output.
	IFEE1	1	Enables the interrupt output.
	IRXE1	1	Enables the interrupt output.
	ITXE1	1	Enables the interrupt output.
MSPI0CFG11	CPOL1	0	MSPInSCK is low during idle time.
	CPHA1	1	Shifting bits out for transmission takes place on odd-numbered edges, and sampling for reception takes place on even-numbered edges.
	DIR1	0	Data is transmitted/received with MSB first.
	ICLS1	0	Set MSPInICLSm to 0 in the fixed buffer memory mode and fixed FIFO memory mode.
	FIDL1	0	The idle time is not inserted each end of a frame.
	CSRI1	1	MSPInCS returns to the inactive level.
	SAFCM1	0	Does not mask the CRC error of the first frame.
	SAFS1	0	In-frame format
	SAFE1	0	Disables Safe SPI protocol function
	PS1	0	Transmission: Adds odd parity, Reception: Odd parity bit is expected.
	DECHK1	0	No parity check
MSPI0CFG12	FLEN1	0x20	32 bits (default)
MSPI0CFG13	PRCS1	0	MSPInSCK baud rate = $\frac{MSPInCLK}{4^{PRCSm} \times CDIVm \times 2} = 10\text{MHz}$
	CDIV1	4	
MSPI0CFG14	HWTS1	1	HW trigger enabled by External Interrupt 0 (INTP0). SW trigger is also enabled.
	SIZE1	0	The stage size of Buffer is 8 in Fixed FIFO memory mode.
MSPI0SEUP1	SEUP1	2	MSPInSCK delay time = MSPInSEUPm [11: 0] × MSPInCLK.
MSPI0HOLD1	HOLD1	1	MSPInCS negation delay time = MSPInHOLDm [11: 0] × MSPInCLK
MSPI0IDLE1	IDLE1	1	MSPInCS[7: 0] next frame time = MSPInIDLEm [11: 0] × MSPInCLK.
MSPI0INDA1	INDA1	8	MSPInCS[7: 0] next frame time = MSPInINDAm [11: 0] × MSPInCLK.

レジスタ名	ビット名	設定値	機能
MSPI0CFSET1	CFSET1	8	These bits set the number of frame count.
MSPI0SSEL1	JOBEN1	0	Set MSPIInJOBENm to 0 in the fixed buffer memory mode, fixed FIFO memory mode, or slave mode.
	CSR1	2	Activates MSPIInCS1 for the communication. Deactivates MSPIInCS[7: 2] and MSPIInCS[0] for the communication.
MSPI0RASTAD1	—	0x0040	Start address of MSPI RAM in Fixed FIFO memory mode or fixed buffer memory mode.

(d) MSPI1 初期設定

表 3-15 MSPI1 初期設定

レジスタ名	ビット名	設定値	機能
MSPI1CTL1	MSSEL	1	Slave mode
	CSIE	1	Input CS signal (MSPIInCSI) is recognized in slave mode.
	SAMP	0	In the slave mode (MSPIInMSSEL=1), MSPIInSAMP must be set to 0.
	CKR	0	The default level of MSPIInSCK is low.
	SOLS	0	In the slave mode (MSPIInMSSEL=1), MSPIInSOLS[1:0] must be set to 00.
	CSP	0	In the slave mode (MSPIInMSSEL=1), MSPIInCSP[7:0] must be set to 00H.
MSPI1CTL2	DCS	0	Disables the data consistency check.
	LBM	0	In slave mode (MSPIInMSSEL=1), MSPIInLBM must be set to 0.
MSPI1CTL0	EN	1	Enables the MSPIIn function.

(e) MSPI1 CH0 初期設定

表 3-16 MSPI1 CH0 初期設定

レジスタ名	ビット名	設定値	機能
MSPI1CFG00	TXE0	1	Transmission enabled.
	RXE0	1	Reception enabled.
	MD0	0	Fixed FIFO memory mode
	PRI00	7	Set MSPIInPRI0m to 111 _B in the slave mode.
	LOCK0	0	Set MSPIInLOCKm to 0 in the slave mode.
	FCCE0	0	Set MSPIInFCCEm to 0 in the fixed buffer memory mode and fixed FIFO memory mode.
	IERE0	1	Enables the interrupt output.
	IFEE0	1	Enables the interrupt output.
	IRXE0	1	Enables the interrupt output.
MSPI1CFG01	ITXE0	1	Enables the interrupt output.
	CPOL0	0	Set MSPIInCPOLm to 0 in the slave mode.

レジスタ名	ビット名	設定値	機能
	CPHA0	1	Shifting bits out for transmission takes place on odd-numbered edges, and sampling for reception takes place on even-numbered edges.
	DIR0	0	Data is transmitted/received with MSB first.
	ICLS0	0	Set MSPIInICLSm to 0 in the slave mode. Set MSPIInICLSm to 0 in the fixed buffer memory mode and fixed FIFO memory mode.
	FIDL0	0	Set MSPIInFIDLm to 0 in the slave mode.
	CSRI0	0	Set MSPIInCSRIm to 0 in the slave mode.
	SAFCM0	0	Does not mask the CRC error of the first frame.
	SAFS0	0	In-frame format
	SAFE0	0	Set MSPIInSAFEm to 0 in the slave mode.
	PS0	0	Transmission: Adds odd parity, Reception: Odd parity bit is expected.
	DECHK0	0	No parity check
MSPIICFG02	FLEN0	0x20	32 bits (default)
MSPIICFG03	PRCS0	0	In the slave mode (MSPIInMSSEL=1), MSPIInCFGm3 must be set to 0001 _H (default value).
	CDIV0	1	
MSPIICFG04	HWTS0	0	HW trigger disabled. (Only SW trigger is effective)
	SIZE0	1	The stage size of Buffer is 16 in Fixed FIFO memory mode.
MSPIISEUP0	SEUP0	1	Set MSPIInSEUPm to 0001 _H in the slave mode.
MSPIIHOLD0	HOLD0	1	Set MSPIInHOLDm to 0001 _H in slave mode.
MSPIIIDLE0	IDLE0	1	Set MSPIInIDLEm to 0001 _H in slave mode.
MSPIIINDA0	INDA0	0	Set MSPIInINDAm to 0000 _H in slave mode.
MSPIICFSET0	CFSET0	8	These bits set the number of frame count.
MSPIISSEL0	JOBEN0	0	Set MSPIInSSELM to 0000 _H in the slave mode.
	CSR0	0	
MSPIIRASTAD0	—	0x0000	Start address of MSPI RAM in Fixed FIFO memory mode or fixed buffer memory mode.

(f) MSPI2 初期設定

表 3-17 MSPI2 初期設定

レジスタ名	ビット名	設定値	機能
MSPI2CTL1	MSSEL	1	Slave mode
	CSIE	1	Input CS signal (MSPIInCSI) is recognized in slave mode.
	SAMP	0	In the slave mode (MSPIInMSSEL=1), MSPIInSAMP must be set to 0.
	CKR	0	The default level of MSPIInSCK is low.
	SOLS	0	In the slave mode (MSPIInMSSEL=1), MSPIInSOLS[1:0] must be set to 00.
	CSP	0	In the slave mode (MSPIInMSSEL=1), MSPIInCSP[7:0] must be set to 00H.

MSPI2CTL2	DCS	0	Disables the data consistency check.
	LBM	0	In slave mode (MSPIInMSESEL=1), MSPIInLBM must be set to 0.
MSPI2CTL0	EN	1	Enables the MSPIIn function.

(g) MSPI2 CH0 初期設定

表 3-18 MSPI2 CH0 初期設定

レジスタ名	ビット名	設定値	機能
MSPI2CFG00	TXE0	1	Transmission enabled.
	RXE0	1	Reception enabled.
	MD0	0	Fixed FIFO memory mode
	PRIO0	7	Set MSPIInPRIOm to 111 _B in the slave mode.
	LOCK0	0	Set MSPIInLOCKm to 0 in the slave mode.
	FCCE0	0	Set MSPIInFCCEm to 0 in the fixed buffer memory mode and fixed FIFO memory mode.
	IERE0	1	Enables the interrupt output.
	IFEE0	1	Enables the interrupt output.
	IRXE0	1	Enables the interrupt output.
	ITXE0	1	Enables the interrupt output.
MSPI2CFG01	CPOL0	0	Set MSPIInCPOLm to 0 in the slave mode.
	CPHA0	1	Shifting bits out for transmission takes place on odd-numbered edges, and sampling for reception takes place on even-numbered edges.
	DIR0	0	Data is transmitted/received with MSB first.
	ICLS0	0	Set MSPIInICLSm to 0 in the slave mode. Set MSPIInICLSm to 0 in the fixed buffer memory mode and fixed FIFO memory mode.
	FIDL0	0	Set MSPIInFIDLm to 0 in the slave mode.
	CSRI0	0	Set MSPIInCSRIm to 0 in the slave mode.
	SAFCM0	0	Does not mask the CRC error of the first frame.
	SAFS0	0	In-frame format
	SAFE0	0	Set MSPIInSAFEm to 0 in the slave mode.
	PS0	0	Transmission: Adds odd parity, Reception: Odd parity bit is expected.
	DECHK0	0	No parity check
MSPI2CFG02	FLEN0	0x20	32 bits (default)
MSPI2CFG03	PRCS0	0	In the slave mode (MSPIInMSESEL=1), MSPIInCFGm3 must be set to 0001 _H (default value).
	CDIV0	1	
MSPI2CFG04	HWTS0	0	HW trigger disabled. (Only SW trigger is effective)
	SIZE0	1	The stage size of Buffer is 16 in Fixed FIFO memory mode.
MSPI2SEUP0	SEUP0	1	Set MSPIInSEUPm to 0001 _H in the slave mode.
MSPI2HOLD0	HOLD0	1	Set MSPIInHOLDm to 0001 _H in slave mode.

レジスタ名	ビット名	設定値	機能
MSPI2IDLE0	IDLE0	1	Set MSPIInIDLEm to 0001 _H in slave mode.
MSPI2INDA0	INDA0	0	Set MSPIInINDAm to 0000 _H in slave mode.
MSPI2CFSET0	CFSET0	8	These bits set the number of frame count.
MSPI2SSEL0	JOBEN0	0	Set MSPIInSSELM to 0000 _H in the slave mode.
	CSR0	0	
MSPI2RASTAD0	—	0x0000	Start address of MSPI RAM in Fixed FIFO memory mode or fixed buffer memory mode.

3.3.3.3 動作フロー

以下に、本動作例のフローチャートを示します。

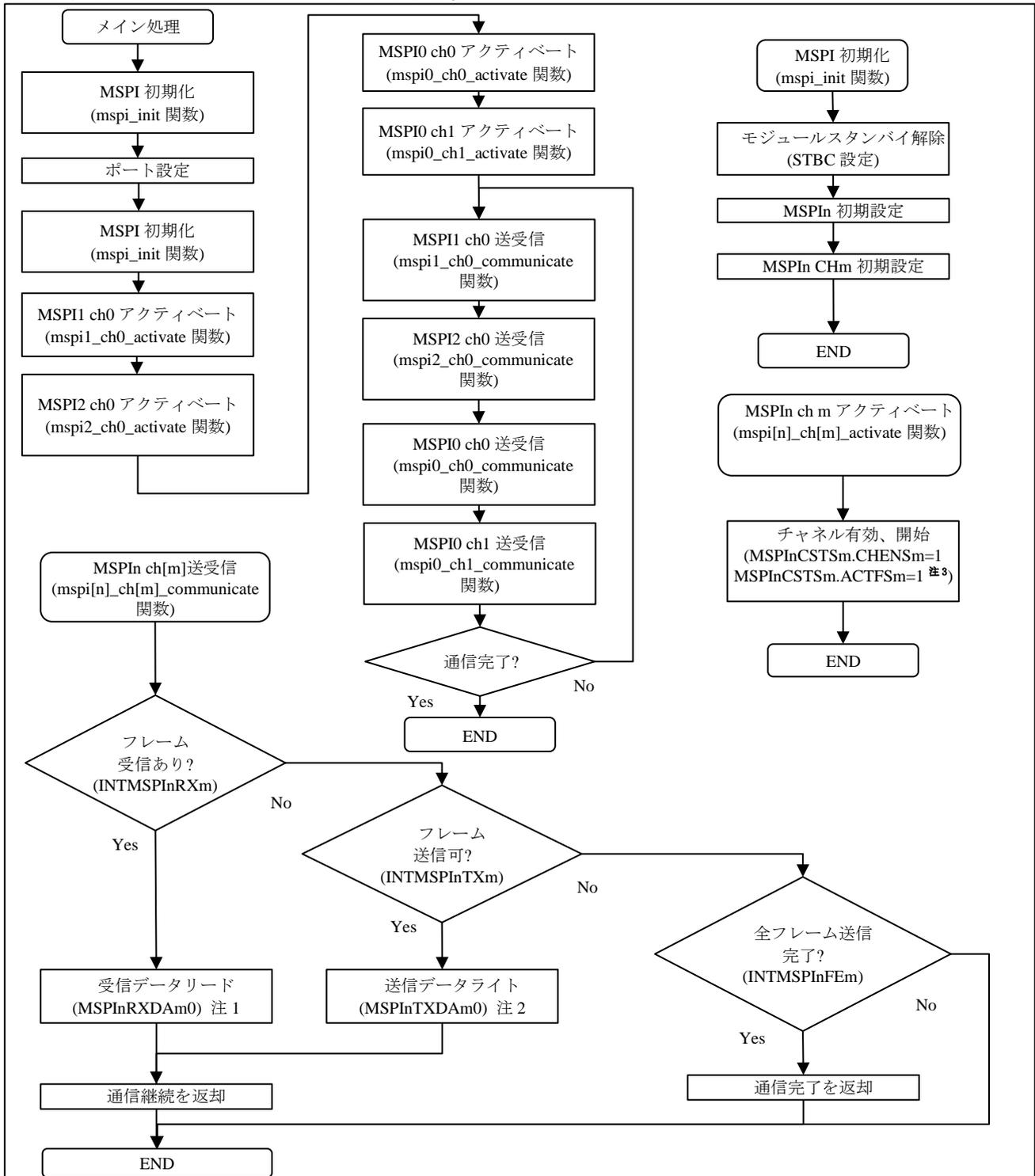


図 3-7 動作フロー

注 1. MSPInCFGm4.MSPInSIZEm [1:0]の FIFO ステージの半分のサイズをリードします。

注 2. MSPInCFGm4.MSPInSIZEm [1:0]の FIFO ステージの半分のサイズをライトします。

注 3. 本動作例の MSPI0 チャンネル 1 は HW トリガによって通信を開始するため、mspi0_ch1_activate 関数は MSPI0CSTS1.ACTFS1 ビットを設定しません。

フローの詳細は RH850/U2A-EVA User's Manual Figure Figure 19.59 Master Transmission/Reception Operating Procedure in the Fixed FIFO Memory Mode を参照してください。

3.4 CRC 付き 2 チャンネル間でのフレーム通信

3.4.1 仕様概要

本動作例では MSPI の 2 チャンネル間での CRC 付きの外部ループバック通信を行います。ここでは 128 ビットのデータを 1 セットとして 2 セット送受信します。128 ビットのデータは 4 回に分けて送受信します。

- MSPIO チャンネル 0 をマスタ、MSPI1 チャンネル 0 をスレーブで使用します。
- MSPIO と MSPI1 の各端子(データ出力信号 MSPIO0SO とデータ入力信号 MSPI1SI、データ入力信号 MSPIO0SI とデータ出力信号 MSPI1SO、送信クロック MSPIO0SC と MSPI1SC、チップセレクト信号 MSPIO0CSS0 と MSPI1SSI)を接続します。
- データ転送モードは各チャンネルともに送受信モード(MSPInCFGm0.TXEm = 1 かつ MSPInCFGm0.RXEm = 1)に設定します。ボーレートはマスタチャンネルのみ 10Mbps に設定します。
- フレーム長は各チャンネルともに 32 ビット(MSPInCFGm2.FLENm=0x20)、フレームカウントは 4 回(MSPInCFSETm.CFSETm=4)に設定します。
- メモリモードは各チャンネルともダイレクトメモリモードを設定します。
- CRC はマスタチャンネルのみ有効(MSPI0CFG01.SAFE0=1)、out-of-frame フォーマット(MSPI0CFG01.SAFS0=1)を設定します。
- 送信データをマスタチャンネルの送信データレジスタ MSPInTXDAm0 に書き込むことで通信が開始します。送信データレジスタの書き込みは INTMSPInTXm 割り込み発生時に行います。
- データ受信後、受信したデータを各チャンネルの受信データレジスタ MSPInRXDAm0 からリードします。受信データレジスタのリードは INTMSPInRXm 割り込み発生時に行います。
- 本動作例では 1 セット目の通信を開始してから最後のデータ受信後、INTMSPInFEm 割り込み発生時に 1 セット目の通信を終了します。続けて 2 セット目の通信を開始し、2 セット目の通信を開始から最後のデータ受信後、INTMSPInFEm 割り込み発生時に 2 セット目の通信を終了します。
- 本動作例では INTMSPInTXm 割り込みは MSPInINTFm レジスタ、INTMSPInRXm 割り込みは MSPInINTF1 レジスタ、INTMSPInFEm 割り込みは MSPI0INTF2 レジスタで確認します。

通信シーケンスの詳細は RH850/U2A-EVA User's Manual Figure 19.41 Transmission/Reception in the Master-Direct Memory Mode と 19.6.11.2 Safe-SPI protocol function in out-of-frame format を参照してください。

- Safe SPI protocol の Out-of-frame フォーマットの通信では、MSPI は送信データの設定値のビット 31-3 を使って CRC コードを計算し、CRC コードを送信データのビット 2-0 として送信します。また MSPI は受信データのビット 31-3 を使って CRC コードを計算し、計算された CRC コードと受信データのビット 2-0 に埋め込まれた CRC を比較します。この 2 つの CRC が異なる場合、MSPI は INTMSPIERR を発行し、MSPIInCE フラグをセットします。
- Out-of-frame フォーマットの CRC は以下を使用します。

CRC	3 bit CRC
Polynomial	0x5 (x^3+x^1+1)
Start value	101 _B
Target value	000 _B

- 本稿の動作例のマスタチャンネルの送信データの例を以下に示します。CRC コードは MSPI が自動計算するため、送信データの設定値を MSPI0TXDA00 レジスタに書き込みます。

マスタ	送信データ (16 進数)	送信データ(2 進数)	
		送信データの設定値(ビット 31-3)	CRC コード(ビット 2-0)
送信フレーム 1	0x 00 00 00 03	0000 0000 0000 0000 0000 0000 0000 0 _B	011 _B
送信フレーム 2	0x FF FF FF F8	1111 1111 1111 1111 1111 1111 1111 1 _B	000 _B
送信フレーム 3	0x 0F 0F 0F 0A	0000 1111 0000 1111 0000 1111 0000 1 _B	010 _B
送信フレーム 4	0x 0F F2 C8 FE	0000 1111 1111 0010 1100 1000 1111 1 _B	110 _B

- 本稿の動作例のスレーブチャンネルの送信データの例を以下に示します。送信データの設定値と CRC コードを MSPI1TXDA00 レジスタに書き込みます。

スレーブ	送信データ (16 進数)	送信データ(2 進数)	
		送信データの設定値(ビット 31-3)	CRC コード(ビット 2-0)
送信フレーム 1	0x 00 00 00 03	0000 0000 0000 0000 0000 0000 0000 0 _B	011 _B
送信フレーム 2	0x FF FF FF F8	1111 1111 1111 1111 1111 1111 1111 1 _B	000 _B
送信フレーム 3	0x 0F 0F 0F 0A	0000 1111 0000 1111 0000 1111 0000 1 _B	010 _B
送信フレーム 4	0x 0F F2 C8 FE	0000 1111 1111 0010 1100 1000 1111 1 _B	110 _B

3.4.2 システム構成

図 3-9 にシステム構成を示します。

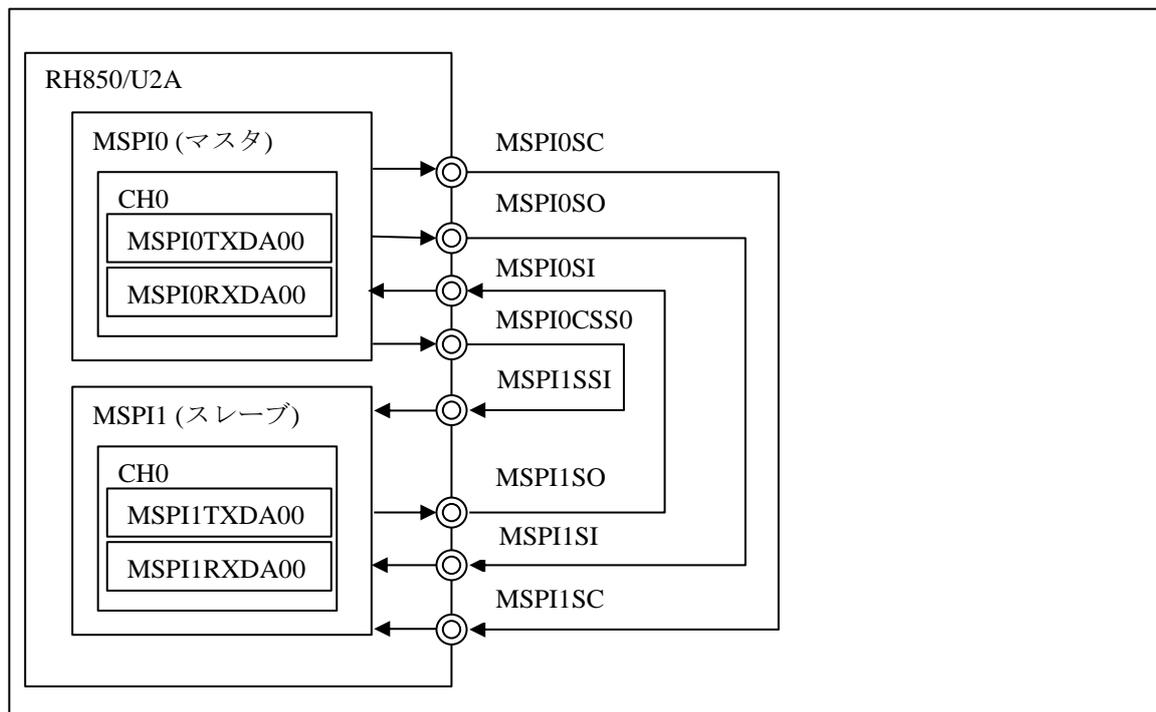


図 3-9 システム構成

3.4.3 ソフトウェア説明

3.4.3.1 モジュール説明

以下に、本動作例のモジュール一覧を示します。

表 3-19 モジュール

モジュール名	関数名	機能
MSPI 初期化ルーチン	mspi_init	MSPI を初期化します。
MSPI アクティベート	mspi0_ch0_activate	MSPI0 CH0 を有効にします。
	mspi1_ch0_activate	MSPI1 CH0 を有効にします。
MSPI 送受信ルーチン	mspi0_ch0_communicate	MSPI0 CH0 のデータを送受信します。
	mspi1_ch0_communicate	MSPI1 CH0 のデータを送受信します。

3.4.3.2 レジスタ設定

以下に、本動作例での各機能のレジスタ初期設定を示します。

(a) MSPI0 初期設定

表 3-20 MSPI0 初期設定

レジスタ名	ビット名	設定値	機能
MSPI0CTL1	MSSEL	0	Master mode
	CSIE	0	In the master mode (MSPIInMSSEL=0), MSPIInCSIE must be set to 0.
	SAMP	1	The sampling timing of Master receive is next edge sampling point of SPI protocol.
	CKR	0	The default level of MSPIInSCK is low.
	SOLS	0	Set MSPIInSOUT to low after macro enable, and holds the level after each transfer.
	CSP	0	The MSPIInCS signal is active low.
MSPI0CTL2	DCS	0	Disables the data consistency check.
	LBM	0	Disables the loop-back mode.
MSPI0CTL0	EN	1	Enables the MSPIIn function.

(b) MSPI0 CH0 初期設定

表 3-21 MSPI0 CH0 初期設定

レジスタ名	ビット名	設定値	機能
MSPI0CFG00	TXE0	1	Transmission enabled.
	RXE0	1	Reception enabled.
	MD0	0	Direct memory mode
	PRI00	7	Channel priority level 8(Lowest priority) (default)
	LOCK0	0	Disables the channel m lock operation.
	FCCE0	0	When a last frame ends, MSPIInCHENm is cleared and the channel operation ends.
	IREE0	1	Enables the interrupt output.
	IFEE0	1	Enables the interrupt output.

レジスタ名	ビット名	設定値	機能
	IRXE0	1	Enables the interrupt output.
	ITXE0	1	Enables the interrupt output.
MSPI0CFG01	CPOL0	0	MSPInSCK is low during idle time.
	CPHA0	0	Shifting bits out for transmission takes place on even-numbered edges, and sampling for reception takes place on odd-numbered edges.
	DIR0	0	Data is transmitted/received with MSB first.
	ICLS0	0	MSPInCS level is inactive for idle time.
	FIDL0	1	The idle time is forcibly inserted after each end of a frame.
	CSRI0	1	MSPInCS returns to the inactive level.
	SAFCM0	0	Does not mask the CRC error of the first frame.
	SAFS0	1	Out-of-frame format
	SAFE0	1	Enables Safe SPI protocol function
	PS0	0	Transmission: Adds odd parity, Reception: Odd parity bit is expected.
	DECHK0	0	No parity check
MSPI0CFG02	FLEN0	0x20	32 bits (default)
MSPI0CFG03	PRCS0	0	MSPInSCK baud rate = $\frac{MSPInCLK}{4^{PRCSm} \times CDIVm \times 2} = 10\text{MHz}$
	CDIV0	4	
MSPI0CFG04	HWTS0	0	HW trigger disabled. (Only SW trigger is effective)
	SIZE0	0	Set MSPInSIZEm[1:0] to 00 in the direct memory mode or the fixed buffer memory mode.
MSPI0SEUP0	SEUP0	4	MSPInSCK delay time = MSPInSEUPm [11: 0] × MSPInCLK.
MSPI0HOLD0	HOLD0	1	MSPInCS negation delay time = MSPInHOLDm [11: 0] × MSPInCLK
MSPI0IDLE0	IDLE0	8	MSPInCS[7: 0] next frame time = MSPInIDLEm [11: 0] × MSPInCLK.
MSPI0INDA0	INDA0	8	MSPInCS[7: 0] next frame time = MSPInINDAm [11: 0] × MSPInCLK.
MSPI0CFSET0	CFSET0	4	These bits set the number of frame count.
MSPI0SSEL0	JOBEN0	0	Job ends with this frame. After this frame the channel with a higher priority can transfer data.
	CSR0	1	Activates MSPInCS0 for the communication. Deactivates MSPInCS[7: 1] for the communication.

(c) MSPI1 初期設定

表 3-22 MSPI1 初期設定

レジスタ名	ビット名	設定値	機能
MSPI1CTL1	MSSEL	1	Slave mode
	CSIE	1	Input CS signal (MSPInCSI) is recognized in slave mode.
	SAMP	0	In the slave mode (MSPInMSSEL=1), MSPInSAMP must be set to 0.
	CKR	0	The default level of MSPInSCK is low.
	SOLS	0	In the slave mode (MSPInMSSEL=1), MSPInSOLS[1:0] must be set to 00.
	CSP	0	In the slave mode (MSPInMSSEL=1), MSPInCSP[7:0] must be set to 00H.
MSPI1CTL2	DCS	0	Disables the data consistency check.
	LBM	0	In slave mode (MSPInMSSEL=1), MSPInLBM must be set to 0.
MSPI1CTL0	EN	1	Enables the MSPIn function.

(d) MSPI1 CH0 初期設定

表 3-23 MSPI1 CH0 初期設定

レジスタ名	ビット名	設定値	機能
MSPI1CFG00	TXE0	1	Transmission enabled.
	RXE0	1	Reception enabled.
	MD0	0	Direct memory mode
	PRI00	7	Set MSPInPRI0m to 111 _B in the slave mode.
	LOCK0	0	Set MSPInLOCK0m to 0 in the slave mode.
	FCCE0	0	When a last frame ends, MSPInCHENm is cleared and the channel operation ends.
	IERE0	1	Enables the interrupt output.
	IFEE0	1	Enables the interrupt output.
	IRXE0	1	Enables the interrupt output.
ITXE0	1	Enables the interrupt output.	
MSPI1CFG01	CPOL0	0	Set MSPInCPOLm to 0 in the slave mode.
	CPHA0	0	Shifting bits out for transmission takes place on even-numbered edges, and sampling for reception takes place on odd-numbered edges.
	DIR0	0	Data is transmitted/received with MSB first.
	ICLS0	0	Set MSPInICLSm to 0 in the slave mode.
	FIDL0	0	Set MSPInFIDLm to 0 in the slave mode.
	CSRI0	0	Set MSPInCSRIm to 0 in the slave mode.
	SAFCM0	0	Does not mask the CRC error of the first frame.
	SAFS0	0	In-frame format
SAFE0	0	Set MSPInSAFE0m to 0 in the slave mode.	

レジスタ名	ビット名	設定値	機能
	PS0	0	Transmission: Adds odd parity, Reception: Odd parity bit is expected.
	DECHK0	0	No parity check
MSPI1CFG02	FLEN0	0x20	32 bits (default)
MSPI1CFG03	PRCS0	0	In the slave mode (MSPIInMSSEL=1), MSPIInCFGm3 must be set to 0001 _H (default value).
	CDIV0	1	
MSPI1CFG04	HWTS0	0	HW trigger disabled. (Only SW trigger is effective)
	SIZE0	0	Set MSPIInSIZEm[1:0] to 00 in the direct memory mode or the fixed buffer memory mode.
MSPI1SEUP0	SEUP0	1	Set MSPIInSEUPm to 0001 _H in the slave mode.
MSPI1HOLD0	HOLD0	1	Set MSPIInHOLDm to 0001 _H in slave mode.
MSPI1IDLE0	IDLE0	1	Set MSPIInIDLEm to 0001 _H in slave mode.
MSPI1INDA0	INDA0	0	Set MSPIInINDAm to 0000 _H in slave mode.
MSPI1CFSET0	CFSET0	4	These bits set the number of frame count.
MSPI1SSEL0	JOBEN0	0	Set MSPIInSSELM to 0000 _H in the slave mode.
	CSR0	0	

3.4.3.3 動作フロー

以下に、本動作例のフローチャートを示します。

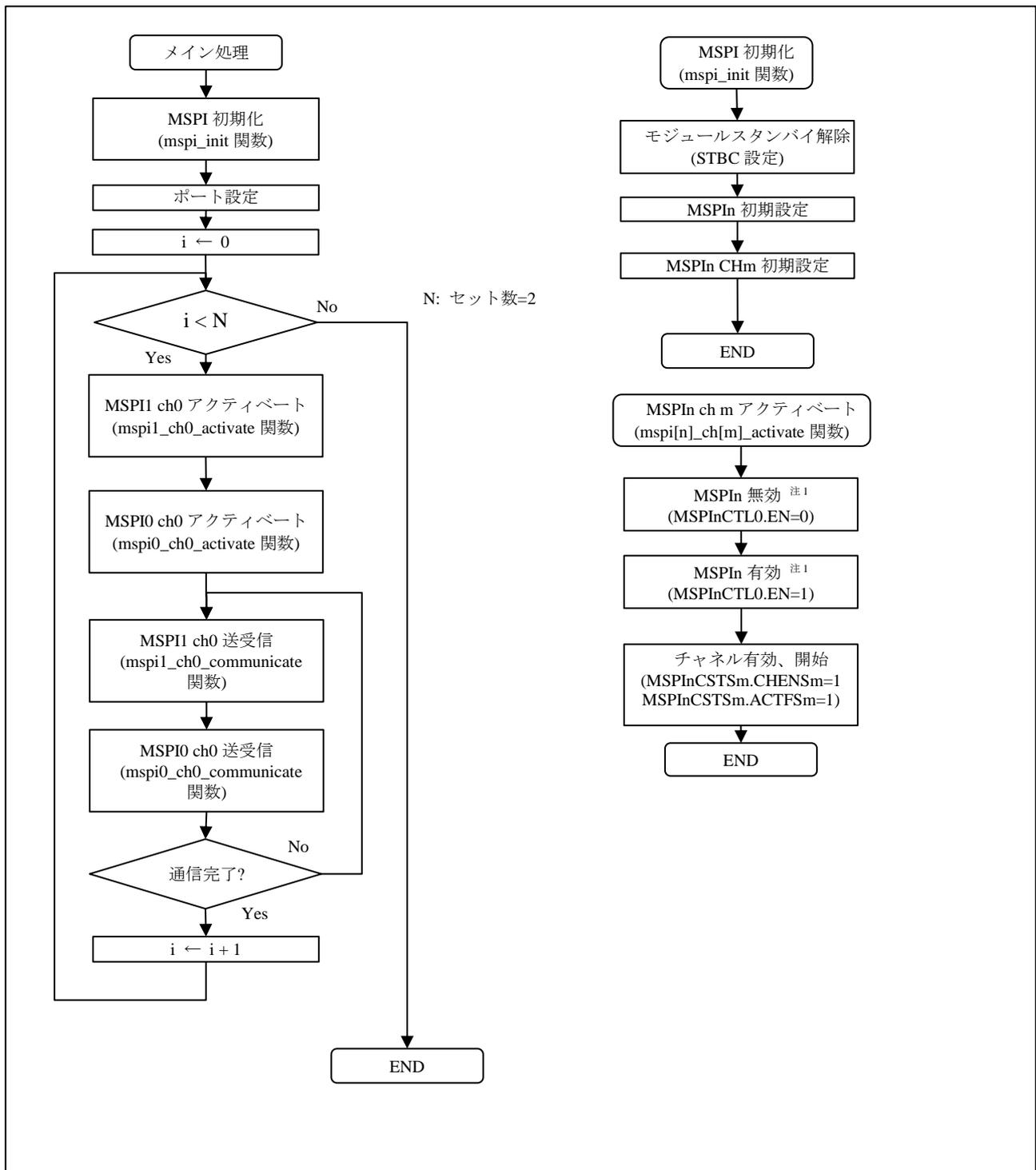


図 3-10 動作フロー(1/2)

注 1. mspi1_ch0_activate 関数のみ MSPInCTL0.EN=0、MSPInCTL0.EN=1 を設定します。

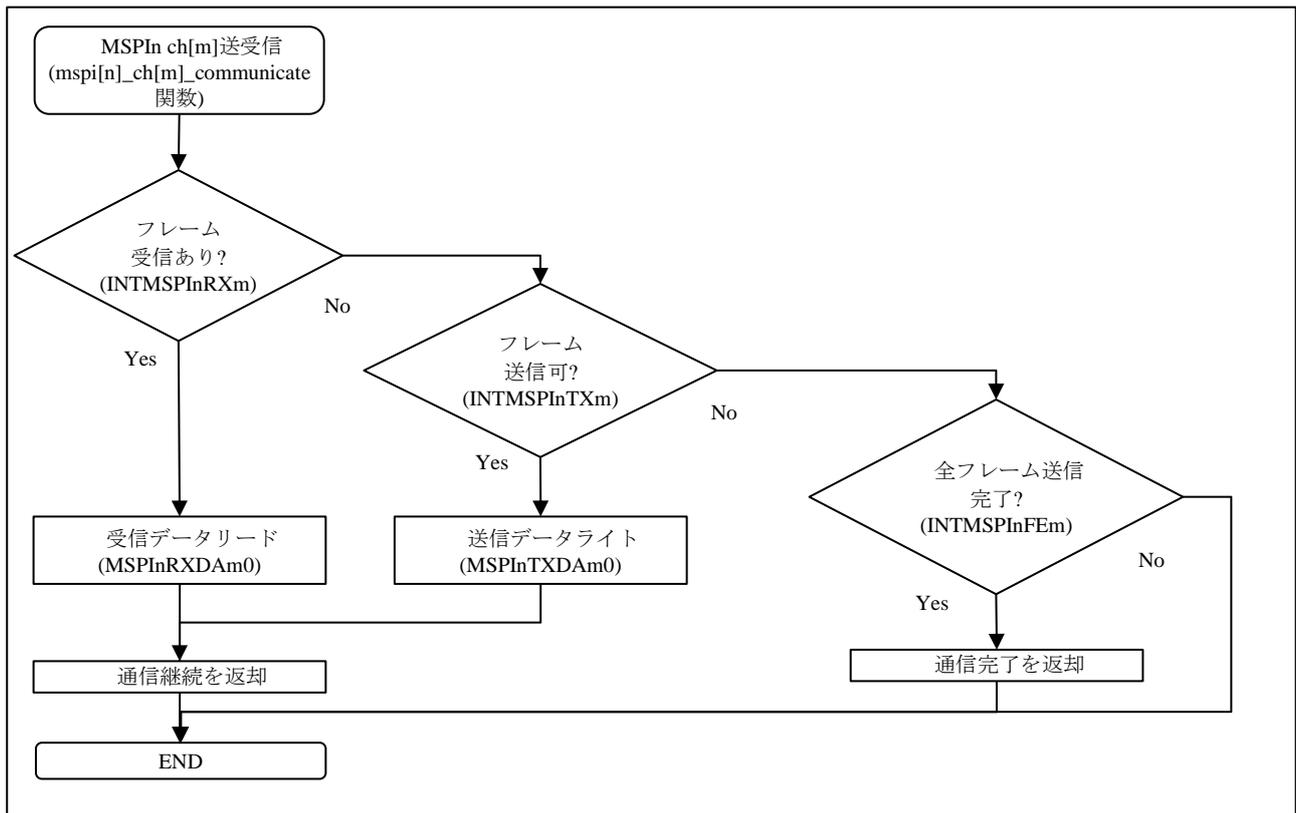


図 3-10 動作フロー(2/2)

フローチャートの詳細は RH850/U2A-EVA User's Manual Figure 19.45 Master Transmission/Reception Operating Procedure in Direct Memory Mode を参照してください。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
0.70	2020.07.31	全項	初版作成。
1.00	2020.12.22	8, 11, 14, 18, 23、30, 35, 39	MSPI アクティベート関数を追加
		7, 12, 19, 39	3.4.1 仕様概要を修正
		39	図 3-10 動作フローの通信回数を修正
1.10	2022.04.01	1	対象統合開発環境のデバイスファイルを追加
		4, 5	2.1 適用の説明、図 2-1 MSPI ブロック図を変更
		36	表 3-21 MSPI0 CH0 初期設定の SEUP0 ビットの設定値を変更

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子(または外部発振回路)を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子(または外部発振回路)を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}(\text{Max.})$ から $V_{IH}(\text{Min.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}(\text{Max.})$ から $V_{IH}(\text{Min.})$ までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス(予約領域)のアクセス禁止

リザーブアドレス(予約領域)のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス(予約領域)があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、変更、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改造、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。