

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# H8S/20103, H8S/20203, H8S/20223 グループ

## タイマ RG とポートグループ出力による TPC 動作

### 要旨

H8S/20103, H8S/20203, H8S/20223 グループ内蔵のタイマ RG・コンペアマッチ A 信号で ELC (イベントリンクコントローラ) を使用して, ポートのイベント入力動作とイベント発生動作で CPU の介在なく TPC (プログラマブルタイミングパターンコントローラ) 動作を実現します。

### 対象デバイス

H8S/20103 (R4F20103)

H8S/20203 (R4F20203)

H8S/20223 (R4F20223)

### 動作確認条件

システムクロック  $\phi = \phi_{osc} = 20 \text{ MHz}$

### 目次

1. 仕様 .....	2
2. 使用機能説明 .....	5
3. 動作原理 .....	16
4. ソフトウェア説明 .....	17
5. フローチャート .....	20
6. プログラムリスト .....	26

## 1. 仕様

本アプリケーションにおける仕様を以下に説明します。タイマ RG のコンペアマッチ A をタイムベースとし、CPU の介在なく任意のパルス出力をします。

図 1 にタイマ RG とポートグループ出力による TPC 動作の概要を示します。図 2 にタイマ RG とポートグループ出力による TPC の動作概要を示します。

- (1) タイマ RG のコンペアマッチ A をタイムベースとするパルス出力パターンテーブルを ROM に配置します。
- (2) タイマ RG をタイマモードに設定し、クロックソース $\phi$ 、GRA とコンペアマッチで TRGCNT をクリアに設定します。
- (3) GRA をコンペアマッチレジスタに設定します。
- (4) GRA にタイマ RG の周期を設定します (パルス出力タイミング設定)。
- (5) TRGCNT を H'0000 にクリアします。
- (6) DTC をリピートモード、転送元アドレスをインクリメント、転送先アドレスを固定、ソース側をリピート領域、転送サイズをバイトサイズに設定します。
- (7) 転送元アドレスを ROM に配置したパルス出力パターンテーブルの先頭アドレスに設定します。
- (8) 転送先アドレスを PDBF1 のアドレスに設定します。
- (9) DTC 起動要因をタイマ RG のコンペアマッチ A 割り込みに設定します。
- (10) PDR34 ~ PDR30 を "L", P34 ~ P30 を出力端子に設定します。
- (11) P34 ~ P30 を出力ポートグループ 1 に設定します。
- (12) PDBF14 ~ PDBF10 イベント入力により PDR34 ~ PDR30 に転送される初期データ B'10000 を設定します。
- (13) ポートグループ 1 の動作をイベント入力時、バッファ値を出力に設定します。
- (14) タイマ RG ・コンペアマッチ A 信号をイベント信号として、出力ポートグループ 1 のイベント動作に設定します。
- (15) イベントリンクを許可します。
- (16) タイマ RG のコンペアマッチ A 割り込みを許可します。
- (17) タイマ RG をスタートします。
- (18) タイマ RG と GRA のコンペアマッチ信号が発生するごとに、CPU の介在なく P34 ~ P30 からパルス出力パターンの出力をします。

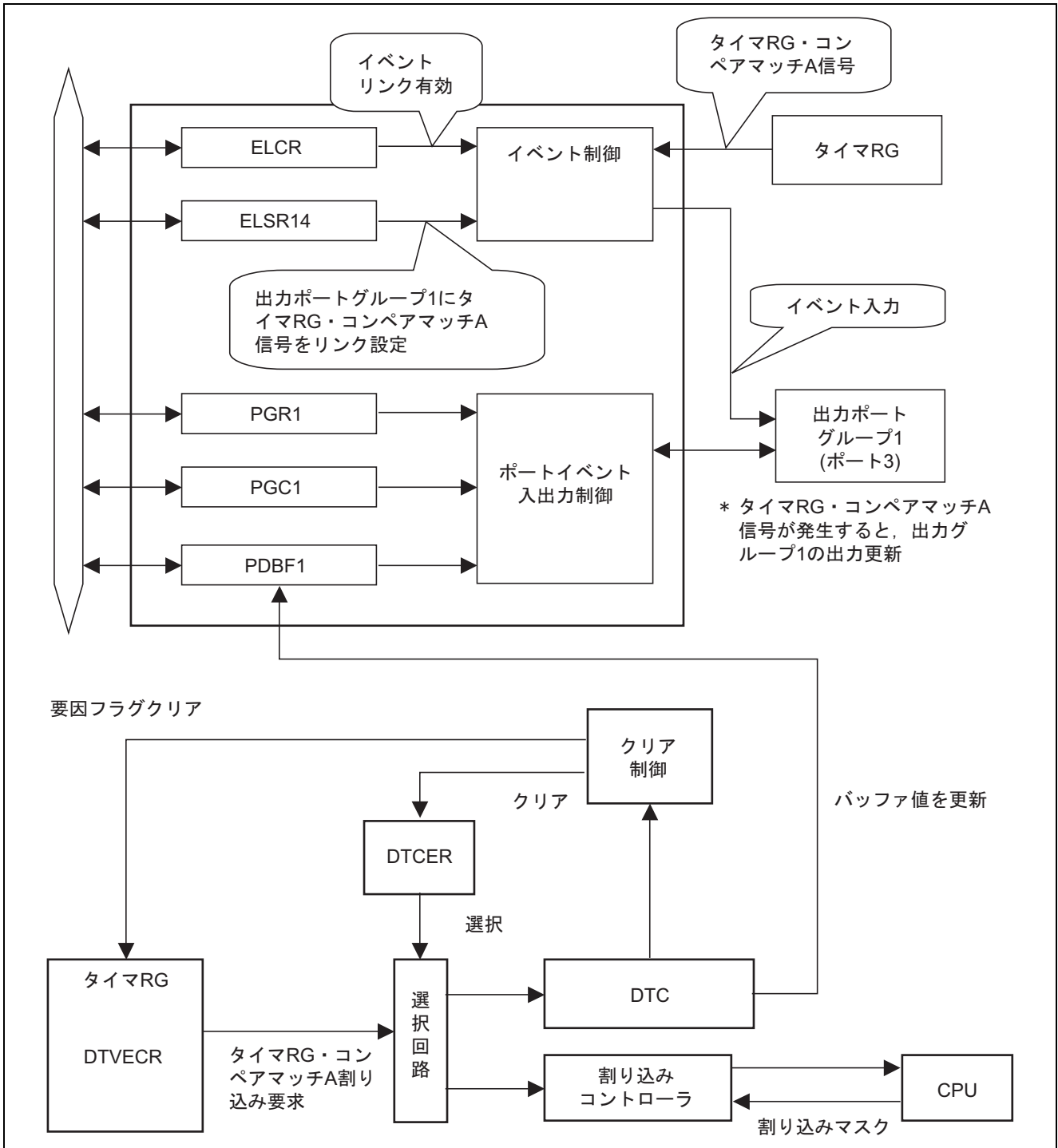


図1 タイマRG とポートグループ出力による TPC 動作の概要

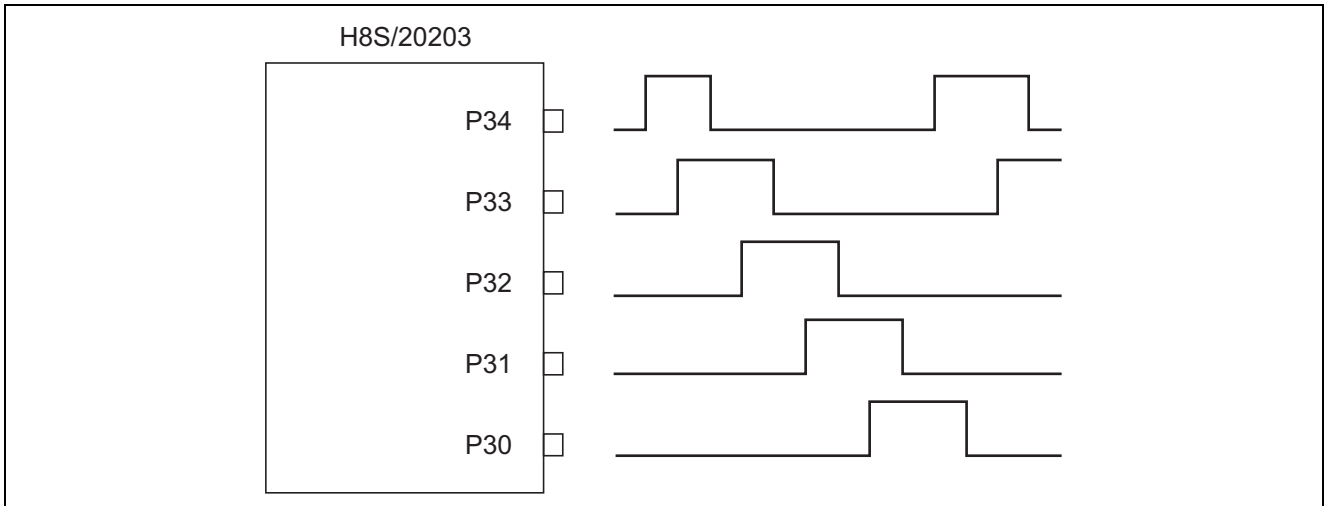


図2 タイマ RG とポートグループ出力による TPC の動作概要

2. 使用機能説明

2.1 ELC (イベントリンクコントローラ)

以下に、ELC の機能を説明します。イベントリンクコントローラのブロック図を図 3 に示します。

ELC は、各周辺モジュールを出力するイベントをモジュール間で相互に接続 (リンク) します。イベントリンクにより、CPU を介さず直接モジュール間での連携動作が可能になります。

- 59 種類のイベント信号を直接モジュールへリンク可能
- タイマ系のモジュールは、イベント入力時の動作の選択が可能
- ポート 3, ポート 6 へのイベントリンクが可能
- ポートの設定により、ポートでのイベント発生が可能
- イベントを接続するポートは、1 ビット単位または任意の複数ビットをグループ化して指定可能
- イベント発生タイマにより、4 チャンネルの任意設定周期のイベント発生が可能

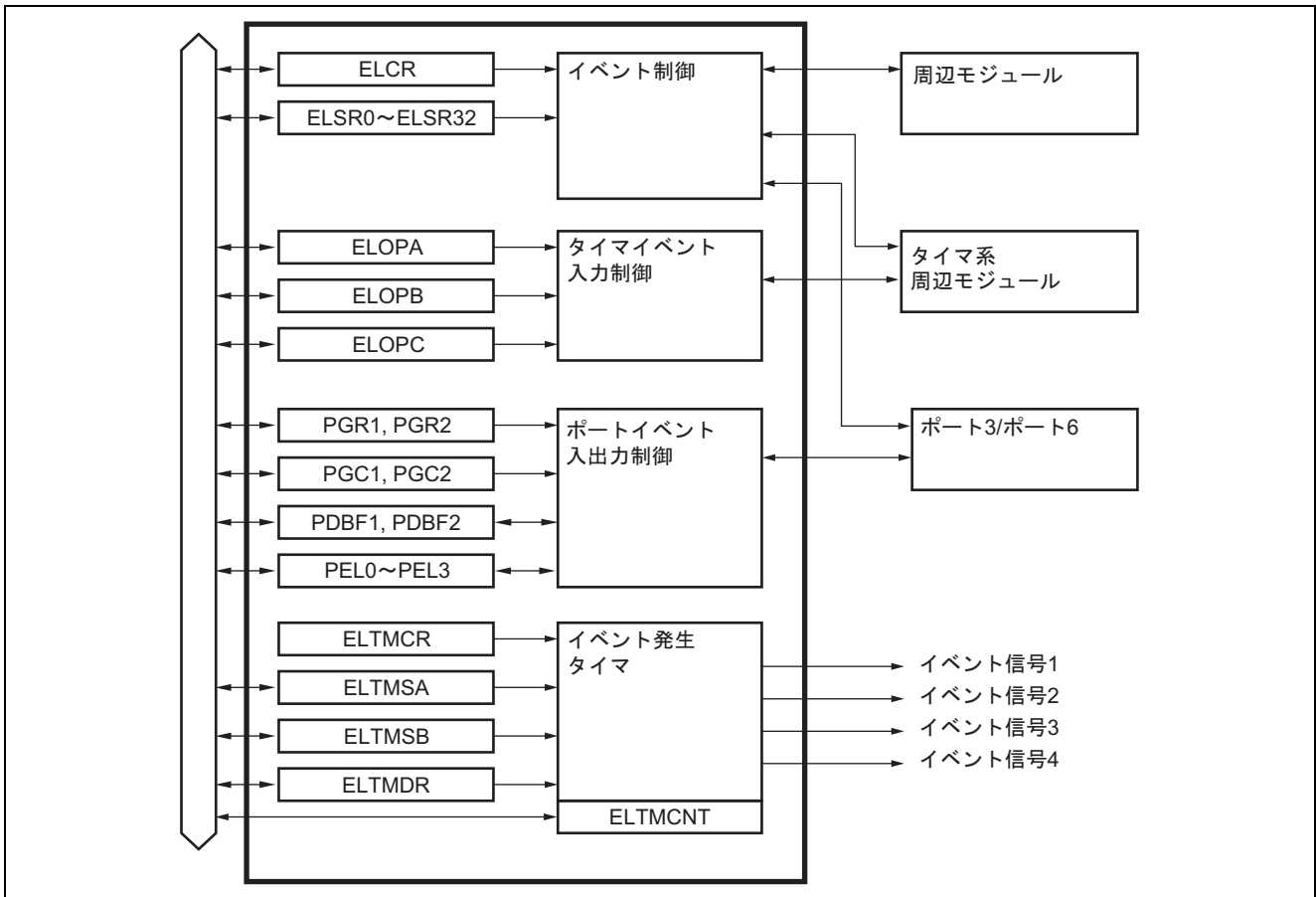


図 3 イベントリンクコントローラのブロック図

### 2.1.1 タイマ系周辺機能のイベント入力時の動作

ELOP によりイベント入力時の動作を設定します。

#### (1) カウントスタート動作

イベント入力により、タイマのカウントをスタートし、各タイマの制御レジスタのカウントスタートビット\*が、"1"にセットされます。カウントスタートビットが"1"の状態を入力されたイベントは、無効です。

#### (2) イベントカウンタ動作

タイマクロックソースとして、イベント入力を選択されタイマが動作します。

#### (3) インプットキャプチャ動作

イベント入力により、キャプチャ動作します。

【注】 \* 各タイマのビット説明を参照してください。



## 2.2 タイマ RG

タイマ RG は、アウトプットコンペア機能、インプットキャプチャ機能を内蔵した 16 ビットタイマです。外部クロックによるカウントが可能のほか、タイマカウンタと 2 本のジェネラルレジスタのコンペアマッチ信号による任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。図 4 にタイマ RG のブロック図を示します。

- 7 種類のカウンタ入力クロックを選択可能  
内部クロック:  $\phi$ ,  $\phi/2$ ,  $\phi/4$ ,  $\phi/8$ ,  $\phi/32$ ,  $\phi/40$   
外部クロック: TCLKA, TCLKB
- タイマモード  
コンペアマッチによる波形出力機能: 0 出力/1 出力/トグル出力  
インプットキャプチャ機能: 立ち上がりエッジ, 立ち下がりエッジ,  
立ち上がり/立ち下がりの両エッジでカウント
- PWM モード  
任意の周期/デューティのパルス出力が可能
- 位相計数モード  
2 本の外部クロック入力の位相差を検出し, TCNT をアップ/ダウンカウント可能
- 内部 16 ビットバスによる高速アクセス  
タイマカウンタ, ジェネラルレジスタに対して, 16 ビットバスインタフェースによる高速アクセスが可能
- 4 種類の割り込み要因  
TRGCNT オーバフロー, TRGCNT アンダフロー, コンペアマッチ, インプットキャプチャ

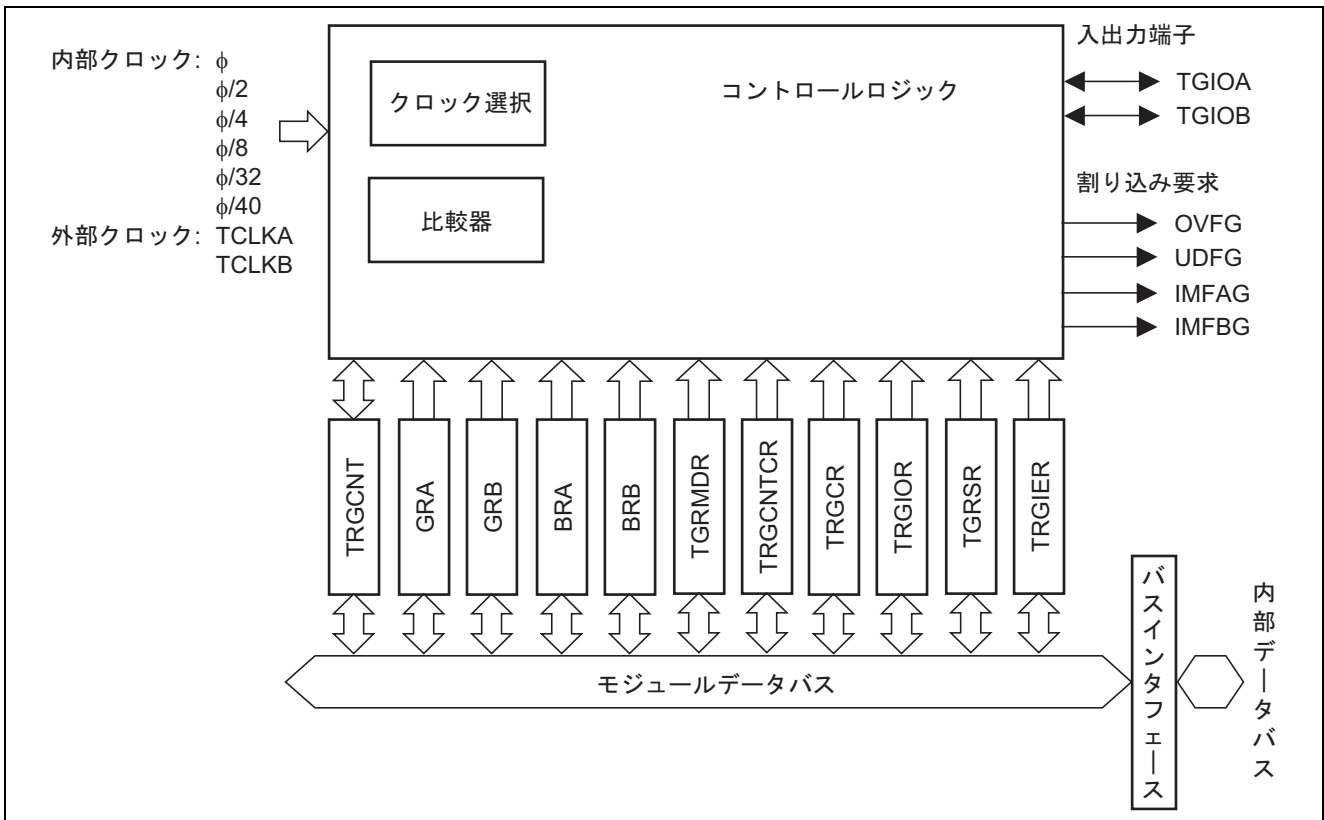


図 4 タイマ RG のブロック図

### 2.2.1 イベントリンクによる動作

タイマ RG はイベントリンクコントローラ (ELC) の設定において、他モジュールで発生したイベントにより動作可能です。

#### (1) カウントスタート動作

ELC の ELOPC でタイマ RG のカウントスタート動作を選択します。ELSR8 で指定したイベントが発生すると、TRGMDR の STR ビットが"1"にセットされ、タイマ RG のカウントがスタートします。ただし、STR ビットが"1"にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

#### (2) イベントカウンタ動作

ELC の ELOPC でタイマ RG のイベントカウンタ動作を選択します。ELSR8 で指定したイベントが発生すると、TRGCR の TPSC[2:0] ビットの設定に関係なく、そのイベントをカウントソースとしてイベントカウンタ動作を行います。カウント値をリードすると、実際に入力されたイベント数が読み出されます。

#### (3) インพุットキャプチャ動作

ELC の ELOPC でタイマ RG のインพุットキャプチャ動作を選択します。ELSR8 で指定したイベントが発生すると、TRGCNT の値を GRB へキャプチャします。イベントリンクによるインพุットキャプチャ動作を使用する場合は、タイマ RG の TRGIOR を IOB[2:0] = B'101 に設定し、TRGMDR の STR ビットを"1"にセットしてカウンタをスタートさせてください。ただし、同時に TGI0B 端子の入力も有効になるため、TGI0B 端子の入力を固定するか、PMC にて TGI0B 端子をポートに割り付けない等の対策をしてください。

## 2.3 データトランスファコントローラ (DTC)

以下に、DTC の機能を説明します。

本 LSI は、DTC を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 5 に DTC のブロック図を示します。

- 任意チャネル数の転送可能
- 転送モード: 3 種類
  - (1) ノーマルモード
    - 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行
    - メモリアドレスを 1 または 2 増減
    - 転送回数は 1 ~ 65,536
  - (2) リピートモード
    - 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行
    - メモリアドレスを 1 または 2 増減
    - 転送回数は (1 ~ 256) 転送後、初期状態を回復して動作を継続
  - (3) ブロック転送モード
    - 1 回の転送要求で指定したブロックサイズの転送
    - ブロックサイズ 1 ~ 256 バイトまたはワード
    - 転送回数は 1 ~ 65,536
    - ソースまたはデスティネーションのいずれかをブロックエリアに指定可能
- 1 つの起動要因で複数データの連続転送が可能 (チェイン転送)
- 16M バイトのアドレス空間を直接指定可能
- ソフトウェアによる起動が可能
- 転送単位をバイト/ワードに設定可能
- DTC を起動した割り込みを CPU に要求可能
- モジュールスタンバイモードの設定可能

DTC のレジスタ情報は内蔵 RAM に配置されます。DTC と内蔵 RAM 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

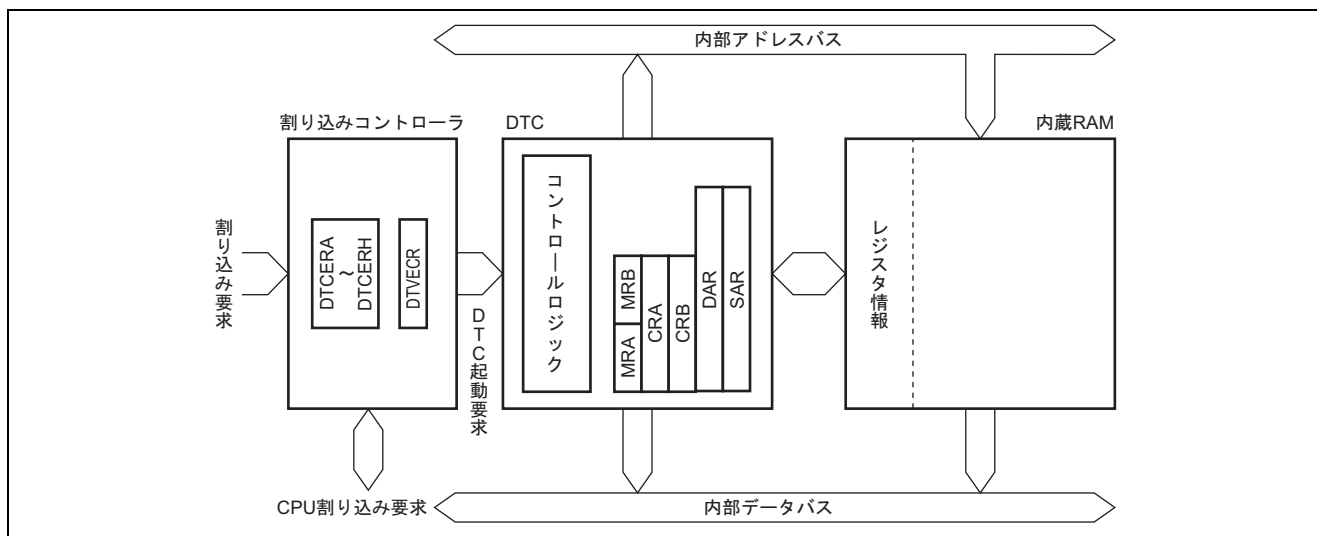


図 5 DTC のブロック図

2.3.1 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因フラグは SCI3\_1 の RDRF フラグになります。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。起動要因と DTCER のクリアを表 1 に、DTC 起動要因制御ブロック図を図 6 に示します。割り込みコントローラの詳細は「H8S/20103, H8S/20203, H8S/20223 ハードウェアマニュアル (RJJ09B0491) 割り込みコントローラ」を参照してください。

表 1 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	SWDTE ビットは 0 にクリア	<ul style="list-style-type: none"> <li>SWDTE ビットは 1 を保持</li> <li>CPU に割り込みを要求</li> </ul>
割り込み起動	<ul style="list-style-type: none"> <li>DTCER の対応するビットは 1 を保持</li> <li>起動要因フラグは 0 にクリア</li> </ul>	<ul style="list-style-type: none"> <li>DTCER の対応するビットは 0 にクリア</li> <li>起動要因フラグは 1 を保持</li> <li>起動要因となった割り込みを CPU に要求</li> </ul>

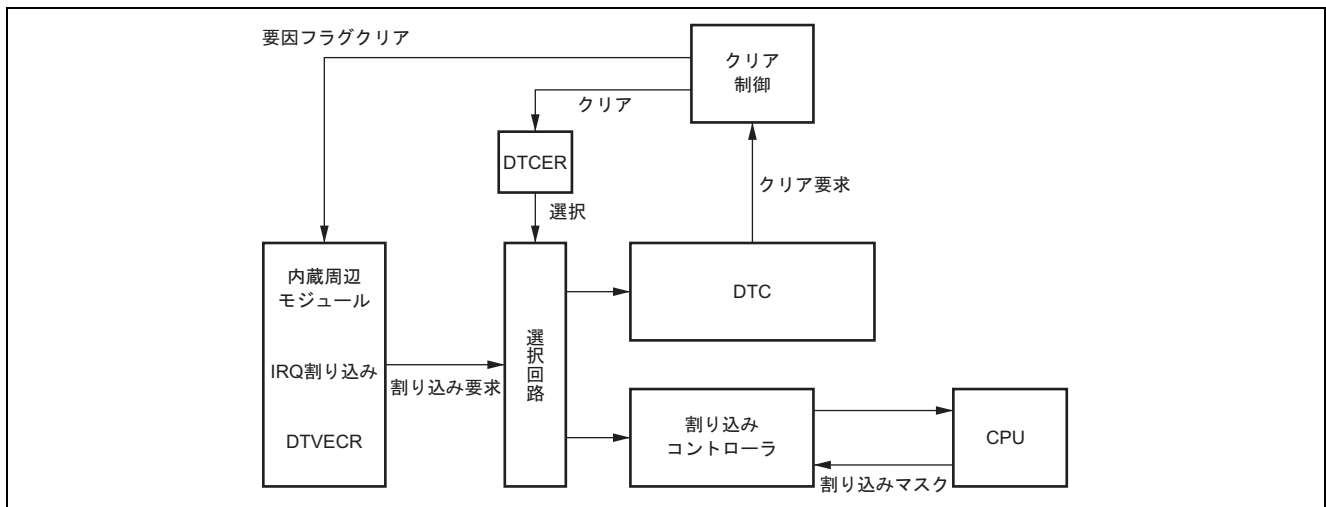


図 6 DTC 起動要因制御ブロック図

2.3.2 レジスタ情報の配置と DTC ベクタテーブル

レジスタ情報は、内蔵 RAM 上に配置してください。アドレスは 4 の倍数の番地としてください。図 7 にアドレス空間上でのレジスタ情報の配置方法を示します。レジスタ情報の先頭アドレスから MRA, SAR, MRB, DAR, CRA, CRB の順に配置してください。また、各レジスタ情報の先頭アドレスを DTC ベクタテーブルの起動要因に対応する番地に格納してください。図 8 に DTC ベクタアドレスとレジスタ情報との対応を示します。DTC は起動要因別にベクタテーブルからレジスタ情報の先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。

表 2 に割り込み要因と DTC ベクタアドレスおよび対応する DTCE を示します。

ソフトウェアで起動する場合のベクタアドレスは  $H'0400 + (DTVECR[6:0] \times 2)$  となります。たとえば、 $VOFR = H'0000$ ,  $DTVECR$  が  $H'18$  のとき、ベクタアドレスは  $H'0430$  となります。

ベクタアドレスの構造は、2 バイト単位になっています。先頭アドレスの下位 2 バイトを設定してください。VOFR を設定することで、ベクタアドレスを可変にすることが可能です。VOFR の詳細については「H8S/20103, H8S/20203, H8S/20223 ハードウェアマニュアル (RJJ09B0491) 割り込みコントローラ」を参照してください。

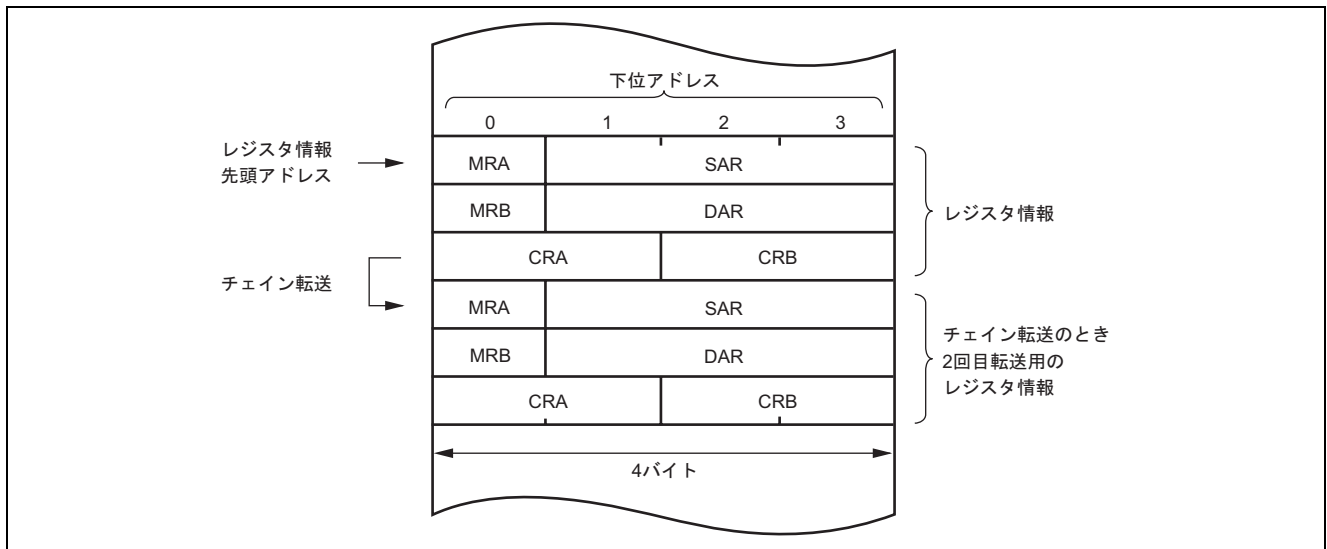


図 7 アドレス空間上での DTC レジスタ情報の配置

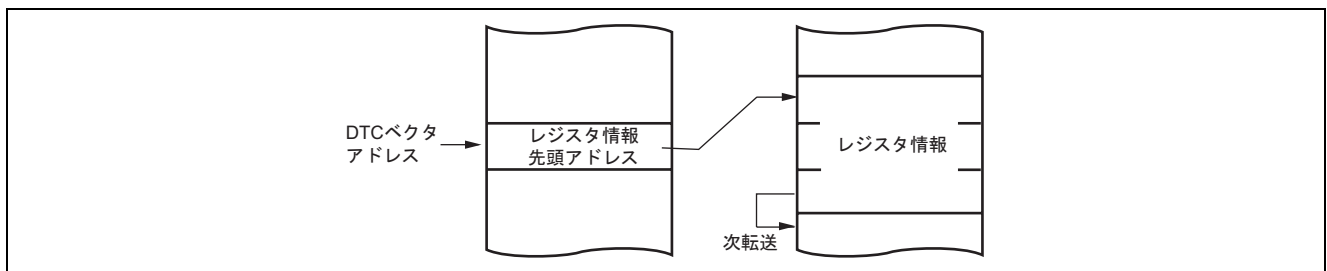


図 8 DTC ベクタアドレスとレジスタ情報との対応

表 2 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

起動要因発生元	起動要因	ベクタ番号	ベクタアドレス* <sup>1</sup>	DTCE* <sup>5</sup>	優先順位
ソフトウェア	DTVECR へのライト	DTVECR	H'0400 + (DTVECR[6:0] × 2)	—	高 ↑
外部端子	IRQ0	22	H'42C ~ H'42D	DTCEA7	↑        ↓ 低
	IRQ1	23	H'42E ~ H'42F	DTCEA6	
	IRQ2	24	H'430 ~ H'431	DTCEA5	
	IRQ3	25	H'432 ~ H'433	DTCEA4	
	IRQ4	26	H'434 ~ H'435	DTCEA3	
	IRQ5	27	H'436 ~ H'437	DTCEA2	
	IRQ6	28	H'438 ~ H'439	DTCEA1	
	IRQ7	29	H'43A ~ H'43B	DTCEA0	
A/D コンバータ ユニット 1	IADEND_1 (変換完了)	30	H'43C ~ H'43D	DTCEB7	
	IADCMP_1 (コンペア条件満足)	31	H'43E ~ H'43F	DTCEB6	
A/D コンバータ ユニット 2	IADEND_2 (変換完了)	32	H'442 ~ H'443	DTCEB5	
	IADCMP_2 (コンペア条件満足)	33	H'444 ~ H'445	DTCEB4	
ELC	ELC1FP (ELSR12 イベント発生)	35	H'446 ~ H'447	DTCEB3	
	ELC2FP (ELSR30 イベント発生)	36	H'448 ~ H'449	DTCEB2	
SCI3 チャンネル 1	SCI3_1 RXI	38	H'44C ~ H'44D	DTCEB1	
	SCI3_1 TXI	39	H'44E ~ H'44F	DTCEB0	
SCI3 チャンネル 2	SCI3_2 RXI	42	H'454 ~ H'455	DTCEC7	
	SCI3_2 TXI	43	H'456 ~ H'457	DTCEC6	
SCI3 チャンネル 3	SCI3_3 RXI	46	H'45C ~ H'45D	DTCEC5	
	SCI3_3 TXI	47	H'45E ~ H'45F	DTCEC4	
IIC2/SSU	IIC2/SSU_RXI	60	H'478 ~ H'479	DTCED7	
	IIC2/SSU_TXI	61	H'47A ~ H'47B	DTCED6	
タイマ RC* <sup>3</sup>	ITCMA インプットキャプチャ A/ コンペアマッチ A	71	H'48E ~ H'48F	DTCED3	
	ITCMB インプットキャプチャ B/ コンペアマッチ B	72	H'490 ~ H'491	DTCED2	
	ITCMC インプットキャプチャ C/ コンペアマッチ C	73	H'492 ~ H'493	DTCED1	

起動要因発生元	起動要因	ベクタ番号	ベクタアドレス <sup>*1</sup>	DTCE <sup>*5</sup>	優先順位
タイマ RC <sup>*3</sup>	ITCMC インプットキャプチャ D/ コンペアマッチ D	74	H'494 ~ H'495	DTCED0	<div style="text-align: center;">                     高                      ↑                       ↓                      低                 </div>
タイマ RD ユニット 0 チャンネル 0	ITDMA0_0 インプットキャプチャ A/ コンペアマッチ A	76	H'498 ~ H'499	DTCEE7	
	ITDMB0_0 インプットキャプチャ B/ コンペアマッチ B	77	H'49A ~ H'49B	DTCEE6	
	ITDMC0_0 インプットキャプチャ C/ コンペアマッチ C	78	H'49C ~ H'49D	DTCEE5	
	ITDMD0_0 インプットキャプチャ D/ コンペアマッチ D	79	H'49E ~ H'49F	DTCEE4	
タイマ RD ユニット 0 チャンネル 1 <sup>*4</sup>	ITDMA0_1 インプットキャプチャ A/ コンペアマッチ A	82	H'4A4 ~ H'4A5	DTCEE3	
	ITDMB0_1 インプットキャプチャ B/ コンペアマッチ B	83	H'4A6 ~ H'4A7	DTCEE2	
	ITDMC0_1 インプットキャプチャ C/ コンペアマッチ C	84	H'4A8 ~ H'4A9	DTCEE1	
	ITDMD0_1 インプットキャプチャ D/ コンペアマッチ D	85	H'4AA ~ H'4AB	DTCEE0	
タイマ RD ユニット 1 チャンネル 2 <sup>*4</sup>	ITDMA1_2 インプットキャプチャ A/ コンペアマッチ A	87	H'4AE ~ H'4AF	DTCEF7	
	ITDMB1_2 インプットキャプチャ B/ コンペアマッチ B	88	H'4B0 ~ H'4B1	DTCEF6	
	ITDMC1_2 インプットキャプチャ C/ コンペアマッチ C	89	H'4B2 ~ H'4B3	DTCEF5	
	ITDMD1_2 インプットキャプチャ D/ コンペアマッチ D	90	H'4B4 ~ H'4B5	DTCEF4	
タイマ RD ユニット 1 チャンネル 3 <sup>*4</sup>	ITDMA1_3 インプットキャプチャ A/ コンペアマッチ A	93	H'4BA ~ H'4BB	DTCEF3	
	ITDMB1_3 インプットキャプチャ B/ コンペアマッチ B	94	H'4BC ~ H'4BD	DTCEF2	



起動要因発生元	起動要因	ベクタ番号	ベクタアドレス* <sup>1</sup>	DTCE* <sup>5</sup>	優先順位
タイマ RD ユニット 1 チャンネル 3* <sup>4</sup>	ITDMC1_3 インプットキャプチャ C/ コンペアマッチ C	95	H'4BE ~ H'4BF	DTCEF1	↑ 高          ↓ 低
	ITDMD1_3 インプットキャプチャ D/ コンペアマッチ D	96	H'4C0 ~ H'4C1	DTCEF0	
タイマ RE	ITESC	100	H'4C8 ~ H'4C9	DTCEG4	
	ITEMI	101	H'4CA ~ H'4CB	DTCEG3	
	ITEHR	102	H'4CC ~ H'4CD	DTCEG2	
	ITEDY	103	H'4CE ~ H'4CF	DTCEG1	
	ITEWK	104	H'4D0 ~ H'4D1	DTCEG0	
タイマ RG	ITGMA インプットキャプチャ A/ コンペアマッチ A	109	H'4DA ~ H'4DB	DTCEH3	
	ITGMB インプットキャプチャ B/ コンペアマッチ B	110	H'4DC ~ H'4DD	DTCEH2	

- 【注】
1. ベクタアドレスは VOFR = H'0000 のときの低位 11 ビットを示しています。
  2. H8S/20223 グループのみ搭載しています。他製品では予約となります。
  3. H8S/20103 グループのみ搭載しています。他製品では予約となります。
  4. H8S/20103 グループにはありません。他製品では予約となります。
  5. 対応する割り込みのない DTCE ビットは予約ビットとなります。0 をライトしてください。

3. 動作原理

本タスク例の動作原理を図9に示します。図9に示すようなハードウェア処理, およびソフトウェア処理によって, CPU の介在なくタイマ RG とポートグループ出力による TPC 動作をします。

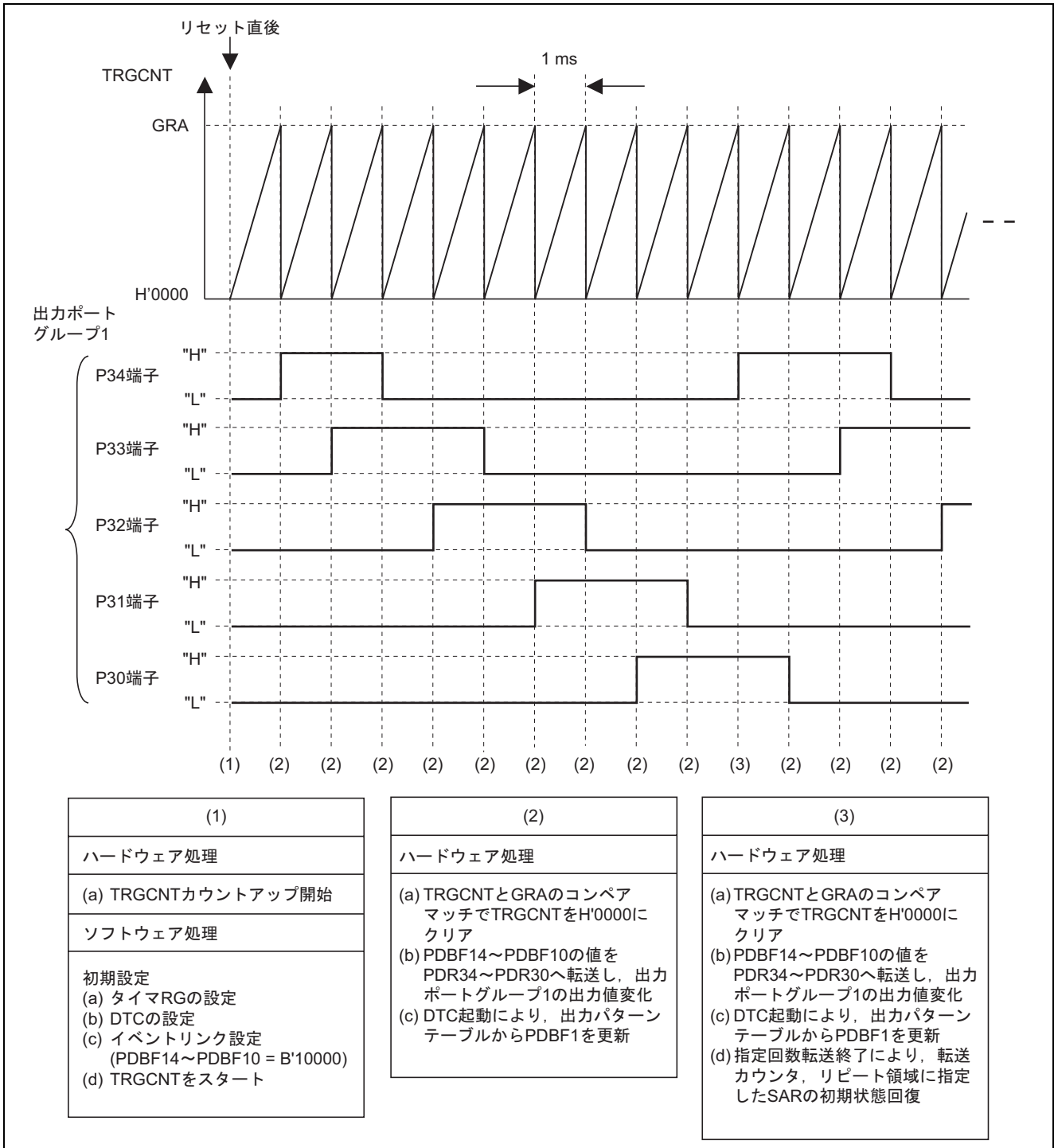


図9 本タスク例の動作原理

## 4. ソフトウェア説明

### 4.1 モジュール説明

表 3 に本タスク例におけるモジュール説明を示します。

表 3 モジュール説明

モジュール名	ラベル名	機能
メインルーチン	main	各関数の呼び出し, タイマ RG・コンペアマッチ A 割り込み許可, タイマ RG カウンタスタート
システムの初期化ルーチン	h8s_sysinit	モジュールスタンバイの設定, WDT の停止, システムクロックの設定, バスマスタ動作クロックの設定
タイマ RG 設定ルーチン	init_tmrg	タイマ RG の設定
DTC 設定ルーチン	init_dtc	DTC の設定
イベントリンク設定ルーチン	init_port_gr	ELC の設定

### 4.2 引数の説明

本タスク例では, 引数を使用していません。

### 4.3 使用内部レジスタ説明

表 4 に本タスク例における使用内部レジスタを説明します。

表 4 使用内部レジスタ説明

レジスタ名	シンボル	機能	アドレス	設定値
PMRJ	PMRJ[1:0]	PJ0, PJ1 端子を OSC1, OSC2 端子に設定	H'FF000C	B'11
DTCERH	ITGMA	タイマ RG・コンペアマッチ A 割り込み要因を DTC 起動要因に設定	H'FF053B	1
DTVECR	DTVEC6 ~ DTVEC0	DTC 起動ベクタ番号を設定	H'FF053D	B'0000000
TRGCNT		TRGCNT を初期化	H'FF0640	H'0000
GRA		TRGCNT の周期を設定	H'FF0642	H'4E1F
TRGMDR	STR	TRGCNT はカウント動作	H'FF0646	1
	MDF	TRGCR の TPSC2 ~ TPSC0 で設定したクロックをカウントアップ		0
	PWM	TRGMDR の MDF ビットと合わせ, タイマモードに設定		0
TRGCR	CCLR[1:0]	GRA のコンペアマッチで TRGCNT をクリアに設定	H'FF0648	B'01
	TPSC[2:0]	内部クロックφでカウント		B'000
TRGIOR	IOA2	GRA はコンペアマッチレジスタとして機能に設定	H'FF0649	0
	IOA[1:0]	コンペアマッチによる端子出力禁止に設定		B'00

レジスタ名	シンボル	機能	アドレス	設定値
TRGSR	IMFA	[1 になる条件] <ul style="list-style-type: none"> <li>GRA がコンペアレジスタとして機能しているときで, TRGCNT = GRA になったとき</li> </ul> [0 になる条件] <ul style="list-style-type: none"> <li>IMFA 割り込みにより DTC が起動され, DTC の MRB の DISEL ビットが"0"のとき</li> <li>IMFA = 1 の状態で, IMFA フラグをリードした後, IMFA フラグに"0"をライトしたとき</li> </ul>	H'FF064A	0
TRGIER	IMIEA	IMFA フラグによる割り込みを許可	H'FF064B	1
ELSR14		出力ポートグループ 1 とタイマ RG・コンペアマッチ A 信号をリンク設定	H'FF068E	H'23
PGR1	PGR14	P34 をポートグループに設定	H'FF06A2	1
	PGR13	P33 をポートグループに設定		1
	PGR12	P32 をポートグループに設定		1
	PGR11	P31 をポートグループに設定		1
	PGR10	P30 をポートグループに設定		1
PGC1	PGCO1[2:0]	ポートグループ動作をイベント入力時, パッファ値を出力に設定	H'FF06A6	B'011
PDBF1	PDBF14	PDR34 に転送するパッファ値を設定	H'FF06AA	1*
	PDBF13	PDR33 に転送するパッファ値を設定		0*
	PDBF12	PDR32 に転送するパッファ値を設定		0*
	PDBF11	PDR31 に転送するパッファ値を設定		0*
	PDBF10	PDR30 に転送するパッファ値を設定		0*
ELCR	ELCON	全イベントリンク有効に設定	H'FF06BC	1
SYSCCR	PHIHSEL	$\phi$ high クロックソースを $\phi$ osc に設定	H'FF06D0	1
LPCR1	PSCSTP	PSC 分周回路動作	H'FF06D1	0
	PHIBSEL	$\phi$ base クロックソースを $\phi$ high に設定		1
LPCR2	PHI[2:0]	システムクロック を $\phi$ base に設定	H'FF06D2	B'000
LPCR3	PHIS[2:0]	バスマスタ動作クロック $\phi$ s を $\phi$ に設定	H'FF06D3	B'000
OSCCSR		$\phi$ osc 発振安定時間設定	H'FF06D5	H'0E
TMWD		WDT にクロック入力禁止	H'FFFF99	H'F7
TCSRWD		TMWD 書き込み制御	H'FFFF9A	H'A3
MSTCR1	MSTWDT	WDT モジュールスタンバイ解除	H'FFFFDC	0
	MSTDTC	DTC モジュールスタンバイ解除		0
MSTCR3	MSTTMRG	タイマ RG モジュールスタンバイ解除	H'FFFFDE	0
PDR3	PDR34	初期値として"0"を設定	H'FFFFE2	0
	PDR33	初期値として"0"を設定		0
	PDR32	初期値として"0"を設定		0
	PDR31	初期値として"0"を設定		0
	PDR30	初期値として"0"を設定		0
PCR3	PCR34	P34 を出力端子に設定	H'FFFFF2	1
	PCR33	P33 を出力端子に設定		1
	PCR32	P32 を出力端子に設定		1
	PCR31	P31 を出力端子に設定		1
	PCR30	P30 を出力端子に設定		1

【注】 \* DTC 起動により, 値を更新します。

レジスタ名	シンボル	機能	アドレス	設定値
MRA*	SM[1:0]	転送後, SAR をインクリメント	H'FFDF80	B'10
	DM[1:0]	転送後, DAR を固定		B'00
	MD[1:0]	DTC をリピートモードに設定		B'01
	DTS	ソース側をブロック領域に設定		1
	Sz	バイトサイズ転送に設定		0
SAR*		転送元アドレスを設定します。	H'FFDF81	H'000A00
MRB*	CHNE	チェイン転送を行わないに設定	H'FFDF84	0
	DISEL	指定されたデータ転送を終了したときだけ, CPU に対して割り込み要求を発生に設定		0
DAR*		転送先アドレスを設定します。	H'FFDF85	H'FF06AA
CRAH*		転送回数保持	H'FFDF88	10
CRAL*		転送カウンタ	H'FFDF89	10
CRB*		—	H'FFDF8A	—

【注】 \* DTC レジスタ情報は RAM に配置しています。

#### 4.4 使用 RAM 説明

本タスク例では RAM を使用しません。

#### 4.5 使用定義説明

表 5 に本タスク例における使用定義説明を示します。

表 5 使用定義説明

ラベル名	説明	定義値
TPC_OUT_NUM	パルス出力パターン回数を設定	10
SET_GRA	TRGCNT の周期を 1 ms に設定	H'4E1F

#### 4.6 使用定数説明

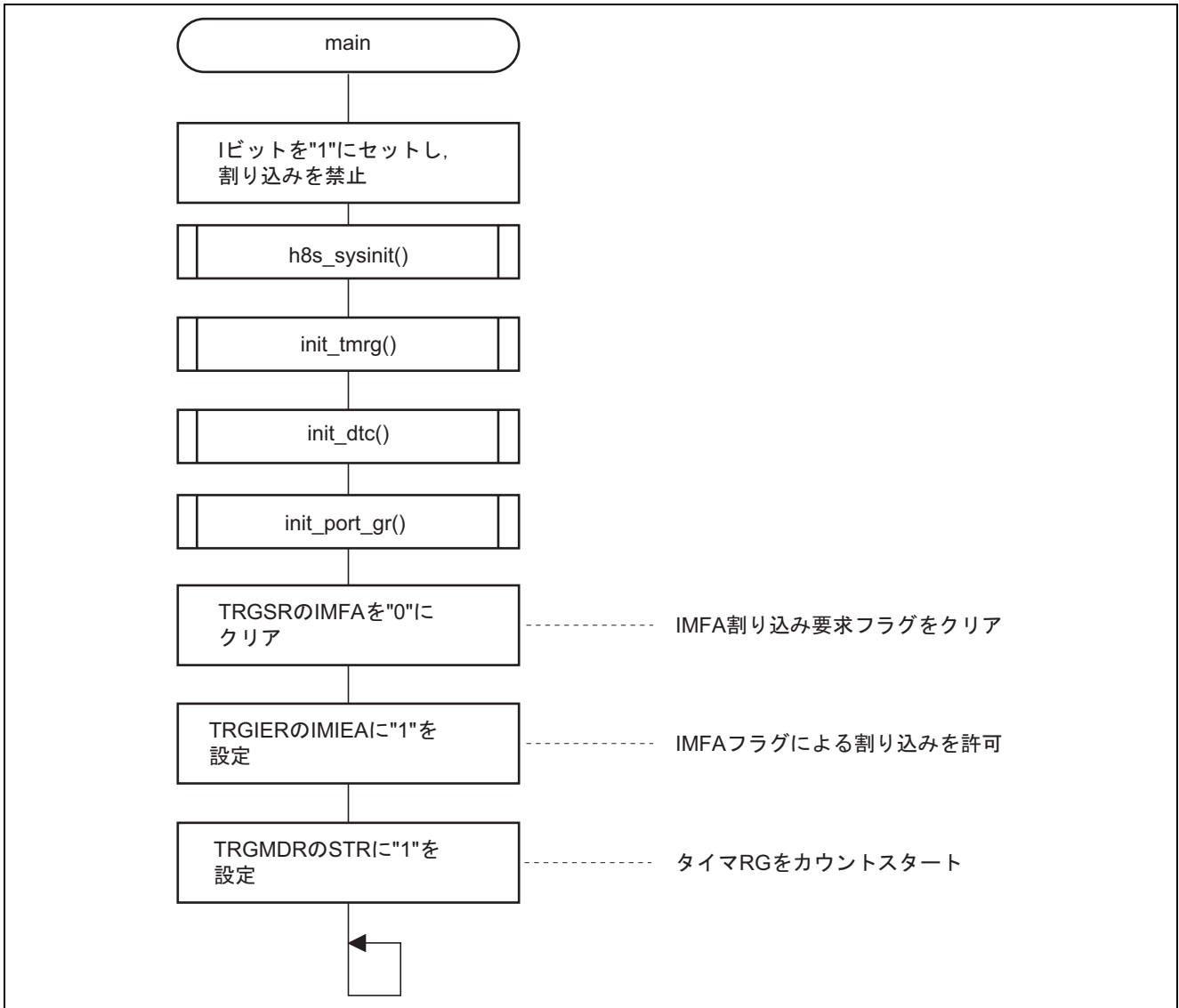
表 6 に本タスク例における使用定数説明を示します。

表 6 使用定数説明

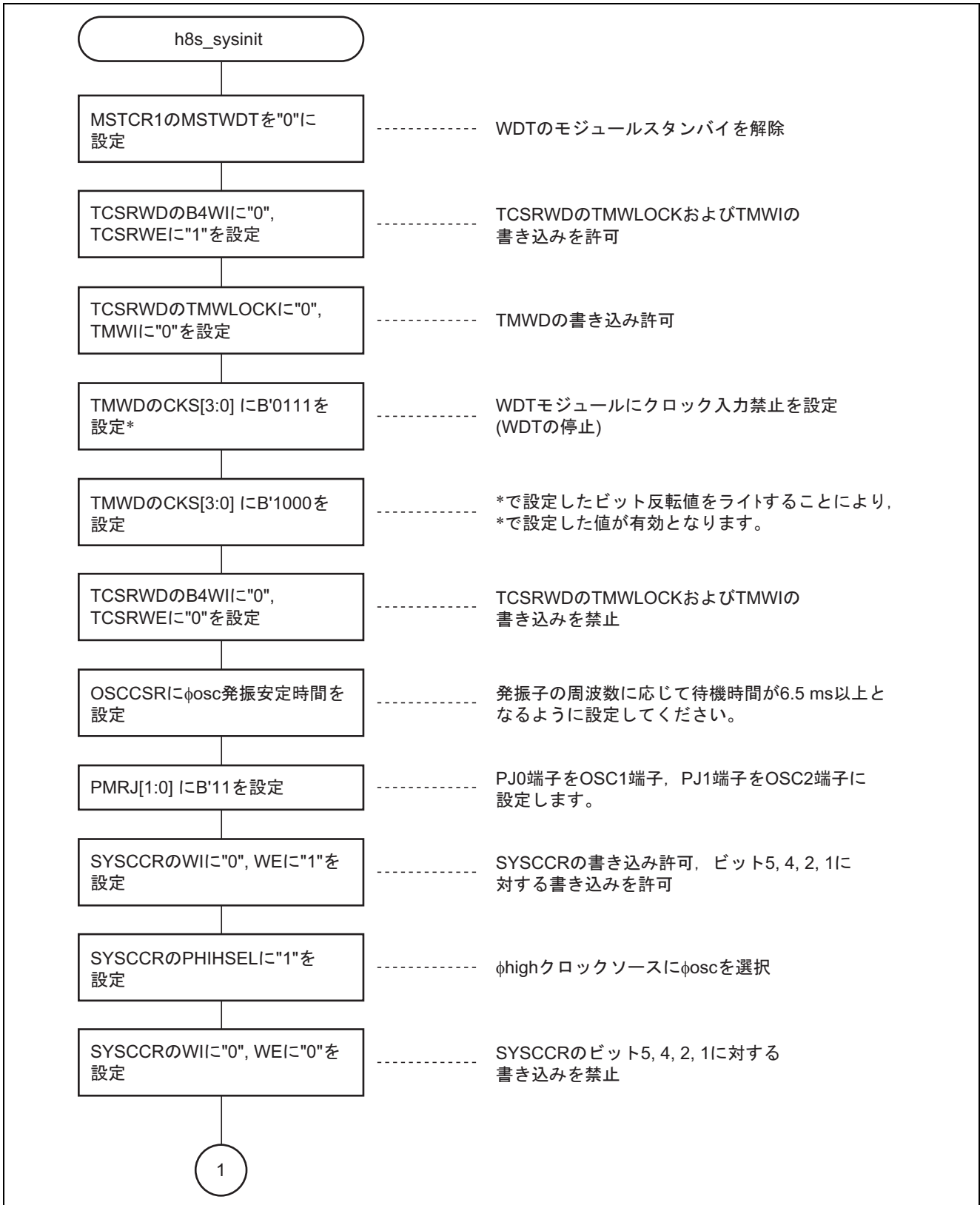
ラベル名	説明	アドレス	定数値
tpc_out[10]	パルス出力パターンテーブル	H'000A00	H'18, H'08, H'0C, H'04, H'06, H'02, H'03, H'01, H'11, H'10

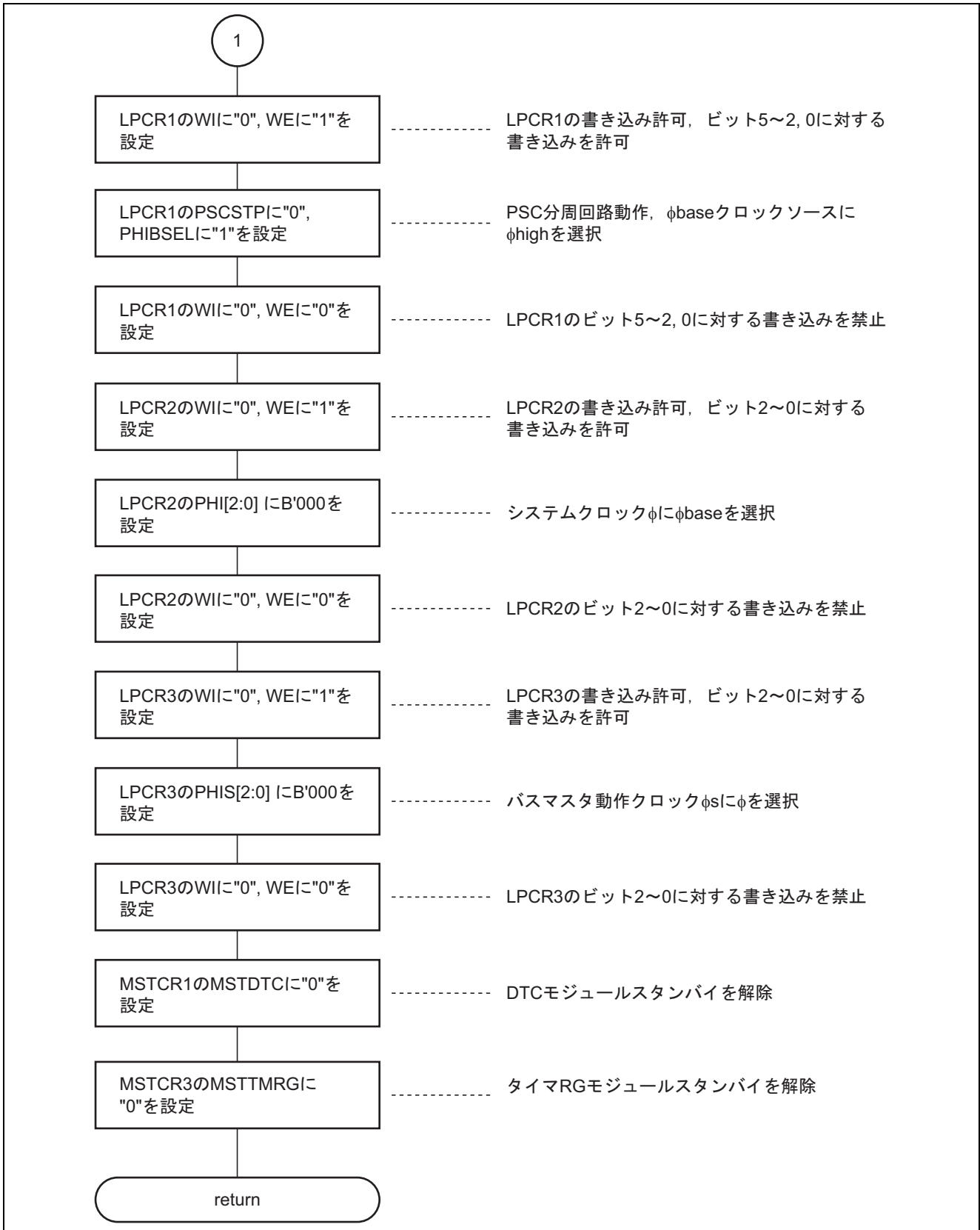
5. フローチャート

5.1 メインルーチン



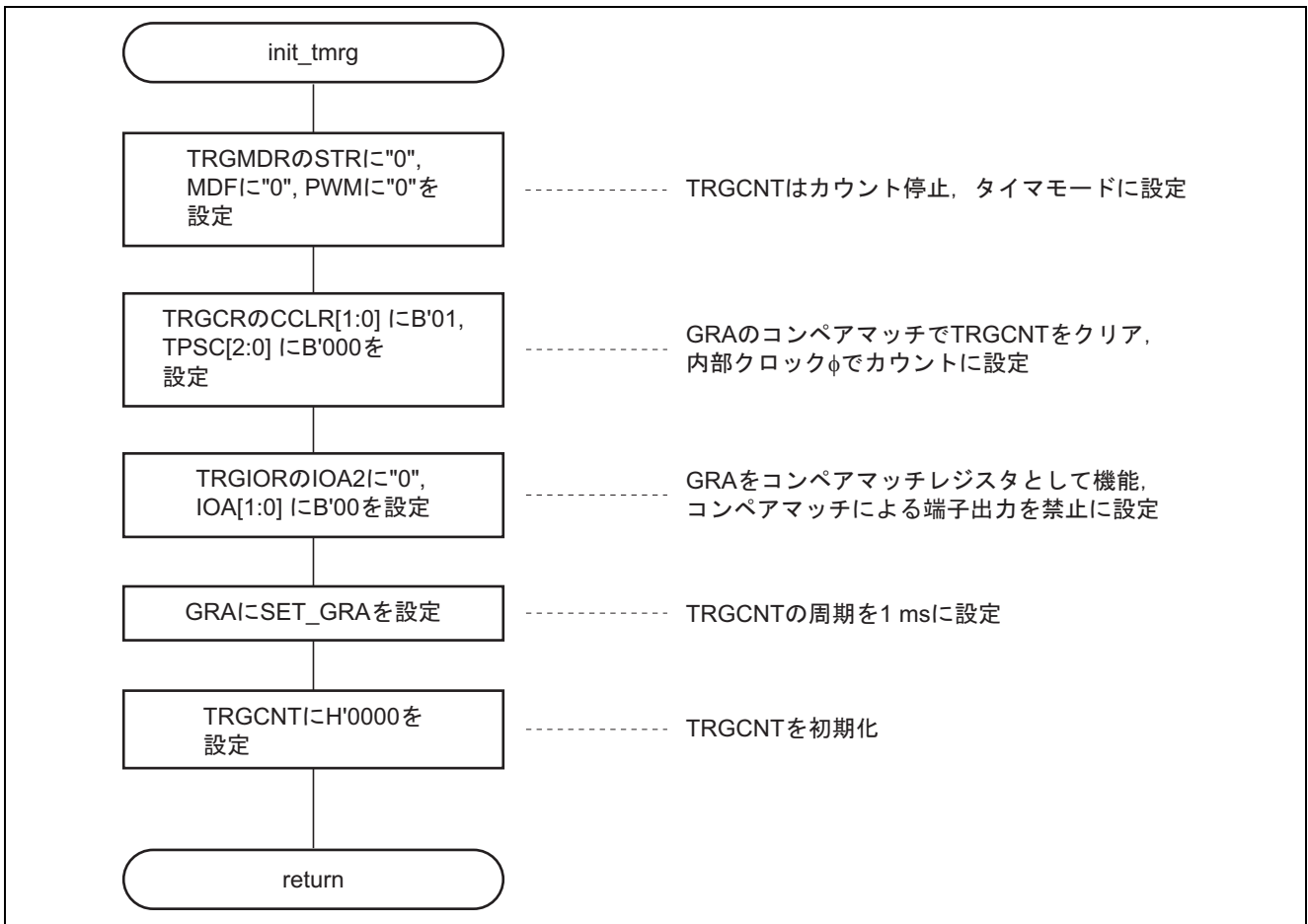
### 5.2 システムの初期化ルーチン



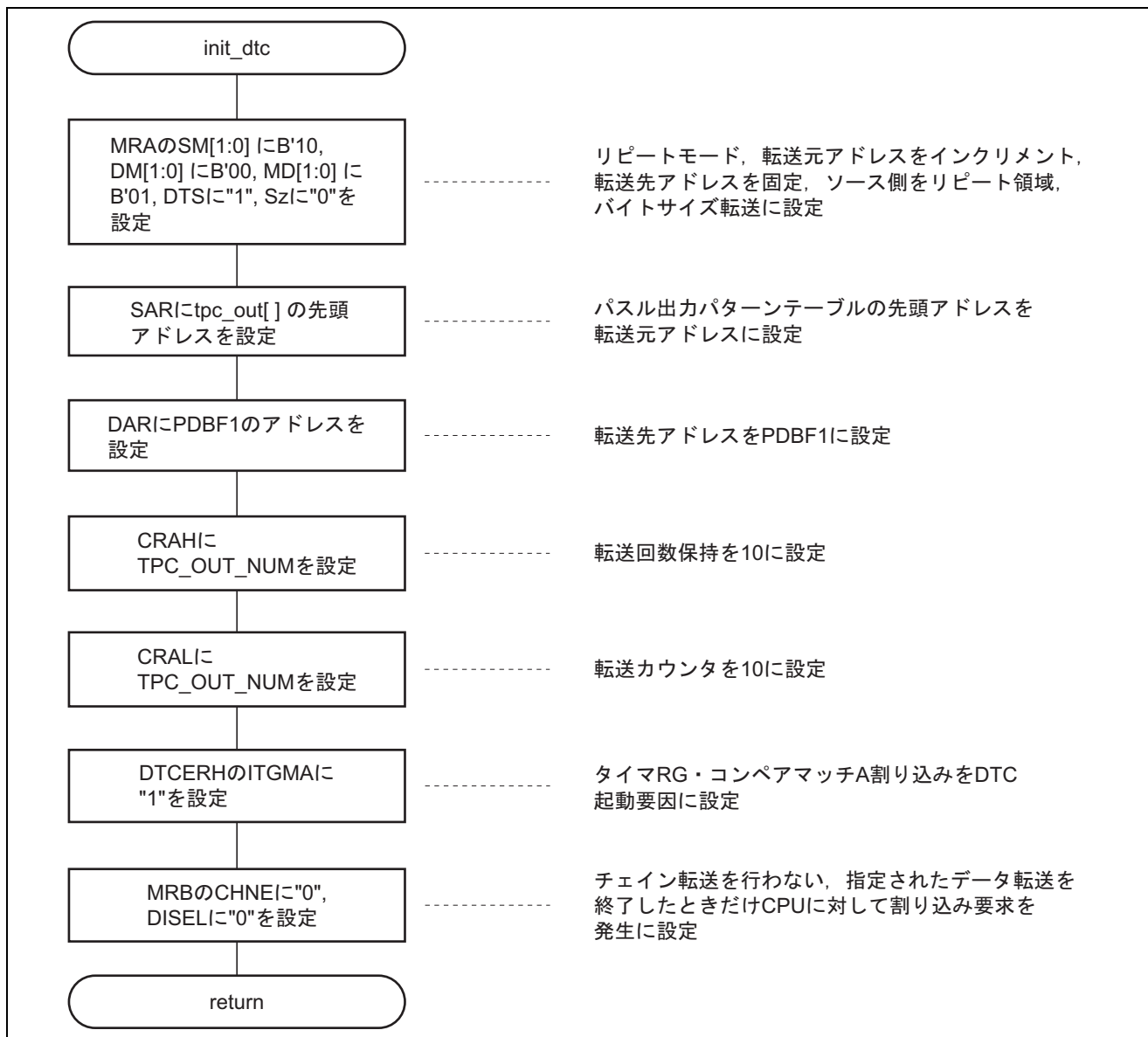




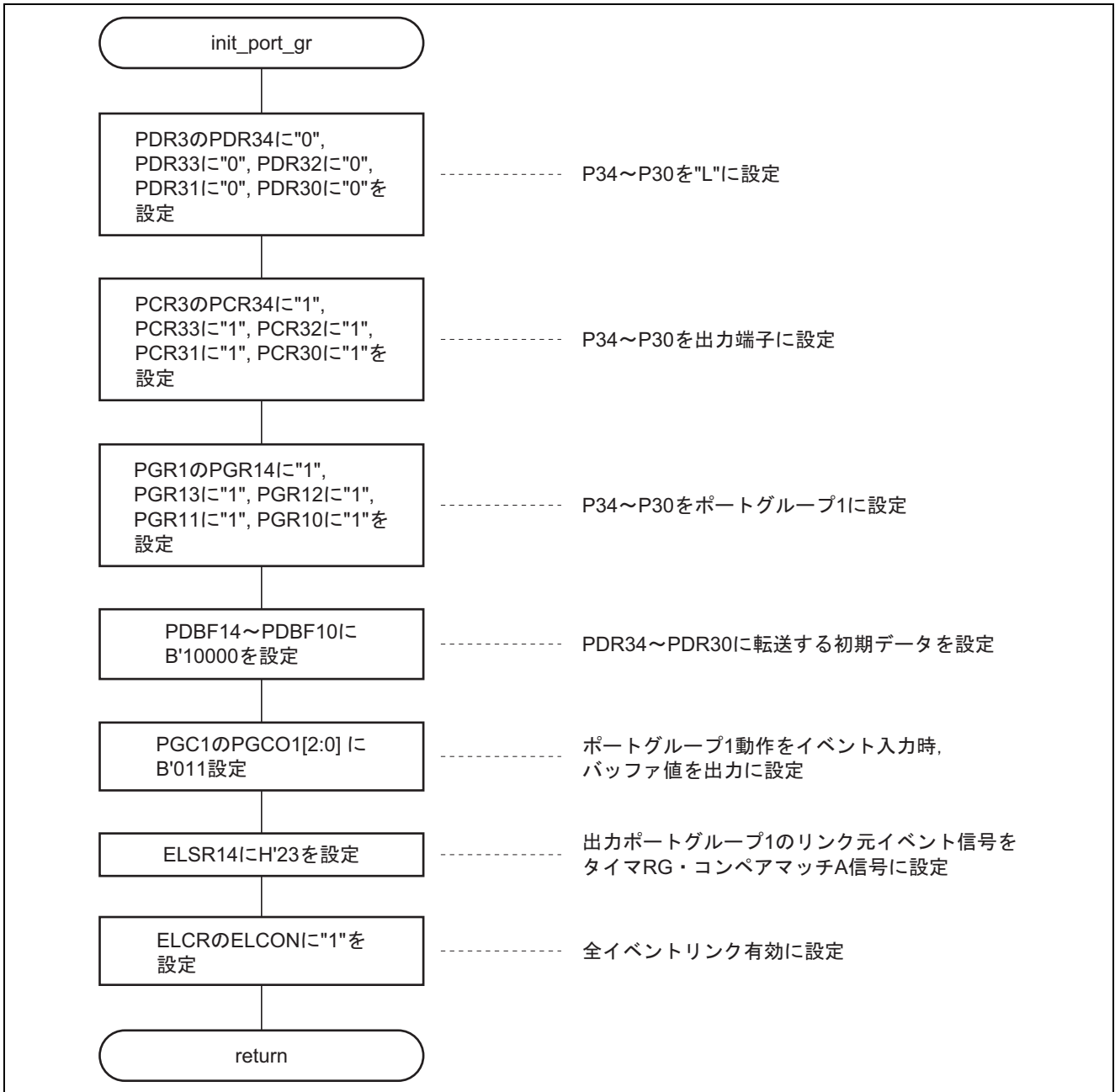
5.3 タイマ RG 設定ルーチン



### 5.4 DTC 設定ルーチン



5.5 イベントリンク設定ルーチン



## 6. プログラムリスト

```

/*****/
/* H8S/2000 Tiny Series -H8S/20203- */
/* Application Note */
/* */
/* start TPC (output group port 1, DTC, Timer RG) */
/* */
/* Function */
/* : start TPC (output group port 1 by Timer RG compare match A, */
/* and DTC by Timer RG compare match A interrupt */
/* Event Link output group port 1 and Timer RG */
/* */
/* External Clock : 20MHz */
/* Internal Clock : 20MHz */
/*****/
#include <machine.h>
#include "iodefine.h"

typedef struct
{
    union{
        unsigned char MRA; /* DTC mode register A */
        struct{
            unsigned long dummy1:8; /* dummy1 data (MRA address) */
            unsigned long SAR:24; /* DTC source address register */
        }SAR;
    }UN_MRA_SAR;
    union{
        unsigned char MRB; /* DTC mode register B */
        struct{
            unsigned long dummy2:8; /* dummy2 data (DAR address) */
            unsigned long DAR:24; /* DTC destination address register */
        }DAR;
    }UN_MRB_DAR;
    struct{
        unsigned char CRAH; /* DTC transfer count register AH */
        unsigned char CRAL; /* DTC transfer count register AL */
    }CRA; /* DTC transfer count register A */
    unsigned short CRB; /* DTC transfer count register B */
} st_dtc_reg;

```

```

/*****/
/*Definition of const data */
/*****/
#define TPC_OUT_NUM      10      /* TPC output number */

/* Timer RG */
/* (Phi=20MHz, divide 1) */
#define SET_GRA          0x4E1F  /* Set GRA (1ms) */

/* set PDBF1 table (TPC output) */
const unsigned char tpc_out[TPC_OUT_NUM] = {
    0x18, 0x08, 0x0C, 0x04, 0x06,
    0x02, 0x03, 0x01, 0x11, 0x10
};

/*****/
/*Declaration of function prototype */
/*****/
void main(void);
void init_tmrg(void);
void init_dtc(void);
void init_port_gr(void);
void h8s_sysinit(void);

/*****/
/*Definition of RAM area */
/*****/
#pragma section DTC
st_dtc_reg DTC_REG;          /* DTC register */

#pragma section

```

```

/*****/
/*Name:          main          */
/*Parameters:    None          */
/*Returns:       None          */
/*Description:   User main     */
/*****/
void main(void)
{
    set_ccr(0x80);                /* set CCR-Ibit */

    h8s_sysinit();               /* initialize system */

    init_tmrg();                 /* initialize timer RG */

    init_dtc();                  /* initialize DTC */

    init_port_gr();              /* initialize port group */

    TRG.TRGSR.BYTE &= 0xE0;      /* clear IMFA flag */
    TRG.TRGIER.BYTE = 0xF1;      /* interrupt enable by IMFA flag */
    TRG.TRGMDR.BIT.STR = 1;      /* TRGCNT start */

    while(1);
}

/*****/
/*Name:          init_tmrg     */
/*Parameters:    None          */
/*Returns:       None          */
/*Description:   initialize timer RG */
/*****/
void init_tmrg(void)
{
    TRG.TRGMDR.BYTE = 0x40;      /* select normal mode, TRGCNT stop */
    TRG.TRGCR.BYTE = 0xA0;      /* TRGCNT clear when compare match GRA */
                                /* clock source Phi */

    TRG.TRGIOR.BYTE = 0x00;      /* select compare match register GRA */
    TRG.GRA = SET_GRA;          /* set GRA */
    TRG.TRGCNT = 0x0000;        /* clear TRGCNT */
}

```

```

/*****/
/*Name:          init_dtc          */
/*Parameters:    None              */
/*Returns:       None              */
/*Description:   initialize DTC (Timer RB one shot) */
/*****/
void init_dtc(void)
{
    DTC_REG.UN_MRA_SAR.MRA = 0x86;          /* repeat mode, SAR increment, DAR hold */
                                           /* Set source to repeat area */
                                           /* transfer byte size */

    DTC_REG.UN_MRA_SAR.SAR.SAR = (unsigned long)&tpc_out;          /* Forwarding former address */
    DTC_REG.UN_MRB_DAR.DAR.DAR = (unsigned long)&ELC.PDBF1.BYTE; /* Address at forwarding destination */
    DTC_REG.CRA.CRAH = TPC_OUT_NUM;          /* Set transfer counter keep */
    DTC_REG.CRA.CRAL = TPC_OUT_NUM;          /* Set transfer counter */

    DTC.DTCERH.BIT.ITGMA = 1;              /* DTC start by Timer RG compare match A */
    DTC_REG.UN_MRB_DAR.MRB = 0x00;          /* disable chain, interrupt transfer end */
}

/*****/
/*Name:          init_port_gr      */
/*Parameters:    None              */
/*Returns:       None              */
/*Description:   initialize port group */
/*****/
void init_port_gr(void)
{
    IO.PDR3.BYTE = 0x00;          /* P34-P30 "L" */
    IO.PCR3.BYTE = 0x1F;          /* output P34-P30 */

    /* Set event link, Timer RG compare match A */
    ELC.PGR1.BYTE = 0x1F;          /* output port group P34-P30 */
    ELC.PDBF1.BYTE = 0x10;          /* output port group P34:P30(B'10000) */
                                           /* TPC initialize output */
    ELC.PGC1.BYTE = 0xB9;          /* output PDBF->PDR when event input */
    ELC.ELSR14.BYTE = 0x23;
    ELC.ELCR.BIT.ELCON = 1;          /* event link enable */
}

```

```

/*****/
/*Name:      h8s_sysinit      */
/*Parameters: None          */
/*Returns:   None           */
/*Description: initialize H8S/20203 */
/*****/
void h8s_sysinit(void)
{
    MSTCR1.BIT.MSTWDT = 0;          /* WDT module standby off */

    /* stop WDT */
    WDT.TCSRWD.BYTE = 0x97;        /* write enable TMWLOCK, TMWI */
    WDT.TCSRWD.BYTE = 0xA3;        /* write enable TMWD */
    WDT.TMWD.BYTE = 0xF7;         /* Not select clock source */
    WDT.TMWD.BYTE = 0xF8;         /* write bit inversion */
    WDT.TCSRWD.BYTE = 0x87;        /* write disable TMWLOCK, TMWI */

    CPG.OSCCSR.BYTE = 0x0E;        /* wait over 6.5ms, Phi_osc=20MHz */
    PMRJ.BYTE = 0x03;             /* select OSC1,OSC2 */

    CPG.SYSCCR.BYTE = (CPG.SYSCCR.BYTE & 0x7F) | 0x40; /* WI=0, WE=1 */
    CPG.SYSCCR.BYTE = 0x60;        /* high=Phi_osc, Phi_low=Phi_loco */
    CPG.SYSCCR.BYTE = CPG.SYSCCR.BYTE & 0x3F; /* WI=0, WE=0 */

    CPG.LPCR1.BYTE = (CPG.LPCR1.BYTE & 0x7F) | 0x40; /* WI=0, WE=1 */
    CPG.LPCR1.BYTE = 0x41;        /* PSC on, Phi_base=Phi_high */
    CPG.LPCR1.BYTE = CPG.LPCR1.BYTE & 0x3F; /* WI=0, WE=0 */

    CPG.LPCR2.BYTE = (CPG.LPCR2.BYTE & 0x7F) | 0x40; /* WI=0, WE=1 */
    CPG.LPCR2.BYTE = 0x40;        /* select system clock */
    CPG.LPCR2.BYTE = CPG.LPCR2.BYTE & 0x3F; /* WI=0, WE=0 */

    CPG.LPCR3.BYTE = (CPG.LPCR3.BYTE & 0x7F) | 0x40; /* WI=0, WE=1 */
    CPG.LPCR3.BYTE = 0x40;        /* select clock of bus master */
    CPG.LPCR3.BYTE = CPG.LPCR3.BYTE & 0x3F; /* WI=0, WE=0 */

    /* module standby off */
    MSTCR1.BIT.MSTDTC = 0;        /* DTC module standby off */
    MSTCR3.BIT.MSTTMRG = 0;      /* Timer RG module standby off */
}

```

## 6.1 リンクアドレス指定

セクション名	アドレス
CDTC_VECT	H'000400
PResetPRG, PIntPRG	H'000500
P, C, C\$DSEC, C\$BSEC, D	H'000800
BDTC, B, R	H'FFDF80
S	H'FFFD80



ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

[csc@renesas.com](mailto:csc@renesas.com)

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.01.19	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情報の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりますと、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等については弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444