

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# H8S/20103, H8S/20203, H8S/20223 グループ

## タイマ RD コンペアマッチで DTC 起動動作

### 要旨

H8S/20103, H8S/20203, H8S/20223 グループ内蔵のタイマ RD\_0・チャンネル0 と GRA\_0 のコンペアマッチ信号で ELC (イベントリンクコントローラ) を使用して CPU の介在なく DTC (データトランスファコントローラ) 起動動作を実現します。

### 対象デバイス

H8S/20103 (R4F20103)

H8S/20203 (R4F20203)

H8S/20223 (R4F20223)

### 動作確認条件

システムクロック  $\phi = \phi_{osc} = 20 \text{ MHz}$

### 目次

1. 仕様 .....	2
2. 使用機能説明 .....	4
3. 動作原理 .....	17
4. ソフトウェア説明 .....	19
5. フローチャート .....	23
6. プログラムリスト .....	29

### 1. 仕様

本アプリケーションにおける仕様を以下に説明します。図 1 にタイマ RD コンペアマッチで DTC 起動動作の概要、図 2 にタイマ RD コンペアマッチで DTC スタートの動作概要を示します。

- (1) PWM 波形出力タイミングのテーブルを作成し、ROM に配置します。
- (2) DTC レジスタ情報の先頭アドレスを DTC ベクタテーブルの起動要因に対応する番地に格納します。
- (3) タイマ RD\_0・チャンネル 0 を PWM モードに設定し、GRA\_0 とコンペアマッチで TRDCNT\_0 をクリアに設定します。
- (4) GRA\_0 に PWM 周期、GRB\_0 に FTIOB0 端子、GRC\_0 に FTIOC0 端子、GRD\_0 に FTIOD0 端子の PWM 出力波形タイミングを設定します。
- (5) DTC をブロック転送モード、転送サイズをワードサイズに設定します。
- (6) 転送元アドレスを PWM 波形出力タイミングのテーブルが配置されている先頭アドレスに設定します。
- (7) 転送先アドレスを GRB\_0 アドレスに設定します。
- (8) DTC 起動要因を ELSR30 イベントに設定します。
- (9) DTC のリンク元イベント信号をタイマ RD\_0・チャンネル 0・コンペアマッチ A 信号に設定します。
- (10) ELSR30 イベント割り込みを許可します。
- (11) イベントリンクを許可します。
- (12) FTIOB0, FTIOC0, FTIOD0 端子を出力許可します。
- (13) タイマ RD1・チャンネル 0 をスタートします。
- (14) I ビットをクリアし、割り込みを許可します。
- (15) タイマ RD\_0・チャンネル 0 と GRA\_0 のコンペアマッチ信号が発生するごとに、CPU の介在なく DTC が起動され、PWM 波形出力タイミングが更新されます。

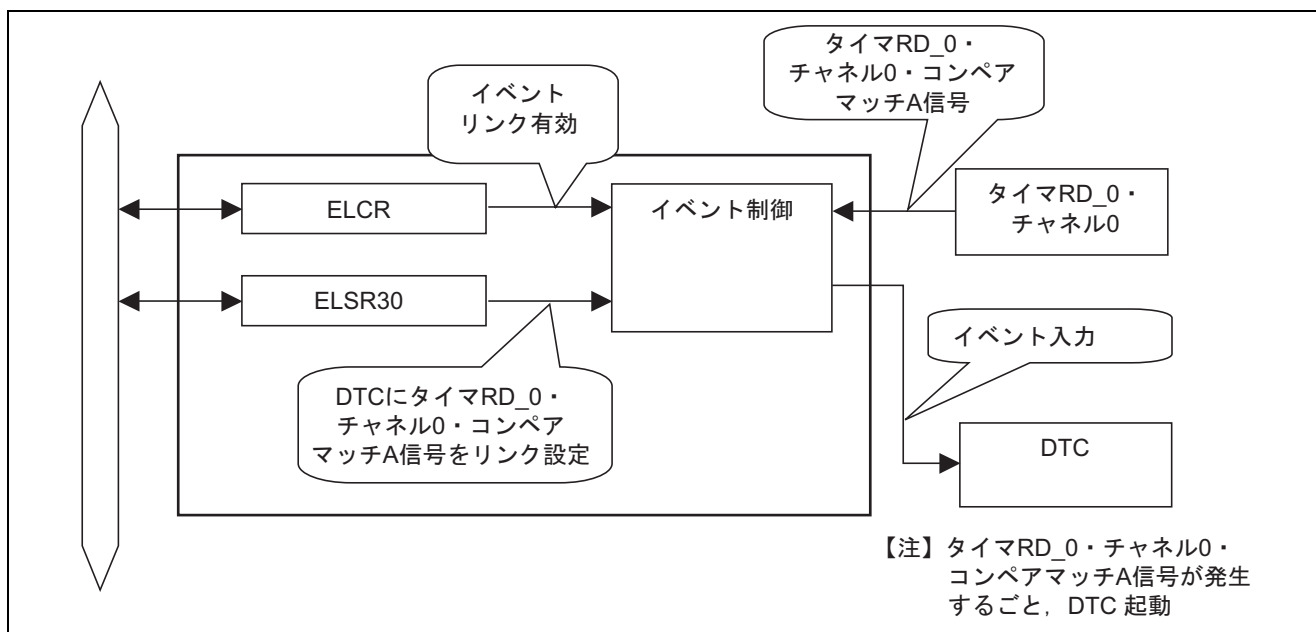


図 1 タイマ RD コンペアマッチで DTC 起動動作の概要

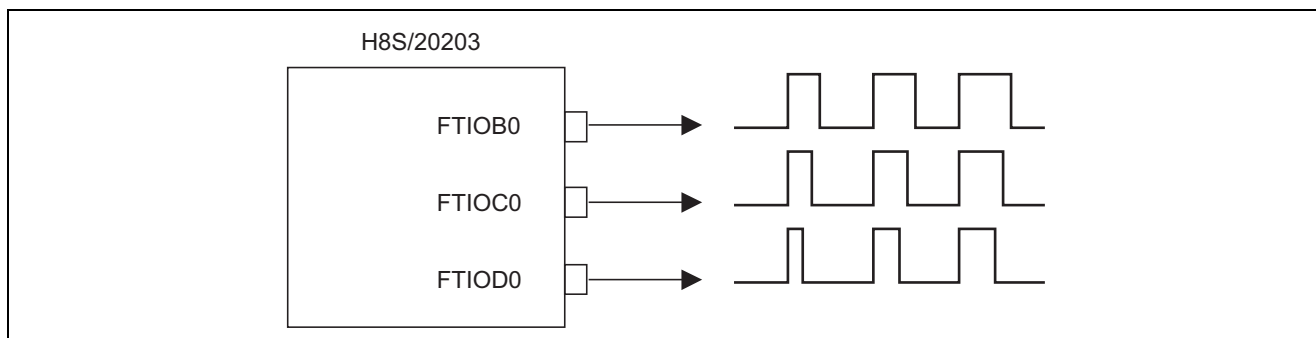


図 2 タイマ RD コンペアマッチで DTC 起動の動作概要

## 2. 使用機能説明

### 2.1 ELC (イベントリンクコントローラ)

以下に、ELC の機能を説明します。イベントリンクコントローラのブロック図を図 3 に示します。

ELC は、各周辺モジュールを出力するイベントをモジュール間で相互に接続 (リンク) します。イベントリンクにより、CPU を介さず直接モジュール間での連携動作が可能になります。

- 59 種類のイベント信号を直接モジュールへリンク可能
- タイマ系のモジュールは、イベント入力時の動作の選択が可能
- ポート 3, ポート 6 へのイベントリンクが可能
- ポートの設定により、ポートでのイベント発生が可能
- イベントを接続するポートは、1 ビット単位または任意の複数ビットをグループ化して指定可能
- イベント発生タイマにより、4 チャンネルの任意設定周期のイベント発生が可能

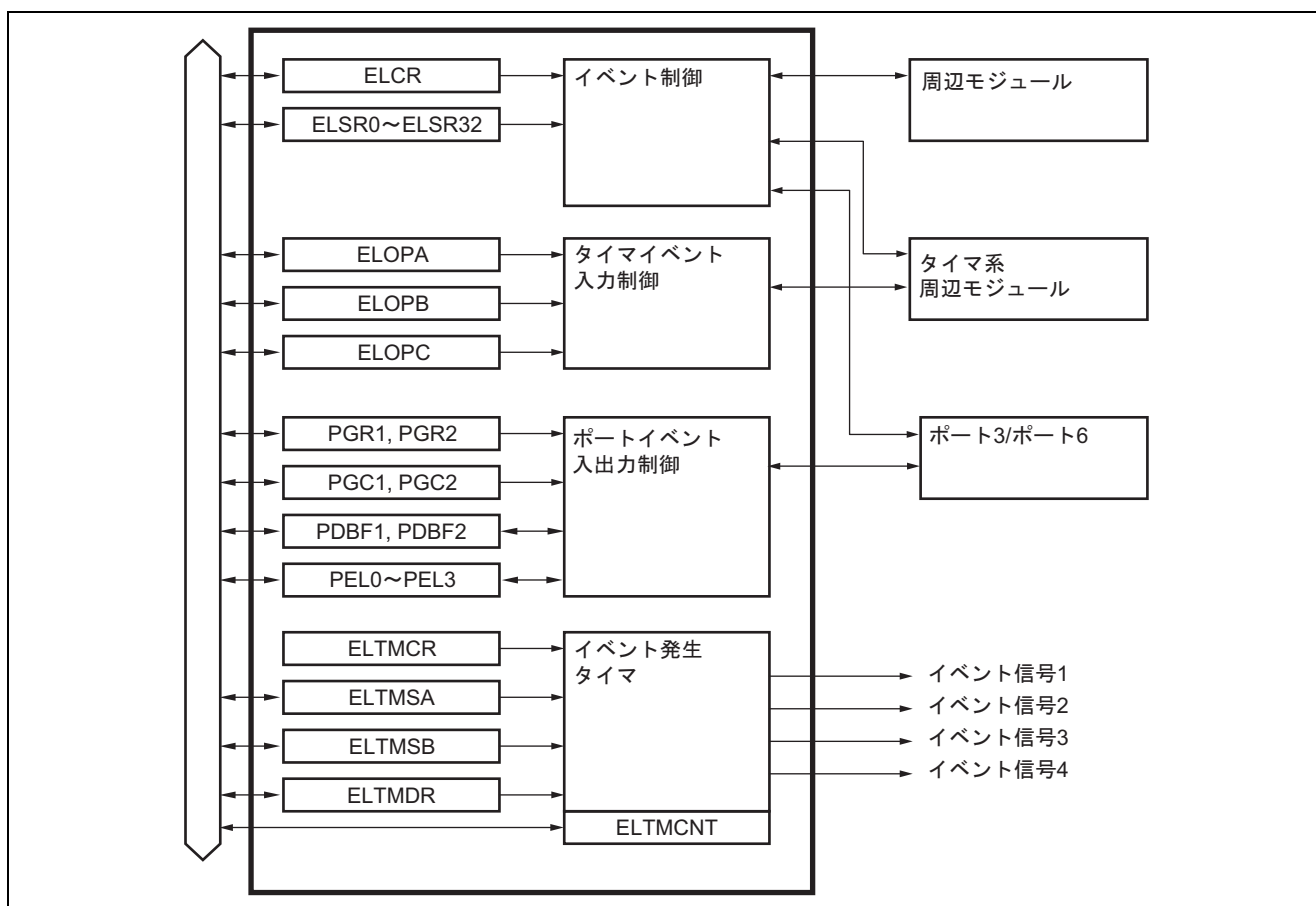


図 3 イベントリンクコントローラのブロック図

## 2.2 タイマ RD

以下に、タイマ RD の機能を説明します。

タイマ RD は 2 チャンネルの 16 ビットタイマを 2 ユニット (タイマ RD\_0, タイマ RD\_1) を内蔵しています。タイマ RD の機能を表 1 に、タイマ RD のチャンネル構成を表 2 に示します。また、タイマ RD のブロック図 (全体図) を図 4 に、チャンネル 0 のブロック図を図 5、チャンネル 1 のブロック図を図 6 に示します。タイマ RD\_0 とタイマ RD\_1 は同一です。なお、本文中ではタイマ RD\_0、タイマ RD\_1 の区別を省略します。(H8S/20103 グループはタイマ RD ユニット 1 を搭載していません)

- 最大 8 種類の入出力処理が可能
- 各チャンネルに 4 本、合計 8 本のジェネラルレジスタ (GR) を持ち、各レジスタは独立にアウトプットコンペア/インプットキャプチャの機能設定が可能
- カウンタ入力クロック: 7 種類  
6 種類の内部クロック ( $\phi$ ,  $\phi/2$ ,  $\phi/4$ ,  $\phi/8$ ,  $\phi/32$ ,  $\phi/40$  (高速音チップオシレータ 40 MHz/32 MHz クロック)) と外部クロックの内から選択可能
- 各チャンネルとも次の動作モードを設定可能
  - タイマモード  
アウトプットコンペア機能 (0 出力/1 出力/トグル出力が可能)  
インプットキャプチャ機能 (立ち上がりエッジ/立ち下がりエッジ/両エッジを検出)
  - 同期動作  
タイマカウンタ\_0, 1 (TRDCNT\_0, TRDCNT\_1) への同時書き込みが可能  
コンペアマッチ/インプットキャプチャによる同時クリアが可能
  - PWM モード  
任意のデューティの PWM 出力が可能  
最大 6 相の PWM 出力が可能
  - PWM3 モード  
正相・逆相がノンオーバーラップの関係にある PWM 波形を 1 相出力可能
  - リセット同期 PWM モード  
正相・逆相の PWM 波形を 3 相出力可能
  - 相補 PWM モード  
正相・逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力可能  
PWM 周期による A/D 変換スタートトリガを設定可能
  - バッファ動作  
インプットキャプチャレジスタのダブルバッファ構成が可能  
アウトプットコンペアレジスタの自動書き換えが可能
- 内部 16 ビットバスによる高速アクセス  
TRDCNT, GR の 16 ビットレジスタに対して、16 ビットバスインタフェースによる高速アクセスが可能
- タイマ出力初期値を任意に設定可能
- 外部トリガによるタイマ出力禁止機能
- 割り込み要因: 11 種類  
各チャンネルともコンペアマッチ/インプットキャプチャ兼用割り込み  $\times$  4 要因、オーバーフロー割り込みが要求可能。またチャンネル 1 はアンダフロー割り込み設定が可能

表 1 タイマ RD の機能一覧 (1 ユニット)

項目	チャンネル 0	チャンネル 1
カウントクロック	内部クロック: $\phi$ , $\phi/2$ , $\phi/4$ , $\phi/8$ , $\phi/32$ , $\phi/40$ 外部クロック: FTIOA0 (TCLK)	
ジェネラルレジスタ (アウトプットコンペア/イン プットキャプチャ兼用レジスタ)	GRA_0, GRB_0, GRC_0, GRD_0	GRA_1, GRB_1, GRC_1, GRD_1
バッファレジスタ	GRC_0, GRD_0	GRC_1, GRD_1
入出力端子	FTIOA0, FTIOB0, FTIOC0, FTIOD0	FTIOA1, FTIOB1, FTIOC1, FTIOD1
カウンタクリア機能	GRA_0/GRB_0/GRC_0/GRD_0 の コンペアマッチまたはインプット キャプチャ	GRA_1/GRB_1/GRC_1/GRD_1 の コンペアマッチまたはインプット キャプチャ
コンペアマッチ 出力	0 出力	
	1 出力	
	トグル出力	
インプットキャプチャ機能		
同期動作		
PWM モード		
PWM3 モード		
リセット同期 PWM モード		
相補 PWM モード		
バッファ動作		
割り込み要因	コンペアマッチ/ インプットキャプチャ A0 ~ D0 オーバフロー	コンペアマッチ/ インプットキャプチャ A1 ~ D1 オーバフロー アンダフロー



表 2 タイマ RD のチャンネル構成

略称	チャンネル	端子	
タイマ RD_0 (ユニット 0)	0	FTIOA0	
		FTIOB0	
		FTIOC0	
		FTIOD0	
	1	FTIOA1	
		FTIOB1	
		FTIOC1	
		FTIOD1	
	チャンネル 0, チャンネル 1 共通		$\overline{\text{TRDOI}}_0$
	タイマ RD_1 (ユニット 1)	2	FTIOA2
			FTIOB2
			FTIOC2
FTIOD2			
3		FTIOA3	
		FTIOB3	
		FTIOC3	
		FTIOD3	
チャンネル 2, チャンネル 3 共通		$\overline{\text{TRDOI}}_1$	

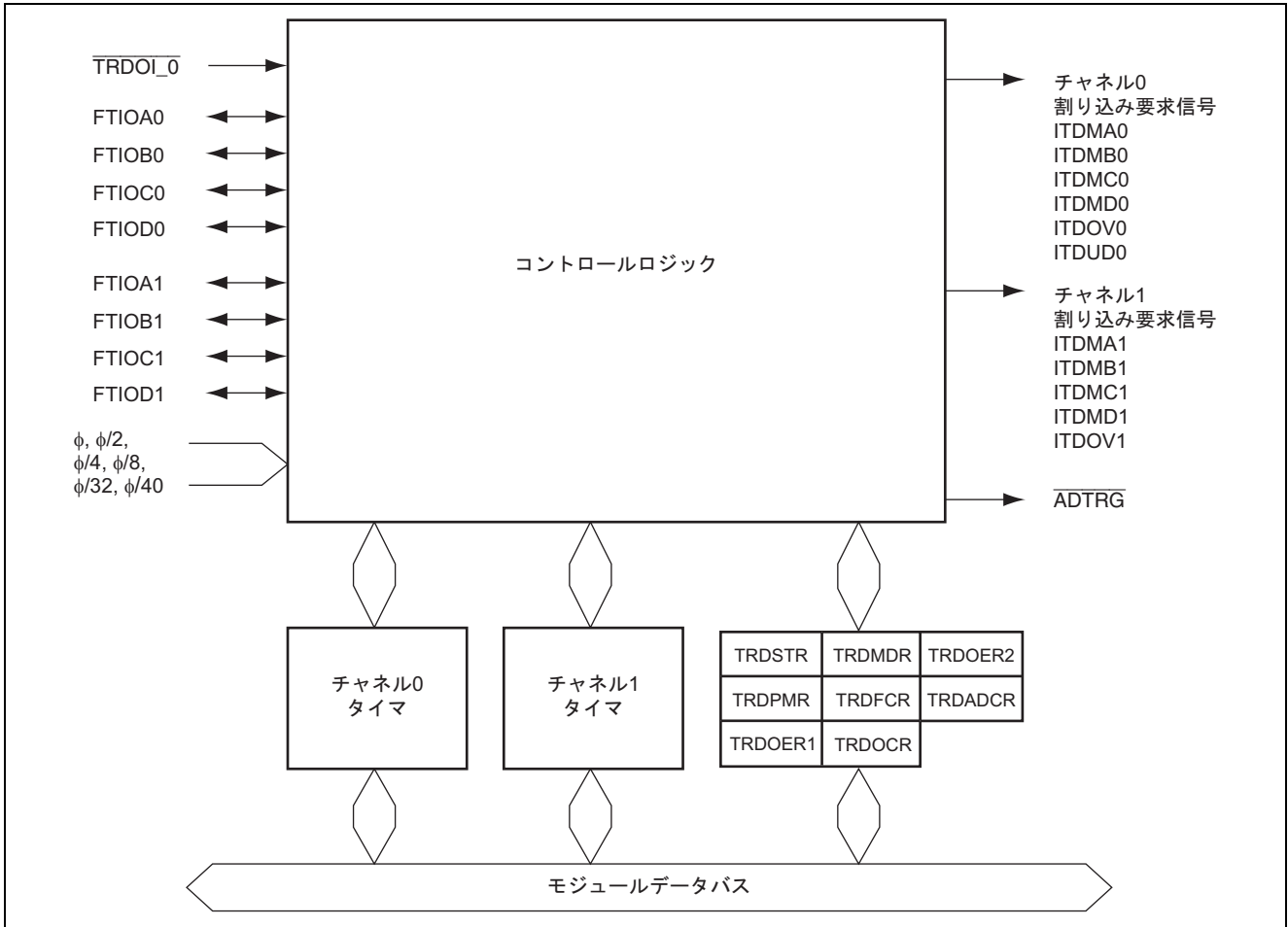


図4 タイマ RD (1 ユニット) のブロック図

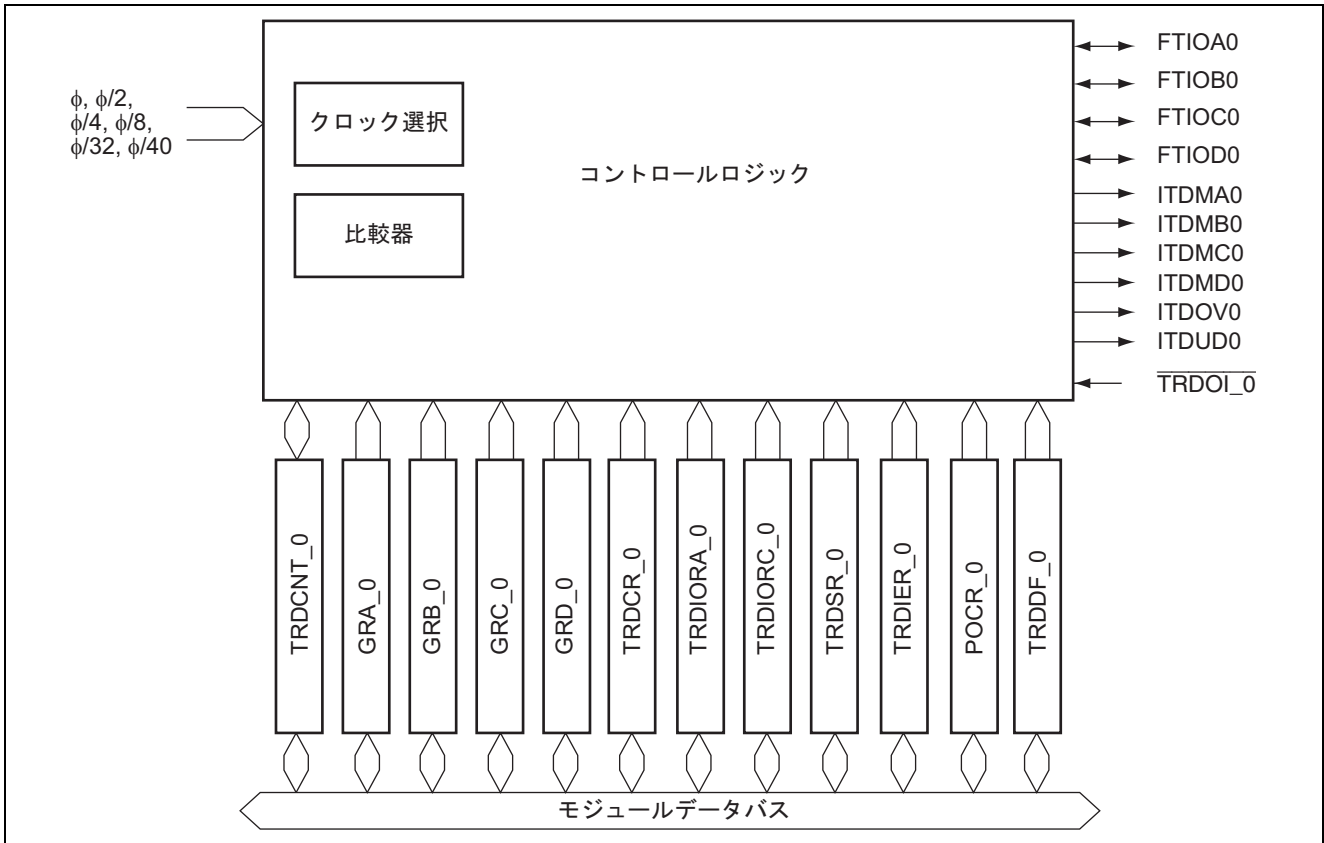


図5 タイマ RD (チャンネル0) のブロック図

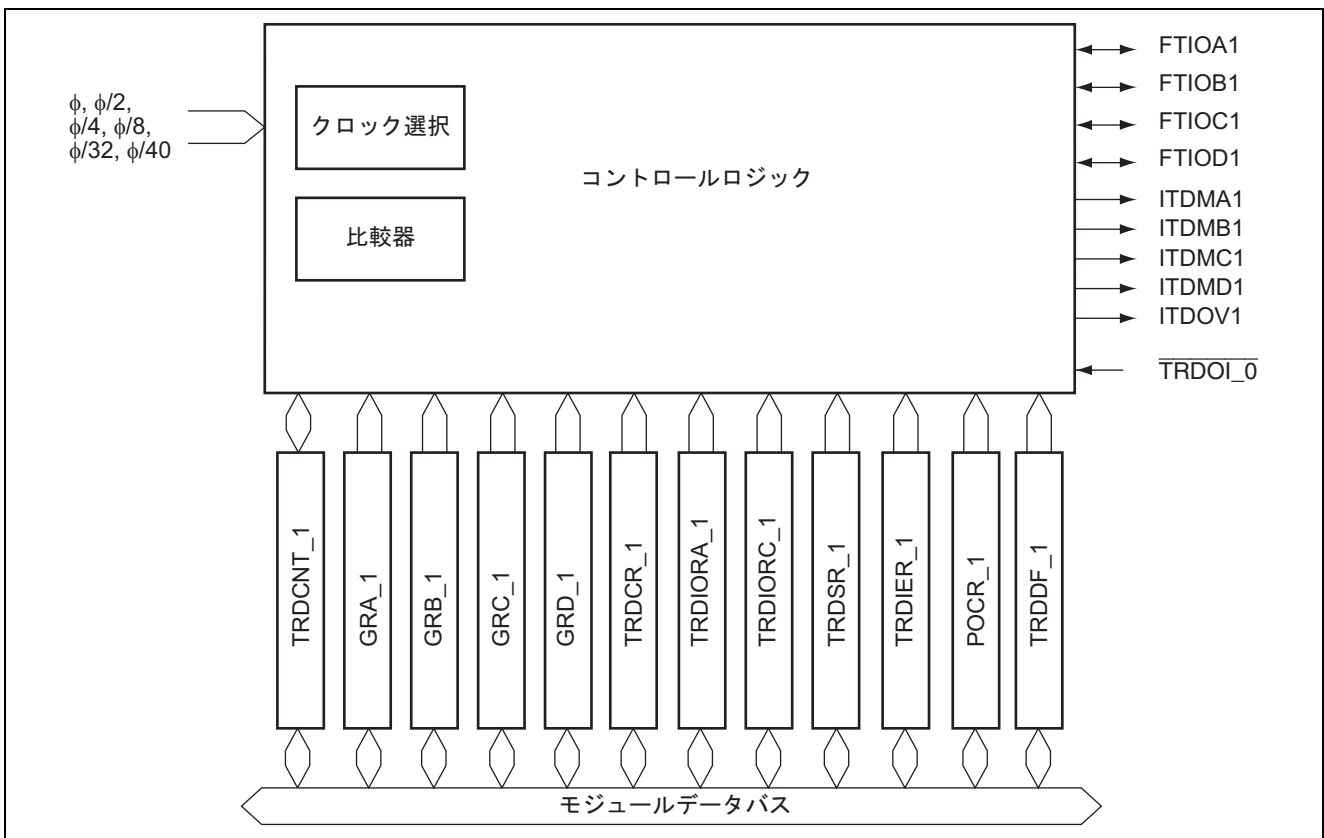


図6 タイマ RD (チャンネル1) のブロック図

## 2.3 データトランスファコントローラ (DTC)

以下に、DTC の機能を説明します。

本 LSI は、DTC を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 7 に DTC のブロック図を示します。

- 任意チャネル数の転送可能
- 転送モード: 3 種類
  - (1) ノーマルモード
    - 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行
    - メモリアドレスを 1 または 2 増減
    - 転送回数は 1 ~ 65,536
  - (2) リピートモード
    - 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行
    - メモリアドレスを 1 または 2 増減
    - 転送回数は (1 ~ 256) 転送後、初期状態を回復して動作を継続
  - (3) ブロック転送モード
    - 1 回の転送要求で指定したブロックサイズの転送
    - ブロックサイズ 1 ~ 256 バイトまたはワード
    - 転送回数は 1 ~ 65,536
    - ソースまたはデスティネーションのいずれかをブロックエリアに指定可能
- 1 つの起動要因で複数データの連続転送が可能 (チェイン転送)
- 16M バイトのアドレス空間を直接指定可能
- ソフトウェアによる起動が可能
- 転送単位をバイト/ワードに設定可能
- DTC を起動した割り込みを CPU に要求可能
- モジュールスタンバイモードの設定可能

DTC のレジスタ情報は内蔵 RAM に配置されます。DTC と内蔵 RAM 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

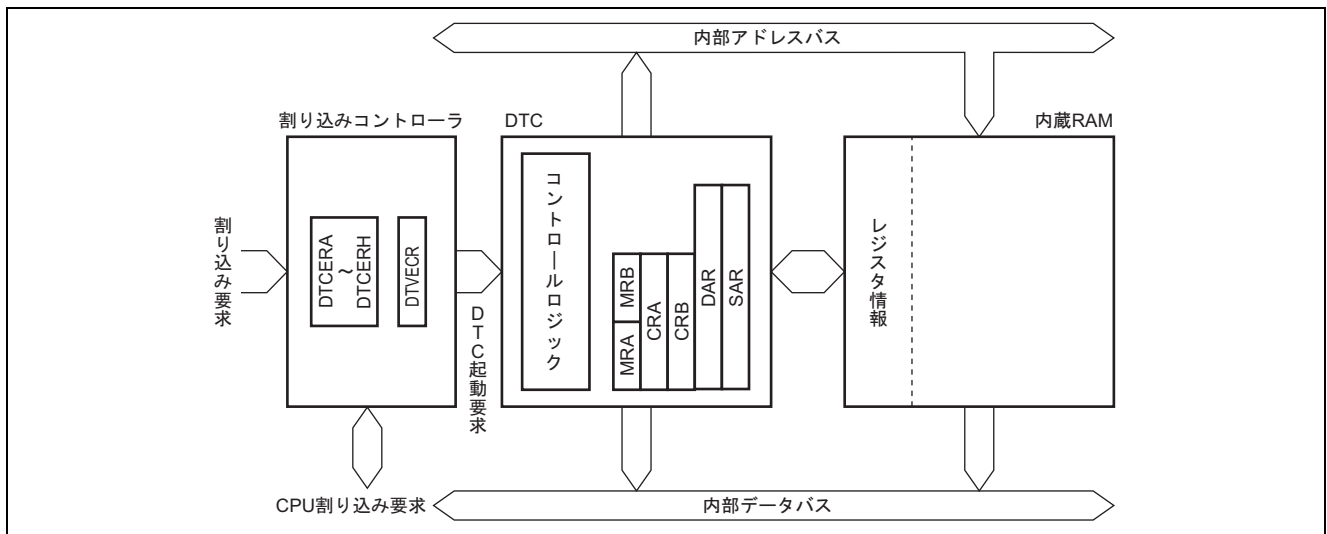


図7 DTC のブロック図

### 2.3.1 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因フラグは SCI3\_1 の RDRF フラグになります。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。起動要因と DTCER のクリアを表 3 に、DTC 起動要因制御ブロック図を図 8 に示します。割り込みコントローラの詳細は「H8S/20103, H8S/20203, H8S/20223 ハードウェアマニュアル (RJJ09B0491) 割り込みコントローラ」を参照してください。

表 3 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	SWDTE ビットは 0 にクリア	<ul style="list-style-type: none"> <li>SWDTE ビットは 1 を保持</li> <li>CPU に割り込みを要求</li> </ul>
割り込み起動	<ul style="list-style-type: none"> <li>DTCER の対応するビットは 1 を保持</li> <li>起動要因フラグは 0 にクリア</li> </ul>	<ul style="list-style-type: none"> <li>DTCER の対応するビットは 0 にクリア</li> <li>起動要因フラグは 1 を保持</li> <li>起動要因となった割り込みを CPU に要求</li> </ul>

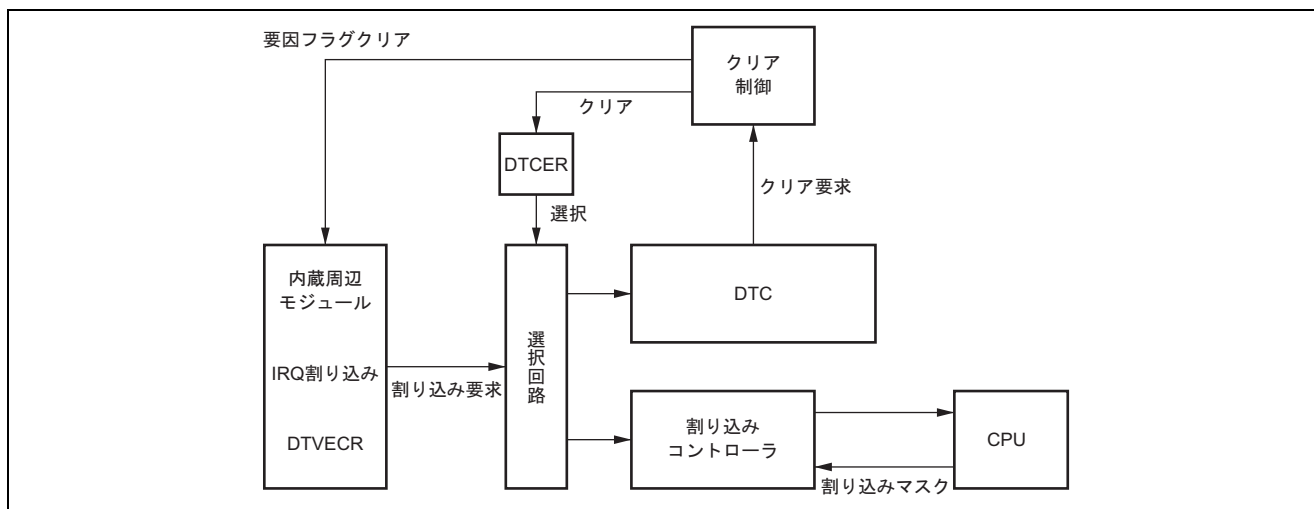


図 8 DTC 起動要因制御ブロック図

### 2.3.2 レジスタ情報の配置と DTC ベクタテーブル

レジスタ情報は、内蔵 RAM 上に配置してください。アドレスは 4 の倍数の番地としてください。図 9 にアドレス空間上でのレジスタ情報の配置方法を示します。レジスタ情報の先頭アドレスから MRA, SAR, MRB, DAR, CRA, CRB の順に配置してください。また、各レジスタ情報の先頭アドレスを DTC ベクタテーブルの起動要因に対応する番地に格納してください。図 10 に DTC ベクタアドレスとレジスタ情報との対応を示します。DTC は起動要因別にベクタテーブルからレジスタ情報の先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。

表 4 に割り込み要因と DTC ベクタアドレスおよび対応する DTCE を示します。

ソフトウェアで起動する場合のベクタアドレスは  $H'400 + (DTVECR[6:0] \times 2)$  となります。たとえば、VOFR = H'0000, DTVECR が H'18 のとき、ベクタアドレスは H'430 となります。

ベクタアドレスの構造は、2 バイト単位になっています。先頭アドレスの下位 2 バイトを設定してください。VOFR を設定することで、ベクタアドレスを可変にすることが可能です。VOFR の詳細については「H8S/20103, H8S/20203, H8S/20223 ハードウェアマニュアル (RJJ09B0491) 割り込みコントローラ」を参照してください。

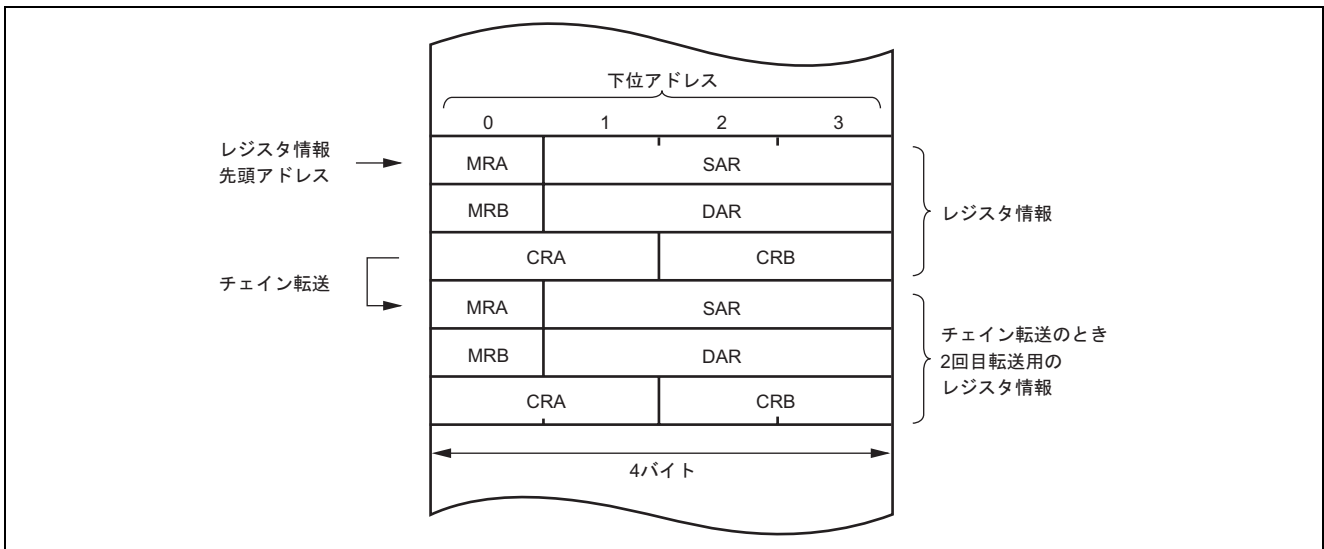


図 9 アドレス空間上での DTC レジスタ情報の配置

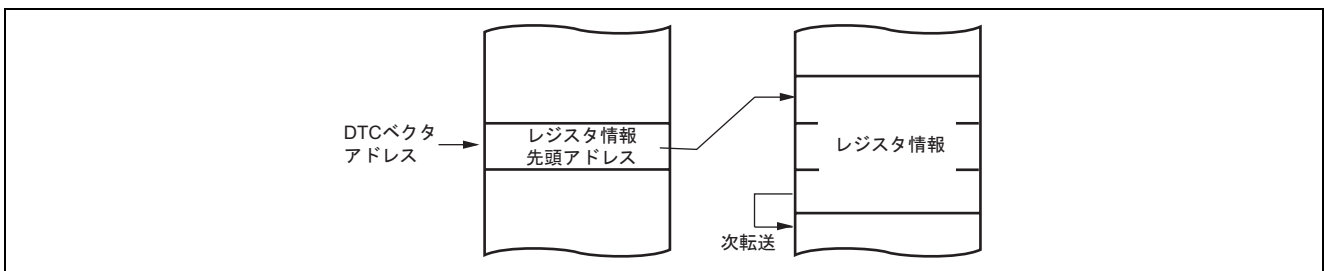


図 10 DTC ベクタアドレスとレジスタ情報との対応







起動要因発生元	起動要因	ベクタ番号	ベクタアドレス* <sup>1</sup>	DTCE* <sup>5</sup>	優先順位
タイマ RD ユニット 1 チャンネル 3* <sup>4</sup>	ITDMC1_3 インプットキャプチャ C/ コンペアマッチ C	95	H'4BE ~ H'4BF	DTCEF1	高 ↑         ↓ 低
	ITDMD1_3 インプットキャプチャ D/ コンペアマッチ D	96	H'4C0 ~ H'4C1	DTCEF0	
タイマ RE	ITESC	100	H'4C8 ~ H'4C9	DTCEG4	
	ITEMI	101	H'4CA ~ H'4CB	DTCEG3	
	ITEHR	102	H'4CC ~ H'4CD	DTCEG2	
	ITEDY	103	H'4CE ~ H'4CF	DTCEG1	
	ITEWK	104	H'4D0 ~ H'4D1	DTCEG0	
タイマ RG	ITGMA インプットキャプチャ A/ コンペアマッチ A	109	H'4DA ~ H'4DB	DTCEH3	
	ITGMB インプットキャプチャ B/ コンペアマッチ B	110	H'4DC ~ H'4DD	DTCEH2	

- 【注】
1. ベクタアドレスは VOFR = H'0000 のときの低位 11 ビットを示しています。
  2. H8S/20223 グループのみ搭載しています。他製品では予約となります。
  3. H8S/20103 グループのみ搭載しています。他製品では予約となります。
  4. H8S/20103 グループにはありません。他製品では予約となります。
  5. 対応する割り込みのない DTCE ビットは予約ビットとなります。0 をライトしてください。

3. 動作原理

本タスク例の動作原理を図 11 に示します。図 11 に示すようなハードウェア処理, およびソフトウェア処理によって, タイマ RD コンペアマッチで DTC 起動します。タイマ RD\_0・チャンネル 0・コンペアマッチ A 信号が発生するごとに GRB\_0, GRC\_0, GRD\_0 を更新し, FTIOB0, FTIOC0, FTIOD0 端子から出力される PWM のタイミングを変更します。本タスク例の DTC 動作を図 12 に示します。

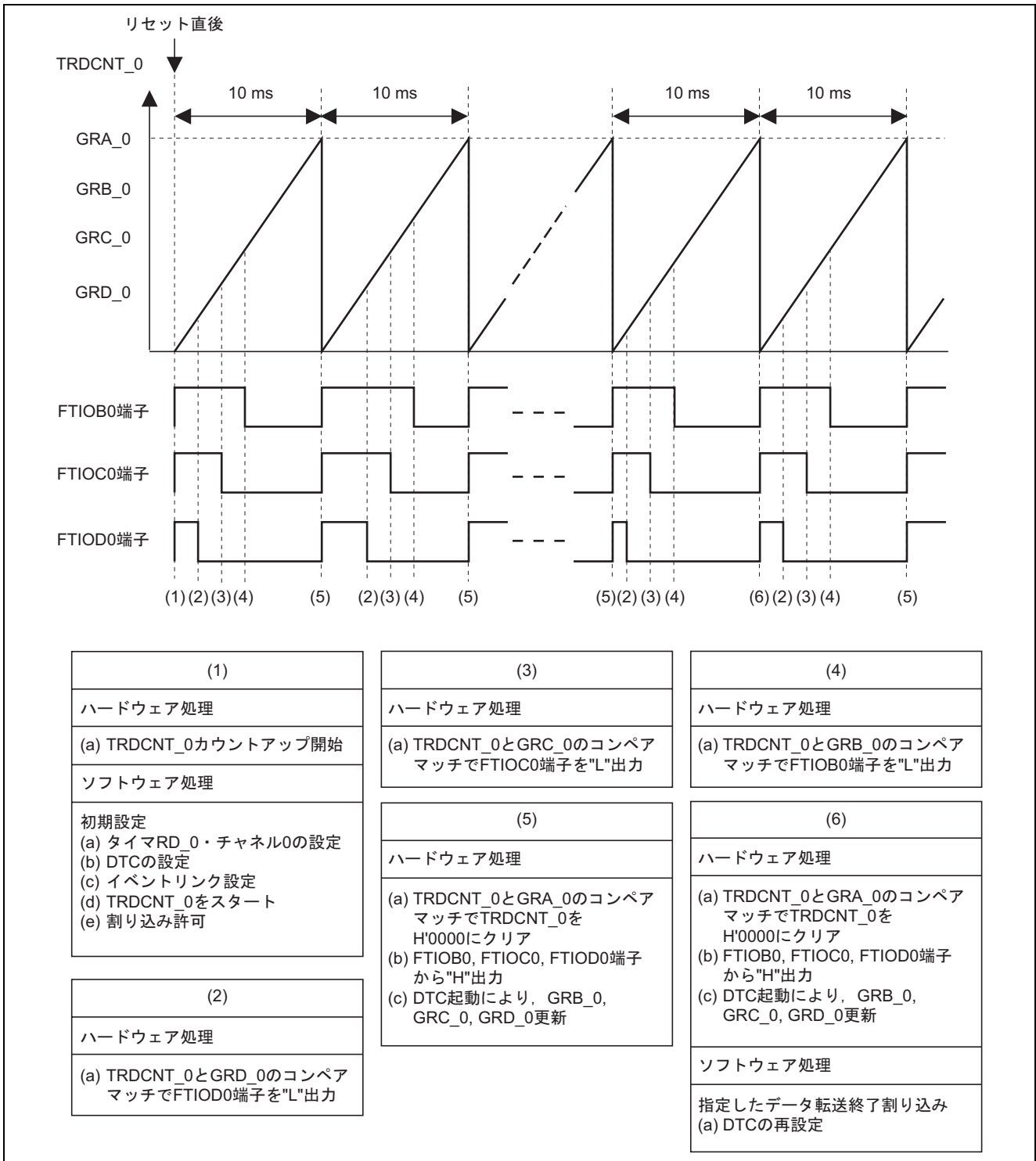


図 11 本タスク例の動作原理

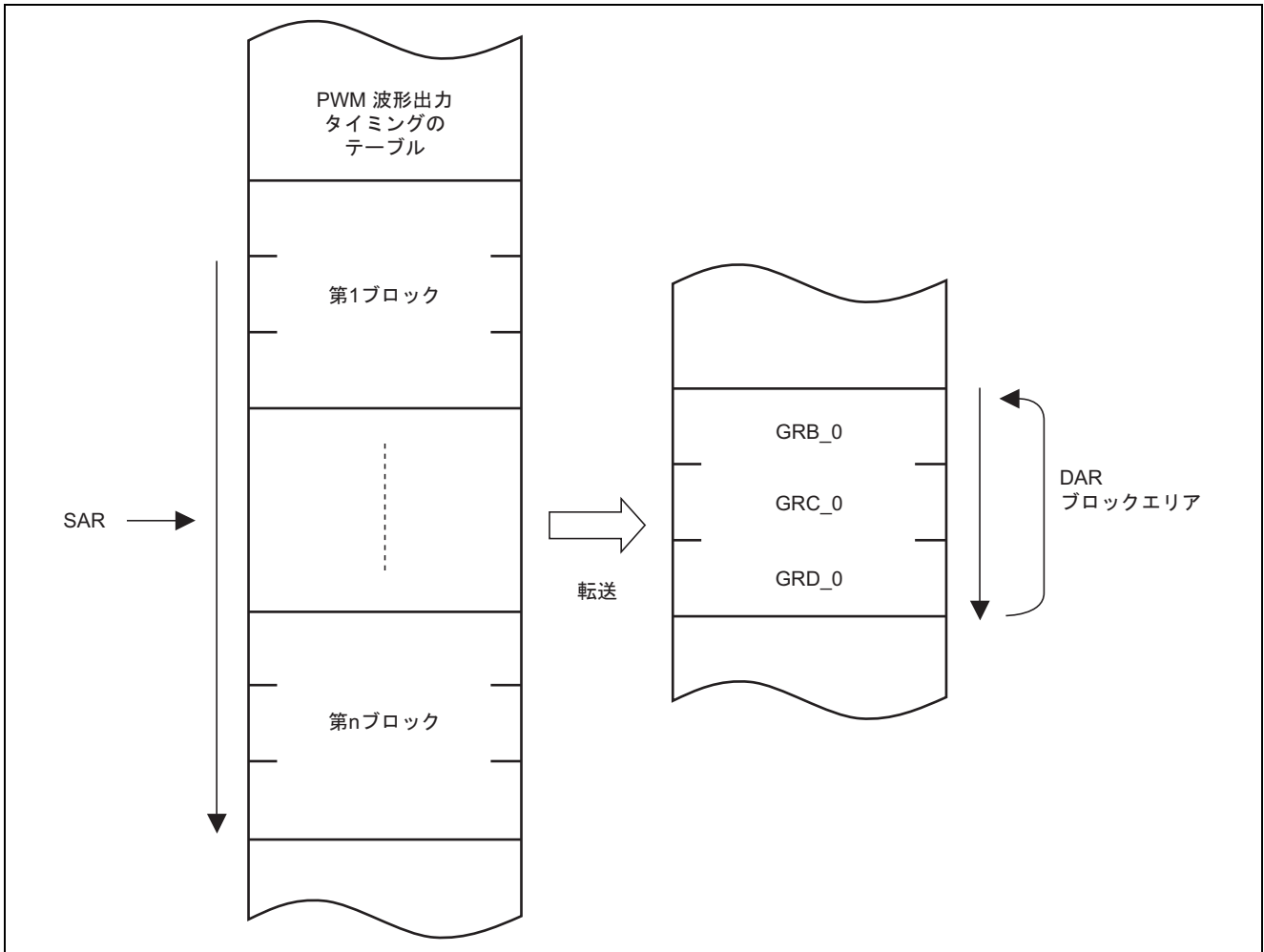


図 12 本タスク例の DTC 動作

## 4. ソフトウェア説明

### 4.1 モジュール説明

表 5 に本タスク例におけるモジュール説明を示します。

表 5 モジュール説明

モジュール名	ラベル名	機能
メインルーチン	main	各関数の呼び出し, FTIOD0~FTIOB0 端子の出力を許可, タイマ RD_0・チャンネル 0 のカウンタスタート, 割り込み許可
システムの初期化ルーチン	h8s_sysinit	モジュールスタンバイの設定, WDT の停止, システムクロックの設定, バスマスタ動作クロックの設定
タイマ RD 設定ルーチン	init_tmrd	タイマ RD_0・チャンネル 0 の設定
DTC 設定ルーチン	init_dtc	DTC の設定, ELC の設定
ELSR30 イベント割り込みルーチン	INT_ELC2FP_ELC	割り込み要求フラグのクリア, DTC の再設定

### 4.2 引数の説明

本タスク例では, 引数を使用していません。

### 4.3 使用内部レジスタ説明

表 6 に本タスク例における使用内部レジスタを説明します。

表 6 使用内部レジスタ説明

レジスタ名	シンボル	機能	アドレス	設定値
PMR6	PMR63	P63 端子を FTIOD0 端子に設定	H'FF0005	1
	PMR62	P62 端子を FTIOC0 端子に設定		1
	PMR61	P61 端子を FTIOB0 端子に設定		1
PMRJ	PMRJ[1:0]	PJ0, PJ1 端子を OSC1, OSC2 端子に設定	H'FF000C	B'11
ELCSR	ELIE2	ELF2 割り込みを許可	H'FF0528	1
	ELF2	ELSR30 イベントフラグのクリア		0
DTCEB	ELC2FP	ELSR30 イベント割り込み要因を DTC 起動要因に設定	H'FF0535	1
DTVECR	DTVEC6 ~ DTVEC0	DTC 起動ベクタ番号を設定	H'FF053D	B'0000000
ELSR30		DTC とタイマ RD_0・チャンネル 0・コンペアマッチ A 信号をリンク設定	H'FF069E	H'09
ELCR	ELCON	全イベントリンク有効に設定	H'FF06BC	1
SYSCCR	PHIHSEL	$\phi$ high クロックソースを $\phi$ osc に設定	H'FF06D0	1
LPCR1	PSCSTP	PSC 分周回路動作	H'FF06D1	0
	PHIBSEL	$\phi$ base クロックソースを $\phi$ high に設定		1
LPCR2	PHI[2:0]	システムクロック $\phi$ を $\phi$ base に設定	H'FF06D2	B'000
LPCR3	PHIS[2:0]	バスマスタ動作クロック $\phi$ s を $\phi$ に設定	H'FF06D3	B'000
OSCCSR		$\phi$ osc 発振安定時間設定	H'FF06D5	H'0E
TMWD		WDT にクロック入力禁止	H'FFFF99	H'F7

レジスタ名	シンボル	機能	アドレス	設定値
TCSRWD		TMWD 書き込み制御	H'FFFF9A	H'A3
TRDCNT_0		TRDCNT_0 を初期化	H'FFFFB0	H'0000
GRA_0		タイマ RD_0・チャンネル 0 周期の設定 (PWM 周期)	H'FFFFB2	H'C34F
GRB_0		FTIOB0 端子の波形出力タイミング設定	H'FFFFB4	H'3A97
GRC_0		FTIOC0 端子の波形出力タイミング設定	H'FFFFB6	H'270F
GRD_0		FTIOD0 端子の波形出力タイミング設定	H'FFFFB8	H'1387
TRDCR	CCLR[2:0]	GRA_0 とコンペアマッチでクリアに設定	H'FFFFC4	B'001
	CKEG[1:0]	立ち上がりエッジカウントに設定		B'00
	TPSC[2:0]	内部クロック $\phi/4$ でカウントに設定		B'010
POCR	POLD	FTIOD0 端子の出力レベルをローアクティブに設定。TRDOCR の TOD0 ビットと合わせて、FTIOD0 端子の初期出力レベルを"H"に設定	H'FFFFC9	0
	POLC	FTIOC0 端子の出力レベルをローアクティブに設定。TRDOCR の TOC0 ビットと合わせて、FTIOC0 端子の初期出力レベルを"H"に設定		0
	POLB	FTIOB0 端子の出力レベルをローアクティブに設定。TRDOCR の TOB0 ビットと合わせて、FTIOB0 端子の初期出力レベルを"H"に設定		0
TRDSTR	CSTPN0	TRDCNT_0 と GRA_0 のコンペアマッチが起こったとき、カウントを継続に設定	H'FFFFD2	1
	STR0	TRDCNT_0 はカウント動作に設定		1
TRDPMR	PWMD0	FTIOD0 は PWM モード	H'FFFFD4	1
	PWMC0	FTIOC0 は PWM モード		1
	PWMB0	FTIOB0 は PWM モード		1
TRDOER1	ED0	TRDPMR, TRDFCR, TRDIORC_0 の設定に従い、FTIOD0 端子の出力許可	H'FFFFD6	0
	EC0	TRDPMR, TRDFCR, TRDIORC_0 の設定に従い、FTIOC0 端子の出力許可		0
	EB0	TRDPMR, TRDFCR, TRDIORA_0 の設定に従い、FTIOB0 端子の出力許可		0
TRDOCR	TOD0	POCR の POLD ビットと合わせて、FTIOD0 端子の初期出力レベルを"H"に設定	H'FFFFD8	0
	TOC0	POCR の POLC ビットと合わせて、FTIOC0 端子の初期出力レベルを"H"に設定		0
	TOB0	POCR の POLB ビットと合わせて、FTIOB0 端子の初期出力レベルを"H"に設定		0
MSTCR1	MSTWDT	WDT モジュールスタンバイ解除	H'FFFFDC	0
	MSTDTC	DTC モジュールスタンバイ解除		0
MSTCR3	MSTTMRD1	タイマ RD ユニット 0 モジュールスタンバイ解除	H'FFFFDE	0
MRA*	SM[1:0]	転送後、SAR をインクリメント	H'FFDF80	B'10
	DM[1:0]	転送後、DAR をインクリメント		B'10
	MD[1:0]	DTC をブロック転送モードに設定		B'10
	DTS	デスティネーション側をブロック領域に設定		0
	Sz	ワードサイズ転送に設定		1
SAR*		転送元アドレスを設定します	H'FFDF81	H'0009F6

レジスタ名	シンボル	機能	アドレス	設定値
MRB*	CHNE	チェーン転送を行わないに設定	H'FFDF84	0
	DISEL	指定されたデータ転送を終了したときだけ、CPU に対して割り込み要求を発生に設定		0
DAR*		転送先アドレスを設定します	H'FFDF85	H'FFFFB4
CRAH*		転送回数を設定	H'FFDF88	3
CRAL*		転送カウンタ	H'FFDF89	3
CRB*		DTC のブロックデータ転送の転送回数を指定	H'FFDF8A	12

【注】 \* DTC レジスタ情報は RAM に配置しています。

#### 4.4 使用 RAM 説明

本タスク例では、RAM を使用していません。(DTC レジスタ情報は RAM に配置しています)

#### 4.5 使用定義説明

表 7 に本タスク例における使用定義説明を示します。

表 7 使用定義説明

ラベル名	説明	定義値
GR_10MS	$\phi = 20 \text{ MHz}$ で 4 分周時, 10 ms	H'C34F
GR_9MS	$\phi = 20 \text{ MHz}$ で 4 分周時, 9 ms	H'AFC7
GR_8MS	$\phi = 20 \text{ MHz}$ で 4 分周時, 8 ms	H'9C3F
GR_7MS	$\phi = 20 \text{ MHz}$ で 4 分周時, 7 ms	H'88B7
GR_6MS	$\phi = 20 \text{ MHz}$ で 4 分周時, 6 ms	H'752F
GR_5MS	$\phi = 20 \text{ MHz}$ で 4 分周時, 5 ms	H'61A7
GR_4MS	$\phi = 20 \text{ MHz}$ で 4 分周時, 4 ms	H'4E1F
GR_3MS	$\phi = 20 \text{ MHz}$ で 4 分周時, 3 ms	H'3A97
GR_2MS	$\phi = 20 \text{ MHz}$ で 4 分周時, 2 ms	H'270F
GR_1MS	$\phi = 20 \text{ MHz}$ で 4 分周時, 1 ms	H'1387
BLK_SIZE	ブロック転送サイズ (ワードサイズ) を設定	3
BLK_SIZE_CNT	ブロック転送サイズカウンタ値を設定	3
TRANSFER_CNT	ブロック転送の転送回数を設定	12
PWM_CHANGE_NUM	PWM 出力タイミングテーブルサイズを設定 (ワードサイズ)	36

#### 4.6 使用定数説明

表 8 に本タスク例における使用定数説明を示します。

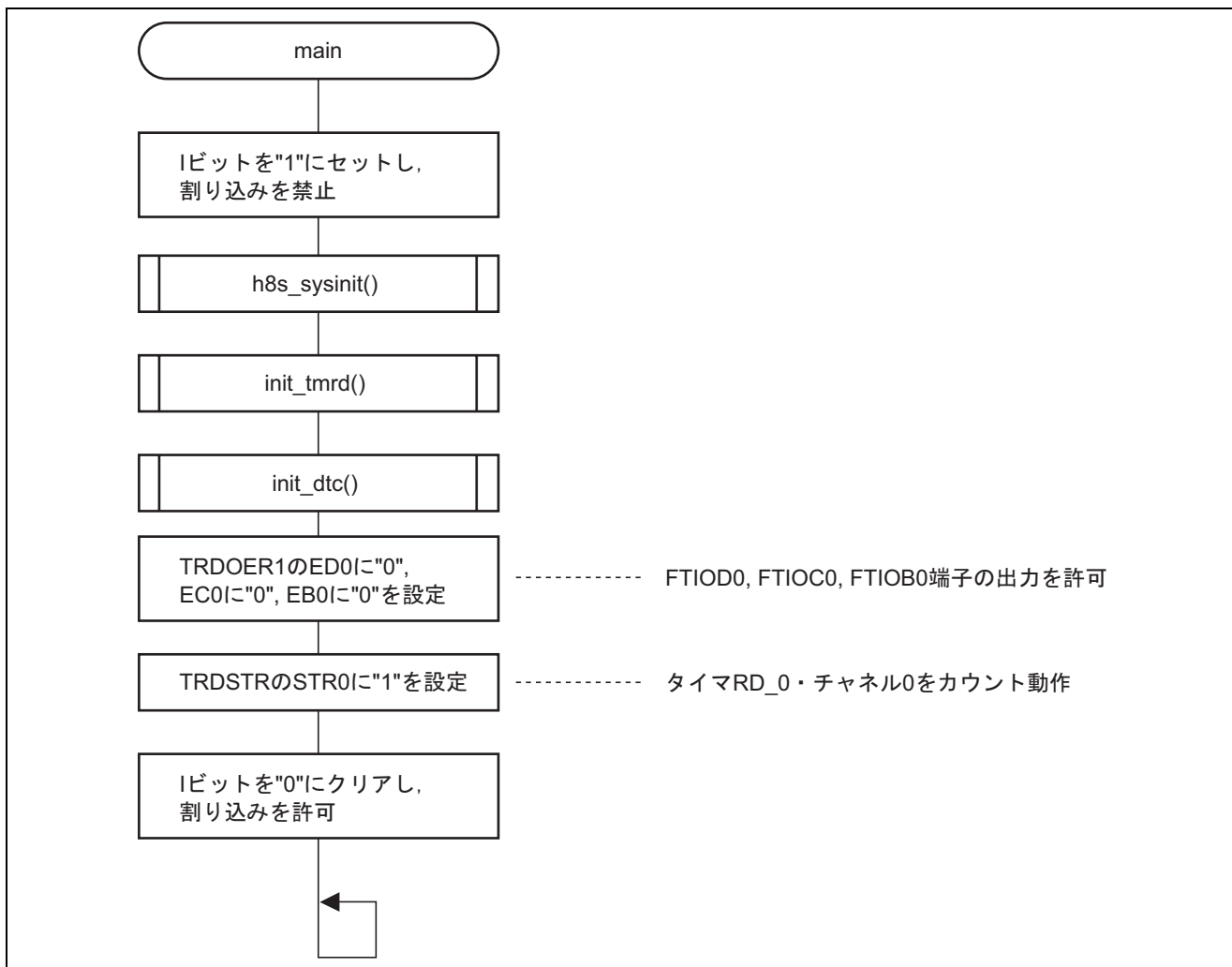
表 8 使用定数説明

ラベル名	説明	アドレス	定数値
dtcvect_tbl[ ]	DTC 起動要因に対応する DTC ベクタアドレスに DTC レジスタ情報の先頭アドレスを設定	H'000448	H'DF80
TMRD_PWM_TBL[0] ~ TMRD_PWM_TBL[35]	FTIOB0, FTIOC0, FTIOD0 端子の出力 タイミングテーブル	H'0009FA	(FTIOB) (FTIOC) (FTIOD) GR_4MS, GR_3MS, GR_2MS
		H'000A00	GR_5MS, GR_4MS, GR_3MS
		H'000A06	GR_6MS, GR_5MS, GR_4MS
		H'000A0C	GR_7MS, GR_6MS, GR_5MS
		H'000A12	GR_8MS, GR_7MS, GR_6MS
		H'000A18	GR_9MS, GR_8MS, GR_7MS
		H'000A1E	GR_8MS, GR_7MS, GR_6MS
		H'000A24	GR_7MS, GR_6MS, GR_5MS
		H'000A2A	GR_6MS, GR_5MS, GR_4MS
		H'000A30	GR_5MS, GR_4MS, GR_3MS
		H'000A36	GR_4MS, GR_3MS, GR_2MS
		H'000A3C	GR_3MS, GR_2MS, GR_1MS

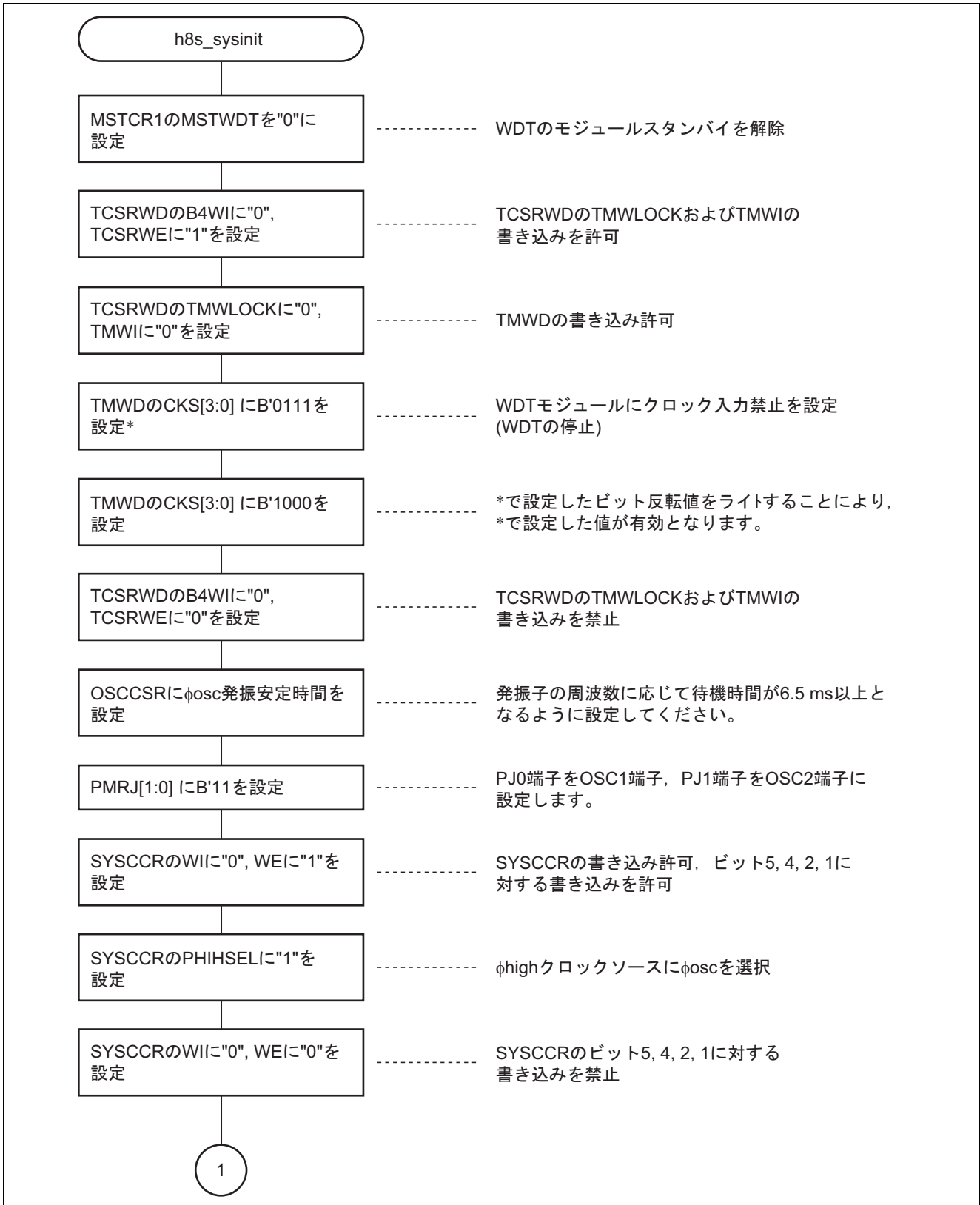


5. フローチャート

5.1 メインルーチン

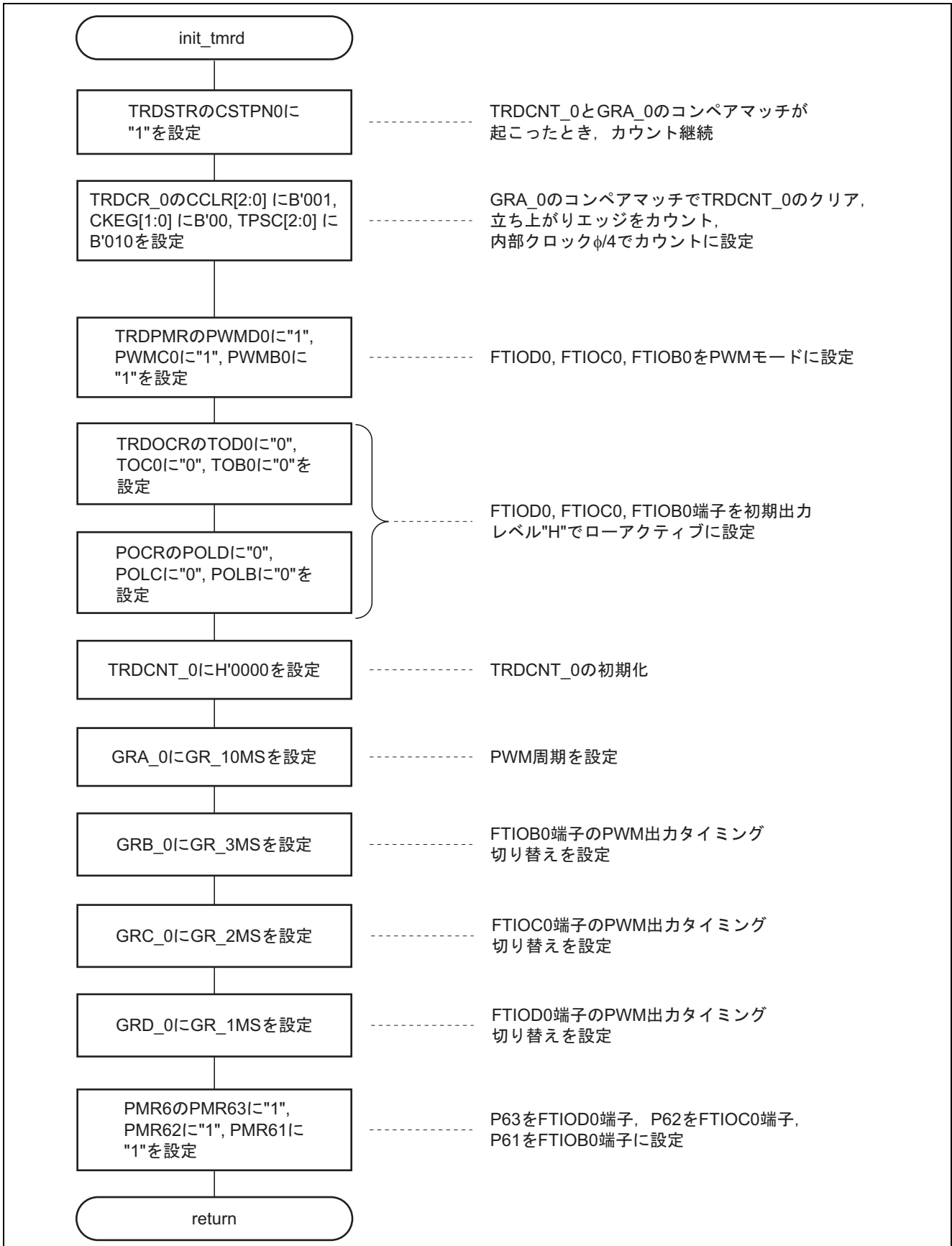


5.2 システムの初期化ルーチン

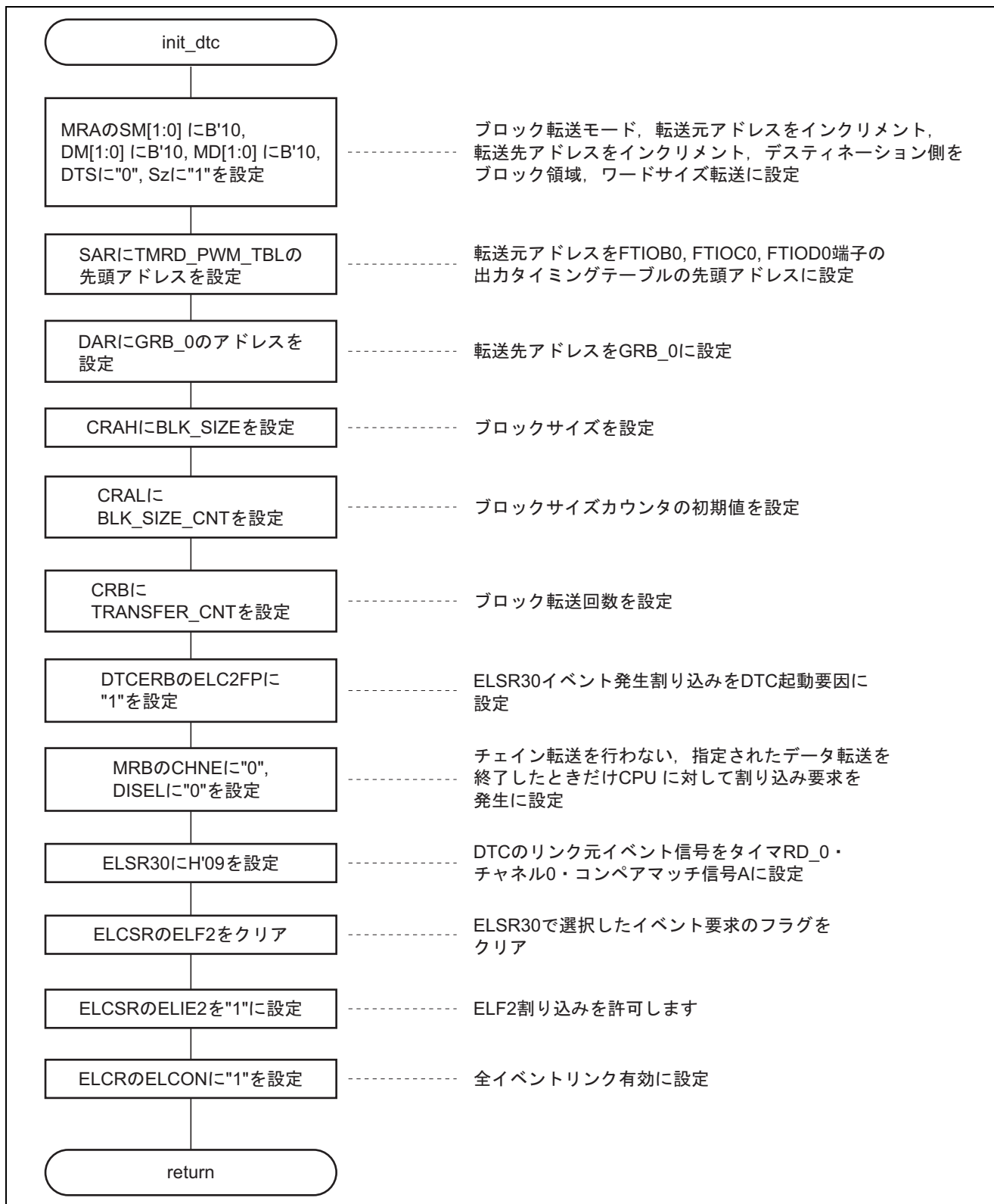




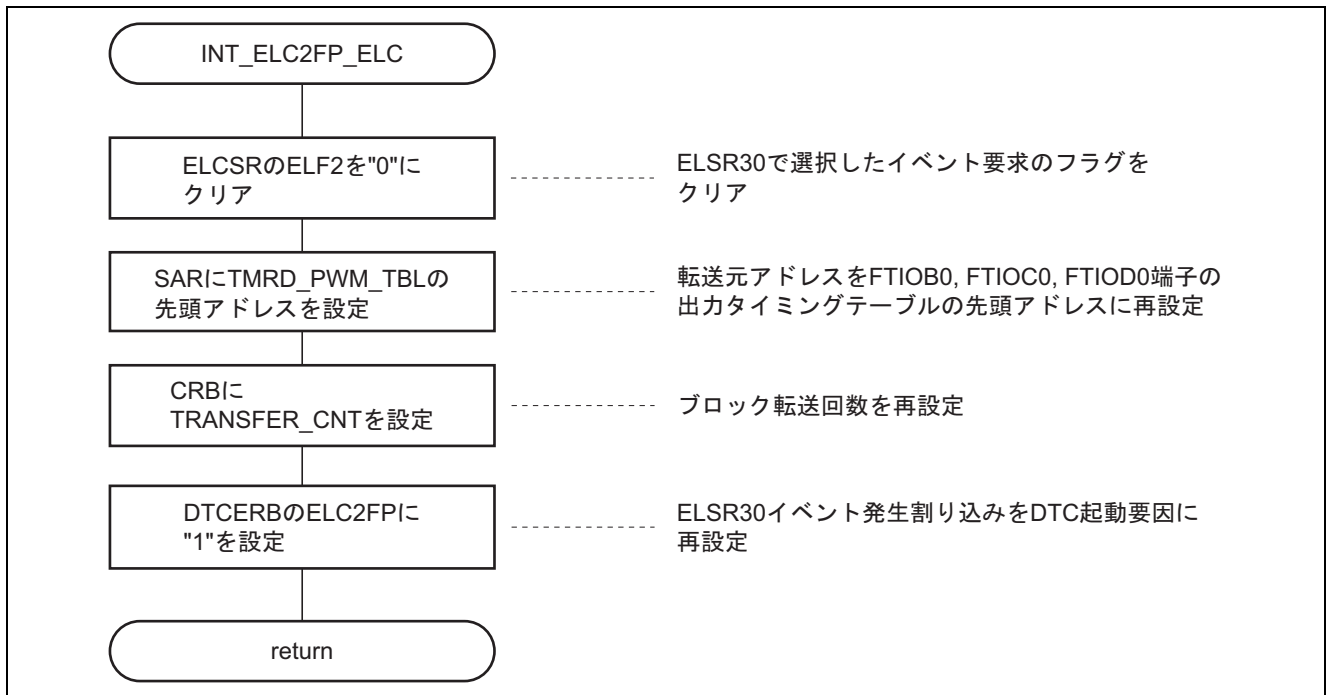
## 5.3 タイマ RD 設定ルーチン



### 5.4 DTC 設定ルーチン



5.5 ELSR30 イベント発生割り込みルーチン



## 6. プログラムリスト

```

<trd_dtc.c>
/*****
/* H8S/2000 Tiny Series -H8S/20203- */
/* Application Note */
/* */
/* start DTC by Timer RD unit0 channel 0 */
/* */
/* Function */
/* : start DTC by Timer RD unit0 channel 0 compare match A */
/* Event Link DTC and Timer RD unit0 channel 0 */
/* */
/* External Clock : 20MHz */
/* Internal Clock : 20MHz */
*****/
#include <machine.h>
#include "iodefine.h"

typedef struct
{
    union{
        unsigned char MRA; /* DTC mode register A */
        struct{
            unsigned long dummy1:8; /* dummy1 data (MRA address) */
            unsigned long SAR:24; /* DTC source address register */
        }SAR;
    }UN_MRA_SAR;
    union{
        unsigned char MRB; /* DTC mode register B */
        struct{
            unsigned long dummy2:8; /* dummy2 data (DAR address) */
            unsigned long DAR:24; /* DTC destination address register */
        }DAR;
    }UN_MRB_DAR;
    union{
        unsigned short CRA; /* DTC transfer count register A */
        struct{
            unsigned char CRAH; /* DTC transfer count register BH */
            unsigned char CRAL; /* DTC transfer count register BL */
        }CHAR;
    }UN_CRA;
    union{
        unsigned short CRB; /* DTC transfer count register B */
        struct{
            unsigned char CRBH; /* DTC transfer count register BH */
            unsigned char CRBL; /* DTC transfer count register BL */
        }CHAR;
    }UN_CRB;
} st_dtc_reg;

```

```

/*****/
/*Definition of const data */
/*****/
/* Timer RD */
/* unit1 (Phi=20MHz, divide 4) */
#define GR_10MS      0xC34F      /* Set 10ms */
#define GR_9MS       0xAFC7      /* Set 9ms */
#define GR_8MS       0x9C3F      /* Set 8ms */
#define GR_7MS       0x88B7      /* Set 7ms */
#define GR_6MS       0x752F      /* Set 6ms */
#define GR_5MS       0x61A7      /* Set 5ms */
#define GR_4MS       0x4E1F      /* Set 4ms */
#define GR_3MS       0x3A97      /* Set 3ms */
#define GR_2MS       0x270F      /* Set 2ms */
#define GR_1MS       0x1387      /* Set 1ms */

/* DTC */
#define BLK_SIZE      3          /* block transfer size */
#define BLK_SIZE_CNT  3          /* block size counter */
#define TRANSFER_CNT  12         /* transfer counter */

#define PWM_CHANGE_NUM  36      /* number of pwm change timing */

#pragma section
/*****/
/*Declaration of function prototype */
/*****/
void main(void);
void init_dtc(void);
void init_tmrD(void);
void h8s_sysinit(void);

/*****/
/*Definition of Const area */
/*****/
const unsigned short TMRD_PWM_TBL[PWM_CHANGE_NUM]={
    GR_4MS, GR_3MS, GR_2MS,      /* GRB_0, GRC_0, GRD_0 */
    GR_5MS, GR_4MS, GR_3MS,      /* GRB_0, GRC_0, GRD_0 */
    GR_6MS, GR_5MS, GR_4MS,      /* GRB_0, GRC_0, GRD_0 */
    GR_7MS, GR_6MS, GR_5MS,      /* GRB_0, GRC_0, GRD_0 */
    GR_8MS, GR_7MS, GR_6MS,      /* GRB_0, GRC_0, GRD_0 */
    GR_9MS, GR_8MS, GR_7MS,      /* GRB_0, GRC_0, GRD_0 */
    GR_8MS, GR_7MS, GR_6MS,      /* GRB_0, GRC_0, GRD_0 */
    GR_7MS, GR_6MS, GR_5MS,      /* GRB_0, GRC_0, GRD_0 */
    GR_6MS, GR_5MS, GR_4MS,      /* GRB_0, GRC_0, GRD_0 */
    GR_5MS, GR_4MS, GR_3MS,      /* GRB_0, GRC_0, GRD_0 */
    GR_4MS, GR_3MS, GR_2MS,      /* GRB_0, GRC_0, GRD_0 */
    GR_3MS, GR_2MS, GR_1MS      /* GRB_0, GRC_0, GRD_0 */
};

```



```

/*****/
/*Definition of RAM area          */
/*****/
#pragma section DTC
st_dtc_reg DTC_REG;              /* DTC register */

#pragma section
/*****/
/*Name:          main              */
/*Parameters:    None              */
/*Returns:       None              */
/*Description:   User main         */
/*****/
void main(void)
{
    set_ccr(0x80);                 /* set CCR-Ibit */

    h8s_sysinit();                 /* initialize system */

    init_tmr();                    /* initialize timer RD */

    init_dtc();                    /* initialize DTC */

    TRD01.TRDOER1.BYTE = 0xF1;     /* FTIOD0-FTIOB0 output enable */
    TRD01.TRDSTR.BYTE = 0xFD;     /* start timer RD unit0 channel 0 */

    set_imask_ccr(0);              /* interrupt enable */

    while(1);
}

/*****/
/*Name:          init_tmr          */
/*Parameters:    None              */
/*Returns:       None              */
/*Description:   initialize timer RD */
/*****/
void init_tmr(void)
{
    /* unit 1 */
    TRD01.TRDSTR.BYTE = 0xFC;     /* continue count when TRDCNT_0 compare match GRA_0, TRDCNT_0 stop */
    TRD0.TRDCR.BYTE = 0x22;       /* clear TRDCNT_0 when compare match GRA_0 */
                                    /* select clock Phi/4 */
    TRD01.TRDPMR.BYTE = 0x8F;     /* PWM mode FTIOB0, FTIOC0, FTIOD0 */
    TRD01.TRDOCR.BYTE = 0x00;     /* FTIOB0, FTIOC0, FTIOD0 initialize output "L" */
    TRD0.POCR.BYTE = 0xF8;       /* FTIOB0, FTIOC0, FTIOD0 "L" active */

    TRD0.GRA = GR_10MS;           /* set GRA_0 */
    TRD0.GRB = GR_3MS;            /* set GRB_0 */
    TRD0.GRC = GR_2MS;            /* set GRC_0 */
    TRD0.GRD = GR_1MS;            /* set GRD_0 */
    TRD0.TRDCNT = 0x0000;        /* clear TRDCNT_0 */

    PMR6.BYTE |= 0x0E;           /* P63-P61=>FTIOD0-FTIOB0 */
}

```

```

/*****/
/*Name:      init_dtc          */
/*Parameters: None            */
/*Returns:   None            */
/*Description: initialize DTC */
/*****/
void init_dtc(void)
{
    DTC_REG.UN_MRA_SAR.MRA = 0xA9;          /* block transfer mode, SAR increment, DAR increment */
                                           /* transfer word size, block area -> destination address */

    DTC_REG.UN_MRA_SAR.SAR.SAR = (unsigned long)TMRD_PWM_TBL; /* Forwarding former address */
    DTC_REG.UN_MRB_DAR.DAR.DAR = (unsigned long)&TRD0.GRB;    /* Address at forwarding destination */
    DTC_REG.UN_CRA.CHAR.CRAH = BLK_SIZE; /* Set block transfer size */
    DTC_REG.UN_CRA.CHAR.CRAL = BLK_SIZE_CNT; /* Set block size counter */
    DTC_REG.UN_CRB.CRB = TRANSFER_CNT; /* Set transfer counter */

    DTC.DTCERB.BIT.ELC2FP = 1; /* DTC start by ELSR30 event */
    DTC_REG.UN_MRB_DAR.MRB = 0x00; /* disable chain, interrupt transfer end */

    /* Set event link, Timer RD unitr0 channel 0 compare match A */
    ELC.ELSR30.BYTE = 0x09;
    INTC.ELCSR.BYTE &= ~0xF2; /* clear ELF2 */
    INTC.ELCSR.BIT.ELIE2 = 1; /* ELF2 interrupt enable */
    ELC.ELCR.BIT.ELCON = 1; /* event link enable */
}

/*****/
/*Name:      h8s_sysinit      */
/*Parameters: None            */
/*Returns:   None            */
/*Description: initialize H8S/20203 */
/*****/
void h8s_sysinit(void)
{
    MSTCR1.BIT.MSTWDT = 0; /* WDT module standby off */

    /* stop WDT */
    WDT.TCSRWD.BYTE = 0x97; /* write enable TMWLOCK, TMWI */
    WDT.TCSRWD.BYTE = 0xA3; /* write enable TMWD */
    WDT.TMWD.BYTE = 0xF7; /* Not select clock source */
    WDT.TMWD.BYTE = 0xF8; /* write bit inversion */
    WDT.TCSRWD.BYTE = 0x87; /* write disable TMWLOCK, TMWI */

    CPG.OSCCSR.BYTE = 0x0E; /* wait over 6.5ms, Phi_osc=20MHz */
    PMRJ.BYTE = 0x03; /* select OSC1,OSC2 */

    CPG.SYSCCR.BYTE = (CPG.SYSCCR.BYTE & 0x7F) | 0x40; /* WI=0, WE=1 */
    CPG.SYSCCR.BYTE = 0x60; /* high=Phi_osc, Phi_low=Phi_loco */
    CPG.SYSCCR.BYTE = CPG.SYSCCR.BYTE & 0x3F; /* WI=0, WE=0 */
}

```

```

CPG.LPCR1.BYTE = (CPG.LPCR1.BYTE & 0x7F) | 0x40;      /* WI=0, WE=1 */
CPG.LPCR1.BYTE = 0x41;                                /* PSC on, Phi_base=Phi_high */
CPG.LPCR1.BYTE = CPG.LPCR1.BYTE & 0x3F;             /* WI=0, WE=0 */

CPG.LPCR2.BYTE = (CPG.LPCR2.BYTE & 0x7F) | 0x40;      /* WI=0, WE=1 */
CPG.LPCR2.BYTE = 0x40;                                /* select system clock */
CPG.LPCR2.BYTE = CPG.LPCR2.BYTE & 0x3F;             /* WI=0, WE=0 */

CPG.LPCR3.BYTE = (CPG.LPCR3.BYTE & 0x7F) | 0x40;      /* WI=0, WE=1 */
CPG.LPCR3.BYTE = 0x40;                                /* select clock of bus master */
CPG.LPCR3.BYTE = CPG.LPCR3.BYTE & 0x3F;             /* WI=0, WE=0 */

/* module standby off */
MSTCR1.BIT.MSTDTC = 0;                                /* DTC module standby off */
MSTCR3.BIT.MSTTMRD1 = 0;                             /* Timer RD unit0 module standby off */
}

```

## 6.1 リンクアドレス指定

セクション名	アドレス
CDTC_VECT	H'000400
PResetPRG, PIntPRG	H'000500
P, C, C\$DSEC, C\$BSEC, D	H'000800
BDTC, B, R	H'FFDF80
S	H'FFFD80

ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

[csc@renesas.com](mailto:csc@renesas.com)

### 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.01.19	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりますと、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等については弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444