

RAA306012 は、3 相ブラシレス DC モータ (以降 BLDC モータ) の制御に適した Smart Gate Driver です。

目次

第 1 章 概要	2
1.1 特徴	3
1.2 用途	3
1.3 端子図	4
1.4 端子機能	5
1.5 応用回路例	7
1.5.1 ホールセンサモータ制御 (3 コンパレータ)	7
1.5.2 センサレスモータ制御 (BEMF 検出 & コンパレータ)	8
1.5.3 センサレスモータ制御 (3 シャント FOC)	9
1.5.4 センサレスモータ制御 (MCU 5[V] 供給仕様)	10
第 2 章 制御端子とレジスタ設定	11
2.1 制御端子	11
2.1.1 EN 端子	11
2.1.2 SPI 通信端子 (スレーブ側)	11
2.1.3 INz (z = 1, 2, 3, 4, 5, 6) 端子	12
2.1.4 nFAULT 端子	12
2.1.5 DAzO (z = 1, 2, 3) 端子	13
2.1.6 CMPzO (z = 1, 2, 3) 端子	13
2.1.7 nSMPL 端子	14
2.2 Control Register	15
2.2.1 レジスタ説明	16
2.3 モータ制御に対応したレジスタ設定	26
2.3.1 ホールセンサモータ制御	26
2.3.2 センサレスモータ制御 (BEMF 検出 & コンパレータ)	30
2.3.3 センサレスモータ制御 (3 シャント FOC)	33
第 3 章 Smart Gate Driver の制御シーケンス	35
3.1 起動シーケンス例	35
3.2 エラー復帰シーケンス例	38
第 4 章 回路構成, 部品選定, 推奨基板レイアウト	41
4.1 回路構成, 部品選定, および注意事項	41
4.1.1 VM, VBRIDGE 端子コンデンサ (C1a, C1b, C1c, C1d)	43
4.1.2 リニアレギュレータ用部品 (C7, C8, R7, R8)	43
4.1.3 降圧スイッチングレギュレータ用部品 (R4, R5, L1, C4, C5, R6)	45
4.1.4 チャージポンプ用出力コンデンサ (C2), フライイングコンデンサ (C3)	49
4.1.5 モータ駆動用外付け MOSFET (M1~M6) とレジスタ設定	49
4.1.6 電流検出用シャント抵抗 (R1, R2, R3) と差動アンプゲイン	51
4.1.7 外付け保護回路例	52
4.2 推奨基板レイアウト	54
4.2.1 GND 系統	54
4.2.2 電源端子のコンデンサと電源配線	55
4.2.3 降圧スイッチングレギュレータ	56
4.2.4 N-ch MOSFET ブリッジ	57
4.2.5 チャージポンプ	57
4.2.6 シャント電流検出	57
第 5 章 使用上の注意事項	58
5.1 高温動作に関して	58
改版記録	59

第1章 概要

本製品には、ハーフブリッジゲートドライバ 3ch, ゲート駆動用の降圧スイッチングレギュレータとチャージポンプ, LDO 2ch (IC 内部のアナログ / デジタル回路、および周辺回路用), 高精度差動アンプ 3ch, BEMF 検出アンプ, 汎用コンパレータ 3ch、および各種保護機能を内蔵しています。

3ch のハーフブリッジゲートドライバは、最大 3ch の N-ch MOSFET ブリッジを駆動可能で、6~65[V] のブリッジ電圧に対応しています。各ゲートドライバは、ソース / シンクのピーク電流を最大 0.64 / 1.28[A] まで 16 段階で調整可能です。ドライバ制御入力は 3 相 HI/LI モード、および 3 相 PWM モードの両方に対応しています。また、堅牢性と柔軟性を確保するため、アダプティブデッドタイム機能とアジャスタブルデッドタイム機能を内蔵しています。アクティブゲートホールド機構は、ミラー効果による貫通電流を防止し、堅牢性が向上します。

ポータブル用アプリケーションのバッテリー使用时间最大化のため、2ch の LDO を内蔵しており、スタンバイ電流は 28[μA] まで低減しています。

3ch の高精度差動アンプは、各ブリッジの GND 側シャント抵抗の電流検出に対応し、ゲインの選択が可能です。3ch の汎用コンパレータ、および BEMF 検出アンプにより、ホールセンサ / センサレスモータ制御両方の BLDC モータ制御方式に対応可能です。

このデバイスは、SPI インターフェースをサポートしています。レジスタの各種パラメータは、SPI を利用して設定でき、詳細なデバイス状態の監視が可能です。

保護機能 (異常保護, 通知機能) として、VCC 電圧降下 (VCC_UV), VM 電圧降下 (VM_UV), VM 過電圧 (VM_OV), チャージポンプ電圧降下 (VCP_UV), MOSFET Vds 過電流 (VDS_OCP), シャント抵抗の過電流保護 (CS_OCP), MOSFET Vgs 異常 (VGS_FAULT), サーマルワーニング (TWARN), サーマルシャットダウン (OTSD), 降圧レギュレータ過電流検出 (SR_OC1), 降圧レギュレータ過電流保護 (SR_OCP), 降圧レギュレータ電圧降下 (VDRV_UV), 降圧レギュレータ過電圧 (VDRV_OV) に対応しています。また、nFAULT 信号と Fault Status レジスタにより異常状態の確認が可能です。

Smart Gate Driver を適切に制御するためには、MCU からの制御信号だけでなく、アプリケーションに応じた周辺回路構成、およびレジスタ設定が重要です。

本製品の詳細は、「RAA306012 データシート (R18DS0037JJ)」を参照してください。

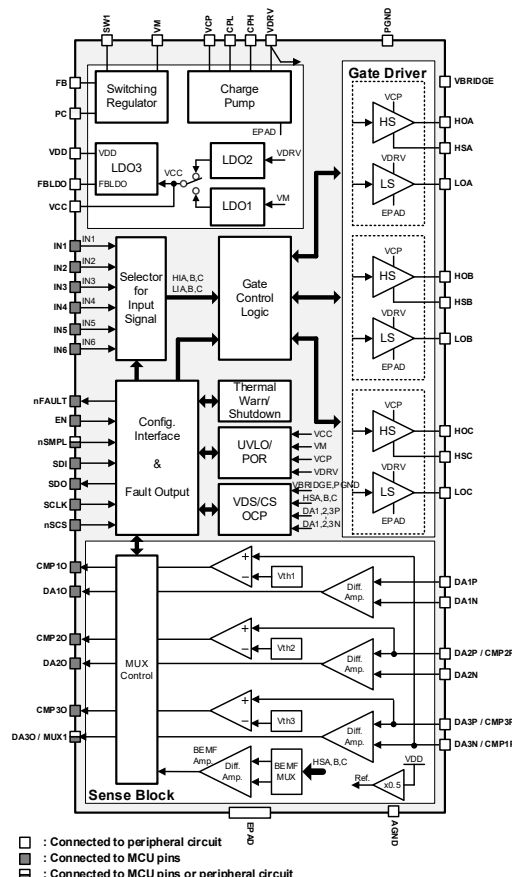


図 1-1 RAA306012 の内部ブロック図

1.1 特徴

- 動作電圧範囲
 - VBRIDGE : 6~65[V] (絶対最大定格 : 78[V])
 - VM : 6~60[V] (絶対最大定格 : 65[V])
- 動作周囲温度範囲 : -40~+105[°C]
- BLDC モータ用 3 相ゲートドライバ機能
 - スイッチング周波数範囲 : 200[kHz] (Max)
 - ゲート駆動ピーク電流 0.64 / 1.28[A] (ソース / シンク) を 16 段階で調整可能
 - アダプティブデッドタイム機能とアジャスタブルデッドタイム機能に対応
- 柔軟性のあるゲートドライバ機能
 - 3 相 HI/LI モード、および 3 相 PWM モード対応
 - 入力制御信号の選択機能
 - ハーフブリッジ、フルブリッジの両方に対応
- 完全統合型電源アーキテクチャを搭載
 - Sleep Mode 対応の低消費 VCC LDO : 2ch 搭載
 - 500[mA]降圧スイッチングレギュレータ内蔵 (5~15[V]で調整可能)
 - MCU を含む外付け部品用 100[mA]対応 LDO (電圧調整可能)
- 高性能差動アンプ : 3ch 搭載
 - ゲイン設定 (5, 10, 20, 40[V/V]) 可能な 3ch の差動アンプ (電流検出に対応)
 - DC offset calibration 対応
(起動時に自動実行し、SPI で任意実行可能)
- BEMF 検出アンプ (センサレスモータ制御用)
- 汎用コンパレータ 3ch (ホールセンサモータ制御用)
- 各種充実した保護機能搭載
 - VCC 電圧降下 (VCC_UV)
 - VM 電圧降下 (VM_UV)
 - VM 過電圧 (VM_OV)
 - チャージポンプ電圧降下 (VCP_UV)
 - MOSFET VDS 過電流 (VDS_OCP)
 - シャント抵抗の過電流保護 (CS_OCP)
 - MOSFET VGS 異常 (VGS_FAULT)
 - サーマルワーニング (TWARN)
 - サーマルシャットダウン (OTSD)
 - 降圧レギュレータ過電流検出 (SR_OC1)
 - 降圧レギュレータ過電流保護 (SR_OCP)
 - 降圧レギュレータ電圧降下 (VDRV_UV)
 - 降圧レギュレータ過電圧 (VDRV_OV)
 - nFAULT 端子による異常検出 (nFAULT pin)
- 7[mm] x 7[mm] 48Ld QFN package (0.5[mm] pitch)

1.2 用途

パワーツール、ガーデンツール、プリンタ、掃除機、ファン、ポンプ、ロボット、他

1.3 端子図

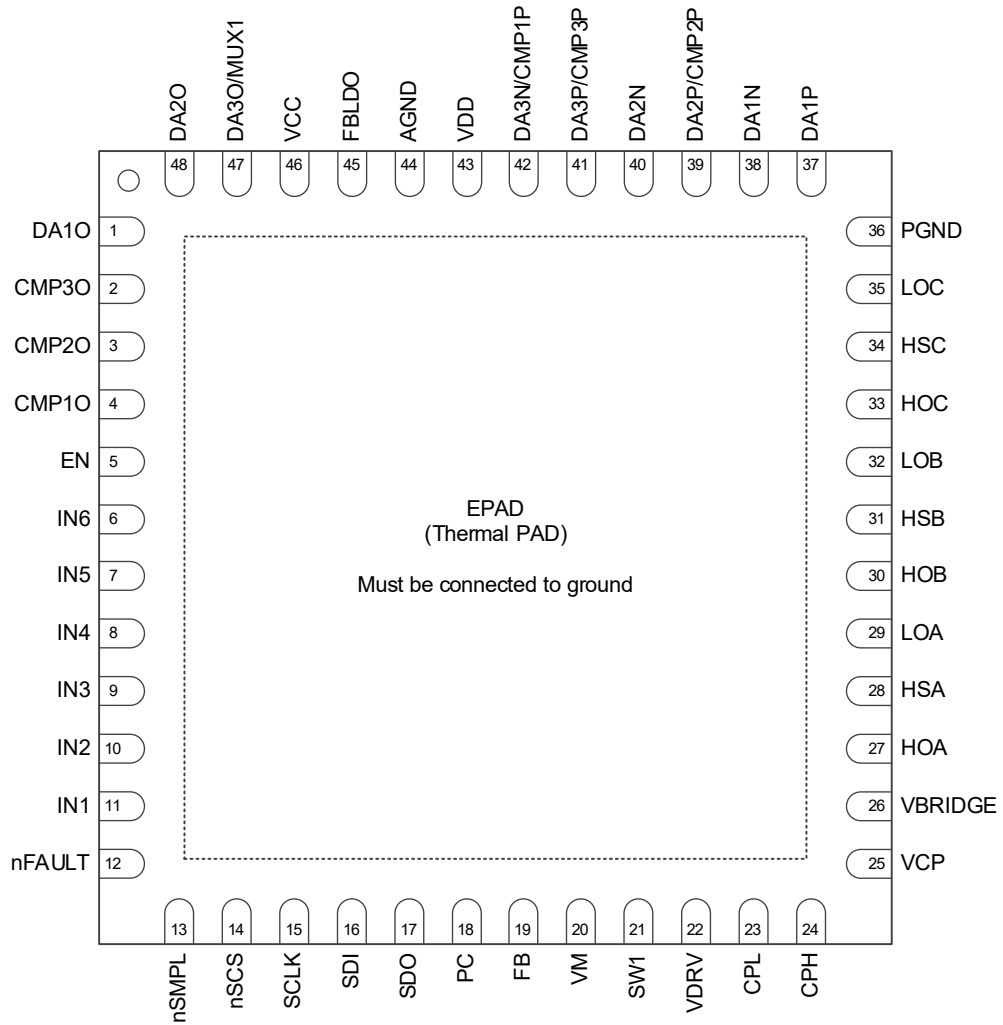


図 1-2 端子図 (Top View)

1.4 端子機能

表 1-1 端子機能 (1 / 2)

端子番号	端子名称	I/O				機能	Note
		レベル	タイプ	初期 (EN = Low)	有効制御		
1	DA1O	VDD	出力	プルダウン (330[kΩ])	DA1_EN bit	差動アンプ1の出力 プルダウン抵抗は、差動アンプ1が有効になると無効になります。	
2	CMP3O	VDD	入出力	出力 / プルダウン (380[kΩ])	CMP3_VTH / BEMF_PH ビット	BEMF検出アンプの検出相選択用制御入力、またはコンパレータ3出力 Smart Gate Driverのポート機能は、BEMF_PH ビットにより選択されます。	1
3	CMP2O	VDD	入出力	出力 / プルダウン (380[kΩ])	CMP2_VTH / BEMF_PH ビット	BEMF検出アンプの検出相選択用制御入力、またはコンパレータ2出力 Smart Gate Driverのポート機能は、BEMF_PH ビットにより選択されます。	1
4	CMP1O	VDD	入出力	出力 / プルダウン (380[kΩ])	CMP1_VTH / BEMF_PH ビット	BEMF検出アンプの検出相選択用制御入力、またはコンパレータ1出力 Smart Gate Driverのポート機能は、BEMF_PH ビットにより選択されます。	1
5	EN	VDD	入力	プルダウン (100[kΩ])	—	Operation Modeのイネーブル入力端子 この端子がLowの場合、このデバイスはlow-power sleep modelになります。	1, 2
6	IN6	VDD	入力	プルダウン (380[kΩ])	EN端子	ゲートドライバ制御入力6 各相ゲートドライバの制御端子はSPIにより選択可能です。	2
7	IN5	VDD	入力	プルダウン (380[kΩ])	EN端子	ゲートドライバ制御入力5 各相ゲートドライバの制御端子はSPIにより選択可能です。	2
8	IN4	VDD	入力	プルダウン (380[kΩ])	EN端子	ゲートドライバ制御入力4 各相ゲートドライバの制御端子はSPIにより選択可能です。	2
9	IN3	VDD	入力	プルダウン (380[kΩ])	EN端子	ゲートドライバ制御入力3 各相ゲートドライバの制御端子はSPIにより選択可能です。	2
10	IN2	VDD	入力	プルダウン (380[kΩ])	EN端子	ゲートドライバ制御入力2 各相ゲートドライバの制御端子はSPIにより選択可能です。	2
11	IN1	VDD	入力	プルダウン (380[kΩ])	EN端子	ゲートドライバ制御入力1 各相ゲートドライバの制御端子はSPIにより選択可能です。	2
12	nFAULT	VDD	オープン・ ドレイン出力	Hi-Z	EN端子	Fault状態検知信号出力 プルアップが必要です。	3
13	nSMPL	VDD	入力	プルダウン (380[kΩ])	DAz_SH (z = 1, 2, 3) / BEMF_SH ビット	差動アンプ、およびBEMF検出アンプのサンプリング制御入力	
14	nSCS	VDD	入力	プルダウン (380[kΩ])	EN端子	SPI用チップ選択入力	4
15	SCLK	VDD	入力	プルダウン (380[kΩ])	EN端子	SPI用クロック入力	4
16	SDI	VDD	入力	プルダウン (380[kΩ])	EN端子	SPI用データ入力	4
17	SDO	VDD	オープン・ ドレイン出力	Hi-Z	EN端子	SPI用データ出力 プルアップが必要です。	3, 4
18	PC	VCC	出力	プルダウン (1[kΩ])	EN端子	降圧スイッチングレギュレータの位相補償用gmアンプ出力 降圧スイッチングレギュレータが有効になると、プルダウン抵抗は無効になります。	
19	FB	VCC	入力	—	EN端子	降圧スイッチングレギュレータの電圧フィードバック入力 (Ref. = 0.8[V])	
20	VM	VM	POWER	—	—	電源入力 VMとアナログGND間にバイパスコンデンサを接続。	
21	SW1	VM	出力	Hi-Z	EN端子	降圧スイッチングレギュレータのスイッチノード	
22	VDRV	VDRV	POWER	—	EN端子	降圧スイッチングレギュレータ用出力、およびLowサイドゲートドライバ電源 バイパスコンデンサをVDRVとアナログGND間に接続。	
23	CPL	VDRV	出力	プルダウン (100[kΩ])	EN端子	チャージポンプLowサイドのスイッチノード フライングコンデンサをCPHとCPL端子間に接続。	
24	CPH	VCP	出力	Hi-Z	EN端子	チャージポンプHighサイドのスイッチノード フライングコンデンサをCPHとCPL端子間に接続。	

Note1 : 出力信号の衝突を避けるため、EN 端子を Low にする前に MCU のポートをデジタル入力機能に設定してください。

Note2 : 予期しないゲートドライバ出力を回避するため、EN 端子を High にする前、または異常状態の回復する前に、MCU から INz (z = 1, 2, 3, 4, 5, 6) 端子に Low を入力してください。詳細は、第 3 章の Smart Gate Driver の制御シーケンスを参照してください。

Note3 : プルアップは MCU の内蔵プルアップ機能を使用可能です。ただし、内蔵プルアップ機能を使用する場合は、MCU の端子仕様を確認し、通信速度を決めてください。

Note4 : EN 端子が High になった後、SPI 通信が有効になります。

表 1-2 端子機能 (2 / 2)

端子番号	端子名称	I/O				機能	Note
		レベル	タイプ	初期 (EN = Low)	有効制御		
25	VCP	VCP	POWER	—	EN端子	チャージポンプ出力 バイパスコンデンサをVBRIDGEとVCP端子間に接続。	
26	VBRIDGE	VBRIDGE	入力	入力	EN端子	チャージポンプ出力の基準電圧、およびHighサイドMOSFETのドレイン検知入力 バイパスコンデンサをVBRIDGEとパワーGND間に接続。	
27	HOA	VCP	出力	HSAにプルダウン (200[kΩ])	EN端子	A相Highサイドのゲートドライバ出力 HighサイドのMOSFETゲートと接続。	5
28	HSA	VBRIDGE	入力	プルダウン (300[kΩ])	EN端子	A相Highサイドのソース検知入力 HighサイドのMOSFETソースと接続。	
29	LOA	VDRV	出力	EPADにプルダウン (200[kΩ])	EN端子	A相Lowサイドのゲートドライバ出力 LowサイドのMOSFETゲートと接続。	5
30	HOB	VCP	出力	HSBにプルダウン (200[kΩ])	EN端子	B相Highサイドのゲートドライバ出力 HighサイドのMOSFETゲートと接続。	5
31	HSB	VBRIDGE	入力	プルダウン (300[kΩ])	EN端子	B相Highサイドのソース検知入力 HighサイドのMOSFETソースと接続。	
32	LOB	VDRV	出力	EPADにプルダウン (200[kΩ])	EN端子	B相Lowサイドのゲートドライバ出力 LowサイドのMOSFETゲートと接続。	5
33	HOC	VCP	出力	HSCにプルダウン (200[kΩ])	EN端子	C相Highサイドのゲートドライバ出力 HighサイドのMOSFETゲートと接続。	5
34	HSC	VBRIDGE	入力	プルダウン (300[kΩ])	EN端子	C相Highサイドのソース検知入力 HighサイドのMOSFETソースと接続。	
35	LOC	VDRV	出力	EPADにプルダウン (200[kΩ])	EN端子	C相Lowサイドのゲートドライバ出力 LowサイドのMOSFETゲートと接続。	5
36	PGND	GND	GND	—	—	外部パワー段のGNDセンス入力	
37	DA1P	VDD	入力	入力	DA1_EN / DIS_CS10CP ビット	差動アンプ1のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
38	DA1N	VDD	入力	入力	DA1_EN / DIS_CS10CP ビット	差動アンプ1のNegative側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
39	DA2P	VDD	入力	入力	DA2_EN / DIS_CS20CP / CMP2_VTH ビット	差動アンプ2のPositive側入力、およびコンパレータ2のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
40	DA2N	VDD	入力	入力	DA2_EN / DIS_CS20CP ビット	差動アンプ2のNegative側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
41	DA3P	VDD	入力	入力	DA3_EN / DIS_CS30CP / CMP3_VTH ビット	差動アンプ3のPositive側入力、およびコンパレータ3のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
42	DA3N	VDD	入力	入力	DA3_EN / DIS_CS30CP / CMP1_VTH ビット	差動アンプ3のNegative側入力、およびコンパレータ1のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
43	VDD	VDD	POWER	—	—	内蔵シリースレギュレータ出力、および出力バッファ用電源 出力コンデンサをVDDとアナログGND間に接続。	6
44	AGND	GND	GND	—	—	デバイスのアナログGND	
45	FBLDO	VCC	入力	—	—	内蔵シリースレギュレータの電圧フィードバック (Ref. = 1.2[V])	
46	VCC	VCC	POWER	—	—	内蔵シリースレギュレータ出力 (5[V]) 出力コンデンサをVCCとアナログGND間に接続。	6
47	DA3O/MUX1	VDD	出力	プルダウン (330[kΩ])	MUX ビット	差動アンプ3の出力、BEMF検出アンプ出力、アナログマルチプレクサ出力 プルダウン抵抗は、MUX[2:0]ビットが "000b" のとき有効になります。	
48	DA2O	VDD	出力	プルダウン (330[kΩ])	DA2_EN ビット	差動アンプ2の出力	
—	EPAD (Thermal PAD)	GND	GND	—	—	チャージポンプ、およびゲートドライバ用のパワーGND 外部パワーGNDとの接続が必要です。	

Note5 : HOx - HSx (x = A, B, C) 端子間、および LOx (x = A, B, C) - EPAD 端子間にはプルダウン抵抗が内蔵されていますが、外付け MOSFET の電源スルーレートに応じて、外付けのプルダウン抵抗が必要になります。

Note6 : EN 端子と動作モードに応じて、VDD と VCC の負荷能力が異なります。推奨動作条件は「RAA306012 データシート (R18DS0037JJ)」の 5.3 を参照してください。

1.5 応用回路例

1.5.1 ホールセンサモータ制御 (3 コンパレータ)

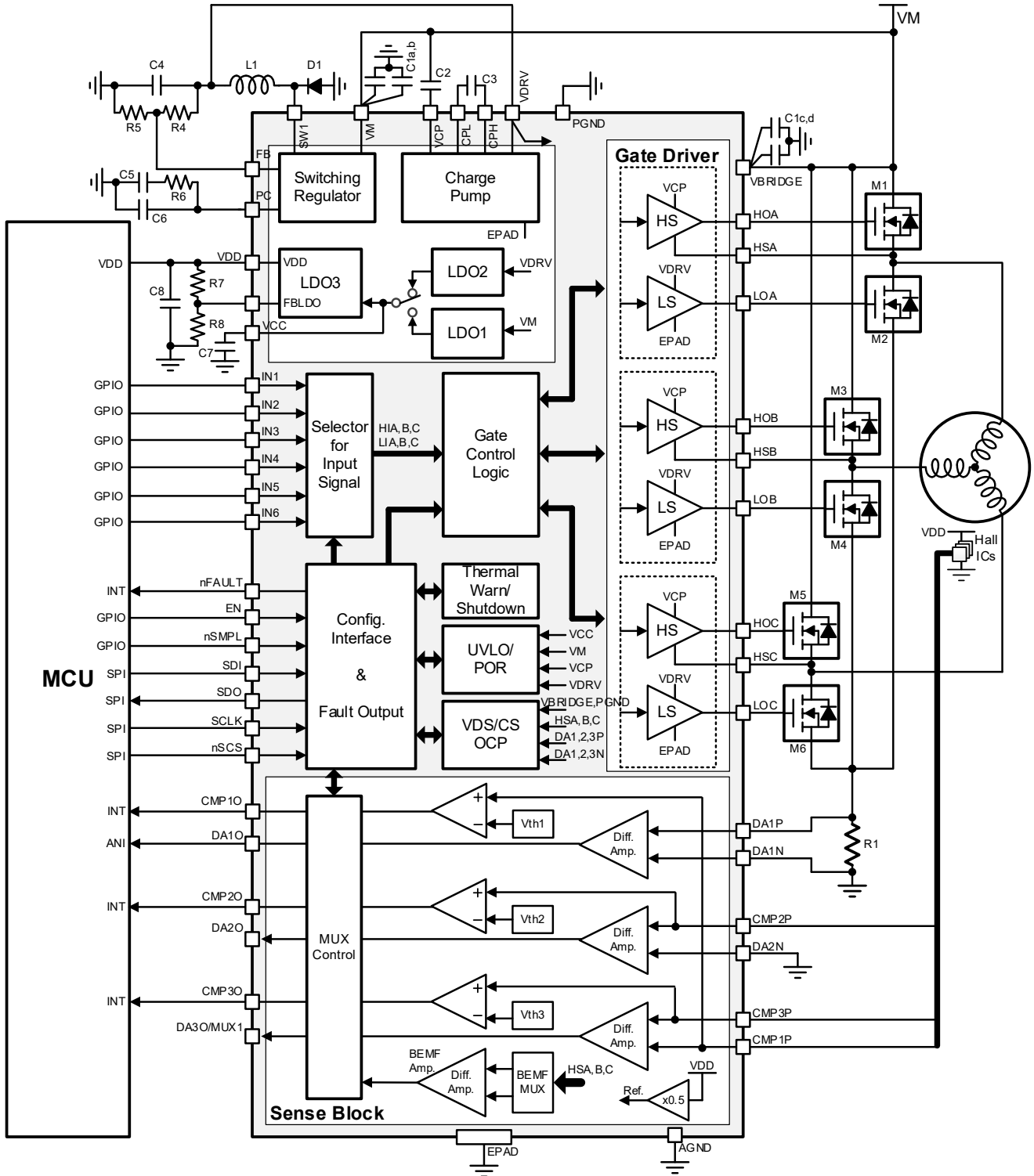


図 1-3 アプリケーション簡易ブロック図 : ホールセンサモータ制御 (3 コンパレータ)

1.5.2 センサレスモータ制御 (BEMF 検出 & コンパレータ)

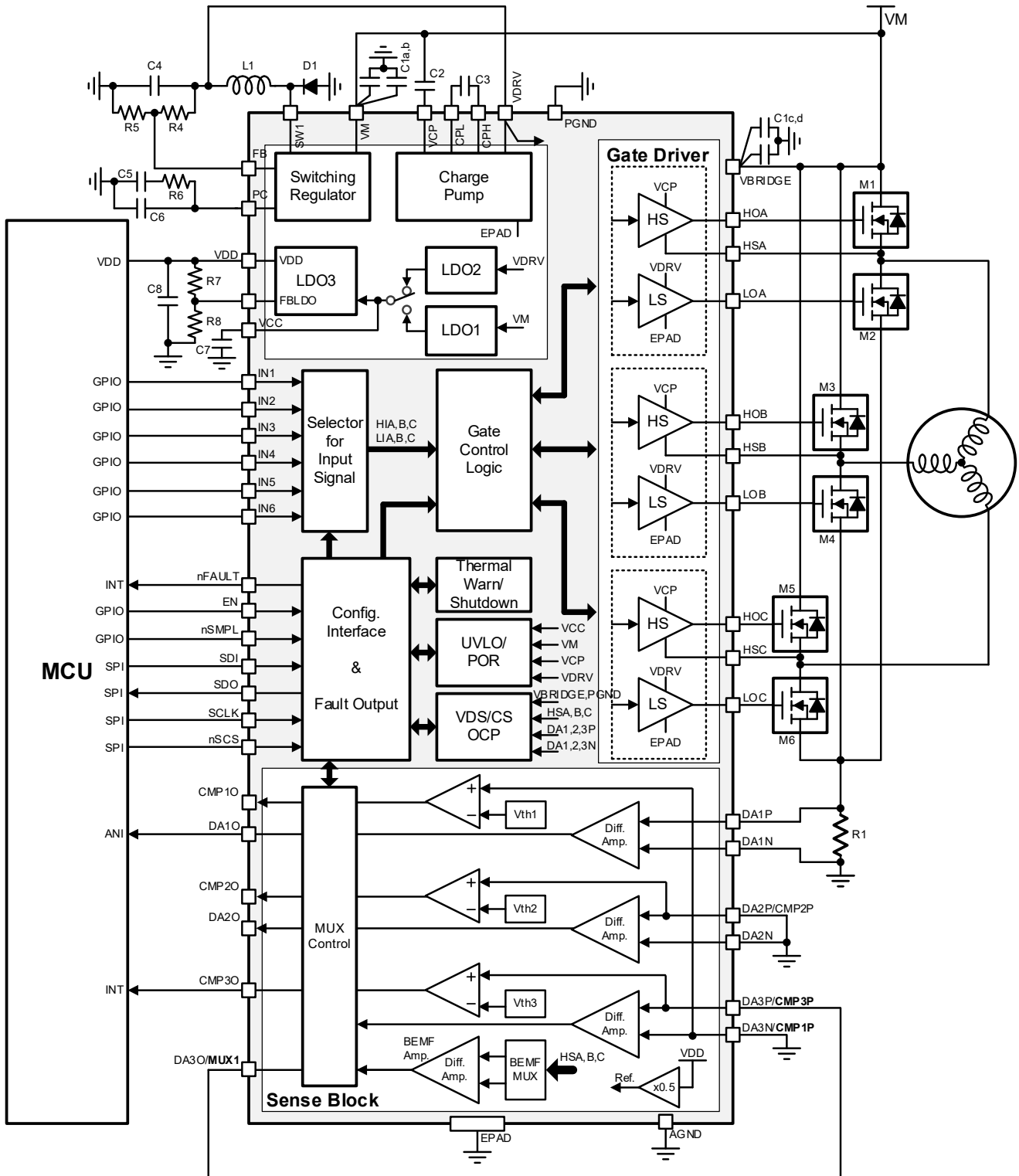


図 1-4 アプリケーション簡易ブロック図: センサレスモータ制御 (BEMF 検出 & コンパレータ)

1.5.3 センサレスモータ制御 (3 シャント FOC)

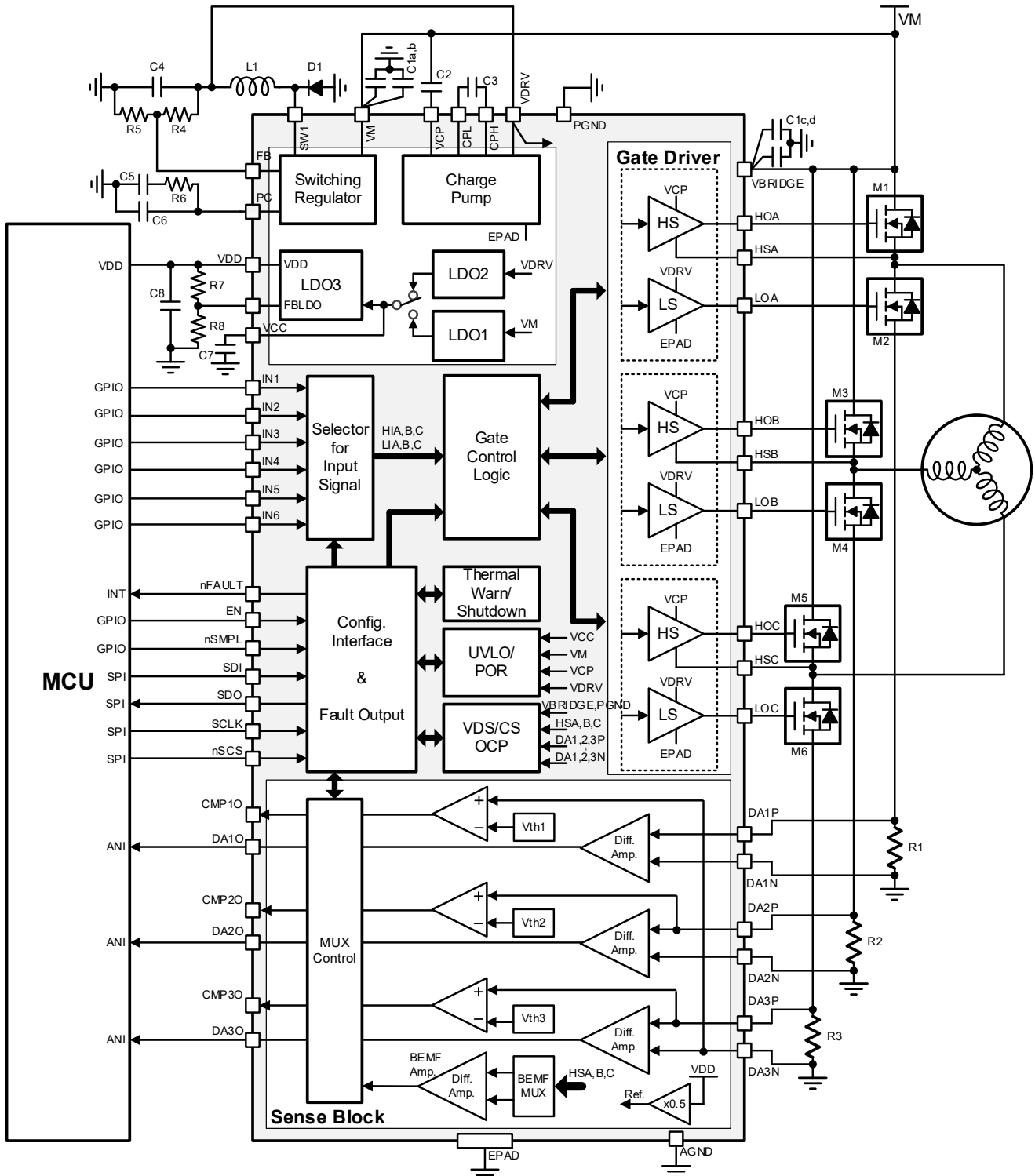


図 1-5 アプリケーション簡易ブロック図: センサレスモータ制御 (3 シャント FOC)

1.5.4 センサレスモータ制御 (MCU 5[V] 供給仕様)

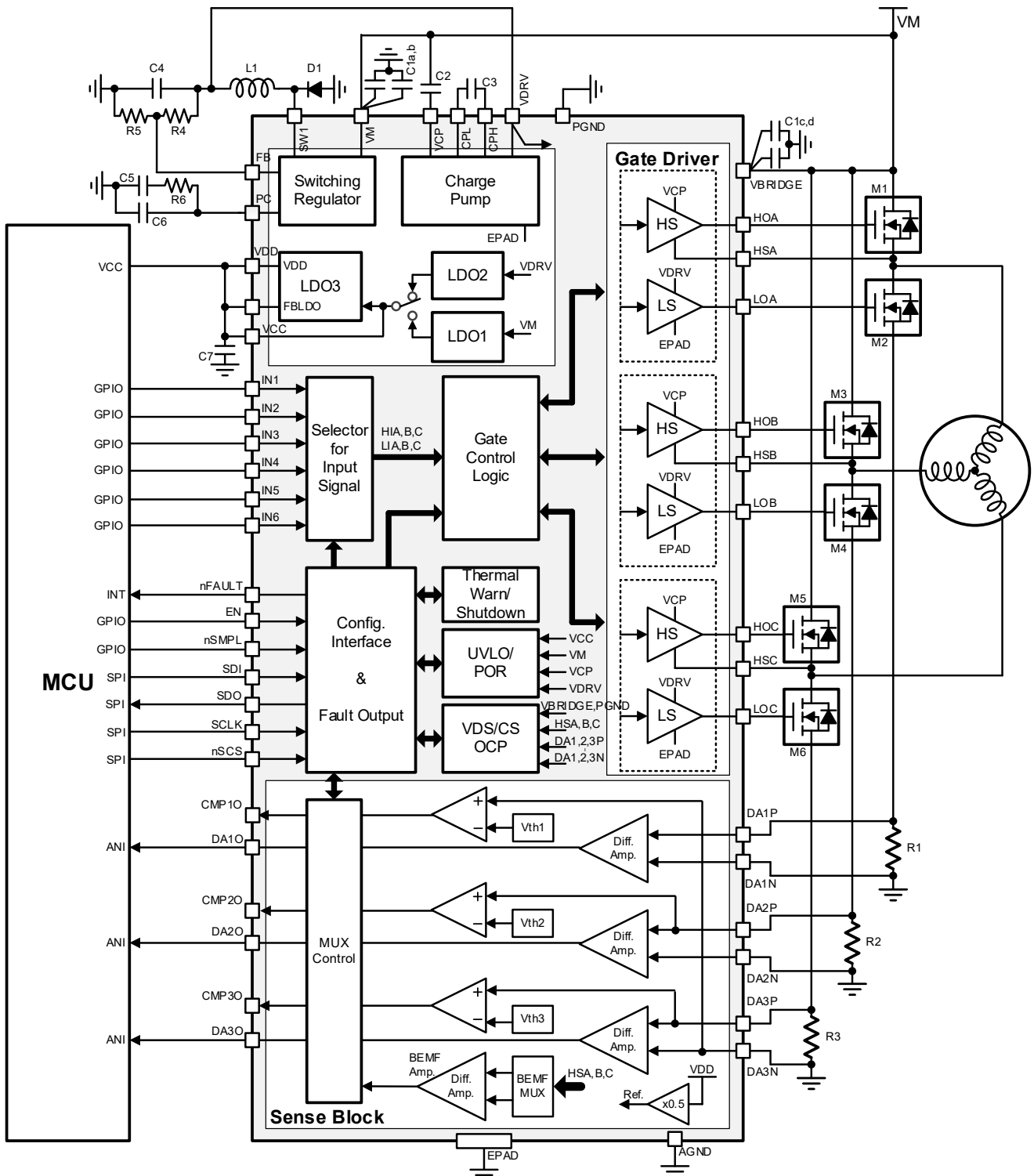


図 1-6 アプリケーション簡易ブロック図: センサレスモータ制御 (MCU 5[V] 供給仕様)

第2章 制御端子とレジスタ設定

2.1 制御端子

2.1.1 EN 端子

EN 端子は、Smart Gate Driver の動作モードを制御する端子です。MCU 側の端子 (以降、EN 出力端子とする。) はデジタル出力端子を接続してください。動作モードの詳細は、「RAA306012 データシート (R18DS0037JJ)」の 6.1 を参照してください。

- (1) MCU のリセット解除時、EN 出力端子が入力機能であれば、EN 端子は Smart Gate Driver のプルダウン抵抗 (100[kΩ]) により Low になります。そのため、MCU のリセット解除時の Smart Gate Driver の動作モードは Sleep Mode になります。
- (2) MCU の端子設定では、EN 出力端子はデジタル出力機能に設定し、Low 出力からの開始を推奨します。
- (3) EN 出力端子を High 出力に設定すると、Smart Gate Driver は Operating Mode に遷移します。これにより、EN 信号以外の信号による制御が有効になるため、EN 出力端子を High 出力に設定する前にその他の端子設定をすることが重要です。
- (4) 何らかの異常により Smart Gate Driver を停止させる際は、EN 出力端子を Low 出力に設定してください。

2.1.2 SPI 通信端子 (スレーブ側)

SPI 通信端子は、Smart Gate Driver のレジスタ設定、異常状態の確認に使用します。SPI 通信は 4 線の SPI 通信機能、または 3 線のシリアル I/O とデジタル出力機能によるチップセレクト信号により行います。MCU 側は SDI 端子には SPI のデータ出力端子を、SDO 端子には SPI のデータ入力端子を、SCLK 端子には SPI のクロック出力端子を、nSCS 端子には SPI のチップセレクト出力端子を接続してください。本製品の SPI 通信のタイミング仕様、フォーマットは、「RAA306012 データシート (R18DS0037JJ)」の 5.5, 6.6 を、制御レジスタの詳細は、2.2.1 を参照してください。

- (1) MCU のリセット解除時、MCU の SPI 通信端子が入力機能であれば、SDI 端子と SCLK 端子は Smart Gate Driver のプルダウン抵抗 (380[kΩ]) により Low、nSCS 端子は Smart Gate Driver のプルアップ抵抗 (380[kΩ]) により High になります。ただし、SDO 端子はオープン・ドレイン出力がオフのため、Hi-Z になります。そのため、プルアップする必要があります。
- (2) MCU の端子設定では、MCU の SPI 通信端子は SPI 通信機能を設定してください。通信速度は 5[MHz]以下を設定してください。ただし、通信可能な速度は SPI 通信端子の配線負荷、および SDO 端子の外付けプルアップ抵抗に依存します。SPI タイミング仕様を満足することを十分に確認のうえ、通信速度を決定してください。
- (3) SPI 通信は、EN 出力端子が High 出力の状態 (Operating Mode) で実施します。MCU の端子設定時は EN 出力端子が Low のため、SPI 通信が無効になります。レジスタ設定、異常状態の確認に伴う SPI 通信のシーケンスは、第 3 章を参照してください。

2.1.3 INz (z = 1, 2, 3, 4, 5, 6) 端子

INz (z = 1, 2, 3, 4, 5, 6) 端子は、Smart Gate Driver 内の各相ゲートドライバ出力を制御する端子です。MCU の端子 (以降、INz (z = 1, 2, 3, 4, 5, 6) 出力端子とする。) としては PWM 出力端子を接続してください。これらの端子は、各相ゲートドライバ制御入力 Hlx, Llx (x = A, B, C) に Smart Gate Driver のレジスタ設定に応じて割り当てられ、Hlx, Llx (x = A, B, C) の極性に応じた真理値表 (「RAA306012 データシート (R18DS0037JJ)」の 6.4.2 を参照) でゲートドライバ出力を制御します。特定の組み合わせに限定されません。また、ゲートドライバ出力は Hlx, Llx (x = A, B, C) の極性に応じた真理値表 (「RAA306012 データシート (R18DS0037JJ)」の 6.4.2 を参照) で制御します。

- (1) MCU のリセット解除時、INz (z = 1, 2, 3, 4, 5, 6) 出力端子が入力機能であれば、INz (z = 1, 2, 3, 4, 5, 6) 端子は Smart Gate Driver のプルダウン抵抗 (380[kΩ]) により Low になります。
- (2) MCU の端子設定では、Sleep Mode 時の設定として INz (z = 1, 2, 3, 4, 5, 6) 出力端子は Low 出力に設定してください。これにより EN 出力端子を High 出力に設定した際に予期しないゲートドライバの動作を防ぐことが可能です。
- (3) EN 出力端子を High 出力に設定した後、Smart Gate Driver の Phase-A Gate Driver Input Selection レジスタ (GDSELA), Phase-B Gate Driver Input Selection レジスタ (GDSELB), Phase-C Gate Driver Input Selection レジスタ (GDSELC) の設定により、各相ゲートドライバ制御入力 Hlx, Llx (x = A, B, C) の割り当てを実施します。接続する MCU にあわせて、適切な設定に変更してください。なお、本レジスタ設定の際に INz (z = 1, 2, 3, 4, 5, 6) 出力端子は Low 出力を維持してください。これによりレジスタ設定の変更に伴う異常動作を防止します。
- (4) Smart Gate Driver のレジスタ設定は、EN 端子が Low になるとリセットされます。したがって、EN 出力端子を Low 出力に設定する際は、INz (z = 1, 2, 3, 4, 5, 6) 出力端子を Low 出力に設定後、EN 出力端子を Low 出力に設定してください。
- (5) 異常検出によって nFAULT 入力端子が Low となり、ゲートドライバが無効になった際は、INz (z = 1, 2, 3, 4, 5, 6) 出力端子を Low 出力に設定してください。異常状態からの復帰時にはゲートドライバが有効になるため、予期しないゲートドライバの動作を防ぐことが可能です。異常検出後のゲートドライバの動作、および復帰動作は「RAA306012 データシート (R18DS0037JJ)」の 6.2 を参照してください。

2.1.4 nFAULT 端子

nFAULT 端子は、Smart Gate Driver の異常検出状態を出力する端子です。MCU 側の端子 (以降、nFAULT 入力端子とする。) は外部割り込み端子の接続を推奨します。Smart Gate Driver がいずれかの異常状態を検出すると、本端子から nFAULT 入力端子に Low が入力されます。MCU はこの入力をトリガにエラー復帰シーケンスの構築が可能です。Smart Gate Driver はレジスタ設定により、各異常検出の有効 / 無効の切り替え、および異常検出時の動作を設定可能です。詳細は、2.2.1.5、および 2.2.1.6 を参照してください。

- (1) MCU のリセット解除時、nFAULT 入力端子が入力機能であれば、nFAULT 端子はオープン・ドレイン出力がオフのため、本端子は Hi-Z になり、プルアップをする必要があります。
- (2) MCU の端子設定では、nFAULT 入力信号の確認のため、nFAULT 入力端子はデジタル入力機能、または外部割り込み機能に設定します。
- (3) 電源投入時において、EN 出力端子が Low の場合、かつ nFAULT 端子がプルアップがされている場合、nFAULT 入力端子は High になります。EN 出力端子を High 出力に設定すると nFAULT 入力端子は一度 Low に切り替わり、Smart Gate Driver の全ての電源機能の起動が完了して、異常状態が発生していなければ nFAULT 入力端子は再び High になります。本動作を考慮したシーケンスは、3.1 を参照してください。

2.1.5 DAzO (z = 1, 2, 3) 端子

DAzO (z = 1, 2, 3) 端子は、Smart Gate Driver の差動アンプ、BEMF 検出アンプ、またはアナログマルチプレクサからのアナログ信号を出力する端子です。MCU の端子 (以降、DAzO (z = 1, 2, 3) 入力端子とする。) は、アナログ入力端子を接続してください。

- (1) MCU のリセット解除時、DAzO (z = 1, 2, 3) 入力端子が入力機能であれば、DAzO (z = 1, 2, 3) 端子は Smart Gate Driver のプルダウン抵抗 (330[kΩ]) により Low になります。
- (2) MCU の端子設定では、Smart Gate Driver のアナログ出力信号を A/D 変換するため、DAzO (z = 1, 2, 3) 入力端子はアナログ入力機能を設定してください。
- (3) EN 出力端子が High 出力の時、Smart Gate Driver のレジスタ設定により DA3O 端子の出力をアナログマルチプレクサにより変更することが可能です。DA3O の出力を使用しない場合、Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに "000b" を設定してください。なお、設定した際にプルダウン抵抗 (330[kΩ]) が DA3O 端子に接続されます。詳細は、「RAA306012 データシート (R18DS0037JJ)」の 6.5.5 を参照してください。

2.1.6 CMPzO (z = 1, 2, 3) 端子

CMPzO (z = 1, 2, 3) 端子は、Smart Gate Driver の汎用コンパレータ出力端子、または BEMF 検出アンプの検出相選択を制御する入力端子として使用します。MCU 側の端子 (以降、CMPzO (z = 1, 2, 3) 入出力端子とする) を、汎用コンパレータの入力として使用する場合はデジタル入力端子、または外部割り込み端子の接続を推奨します。BEMF 検出アンプの検出相選択として使用する場合は、デジタル出力端子を接続してください。端子機能の切り替えは Smart Gate Driver のレジスタ設定によって行います。制御レジスタの詳細は、2.2.1.15 を、BEMF 検出アンプの検出位相選択の詳細は、「RAA306012 データシート (R18DS0037JJ)」の 6.5.3 を参照してください。

- (1) MCU のリセット解除時、CMPzO (z = 1, 2, 3) 入出力端子が入力機能であれば、CMPzO (z = 1, 2, 3) 端子は Smart Gate Driver のプルダウン抵抗 (380[kΩ]) により Low になります。
- (2) MCU の端子設定では、Smart Gate Driver の CMPzO (z = 1, 2, 3) 端子の初期設定が汎用コンパレータ出力のため、CMPzO (z = 1, 2, 3) 入出力端子はデジタル入力機能、または外部割り込み機能を設定してください。
- (3) BEMF 検出アンプの検出相選択に使用する場合は、MCU と Smart Gate Driver の出力信号が衝突しないように、Smart Gate Driver のレジスタ設定により CMPzO (z = 1, 2, 3) 端子の BEMF 検出アンプの検出相設定を変更した後に、検出相選択に MCU 側の CMPzO (z = 1, 2, 3) 入出力端子をデジタル出力機能に設定する必要があります。なお、BEMF 検出アンプの検出相は、CMP1O, CMP2O 端子、または CMP2O, CMP3O 端子の 2 端子で選択します。検出相選択として使用しない端子は、汎用コンパレータ出力の入力端子として使用可能です。その場合、デジタル入力機能、または外部割り込み機能を設定してください。
- (4) Smart Gate Driver のレジスタ設定は、EN 端子が Low になるとリセットされます。レジスタ設定のリセットに伴う出力信号の衝突回避のため、EN 出力端子を Low 出力に設定する際は、先に CMPzO (z = 1, 2, 3) 入出力端子をデジタル入力機能に変更してから、EN 出力端子を Low 出力に設定してください。

2.1.7 nSMPL 端子

nSMPL 端子は、Smart Gate Driver の差動アンプ、または BEMF 検出アンプのサンプルホールド機能を制御する入力端子です。MCU の端子 (以降、nSMPL 出力端子とする。) は、デジタル出力端子を接続してください。サンプルホールド機能の詳細は、「**RAA306012 データシート (R18DS0037JJ)**」の **6.5.2**, **6.5.3** を参照してください。

- (1) MCU のリセット解除時、nSMPL 出力端子が入力機能であれば、nSMPL 端子は Smart Gate Driver のプルダウン抵抗 (380[kΩ]) により Low になります。
- (2) MCU の端子設定では、nSMPL 出力端子はデジタル出力機能に設定し、Low 出力を設定してください。なお、サンプルホールド機能を使用しない場合は、nSMPL 端子を GND に接続してください。
- (3) Smart Gate Driver のレジスタ設定によってサンプルホールド機能を有効にした後は、nSMPL 出力端子が Low 出力の時はサンプリング動作、High 出力の時はホールド動作となります。なお、BEMF 検出アンプのサンプルホールドは、nSMPL 出力端子が Low であってもホールド動作となる期間があります。
「**RAA306012 データシート (R18DS0037JJ)**」の **6.5.3** を参照してください。

2.2 Control Register

Smart Gate Driver には、異常検出内容の確認、異常検出や機能ブロックの有効 / 無効の設定、ゲートドライバのスイッチング特性の調整、センシングブロックの動作モード、ゲイン設定などを行うため、Control Register を内蔵しています。Control Register は、Smart Gate Driver の EN 端子を High にした後、SPI 通信が有効となりレジスタ設定が可能になります。ただし、レジスタ設定は、Operating Mode に遷移した後に実行することを推奨します。レジスタ設定後に、Sleep Mode、または Shutdown Mode に遷移すると全てのレジスタがリセットされるため、Operating Mode に遷移した後は、各レジスタを再設定する必要があります。

図 2-1 に SPI 通信フォーマットを、表 2-1 に Control Register のレジスタマップを示します。MCU の通信端子の設定は、2.1.2 を参照してください。

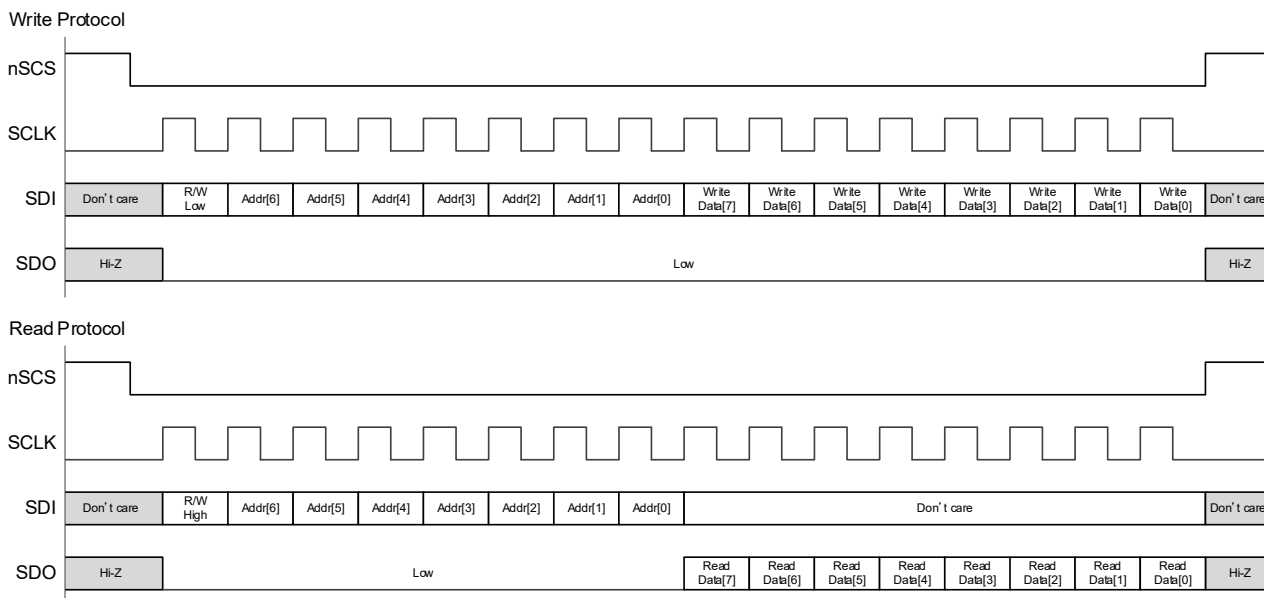


図 2-1 SPI 通信フォーマット

表 2-1 Control Register のレジスタマップ

Address	Register Name	Symbol	Access Type	Initial value	7	6	5	4	3	2	1	0
0x00	Fault Status 0	FLTSTS0	R	00h	FAULT	SR_FAULT	OV_UVLO	VDS_OCP	VGS_FAULT	CS_OCP	OTSD	TWARN
0x01	Fault Status 1	FLTSTS1	R	00h	VDRV_UV	VDRV_OV	SR_OCP	VCP_UV	VM_UV	VM_OV	N/A	N/A
0x02	Fault Status 2	FLTSTS2	R	00h	VDSHA_OCP	VDSL_A_OCP	VGSHA_FAULT	VGSLA_FAULT	VDSHB_OCP	VDSL_B_OCP	VGSHB_FAULT	VGSLB_FAULT
0x03	Fault Status 3	FLTSTS3	R	00h	VDSHC_OCP	VDSL_C_OCP	VGSHC_FAULT	VGSLC_FAULT	N/A	CS1_OCP	CS2_OCP	CS3_OCP
0x04	Fault Control 1	FLTCTL1	R/W	00h	DIS_VDRVUV	DIS_VDRV OV	DIS_SROC	DIS_VCPUV	DIS_VMOV	DIS_VMOV	DIS_OTSD	TWARN_REP
0x05	Fault Control 2	FLTCTL2	R/W	07h	CSOCP_MODE1	CSOCP_MODE0	VDSOCP_MODE1	VDSOCP_MODE0	DIS_VGSFLT	DIS_CS1OCP	DIS_CS2OCP	DIS_CS3OCP
0x06	IC Control 1	ICCTL1	R/W	35h	CLR_FLT	WRITE_LOCK2	WRITE_LOCK1	WRITE_LOCK0	PWMODE	CSOCP_TH2	CSOCP_TH1	CSOCP_TH0
0x07	IC Control 2	ICCTL2	R/W	50h	DEAD_TIME1	DEAD_TIME0	T_GT1	T_GT0	BEMF_EN	DA1_EN	DA2_EN	DA3_EN
0x08	Gate Driver Control	GDCTL	R/W	FFh	ISRC_HS3	ISRC_HS2	ISRC_HS1	ISRC_HS0	ISRC_LS3	ISRC_LS2	ISRC_LS1	ISRC_LS0
0x09	Over Current Protection Control	OCPCNTL	R/W	00h	VDS_TH3	VDS_TH2	VDS_TH1	VDS_TH0	TRETRY_CSOC	TRETRY_VDSOCP	DEG_TIME1	DEG_TIME0
0x0A	Phase-A Gate Driver Input Selection	GDSELA	R/W	14h	CMP1_HYS	HOA_SEL2	HOA_SEL1	HOA_SEL0	VMUV_TH	LOA_SEL2	LOA_SEL1	LOA_SEL0
0x0B	Phase-B Gate Driver Input Selection	GDSELB	R/W	25h	CMP2_HYS	HOB_SEL2	HOB_SEL1	HOB_SEL0	PDMODE	LOB_SEL2	LOB_SEL1	LOB_SEL0
0x0C	Phase-C Gate Driver Input Selection	GDSELC	R/W	36h	CMP3_HYS	HOC_SEL2	HOC_SEL1	HOC_SEL0	CPUV_TH	LOC_SEL2	LOC_SEL1	LOC_SEL0
0x0D	Sense Block Control 1	SNSCTL1	R/W	AAh	BEMF_GAIN1	BEMF_GAIN0	DA1_GAIN1	DA1_GAIN0	DA2_GAIN1	DA2_GAIN0	DA3_GAIN1	DA3_GAIN0
0x0E	Sense Block Control 2	SNSCTL2	R/W	00h	CAL_BCONN	BEMF_PH2	BEMF_PH1	BEMF_PH0	BEMF_SH	DA1_SH	DA2_SH	DA3_SH
0x0F	Sense Block Control 3	SNSCTL3	R/W	88h	CMP1_VTH3	CMP1_VTH2	CMP1_VTH1	CMP1_VTH0	CMP2_VTH3	CMP2_VTH2	CMP2_VTH1	CMP2_VTH0
0x10	Sense Block Control 4	SNSCTL4	R/W	80h	CMP3_VTH3	CMP3_VTH2	CMP3_VTH1	CMP3_VTH0	CAL_CONN	CAL_DA1	CAL_DA2	CAL_DA3/BEMF
0x11	Sense Block Control 5	SNSCTL5	R/W	00h	DIS_SADT	RESERVED11_6	CTLB_UNLOCK	RESERVED11_4	RESERVED11_3	MUX2	MUX1	MUX0
0x12	Sense Block Control 6	SNSCTL6	R/W	40h	RESERVED12_7	BEMF_OFFSET	RESERVED12_5	RESERVED12_4	RESERVED12_3	RESERVED12_2	RESERVED12_1	GD_AOR

2.2.1 レジスタ説明

2.2.1.1 Fault Status 0 レジスタ : FLTSTS0 アドレス = 00h : [初期値 = 00h]

図 2-2、および表 2-2 に Fault Status 0 レジスタの詳細を示します。

図 2-2 Fault Status 0 レジスタ : FLTSTS0 の構成

7	6	5	4	3	2	1	0
FAULT	SR_FAULT	OV_UVLO	VDS_OCP	VGS_FAULT	CS_OCP	OTSD	TWARN
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

表 2-2 Fault Status 0 レジスタ : FLTSTS0 の説明

Bit	Field	Type	Default	Description
7	FAULT	R	0b	全てのFault Statusビットの論理和
6	SR_FAULT	R	0b	降圧スイッチングレギュレータのFault Statusビット (VDRV_UV, VDRV_OV, SR_OCP) の論理和
5	OV_UVLO	R	0b	チャージポンプの電圧降下用のFault Statusビット (VCP_UV) と、VMの電圧降下、および過電圧のFault Statusビット (VM_UV, VM_OV) の論理和
4	VDS_OCP	R	0b	MOSFETのVds過電流のFault Statusビット (VDSHx_OCP, VDSLx_OCP (x = A, B, C)) の論理和
3	VGS_FAULT	R	0b	MOSFETのVgs異常のFault Statusビット (VGSx_FAULT, VGSx_FAULT (x = A, B, C)) の論理和
2	CS_OCP	R	0b	シャント抵抗の過電流検出のFault Statusビット (CSz_OCP (z = 1, 2, 3)) の論理和
1	OTSD	R	0b	サーマルシャットダウン (Tsd) のインジケータ
0	TWARN	R	0b	サーマルワーニング (TWARN) のインジケータ

Note 1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

2.2.1.2 Fault Status 1 レジスタ : FLTSTS1 アドレス = 01h : [初期値 = 00h]

図 2-3、および表 2-3 に Fault Status 1 レジスタの詳細を示します。

図 2-3 Fault Status 1 レジスタ : FLTSTS1 の構成

7	6	5	4	3	2	1	0
VDRV_UV	VDRV_OV	SR_OCP	VCP_UV	VM_UV	VM_OV	N/A	N/A
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

表 2-3 Fault Status 1 レジスタ : FLTSTS1 の説明

Bit	Field	Type	Default	Description
7	VDRV_UV	R	0b	VDRV電圧降下 (Vdrvuv) のインジケータ
6	VDRV_OV	R	0b	VDRV過電圧 (Vdrvov) のインジケータ
5	SR_OCP	R	0b	降圧スイッチングレギュレータの過電流 (Ioc2_sr) のインジケータ
4	VCP_UV	R	0b	チャージポンプ電圧降下 (Vcpuv) のインジケータ
3	VM_UV	R	0b	VM電圧降下 (Vmvuv) のインジケータ
2	VM_OV	R	0b	VM過電圧 (Vmov) のインジケータ
1	N/A	R	0b	Not assigned
0	N/A	R	0b	Not assigned

Note 1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

2.2.1.3 Fault Status 2 レジスタ : FLTSTS2 アドレス = 02h : [初期値 = 00h]

図 2-4、および表 2-4 に Fault Status 2 レジスタの詳細を示します。

図 2-4 Fault Status 2 レジスタ : FLTSTS2 の構成

7	6	5	4	3	2	1	0
VDSHA_OCP	VDSL_A_OCP	VGSHA_FAULT	VGSLA_FAULT	VDSHB_OCP	VDSL_B_OCP	VGSHB_FAULT	VGSLB_FAULT
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

表 2-4 Fault Status 2 レジスタ : FLTSTS2 の説明

Bit	Field	Type	Default	Description
7	VDSHA_OCP	R	0b	A相HighサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
6	VDSL_A_OCP	R	0b	A相LowサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
5	VGSHA_FAULT	R	0b	A相HighサイドMOSFETのV _{GS} 異常のインジケータ
4	VGSLA_FAULT	R	0b	A相LowサイドMOSFETのV _{GS} 異常のインジケータ
3	VDSHB_OCP	R	0b	B相HighサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
2	VDSL_B_OCP	R	0b	B相LowサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
1	VGSHB_FAULT	R	0b	B相HighサイドMOSFETのV _{GS} 異常のインジケータ
0	VGSLB_FAULT	R	0b	B相LowサイドMOSFETのV _{GS} 異常のインジケータ

Note1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

2.2.1.4 Fault Status 3 レジスタ : FLTSTS3 アドレス = 03h : [初期値 = 00h]

図 2-5、および表 2-5 に Fault Status 3 レジスタの詳細を示します。

図 2-5 Fault Status 3 レジスタ : FLTSTS3 の構成

7	6	5	4	3	2	1	0
VDSHC_OCP	VDSL_C_OCP	VGSHC_FAULT	VGSLC_FAULT	N/A	CS1_OCP	CS2_OCP	CS3_OCP
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

表 2-5 Fault Status 3 レジスタ : FLTSTS3 の説明

Bit	Field	Type	Default	Description
7	VDSHC_OCP	R	0b	C相HighサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
6	VDSL_C_OCP	R	0b	C相LowサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
5	VGSHC_FAULT	R	0b	C相HighサイドMOSFETのV _{GS} 異常のインジケータ
0	VGSLC_FAULT	R	0b	C相LowサイドMOSFETのV _{GS} 異常のインジケータ
3	N/A	R	0b	Not Assigned
2	CS1_OCP	R	0b	DA1P, DA1Nへの差動入力に対するシャント抵抗の過電流検出 (V _{CSOCP}) のインジケータ
1	CS2_OCP	R	0b	DA2P, DA2Nへの差動入力に対するシャント抵抗の過電流検出 (V _{CSOCP}) のインジケータ
0	CS3_OCP	R	0b	DA3P, DA3Nへの差動入力に対するシャント抵抗の過電流検出 (V _{CSOCP}) のインジケータ

Note1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

2.2.1.5 Fault Control 1 レジスタ : FLTCTL1 アドレス = 04h : [初期値 = 00h]

図 2-6、および表 2-6 に Fault Control 1 レジスタの詳細を示します。

図 2-6 Fault Control 1 レジスタ : FLTCTL1 の構成

7	6	5	4	3	2	1	0
DIS_VDRVUV	DIS_VDRVOV	DIS_SROC	DIS_VCPUV	DIS_VMUUV	DIS_VMOV	DIS_OTSD	TWARN_REP
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 2-6 Fault Control 1 レジスタ : FLTCTL1 の説明

Bit	Field	Type	Default	Description
7	DIS_VDRVUV	R/W	0b	"1b"の書き込みでVDRV電圧降下 (VDRVUV) の検出は通知のみ実行
6	DIS_VDRVOV	R/W	0b	"1b"の書き込みでVDRV過電圧 (VDRVOV) の検出は通知のみ実行
5	DIS_SROC	R/W	0b	"1b"の書き込みで降圧スイッチングレギュレータ過電流 (Ioc2_SR) の検出は通知のみ実行
4	DIS_VCPUV	R/W	0b	"1b"の書き込みでVCP電圧降下 (VCPUV) の検出は通知のみ実行
3	DIS_VMUUV	R/W	0b	"1b"の書き込みでVM電圧降下 (VMUUV) の検出は通知のみ実行
2	DIS_VMOV	R/W	0b	"1b"の書き込みでVM過電圧 (VMOV) の検出は通知のみ実行
1	DIS_OTSD	R/W	0b	"1b"の書き込みでサーマルシャットダウン (Tsd) の検出は通知のみ実行
0	TWARN_REP	R/W	0b	"0b": サーマルワーニング (TWARN) はTWARNビットでの通知のみを実行 "1b": サーマルワーニング (TWARN) はTWARNビット、およびnFAULTでの通知を実行

2.2.1.6 Fault Control 2 レジスタ : FLTCTL2 アドレス = 05h : [初期値 = 07h]

図 2-7、および表 2-8 に Fault Control 2 レジスタの詳細を示します。

図 2-7 Fault Control 2 レジスタ : FLTCTL2 の構成

7	6	5	4	3	2	1	0
CSOCP_MODE1	CSOCP_MODE0	VDSOCP_MODE1	VDSOCP_MODE0	DIS_VGSFLT	DIS_CS1OCP	DIS_CS2OCP	DIS_CS3OCP
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 1b

表 2-7 Fault Control 2 レジスタ : FLTCTL2 の説明

Bit	Field	Type	Default	Description
7	CSOCP_MODE1	R/W	0b	シャント抵抗の過電流 (Vcsocp) を検出した際の動作モード設定 00b : Latched Shutdown モード ^{Note2} (異常検出後、解除するまで保護動作を継続) 01b : Automatic Retryモード (異常検出後、保護動作を実行するが、保護動作は時間経過で解除) 10b : Report Onlyモード (異常検出のみ有効) 11b : Disabledモード (異常検出は無効)
6	CSOCP_MODE0	R/W	0b	
5	VDSOCP_MODE1	R/W	0b	
4	VDSOCP_MODE0	R/W	0b	MOSFETのVds過電流 (Vdsocp) を検出した際の動作モード設定 00b : Latched Shutdown モード ^{Note2} (異常検出後、解除するまで保護動作を継続) 01b : Automatic Retryモード (異常検出後、保護動作を実行するが、保護動作は時間経過で解除) 10b : Report Onlyモード (異常検出のみ有効) 11b : Disabledモード (異常検出は無効)
3	DIS_VGSFLT	R/W	0b	"1b"の書き込みでMOSFETのVgs異常の検出を無効
2	DIS_CS1OCP	R/W	1b	"1b"の書き込みでDA1P, DA1Nへの差動入力に対するシャント抵抗の過電流 (Vcsocp) の検出を無効
1	DIS_CS2OCP	R/W	1b	"1b"の書き込みでDA2P, DA2Nへの差動入力に対するシャント抵抗の過電流 (Vcsocp) の検出を無効
0	DIS_CS3OCP	R/W	1b	"1b"の書き込みでDA3P, DA3Nへの差動入力に対するシャント抵抗の過電流 (Vcsocp) の検出を無効

Note2 : Latched Shutdown モードの保護動作は、ICCTL1 レジスタの CLR_FLT ビットに"1b"を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することで解除されます。

2.2.1.7 IC Control 1 レジスタ : ICCTL1 アドレス = 06h : [初期値 = 35h]

図 2-8、および表 2-8 に IC Control 1 レジスタの詳細を示します。

図 2-8 IC Control 1 レジスタ : ICCTL1 の構成

7	6	5	4	3	2	1	0
CLR_FLT	WRITE_LOCK2	WRITE_LOCK1	WRITE_LOCK0	PWMMODE	CSOCP_TH2	CSOCP_TH1	CSOCP_TH0
R/W : 0b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b

表 2-8 IC Control 1 レジスタ : ICCTL1 の説明

Bit	Field	Type	Default	Description
7	CLR_FLT	R/W	0b	"1b"の書き込みで全てのfault statusレジスタのフラグビットをクリアを実行 このビットは自動的に"0b"にクリアされます。
6	WRITE_LOCK2	R/W	0b	"110b"の書き込みでロック状態になり、WRITE_LOCKビット以外への書き込みを禁止 "011b"の書き込みでロック状態を解除し、レジスタへの書き込みを許可 本ビットへの他のビットパターンの書き込みは無効となり、書き込み前の値を保持する
5	WRITE_LOCK1	R/W	1b	
4	WRITE_LOCK0	R/W	1b	
3	PWMMODE	R/W	0b	ゲートドライバ制御モード 0b : 3相 H/LIモード, 1b : 3相PWMモード
2	CSOCP_TH2	R/W	1b	DAzP, DAzN (z = 1, 2, 3) 入力によるシャント抵抗の過電流 (V _{CSOCP}) の検出閾値電圧設定 000b : 51[mV], 001b : 105[mV], 010b : 157[mV], 011b : 208[mV], 100b : 260[mV], 101b : 516[mV], 110b : 773[mV], 111b : 1029[mV]
1	CSOCP_TH1	R/W	0b	
0	CSOCP_TH0	R/W	1b	

2.2.1.8 IC Control 2 レジスタ : ICCTL2 アドレス = 07h : [初期値 = 50h]

図 2-9、および表 2-9 に IC Control 2 レジスタの詳細を示します。

図 2-9 IC Control 2 レジスタ : ICCTL2 の構成

7	6	5	4	3	2	1	0
DEAD_TIME1	DEAD_TIME0	T_GT1	T_GT0	BEMF_EN	DA1_EN	DA2_EN	DA3_EN
R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 2-9 IC Control 2 レジスタ : ICCTL2 の説明

Bit	Field	Type	Default	Description
7	DEAD_TIME1	R/W	0b	アダプティブデッドタイム制御のエクストラデッドタイム (t _{DT}) の設定 00b : 50[ns], 01b : 100[ns], 10b : 200[ns], 11b : 400[ns]
6	DEAD_TIME0	R/W	1b	
5	T_GT1	R/W	0b	アダプティブデッドタイム制御の最大ゲート遷移時間 (t _{GT}) の設定 00b : 500[ns], 01b : 1000[ns], 10b : 2000[ns], 11b : 4000[ns]
4	T_GT0	R/W	1b	
3	BEMF_EN	R/W	0b	"1b"の書き込みでBEMF検出アンプが有効
2	DA1_EN	R/W	0b	"1b"の書き込みで差動アンプ1が有効
1	DA2_EN	R/W	0b	"1b"の書き込みで差動アンプ2が有効
0	DA3_EN	R/W	0b	"1b"の書き込みで差動アンプ3が有効

2.2.1.9 Gate Drive Control レジスタ : GDCTL アドレス = 08h : [初期値 = FFh]

図 2-10、および表 2-10 に Gate Drive Control レジスタの詳細を示します。

図 2-10 Gate Drive Control レジスタ : GDCTL の構成

7	6	5	4	3	2	1	0
ISRC_HS3	ISRC_HS2	ISRC_HS1	ISRC_HS0	ISRC_LS3	ISRC_LS2	ISRC_LS1	ISRC_LS0
R/W : 1b	R/W : 1b	R/W : 1b	R/W : 1b	R/W : 1b	R/W : 1b	R/W : 1b	R/W : 1b

表 2-10 Gate Drive Control レジスタ : GDCTL の説明

Bit	Field	Type	Default	Description
7	ISRC_HS3	R/W	1b	Highサイドゲートドライバ出力のソース電流設定 (シンク電流設定は、ソース電流の2倍です。) 0000b : 50[mA], 0001b : 60[mA], 0010b : 70[mA], 0011b : 80[mA], 0100b : 100[mA], 0101b : 120[mA], 0110b : 140[mA], 0111b : 160[mA], 1000b : 200[mA], 1001b : 240[mA], 1010b : 280[mA], 1011b : 320[mA], 1100b : 400[mA], 1101b : 480[mA], 1110b : 560[mA], 1111b : 640[mA]
6	ISRC_HS2	R/W	1b	
5	ISRC_HS1	R/W	1b	
4	ISRC_HS0	R/W	1b	
3	ISRC_LS3	R/W	1b	Lowサイドゲートドライバ出力のソース電流設定 (シンク電流設定は、ソース電流の2倍です。) 0000b : 50[mA], 0001b : 60[mA], 0010b : 70[mA], 0011b : 80[mA], 0100b : 100[mA], 0101b : 120[mA], 0110b : 140[mA], 0111b : 160[mA], 1000b : 200[mA], 1001b : 240[mA], 1010b : 280[mA], 1011b : 320[mA], 1100b : 400[mA], 1101b : 480[mA], 1110b : 560[mA], 1111b : 640[mA]
2	ISRC_LS2	R/W	1b	
1	ISRC_LS1	R/W	1b	
0	ISRC_LS0	R/W	1b	

2.2.1.10 Overcurrent Protection Control レジスタ : OCPCTL アドレス = 09h : [初期値 = 00h]

図 2-11、および表 2-11 に Overcurrent Protection Control レジスタの詳細を示します。

図 2-11 Overcurrent Protection Control レジスタ : OCPCTL の構成

7	6	5	4	3	2	1	0
VDS_TH3	VDS_TH2	VDS_TH1	VDS_TH0	TRETRY_CSOCAP	TRETRY_VDSOCP	DEG_TIME1	DEG_TIME0
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 2-11 Overcurrent Protection Control レジスタ : OCPCTL の説明

Bit	Field	Type	Default	Description
7	VDS_TH3	R/W	0b	Vds過電流 (Vdsocp) の検出閾値電圧設定 0000b : 40[mV], 0001b : 60[mV], 0010b : 80[mV], 0011b : 120[mV], 0100b : 160[mV], 0101b : 200[mV], 0110b : 240[mV], 0111b : 320[mV], 1000b : 400[mV], 1001b : 480[mV], 1010b : 600[mV], 1011b : 720[mV], 1100b : 960[mV], 1101b : 1200[mV], 1110b : 1600[mV], 1111b : 2000[mV]
6	VDS_TH2	R/W	0b	
5	VDS_TH1	R/W	0b	
4	VDS_TH0	R/W	0b	
3	TRETRY_CSOCAP	R/W	0b	CSOCAP_MODEが"01b" (Automatic Retryモード) の場合、シャント抵抗の過電流 (Vcsocp) の検出後、動作停止から自動再開までの待ち時間設定 0b : 4000[μs], 1b : 70[μs]
2	TRETRY_VDSOCP	R/W	0b	VDSOCP_MODEが"01b" (Automatic Retryモード) の場合、MOSFETのVds過電流 (Vdsocp) の検出後、動作停止から自動再開までの待ち時間設定 0b : 4000[μs], 1b : 70[μs]
1	DEG_TIME1	R/W	0b	シャント抵抗の過電流 (Vcsocp) の検出、およびVds過電流 (Vdsocp) の検出の判定時間設定 00b : 1.57[μs], 01b : 2.38[μs], 10b : 3.49[μs], 11b : 5.73[μs]
0	DEG_TIME0	R/W	0b	

2.2.1.11 Phase-A Gate Driver Input Selection レジスタ : GDSELA アドレス = 0Ah : [初期値 = 14h]

図 2-12、および表 2-12 に Phase-A Gate Driver Input Selection レジスタを示します。

図 2-12 Phase-A Gate Driver Input Selection レジスタ : GDSELA の構成

7	6	5	4	3	2	1	0
CMP1_HYS	HOA_SEL2	HOA_SEL1	HOA_SEL0	VMUV_TH	LOA_SEL2	LOA_SEL1	LOA_SEL0
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b

表 2-12 Phase-A Gate Driver Input Selection レジスタ : GDSELA の説明

Bit	Field	Type	Default	Description
7	CMP1_HYS	R/W	0b	コンパレータ1のヒステリシスの設定 0b : +/-44[mV], 1b : 0[mV]
6	HOA_SEL2	R/W	0b	A相のHighサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
5	HOA_SEL1	R/W	0b	
4	HOA_SEL0	R/W	1b	
3	VMUV_TH	R/W	0b	VM電圧降下 (V _{MUV}) の閾値電圧設定 0b : VM < 5.3[V], 1b : VM < 7.5[V]
2	LOA_SEL2	R/W	1b	A相のLowサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
1	LOA_SEL1	R/W	0b	
0	LOA_SEL0	R/W	0b	

Note3 : HO_x_SEL、または LO_x_SEL ビット (x = A, B, C) に“111b”が設定された場合、ゲートドライバのソース / シンク電流はオフ (Hi-Z) になります。

2.2.1.12 Phase-B Gate Driver Input Selection レジスタ : GDSELB アドレス = 0Bh : [初期値 = 25h]

図 2-13、および表 2-13 に Phase-B Gate Driver Input Selection レジスタを示します。

図 2-13 Phase-B Gate Driver Input Selection レジスタ : GDSELB の構成

7	6	5	4	3	2	1	0
CMP2_HYS	HOB_SEL2	HOB_SEL1	HOB_SEL0	PDMODE	LOB_SEL2	LOB_SEL1	LOB_SEL0
R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b

表 2-13 Phase-B Gate Driver Input Selection レジスタ : GDSELB の説明

Bit	Field	Type	Default	Description
7	CMP2_HYS	R/W	0b	コンパレータ2のヒステリシスの設定 0b : +/-44[mV], 1b : 0[mV]
6	HOB_SEL2	R/W	0b	B相のHighサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
5	HOB_SEL1	R/W	1b	
4	HOB_SEL0	R/W	0b	
3	PDMODE	R/W	0b	シャント抵抗の過電流 (V _{CSOCp}) の検出、およびV _{DS} 過電流 (V _{BSOCp}) の検出後のゲートドライバ出力 0b : Hi-Zプルダウン出力, 1b : Low出力
2	LOB_SEL2	R/W	1b	B相のLowサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
1	LOB_SEL1	R/W	0b	
0	LOB_SEL0	R/W	1b	

Note3 : HO_x_SEL、または LO_x_SEL ビット (x = A, B, C) に“111b”が設定された場合、ゲートドライバのソース / シンク電流はオフ (Hi-Z) になります。

2.2.1.13 Phase-C Gate Driver Input Selection レジスタ : GDSELC アドレス = 0Ch : [初期値 = 36h]

図 2-14、および表 2-14 に Phase-C Gate Driver Input Selection レジスタを示します。

図 2-14 Phase-C Gate Driver Input Selection レジスタ : GDSELC の構成

7	6	5	4	3	2	1	0
CMP3_HYS	HOC_SEL2	HOC_SEL1	HOC_SEL0	CPUV_TH	LOC_SEL2	LOC_SEL1	LOC_SEL0
R/W : 0b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 0b

表 2-14 Phase-C Gate Driver Input Selection レジスタ : GDSELC の説明

Bit	Field	Type	Default	Description
7	CMP3_HYS	R/W	0b	コンパレータ3のヒステリシスの設定 0b : +/-44[mV], 1b : 0[mV]
6	HOC_SEL2	R/W	0b	C相のHighサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
5	HOC_SEL1	R/W	1b	
4	HOC_SEL0	R/W	1b	
3	CPUV_TH	R/W	0b	チャージポンプ電圧降下 (V _{CPUV}) の閾値設定 0b: VCP < 0.58 * VDRV, 1b: VCP < 0.8 * VDRV
2	LOC_SEL2	R/W	1b	C相のLowサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
1	LOC_SEL1	R/W	1b	
0	LOC_SEL0	R/W	0b	

Note3 : HOx_SEL、または LOx_SEL ビット (x = A, B, C) に“111b”が設定された場合、ゲートドライバのソース / シンク電流はオフ (Hi-Z) になります。

2.2.1.14 Sense Block Control 1 レジスタ : SNSCTL1 アドレス = 0Dh : [初期値 = AAh]

図 2-15、および表 2-15 に Sense Block Control 1 レジスタを示します。

図 2-15 Sense Block Control 1 レジスタ : SNSCTL1 の構成

7	6	5	4	3	2	1	0
BEMF_GAIN1	BEMF_GAIN0	DA1_GAIN1	DA1_GAIN0	DA2_GAIN1	DA2_GAIN0	DA3_GAIN1	DA3_GAIN0
R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b

表 2-15 Sense Block Control 1 レジスタ : SNSCTL1 の説明

Bit	Field	Type	Default	Description
7	BEMF_GAIN1	R/W	1b	BEMF検出アンプのゲインの設定 (DA3_GAINが“00b”の場合) 00b : 0.05[V/V], 01b : 0.1[V/V], 10b : 0.5[V/V], 11b : 1.0[V/V]
6	BEMF_GAIN0	R/W	0b	
5	DA1_GAIN1	R/W	1b	差動アンプ1のゲイン設定 00b : 5[V/V], 01b : 10[V/V], 10b : 20[V/V], 11b : 40[V/V]
4	DA1_GAIN0	R/W	0b	
3	DA2_GAIN1	R/W	1b	差動アンプ2のゲイン設定 00b : 5[V/V], 01b : 10[V/V], 10b : 20[V/V], 11b : 40[V/V]
2	DA2_GAIN0	R/W	0b	
1	DA3_GAIN1	R/W	1b	差動アンプ3のゲイン設定 00b : 5[V/V], 01b : 10[V/V], 10b : 20[V/V], 11b : 40[V/V]
0	DA3_GAIN0	R/W	0b	

2.2.1.15 Sense Block Control 2 レジスタ : SNSCTL2 アドレス = 0Eh : [初期値 = 00h]

図 2-16、および表 2-16 に Sense Block Control 2 レジスタを示します。

図 2-16 Sense Block Control 2 レジスタ : SNSCTL2 の構成

7	6	5	4	3	2	1	0
CAL_BCONN	BEMF_PH2	BEMF_PH1	BEMF_PH0	BEMF_SH	DA1_SH	DA2_SH	DA3_SH
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 2-16 Sense Block Control 2 レジスタ : SNSCTL2 の説明

Bit	Field	Type	Default	Description
7	CAL_BCONN	R/W	0b	BEMF検出アンプのDCオフセットキャリブレーション中の入力選択 0b : アンプ入力は、BEMF検出アンプのリファレンス電圧 (DAREF) に接続 1b : アンプ入力は、BEMF_PHビットによって選択された相に接続
6	BEMF_PH2	R/W	0b	BEMF検出アンプの検出相設定 ^{Note4} 00xb : nSMPLの立下りエッジごとにゲートドライバの入力信号から自動的に選択。 010b : CMP1O端子、およびCMP2O端子によって選択。
5	BEMF_PH1	R/W	0b	(CMP1O, CMP2O) = (Low, Low) : 未選択, (Low, High) : A相, (High, Low) : B相, (High, High) : C相 011b : CMP1O端子、およびCMP3O端子によって選択。
4	BEMF_PH0	R/W	0b	(CMP1O, CMP3O) = (Low, Low) : 未選択, (Low, High) : A相, (High, Low) : B相, (High, High) : C相 100b : 未選択, 101b : A相, 110b : B相, 111b : C相
3	BEMF_SH	R/W	0b	BEMF検出アンプ1のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : t _{GT} 後、nSMPL信号 = Low、およびPWM ONの間サンプリングを実行
2	DA1_SH	R/W	0b	差動アンプ1のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : nSMPL信号がLowの間サンプリング実行
1	DA2_SH	R/W	0b	差動アンプ2のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : nSMPL信号がLowの間サンプリング実行
0	DA3_SH	R/W	0b	差動アンプ3のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : nSMPL信号がLowの間サンプリング実行

Note4 : 「RAA306012 データシート (R18DS0037J)」の 6.5.2, 6.5.3 を参照してください。

2.2.1.16 Sense Block Control 3 レジスタ : SNSCTL3 アドレス = 0Fh : [初期値 = 88h]

図 2-17、および表 2-17 に Sense Block Control 3 レジスタを示します。

図 2-17 Sense Block Control 3 レジスタ : SNSCTL3 の構成

7	6	5	4	3	2	1	0
CMP1_VTH3	CMP1_VTH2	CMP1_VTH1	CMP1_VTH0	CMP2_VTH3	CMP2_VTH2	CMP2_VTH1	CMP2_VTH0
R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b

表 2-17 Sense Block Control 3 レジスタ : SNSCTL3 の説明

Bit	Field	Type	Default	Description
7	CMP1_VTH3	R/W	1b	コンパレータ1の閾値電圧設定 0000b : 無効, 0001b~1111b : 閾値電圧 = VDD / 16 x CMP1_VTH
6	CMP1_VTH2	R/W	0b	
5	CMP1_VTH1	R/W	0b	
4	CMP1_VTH0	R/W	0b	
3	CMP2_VTH3	R/W	1b	コンパレータ2の閾値電圧設定 0000b : 無効, 0001b~1111b : 閾値電圧 = VDD / 16 x CMP2_VTH
2	CMP2_VTH2	R/W	0b	
1	CMP2_VTH1	R/W	0b	
0	CMP2_VTH0	R/W	0b	

2.2.1.17 Sense Block Control 4 レジスタ : SNSCTL4 アドレス = 10h : [初期値 = 80h]

図 2-18、および表 2-18 に Sense Block Control 4 レジスタを示します。

図 2-18 Sense Block Control 4 レジスタ : SNSCTL4 の構成

7	6	5	4	3	2	1	0
CMP3_VTH3	CMP3_VTH2	CMP3_VTH1	CMP3_VTH0	CAL_CONN	CAL_DA1	CAL_DA2	CAL_DA3/BEMF
R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 2-18 Sense Block Control 4 レジスタ : SNSCTL4 の説明

Bit	Field	Type	Default	Description
7	CMP3_VTH3	R/W	1b	コンパレータ3の閾値電圧設定 0000b : 無効, 0001b~1111b : 閾値電圧 = VDD / 16 x CMP3_VTH
6	CMP3_VTH2	R/W	0b	
5	CMP3_VTH1	R/W	0b	
4	CMP3_VTH0	R/W	0b	
3	CAL_CONN	R/W	0b	差動アンプのDCオフセットキャリブレーション中の入力選択。 0b : 差動アンプの入力は、内部スイッチにより短絡 1b : 差動アンプの入力は、外付けシャントに接続
2	CAL_DA1	R/W	0b	"1b"の書き込みで差動アンプ1のDCオフセットキャリブレーションを実行 キャリブレーションの完了後、このビットは、自動的に"0b"に変化
1	CAL_DA2	R/W	0b	"1b"の書き込みで差動アンプ2のDCオフセットキャリブレーションを実行 キャリブレーションの完了後、このビットは、自動的に"0b"に変化
0	CAL_DA3/BEMF	R/W	0b	BEMF検出アンプが無効 (BEMF_ENビット = "0b") の場合、"1b"の書き込みで差動アンプ3のDCオフセットキャリブレーションを実行 BEMF検出アンプが有効 (BEMF_ENビット = "1b") の場合、"1b"の書き込みでBEMF検出アンプのDCオフセットキャリブレーションを実行 キャリブレーションの完了後、このビットは、自動的に"0b"に変化

2.2.1.18 Sense Block Control 5 レジスタ : SNSCTL5 アドレス = 11h : [初期値 = 00h]

図 2-19、および表 2-19 に Sense Block Control 5 レジスタを示します。

図 2-19 Sense Block Control 5 レジスタ : SNSCTL5 の構成

7	6	5	4	3	2	1	0
DIS_SADT	RESERVED11_6	CTL6_UNLOCK	RESERVED11_4	RESERVED11_3	MUX2	MUX1	MUX0
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 2-19 Sense Block Control 5 レジスタ : SNSCTL5 の説明

Bit	Field	Type	Default	Description
7	DIS_SADT	R/W	0b	"1b"の書き込みでアダプティブデッドタイム制御を無効。
6	RESERVED11_6	R/W	0b	予約ビットです。必ず"0b"を設定してください。
5	CTL6_UNLOCK	R/W	0b	0b : SNSCTL6 レジスタは書き込みロック状態になり、SNSCTL6 レジスタへの書き込みは無効 1b : SNSCTL6 レジスタの書き込みロック状態が解除され、SNSCTL6 レジスタの書き込みは有効
4	RESERVED11_4	R/W	0b	予約ビットです。必ず"0b"を設定してください。
3	RESERVED11_3	R/W	0b	予約ビットです。必ず"0b"を設定してください。
2	MUX2	R/W	0b	DA30/MUX1端子の出力を選択 000b : GND (プルダウン : 330[kΩ]) 001b : VM モニタ電圧 010b : ジャンクション温度モニタ電圧 011b : 差動アンプリファレンス電圧
1	MUX1	R/W	0b	BEMF_ENビット = "0b" の場合 100b : 差動アンプ3出力 (10[kΩ]有り) 111b : 差動アンプ3出力 (10[kΩ]無し)
0	MUX0	R/W	0b	BEMF_ENビット = "1b" の場合 100b : BEMF検出アンプ出力 (10[kΩ]有り) 111b : BEMF検出アンプ出力 (10[kΩ]無し)

2.2.1.19 Sense Block Control 6 レジスタ : SNSCTL6 アドレス = 12h : [初期値 = 40h]

図 2-20、および表 2-20 に Sense Block Control 6 レジスタを示します。
SNSCTL6 レジスタの書き込みを許可するためには CTL6_UNLOCK ビットに"1b"を設定してください。
SNSCTL6 レジスタ書き込み後は、CTL6_UNLOCK ビットに"0b"を設定してください。

図 2-20 Sense Block Control 6 レジスタ : SNSCTL6 の構成

7	6	5	4	3	2	1	0
RESERVED12_7	BEMF_OFFSET	RESERVED12_5	RESERVED12_4	RESERVED12_3	RESERVED12_2	RESERVED12_1	GD_AOR
R/W: 0b	R/W: 1b	R/W: 0b	R/W: 0b	R/W: 0b	R/W: 0b	R/W: 0b	R/W: 0b

表 2-20 Sense Block Control 6 レジスタ : SNSCTL6 の説明

Bit	Field	Type	Default	Description
7	RESERVED12_7	R/W	0b	予約ビットです。必ず"0b"を設定してください。
6	BEMF_OFFSET	R/W	1b	BEMF検出アンプDCオフセットのデータ選択 0b : キャリブレーションデータが有効, 1b : 出荷試験によるトリミングデータが有効 BEMF 検出アンプの DC オフセットキャリブレーションを行った場合、自動的に "0b" になります。
5	RESERVED12_5	R/W	0b	予約ビットです。必ず"0b"を設定してください。
4	RESERVED12_4	R/W	0b	予約ビットです。必ず"0b"を設定してください。
3	RESERVED12_3	R/W	0b	予約ビットです。必ず"0b"を設定してください。
2	RESERVED12_2	R/W	0b	予約ビットです。必ず"0b"を設定してください。
1	RESERVED12_1	R/W	0b	予約ビットです。必ず"0b"を設定してください。
0	GD_AOR	R/W	0b	"1b"を書き込むと、ゲートドライバロジックのアクティブオーバーライドモードが有効になります。

2.3 モータ制御に対応したレジスタ設定

RAA306012にはBLDCモータの制御を行うための様々なセンシングブロックを内蔵しています。これらの機能を用いることでアプリケーションに対応した最適なモータ制御の実現が可能です。本節では、ホールセンサモータ制御とセンサレスモータ制御 (BEMF 検出 & コンパレータ、および3シャント FOC) を例に回路構成、およびレジスタ設定を記載します。

2.3.1 ホールセンサモータ制御

2.3.1.1 回路構成

図 2-21 にホールセンサモータ制御を行う際のアプリケーション簡易ブロック図の例を示します。

ホールセンサモータ制御では、ホール IC からの位置検出信号を基に通電相を切り替えることでモータ制御を行います。位置検出信号は、汎用コンパレータを用いて極性の判定が可能であり、CMPzP (z = 1, 2, 3) 端子に入力します。

シャント抵抗によりモータ駆動電流を検出する場合や、過電流検出 (CS_OCP) を行う場合は、DA1P, DA1N 端子にシャント抵抗両端電圧を入力してください。

使用しない DAzP, DAzN (z = 1, 2, 3) 端子は、AGND へ接続してください。

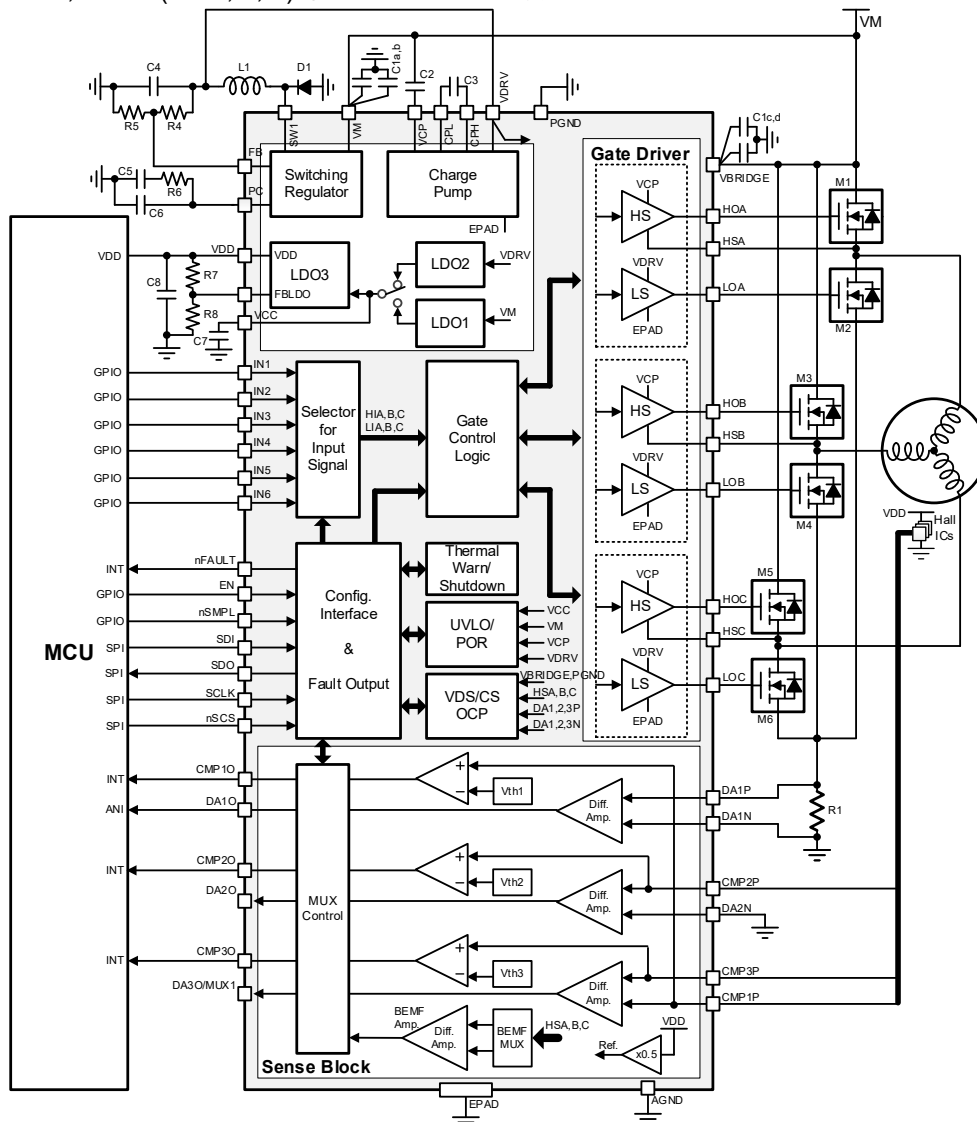


図 2-21 アプリケーション簡易ブロック図: ホールセンサモータ制御 (3 コンパレータ)

2.3.1.2 レジスタ設定

本製品では、モータ制御を行う前に Smart Gate Driver の各種機能に対するレジスタ設定が必要です。レジスタ設定においては、下記の4種類の機能に対応したレジスタ設定が必要です。

- (a) 異常検出機能：有効 / 無効, 動作モード, 調整ビット, Fault Status クリアビット
- (b) ゲートドライバ：入力選択, 動作モード, 調整ビット
- (c) センシングブロック：有効 / 無効, 動作モード, 調整ビット
- (d) センシングブロックキャリブレーション：実行ビット

ホールセンサモータ制御においては、センシングブロックの汎用コンパレータ、および差動アンプ 1 (使用する場合) に対して、下記の設定が必要です。

- ICCTL2 レジスタ：DA1_EN ビット
- GDSELA レジスタ：CMP1_HYS ビット
- GDSELB レジスタ：CMP2_HYS ビット
- GDSELC レジスタ：CMP3_HYS ビット
- SNSCTL1 レジスタ：DA1_GAIN ビット
- SNSCTL2 レジスタ：DA1_SH ビット
- SNSCTL3 レジスタ：CMP1_VTH, CMP2_VTH ビット
- SNSCTL4 レジスタ：CMP3_VTH, CAL_CONN, CAL_DA1 ビット

Smart Gate Driver の起動シーケンスにおいては、上記した (a) ~ (d) のレジスタ設定に対して、レジスタ設定 1, 2, 3 と 3 段階に分けて設定する構成とします。

レジスタ設定タイミングにつきましては **3.1** を参照してください。レジスタ設定 1, 2, 3 で設定するレジスタを下記に示します。

(1) レジスタ設定 1：

レジスタ設定 1 は、異常検出機能に対する設定を主に行います。**3.1** の起動シーケンス例では、下記のレジスタの設定を実行します。

- FLTCTL1 レジスタ
- FLTCTL2 レジスタ
- ICCTL1 レジスタ

異常検出機能の動作モード、調整ビット設定は、OCPCTL レジスタ、および GDSELx (x = A, B, C) レジスタにも一部割り当てがあります。nFAULT 端子出力により正常起動を確認する前に、閾値を変更したい場合は、これらのレジスタ設定をレジスタ設定 1 で実行してください。

異常検出機能のレジスタ設定が完了した時点で Fault Status のクリアを CLR_FLT ビットの設定により実施します。

(2) レジスタ設定 2 :

レジスタ設定 2 は、ゲートドライバ、およびセンシングブロックに対するレジスタ設定を主に行います。3.1 の起動シーケンス例では、下記のレジスタ設定を実行します。

- ICCTL2 レジスタ
- GDCTL レジスタ
- OCPCTL レジスタ
- GDSELx (x = A, B, C) レジスタ
- SNSCTLz (z = 1, 2, 3, 4) レジスタ

GDSELx (x = A, B, C) レジスタにはゲートドライバの入力信号を選択するレジスタ設定があります。MCU との接続を考慮して適切な設定を行ってください。

レジスタ設定が完了するまでは、予期しないゲートドライバ出力を避けるため、INz (z = 1, 2, 3, 4, 5, 6) 端子を全て Low にする必要があります。また、EN 端子を Low にする際には全てのレジスタがリセットされるため、EN 端子を Low にする前に INz (z = 1, 2, 3, 4, 5, 6) 端子を全て Low にする必要があります。3.1, 3.2 の制御シーケンス例を参照してください。

また、差動アンプには DC オフセットキャリブレーションを実施するレジスタ設定 (CAL_DAz (z = 1, 2, 3) ビット) があります。キャリブレーションは差動アンプごとに個別に実施可能なため、使用する差動アンプに対応したキャリブレーションを実施してください。高精度なキャリブレーションを実現するため、CAL_CONN = "1b" の設定で実施することを推奨します。本設定では、キャリブレーション期間における差動アンプの入力が、DAzP, DAzN (z = 1, 2, 3) 端子となり、シャント抵抗に電流が流れている状態では正常なキャリブレーションが実施不可能なため、キャリブレーションの実施タイミングには注意してください。

(3) レジスタ設定 3

レジスタ設定 3 では、ゲートドライバ、およびセンシングブロックのその他の設定を行います。3.1 の起動シーケンス例では、下記のレジスタの設定を実行します。

- SNSCLT2 レジスタ
- SNSCTL5 レジスタ
- SNSCTL6 レジスタ

ホールセンサモータ制御においては SNSCTL2 レジスタの設定は必要ありませんが、起動シーケンスにおけるレジスタ設定の汎用性を考慮して設定を設けています。

SNSCTL6 レジスタは書き込み防止機能があります。書き込みには SNSCTL5 レジスタの CTL6_UNLOCK ビットの設定が必要なため、下記の手順でレジスタを設定してください。

- (1) SNSCTL5 レジスタの CTL6_UNLOCK ビットに "1b" を設定 (SNSCTL6 レジスタへの書き込みロックを解除)
- (2) SNSCTL6 レジスタに "41h" を設定
- (3) SNSCTL5 レジスタの CTL6_UNLOCK ビットに "0b" を設定 (SNSCTL6 レジスタへの書き込みロックを設定)

SNSCTL6 レジスタの BEMF_OFFSET ビット、および GD_AOR ビットに "1b" を設定してください。また、SNSCTL5, SNSCTL6 レジスタの RESERVED ビットは必ず "0b" を設定してください。

2.3.1.3 制御方法と動作波形

ホールセンサモータ制御では、ホール IC からの位置検出信号を基に通電相を切り替えることでモータ制御を行います。

図 2-22 にホールセンサモータ制御の動作波形図を示します。ホール IC 出力 (CMPzP (z = 1, 2, 3) 入力) の極性変化は、ホールセンサの取り付け位置によって異なるため、使用するモータに合わせて通電相のパターンを変更する必要があります。

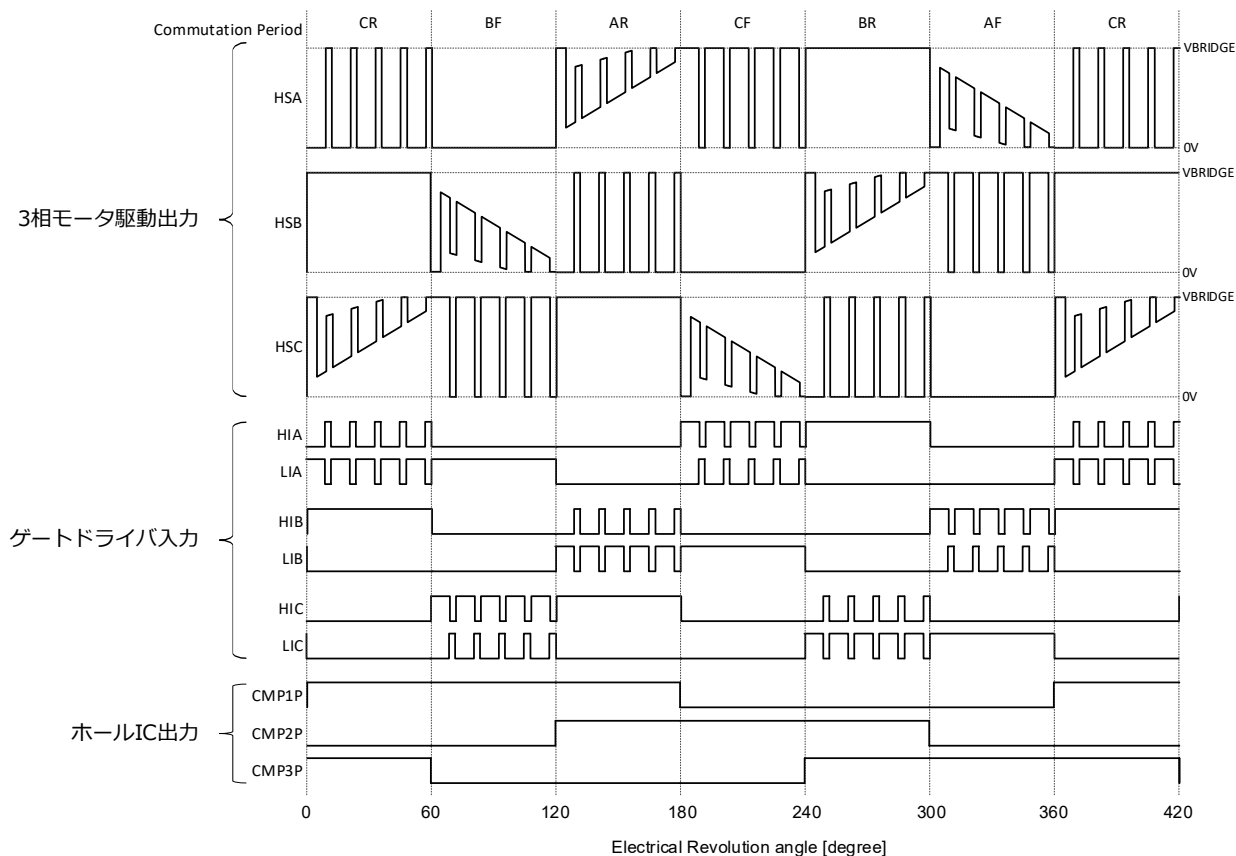


図 2-22 ホールセンサモータ制御 動作波形図

2.3.2 センサレスモータ制御 (BEMF 検出 & コンパレータ)

2.3.2.1 回路構成

図 2-23 にセンサレスモータ制御 (BEMF 検出 & コンパレータ) を行う際のアプリケーション簡易ブロック図例を示します。

センサレスモータ制御 (BEMF 検出 & コンパレータ) では、モータが回転することで生じる誘起電圧 (BEMF) を基に通電相を切り替えることでモータ制御を行います。モータの位置検出は、Smart Gate Driver に内蔵している BEMF 検出アンプに加え、汎用コンパレータ、または MCU の A/D コンバータを用いて、BEMF ゼロクロスを検出することにより行います。BEMF は非通電相で観測され、BEMF 検出アンプを用いて検出可能なことから特別な外付け部品や配線は必要ありません。BEMF ゼロクロスを検出する方法として Smart Gate Driver に内蔵している汎用コンパレータを使用する場合には、DA30 / MUX1 端子を CMP2P 端子、または CMP3P 端子に接続してください。図 2-23 は CMP3P 端子に入力する例となっています。BEMF ゼロクロスを検出する方法として MCU の A/D コンバータを使用する場合には、DA30 / MUX1 端子は MCU のアナログ入力端子 (A/D コンバータ) に接続してください。MCU のコンパレータを使用する場合には、DA30 / MUX1 端子を使用するコンパレータ入力端子に接続してください。

シャント抵抗によりモータ駆動電流を検出する場合や、過電流検出 (CS_OCP) を行う場合は、DA1P, DA1N 端子にシャント抵抗両端電圧を入力してください。

使用しない DAzP, DAzN (z = 1, 2, 3) 端子は、AGND へ接続してください。

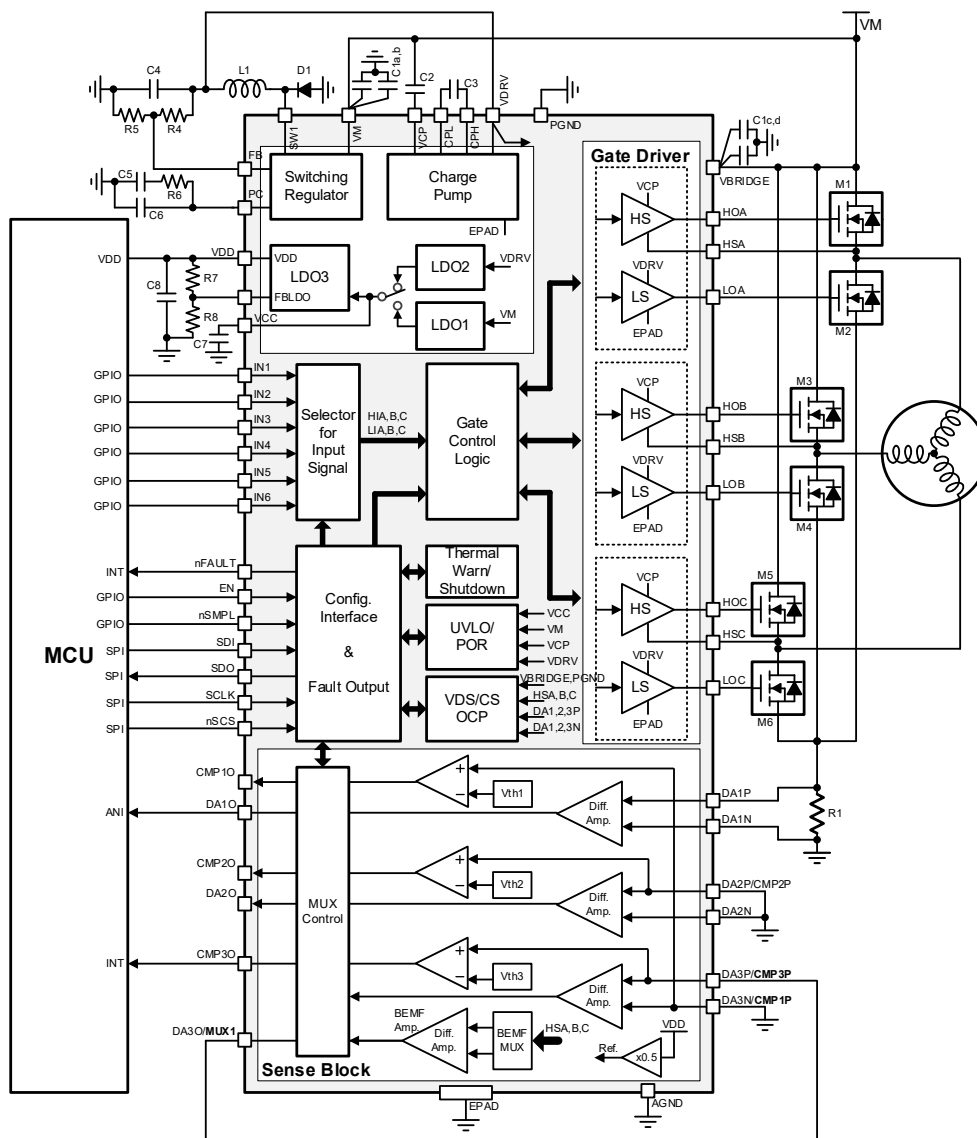


図 2-23 アプリケーション簡易ブロック図: センサレスモータ制御 (BEMF 検出 & コンパレータ)

2.3.2.2 レジスタ設定

センサレスモータ制御 (BEMF 検出 & コンパレータ) のレジスタ設定においては、センシングブロックの BEMF 検出アンプ、汎用コンパレータ、および差動アンプ 1 (使用する場合) に対して、下記の設定が必要です。

- ICCTL2 レジスタ : BEMF_EN, DA1_EN ビット
- GDSELC レジスタ : CMP3_HYS ビット
- SNSCTL1 レジスタ : BEMF_GAIN, DA1_GAIN ビット
- SNSCTL2 レジスタ : BEMF_PH, BEMF_SH, DA1_SH ビット
- SNSCTL3 レジスタ : CMP1_VTH, CMP2_VTH ビット
- SNSCTL4 レジスタ : CMP3_VTH, CAL_CONN, CAL_DA1 ビット
- SNSCTL5 レジスタ : MUX ビット
- SNSCTL6 レジスタ : BEMF_OFFSET ビット

Smart Gate Driver の起動シーケンスにおいては、ホールセンサモータ制御と同様に、レジスタ設定 1, 2, 3 と 3 段階に分けて設定しますが、上記したレジスタ設定以外は同様の設定、手順となります。詳細は、**2.3.1.2** を参照してください。

BEMF 検出アンプの詳細は、「**RAA306012 データシート (R18DS0037JJ)**」の **6.5.3** を参照してください。また、DA30 / MUX1 端子の出力制御につきましては「**RAA306012 データシート (R18DS0037JJ)**」の **6.5.5** を参照してください。使用しない汎用コンパレータは、CMPz_VTH (z = 1, 2, 3) ビットに"0000b"を設定することで無効の設定が可能です。使用しない差動アンプを無効にする DAz_EN (z = 1, 2, 3) ビットと合わせて設定することを推奨します。

2.3.2.3 制御方法と動作波形

センサレスモータ制御 (BEMF 検出 & コンパレータ) でモータを駆動する場合、BEMF 検出アンプを用いてゼロクロス検出を MCU で検出し、ゼロクロスが相切り替え間隔の中央に来るようにタイマなどを使用して通電相の切り替えタイミングを生成、通電相を切り替えることでモータ制御を行います。

図 2-24 にセンサレスモータ制御 (BEMF 検出 & コンパレータ) の動作波形図を示します。BEMF は非通電相で観測するため、通電相の切り替えごとに BEMF 検出相を切り替える必要があります。BEMF_PH ビットによって BEMF 検出相の切り替え方法を選択可能です。詳細は、「**RAA306012 データシート (R18DS0037JJ)**」の **6.5.3** を参照してください。また、通電相を切り替えた時に発生するキックバックによるゼロクロス誤検出を防止するため、検出マスク時間を設けることが必要です。モータ回転数、駆動電流などを考慮して適切な検出マスク時間を設定してください。

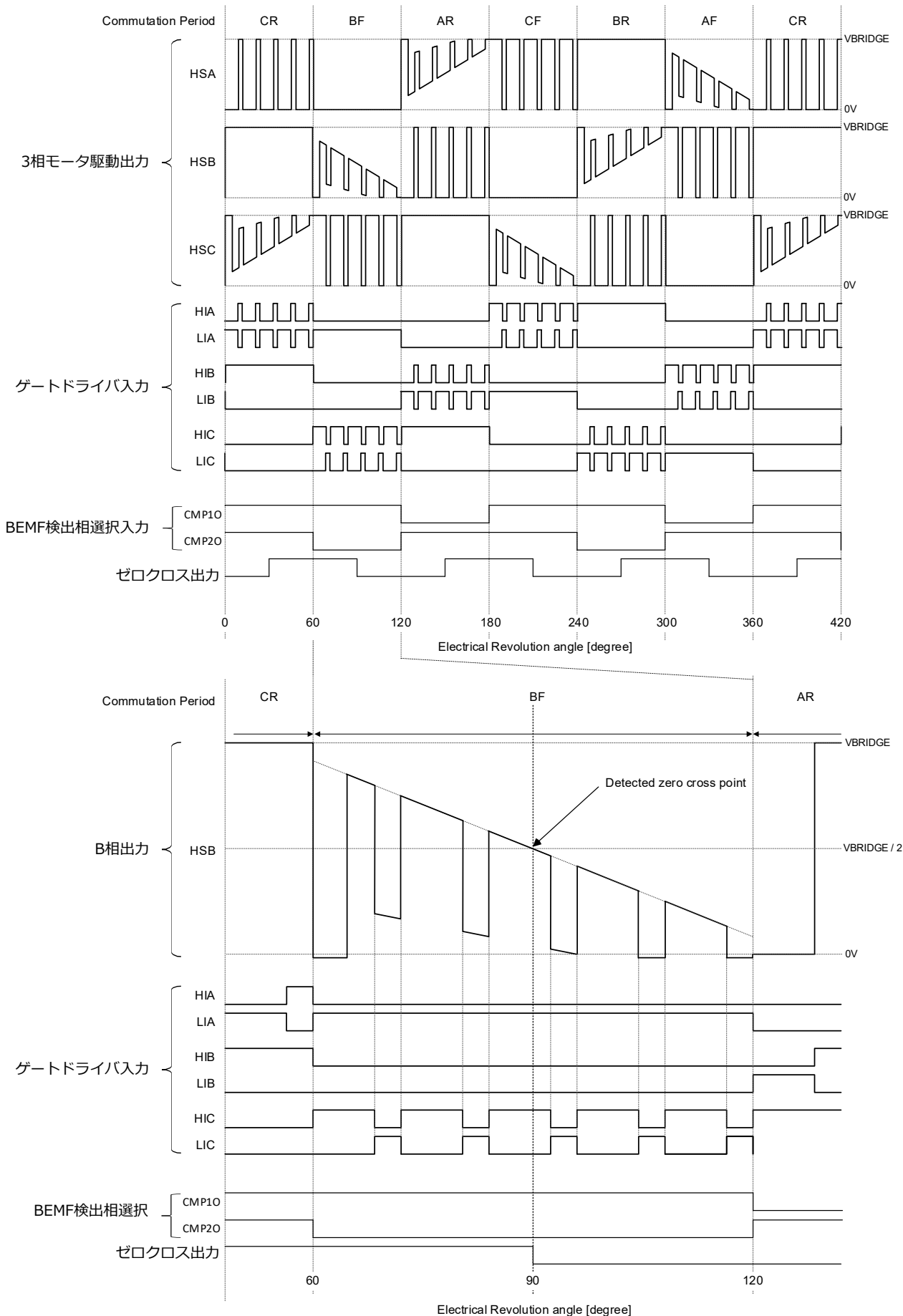


図 2-24 センサレスモータ制御 (BEMF 検出 & コンパレータ) 動作波形図

2.3.3 センサレスモータ制御 (3 シャント FOC)

2.3.3.1 回路構成

図 2-25 にセンサレスモータ制御 (3 シャント FOC) を行う際のアプリケーション簡易ブロック図例を示します。

センサレスモータ制御 (3 シャント FOC) では、3 相の電機子電流からモータの位置を推定し、適切な位相でモータを PWM 駆動することで回転制御を行います。3 相の電機子電流は、本製品に内蔵している 3ch の差動アンプ、および MCU の A/D コンバータで検出可能なため、特別な外付け部品は必要ありません。

図 2-25 は、3 シャント全てを差動アンプ接続した例となります。FOC 制御では、制御方法により使用するシャント抵抗やアンプの数が異なります。制御方法に応じて差動アンプ 3ch の内 1ch を別の用途として利用可能です。

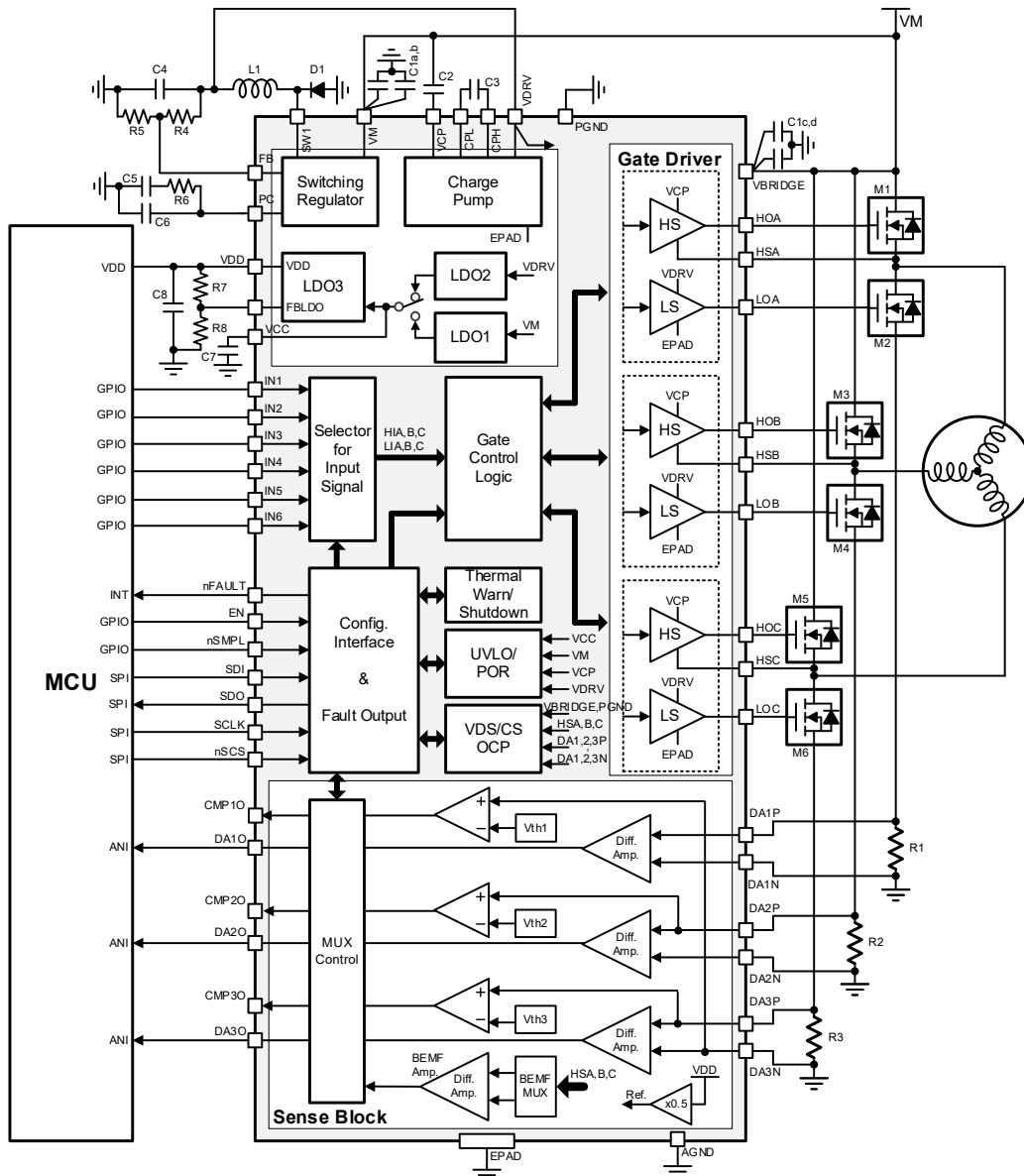


図 2-25 アプリケーション簡易ブロック図 : センサレスモータ制御 (3 シャント FOC)

2.3.3.2 レジスタ設定

センサレスモータ制御 (3 シャント FOC) のレジスタ設定においては、センシングブロックの差動アンプ 1, 2, 3 に対して、下記の設定が必要です。

- ICCTL2 レジスタ : DA1_EN, DA2_EN, DA3_EN ビット
- SNSCTL1 レジスタ : DA1_GAIN, DA2_GAIN, DA3_GAIN ビット
- SNSCTL2 レジスタ : DA1_SH, DA2_SH, DA3_SH ビット
- SNSCTL3 レジスタ : CMP1_VTH, CMP2_VTH ビット
- SNSCTL4 レジスタ : CMP3_VTH, CAL_CONN, CAL_DA1, CAL_DA2, CAL_DA3/BEMF ビット
- SNSCTL5 レジスタ : MUX ビット
- SNSCTL6 レジスタ : BEMF_OFFSET ビット

Smart Gate Driver の起動シーケンスにおいては、ホールセンサモータ制御と同様に、レジスタ設定 1, 2, 3 と 3 段階に分けて設定しますが、上記したレジスタ設定以外は同様の設定、手順となります。詳細は、**2.3.1.2** を参照してください。

DA30 / MUX1 端子の出力制御につきましては「**RAA306012 データシート (R18DS0037JJ)**」の **6.5.5** を参照してください。消費電力低減のため、汎用コンパレータは、CMPz_VTH (z = 1, 2, 3) ビットを"0000b" (無効) に設定してください。

2.3.3.3 制御方法

センサレスモータ制御 (3 シャント FOC) でモータを駆動する場合、低速域では誘起電圧が小さく、位置・速度推定の精度が上がらないためオープンループで制御を行い、誘起電圧が十分に推定可能な速度に到達した後、クローズドループに切り替え制御を行います。位置、および速度は、誘起電圧オブザーバを用いて推定した dq 軸と実 dq 軸の位相誤差から算出します。FOC 制御では、通常各相の電圧指令値は正弦波状に生成を行いますが、そのまま PWM 値として出力を行うと、電圧利用効率が低下するため、補正を行ったうえで出力することを推奨します。詳細は、「**RAJ306101 のサンプルプログラム : 永久磁石同期モータのセンサレスベクトル制御 (実装編) (R18AN0060JJ)**」のアプリケーションノートを参照してください。

第3章 Smart Gate Driver の制御シーケンス

本製品は、MCU と接続して使用します。本製品でモータ制御を行うためには、MCU のリセットが解除された後、Smart Gate Driver を Operating Mode に遷移させ、INz (z = 1, 2, 3, 4, 5, 6) に適切な PWM 信号を入力する必要があります。Smart Gate Driver の動作モードは、MCU による EN 出力端子の設定、および Smart Gate Driver の異常検出状態に依存するため、Smart Gate Driver の動作モードを制御する下記の 2 つの制御シーケンス例について、フローチャートと各ステップにおける注意点を示します。

1. 起動シーケンス
2. エラー復帰シーケンス

なお、Smart Gate Driver のパワーオンシーケンスと動作モード、および Fault Management の詳細は、それぞれ「**RAA306012 データシート (R18DS0037JJ)**」の **6.1, 6.2** を参照してください。また、モータ制御に対応したレジスタ設定の詳細は、**2.2, 2.3**、および「**RAJ306101, RAJ306102 の各サンプルプログラム**」のソースファイルを参照してください。

3.1 起動シーケンス例

図 3-1 に Smart Gate Driver の起動シーケンス例について、フローチャートを示します。また、下記に各ステップにおける注意点を示します。

(1) 電源投入完了の確認

本ステップは、起動シーケンスの動作開始を判定するステップです。

Smart Gate Driver が起動を開始するためには、VCC 端子電圧が 4.0[V] (VCCUVR) 以上、および VM 端子電圧が 5.5[V] (VMUVR) 以上を満足する必要があります。本シーケンス例では、VBRIDGE (=VM) 端子電圧を測定し、通常の入力電圧の 80%以上になっていることを確認して次のステップに遷移します。VM 端子と VBRIDGE 端子を別電源で使用する場合など、アプリケーションに応じた適切な電源の確認方法を検討してください。また、Wait 時間を設けることで電源の投入完了が保証可能なアプリケーションでは、電源電圧を測定しない方法であっても構いません。

(2) Smart Gate Driver の起動開始と起動完了のための Wait

本ステップは、Smart Gate Driver が起動を開始し、電源ブロックの起動完了を待つステップです。

最初に MCU の INz (z = 1, 2, 3, 4, 5, 6) 出力端子を全て Low 出力、および CMPzO (z = 1, 2, 3) 入出力端子をデジタル入力機能に設定します。Smart Gate Driver が Operating Mode に遷移すると、ゲートドライバが有効になり、汎用コンパレータ出力はデフォルトで出力設定になります。あらかじめこれらの端子設定をすることで、予期しないゲートドライバの出力や、MCU の I/O ポートとの出力信号の衝突を回避可能です。

Smart Gate Driver は、MCU の EN 出力端子を High 出力に設定することで起動します。Smart Gate Driver のバンドギャップ電圧が立ち上がると、nFAULT 入力端子は Low になります。nFAULT 入力端子を確認することで Smart Gate Driver の起動開始を確認可能です。

起動開始を確認した後、15[ms]の Wait 時間を設けています。この時間は、Smart Gate Driver の内部発振器の起動、差動アンプのオフセットキャリブレーション、降圧スイッチングレギュレータの起動、およびチャージポンプの起動完了を待つための Wait 時間です。EN 出力端子を High 出力に設定してから nFAULT 入力端子が High になるまでの時間 (twake) は 6.5[ms] (typ.) ですが、内部発振器のクロック周波数や、外付けコンデンサを含むチャージポンプ起動時間のばらつきによって変動するため、実際の起動完了時間を確認して適切な時間を設定してください。

(3) 有効にする異常検出機能の選択と Fault Status z (z = 0, 1, 2, 3) レジスタのクリア

本ステップは、異常検出機能に対して、それぞれ有効 / 無効を選択し、各異常検出に対応するインジケータが格納されている Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTSz (z = 0, 1, 2, 3)) をモータ起動前に一度クリアするステップです。

レジスタ設定 1 でこれらの設定を行います。異常検出機能の有効 / 無効の選択は、Fault Control 1 レジスタ (FLTCTL1)、および Fault Control 2 レジスタ (FLTCTL2) で設定します。アプリケーションに応じて DAzP, DAzN (z = 1, 2, 3) への入力信号が異なるシャント抵抗の過電流保護 (CS_OCP) のみが、デフォルトで無効になっています。アプリケーションや仕様に応じた異常検出機能を選択してください。また、Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTSz (z = 0, 1, 2, 3)) のクリアは、IC Control 1 レジスタ (ICCTL1) の CLR_FLT ビットに "1b" を設定することで実施可能です。なお、CLR_FLT ビットは自動的に "0b" に戻ります。IC Control 1 レジスタ (ICCTL1) の他の設定は、CLR_FLT ビットの書き込みと合わせて設定することを推奨します。

レジスタ設定 1 (2.3.1.2 (1) 参照) の完了後、クリア実行待ち時間として 1[ms] の Wait 時間を設けていますが、ばらつきなどを含めても 300[μs] あれば問題ありません。

(4) 正常起動の確認とアプリケーションに応じたレジスタ設定

本ステップは、Smart Gate Driver の正常起動を確認し、ゲートドライバ、およびセンシングブロックの各種レジスタ設定を行い、起動シーケンスを完了させるステップです。

nFAULT 入力端子を確認し、High であれば正常に起動を完了したと判定します。これは、Smart Gate Driver の動作モードが Operating Mode に遷移したことを示します。一方、Low であれば何らかの異常検出が動作したことになり初期エラーと判定します。電源投入後の起動で異常になる場合、電源ブロックの異常が想定されるため、EN 出力端子を Low 出力に設定して Smart Gate Driver を停止させます。

nFAULT 入力端子の High を確認した後、レジスタ設定 2 でゲートドライバ、およびセンシングブロックに対するレジスタ設定を行います。本シーケンス例では、使用するアンプのオフセットキャリブレーションをレジスタ設定 2 (2.3.1.2 (2) 参照) で実施することを想定しています。Sense Block Control 4 レジスタ (SNSCTL4) の CAL_DA1 ビット, CAL_DA2 ビット, CAL_DA3/BEMF ビットに "1b" を設定することで、対応するアンプのオフセットキャリブレーションを開始しますが、CAL_CONN ビットを用いることで、実際の差動アンプと同一入力で高精度なオフセットキャリブレーションが実施可能です。そのため、CAL_CONN ビットを "1b" に設定することを推奨します。ただし、モータを駆動している場合や、シャント抵抗に電流が流れている場合は、正常なオフセットキャリブレーションが実施不可能なため、キャリブレーションの実施タイミングには注意してください。

レジスタ設定 2 の完了後、オフセットキャリブレーションの実行期間として 1[ms] の Wait 時間を設けています。オフセットキャリブレーションは、アンプごとに 400[μs] の Wait 時間が必要なため、実施するアンプの数に合わせた Wait 時間を設定する、または CAL_DA1 ビット, CAL_DA2 ビット, CAL_DA3/BEMF ビットの自動クリア機能で完了を確認するといった対応を実施してください。

レジスタ設定 3 (2.3.1.2 (3) 参照) では、BEMF 検出アンプの検出相選択方法と、Sense Block Control 6 レジスタ (SNSCTL6) に推奨値を設定します。BEMF 検出アンプを使用する場合、Sense Block Control 2 レジスタ (SNSCTL2) の BEMF_PH ビットは適切な選択方法に設定しなければなりません。詳細は、

「RAA306012 データシート (R18DS0037JJ)」の 6.5.3 を参照してください。Sense Block Control 6 レジスタ (SNSCTL6) には、書き込み防止機能があり、初期状態では書き込みロック状態になっているため、下記の手順でレジスタを設定してください。

- (1) SNSCTL5 レジスタの CTL6_UNLOCK ビットに "1b" を設定 (SNSCTL6 レジスタへの書き込みロックを解除)
- (2) SNSCTL6 レジスタに "41h" を設定
- (3) SNSCTL5 レジスタの CTL6_UNLOCK ビットに "0b" を設定 (SNSCTL6 レジスタへの書き込みロックを設定)

レジスタ設定 3 の完了後、MCU の CMPzO (z = 1, 2, 3) 入出力端子をアプリケーションに合わせた設定に変更可能です。

以上により、起動シーケンスを完了します。

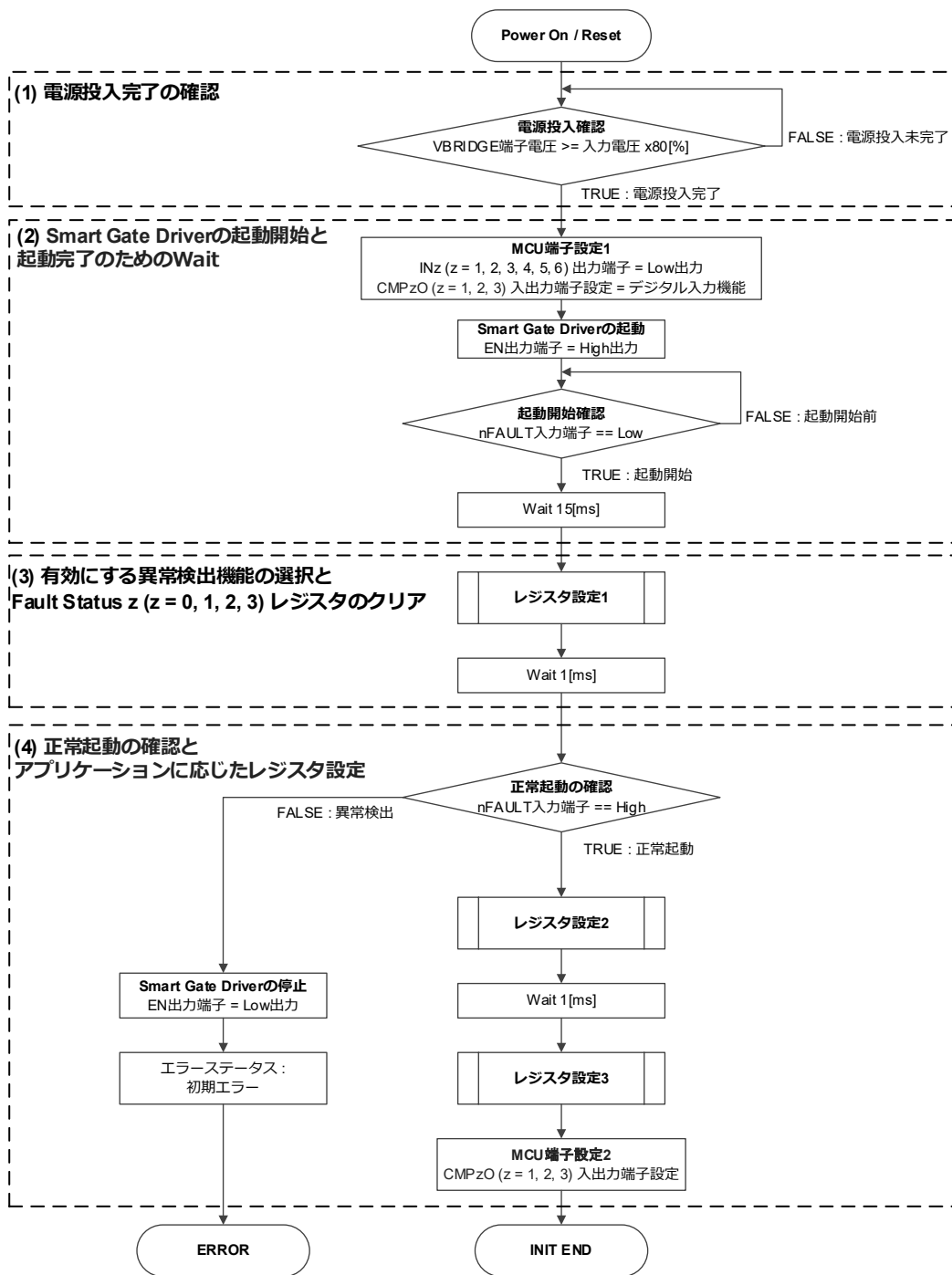


図 3-1 Smart Gate Driver の起動シーケンス例

3.2 エラー復帰シーケンス例

図 3-2 に Smart Gate Driver のエラー復帰シーケンス例について、フローチャートを示します。Smart Gate Driver の異常検出機能では、異常を検出した際、および復帰条件を満たした際の Smart Gate Driver の動作が、異常検出内容によって異なります。これらの動作は、異常検出機能に対するレジスタ設定にも依存しますが、図 3-2 のシーケンス例では下記のように分類しています。

- (a) 自動復帰する異常検出 (OTSD, TWARN, VM_UV, VM_OV, VDRV_OV)
- (b) 自動復帰するが電源ブロックの再起動を伴う異常検出 (VCP_UV, SR_OCP, VDRV_UV)
- (c) 自動復帰しない異常検出 (VDS_OCP, VGS_FAULT, CS_OCP)

エラー復帰シーケンスでは、異常検出内容を確認し、上記のように分類したうえで各異常検出に対応した復帰シーケンスを構築することが重要です。下記に各ステップにおける注意点を示します。なお、本シーケンス例は、弊社のサンプルプログラムで使用していて、モータ駆動の異常も含め、全てのエラーを同一シーケンスで処理する構成になっています。詳細は、「**RAJ306101, RAJ306102 の各サンプルプログラム**」のソースファイルを参照し、アプリケーションのエラー処理に応じて、エラー復帰シーケンスを変更してください。

(1) 動作状態の確認

本ステップは、EN 出力端子の状態を確認し、復帰可能かどうかを判定するステップです。

EN 出力端子が Low の場合、起動シーケンスにおける初期エラー、後述する電源ブロックの再起動ができなかったレギュレータエラー、または自動復帰しない異常検出の過電流エラーが該当します。これらは、復帰不可能な異常検出として EN 出力端子を Low 出力で維持します。

(2) 異常検出内容の確認と端子設定

本ステップは、Smart Gate Driver の異常検出の有無を確認し、復帰に向けた端子設定をするステップです。

まず、Fault Status 0 レジスタ (FLTSTS0) の値を取得し、異常検出の有無を確認します。FAULT ビットが "0b" の場合、Smart Gate Driver は異常を検出していないため、モータの回転異常などで Smart Gate Driver 以外のエラーが発生したと判定します。この場合、Smart Gate Driver の復帰は不要なため、エラー復帰シーケンスを終了します。一方、FAULT ビットが "1b" の場合、Smart Gate Driver に異常が発生したと判定し、MCU の INz (z = 1, 2, 3, 4, 5, 6) 出力端子を全て Low 出力、および CMPzO (z = 1, 2, 3) 入出力端子をデジタル入力機能に設定します。これらの設定により、復帰時に予期しないゲートドライバの出力や、MCU の I/O ポートとの出力信号の衝突を回避可能です。

(3) 異常検出内容の分類

本ステップは、Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTSz (z = 0, 1, 2, 3)) の取得結果から、異常検出内容を前述した (a), (b), (c) に分類するステップです。

複数の異常を検出した場合は、(c), (b), (a) の優先度で分類することを推奨します。異常検出内容の分類は、アプリケーションや仕様に応じた適切な分類を検討してください。

(4) 復帰確認処理

本ステップは、nFAULT 入力端子の確認による Smart Gate Driver の自動復帰を確認するステップです。

nFAULT 入力端子が Low の場合、動作モードが Operating Mode に復帰していないため、エラー復帰シーケンスを終了し、再度エラー復帰シーケンスを開始します。nFAULT 入力端子が High の場合、動作モードが Operating Mode に復帰し、Smart Gate Driver の正常動作が可能のため、(7) 復帰完了処理に遷移します。

(5) 電源ブロック再起動の確認と停止処理

本ステップは、(3) 異常検出内容の分類において (b) と分類された場合に、電源ブロックが再起動により復帰したかどうかを判定し、復帰不可能な場合には Smart Gate Driver の停止処理を実施するステップです。

降圧レギュレータ過電流保護 (SR_OCP)、および降圧レギュレータ電圧降下 (VDRV_UV) の異常を検出した場合、降圧スイッチングレギュレータは Hiccup モードに入ります。Hiccup モードでは、ダミー周期 (63[ms]) の間 PWM 出力を停止し、ダミー周期後に通常のソフトスタートを再開します。ダミー周期、およびソフトスタート期間のばらつきを考慮して、100[ms]以上 (シーケンス例では 150[ms]) の Wait 時間を設けた後、nFAULT 入力端子を確認することで電源ブロックが復帰したかどうかを判定します。本シーケンス例では、この動作を 5 回まで繰り返し、nFAULT 入力端子が High になり、電源ブロックが復帰した場合、(7) 復帰完了処理に遷移します。復帰しない場合は、EN 出力端子を Low 出力に設定して Smart Gate Driver を停止させ、レギュレータエラーと判定してエラー復帰シーケンスを終了、Smart Gate Driver は停止状態を維持します。

本シーケンス例では、チャージポンプ電圧降下 (VCP_UV) の異常を検出した場合も同様に 150[ms]ごとに nFAULT 入力端子を確認するシーケンスにしています。チャージポンプは、降圧スイッチングレギュレータのように Hiccup モードにならないため、nFAULT 入力端子の確認タイミングを降圧スイッチングレギュレータと別のタイミングとしても構いません。アプリケーションや仕様に応じた適切な判定タイミング、処理を検討してください。

(6) 自動復帰しない異常の停止処理

本ステップは、Smart Gate Driver が Fault Management Mode を維持し続ける異常検出に対して、Smart Gate Driver の停止処理を実施するステップです。

この異常検出は、ハーフブリッジの異常となるため、EN 出力端子を Low 出力に設定して Smart Gate Driver を停止させ、過電流エラーと判定してエラー復帰シーケンスを終了、Smart Gate Driver は停止状態を維持します。

(7) 復帰完了処理

本ステップは、(4) 復帰確認処理、および (5) 電源ブロック再起動の確認と停止処理で、Smart Gate Driver の自動復帰を確認した際、モータを再起動する前に Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTSz (z = 0, 1, 2, 3)) のクリア、および端子の再設定をするステップです。

IC Control 1 レジスタ (ICCTL1) の CLR_FLT ビットに "1b" を設定して Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTSz (z = 0, 1, 2, 3)) をクリア、および MCU の CMPzO (z = 1, 2, 3) 入出力端子をアプリケーションに合わせた設定に変更して、エラー復帰シーケンスを終了します。

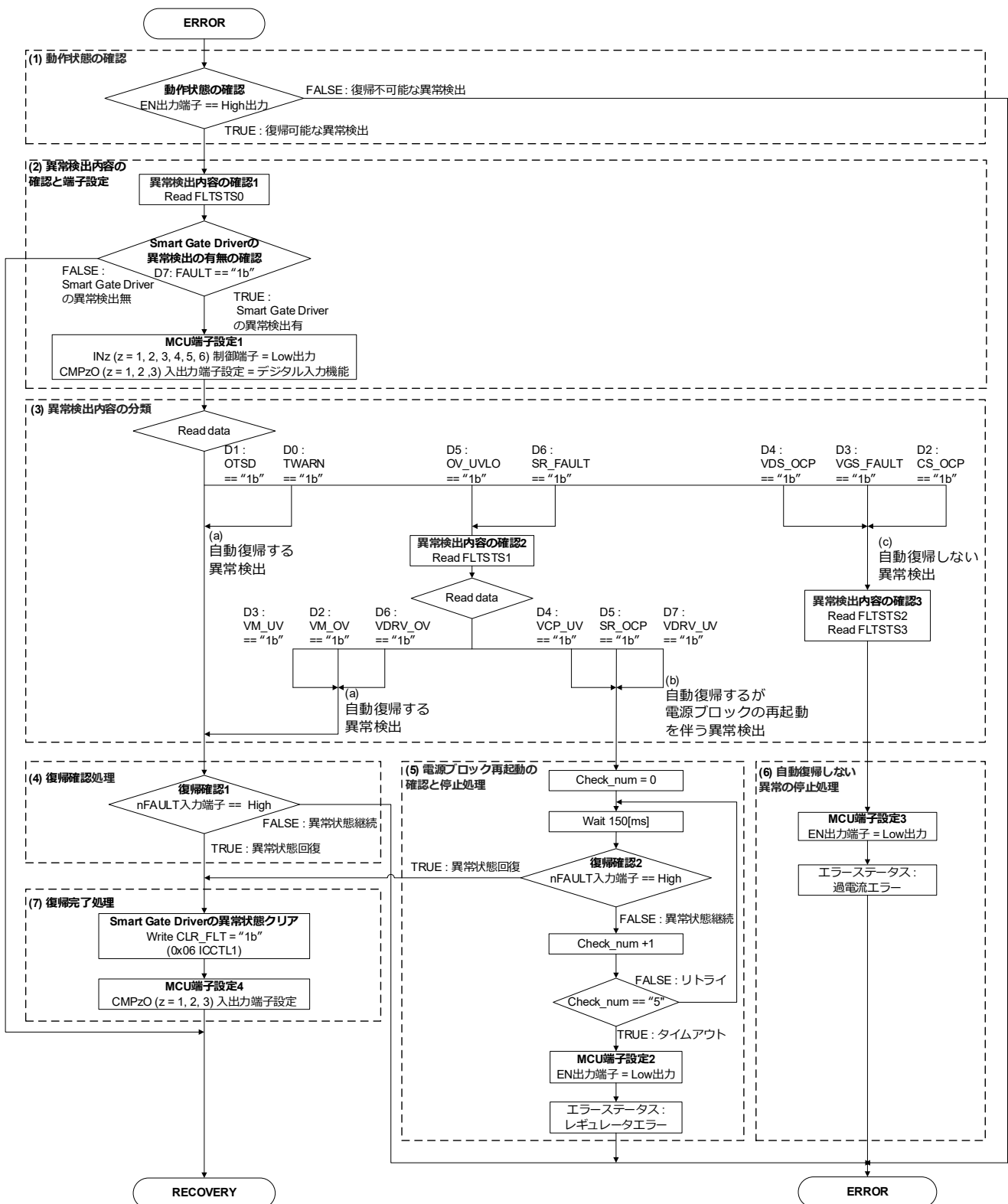


図 3-2 Smart Gate Driver のエラー復帰シーケンス例

第4章 回路構成, 部品選定, 推奨基板レイアウト

RAA306012は、降圧スイッチングレギュレータ、チャージポンプ、およびゲートドライバなどの高電圧、高スループートで動作しノイズ源となる回路と、差動アンプやBEMF検出アンプといったノイズに対して感度の高い小信号回路を内蔵していることから、適切なハードウェア構成で使用することが重要です。本章では、回路構成、部品選定、およびその注意事項と、推奨基板レイアウトについて示します。個々のアプリケーションにおけるハードウェア構成の妥当性については、使用環境、条件、仕様に基づいて適切に確認、検証を行い判断してください。

4.1 回路構成, 部品選定、および注意事項

図 4-1 と表 4-1 にセンサレスモータ制御 (3 シャント FOC) の周辺回路例、および外付け部品リスト例を示します。コンデンサの実効容量値は、DC バイアス特性により印加電圧に応じて公称値より低下します。製品の DC バイアス特性を確認のうえ、部品選定をしてください。なお、本文中の容量に関する記載は公称値です。

参考として、部品リスト例に弊社評価ボード (RTK0EM00F0B00022BJ) で使用しているコンデンサの実効容量値を記載しています。

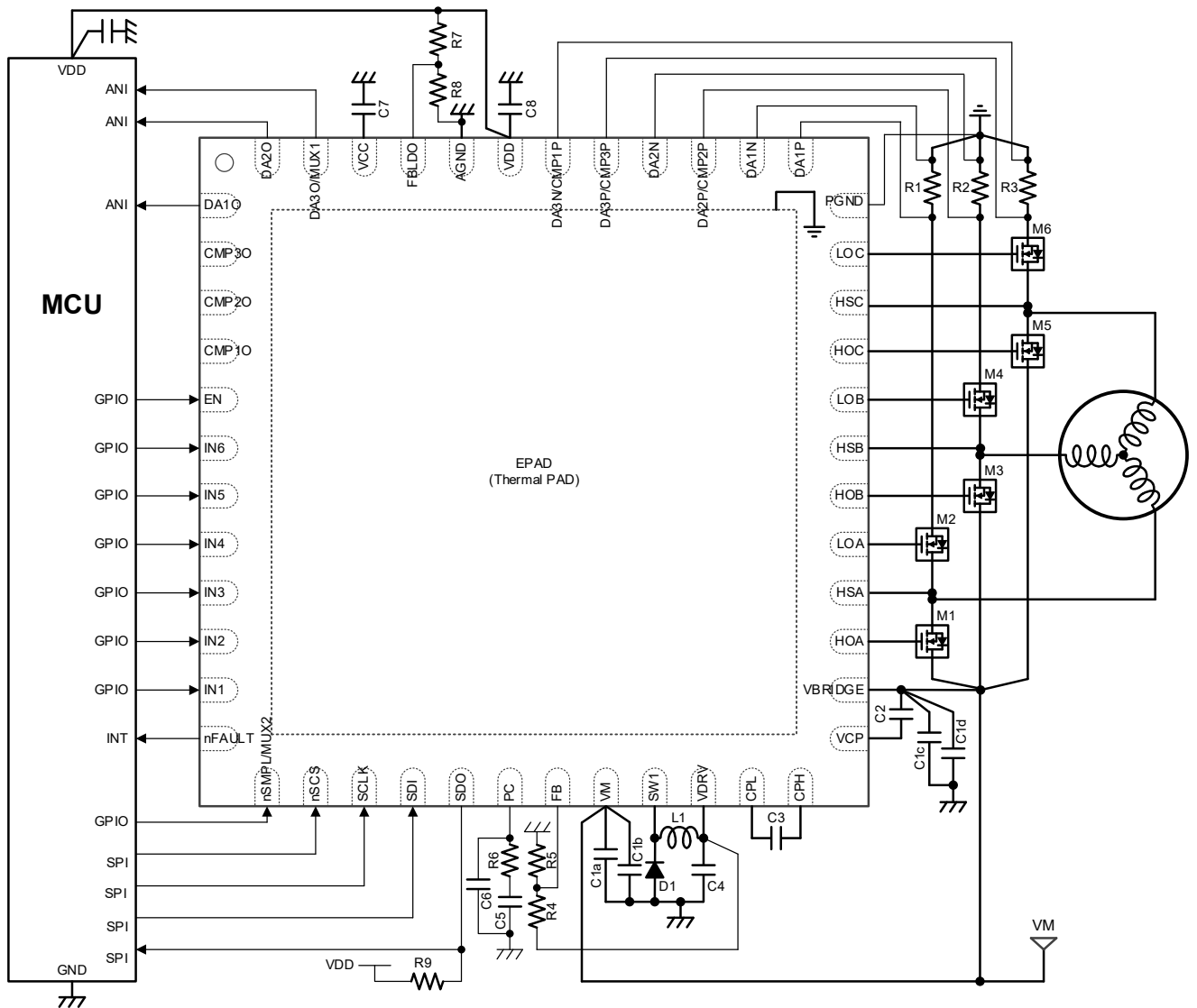


図 4-1 センサレスモータ制御 (3 シャント FOC) の周辺回路例

表 4-1 センサレスモータ制御 (3 シャント FOC) の部品リスト例

Part No.	推奨値	実効容量値	耐圧	用途	Notes
R1~R3	使用用途に依存	—	使用用途に依存	電流検出用シャント抵抗	
R4	48.7[kΩ]	—	—	VDRV出力電圧設定用ブリーダ抵抗	1
R5	3.48[kΩ]	—	—	VDRV出力電圧設定用ブリーダ抵抗	1
R6	60.4[kΩ]	—	—	降圧スイッチングレギュレータ用位相補償抵抗	5
R7	160[kΩ]	—	—	VDD出力電圧設定用ブリーダ抵抗	2
R8	91[kΩ]	—	—	VDD出力電圧設定用ブリーダ抵抗	2
R9	DNP	—	—	SDOのプルアップ抵抗。(MCUの内蔵プルアップ機能を使用した例です。)	3
C1a	3 * 4.7[μF]	2 * 5.45[μF]	100[V]	VM端子用バイパスコンデンサ	6
C1b	0.1[μF]	0.038[μF]	100[V]	VM端子用バイパスコンデンサ	6
C1c	4.7[μF]	5.45[μF]	100[V]	VBRIDGE端子用バイパスコンデンサ	6
C1d	0.1[μF]	0.038[μF]	100[V]	VBRIDGE端子用バイパスコンデンサ	6
C2	2.2[μF]	1.04[μF]	25[V]	チャージポンプ用出力コンデンサ	4
C3	0.22[μF]	0.18[μF]	100[V]	チャージポンプ用フライングコンデンサ	4
C4	10[μF]	5.5[μF]	25[V]	降圧スイッチングレギュレータ用 (VDRV端子用)	5
C5	2200[pF]	2190[pF]	10[V]	降圧スイッチングレギュレータの位相補償用コンデンサ	5
C6	DNP	DNP	10[V]	降圧スイッチングレギュレータの位相補償用コンデンサ	
C7	22[μF]	10.3[μF]	10[V]	リニアレギュレータの出力コンデンサ (VCC端子用)	
C8	22[μF]	10.3[μF]	10[V]	リニアレギュレータの出力コンデンサ (VDD端子用)	
M1~M6	使用用途に合わせて	—	使用用途に合わせて	モータ駆動用外付けMOSFET	
L1	22[μH] or 33[μH]	—	>2[A]	降圧スイッチングレギュレータ用コイル	
D1	0.6[V]	—	100[V], >2[A]	降圧スイッチングレギュレータ用ショットキー整流ダイオード	
MCU	RX13T or RL78/G1F	—	3.3 or 5[V] operation	モータ駆動制御用MCU	

Note1 : これらの抵抗による VDRV 端子の出力電圧は、12[V]です。

Note2 : これらの抵抗による VDD 端子の出力電圧は、3.310[V]です。

Note3 : 実効容量値を考慮する必要があります。C3 の実行容量値が小さくなると VCP の電圧降下が大きくなります。C2 の実行容量値が小さくなると VCP の電圧リップルが大きくなります。

Note4 : R6 と C5 は、C4 の実効容量値に応じて適切な値を選択してください。

Note5 : 適切な容量は、用途や特性の制約によって異なります。

4.1.1 VM, VBRIDGE 端子コンデンサ (C1a, C1b, C1c, C1d)

本製品は、VM 端子と VBRIDGE 端子に DC 電源 (6~65[V]) を供給することにより動作します。電源ラインには、電源供給の安定化、および高周波電流に対応するためのコンデンサが必要です。本コンデンサによりシステムの電源立ち上げにおける急峻な電圧変化を防止可能です。容量を大きくすることは電源リップルの低減に貢献しますが、サイズやコストの増加要因になります。モータシステム動作電圧、スイッチング周波数、要求電流能力、許容電源リップル、モータのタイプや、起動停止シーケンスなどの制約を考慮して適切なコンデンサの容量を選定する必要があります。

高い周波数成分に対する電源ラインは、バッテリーやケーブルの寄生インダクタンスによるインピーダンスの増加を引き起こします。IC の電源端子の近接に配置したローカルコンデンサは、高い周波数に対して、インピーダンスを下げる効果があるため、高周波成分に対する経路として寄与します。リップル電流、共振周波数、パッケージ、コスト制約などを基に最適なローカルコンデンサを選定してください。典型的なアプリケーションでは、電解コンデンサを DC 電源入力に近接に配置し、同様にいくつかのセラミックコンデンサを IC の VM 端子、および VBRIDGE 端子に配置します。

4.1.2 リニアレギュレータ用部品 (C7, C8, R7, R8)

本製品は、VCC 端子、または VDD 端子から電源を選択して、MCU を含む周辺回路の電源として使用可能です。VDD 端子へ電圧を供給する LDO3 の電源は、VCC 端子へ 5[V] を供給する LDO (LDO1, LDO2) から供給します。そのため、許容外部負荷電流能力は MCU を含む VCC 端子と VDD 端子の負荷電流の合計で定義されます。

VCC 端子、および VDD 端子から MCU や周辺回路へ供給する電流の合計が、下記の許容負荷電流を超えないようにしてください。LDO1, LDO2 の動作状態は、MCU による EN 出力端子の設定、Smart Gate Driver の異常検出機能に依存します。EN 出力端子が Low の場合、LDO1 がオン、LDO2 がオフになります。パワーオンシーケンスによる LDO1, LDO2 の ON / OFF 仕様、Smart Gate Driver の動作モード、Fault Management による異常検出と復帰動作については、「RAA306012 データシート (R18DS0037JJ)」の 6.1, 6.3.1, 6.2 を参照してください。

表 4-2 VCC 端子と VDD 端子の合計許容負荷電流

条件			許容負荷電流
EN端子	5V LDO1	5V LDO2	
Low	オン	オフ	50[mA]
High	オン	オフ	70[mA]
High	オフ	オン	90[mA]

4.1.2.1 VCC 端子コンデンサ (C7)

本製品は、VCC 端子へ 5[V] を供給する LDO として LDO1、および LDO2 の 2 つを内蔵しています。これらの LDO は、Smart Gate Driver 内部のアナログ回路、およびロジック回路に 5[V] を供給するとともに、MCU を含む周辺回路へ 5[V] を供給可能です。

VCC 端子の電圧は、Smart Gate Driver が無効 (EN 出力端子 = Low 出力) の間、および Smart Gate Driver を有効 (EN 出力端子 = High 出力) に設定し降圧スイッチングレギュレータの起動が完了する前は、VM 端子を電源とする LDO1 により生成します。また、降圧スイッチングレギュレータの起動が完了した後から、VDRV 端子を電源とする LDO2 によって生成します。VCC 端子のデカップリングコンデンサ (C7) は、22[μF] (実効容量値 10[μF]程度) のセラミックコンデンサを推奨します。本コンデンサは、VCC 端子、および AGND 端子に可能な限り近接に配置してください。

4.1.2.2 VDD 端子コンデンサ (C8), VDD 出力電圧設定用抵抗 (R7, R8)

VDD 端子は、Smart Gate Driver のインターフェース電源端子です。

VDD 端子には (1) LDO3 により供給する方法、(2) VCC 端子から 5[V] で供給する方法、(3) 外部電源から供給する方法の 3 通りの電圧供給方法があります。下記にそれぞれの方法に対する注意点を示します。

(1) LDO3 により供給する方法

周辺回路を図 4-2 (1) に示します。LDO3 の出力電圧は VDD として、FBLDO 端子に帰還するブリーダ抵抗 (R7, R8) によって決まり、推奨動作条件内で出力電圧の微調整が可能です。ブリーダ抵抗は式 4-1 に基づいて選択してください。なお、ブリーダ抵抗の合計値を大きくすることで Sleep Mode 時の消費電流の低減が可能です。ただし、本抵抗と FBLDO 端子の寄生容量で決まるポールによる安定性低下に注意してください。

$$V_{DD} = V_{REF_DD} * \left(1 + \frac{R_7}{R_8} \right) \quad (式 4-1)$$

∴ VREF_DD : FBLDO 端子基準電圧 = 1.2[V], R7 : VDD 端子 - FBLDO 端子間抵抗, R8 : FBLDO 端子 - AGND 端子間抵抗

R7 = 160[kΩ], R8 = 91[kΩ] の選択により、LDO3 の出力電圧は 3.310[V] になります。VDD 端子のデカップリングコンデンサ (C8) として 22[μF] (実効容量値 10[μF] 程度) のセラミックコンデンサを推奨します。本コンデンサは、VDD 端子、および AGND 端子に可能な限り近接に配置してください。

(2) VCC 端子から 5[V] で供給する方法

周辺回路を図 4-2 (2) に示します。VDD 端子、および FBLDO 端子を VCC 端子に接続し、VCC 端子を直接電源としての使用する方法です。VDD 端子のデカップリングコンデンサ (C8) として 0.1[μF] のセラミックコンデンサを推奨します。VDD 端子、および AGND 端子に可能な限り近接に配置してください。

(3) 外部電源から供給する方法

周辺回路を図 4-2 (3) に示します。外部電源を VDD 端子に接続してください。また、FBLDO 端子は VCC 端子に接続してください。入力可能な VDD 端子電圧の推奨動作電圧範囲 VDDope は 3.135~5.25[V] に制限されます。VDD 端子のデカップリングコンデンサ (C8) として 0.1[μF] のセラミックコンデンサを推奨します。VDD 端子、および AGND 端子に可能な限り近接に配置してください。

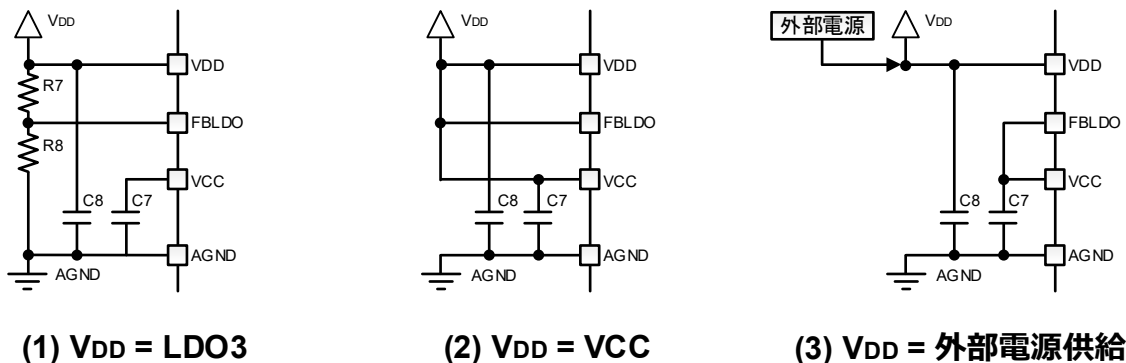


図 4-2 VDD 端子の電圧供給方法

4.1.3 降圧スイッチングレギュレータ用部品 (R4, R5, L1, C4, C5, R6)

4.1.3.1 VDRV 出力電圧設定用抵抗 (R4, R5)

VDRV 端子は降圧スイッチングレギュレータの出力端子です。Low サイドゲートドライバの電源、および VCC 端子へ 5[V] を供給する LDO2 の電源として使用します。

出力電圧 (VDRV) は図 4-3 に示す VDRV 端子と FB 端子で構成した外付け帰還抵抗のブリアダ比 (R4 / R5) により、5~15[V] の電圧範囲で調整可能であり、式 4-2 を用いて計算可能です。

$$V_{DRV} = V_{REF_SR} * \left(1 + \frac{R_4}{R_5} \right) \tag{式 4-2}$$

∴ VREF_SR : FB 端子基準電圧 = 0.8[V], R4 : VDRV - FB 端子間抵抗, R5 : FB - AGND 端子間抵抗

例えば R4 = 48.7[kΩ], R5 = 3.48[kΩ] の場合は、VDRV = 12[V] となり、R4 = 47[kΩ], R5 = 3.3[kΩ] の場合は、VDRV = 12.19[V] になります。

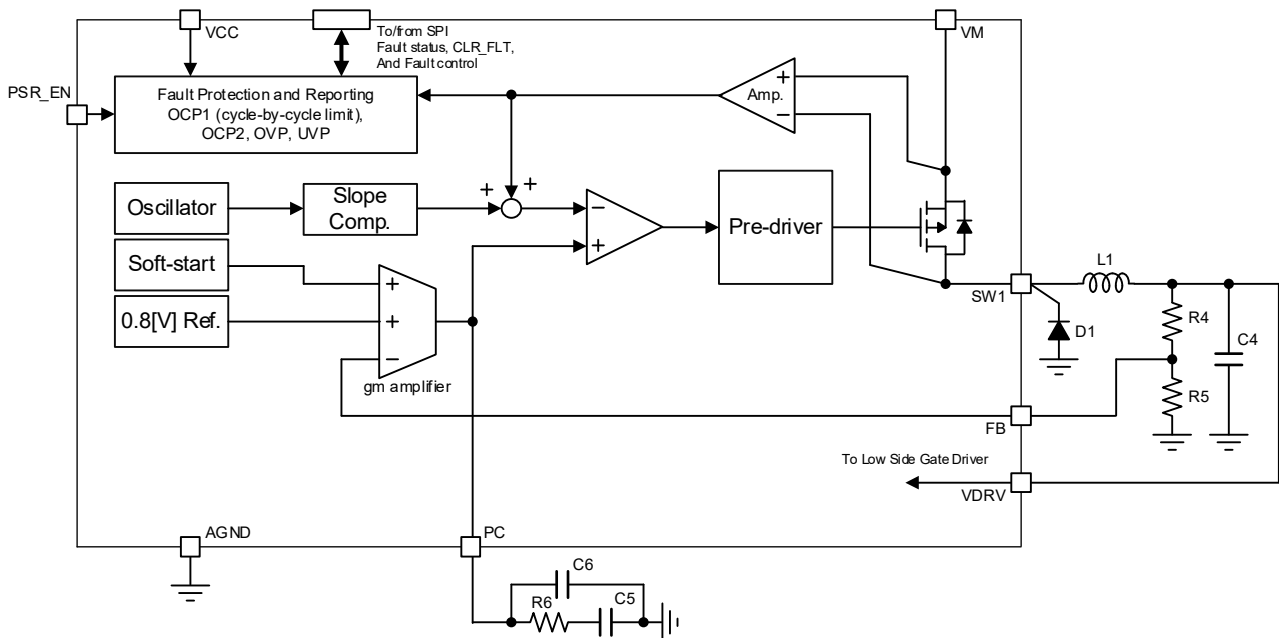


図 4-3 降圧スイッチングレギュレータブロック図

4.1.3.2 コイル (L1)

降圧スイッチングレギュレータは 500[kHz]のスイッチング周波数で VDRV 端子電圧を生成します。降圧スイッチングレギュレータには 33[μH]、または 22[μH]のコイル (L1) が必要です。コイル (L1) のインダクタンスの大きさに応じて、リップル電流 (ΔI) が決定します。一般的にリップル電流は、最大出力負荷電流の 30~40[%]程度を想定しますが、部品の大きさ、負荷条件などを考慮してリップル電流を含むインダクタ電流のピーク値が 1[A]を超えない程度の部品を選択してください。なお、リップル電流 (ΔI) とピーク電流 (I_{peak}) の値は、**式 4-3**、**式 4-4** により計算可能です。33[μH]のコイルは、後述する例のようにリップル電流 (ΔI) が想定値より大きくなりますが、出力リップル電圧 (ΔV_{DRV}) を考慮した推奨値となっています。

$$\Delta I = \frac{VM - V_{DRV}}{f_{sw} \times L_1} * \frac{V_{DRV}}{VM} \quad (\text{式 4-3})$$

∴ VM : 入力電圧, V_{DRV} : 出力電圧, f_{sw} : スwitching周波数 = 500[kHz], L1 : インダクタンス

$$I_{peak} = I_o + \frac{\Delta I}{2} \quad (\text{式 4-4})$$

∴ I_o : 最大出力負荷電流

例えば VM = 48[V], V_{DRV} = 12[V], L1 = 33[μH], I_o = 0.5[A]の場合は、ΔI = 0.545[A], I_{peak} = 0.773[A]になります。V_{DRV} 端子の負荷電流が大きい場合、リップル電流 (ΔI) が大きくなり、ピーク電流 (I_{peak}) が大きくなると、PWM サイクルごとの電流リミット (I_{OC1_SR}) (1.2[A] (typ.)) の制限が発生します。これにより、負荷電流能力が制限されるため、必要な負荷電流を考慮したインダクタンスの選定が必要です。

一方、インダクタンスを大きくすることによりリップル電流、およびリップル電圧を低減可能です。しかし、インダクタンスを大きくしすぎると負荷過渡応答が悪くなるため、実際の出力電圧 (V_{DRV}) を確認して選定してください。また、最大 DC 電流のインダクタ仕様は、過電流条件 (I_{OC1_SR}) においてもインダクタンスが大きく低下しない仕様の部品を選択する必要があります。

4.1.3.3 入力コンデンサ (C1a, C1b), 出力コンデンサ (C4)

コイル電流を平滑化するために、出力コンデンサ (C4) が必要です。出力コンデンサ (C4) を選定する場合は、出力リップル電圧 (ΔV_{DRV}) と負荷過渡応答が、2つの重要な要素です。これらの特性は DC バイアス依存性を考慮した実効容量値で検討する必要があります。実際のアプリケーションで使用するコンデンサの特性は、「**該当部品のデータシート**」を参照してください。

低 ESR のセラミックコンデンサを使用する前提において、降圧スイッチングレギュレータでは、出力リップル電圧 (ΔV_{DRV}) を満足させるために必要な容量は、**式 4-5** により推定可能です。

$$\Delta V_{DRV} = \frac{\Delta I}{8 * f_{sw} * C_4} \quad (\text{式 4-5})$$

∴ ΔI : コイルのリップル電流, f_{sw} : スwitching周波数 = 500[kHz], C4 : 出力コンデンサ実効容量値

例えば ΔI = 0.545[A], C4 = 5.5[μF] (実効容量値) の場合は、ΔV_{DRV} = 24.8[mV]になります。

一般的に、安定した入力電圧を供給するため、主電源部にはシステムの入力電源条件に応じた容量の電解コンデンサが必要です。よりよい EMC パフォーマンスのためには、降圧スイッチングレギュレータによるスイッチング周波数のパルス電流を吸収することが重要で、VM 端子の入力コンデンサ (C1a, C1b) はスイッチング電源回路の RMS 電流を処置可能でなければなりません。そのため、VM 端子の入力コンデンサには、セラミックコンデンサを使用する必要があります。EMC パフォーマンスに応じて 1[μF]以上のコンデンサ、および 0.1[μF]を含む複数のコンデンサの使用を推奨します。これらのコンデンサは本製品に可能な限り近接に配置してください。各コンデンサの配置は **4.2** を参照してください。

4.1.3.4 位相補償コンデンサ (C5)、および抵抗 (R6)

降圧スイッチングレギュレータを安定に動作させるためには位相補償が必要です。下記に位相補償コンデンサ (C5)、および抵抗 (R6) の選定方法を示します。

最初にオープンループゲインを求めます。降圧スイッチングレギュレータは、下記、A1, A2, A3 の3つのゲインで構成されていて、それぞれ式 4-6, 式 4-7, 式 4-8 のように求められます。

- A1 : VDRV 端子から FB 端子までの抵抗分割によるフィードバック部のゲイン
- A2 : FB 端子から gm アンプ出力 (PC 端子) までのゲイン
- A3 : PC 端子から VDRV 端子までのゲイン

一巡伝達関数 AOPN はこれらのゲインの積となり、式 4-9 のように求められます。VDRV = 12[V], IO = 0.5[A] の場合は、AOPN = 9766[V/V] = 79.79[dB] になります。

$$A_1 = \frac{V_{REF_SR}}{V_{DRV}} \tag{式 4-6}$$

∴ VREF_SR : FB 端子基準電圧 = 0.8[V], VDRV : VDRV 端子電圧[V]

$$A_2 = gm_{SR} * R_{oSR} \tag{式 4-7}$$

∴ gm_SR : gm アンプトランスコンダクタンス = 200[μA/V], RoSR : gm アンプ出力抵抗 = 14[MΩ]

$$A_3 = gm_{PW} * R_{OUT} = gm_{PW} * \frac{V_{DRV}}{I_O} \tag{式 4-8}$$

∴ gmPW : gm アンプ出力から VDRV 出力への電流ゲイン = 2.18[A/V], ROUT : VDRV 端子出力抵抗[Ω], IO : 出力負荷電流[A]

$$A_{OPN} = A_1 * A_2 * A_3 \tag{式 4-9}$$

次に目標帯域 (fo) を決定します。降圧スイッチングレギュレータでは、主に下記 (1), (2) の2つのポール、および (3) のゼロで周波数特性が決まります。(4) はスイッチング動作によるダブルポールで、目標帯域はこのポールより低い周波数に設定します。

- (1) fpole1 : gm アンプ出力抵抗 RoSR と位相補償コンデンサ (C5) で決まる 1st ポール
- (2) fpole2 : VDRV 端子出力抵抗 ROUT と出力コンデンサ (C4) で決まる 2nd ポール
- (3) fzero : 位相補償抵抗 (R6) と位相補償コンデンサ (C5) で決まるゼロ
- (4) スwitching周波数 (fsw) の 1/2 の周波数のダブルポール

目標帯域 (fo) は、(4) の位相遅れによる安定性低下を回避するため、スイッチング周波数 (fsw) の 1/10 以下に設定します。そして、目標帯域 (fo) に合わせて (1) を設定し、(2) のポールを (3) のゼロでキャンセルすることで安定性を確保します (図 4-4 (a))。

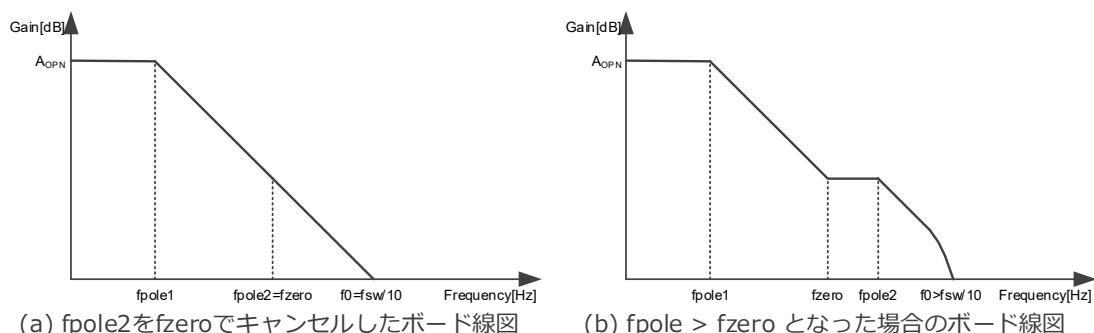


図 4-4 降圧スイッチングレギュレータの帯域、位相補償イメージ図

1st ポール (fpole1) は、**式 4-10** で求められます。

$$fpole1 = \frac{1}{2\pi * R_{oSR} * C5} \quad \text{(式 4-10)}$$

∵ R_{oSR} : gm アンプ出力抵抗 = 14[MΩ], $C5$: 位相補償コンデンサ

一方、目標帯域 (f_0) をスイッチング周波数 (f_{sw}) の $1/N$ に設定した場合、1st ポール (fpole1) はオープンループゲイン (A_{OPN}) を用いて**式 4-11** のようにも求められます。

$$fpole1 = \frac{f_{sw} / N}{A_{OPN}} \quad \text{(式 4-11)}$$

よって位相補償コンデンサ ($C5$) は**式 4-10**, **式 4-11** を用いて、**式 4-12** で計算可能です。

$$C5 = \frac{A_{OPN} * N}{2\pi * R_{oSR} * f_{sw}} \quad \text{(式 4-12)}$$

目標帯域 (f_0) をスイッチング周波数 (f_{sw}) = 500[kHz] の $1/10$ の 50[kHz] ($N = 10$), $A_{OPN} = 9766[V/V]$, $R_{oSR} = 14[MΩ]$ の場合は、 $C5 = 2221 \approx 2200[pF]$ になります。

2nd ポール (fpole2) は、**式 4-13** で求められます。

$$fpole2 = \frac{1}{2\pi * R_{OUT} * C4} = \frac{I_o}{2\pi * V_{DRV} * C4} \quad \text{(式 4-13)}$$

∵ R_{OUT} : VDRV 端子出力抵抗[Ω], $C4$: VDRV 端子の出力コンデンサ実効容量値, I_o : 出力負荷電流[A]

一方、ゼロ (f_{zero}) は、**式 4-14** で求められます。

$$f_{zero} = \frac{1}{2\pi * R6 * C5} \quad \text{(式 4-14)}$$

∵ $R6$: 位相補償抵抗, $C5$: 位相補償コンデンサ

2nd ポール (fpole2) をゼロ (f_{zero}) でキャンセルすることにより 1st ポール (fpole1), オープンループゲイン (A_{OPN}) で決まる 1 次特性を得ることから、位相補償抵抗 ($R6$) は**式 4-15** で計算可能です。

$$R6 = \frac{V_{DRV} * C4}{I_o * C5} \quad \text{(式 4-15)}$$

$V_{DRV} = 12[V]$, $I_o = 0.5[A]$, $C5 = 2200[pF]$, $C4 = 5.5[\mu F]$ (実効容量値) の場合は、 $R6 = 60 \approx 60.4[kΩ]$ になります。 V_{DRV} 端子の出力コンデンサ ($C4$) は DC バイアス特性を考慮した実効容量値で計算してください。出力コンデンサ ($C4$) の大きさによって 2nd ポール (fpole2) が変化しますが、実効容量値が計算に使用した値より小さい場合は、2nd ポール (fpole2) が想定よりも高い周波数となり、**図 4-4 (b)** のように目標帯域 (f_0) より実際の帯域が伸びることによってスイッチング周波数 (f_{sw}) の $1/2$ の周波数のダブルポール (fpole1n, fpole2n) の影響を受けやすくなり、安定性に影響を与える可能性があります。

4.1.4 チャージポンプ用出力コンデンサ (C2), フライイングコンデンサ (C3)

チャージポンプ出力 VCP 端子は、High サイドゲートドライバの電源です。チャージポンプ動作のため、CPH 端子と CPL 端子の間にフライイングコンデンサ (C3) が必要です。実効容量値で 0.22[μF]のセラミックコンデンサにより最大負荷電流 28[mA]までの供給を可能にします。フライイングコンデンサ (C3) の実効容量値が小さくなると同一負荷における VCP 端子電圧の低下が大きくなります。ご使用の外付け MOSFET, PWM 周波数、および VCP 端子電圧に応じたフライイングコンデンサ (C3) を選定してください。外付け MOSFET を駆動するための負荷電流 (I_{VCP}) は、式 4-16 により見積もり可能です。3 相、または 2 相 PWM 駆動で同時に PWM 動作をする相が複数ある場合は、負荷電流 (I_{VCP}) が増える点に注意してください。

$$I_{VCP} > N * Q_g * f_{pwm} \quad (\text{式 4-16})$$

∴ N : 同時 PWM 相の数, Q_g : 外付け MOSFET ゲート入力総電荷量, f_{pwm} : PWM 周波数

出力コンデンサ (C2) として VCP 端子と VBRIDGE 端子の間に実効容量が 1[μF]以上のセラミックコンデンサが必要です。出力コンデンサ (C2) はチャージポンプ動作による出力リップル電圧を考慮して、フライイングコンデンサ (C3) の 5 倍以上のコンデンサを推奨します。

4.1.5 モータ駆動用外付け MOSFET (M1~M6) とレジスタ設定

4.1.5.1 ISRC_HS, ISRC_LS ビットの設定

ゲート駆動充電電流 (I_{SRCH} , I_{SRCL}) は、外付け MOSFET のゲート - ドレイン間電荷 (Q_{gd}) と、ハーフブリッジゲートドライバ出力における目標立ち上がり、立ち下がり時間 (t_{RISE} , t_{FALL}) に基づいて ISRC_HS, ISRC_LS ビットにより調整します。選択した外付け MOSFET に対して、設定したゲート駆動充電電流 (I_{SRCH} , I_{SRCL}) が小さいと、外付け MOSFET のゲート - ソース間電圧 (V_{GS}) が T_GT ビットにより設定した最大ゲート遷移時間 (t_{GT}) 内に十分に充電できず、 V_{GS} 異常 (V_{GS_FAULT}) を検出したり、オン抵抗電力損失が大きくなったりする可能性があります。また、立ち上がり、立ち下がり時間が遅いとスイッチング電力損失が大きくなります。使用する外付け MOSFET、およびモータを含めたアプリケーションにおいて最適な ISRC_HS ビット、ISRC_LS ビット設定してください。外付け MOSFET のゲート - ドレイン間電荷 (Q_{gd}) と、ハーフブリッジゲートドライバ出力における目標立ち上がり時間 (t_{RISE}) を用いてゲート駆動充電電流 (I_{SRCH}) は式 4-17 で計算します。

$$I_{SRCH} > \frac{Q_{gd}}{t_{RISE}} \quad (\text{式 4-17})$$

∴ Q_{gd} : 外付け MOSFET ゲート - ドレイン間電荷, t_{RISE} : 目標立ち上がり時間

ゲート駆動放電電流 (I_{SNKH} , I_{SNKL}) は、ゲート駆動充電電流 (I_{SRCH} , I_{SRCL}) の 2 倍に設定されます。目標立ち上がり、立ち下がり時間 (t_{RISE} , t_{FALL}) は本特性を加味した最適な設定を決定してください。

4.1.5.2 DEAD_TIME ビットの設定

アダプティブデッドタイム機能は、ターンオフ遷移中の外付け MOSFET のゲート電圧をモニタしゲート - ソース間電圧 (V_{GS}) が閾値 (1[V] (typ.)) 以下になることを検出した後、エクストラデッドタイム (t_{dT}) 経過後にコンプリメンタリに外付け MOSFET をターンオンさせる機能です。本機能により High サイドと Low サイドの外付け MOSFET の同時オンとそれに伴う貫通電流を防止し、デッドタイムによるダイオード電力損失の最適化も可能になります。エクストラデッドタイム (t_{dT}) は DEAD_TIME ビットにより調整可能です。使用する外付け MOSFET のゲート - ソース間電荷 (Q_{gs}) ($V_{GS} = 1[V]$) やゲート閾値電圧 (V_{TH}) を考慮して、エクストラデッドタイム (t_{dT}) 経過後のゲート - ソース間電圧 (V_{GS}) がゲート閾値電圧 (V_{TH}) より確実に小さくなるように DEAD_TIME ビットの値を調整してください。片側外付け MOSFET のゲート - ソース間電圧 (V_{GS}) が閾値電圧 (1[V] (typ.)) を下回るタイミングと相補 MOSFET のターンオンタイミングとのマージンを最適化する手順を推奨します。外付け MOSFET の破壊を防ぐため、外付け MOSFET のゲート - ソース間電圧 (V_{GS}) を監視しながら、DEAD_TIME ビットを"11b"から徐々に小さい値に設定してください。

4.1.5.3 T_GT ビットの設定

ISRC_HS, ISRC_LS ビットの設定により最適化したハーフブリッジ出力のスイッチング動作において、最大ゲート遷移時間 (tGT) は外付け MOSFET のゲート - ソース間電圧 (VGS) の充電完了までの時間より長くなるように T_GT ビットを設定してください。十分に長い最大ゲート遷移時間 (tGT) は、ハーフブリッジ出力のスイッチング特性には影響ありませんが、最適な最大ゲート遷移時間 (tGT) は PWM 動作におけるゲートドライバの低消費電力化を実現します。外付け MOSFET のゲート - ソース間電圧 (VGS) の充電完了タイミングと最大ゲート遷移時間 (tGT) が完了するタイミングのマーヅンを最適化する手順を推奨します。意図しない VGS フォルト (VGS_FAULT) の検出を防ぐため、外付け MOSFET のゲート - ソース間電圧 (VGS) を監視しながら、T_GT ビットを“11b”から徐々に小さい値に設定してください。

4.1.6 電流検出用シャント抵抗 (R1, R2, R3) と差動アンプゲイン

本製品では、電流検出用シャント抵抗 (以降、シャント抵抗) の両端電圧を差動アンプを介して MCU の A/D コンバータで測定することにより、モータ駆動電流の検出が可能です。シャント抵抗 (R_z ($z = 1, 2, 3$)) は、目標検出電流範囲 (I_{SNS})、電源電圧 (V_{DD})、差動アンプの出力レンジ (V_{O_CSA})、入力オフセット電圧 (V_{IO_CSA})、ゲイン (G_{CSA}) を用いて、**図 4-5**、**式 4-18**、**式 4-20** に基づいて選択します。

出力のダイナミックレンジ (V_{O_DM}) は**式 4-18** のように計算します。

$$V_{O_DM} = (V_{DD} - V_{O_CSA}) - (0.5 * V_{DD} + G_{CSA} * V_{IO_CSA}) \quad (\text{式 4-18})$$

差動アンプゲイン (G_{CSA}) = 20[V/V] の場合は、**式 4-19** となります。

$$V_{O_DM} = (3.3[V] - 0.4[V]) - (1.65[V] + 20 * 5[mV]) = 1.15[V] \quad (\text{式 4-19})$$

出力ダイナミックレンジ (V_{O_DM}) 内で動作可能なシャント抵抗 R_z ($z = 1, 2, 3$) は**式 4-20** で計算します。

$$R_z < \frac{V_{O_DM}}{G_{CSA} * I_{SNS}} \quad (\text{式 4-20})$$

目標検出電流範囲 (I_{SNS}) = 50[A] の場合は、**式 4-21** となります。

$$R_z < \frac{1.15[V]}{20 * 50[A]} = 1.15[m\Omega] \quad (\text{式 4-21})$$

$R_z = 1[m\Omega]$ を選択した場合は、シャント抵抗 R_z ($z = 1, 2, 3$) の消費電力 (P_{SNS}) は目標検出電流範囲の実効値 (I_{SNS_RMS}) を用いて**式 4-22** となります。

$$P_{SNS} = I_{SNS_RMS}^2 * R_z = 35.4[A]^2 * 1[m\Omega] = 1.25[W] \quad (\text{式 4-22})$$

シャント抵抗 R_z ($z = 1, 2, 3$) の定格電力を考慮して部品を選定してください。

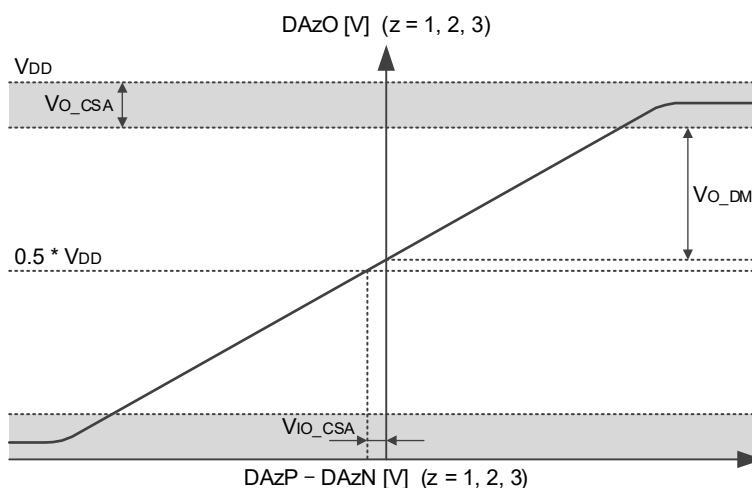


図 4-5 電流検出の出力ダイナミックレンジ

4.1.7 外付け保護回路例

4.1.7.1 抵抗とダイオードによる相電圧クランプ回路

モータ駆動時に、High サイドと Low サイドの外付け MOSFET の同時オンによって発生する貫通電流を防止するためには、デッドタイムが必要です。モータへ電流をソースしている時に、相補 PWM 動作によって High サイドの外付け MOSFET がオフになってから、Low サイドの外付け MOSFET がオンになるまでは、モータ駆動電流は Low サイドの外付け MOSFET のボディダイオードを通じて流れますが、ハーフブリッジ出力には、立ち下がりエッジのタイミングに負電圧スパイクが発生します。本製品では、HSx (x = A, B, C) 端子の絶対最大定格として許容負電圧レベルを規定しています。連続時間に対しては、VHSxabs (x = A, B, C) = -5[V], 200[ns]以内の期間に対しては、VHSxtran (x = A, B, C) = -7[V]です。絶対最大定格を超える負電圧スパイクは、製品の故障原因となる可能性があるため、外付け回路による保護が必要です。負電圧スパイクの大きさは、動作電源電圧、デッドタイム、ハーフブリッジ出力の遷移時間、外付け MOSFET, シャント抵抗, モータなどの構成要素、および基板レイアウトといった様々な要因に依存します。ハーフブリッジ出力のスイッチング期間における絶対最大定格を超える負電圧スパイクを回避するためには、抵抗とダイオードによる外付けクランプ回路が必要です。図 4-6 に回路例を示します。抵抗 (R_{Sx} (x = A, B, C)) は High サイドの外付け MOSFET のゲート駆動放電電流経路に挿入されるため、ハーフブリッジ出力の立ち下がり時間や、アダプティブデッドタイム機能のゲート電圧モニタに影響があります。抵抗 (R_{Sx} (x = A, B, C)) は、10[Ω]以下程度の抵抗を選択し、効果、および副作用の有無を実際の波形で確認のうえ選定してください。抵抗 (R_{Sx} (x = A, B, C)) とダイオード (D_{SxN} (x = A, B, C)) は、基板レイアウト設計において IC に可能な限り近接に配置してください。

ハーフブリッジ出力は、モータから電流をシンクしている時の立ち上がりエッジのタイミングにおいても絶対最大定格を超える電圧スパイクが発生する可能性があります。必要に応じてダイオード (D_{SxP} (x = A, B, C)) を追加し、負電圧スパイクと同様の保護を検討してください。

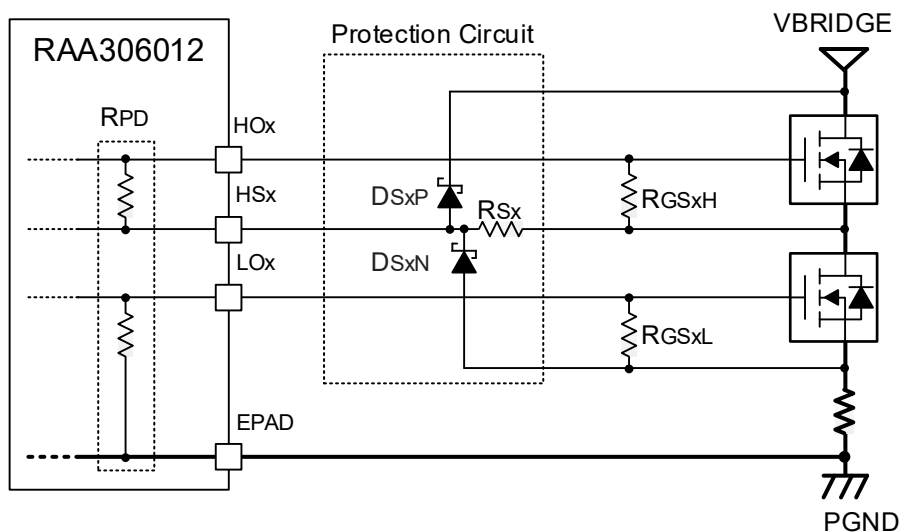


図 4-6 抵抗とダイオードによる相電圧クランプ回路例 (R_{Sx} , D_{SxP} , D_{SxN} (x = A, B, C))

4.1.7.2 外付け MOSFET のゲート - ソース間プルダウン抵抗

本製品には、HO_x - HS_x (x = A, B, C) 端子間、および LO_x (x = A, B, C) - EPAD 端子間にプルダウン抵抗 (R_{PD} = 200[kΩ] (typ.)) を内蔵しています。EN 出力端子を Low 出力に設定した後、または異常検出機能が異常を検出した後、ゲートドライバの出力の HO_x, LO_x (x = A, B, C) 端子を Hi-Z とするため、本プルダウン抵抗 (R_{PD}) により、外付け MOSFET ゲート - ソース間電圧 (V_{Gs}) を放電します。なお、外付け MOSFET に関連する一部の異常検出では、PDMODE ビットにより、ゲートドライバを Low 出力にする動作も選択可能です。入力ゲート容量の大きい外付け MOSFET を使用する場合は、ゲート - ソース間電圧 (V_{Gs}) 放電時間が長くなるため、放電時間を短くするためには、**図 4-7** のように外付けプルダウン抵抗 (R_{Gs_xH}, R_{Gs_xL} (x = A, B, C)) の追加が必要です。また、電源投入時の外付け MOSFET の電源 (VBRIDGE) のスルーレートによっては、外付け MOSFET のゲート - ドレイン間容量 (C_{gd}) の充電電流によりゲート電圧が上昇し、貫通電流を引き起こす可能性があります。一方、外付け MOSFET がオンの間はゲートドライバの出力の HO_x, LO_x (x = A, B, C) 端子は High となるため、プルダウン抵抗に電流が流れ消費電流が増加します。使用条件に応じて放電時間、ゲート電圧上昇量、および消費電流を考慮して、外付けプルダウン抵抗 (R_{Gs_xH}, R_{Gs_xL} (x = A, B, C)) の必要性と適切な抵抗値を検討してください。

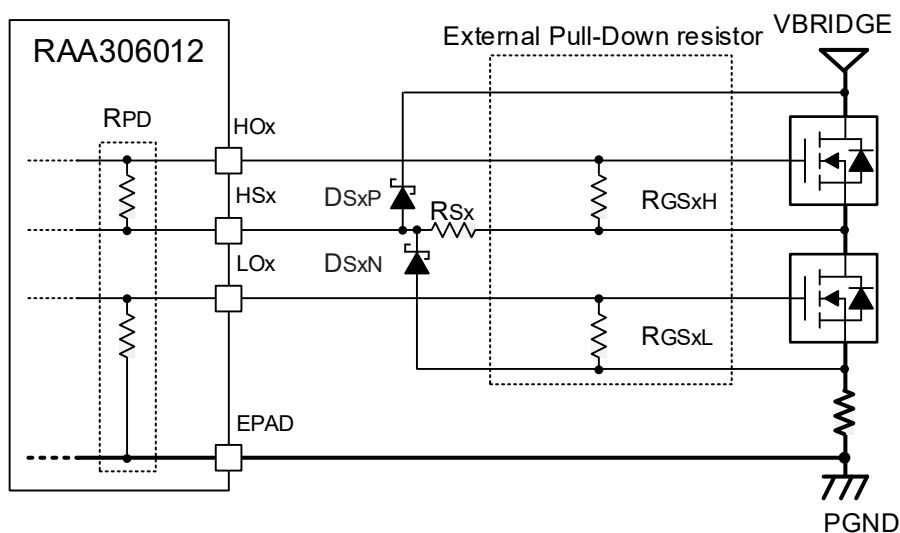


図 4-7 外付け MOSFET のゲート - ソース間プルダウン抵抗 (R_{Gs_xH}, R_{Gs_xL} (x = A, B, C))

4.2 推奨基板レイアウト

モータードライブアプリケーションの基板レイアウトは、シャント電流検出信号、A/D コンバータの入力信号などの高精度なアナログ信号検出を行うために重要です。本製品を含むモータ駆動アプリケーションでは、高電圧でスイッチング動作をする降圧スイッチングレギュレータ、および外付け MOSFET を駆動するゲートドライバを有するため、GND 配線の分類、外付け部品の配置、および配線の引き回しに注意してください。下記に基板レイアウトにおけるガイドラインを示します。

4.2.1 GND 系統

本製品は、EPAD、PGND、AGND の 3 つの端子を GND として使用しています。各端子を使用しているブロックを表 4-3 に示します。

表 4-3 GND 系統と使用ブロックの関係

GND	ブロック
EPAD	ゲートドライバ, チャージポンプ
PGND	ゲートドライバ
AGND	差動アンプ, BEMF検出アンプ, 汎用コンパレータ, LDO, 降圧スイッチングレギュレータ制御部, ロジック部

GND に対する基板レイアウトは、本デバイスの上記 GND 分離を考慮して PGND 系統 (EPAD, PGND)、AGND 系統 (AGND) の 2 系統に加え、降圧スイッチングレギュレータのスイッチング電流が流れる外付け部品の GND 系統 (REG_GND 系統と定義) の 3 つの GND 系統に分けた配線レイアウトを推奨します。また、GND 間の結合によるノイズ干渉を回避するため、各系統の GND プレーンは、他の系統の GND プレーンと極力共通インピーダンスを持たないようにしてください。各 GND 系統に対する配線の注意点を下記に示します。

PGND 系統

PGND 系統は、ハーフブリッジのスイッチングに伴う外付け MOSFET のゲート放電電流を流す GND プレーンです。ビアを介さずに単層で配線することを推奨します。PGND と EPAD は IC の端子付近でビアを介さずに接続してください。PGND の単層での配線が困難な場合は基板の層間を多数のビアで接続し、寄生インダクタンスを最小限に抑えるようにしてください。また、ハーフブリッジ側の GND との共通インピーダンスが付かないように、基板の GND 端子 (装置の GND) の付近から分離して配線してください。なお、ゲート放電電流は、使用する外付け MOSFET やスイッチング特性に応じて 1[A] を超えるピーク電流が流れるため (ISRC_LS ビットに依存)、実際のアプリケーションに対応した十分な配線幅を確保してください。PGND 系統を基準とする外付け部品、回路は、他のブロックにノイズの影響を与えないように PGND 系統の GND プレーンで十分に覆うことを推奨します。

また、EPAD は IC の放熱にも使用するため、十分な数のビアを打ち、基板の背面に放熱できるようにすることを推奨します。

AGND 系統

AGND 系統は、内蔵アナログ回路の基準となる GND プレーンです。そのため、ノイズの影響が少ないレイアウトとすることが重要です。他の GND 系統の GND プレーンとの重なりや、VM、VBRIDGE、およびハーフブリッジ電源といったノイズの大きい電源プレーンとの重なりが少ないレイアウトを推奨します。また、AGND 系統を基準とする外付け部品、回路は、AGND 系統の GND プレーンで十分に覆うことを推奨します。AGND 系統の GND は、必要に応じてシャント電流検出信号、A/D コンバータの入力信号などの高精度なアナログ信号の配線に対するシールドとして使用してください。

REG_GND 系統

REG_GND 系統は降圧スイッチングレギュレータのスイッチング電流が流れる外付け部品の GND 系統です。降圧スイッチングレギュレータによるスイッチング電流に伴うノイズ対策を考慮した基板レイアウトにすることは、スイッチング電源を含むアプリケーションにおいて最も重要な設計項目の一つです。降圧スイッチングレギュレータは、スイッチング素子のオン、オフに応じてスイッチング電流が流れる経路が変わるため、外付け部品の GND には専用の GND 系統 (REG_GND) を設けることを推奨します。REG_GND 系統を使用する外付け部品には、VM 端子コンデンサ (C1a, C1b)、ショットキー整流ダイオード (D1)、および VDRV 端子の出力コンデンサ (C4) があります。これらの部品の GND は極力近接するように配置し、寄生インダクタンスによるノイズを最小限に抑えることが重要です。外付け部品の GND 間の距離を短くできない場合であっても、本配線は単層で直接接続するようにしてください。

外付け部品の GND から基板の GND 端子 (装置の GND) への配線は、REG_GND 系統と他の GND 系統と分離するため、ビアを介して接続してください。なお、本ビアの配置は、スイッチングによる電流変化の少ない出力コンデンサ (C4) の付近に設けることを推奨します。また、降圧スイッチングレギュレータの外付け部品、回路は、別の層に REG_GND 系統のプレーンを設けて十分に覆うことでノイズ干渉を抑えることを推奨しますが、本プレーンもビアを介して基板の GND 端子 (装置の GND) に接続し、他の GND 系統と分離する必要がありますことに注意してください。

4.2.2 電源端子のコンデンサと電源配線

本製品には、内蔵しているレギュレータ出力端子も含め、下記 8 つの電源端子があります。各電源端子に接続するバイパスコンデンサ、出力コンデンサ、コンデンサの接続先、および各端子を使用しているブロックを表 4-4 に示します。これらのコンデンサは極力 IC の付近に配置し、ビアを介さずに単層、低インピーダンスに IC と接続することを推奨します。VM、VBRIDGE 端子は、電圧降下を考慮し、基板上で電圧が比較的安定している電源端子付近 (装置の電源) からの配線が必要です。下記にハーフブリッジ電源を含む電源配線における注意点を示します。

表 4-4 電源端子のコンデンサと電源供給先ブロック

電源端子	部品番号	電源供給先ブロック
VM - REG_GND	C1a, C1b	降圧スイッチングレギュレータ, LDO1
VBRIDGE - PGND	C1c, C1d	ゲートドライバ
VCP - VBRIDGE	C2	ゲートドライバ
VDRV - REG_GND	C4	ゲートドライバ, LDO2, LDO3
VCC - AGND	C7	差動アンプ, BEMF検出アンプ, 汎用コンパレータ, 降圧スイッチングレギュレータ制御部, ロジック部
VDD - AGND	C8	差動アンプ, BEMF検出アンプ, 汎用コンパレータ

VM 端子配線

REG_GND 系統の配線と同様に基板の電源端子 (装置の電源) への配線は、VM 端子バイパスコンデンサ (C1a, C1b) の付近でビアを設けたうえで別の層で接続することを推奨します。これは降圧スイッチングレギュレータで発生する急峻な電流変化を、可能な限りバイパスコンデンサ (C1a, C1b) で吸収させることを目的としています。なお、VM 端子配線は、VBRIDGE 端子と同電位で使用する場合であっても独立で基板の電源端子 (装置の電源) へ接続してください。

ハーフブリッジ電源, VBRIDGE 端子配線

外付け MOSFET の大電流パスをバイパスするためには、通常、電解コンデンサを追加します。この電解コンデンサは外付け MOSFET を通過する大電流パスの長さが最小となるように外付け MOSFET、シャント抵抗の配置を考慮して配置します。配線は実際のアプリケーションに応じて十分な配線幅、かつ基板の層間は十分な数のビアで接続し、寄生インダクタンスを最小限に抑えるようにレイアウトしてください。また、VBRIDGE 端子のバイパスコンデンサ (C1c, C1d) への配線は、電解コンデンサの端子から独立で配線し、大電流パスとの共通インピーダンスが最小となるように配線してください。

4.2.3 降圧スイッチングレギュレータ

降圧スイッチングレギュレータの基板レイアウトにおいて、最も重要な点はスイッチングレギュレータから発生するノイズの最小化です。降圧スイッチングレギュレータは図 4-8 のように、(1) スwitching素子 (MP1) のオン、(2) MP1 のオフ、および (3) MP1 のオフからオンへの遷移過程に応じてスイッチング電流が流れる経路が変わるため、その切り替わりタイミングにおける急峻な電流変化によりノイズが発生します。このノイズを最小化するためには

図 4-8 で示した (3) の電流ループの面積を可能な限り小さくする必要があり、外付け部品を最適に配置する必要があります。下記に (3) の電流ループの面積を最小にするための注意点を示します。なお、降圧スイッチングレギュレータの外付け部品間の配線はビアを介さず単層で接続することがノイズの最小化において非常に重要です。

- VM 端子コンデンサ (C1a, C1b), ショットキー整流ダイオード (D1) を本 IC の極力近接に配置し、素子と本 IC の端子間の配線を極力短くする。
- VM 端子コンデンサ (C1a, C1b), ショットキー整流ダイオード (D1) 間の REG_GND 配線を極力短くする。

また、下記の注意点も考慮して基板レイアウトを実施してください。

- コイル (L1), 出力コンデンサ (C4), ショットキー整流ダイオード (D1) で構成されるループが小さくなるように配置する。
- SW1 端子 - コイル (L1) 間の配線、およびショットキー整流ダイオード (D1) - 出力コンデンサ (C4) 間の REG_GND 配線は、(1), (2) の状態で連続的に電流が流れるため、(3) の対応を優先したうえで極力短くする。
- SW1 端子 - コイル (L1) 間の配線面積は、電流容量、およびコイル (L1) の発熱に支障がない範囲で小さくする。
- VDRV 端子への配線は、コイル (L1) - 出力コンデンサ (C4) 間ではなく、出力コンデンサ (C4) のランドから配線を引き出す。

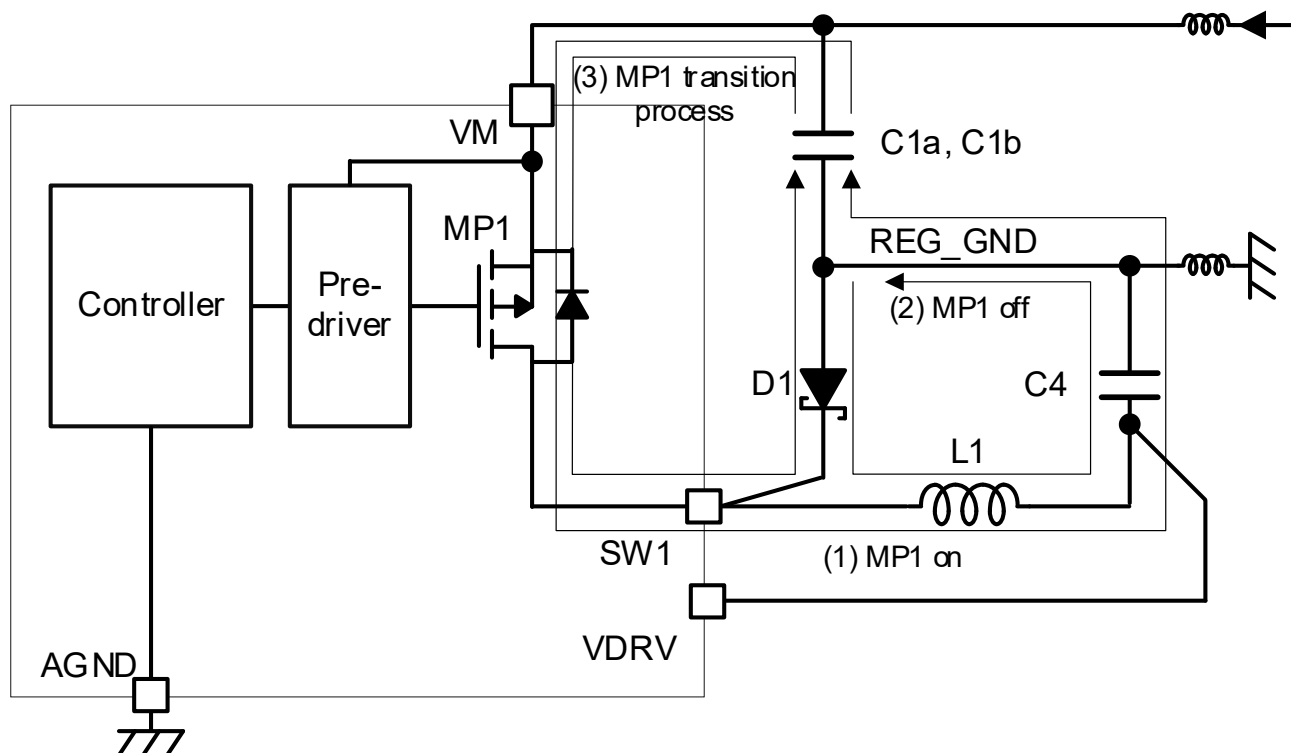


図 4-8 降圧スイッチングレギュレータの電流経路

4.2.4 N-ch MOSFET ブリッジ

外付け MOSFET の配置と配線は、外付け MOSFET のオン / オフを制御するゲート電流ループが最小になるように考慮する必要があります。High サイドの外付け MOSFET においては、外付け MOSFET のゲートから HOx (x = A, B, C) までの配線、および HSx (x = A, B, C) から外付け MOSFET のソースまでの配線が最短になるような配置を推奨します。Low サイドの外付け MOSFET においては、外付け MOSFET のゲートから LOx (x = A, B, C) までの配線、および EPAD からシャント抵抗の GND 側までの配線が最短になるような配置を推奨します。

なお、ゲート駆動放電電流 (ISNKH, ISNKL) は、使用する外付け MOSFET やスイッチング特性に応じて 1[A] を超える (ISRC_HS, ISRC_LS ビットに依存) ピーク電流が流れるため、アプリケーションに対応した十分な配線幅を確保してください。また、ハーフブリッジ出力の伝搬遅延に対するミスマッチを回避するため、各相の外付け部品の配置、および各配線は可能な限り対称になるようにしてください。

4.2.5 チャージポンプ

チャージポンプのフライングコンデンサ (C3)、および出力コンデンサ (C2) は可能な限り IC の付近に配置したうえで、フライングコンデンサ (C3) への CPH、および CPL 配線によるループは極力小さくなるように配線してください。同様に出力コンデンサ (C2) への VCP、および VBRIDGE 配線によるループも極力小さくなるように配線してください。また、これらの配線は充放電動作に伴う電流変化が大きいため、単層でビアを介さずに接続することを推奨します。なお、フライングコンデンサ (C3) への配線ループ、および出力コンデンサ (C2) への配線ループは、PGND 系統のプレーンにより十分に覆うことを推奨します。

4.2.6 シャント電流検出

シャント抵抗 (R1) による電流検出は両端電圧を正確に検出するため、ケルビン接続で配線を引き出し、両配線を並走、等長配線で差動アンプ入力 DAzP, DAzN (z = 1, 2, 3) へ接続することを推奨します。また、両配線へのノイズ干渉を回避するため、AGND 系統による両サイド、上層、および下層にシールドを設けるような対応も推奨します。電源配線やホール IC 配線などのノイズ源となる配線とは極力離して配線をするを推奨します。ノイズ除去を目的として DAzP, DAzN (z = 1, 2, 3) の入力直前に R-C フィルタを挿入することも可能ですが、本端子は 10[kΩ]の入力インピーダンスがあるため、ゲイン誤差が発生しないよう 20[Ω]以下の抵抗を使用してください。また、フィルタ挿入の際は、検出したい信号のタイミングと R-C フィルタによる遅れ時間を十分に考慮し、適切なカットオフ周波数を選定してください。

第5章 使用上の注意事項

5.1 高温動作に関して

本製品の使用温度プロファイルは、下記温度プロファイルを想定しております。

この使用条件の範囲内でご使用頂くよう、ご配慮をおねがいします。

高温環境 1 : $85[^\circ\text{C}] < T_a \leq 125[^\circ\text{C}]$ 1.0[hrs/day]

高温環境 2 : $55[^\circ\text{C}] < T_a \leq 85[^\circ\text{C}]$ 4.0[hrs/day]

非高温環境 : $-40[^\circ\text{C}] \leq T_a \leq 55[^\circ\text{C}]$ 19.0[hrs/day]

改版記録

Rev.	Date	Summary of Revised	Object Page
1.00	2023.06.06	・初版	ALL

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとなります。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。