

ルネサス RA ファミリ

RA2 クイックデザインガイド

要旨

このドキュメントでは、よくある質問に回答し、ハードウェアマニュアルを見直さなければ見落とされる可能性のある MCU の細かな点を指摘するものです。本書は、ハードウェアマニュアルの代わりとなるものではなく、多くのエンジニアが自身の設計を開始する時、必要な重要な項目を紹介し、マニュアルを補完することを目的としています。また、アプリケーションの観点から、設計上の決定事項を論じています

動作確認デバイス

RA2 シリーズ

目次

1. 電源	4
1.1 参考文献	5
2. エミュレータサポート	6
2.1 SWD インタフェース	7
2.2 SCI を使用したシリアルプログラミングインターフェース	8
2.3 SWD と SCI を併用したデバッグインターフェース	9
3. MCU の動作モード	10
4. オプション設定メモリ	11
4.1 オプション設定メモリレジスタ	12
5. クロック発生回路	13
5.1 リセット条件	13
5.2 クロック周波数要件	14
5.2.1 USB 通信の要件	14
5.2.2 内蔵 ROM またはデータフラッシュのプログラミングと消去に必要な要件	14
5.3 クロック発生回路 (CGC) の低消費電力化	14
5.4 システムクロックコントロールレジスタの書き込み	14
5.5 クロック設定の例	15
5.6 HOCO の精度	16
5.7 フラッシュインタフェースクロック	16
5.8 基板設計	16
5.9 外部水晶振動子の選択	16
5.10 外部クロック入力	17
6. リセット要件とリセット回路	18
6.1 端子リセット	18
6.2 パワーオンリセット	18

6.3	独立ウォッチドッグタイマのリセット	19
6.4	ウォッチドッグタイマリセット	19
6.5	電圧監視リセット	19
6.6	ソフトウェアリセット	19
6.7	その他のリセット	19
6.8	コールド/ウォームスタートの決定	19
6.9	リセット要因の特定	19
7.	メモリ	21
7.1	SRAM	22
7.2	周辺 I/O レジスタ	22
7.3	内蔵フラッシュメモリ	22
7.3.1	バックグラウンド動作	23
7.3.2	ID コード保護	23
7.3.3	メモリ保護ユニット	24
7.4	エンディアンの制限	25
8.	レジスタの書き込み保護	25
9.	I/O ポートの設定	26
9.1	マルチファンクションピン選択の設計方法	26
9.2	ポートを GPIO として設定して使用する方	27
9.2.1	内部プルアップ	28
9.2.2	オープンドレイン出力	28
9.2.3	ポート駆動能力	28
9.3	ポート周辺機能の設定と使用	29
9.4	IRQ ピンの設定と使い方	30
9.5	未使用ピン	31
9.6	存在しないピン	32
9.7	電气的特性	32
10.	モジュール停止機能	32
11.	割り込み制御ユニット	32
12.	低消費電力	34
13.	バス	37
13.1	バスエラー監視	38
13.1.1	バスエラータイプ	38
13.1.2	バスエラー発生時の動作	38
14.	24 ビットシグマデルタ A/D コンバータ (SDADC24)	38
15.	設定スイッチ付きオペアンプ (OPAMP)	40

16. 一般的なレイアウトの実践	41
16.1 デジタルドメインとアナログドメインの比較	41
16.2 高速信号設計の考慮事項	42
16.3 信号グループの選択	43
17. 参照	43
改訂記録	45

1. 電源

RA2 シリーズには、デジタル電源とアナログ電源があります。電源は次のピンを使用します。

表 1. デジタル電源

記号	名称	説明
VCC	電源	電源ピンです。システム電源に接続します。VCC ピンの近くに配置された 0.1 μ F コンデンサを介して VSS に接続します。
VSS	グラウンド	グラウンド
VCL	電源	VCL ピンに近いコンデンサを介して VSS に接続します。コンデンサ容量は MCU グループで異なります。
VCC_USB ^{*1}	USB FS 電源	USB フルスピード用の電源ピンです。このピンを VCC に接続します。VCC_USB ピンの近くに配置された 0.1 μ F コンデンサを介し、VSS_USB に接続します。
VSS_USB	USB FS グラウンド	USB フルスピード用のグラウンドピンです。このピンを VSS に接続します。
VCC_DCDC ^{*2}	スイッチングレギュレータ電源	DCDC モード：このピンを VCC に接続します。VCC_DCDC ピンの近くに配置された 1.0 μ F コンデンサを介し、VSS に接続します。 LDO モード：開放してください。
VSS_DCDC ^{*2}	スイッチングレギュレータグラウンドピン	DCDC モード：VSS に接続してください。 LDO モード：開放してください。
VLO	スイッチングレギュレータピン	DCDC モード：外部インダクタに接続し、それを VCL ピンに接続してください。インダクタとコンデンサは、ピンの近くに配置してください。

注 1： RA2A1 専用です。VCC_USB は入力または出力となります。入力の場合は、USB トランシーバに電源を供給します。出力の場合は、USB LDO レギュレータからの電圧出力であり、外付けコンデンサが必要です。USB LDO レギュレータを使用しない場合は、VCC に接続してください。レギュレータを使用する場合は、1.0 μ F のコンデンサを介して VSS に接続してください。

注 2： RA2L1 専用です。実装のガイドラインについては、RA2L1 ユーザーズマニュアル ハードウェア編「内部電圧レギュレータ」を参照してください。

表 2. アナログ電源

記号	名称	説明
AVCC0 ^{*3}	アナログ電源	各モジュールのアナログ電圧供給ピンです。このピンを VCC ピンと同じ電圧に接続します。
AVSS0 ^{*3}	アナロググランド	各モジュールのアナロググランドです。このピンを VSS ピンと同じ電圧に接続します。
VREFH0 ^{*1}	12 ビット ADC 基準電圧	12 ビット A/D 用基準電圧入力ピンです。これらの機能を使用しない場合、このピンを AVCC0 に接続してください。 ^{*4}
VREFL0 ^{*1}	12 ビット ADC 基準電圧	12 ビット A/D コンバータのアナログ基準グランドピンです。12 ビット A/D コンバータを使用しない場合は、AVSS0 に接続してください。 ^{*4}
VREFH ^{*2}	12 ビット DAC アナログ電源	D/A コンバータの基準電圧入力ピンです。D/A コンバータを使用しない場合は、このピンを AVCC0 に接続してください。
VREFL ^{*2}	12 ビット DAC アナロググランド	D/A コンバータの基準グランドピンです。D/A コンバータを使用しない場合は、AVSS0 に接続してください。
AVCC1 ^{*2}	24 ビット SDADC アナログ電源電圧	24 ビット SDADC モジュールのアナログ電圧供給ピンです。
AVSS1 ^{*2}	24 ビット SDADC アナロググランド	24 ビット SDADC モジュールのアナロググランドピンです。
VREF1 ^{*2}	24 ビット SDADC 外部基準電源	24 ビット SDADC 用の外部電圧基準であり、SBIAS 出力と多重化されています。このピンは入力として、0.8V から 2.4V の電圧範囲で、0.2V の刻みで設定されます。このピンを 0.22μF のコンデンサを介して AVSS1 に接続してください。

注 1: RA2A1 では、16 ビット ADC に適用されます。

2: RA2A1 のみ存在します。

3: RA2E2 にはありません。

4: RA2E2 の場合、12 ビット ADC を使用しない場合は、VREFH0 を VCC に、VREFL0 を VSS に接続してください。

1.1 参考文献

RA2 シリーズの電源に関する詳細は、以下のドキュメントを参照してください。:

- R01UH0888 RA2A1 グループ、RA2A1 グループ ユーザーマニュアル ハードウェア編
- R01UH0852 RA2E1 グループ、RA2E1 グループ ユーザーマニュアル ハードウェア編
- R01UH0919 RA2E2 グループ、RA2E2 グループ ユーザーマニュアル ハードウェア編
- R01UH0853 RA2L1 グループ、RA2L1 グループ ユーザーマニュアル ハードウェア編

Arm Cortex-M4 と Arm Cortex-M33 のデバイスでは、チャプター番号が異なる場合があります。

第 1 章「概要」では、各パッケージの電源ピンと推奨バイパスコンデンサを記載しています。

第 5 章「リセット」では、パワーオンリセットと他のリセットソースとの区別方法について説明します。

第 7 章「低電圧検出」では、電源の監視に使用する低電圧検出回路の詳細を説明します。

第 6 章「オプション設定メモリ」では、起動時に自動的に低電圧検出 0 回路を有効にする方法について説明します。

オンチップ ADC（アナログデジタルコンバータ）または DAC（デジタルアナログコンバータ）を使用する場合は、それぞれのハードウェアユーザーマニュアルの次の章を参照してください。これらの周辺機器に対してフィルタリングされた電源を提供する方法の詳細を参照してください。:

- 12 ビット A/D コンバータ (ADC12)
- 16 ビット A/D コンバータ (ADC16)
- 24 ビットシグマデルタ A/D コンバータ (SDADG24)
- 8 ビット D/A コンバータ (DAC8)
- 12 ビット D/A コンバータ (DAC12)

表 3. RA2 シリーズ、ユーザーズマニュアル：ハードウェア

章名	説明
概要	各パッケージの電源ピンをリストアップし、終端とバイパスの注意事項をしめします。
リセット	パワーオンリセットについて説明し、他のリセットソースと区別する方法について説明します。
低電圧検出	電源の監視に使用できる低電圧検出回路の詳細を説明します。
低電力モード	低電力モードを使用すると、電源電圧を下げる場合があります。動作モードが電源要件への影響については、本章を参照してください。
12 ビット A/D コンバータ 16 ビット A/D コンバータ 24 ビットシグマデルタ A/D コンバータ 8 ビット D/A コンバータ 12 ビット D/A コンバータ	オンチップ A/D や D/A コンバータを使用する場合、これらの周辺機器のためにフィルタリングされた電源を提供する方法について、これらの章を参照してください。オンチップ A/D や D/A コンバータを使用する場合、これらの周辺機器のためにフィルタリングされた電源を提供する方法について、これらの章を参照してください。
クロック発生回路	PCB 設計の推奨を含め、利用可能なクロック構成と使用方法について詳細に説明します。

2. エミュレータサポート

RA2 シリーズは、SWD や JTAG 通信を使ったデバッグと、SCI 通信を使ったシリアルプログラミングの両方をサポートしています。本エミュレータを使用することで、デバッグとシリアルプログラミングを簡単に切り替えることができます。

SWD または JTAG エミュレータインタフェースは、ARM 標準の 10 ピンまたは 20 ピンソケットに接続する必要があります。SCI 通信を使用したシリアルプログラミング用に、MD、TXD、RXD ピンが追加されています。

エミュレータは、製品開発やプロトタイプングには便利ですが、設計が生産に移行すると不要になる場合があります。エミュレータが不要になった場合は、関連する MCU ユーザーズマニュアル ハードウェア編の「未使用ピンの取り扱い」に従ってポートを設定してください。また、本書の 9.5 項も参照してください。

2.1 SWD インタフェース

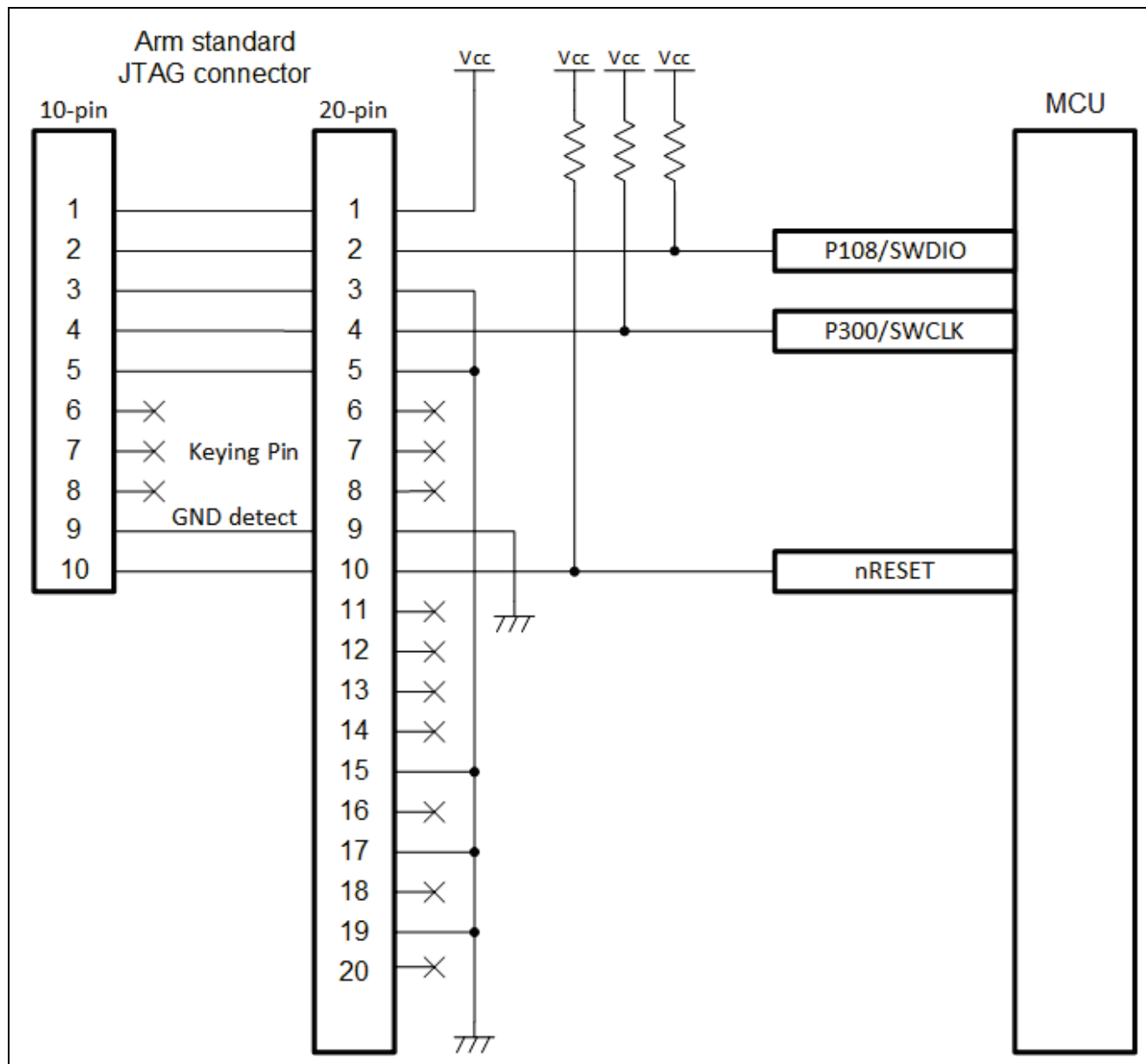


図 1. SWD インタフェースの接続

注 1 : ユーザシステムのリセット回路の出力は、オープンコレクタである必要があります。

2.2 SCI を使用したシリアルプログラミングインターフェース

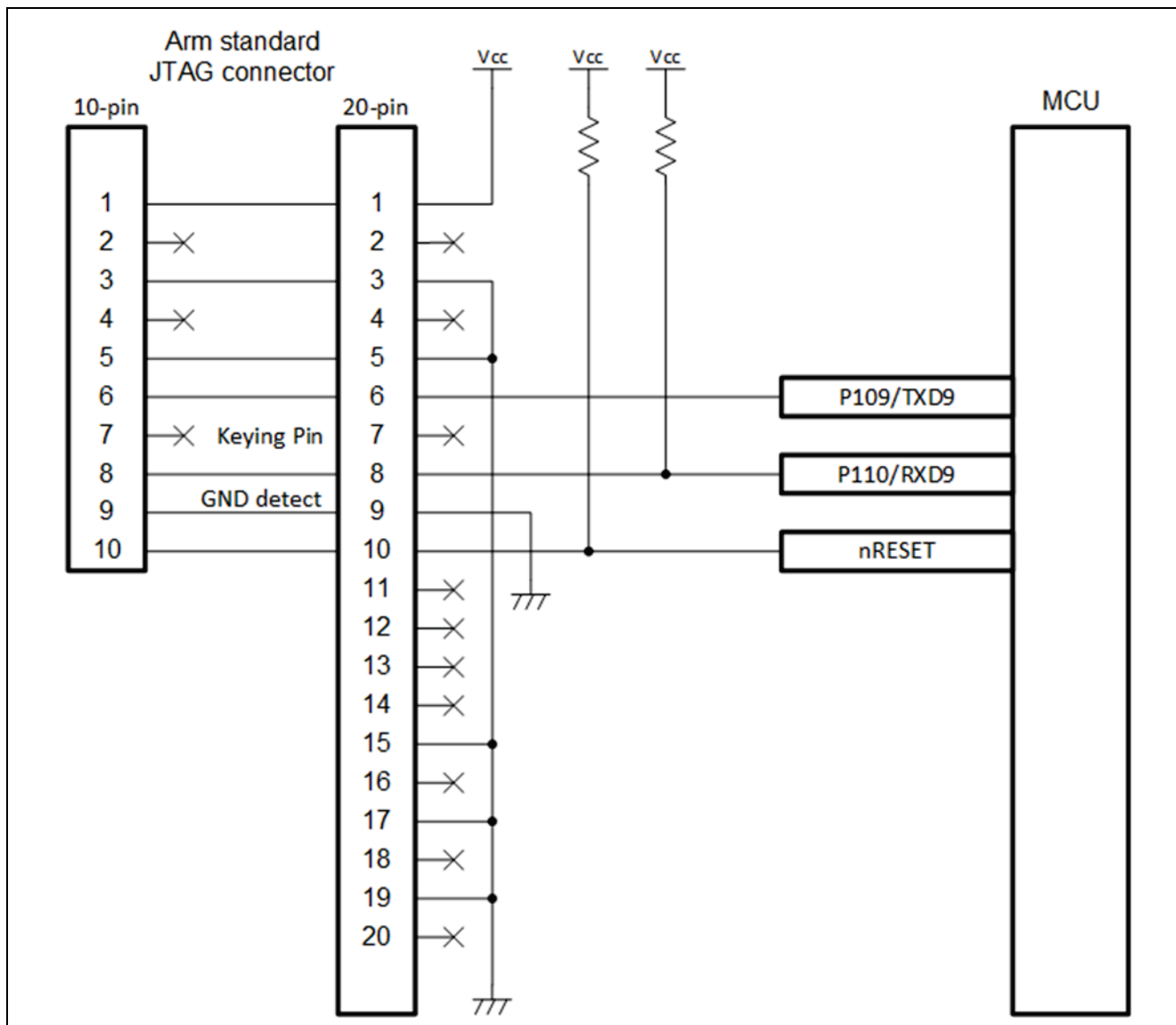


図 2. SCI を使用したシリアルプログラミングインターフェース

注：1. ユーザシステムのリセット回路の出力は、オープンコレクタである必要があります。

2.3 SWD と SCI を併用したデバッグインタフェース

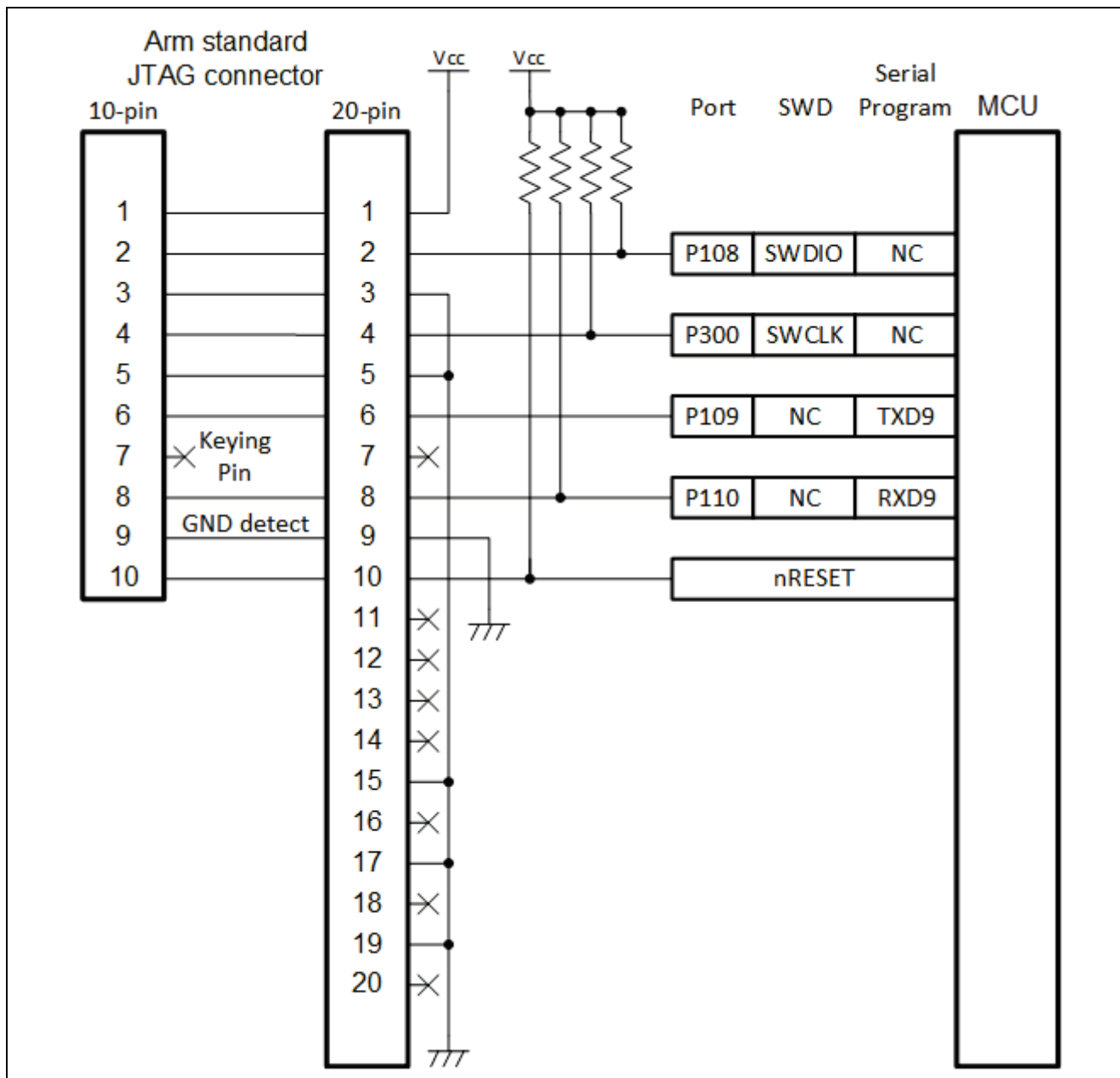


図 3. SCI 接続による SWD とプログラミングの両方が可能なデバッグインタフェース

注: 1. ユーザシステムのリセット回路の出力は、オープンコレクタである必要があります。

3. MCU の動作モード

RA2 シリーズはリセット後に、シングルチップモードまたは SCI / USB ブートモードのいずれかのモードに入ることができます。ブートモードは、MD ピンによって選択されます。:

表 4. リセット後に有効な動作モード

動作モード	MD	内蔵フラッシュメモリ
シングルチップモード	1	有効
SCI/USB ブートモード	0	有効

図 4 は、モード設定ピンによって決定される動作モードの移行。

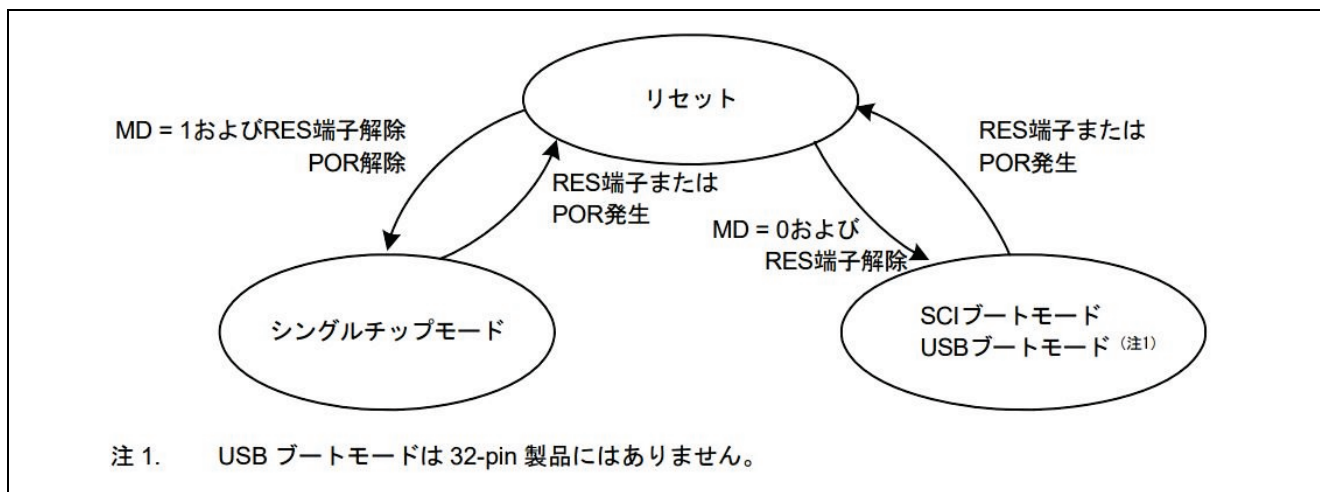


図 4. モード設定ピンレベルと動作モード

USB ブートモードは、RA2A1 など USB フルスピードの周辺機器を持つデバイスでのみ利用可能です。USB ブートモードは RA2A1 グループの 32 ピン製品に存在しません。

典型的な MCU ブートモード回路には、MD ピンを VCC またはグラウンドに接続するためのジャンパと複数の抵抗で構成されます。

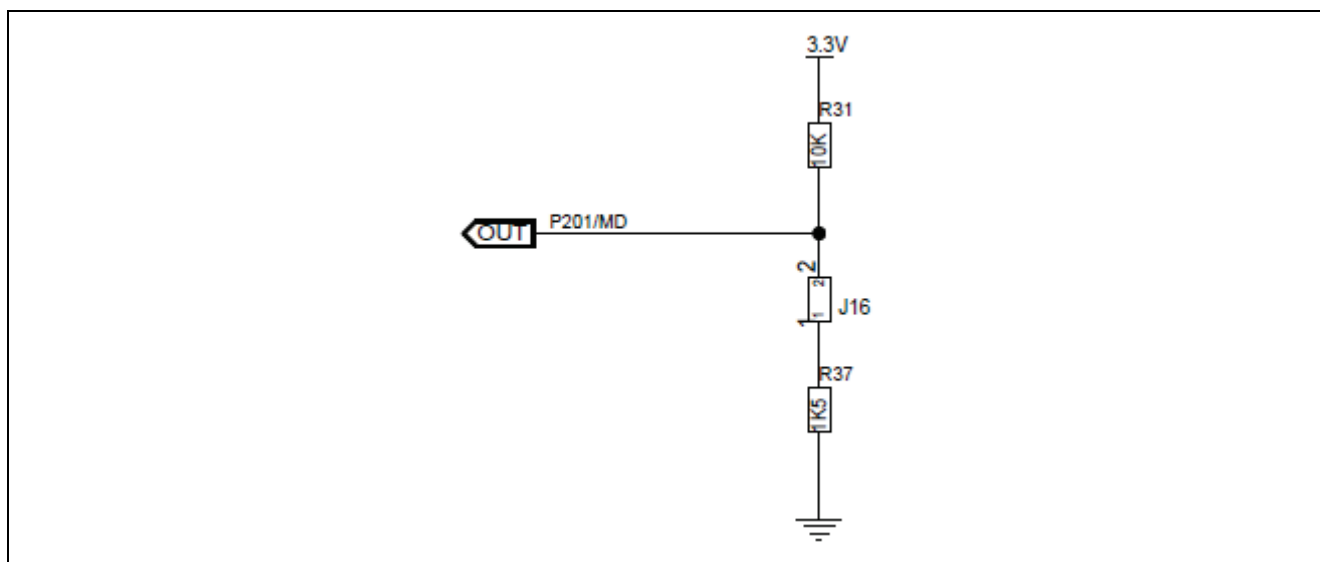


図 5. MCU ブートモード選択の典型的な回路

4. オプション設定メモリ

オプション設定用メモリは、リセット後の MCU の状態を決定するものです。フラッシュメモリのコンフィギュレーション設定領域とプログラムフラッシュ領域に割り当てられています。利用可能な設定方法は、2つの領域で異なります。

レジスタは、ユーザーズマニュアルハードウェアの「オプション設定メモリ」で詳細に説明されています。

これらのレジスタは、コードフラッシュメモリマップの一部を占めているため、お客様がこれらの場所に誤ってデータを保存(上書き)する可能性があります。

ユーザは、これらの場所に不要なデータが書き込まれないように確認する必要があります。そうでないと、チップの予期しない動作が発生する可能性があります。たとえば、フラッシュオプションレジスタの設定により、リセット直後に独立ウォッチドッグタイマー (IWDT) が有効になることがあります。プログラム ROM に誤って格納されたデータがオプション設定メモリレジスタと重なる場合、IWDT が誤ってオンになる可能性があります。これにより、デバッガとボードとの通信に問題が発生します。

下図は、RA2A1 のオプション機能選択レジスタで構成されるオプション設定メモリ領域です。オプション設定メモリは、各デバイスに異なる場合があります。デバイスの詳細については、MCU ユーザーズマニュアルを参照してください。

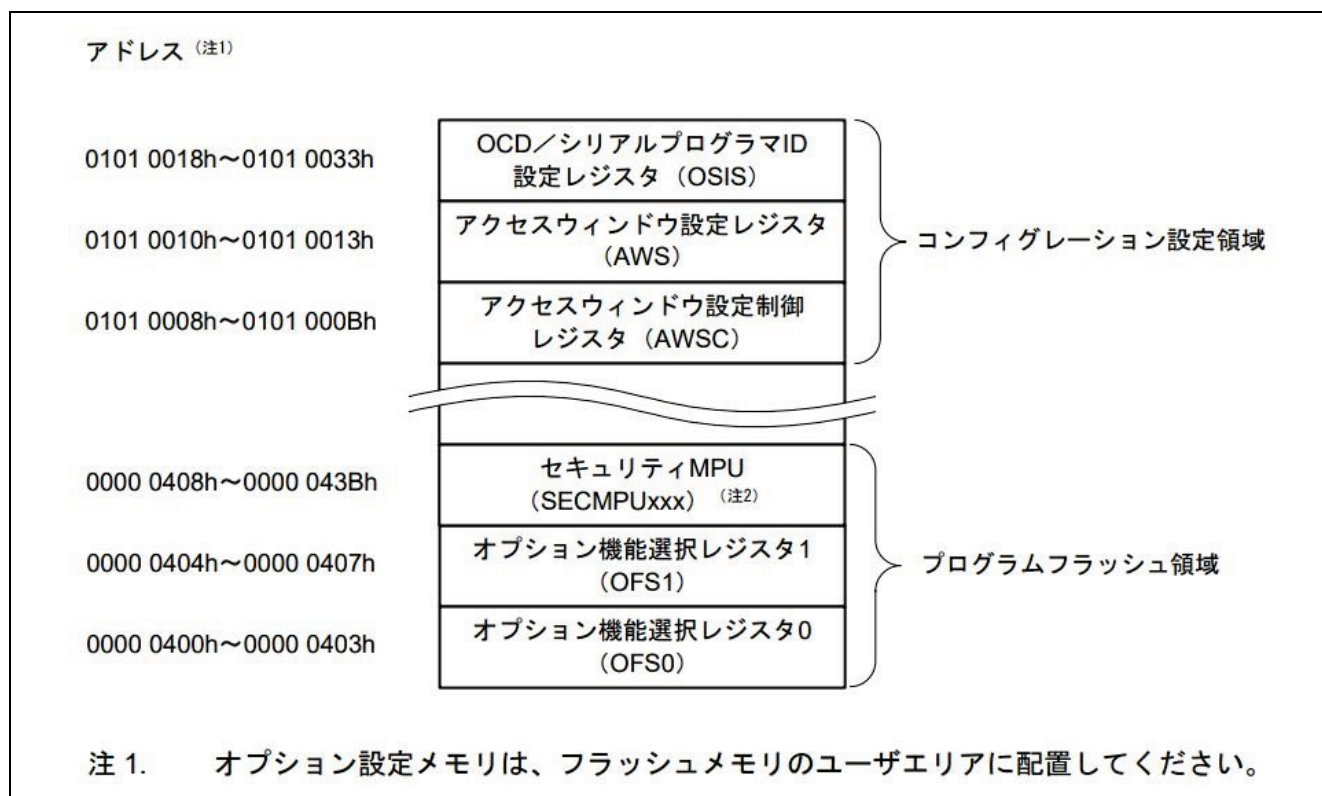


図 1. RA2A1 のオプション機能選択レジスタ

4.1 オプション設定メモリレジスタ

以下はオプション設定メモリレジスタの概要です。起動前に正しく設定されていることを確認してください。

- OFS0 レジスタ
 - 独立ウォッチドッグタイマ (IWDT) 自動起動
 - IWDT タイムアウト、周波数、ウィンドウ表示、割り込みタイプ、および低電力モードの動作
 - ウォッチドッグタイマ (WDT) 自動起動
 - WDT タイムアウト、周波数、ウィンドウ表示、および割り込みタイプ
- OFS1 レジスタ
 - リセット後の LVD0 有効化
 - リセット後の HOCO 起動

ルネサス FSP コンフィギュレータは、RA2A1 MCU の図 7 に示されるように、BSP 設定でオプションメモリの設定をサポートしています。

プロパティ	値
> R7FA2A1AB3CFM	
> RA2A1	
▼ RA2A1 Family	
▼ OFS0 register settings	
▼ Independent WDT	
Start Mode	IWDT is Disabled
Timeout Period	2048 cycles
Dedicated Clock Frequency Divisor	128
Window End Position	0% (no window end position)
Window Start Position	100% (no window start position)
Reset Interrupt Request Select	Reset is enabled
Stop Control	Stop counting when in Sleep, Snooze mode, or Software Standby
▼ WDT	
Start Mode Select	Stop WDT after a reset (register-start mode)
Timeout Period	16384 cycles
Clock Frequency Division Ratio	128
Window End Position	0% (no window end position)
Window Start Position	100% (no window start position)
Reset Interrupt Request	Reset
Stop Control	Stop counting when entering Sleep mode
▼ OFS1 register settings	
Voltage Detection 0 Circuit Start	Voltage monitor 0 reset is disabled after reset
Voltage Detection 0 Level	1.90 V
HOCO Oscillation Enable	HOCO oscillation is enabled after reset
> MPU	
Use Low Voltage Mode	Disabled
Main Oscillator Wait Time	262144 cycles
ID Code Mode	Unlocked (Ignore ID)
ID Code (32 Hex Characters)	FFFFFFFFFFFFFFFFFFFFFFFFFFFFFFFF
> RA Common	

図 7. RA2A1 MCU の FSP 設定におけるオプションメモリ設定

5. クロック発生回路

RA2 シリーズには 6 つの主要な発振器があります。これらのうち 5 つは、メインシステムクロックのソースとして使用することができます。残りの 1 つの発振器は独立ウォッチドッグタイマに割り当てられています。一般的なシステムでは、外部の水晶やクロックでメインクロックが駆動されます。この入力 PLL に送られ、PLL クロックに乗算され、メインシステムクロック (ICLK)、フラッシュクロック、周辺モジュールクロック、外部バスクロック、トレースクロック、USB クロックに分周されます。ICLK は、さらに CPU クロック、DMAC クロック、内部フラッシュクロック、SDRAM クロックに使用されます。クロック発生回路のブロック図については、ユーザーズマニュアル ハードウェア編の「クロック発生回路」を参照してください。

各クロックには、特定の許容範囲とタイミング値があります。周波数とクロックタイミングの仕様については、ユーザーズマニュアル ハードウェア編の「電気的特性」の「AC 特性」を参照してください。各クロック周波数間の関係については、ユーザーズマニュアルハードウェア編の「クロック発生回路」を参照してください。

表 1. RA2 シリーズ オシレータ

発振器	入力ソース	周波数	主な用途
メインクロック ^{*4} (MOSC)	外部水晶振動子 -or-	1 MHz ~20 MHz ^{*3}	メインシステムクロック (ICLK)、 ペリフェラルクロック、CAN クロ ック、CAC クロック、CLKOUT、フラッ シュクロック ^{*3} 、SDADC クロック ^{*1}
	外部クロック	最大 20 MHz まで	
サブクロック ^{*4} (SOSC)	外部水晶振動子/ 共振器	32.768 kHz	リアルタイムクロック、低消費電力 モード時のメインシステムクロック (ICLK)、CLKOUT、AGT クロック、 CAC クロック、リアルタイムクロ ック
高速オンチップオシ レータ (HOCO)	内蔵発振器	24/32/48/64 MHz	メインシステムクロック (ICLK)、 ペリフェラルクロック、CAC クロ ック、CLKOUT、USB クロック ^{*2} 、SDADC クロック ^{*1}
中速オンチップオシ レータ (MOCO)	内蔵発振器	8 MHz	起動時メインシステムクロック (ICLK)、ペリフェラルクロック、 CLKOUT、CAC クロック
低速オンチップオシ レータ (LOCO)	内蔵発振器	32.768 kHz	低消費電力モード時および主発振器 停止検出時のメインシステムクロ ック (ICLK)、ペリフェラルクロ ック、スティックタイマー、AGT ク ロック、CLKOUT、CAC クロック、リ アルタイムクロック、独立ウォッチ ドッグタイマークロック
独立ウォッチドッグ (IWDG)	内蔵発振器	15 kHz	独立ウォッチドッグタイマークロ ック、CAC クロック

注 1: SDADC クロックは RA2A1 デバイスのみに存在します。

2: USB クロックは RA2A1 デバイスのみに存在します。

3: RA2A1 デバイスでは、フラッシュクロック (FCLK) は MOSC から独立して駆動され、MOSC、SOSC、HOCO、MOCO、または LOCO から供給されることがあります。

4: RA2E2 には存在しません。

RA2E2 など一部のデバイスでは、外部水晶発振子やクロックは接続できません。この場合、メインクロックの発振源はオンチップオシレータに限定されます。

5.1 リセット条件

RA2 シリーズは、リセット後、中速オンチップオシレータ (MOCO) をメインクロックソースとして動作を開始します。リセット時に、メイン発振器と PLL はデフォルトでオフになっています。HOCO と IWDG は、オプション設定メモリの設定に応じてオンまたはオフにすることができます。(4 章を参照)

5.2 クロック周波数要件

最小と最大の周波数を以下の表に示します。外部および内部クロックソースの仕様を含め、ユーザーズマニュアル ハードウェア編の「クロック発生回路」の「概要」に詳細が記載されています。さらに詳細は、MCU ユーザーズマニュアル ハードウェア編の「電気的特性」の「AC 特性」にも記載されています。

表 2. RA2 MCU シリーズ内部クロックの周波数範囲

	ICLK ⁴	PCLKB	PCLKD	FCLK ¹	UCLK ²	CANMCLK ³
最大周波数 [MHz]	48	32	64	32	48	20
最小周波数 [MHz]	–	–	–	1	48	1

注 1: RA2A1 のみ。ROM やデータフラッシュのプログラミングや消去を行う場合は、FCLK を 1MHz 以上の周波数で動作させる必要があります。

2: USB 周辺機能を持つデバイスの場合。

3: CAN 周辺機能を持つデバイスの場合。

4: RA2E1、RA2E2、RA2L1 では、ROM またはデータフラッシュをプログラミングまたは消去する場合、ICLK は少なくとも 1MHz の周波数で動作する必要があります。

5.2.1 USB 通信の要件

USB 2.0 フルスピードモジュール (USBFS) では、48 MHz の USB クロック信号 (UCLK) が必要です。

USBFS モジュールを搭載した RA2 シリーズでは、HOCO が UCLK のクロックソースとなります。したがって、USBFS モジュールを使用する場合は、HOCO を 48 MHz の動作に設定する必要があります。

5.2.2 内蔵 ROM またはデータフラッシュのプログラミングと消去に必要な要件

RA2A1 では、内蔵 ROM とデータフラッシュのプログラミングと消去を行うには、FCLK が 1MHz 以上である必要があります。

他のすべての RA2 シリーズでは、内蔵 ROM とデータフラッシュのプログラミングと消去を実行するには、ICLK が 1MHz 以上である必要があります。

5.3 クロック発生回路 (CGC) の低消費電力化

節電のため、未使用のクロックの分周器を可能な限り大きな値に設定してください。また、クロックを使用しない場合は、適切なレジスタを設定し、クロックが停止していることを確認してください。各クロックソースを制御するためのレジスタを下表に示します。

表 3. クロックソースコンフィギュレーションレジスタ

発振器	レジスタ	説明
メインクロック ^{*1}	MOSCCR	メインクロック発振器の起動/停止
サブクロック ^{*1}	SOSCCR	サブクロック発振器の起動/停止
高速オンチップ (HOCO)	HOCOCR	HOCO の起動/停止
中速オンチップ (MOCO)	MOCOCR	MOCO の起動/停止
低速オンチップ (LOCO)	LOCOCR	LOCO の起動/停止

注 1: RA2E2 には存在しません。

5.4 システムクロックコントロールレジスタの書き込み

システムクロック分割コントロールレジスタ (SCKDIVCR)、システムクロック源コントロールレジスタ (SCKSCR) の個々のビットフィールドに書き込む際には注意が必要です。

周辺モジュールクロックのクロックソースが切り替えられると、クロックソース移行期間中、周辺モジュールクロック周期の期間が長くなります。図 8 を参照してください。

クロック周波数変更後の処理を正しく行うには、まず関連するクロック制御レジスタに書き込んで周波数を変更し、次にレジスタから値を読み出してから、その後の処理を行うようにします。

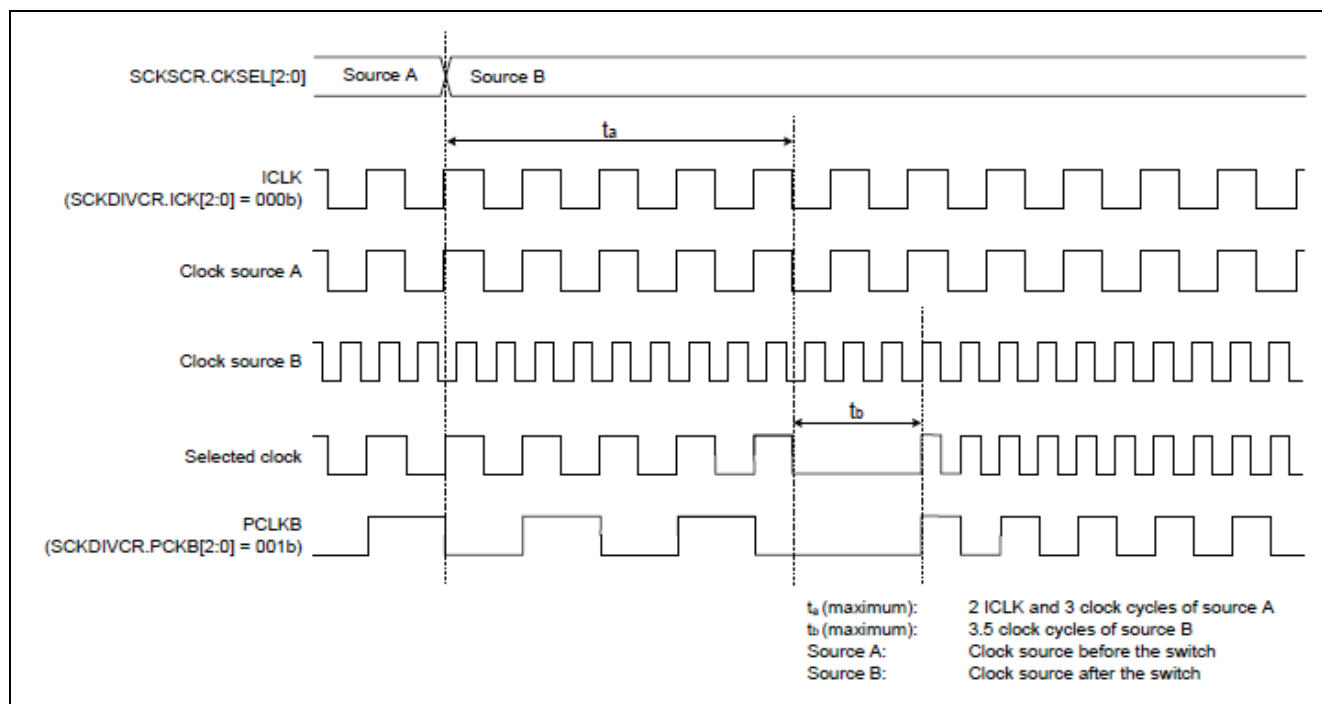


図 2. クロックソース切替のタイミング

5.5 クロック設定の例

ルネサス FSP は、RA2A1 向けに、以下のようなシンプルで視覚的なクロック設定ツールを提供します。このコンフィギュレータは、ユーザーズマニュアル ハードウェア編に記載されている適切な注意事項に従って、ユーザの選択に基づいてクロック生成回路を初期化するためにボードサポートパッケージ内のコードを設定します。

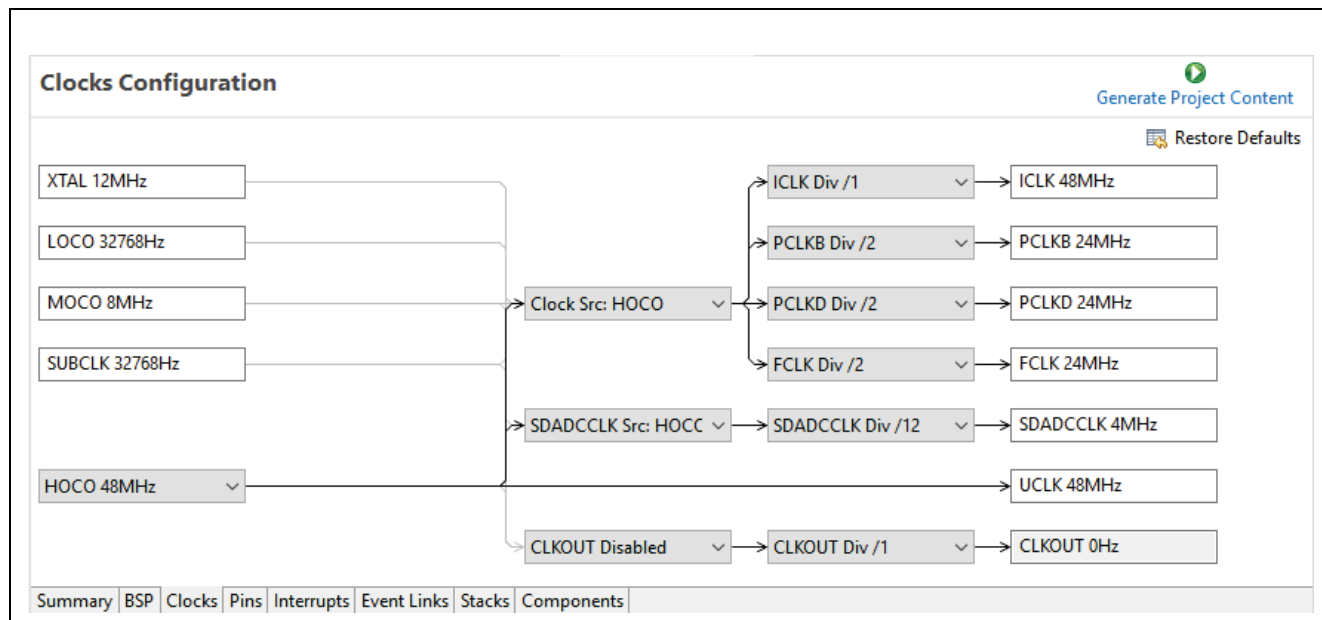


図 3. ルネサス FSP コンフィギュレータによるクロック設定

5.6 H0C0 の精度

RA2 シリーズの内部高速オンチップオシレータ (H0C0) は、24MHz、32MHz、48MHz、64MHz で動作し、標準精度は $\pm 2\%$ 以上です。H0C0 の精度仕様は、さまざまな周囲動作温度 (T_a) 範囲に対して特徴づけられています。希望する温度範囲でのクロック精度仕様については、ユーザーズマニュアル ハードウェア編の「電気的特性」を参照してください。

H0C0 は PLL 回路の入力として使用することができます。H0C0 をこのように使用する場合、外部発振器は必要ありません。これは、PCB 設計で部品数を減らす必要がある場合や、スペースの制約などがある場合には利点となります。ただし、クロックの精度による性能のトレードオフや制限があるため、アプリケーションに応じて評価する必要があります。

RA2E2 デバイスでは、外部水晶または外部クロック入力はありません。内部クロック (H0C0、M0C0、または L0C0) を主システムクロックとして選択する必要があります。

5.7 フラッシュインタフェースクロック

RA2A1 グループでは、フラッシュインタフェースクロック (FCLK) は、内部フラッシュ (ROM および DF) のプログラムや消去、およびデータフラッシュからの読み取り時の動作クロックとして使用されます。他の RA2 シリーズでは、内部フラッシュのプログラムや消去時には ICLK が動作クロックとして使用されます。

したがって、関連するクロックの周波数設定は、データフラッシュからの読み取りにかかる時間に直接的な影響を与えます。ユーザのプログラムがデータフラッシュから読み取りを行ったり、内部フラッシュのプログラムや消去を行ったりする場合は、最大の FCLK または ICLK 周波数を使用することが推奨されます。

フラッシュプログラミングクロックは、ROM またはデータフラッシュの書き込みや消去時に少なくとも 1 MHz の周波数で動作する必要があります。ただし、クロック周波数は ROM からの読み取りや RAM への読み書きには影響を与えないのでご注意ください。

5.8 基板設計

CGC の使用方法とボード設計の推奨事項については、ユーザーズマニュアル ハードウェア編の「クロック発生回路 (CGC)」の「使用上の注意」を参照してください。

水晶振動子を使用する場合、水晶振動子とその負荷容量を MCU のクロックピン (XTAL / EXTAL、XCIN / XCOUT) にできるだけ近くに配置してください。水晶振動子と MCU の間に他の信号を配線しないでください。また、使用する VIA の数を最小限に抑えてください。

5.9 外部水晶振動子の選択

ほとんどの RA2 シリーズはメインクロック源として外部水晶共振器を使用することができます。外部水晶振動子は、MCU の EXTAL と XTAL にピンに接続されます。外部水晶振動子の周波数は、メインクロック発振器の周波数範囲内である必要があります。

水晶振動子の選択は、各基板設計に大きく依存します。RA2 シリーズでの使用に適した水晶振動子の選択肢が豊富にあるため、選択された水晶振動子の電気的特性を慎重に評価し、具体的な実装要件を決定する必要があります。

以下の図は、水晶振動子接続の典型的な例を示しています。

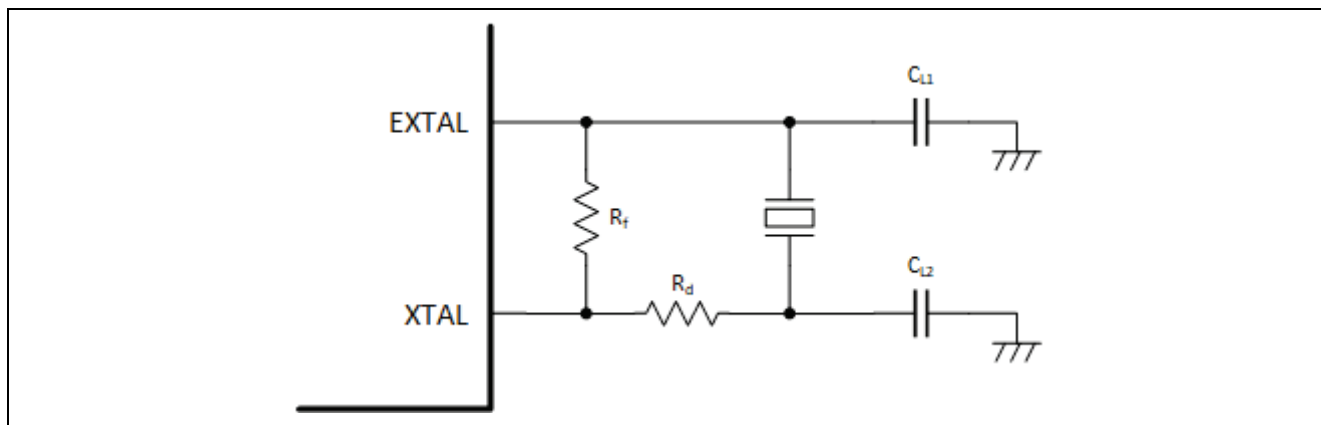


図 4. 水晶振動子の接続例

水晶振動子と関連するコンデンサを選択する際には、慎重な評価が必要です。水晶振動子メーカーが推奨する場合、外部フィードバック抵抗 (R_f) とダンピング抵抗 (R_d) を追加することができます。

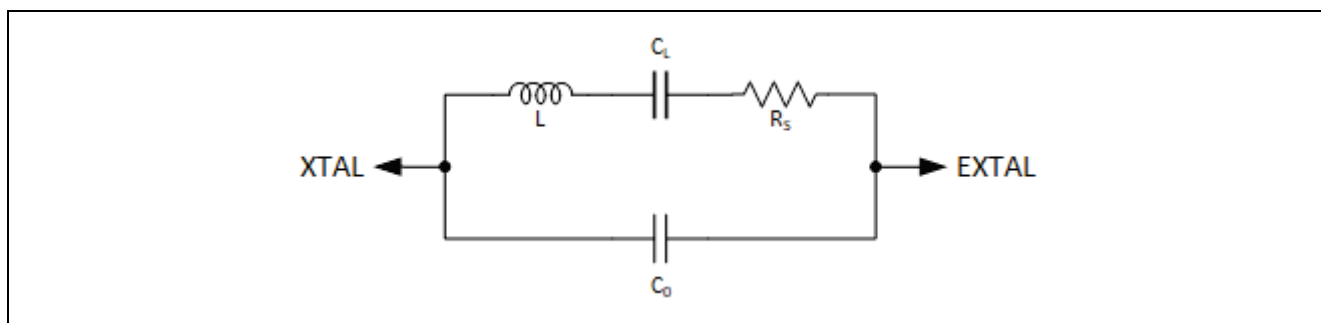


図 5. 水晶振動子の等価回路

CL1 および CL2 のコンデンサ値の選択は、内部クロックの精度に影響を与えます。CL1 および CL2 の値の影響を理解するためには、上記の図の水晶振動子の等価回路を使用して回路をシミュレーションする必要があります。より正確な結果を得るためには、水晶振動子コンポーネント間の配線に関連する浮遊容量も考慮してください。

5.10 外部クロック入力

デジタルクロック入力は、ほとんどの RA2 シリーズのメインクロック源として使用することができます。図 12 に外部クロック入力の接続例を示します。外部クロック信号で発振器を動作させるには、MOMCR. MOSEL ビットを 1 にします。XTAL 端子はハイインピーダンスになります。

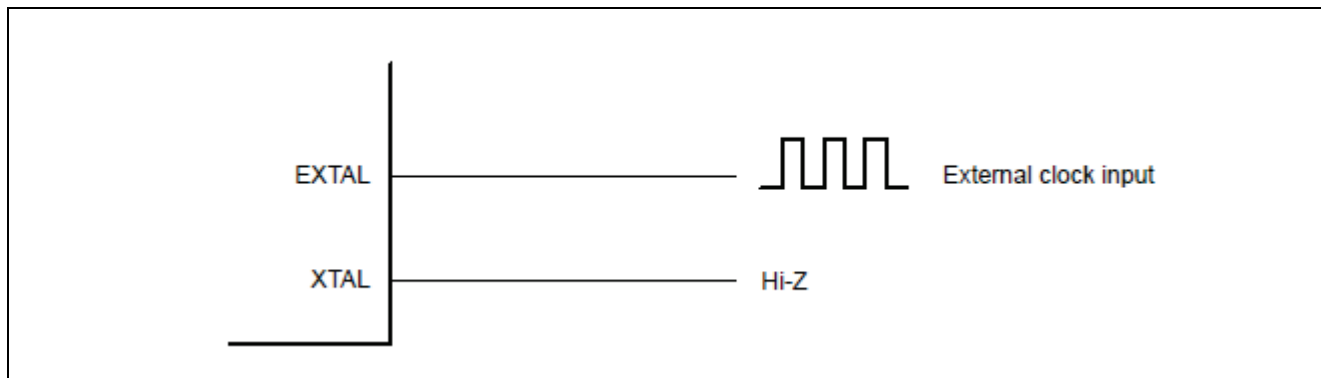


図 6. 水晶振動子の等価回路

注: 外部クロック入力の周波数は、主クロック発振器が停止しているときのみ変更可能です。
メインクロック発振器停止ビット (MOSCCR. MOSTP) の設定が 0 の場合は、外部クロック入力の周波数を変更しないでください。

6. リセット要件とリセット回路

Arm® Cortex-M23 デバイスのリセットは、12 種類または 13 種類あります。

表 8. RA2 デバイスのリセット

リセット名	ソース
ピンリセット	RES 端子への入力電圧が Low
パワーオンリセット	VCC 上昇（電圧検出：VPOR）
独立ウォッチドッグタイマリセット	IWDG がアンダーフローまたはリフレッシュエラー
ウォッチドッグタイマリセット	WDG のアンダーフローまたはリフレッシュエラー
電圧監視 0 リセット	VCC の下降（監視電圧：Vdet0）
電圧監視 1 リセット	VCC の下降（監視電圧：Vdet1）
電圧監視 2 リセット	VCC の下降（監視電圧：Vdet2）
SRAM パリティエラーリセット	SRAM パリティエラー検出
SRAM ECC エラーリセット	SRAM ECC エラー検出
バスマスタ MPU エラーリセット	バスマスタ MPU エラー検出
バススレーブ MPU エラーリセット	バススレーブ MPU エラー検出
スタックポインタエラーリセット	スタックポインタエラー検出
ソフトウェアリセット	レジスタ設定

注 1：RA2E1 グループ、RA2E2 グループには存在しません。

6.1 端子リセット

RES#ピンに Low レベルが入力されると、すべての処理が中止され、MCU はリセット状態に入ります。実行中の MCU をリセットするには、指定されたリセットパルス幅の間、RES#を Low レベルで保持する必要があります。詳細なタイミング要件については、ユーザーズマニュアル ハードウェア編の「電気的特性」の「リセットタイミング」を参照してください。また、デバッグサポートに関するリセット回路の詳細については、本書の 2 章「エミュレータサポート」を参照してください。

正しいリセットを行うために POR 回路が内部的に RES#信号を Low レベルで保持するため、外部キャパシタを RES#信号に使用する必要はありません。このプロセスを開始するには、最小限のリセットパルスが必要です。

6.2 パワーオンリセット

パワーオンリセット（POR）を発生させる条件は 2 つあります。：

1. 電源投入時に RES#ピンが高レベルの場合。
2. VCC が VPOR VPOR 以下の状態で RES# ピンが高レベルにある場合。

VCC がパワーオンリセット電圧（VPOR）を超え、パワーオンリセット時間（tPOR）が経過した後、チップはパワーオンリセット状態から解除されます。パワーオンリセット時間は、外部電源と MCU を安定させるための時間です。電圧レベルやタイミングの詳細については、ユーザーズマニュアルハードウェアの「電気的特性」の「POR および LVD 特性」を参照してください。

POR 回路は、VCC と同時に RES#が High 状態であることに依存していますので、リセットピンにコンデンサを配置しないでください。これにより、RES#の立ち上がり時間が VCC に対して遅くなり、POR 回路がパワーオンの状態を正しく認識できなくなる可能性があります。

電源（VCC）が VPOR 以下になるかその時点で RES#ピンが高レベルの場合、パワーオンリセットが発生します。VCC が VPOR を超え、tPOR が経過した後、チップはパワーオン状態から解放されます。

パワーオンリセット後、RSTSRO の PORF ビットは 1 に設定されます。ピンリセットの後、PORF は 0 にクリアされます。

6.3 独立ウォッチドッグタイマのリセット

独立ウォッチドッグタイマ（IWDТ）により発生する内部リセットです。

IWDТ がアンダーフローすると、独立ウォッチドッグタイマリセットがオプションで発生可能（NMI を生成することも可能）。そして RSTSR1 の IWDTRF ビットが 1 に設定されます。短い遅延（通常 320 μ s）の後、IWDТ リセットがキャンセルされます。詳細なタイミングは、MCU のユーザーズマニュアルを参照してください。

6.4 ウォッチドッグタイマリセット

これはウォッチドッグタイマ（WDT）によって発生する内部リセットです。

WDT がアンダーフローすると、オプションでウォッチドッグタイマリセットが発生可能（NMI を生成することも可能）。そして RSTSR1 の WDTRF ビットが 1 に設定されます。短い遅延時間の後、WDT リセットはキャンセルされます。具体的なタイミングは、MCU ユーザーズマニュアルを参照してください。

6.5 電圧監視リセット

RA2 MCU シリーズは、ブラウンアウト時に安全な動作を維持するための回路が含まれています。0 オンボードコンパレータは、電源電圧を 3 つの基準電圧（Vdet0、Vdet1、Vdet2）に対して比較します。供給電圧が各基準電圧を下回ると、割り込みまたはリセットが発生可能です。検出電圧 Vdet0、Vdet1、Vdet2 は、それぞれ 3 つのレベルから選択可能です。

後に Vcc が Vdet0、Vdet1、Vdet2 を上回ると、安定化時間が経過した後に電圧監視リセットから解除されます。低電圧検出はパワーオンリセット後に無効になります。電圧監視は、オプション機能レジスタ OFS1 を使用することで有効にすることができます。詳細については、ユーザーズマニュアルハードウェアの「低電圧検出（LVD）」を参照してください。

LVD リセット後、RSTSRO の LVDnRF（n = 0、1、2）ビットが 1 に設定されます。

6.6 ソフトウェアリセット

Arm コアの AIRCR レジスタの SYSRESETREQ ビットをソフトウェアで設定することで発生する内部リセットです。SYSRESETREQ ビットが 1 に設定されると、ソフトウェアリセットが生成されます。ソフトウェアリセットが発生してから内部リセット時間（tRESW2）が経過すると、内部リセットは解除され、CPU はリセット例外処理を開始します。具体的なタイミングはユーザーズマニュアル ハードウェア編を参照してください。

SYSRESETREQ ビットの詳細については ARM® Cortex®-M23 Technical Reference Manuals を参照してください。

6.7 その他のリセット

MCU 内のほとんどの周辺機能は、特定の障害条件下でリセットが発生することができます。これらのリセットを有効にするためには、ハードウェア構成は必要ありません。各周辺機能に対してリセットが発生する条件の詳細については、ユーザーズマニュアル ハードウェア編の関連する章を参照してください。

6.8 コールド/ウォームスタートの決定

RA2 MCU シリーズでは、リセット処理の原因をユーザが判断することができます。RSTSR2 の CWSF フラグは、パワーオンリセットによるリセット処理（コールドスタート）か、動作中のリセット信号入力によるリセット処理（ウォームスタート）かを示しています。

パワーオンリセットが発生した場合、フラグは 0 に設定されます。それ以外の場合は 0 になりません。ソフトウェア経由で 1 が書き込まれると、フラグは 1 に設定されます。0 が書き込まれた場合でも、0 に設定されません。

6.9 リセット要因の特定

リセット要因の特定 RA2 MCU シリーズでは、ユーザはリセット信号の発生元を特定することができます。リセットの原因を特定するには、RSTSRO、RSTSR1、RSTSR0 を読み取ります。フロー図については、ユーザーズマニュアル ハードウェア編の「リセット発生要因の特定」を参照してください。

以下のコードサンプルは、ルネサス FSP の CMSIS ベースのレジスタ構造を用いて、ソフトウェアリセット、ディープソフトウェアスタンバイ、パワーオンリセットによるリセットが発生したかどうかを判定する方法です。

```
/* Power on Reset */
if(1 == R_SYSTEM->RSTSR0_b.PORF)
{
    /* Do something */
}

/* Software Reset */
if(1 == R_SYSTEM->RSTSR1_b.SWRF)
{
    /* Do something */
}
```

7. メモリ

RA2 MCU シリーズは、0000 0000h から FFFF FFFFh までの 4GB のリニアアドレス空間をサポートし、プログラム、データ、および外部メモリバスを含むことができます。プログラムメモリとデータメモリはアドレス空間を共有しており、それぞれにアクセスするために別々のバスが使用されており、パフォーマンスが向上し、プログラムとデータの同時アクセスが可能です。メモリマップ内には、オンチップ RAM、周辺 I/O レジスタ、プログラムコードフラッシュ、データフラッシュ用の領域が含まれています。

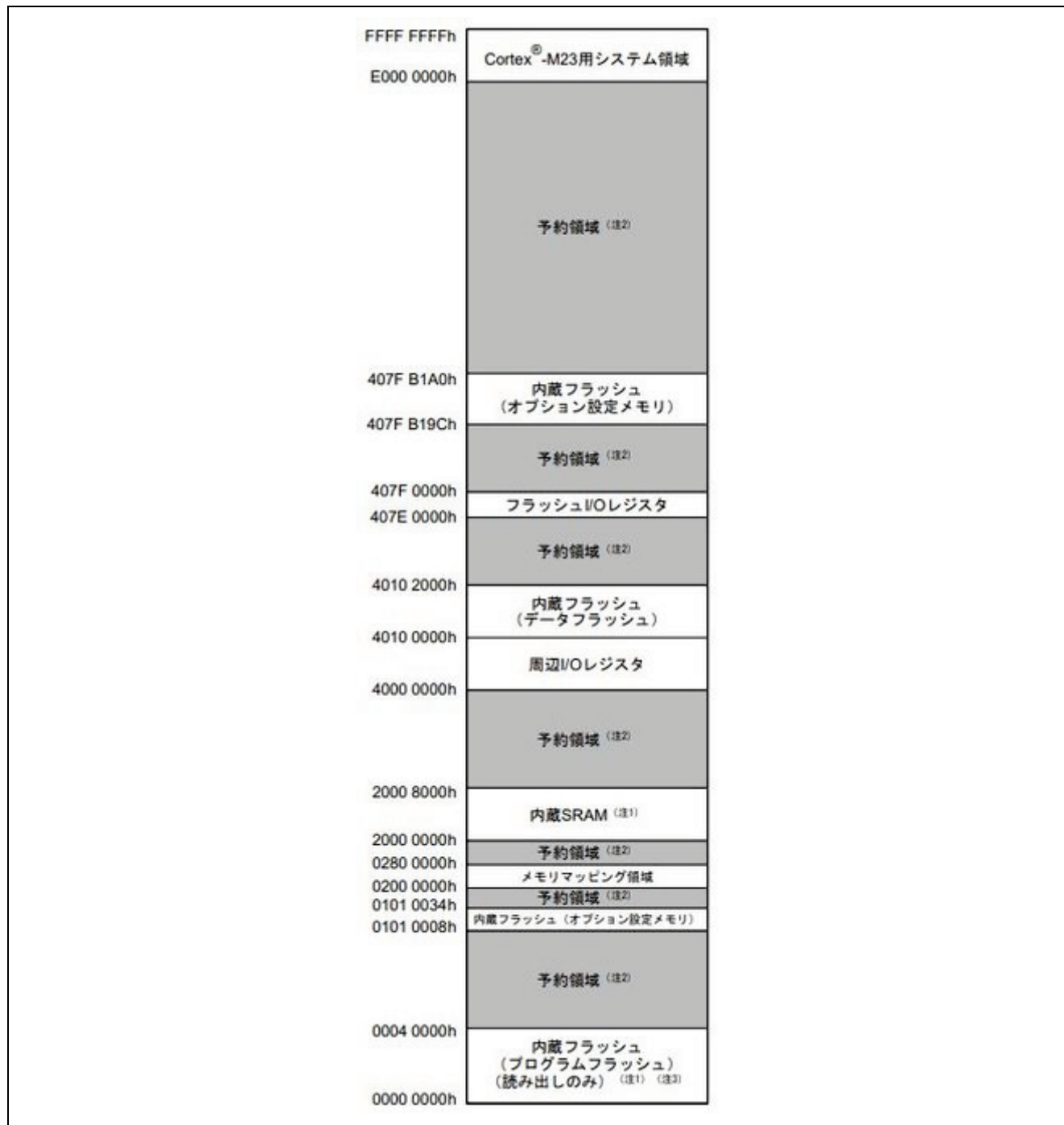


図 7. RA2A1 メモリマップ

7.1 SRAM

RA2 シリーズには、パリティビットチェックまたは ECC（エラーコレクションコード）を備えた内蔵 SRAM モジュールが提供されています。以下の表は、RA2A1 グループの SRAM の仕様を示しています。SRAM の容量はデバイスによって異なります。詳細は、ユーザーマニュアル ハードウェア編を参照してください。

項目	内容（ECC なしの場合）	内容（ECC ありの場合）
SRAM 容量	SRAM0 : 16KB	SRAM0（ECC 領域）: 16KB
SRAM アドレス	SRAM0 : 2000 4000h ~ 2000 7FFFh	SRAM0（ECC 領域）: 2000 0000h ~ 2000 3FFFh
アクセス（注1）	0ウェイト	
モジュールストップ機能	なし	
パリティ	8ビットデータと1ビットパリティの偶数パリティ	パリティなし
エラーチェック機能	偶数パリティエラーチェック	1ビット誤り訂正、最大2ビットの誤り検出

図 8. RA2A1 SRAM の仕様

7.2 周辺 I/O レジスタ

周辺 I/O レジスタのブロックは、デバイスと現在の動作モードに応じてメモリマップ上のさまざまな場所に表示されます。ほとんどの周辺 I/O レジスタは、アドレス 4000 0000h から 400F FFFFh までの領域を占有しますが、デバイスによっては位置やサイズが異なる場合があります。詳細については、ユーザーズマニュアル ハードウェア編を参照してください。詳細は「I/O レジスタ」の付録や各周辺機能のレジスタ説明に記載されています。この領域は、すべての動作モードで常に利用可能なレジスタを含んでいます。フラッシュメモリへのアクセスを制御するフラッシュ I/O レジスタは、407E 0000h ~ 407E FFFFh と 407F C000h ~ 407F FFFFh の 2 領域を占有します。

ルネサス FSP は、特定のデバイスのすべての周辺 I/O レジスタを簡単にアクセスできる I/O データ構造にマッピングする CMSIS データ構造の C ヘッダファイルを含んでいます。

7.3 内蔵フラッシュメモリ

RA2 シリーズには、コードフラッシュとデータフラッシュの 2 つのフラッシュメモリセクションがあり、デバイスによってサイズやプログラム可能回数が異なります。フラッシュ コントロール ユニット (FCU) は、フラッシュメモリの書き込みと消去を制御します。フラッシュアプリケーションコマンドインタフェース (FACI) は、指定された FACI コマンドに従って FCU を制御します。

コードフラッシュは、ユーザのアプリケーションコードと一定のデータを保存するように設計されています。データフラッシュは、構成パラメータ、ユーザ設定、またはログデータなど、時々更新される可能性のある情報を保存するように設計されています。データフラッシュ領域のプログラミングと消去の単位は、コードフラッシュよりも小さくなっています。例えば、RA2A1 グループでは、コードフラッシュメモリはプログラミングに 64 ビット単位、消去に 2KB 単位を使用し、データフラッシュメモリはプログラミングに 8 ビット単位、消去に 1KB 単位を使用しています。ユニットサイズはデバイスによって異なります。詳細は、ユーザーズマニュアル ハードウェア編の「フラッシュメモリ」を参照してください。

データフラッシュ領域とコードフラッシュ領域の両方は、アプリケーションコードによってプログラムや消去が可能です。これにより、外部のプログラミングツールを接続しなくてもフィールドファームウェアの更新が可能になります。

ルネサス FSP は、コードフラッシュメモリとデータフラッシュメモリの両方に対して HAL 層ドライバを提供しています。

以下の表は、コードフラッシュメモリとデータフラッシュメモリの仕様の例を示しています。

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	ユーザ領域：256KB	データ領域：8KB
リードサイクル	32MHz < ICLK 周波数 ≤ 48MHz キャッシュヒット：1サイクル キャッシュミス：2～3サイクル - ICLK 周波数 ≤ 32MHz キャッシュヒット：1サイクル キャッシュミス：1サイクル	バイトアクセス時には FCLK 6 サイクルでのリード（FCLK 周波数 ≤ 32MHz）
イレース後の値	FFh	FFh
プログラム／イレース方式	- レジスタに設定した FCB コマンドを使用してコードフラッシュメモリおよびデータフラッシュメモリをプログラム／イレース - 専用フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム（シリアルプログラミング） - ユーザプログラムによるフラッシュメモリのプログラム（セルフプログラミング）	
セキュリティ機能	フラッシュメモリの不正改ざん／不正リードを防止	
プロテクション機能	フラッシュメモリの誤オーバーライトを防止	
BGO（バックグラウンドオペレーション）機能	データフラッシュメモリのプログラム中にコードフラッシュメモリの読み出しが可能	
プログラム／イレース単位	- ユーザ領域へのプログラム：64ビット単位 - ユーザ領域のイレース：2KB 単位	- データ領域へのプログラム：8ビット単位 - データ領域のイレース：1KB 単位
その他の機能	セルフプログラミング中の割り込み受け付け 本MCUの初期設定でフラッシュメモリ拡張領域（オプションバイト）の設定可能	
オンボードプログラミング	シリアルプログラミングモード（SCI ブートモード）でのプログラム - 調歩同期式シリアルインタフェース（SCI9）を使用 - 転送速度は自動調整 シリアルプログラミングモード（USB ブートモード（注1））でのプログラム - USBFSを使用 - 専用ハードウェアが不要で、PCと直結可能 オンチップデバッグモードでのプログラム - SWD インタフェースを使用 - 専用ハードウェアは必要なし ユーザプログラム中のコードフラッシュメモリ／データフラッシュメモリ書き換えルーチンによるプログラム - システムをリセットすることなくコードフラッシュメモリ／データフラッシュメモリのプログラムが可能	

図 15. RA2A1 グループのコードフラッシュメモリとデータフラッシュメモリの仕様

注：コードフラッシュの消去状態は FFh ですが、データフラッシュの消去状態は不定です。

7.3.1 バックグラウンド動作

RA2 シリーズは、コードフラッシュとデータフラッシュのバックグラウンドペレーションをサポートしています。つまり、プログラムまたは消去が開始された場合でも、ユーザは操作中のメモリ領域以外のメモリの実行やアクセスを継続できます。例えば、データフラッシュメモリが消去またはプログラムされている間に CPU がコードフラッシュからアプリケーションコードを実行することができます。またコードフラッシュメモリが消去またはプログラムされている間に、CPU が SRAM からアプリケーションコードを実行することができます。ただし、この規則の例外として、データフラッシュはコードフラッシュのプログラムまたは消去中にアクセスできません。

7.3.2 ID コード保護

RA2 シリーズは、オプション設定メモリ領域に、ID コードとして使用される 128 ビットのメモリを持っています。この ID コードを空白 (0xFF) にすると、保護機能は有効にならず、ブートモードやオンチップデバッグを使用して MCU にアクセスすることが可能になります。ID コードが設定されている場合、ユーザはこれらのモードへのアクセスを制御することができます。ユーザは、常に接続を拒否するか、一致する ID コードが入力されたときに接続を許可するかを選択することができます。詳細は、RA2 シリーズ ユーザーズ マニュアル ハードウェア編の「OCD/シリアルプログラマ ID 設定レジスタ (OSIS)」と「ID コードプロテクション」を参照してください。

ルネサス FSP コンフィギュレータは、図 16 に示すように、RA2 MCU シリーズの ID コード保護を設定するためのオプションを提供します。

Settings	プロパティ	値
	> R7FA2A1AB3CFM	
	> RA2A1	
	▼ RA2A1 Family	
	> OFS0 register settings	
	> OFS1 register settings	
	> MPU	
	Use Low Voltage Mode	Disabled
	Main Oscillator Wait Time	262144 cycles
	ID Code Mode	Unlocked (Ignore ID)
	ID Code (32 Hex Characters)	FFFFFFFFFFFFFFFFFFFFFFFFFFFFFFFF
	> RA Common	

図 16. ルネサス FSP コンフィギュレータによる RA2A1 の ID コード設定

注：ID コード保護設定は、間違えると MCU へのアクセスがブロックされる可能性があるため、慎重に取扱う必要があります。

7.3.3 メモリ保護ユニット

RA2 シリーズには、メモリ保護ユニット (MPU) があります。これらは、様々な MCU 領域を不正なアクセスから保護する機能を持っています。選択肢には、書き込みと読み取りを許可する、書き込みを禁止する、書き込みと読み取りを禁止するものがあります。特定のメモリアドレスで対応する定数値を設定することで、これらのオプションのうちいずれかを選択します。詳細については、MCU ユーザーズマニュアル ハードウェア編の「メモリ保護ユニット」を参照してください。

Settings	プロパティ	値
	> R7FA2A1AB3CFM	
	> RA2A1	
	▼ RA2A1 Family	
	> OFS0 register settings	
	> OFS1 register settings	
	▼ MPU	
	Enable or disable PC Region 0	Disabled
	PC0 Start	0x000FFFC
	PC0 End	0x000FFFF
	Enable or disable PC Region 1	Disabled
	PC1 Start	0x000FFFC
	PC1 End	0x000FFFF
	Enable or disable Memory Region 0	Disabled
	Memory Region 0 Start	0x000FFFC
	Memory Region 0 End	0x000FFFF
	Enable or disable Memory Region 1	Disabled
	Memory Region 1 Start	0x200FFFC
	Memory Region 1 End	0x200FFFF
	Enable or disable Memory Region 2	Disabled
	Memory Region 2 Start	0x407FFFC
	Memory Region 2 End	0x407FFFF
	Enable or disable Memory Region 3	Disabled
	Memory Region 3 Start	0x400DFFC
	Memory Region 3 End	0x400DFFF
	Use Low Voltage Mode	Disabled
	Main Oscillator Wait Time	262144 cycles
	ID Code Mode	Unlocked (Ignore ID)
	ID Code (32 Hex Characters)	FFFFFFFFFFFFFFFFFFFFFFFFFFFFFFFF
	> RA Common	

図 17. ルネサス FSP コンフィギュレータによる RA2A1 の MPU 設定

注: MPU 設定は、MCU 領域へのアクセスをブロックする可能性のあるミスを防ぐために慎重に処理する必要があります。

7.4 エンディアンの制限

Cortex-M コアでコードを実行するためには、メモリ空間がリトルエンディアンである必要があります。

8. レジスタの書き込み保護

レジスタライトプロテクト機能により、ソフトウェアエラーによる上書きから重要なレジスタを保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定されます。表 9 は、PRCR ビットと保護されるレジスタの関連を示しています。

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PRKEY[7:0]								–	–	–	–	PRC3	–	PRC1	PRC0

図 9. PRCR レジスタ

表 4. PRCR 保護ビット

PRCR ビット	概要
PRC0	クロック発生回路関連レジスタ: SCKDIVCR、SCKSCR、MEMWAIT、MOSCCR、HOCOCR、MOCOCR、CKOCR、OSTDCR、OSTDSR、MOCOUTCR、HOCOUTCR、MOSCWTCR、MOMCR、SOSCCR、SOMCR、LOCOCR、LOCOUTCR、HOCOWTCR、SOMRG、SDADCCKCR、LPOPT
PRC1	低消費電力モード関連レジスタ: SBYCR、SNZCR、SNZEDCR、SNZEDCR0、SNZREQCR、FLSTOP、OPCCR、SOPCCR、SYOCDCR、PSMCR、DCDCCTL、VCCSEL
PRC3	LVD 関連レジスタ: LVD1CR1、LVD1SR、LVD2CR1、LVD2SR、LVCMPCCR、LVDLVLRL、LVD1CR0、LVD2CR0
PRKEY[7:0]	これらのビットは、PRCR レジスタへの書き込みアクセスを制御します。PRCR レジスタを変更するには、上位 8 ビットに A5h を書き込み、下位 8 ビットに希望する値を 16 ビットユニットとして書き込んでください。

注:すべてのレジスタがすべての RA2 デバイスに含まれるとは限りません。

詳細は、ハードウェアユーザーズマニュアルの「レジスタ書き込み保護」を参照してください。

ルネサス FSP では、レジスタの書き込み保護を有効または無効にするために 2 つの API (R_BSP_RegisterProtectEnable、R_BSP_RegisterProtectDisable) を用意しています。

9. I/O ポートの設定

「I/O ポート」セクションでは、ユーザーズマニュアル ハードウェア編に基づいて、各ピンの正確な設定について説明されています。リセット後に各ピンの設定が適用されるまでそのピンのデフォルト状態になることに注意してください。ほとんどのピンは、アプリケーションコードの実行が開始されるまで設定されません。一部のピンが望ましくない状態になる可能性がある期間が存在する場合があります。これはどの設定方法を使用しても同様です。ユーザは、これが各アプリケーションに及ぼす影響、および他のシステム機能への影響を考慮する必要があります。

10 ポートの設定は、レジスタへの直接書き込み、または FSP のピン設定を使用して行うことができます。

9.1 マルチファンクションピン選択の設計方法

RA2 シリーズの MCU のほとんどのポートは、複数の周辺機能がアサインされています。FSP ピンコンフィギュレータのようなツールは、ルネサスから提供されており、各 RA2 デバイスのポート選択をサポートするために利用できます。複数の周辺機能が必要な場合は、以下の設計戦略を使用してポート機能の選択を支援します。

- まず、1 つのポートオプションだけで周辺機能を割り当てます。例えば、デバッグ機能のトレースデータ信号には、1 つのポートオプションしかありません。この機能が必要な場合は、まずこれらのポートを割り当てます。
- 次に、限られたポートオプションで周辺機能を割り当てます。例えば、CLKOUT 機能では通常、CLKOUT 信号の 2 つのオプションしかありません。
- 最後に、複数のポートオプションを持つ周辺機能を割り当てます。これには、シリアル通信インタフェース (SCI) などが含まれます。通常、多くの利用可能なポートオプションがあります。
- RA2 ハードウェアユーザーズマニュアルの「ピンリスト」には、一部の周辺ポート機能が関数名の末尾に「_A」などの接尾辞を持つものが表示されます。RA2 デバイスの場合、このタイプの接尾辞はポート機能の割り当て時に無視して構いません。また、このドキュメントの 16.3 章も参照してください。

9.2 ポートを GPIO として設定して使用する方法

ポートを GPIO として設定して使用する方法には、ポートコントロールレジスタ（PCNTR1）を使用する方法と、PmnPFS レジスタを使用する方法の2つがあります。

方法 1: ポートレジコントロールスタ（PCNTR1）

- ポートコントロールレジスタ 1（PCNTR1）のポートディレクションビット（PDRn）に“1”を書き込むことで、ピンを出力として選択します。
- ポートディレクションビット（PDRn）は、読み書き可能です。“1”に設定すると、そのピンは出力として選択されます。I/O ポートのデフォルトの状態は“0”（入力）です。RA2 シリーズでは、ポートディレクションレジスタを読み出すことができます。
- 対応するポートコントロールレジスタ（PCNTR1）のポート出力データビット（PODRn）は、読み書き可能です。PODR を読み取ると、出力データラッチの状態（ピンレベルではない）が読み取られます。
- ポートコントロールレジスタ 2（PCNTR2）のポート入力ビット（PIDRn）は読み取り専用です。ピンの状態を読み取るには、PCNTR2 レジスタ内の PIDRn ビットを読み取ります。

方法 2: ポート mn ピン機能選択（PmnPFS）レジスタ

- ポートモードレジスタ（PMR）は、個々のピンが GPIO として機能するか、周辺ピンとして機能するかを指定するために読み書きされます。リセット時には、すべての PMR レジスタが 0 に設定され、すべてのピンが GPIO として機能します。PMR レジスタが 1 に設定されると、対応するピンは周辺機能に使用されます。周辺機能は、そのピンの MPC 設定で定義されます。
- ピンを出力に設定する場合、ポートの所望の出力値を最初にデータラッチに書き込み、その後、方向レジスタを出力に設定することが推奨されています。すべてのシステムで重要ではありませんが、これにより、設定中のポートに意図しない出力グリッチが発生するのを防ぎます。

一般的に、ポートを設定するために PCNTR1 を使用すると、より高速なアクセスが可能になりますが、使用可能な構成機能が少なくなります。PmnPFS レジスタを使用すると、より多くの構成機能が利用可能になりますが、アクセス速度が遅くなります。

ルネサス FSP は、図 19 に示されているように、リセット後に GPIO ピンを設定するためのピンコンフィギュレータを提供されています。GPIO が設定された後は、FSP の HAL レイヤー API を使用して制御することができます。

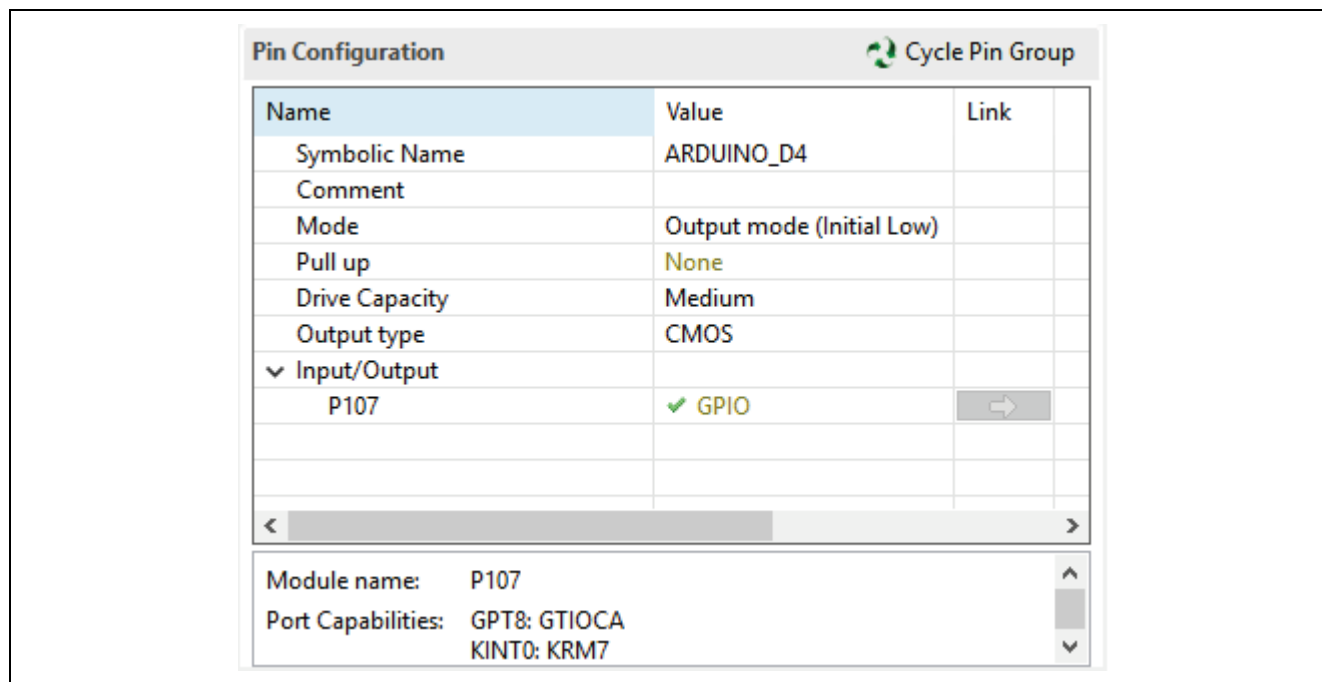


図 10. FSP コンフィギュレータを使用して P107 を出力および低として設定

9.2.1 内部プルアップ

- ポート 0 から 9 のほとんどのピンには、内蔵プルアップ抵抗を有効にするオプションがあります。プルアップは、各ポート mn ピン機能選択 (PmnPFS) レジスタのプルアップ (PCR) ビットによって制御されます。各 PmnPFS レジスタの PCR ビットは、ポート上の対応するピンを制御します。
- ピンは、まず PmnPFS レジスタの関連ビットで入力として設定される必要があります。PCR ビットを "1" に設定するとプルアップが有効になり、"0" に設定するとプルアップが無効となります。
- リセットが解除されると、一部を除き PCR レジスタが 0 にクリアされるため、すべてのプルアップ抵抗が無効になります。
- 外部バスピン、GPIO 出力ピン、周辺機能出力ピンとして指定された場合は、自動的にプルアップがオフになります。

9.2.2 オープンドレイン出力

- 出力として設定されたピンは通常、CMOS 出力として動作します。
- ポート 0 から 9 のほとんどのピンは、NMOS オープンドレイン出力として設定するオプションがあります。
- 各ポート mn ピン機能選択 (PmnPFS) レジスタにおける N チャンネルオープンドレイン制御 (NCODR) ビットは、オープンドレインモードで動作するピンを制御します。各レジスタの該当するビットを "1" に設定すると、出力がオープンドレインになります。該当するビットを "0" に設定すると、ポートが CMOS 出力になります。

9.2.3 ポート駆動能力

RA2A1 グループでは、出力駆動能力を有効にすることができます。RA2A1 グループでは、ドライブ能力を低駆動または中駆動能力に設定することができます。他の RA2 シリーズにはこの機能はありません。

- ドライブ容量の切り替えは、各ポート mn ピン機能選択 (PmnPFS) レジスタの駆動能力制御レジスタ (DSCR) ビットによって制御されます。
- リセット時に、すべての DSCR レジスタは 0 にクリアされます。したがって、すべてのピンは低駆動出力に設定されます。選択されたピン出力の駆動能力を変更するには、「00」以外の値を設定します。
- すべてのピンの最大合計出力は、特定の MCU グループとデバイスパッケージによって異なります。詳細については、ユーザーズマニュアル ハードウェア編の「電気的特性」を参照してください。
- ドライブレベルの典型的な違いは以下に示されています。実際の出力電流レベルはデバイスやピンのタイプによって異なります。詳細については、該当する MCU のユーザーマニュアルを参照してください。

表 10. ドライブレベルの違い

典型的な出力ピン	DSCR[1:0]	駆動能力	最大値 (mA)
ピンあたりの許容出力電流	0 0	低駆動	4.0
ピンあたりの許容出力電流	0 1	中駆動	8.0
IIC 高速モードと SPI	1 0	中駆動	8.0
無効な設定；使用しないでください	1 1	--	

出力駆動能力は、ボード設計全体の性能に重要な影響を与えることがあります。以下の点を考慮して、各出力の駆動能力を選択する必要があります。

- 全てのピンを低駆動能力（デフォルト）に設定して性能を評価することを推奨します。全てのピンを低駆動能力（デフォルト）に設定して性能を評価することを推奨します。
- ボードレイアウトによっては中または高駆動能力に設定されたピンは、より高い EMI 放射を引き起こす可能性があります。ボードレイアウトによっては、中または高駆動能力に設定されたピンは、より高い EMI 放射を引き起こす可能性があります。
- 長いトレースの場合、信号が受信機に正しく伝播するためには、より高い駆動能力が必要な場合があります。

9.3 ポート周辺機能の設定と使用

ポート mn ピン機能選択レジスタ (PmnPFS) は、各ポートの特性を設定するために使用されます。PSEL ビットは、ポートごとに選択された周辺機能を選択します。

- ほとんどのピンに複数の機能があるため、RA2 シリーズにはピン機能制御レジスタ (PmnPFS) があり、ピンに割り当てられた機能を変更することができます。
- 各ピンには、それぞれ独自の PmnPFS レジスタがあります。
- 各 PmnPFS レジスタは、ピンを周辺機能 (PSEL ビット)、IRQ 入力ピン (ISEL ビット)、またはアナログ入力ピン (ASEL ビット) として使用することを可能にします。ASEL ビットが「1」(ピンをアナログ入力ピンとして使用) に設定されている場合、ピンの PMR ビットは GPIO 使用のために設定され、ピンの PDR ビットは入力に設定される必要があります。
- ユーザーズマニュアル ハードウェア編の「I/O ポート」の「各製品の周辺機器選択設定」を参照してください。
- 周辺機器のピンに予期しないエッジが入出力されないようにするためには、ピンの PmnPFS レジスタを変更する前に、対象のピンのポートモード制御 (PMR) ビットをクリアするようにしてください。
- すべての PmnPFS レジスタは、リセット時に書き込み禁止になっています。これらのレジスタに書き込むためには、最初書き込み保護レジスタ (PWPR) を使用して書き込みを有効にする必要があります。
- PmnPFS レジスタを設定する際には、1 つの機能が複数のピンに割り当てられないように注意する必要があります。ユーザはこれを行うべきではありませんが、MCU は許可します。この場合、ピン上の機能は未定義になります。PmnPFS レジスタを設定する際には、1 つの機能が複数のピンに割り当てられないように注意する必要があります。ユーザはこれを行うべきではありませんが、MCU は許可します。この場合、ピン上の機能は未定義になります。
- 図 20 は、FSP ピン設定を使用して SPI0 ピンを有効にする例を示しています。

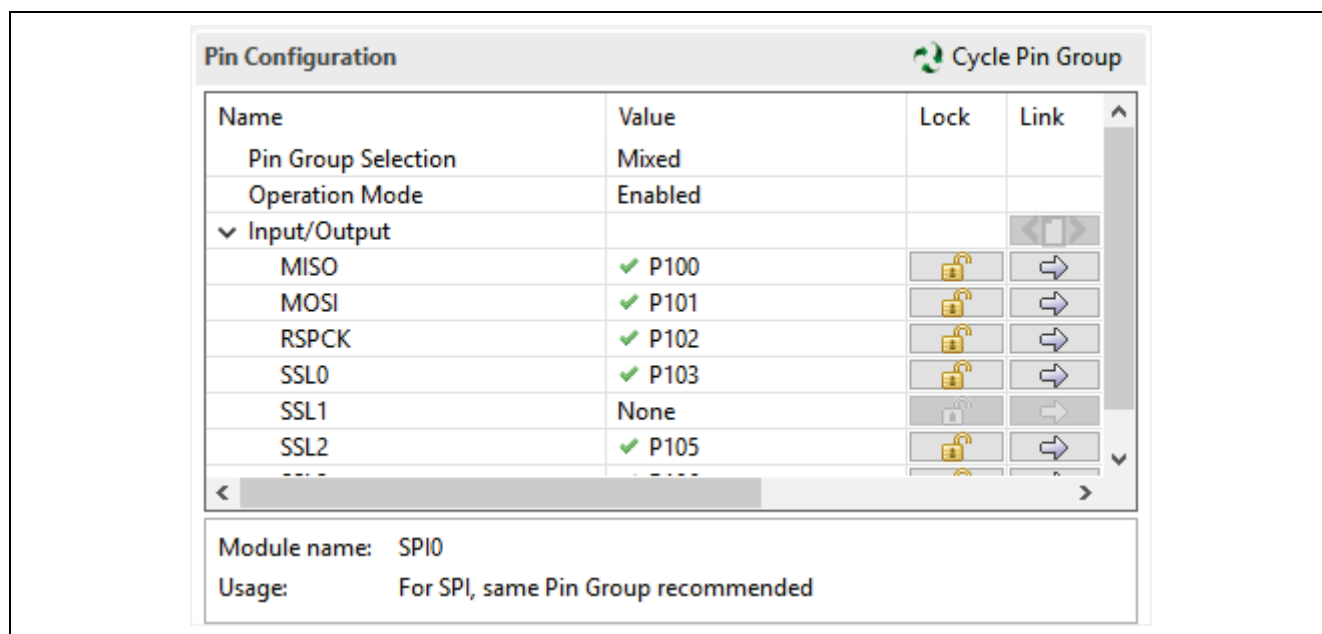


図 20. ルネサス FSP のピンコンフィギュレータを使用した SPI0 ピンの有効化

9.4 IRQ ピンの設定と使い方

- 特定のポートピンは、ハードウェア割り込みライン（IRQ）として使用することができます。お使いの MCU でどのピンが使用可能かについては、ユーザーズマニュアル ハードウェア編の「I/O ポート」の各製品の周辺機器選択設定を参照してください。
- ポートピンを IRQ ピンとして使用するためには、ピンの PFS レジスタの割り込み入力機能選択ビット（ISEL）を “1” に設定する必要があります。
- ピンは IRQ と周辺機能の両方に同時に使用することができます。これを有効にするには、ピンの PFS レジスタの ISEL ビットと PSEL ビットの両方を設定する必要があります。
- 同じ番号の IRQ 機能は、1 つのピンでのみ有効にする必要があります。
- IRQ ピンは、以下の検出で割り込みをトリガすることができます：
 - Low レベル
 - 立ち下がリエッジ
 - 立ち上がりエッジ
 - 立ち上がりエッジと立ち下がリエッジ

IRQ 制御レジスタ（IRQCRi）は、どのトリガが選択されるかを制御します。

- IRQ ピンにはデジタルフィルタリングが有効です。このフィルタは、4 つの選択可能なクロックレート（PCLK、PCLK/8、PCLK/32、PCLK/64）のうちの 1 つで信号を繰り返しサンプリングすることに基づいています。このフィルタは、短いパルス（フィルタレートで 3 サイクル未満の High または Low パルス）をフィルタリングします。このフィルタは、これらのラインのリングやノイズをフィルタリングするのに便利ですが、機械的なスイッチバウンスのような長いイベントをフィルタリングするには、あまりにも速すぎます。フィルタリングを有効にすると、ハードウェア IRQ ラインに短いレイテンシ（フィルタリング時間）が追加されます。
- デジタルフィルタリングは、各 IRQ ピンに対して独立して有効にすることができます。これは、IRQCRi レジスタの IRQ ピンデジタルフィルタイネーブル（FLTEN）ビットを各 IRQ に設定することで実現します。
- デジタルフィルタリング用のクロックレートは各 IRQ ピンで独立して設定可能です。これは、IRQCRi レジスタの IRQ ピンデジタルフィルタ設定（FCLKSEL[1:0]）ビットを各 IRQ に設定することで可能です。
- 図 21 と図 22 は、ルネサス FSP を使用して IRQ ピンを有効にして設定する例を示しています。

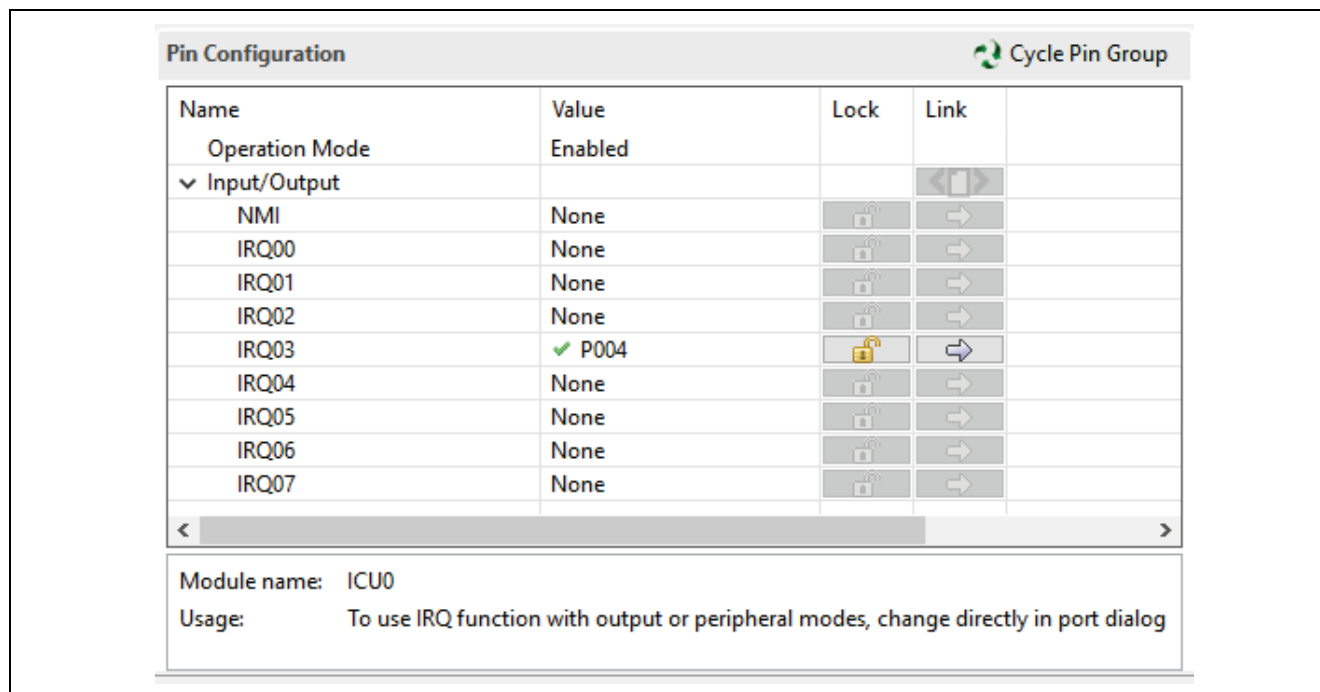


図 21. ルネサス FSP のピンコンフィギュレータを使用して P004 を IRQ03 入力として有効にする場合

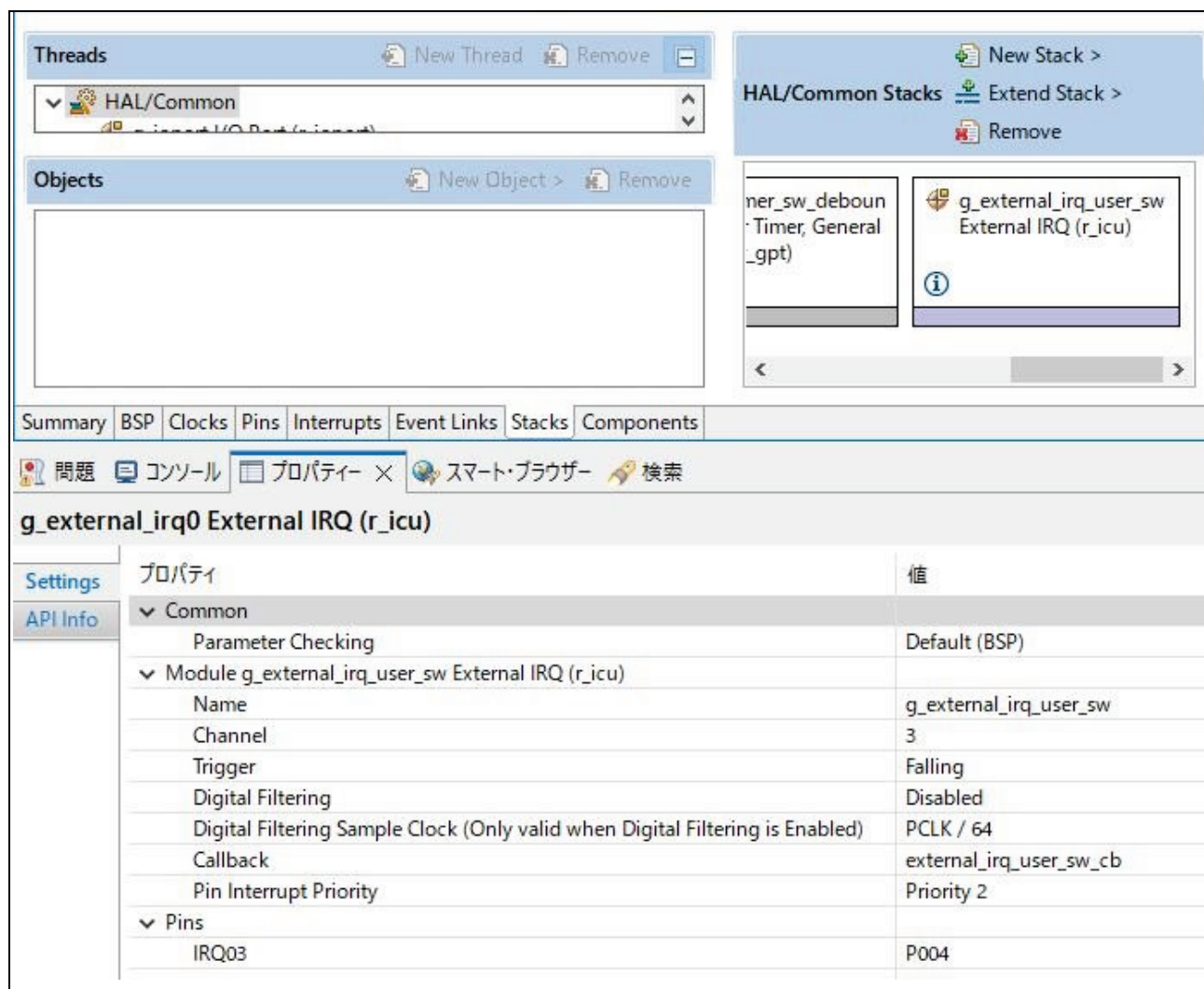


図 22. ルネサス FS コンフィギュレータを使用した IRQ03 の設定

9.5 未使用ピン

注： 特定のピンには特定の終端処理が必要な場合があります。MCU の I/O ポートについては、ユーザーズ マニュアル ハードウェア編の「未使用ピンの処理」を参照して、特定の推奨事項を確認してください。

フローティング状態の未使用のピンは余分な電力を消費し、システムがノイズの問題により影響を受けやすくなる可能性があります。未使用ピンは、以下の方法のいずれかを使用して終端処理を行ってください。:

1. 最初の選択肢は、ピンを入力に設定し（リセット後のデフォルト状態）、抵抗を使ってピンを Vcc または Vss に接続することです。どちらの接続でも MCU に差はありませんが、システムノイズの観点からは有利になる場合があります。Vss は最も一般的な選択でしょう。ピンを出力に設定するためにポートの方向レジスタに誤って書き込むと、出力がショートする可能性があるため、ピンを直接 Vcc または Vss に接続しないようにしてください。
2. 第二の方法は、ピンを出力に設定することです。ピンのレベルは高または低に設定することができます。ピンを Low 出力として設定すると、ピンが内部的にグランドに接続されます。これは全体的なシステムのノイズに対する懸念を軽減するのに役立つ場合があります。未使用のピンを出力に設定する場合の懸念は、ポートの設定をソフトウェア制御で行う必要があることです。MCU がリセット状態で保持され、方向レジスタが出力に設定されるまで、ピンは浮動入力となり、余分な電流を引き込む可能性があります。

ります。この時間中の余分な電流を許容できる場合、最初の方法で必要だった外部抵抗が不要になります。

3. ピンを入力として残し、外部抵抗で終端する方法は、MCU の多くのポートで利用可能な内部プルアップを使用します。これは、ピンを出力に設定するのと同じ制限（プログラムでポートを設定する必要があります）がありますが、デバイスがピンを駆動しないため、グラウンド、隣接ピン、Vcc への不慮のピンの短絡の影響を制限することができます。

9.6 存在しないピン

RA2 シリーズは、異なる総ピン数で複数のパッケージサイズで利用可能です。その MCU グループの最大パッケージよりも小さいパッケージの場合（通常は 100 ピン、64 ピン、または 24 ピン）、PDR レジスタの存在しないポートの対応するビットを「1」（出力）に設定し、PODR レジスタの対応するビットを「0」に設定します。各 MCU パッケージで利用可能なポートは、ハードウェアユーザーマニュアルの I/O ポートセクションの「I/O ポートの仕様」テーブルを参照することで確認できます。例えば、ポート 0 の P007 と P008 は 100 ピンパッケージでのみ利用可能です。存在しないピンの追加処理は必要ありません。

9.7 電気的特性

通常の GPIO ポートでは、CMOS レベルの入力 ($\text{High} \geq 0.8 * V_{cc}$ 、 $\text{Low} \leq 0.2 * V_{cc}$) が必要です。一部の GPIO ポートにはシュミットトリガ入力があり、入力要件は若干異なります。詳細については、ユーザーズマニュアル ハードウェア編の「電気的特性」を参照してください。

10. モジュール停止機能

電力効率を最大化するため、RA2 シリーズの MCU では、モジュール停止制御レジスタ (MSTPCR_i、 $i=A, B, C, D, E$) への書き込みによって、内臓の周辺機能を個別に停止することができます。モジュールが停止すると、モジュールレジスタへのアクセスは不可能になります。

リセット後、DMAC、DTC、SRAM を除くほとんどのモジュールがモジュール停止状態になります。詳細については、ユーザーズマニュアル ハードウェア編を参照してください。

周辺機器のレジスタにアクセスする前に、MSTPCR_i レジスタの対応するビットに「0」を書き込むことによって、停止モードから取り出して有効にする必要があります。

周辺機器は、MSTPCR_i レジスタの適切なビットに「1」を書き込むことで停止させることができます。

ルネサス FSP の HAL ドライバは、モジュールのスタート/ストップ機能を自動的に処理します。

11. 割り込み制御ユニット

割り込みコントローラユニット (ICU) は、どのイベント信号を NVIC、DTC、および DMAC モジュールにリンクさせるかを制御します。また、ICU はノンマスクابل割り込みの制御も行います。図 23 に ICU の仕様の例を、図 24 に I/O ピンから IRQ_i イベントを立ち上げる機能の例を示します。各 RA2 シリーズの詳細については、ユーザーズマニュアル ハードウェア編を参照してください。

項目		内容
割り込み	周辺機能割り込み	周辺モジュールからの割り込み 要因数：132（イベントリスト番号9～141の範囲から要因を選択）
	外部端子割り込み	- 割り込み検出：Lowレベル（注4）、立ち下がリエッジ、立ち上がりエッジ、両エッジ。これらの検出法は要因ごとに1つ設定可能 - デジタルフィルタ機能をサポート 8要因（IRQ0～IRQ7端子からの割り込み）
	DTC制御	割り込み要因によってDTCの起動が可能（注1）
	NVICへの割り込み要因	32要因
ノンマスカブル割り込み（注2）	NMI端子割り込み	- NMI端子からの割り込み - 割り込み検出：立ち下がリエッジまたは立ち上がりエッジ - デジタルフィルタ機能をサポート
	発振停止検出割り込み（注3）	メイン発振器の停止を検出したときの割り込み
	WDTアンダーフロー／リフレッシュエラー（注3）	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	IWDTアンダーフロー／リフレッシュエラー（注3）	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	電圧監視1割り込み（注3）	低電圧検出1回路の電圧監視割り込み（LVD_LVD1）
	電圧監視2割り込み（注3）	低電圧検出2回路の電圧監視割り込み（LVD_LVD2）
	RPEST	SRAMパリティエラー発生時の割り込み
	RECCST	SRAM ECCエラー発生時の割り込み
	BUSST	MPUバススレーブエラー発生時の割り込み
	BUSMST	MPUバスマスタエラー発生時の割り込み
	SPEST	CPUスタックポインタモニタによる割り込み
低消費電力モードからの復帰		- スリープモード：ノンマスカブル割り込みまたはその他の割り込み要因によって復帰 - ソフトウェアスタンバイモード：ノンマスカブル割り込みによって復帰。WUPENレジスタで割り込みの選択が可能（注5） - スヌーズモード：ノンマスカブル割り込みによって復帰。SELSR0およびWUPENレジスタで割り込みの選択が可能（注5）

図 23. RA2A1 ICU 仕様

端子名	入出力	機能
NMI	入力	ノンマスカブル割り込み要求端子
IRQ0～IRQ7	入力	外部割り込み要求端子

図 33. RA4M3 ICU I/O ピン

図 25 は、ルネサス FSP コンフィギュレータを使用してルネサス FSP を介して割り込みを有効化および設定する例です。ICU および割り込みは、FSP を介した HAL ドライバの設定の一部として設定されます。

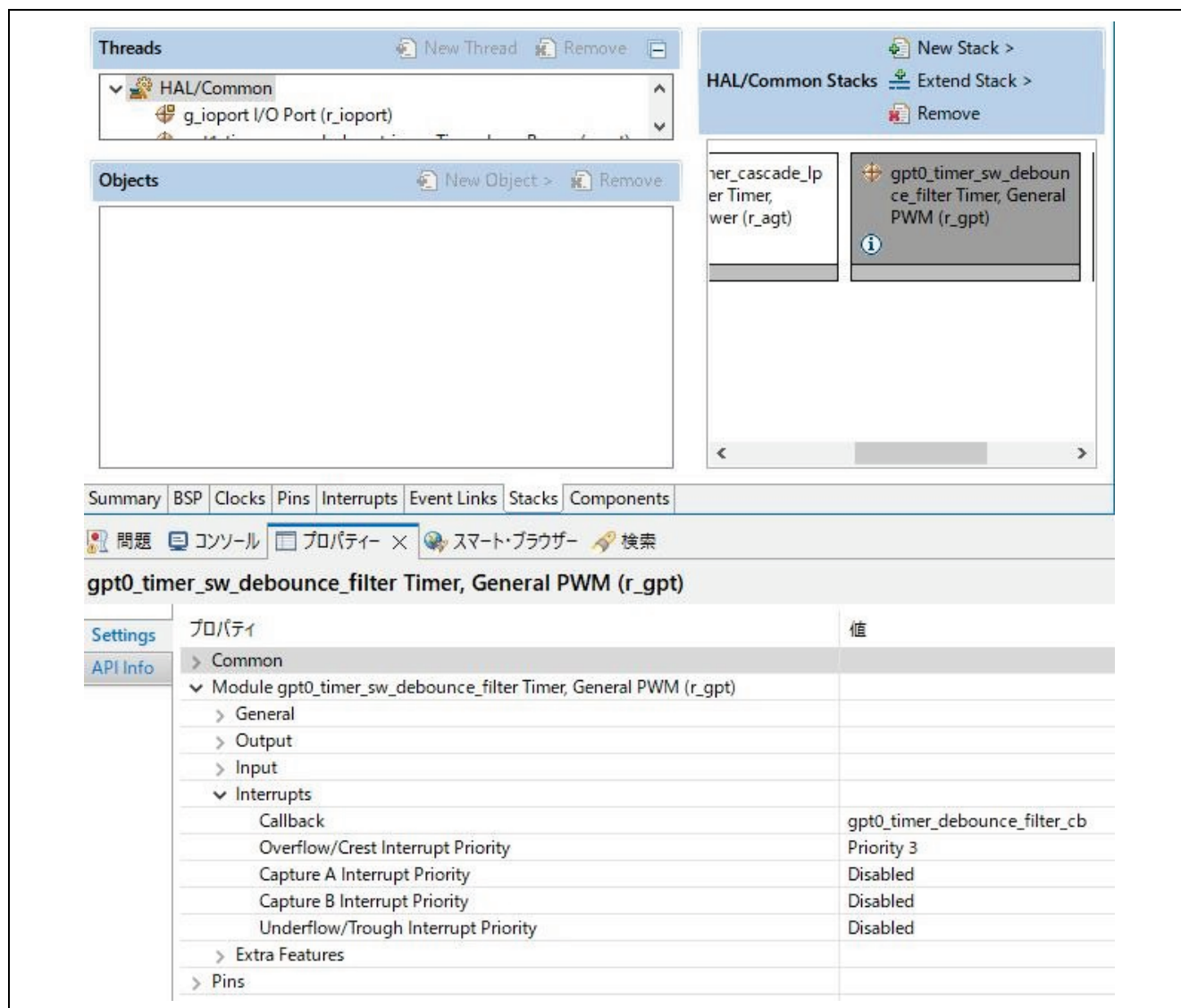


図 25. GTP0 オーバーフロー割り込みを有効化し、割り込みサービスルーチンによって呼び出されるユーザーコールバック関数を設定する

12. 低消費電力

RA2 シリーズには、消費電力を削減するためのいくつかの機能があります。これには、クロック分周器の設定、モジュールの停止、通常モードでの電源制御モードの選択、低消費電力モードへの遷移などがあります。詳細については、ユーザーズマニュアルハードウェアの「低消費電力モード」参照してください。

RA2 シリーズは 3 つの異なるタイプの LPM（低消費電力モード）をサポートしています。これらは次のとおりです：

- スリープモード
- ソフトウェア スタンバイモード
- スヌーズモード

消費電力削減のために利用できる機能の概要は、次の表のとおりです。

表 5. 低電力モード機能の仕様

アイテム	仕様
クロック信号の変更による消費電力の削減	周波数分周比は、システムクロック（ICLK）、周辺モジュールクロック（PCLKH、PCLKL、PCLKADC、PCLKGPT）、外部バスクロック（BCLK）、フラッシュインタフェースクロック（FCLK）に対して、独立して選択できます。* ¹
モジュールストップ	各周辺機能を個別に機能を停止できます。
低消費電力モード	- スリープモード - ソフトウェアスタンバイモード - スヌーズモード
電源制御モード	動作電力制御モード： - 高速モード - 中速モード - 低速モード - 低電圧モード*² - サブオシレータスピードモード

注： 1. 詳細については、ハードウェアユーザマニュアルの「クロック生成回路」を参照してください。

2. 低電圧モードは RA2A1 グループのみでサポートされています。

RA2L1 グループのデバイスはスイッチングレギュレータ（DCDC）モードで動作することができます。DCDC モードでは、ノーマルモードとスリープモードのみがサポートされます。DCDC モードでは、ソフトウェアスタンバイモードやスヌーズモードに移行することはできません。

また、RA2L1 グループでは、LDO モードと低速モードまたは Subosc 速度モードで動作している場合、デバイスは DCDC モードに移行することができません。DCDC モードでは、高速モードと中速モードのみがサポートされます。

表 12 では、低消費電力モードへの移行条件、CPU および周辺モジュールの状態、および各モードの解除方法が示されています。

表 6. 低消費電力モード

動作状態* ¹	スリープモード	全モジュールクロック停止モード	ソフトウェアスタンバイモード
遷移条件	SBYCR. SSBY=0 の場合の WFI 命令	SBYCR. SSBY=1 かつ DPSBYCR. DPSBY=0 の場合の WFI 命令	スヌーズ要求トリガー. SNZCR. SNZE=11
解除方法	すべての割り込み。このモード内で使用可能な任意のリセット	このモードで定義された割り込み。このモードで使用可能なりセット。	このモードで定義された割り込み。このモードで使用可能なりセット。
割り込み解除後の状態	プログラム実行状態（割り込み処理中）	プログラム実行状態（割り込み処理中）	プログラム実行状態（割り込み処理中）
リセット解除後の状態	リセット状態	リセット状態	リセット状態

注： 1. 詳細については、ユーザズマニュアル ハードウェア編の表「各低電力モードの動作条件」を参照してください。

RA2 シリーズには、通常モードおよびスリープモードで低消費電力動作するように MCU を設定するレジスタ設定が含まれています。これらのモードは動作電力制御モードと呼ばれ、OPCCR レジスタによって制御されます。

以下は、動作電力消費制御モードと、各モード下での最大許容クロッキングおよび電圧レベルの概要です。

表 7. 各動作消費電力制御モードで使用可能な発振器

モード	発振器					
	高速オンチップ オシレータ	中速オンチップ オシレータ	低速オンチップ オシレータ	メインクロック 発振器*2	サブクロック 発振器*2	IWDT 専用内 蔵発振器
High-Speed	可能	可能	可能	可能	可能	可能
Mid-Speed	可能	可能	可能	可能	可能	可能
Low-speed	可能	可能	可能	可能	可能	可能
低圧*1	可能	可能	可能	可能	可能	可能
SubOSC- Speed	不可能	不可能	可能	不可能	可能	可能

注 1: 低電圧モードは RA2A1 グループのみサポートしています。

2: RA2E2 には存在しません。

OPCCR レジスタの値を低消費電力動作モードのいずれかに設定することは可能ですが、クロックや電圧レベルを所望のモードの要件に合わせて設定する必要があります。そうでない場合、OPCCR レジスタの設定は消費電力を下げる効果を持ちません。

最も低い電力数値を実現するために、クロック生成回路には可能な限り大きな分周器を使用します。

低消費電力モードは、RES ピンリセット、電源オンリセット、電圧モニタリセット、周辺機器割り込みなど、様々な割り込みソースによって解除されます。異なる低消費電力モードの割り込みソースのリストについては、ユーザズマニュアルハードウェアの「低消費電力モード」を参照してください。

スヌーズモードのみ、ソフトウェアスタンバイモードからスヌーズモードに移行するためのスヌーズ要求がトリガとなります。他の低消費電力モードへの遷移は、スタンバイ制御レジスタ (SBYCR) を適切に設定した上で WFI 命令を実行することで行われます。

ルネサス FSP は、低消費電力モードドライバとドライバコンフィギュレータを提供しており、低消費電力モード、ウェイクソース/キャンセルソースなどを設定することができます。

プロパティ	値
> Common	
▼ Module g_lpm0 Low Power Modes (r_lpm)	
▼ General	
Name	g_lpm_sw_standby
Low Power Mode	Software Standby mode
Output port state in standby and deep standby	Not Available
▼ Standby Options	
> Wake Sources	
> Snooze End Sources	
Snooze Request Source	RXD0 falling edge
DTC state in Snooze Mode	Disabled
Snooze Cancel Source	None
> Deep Standby Options	

図 11. ルネサス FSP コンフィギュレータによる低消費電力モードの設定

FSP コンフィギュレータで特定の低消費電力モードを設定した後、低消費電力モードドライバの API を使用して LPM ドライバを初期化し、設定された低消費電力モードに MCU を配置することができます。

```

/* Open LPM driver and initialize LPM mode */
err = R_LPM_Open(&g_lpm_sw_standby_ctrl, &g_lpm_sw_standby_cfg);
/* Handle error */
if (FSP_SUCCESS != err)
{
    return (err);
}
/* Transition to configured LPM mode: Deep Software Standby Mode */
err = R_LPM_LowPowerModeEnter(&g_lpm_sw_standby_ctrl);
/* Handle error */
if (FSP_SUCCESS != err)
{
    return (err);
}

```

13. バス

RA2 シリーズのバスは、メインバスとスレーブインターフェイスで構成されています。図 27 では、メインバスとスレーブインターフェイスがリストされています。図 28 は、バスの構成が示されています。

注: Cortex コードを実行する際は、メモリ空間はリトルエンディアンである必要があります。

バスの種類		内容
メインバス	システムバス (CPU)	• CPU を接続 • 内蔵メモリと内部周辺バスを接続
	DMAバス	• DTC を接続 • 内蔵メモリと内部周辺バスを接続
スレーブ インターフェイス	メモリバス 1	• コードフラッシュメモリを接続
	メモリバス 3	• DMAバスを介してコードフラッシュメモリを接続
	メモリバス 4	• SRAM0 を接続
	内部周辺バス 1	• 周辺モジュール関連のシステムコントロールを接続
	内部周辺バス 3	• 周辺モジュール (CAC, ELC, I/Oポート, POEG, RTC, WDT, IWDI, IIC, CAN, ADC16, DAC12, DOC, GPT, SCI, SPI, CRC) を接続
	内部周辺バス 5	• 周辺モジュール (KINT, AGT, USBFS, DAC8, OPAMP, ACMPHS, ACMPLP, SDADC24, CTSU) を接続
	内部周辺バス 7	• セキュアIPを接続
	内部周辺バス 9	• フラッシュメモリ (P/E時) とデータフラッシュメモリを接続

図 12. RA2A1 バス接続

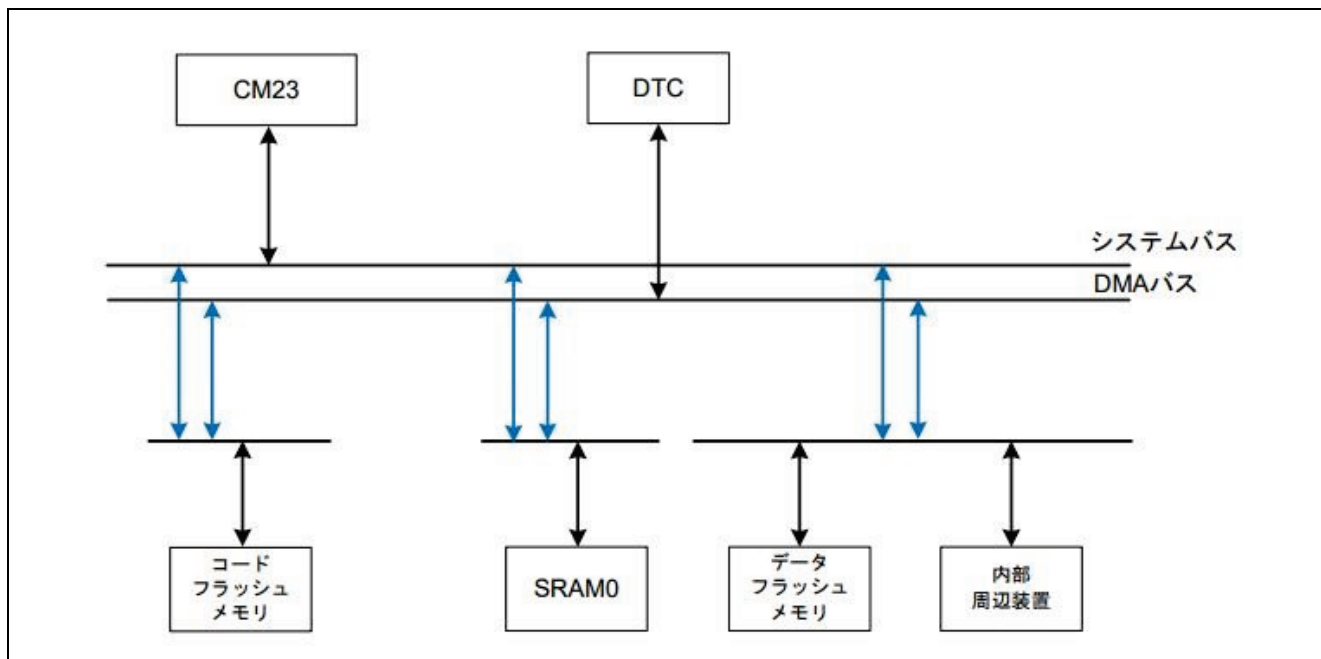


図 28. RA2 シリーズバス構成

13.1 バスエラー監視

監視システムは、各個別の領域を監視します。エラーが検出されると、AHB-Lite エラーレスポンスプロトコルを使用して要求元のマスターIP にエラーが返されます。

13.1.1 バスエラータイプ

各バスでは、以下のようなエラーが発生する可能性があります：

- 不正なアドレスアクセス
- バスマスタ MPU エラー
- バススレーブ MPU エラー
- タイムアウト

13.1.2 バスエラー発生時の動作

バスエラーが発生すると、動作は保証されず、エラーは要求元のマスターIP に返されます。各マスターで発生するバスエラーは、BUSnERRADD および BUSnERRSTAT レジスタに格納されます。これらのレジスタは、リセットによってのみクリアする必要があります。詳細については、ユーザーズマニュアル ハードウェア編の「バスエラーアドレスレジスタ (BUSnERRADD)」と「バスエラーステータスレジスタ (BUSnERRSTAT)」を参照してください。

注：DTC はバスエラーを受信しないため、バスエラーによる影響はありません。

14. 24 ビットシグマデルタ A/D コンバータ (SDADC24)

RA2A1 グループには、1 つの 24 ビットシグマ デルタ A/D コンバータ (SDADC24) が含まれています。これは、RA2 ファミリの中で唯一 SDADC を含む MCU シリーズです。図 29 と図 30 には、SDADC24 コンバータの様子がリストされています。詳細については、RA2A1 ユーザーズマニュアル ハードウェア編の「24 ビットシグマデルタ A/D コンバータ (SDADC24)」を参照してください。

項目	内容
入力チャネル	シングルエンド入力モード：最大 10 チャネル（注1）（外部入力：8 チャネル、内部 OPAMP からの入力：2 チャネル） 差動入力モード：最大 5 チャネル（外部入力：4 チャネル、内部 OPAMP からの入力：1 チャネル）
A/D 変換方式	シグマデルタ変換方式
分解能	24 ビット
アナログ入力	- シングルエンド入力 - 正チャネルと負チャネルの両方のシングルエンド入力に変換可能 - 差動入力
オーバーサンプリング周波数	- 通常の A/D 変換モード：1MHz - 低消費電力 A/D 変換モード：0.125MHz
電力制御	- VBIAS、PGA、およびシグマデルタ A/D コンバータ電源に対して電源 ON/OFF の選択可能 - ADBG、SBIAS、および ADREG 電源に対して電源 ON/OFF の選択可能 - VREF 基準電圧（SBIAS/VREFI）設定可能（単位：0.2V、範囲：0.8～2.4V） - 注：2.4V は外部 VREF（VREFI）モードでのみ設定可能 - センサ基準電圧（SBIAS）は個別に起動可能
プログラマブルゲイン計装アンプ (PGA)	- 計装アンプのゲインはチャネルごとに設定可能（G_{SET1} と G_{SET2} の組み合わせで ×1～×32 が設定可能） - 前段アンプの G_{SET1} 範囲：1, 2, 3, 4, 8 - 次段アンプの G_{SET2} 範囲：1, 2, 4, 8 - オフセット電圧は、次段アンプに接続された D/A コンバータを使用することによりチャネルごとに調整可能 - オフセット電圧調整（-164～+164mV、31 レベル：5 ビット） - PGA オフセットは、自己診断として測定可能 - 断線検出アシスト：シングルエンド入力モード時正側と負側の両方で可能
データレジスタ	- A/D 変換結果レジスタ 1 本および A/D 変換平均値レジスタ 1 本： - A/D 変換結果に対応するチャネル番号は特殊レジスタで確認可能 - A/D 変換結果用にオーバーフローフラグあり - 差動入力モード：コードは 2 の補数 - シングルエンド入力モード：ストレートバイナリ - シングルエンド負チャネルの変換結果には反転出力を選択可能
動作クロック	24 ビットシグマデルタ A/D コンバータ基準クロックは、SDADC24 動作モードに従って、クロック生成回路が出力する周辺クロックから生成されます。1/1、1/2、1/3、1/4、1/5、1/6、1/8、1/12、または 1/16 を選択可能 - SDADC24 基準クロック/オーバーサンプリングクロックは以下のようにモードにより変わります。 - 通常の A/D 変換モード：4MHz/1MHz - 低消費電力 A/D 変換モード：500kHz/125kHz - 注：A/D コンバータが低消費電力 A/D 変換モードの場合、SDADC24 基準クロックの指定周波数は、内部分周器により 8 つに分周されます。
変換開始条件	- ソフトウェアトリガ - ハードウェアトリガ（ELC_SDADC24）
動作モード	- 連続スキャンモード - シングルスキャンモード - ワンショット動作
オーバーサンプリング率	64、128、256、512、1024、または 2048 を選択可能 - チャネルごとに設定可能

図 29. SDADC24 仕様 (1/2)

項目	内容
A/D 変換回数	- オートスキャンの1サイクルについて、A/D 変換回数を設定し、A/D 変換回数指定モードを選択できます。 1. レジスタ設定値には、1～8032 (N) を指定してください。 $N = 32 \times (2^n - 1) + m \times 2^n$ (m および n は、PGAC0～PGAC4 レジスタに設定されている値に対応します。 m : b16～b20, n : b21～b23 N = 00h の場合、1つのA/D変換が終了したとき停止するワンショット動作が設定されます。) 2. レジスタ設定値には、1～255 (N) をリニアに指定してください。 (N は PGAC0～PGAC4 レジスタに設定された値に対応します。N : b16～b23 N = 00h の場合、A/D 変換が終了するたびに停止するワンショット動作が設定されます。) A/D 変換回数は、チャンネルごとに設定可能です。
A/D 変換結果の平均処理	- 平均動作を選択可能 1. 平均動作を行わない 2. 平均動作を実行し、A/D 変換が起きるたびに SDADC24 変換終了割り込みをトリガ 3. 平均動作を実行し、平均値が更新されるたびに SDADC24 変換終了割り込みをトリガ - 平均対象のデータ項目数は、8、16、32、または64を選択可能 - 注：平均対象のデータ項目数はチャンネルごとに設定可能
割り込み要因	- A/D 変換終了割り込み (SDADC_ADI) - A/D 自動スキャン完了割り込み (SDADC_SCANEND) - キャリブレーション完了割り込み (SDADC_CALIEND)
SDADC24 の動作	- 各チャンネルのA/D変換はラウンドロビン方式で実行 - 特定チャンネルのA/D変換は、各チャンネルの許可/停止レジスタにより停止可能
デジタルフィルタ	SINC3 デジタルフィルタを使って A/D 変換結果のダウンサンプリングを実行
SDADC24 キャリブレーション	キャリブレーションによりアナログ特性を補正可能 (ゲイン誤差およびオフセット誤差)

注 1. A/D 変換を同時に実行できるチャンネル数は、最大 5 チャンネルです。

図 30. SDADC24 仕様 (2/2)

15. 設定スイッチ付きオペアンプ(OPAMP)

RA2A1 シリーズは、小さなアナログ入力電圧を増幅し、増幅した電圧を出力するためのオペアンプ(OPAMP)を搭載しています。MCU には、2 つの入力端子と 1 つの出力端子を持つ、合計 3 つの差動オペアンプユニットが搭載されています。

オペアンプの機能は以下の通りです。:

- OPAMP0 と OPAMP1 は、低消費電力アナログコンパレータ (ACMPLP) と 24 ビットシングマデルタ A/D コンバータ (SDADC24) への信号入力に使用することができます。
- 高速モード (高電流消費)、中速モード (中電流消費)、低消費電力モード (低速応答) をサポートしており、応答速度と消費電流のトレードオフにより、任意のモードを選択することができます。
- 非同期汎用タイマ (AGT) からのトリガで動作を開始することができます。
- 16 ビット A/D 変換終了トリガによって動作を停止することができます。
- 全てのユニットには、入力信号を選択するためのスイッチが備わっています。さらに、OPAMP0 には出力ピンを選択するためのスイッチがあります。
- スイッチを経由せずに、OPAMP の出力は AMP00 から AMP20 ピンに出力されることがあります。
- 全ての OPAMP ユニットの I/O 信号は、ADC16 の入力信号として使用できます。
- DAC8、DAC12 からの信号出力は、各 OPAMP のプラスの入力信号として使用できます。
- ボルテージフォロア回路は、OPAMP の出力信号を同じ OPAMP のマイナスの入力信号に接続することで構成できます。

ルネサス FSP は、OPAMP の設定やピン接続などを行うためのオペアンプドライバおよびドライバコンフィギュレータを提供しています。図 31 は、OPAMP0 を設定して、P500、P501、P502 をそれぞれプラス入力ピン、プラスマイナス入力ピン、出力ピンとして使用する例を示しています。この例では、プラス入力は内部的に DAC12 の出力に接続されるように設定されています。

Settings	プロパティ	値
API Info	Common	
	Parameter Checking	Default (BSP)
	Module g_opamp Operational Amplifier (r_opamp)	
	Name	g_opamp
	AGT Start Trigger Configuration (N/A unless AGT Start Trigger is Selected for the Channel)	AGT1 Compare Match Starts all OPAMPs configured for AGT Start
	Power Mode	High Speed
	Trigger Channel 0	Software Start Software Stop
	Trigger Channel 1	Software Start Software Stop
	Trigger Channel 2	Software Start Software Stop
	Trigger Channel 3	Selection N/A
	OPAMP AMP0S	No Connection
	OPAMP AMP0PS	Connect OPAMP0 Plus Input to DAC12 Output
	OPAMP AMP0MS	Connect OPAMP0 Minus Input to (P502) OPAMP0 Output
	OPAMP AMP1PS	No Connection
	OPAMP AMP1MS	No Connection
	OPAMP AMP2PS	No Connection
	OPAMP AMP2MS	No Connection
	Pins	
	AMP+	P500
	AMP-	P501
	AMPO	P502
	AMP+	<unavailable>
	AMP-	<unavailable>
	AMPO	<unavailable>
	AMP+	<unavailable>
	AMP-	<unavailable>
	AMPO	<unavailable>

図 31. FSP コンフィギュレータを使用した RA2A1 の OPAMP 設定例

FSP コンフィギュレータで OPAMP を設定した後、OPAMP ドライバの API である R_OPAMP_Open、R_OPAMP_Start を使用して OPAMP の初期化、動作開始が可能です。詳細は、RA2A1 ハードウェアユーザーズマニュアル、FSP ユーザーズマニュアルの「オペアンプ (OPAMP)」を参照してください。

16. 一般的なレイアウトの実践

16.1 デジタルドメインとアナログドメインの比較

ルネサス RA2 マイクロコントローラーデバイスはドメイン機能を備えています：電源、デジタル、アナログです。

一般に、電源ピンは電圧と基準入力専用であり、複数の機能を持つことはありません。電源ピンは通常、MCU 内の特定の部分、つまりドメインに特化しています。例えば、MCU の主電源電圧は、デジタルコア、デジタル周辺機能、デジタル I/O ピンの多くに電力を供給することになります。デジタルドメインは、デジタル回路、デジタル I/O ピン、関連する電源ピンから構成されます。アナログ機能用に指定された電源ピン (AVCC0、関連する AVSS0 など) は、デジタルドメイン回路とは別に、MCU 内の特定のアナログ回路に電力を供給します。アナログドメインは、アナログ回路、アナログ I/O ピン、関連する電源ピンから構成されます。

デジタル信号は通常、周期的なクロックに関連する繰り返しのスイッチングパターンです。デジタル信号の遷移は、比較的鋭いエッジになる傾向があり、遷移間の High または Low レベルが安定しています。各信号は、指定された時間枠内に、論理状態として許容できる電圧レベルで安定している必要があります。信号の状態は、通常、所定のクロック間隔でサンプリングされ、関連するデータ信号を評価するためにクロックのエッジ遷移を使用します。デジタル信号の電圧レベルのわずかな変動は、レベルが指定された範囲内にと

どまる限り、通常は許容されます。しかし、デジタル信号に対する大きな外部からの影響は、データがサンプリングされる瞬間に誤った論理状態になる可能性があります。

アナログ信号は通常は全く異なっています。アナログ信号は周期的かもしれませんが、アナログ信号の評価は通常、論理状態ではなく、一定範囲内の電圧の測定です。アナログ信号の電圧レベルは、特定のトリガーイベントに基づいてサンプリングされ、その結果得られる測定値は、MCU 内のアナログ回路を使用して処理されます。アナログ測定の精度は、サンプリングされた電圧レベルの精度に直接関係しています。アナログ入力信号の電圧レベルをわずかでも変化させる可能性のある不要な外的影響は、測定の精度に影響を与える可能性があります。

ルネサス RA2 MCU シリーズの I/O ピンは非常に多重化されているため、多くの I/O ピンはアナログまたはデジタル機能のどちらかにも使用することができます。このため、デジタルとアナログの機能が重複し、データエラーが発生することがあります。

デジタルとアナログの信号ドメイン間で起こりうる問題を最小限に抑えるために、以下のガイドラインを考慮してください。

- I/O ピンの機能を割り当てる際には、アナログピンとデジタルピンが物理的にできるだけ分離されるようにピン機能を選択してください。
- 各アナログ信号はできるだけ他の信号から分離してください。
- PCB 配線は、各アナログ信号をできるだけ分離してください。同じ領域に他の信号（アナログまたはデジタル）を配線しないようにしてください。
- アナログ電源電圧とアナログ基準電圧には、適切な AC フィルタが含まれていることを確認します。これは、MCU 電圧ピンの近くにある推奨コンデンサや、適切な誘導フィルタの形式であるかもしれません。目的は、電圧供給と基準電圧をほぼリップルのない状態で提供することです。
- PCB 設計で専用の電源層を使用する場合、アナログ電圧領域でデジタル信号を配線しないようにし、デジタル電圧領域でアナログ信号を配線しないようにしてください。

高感度なアプリケーションでは、回路設計が性能に及ぼす影響を理解するために、シミュレーションツールを使って特定の設計を評価することが強く推奨されます。例えば、精密センサー設計や非常に高速なデジタルバスインタフェースなどのアプリケーションが含まれます。各周辺機能の特定の要件については、ユーザーマニュアルハードウェアの「電気的特性」を参照してください。

16.2 高速信号設計の考慮事項

デジタル信号のクロック速度が上がると、外部からのノイズの影響がより重要になることがあります。一部の周辺機能は「高速」デジタル信号として分類されることがあります。高速デジタル信号に対しては、追加の設計上の考慮が必要です。

- クロストークとは、ある信号の遷移が、近くにある別の信号に誘導的な影響を与える状態のことです。このクロストークの影響が十分強い場合、最初の信号が 2 番目の信号のエラーを引き起こす可能性があります。ク同じ配線層で配線された信号間に十分なスペースを確保します。通常、同じデジタルグループの信号間は最低 1 トレース幅以上、異なるデジタルグループの信号間は最低 3~5 トレース幅以上のスペースを確保します。
- 同一配線層上のクロック信号とデータ信号の間には、十分なスペースを確保します。通常、クロックとその他のデジタル信号の間には、最低でも 3~5 トレース幅のスペースを確保します。

隣接する配線層でのデジタル信号の並列配線は避けてください。隣接する信号層で配線する必要がある場合は、可能な限り、直交交差を使用するようにしてください。

可能であれば、信号層の間に電源層またはグランド層を使用して、PCB 信号層を分離してください。電源層やグランド層の固体銅は、デジタル信号の「シールド」として機能することができます。

標準化されたインタフェースには、それぞれ特定の要件があります。PCB が信号クロストーク問題を回避するように設計されていることを確認するために、設計の各インタフェースの関連規格を参照することを強くお勧めします。

16.3 信号グループの選択

一部のピン名には、信号グループを示す `_A`、`_B`、`_C`、`_D`、`_E`、または `_F` が末尾に付加されています。RA2 シリーズでは、機能を割り当てる際には、この末尾を無視しても安全です。各機能信号に対して最も便利なピン割り当てを選択することができます。

詳細については、ユーザーマニュアル ハードウェア編の「I/O Ports」の「各製品の周辺機器選択設定」と「PmnPFS レジスタ設定の注意点」を参照してください。

17. 参照

The このクイックデザインガイドの作成には、以下の文書が使用されました。各文書の最新バージョンについては、[Renesas website](#) をご覧ください。

参照	文書番号	概要
1	R01UH0888	ルネサス RA2A1 グループ、ユーザーズマニュアル ハードウェア編
2	R01UH0852	ルネサス RA2E1 グループ、ユーザーズマニュアル ハードウェア編
3	R01UH0853	ルネサス RA2L1 グループ、ユーザーズマニュアル ハードウェア編
4	R01UH0919	ルネサス RA2E2 グループ、ユーザーズマニュアル ハードウェア編

ウェブサイトとサポート

以下のバニティ URL にアクセスして、RA ファミリの主要な要素を学び、コンポーネントや関連するドキュメントをダウンロードし、サポートを受けることができます。

RA 製品情報	www.renesas.com/ra
RA 製品サポートフォーラム	www.renesas.com/ra/forum
RA フレキシブルソフトウェア パッケージ	www.renesas.com/FSP
ルネサスのサポート	www.renesas.com/support

改訂記録

改訂版	日付	概要	
		ページ	要約
1.00	Nov. 20. 23	—	初版リリース
		—	

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. R 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準：コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、**Harsh environment** 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、**Harsh environment** 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないように、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する **RoHS** 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとなります。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 October 2020)

本社

豊洲フォレシア、豊洲 3-2-24、
135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
www.renesas.com

商標

Renesas および Renesas ロゴは、ルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問い合わせ先

製品、技術、ドキュメントの最新版、最寄りの営業所などに関する詳しい情報は、こちらをご覧ください：www.renesas.com/contact/。