

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パソコン機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等

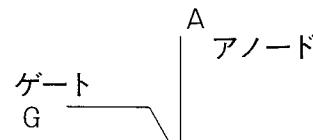
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエーペンギング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

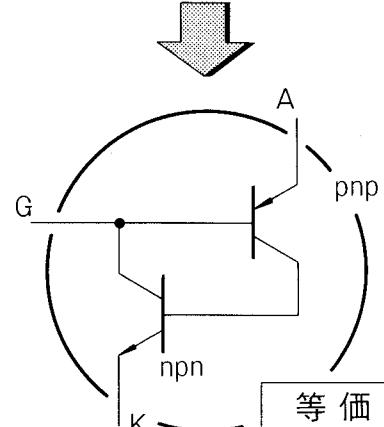
注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

PUTのすべて

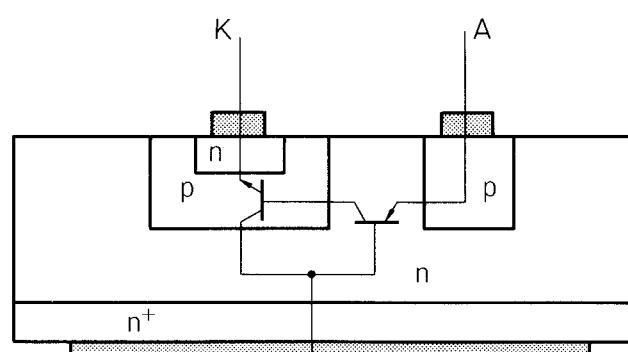
保守／廃止



カソード K PUT



等価回路



ラテラルタイプの構造

日本電気株式会社

保守／廃止

PUTのすべて 目 次

1. PUTの原理と構造 4

2. PUTの応用技術

2-1 PUTのプログラマビリティ 6
2-2 PUTの応用限界 10

3. PUTの応用例

3-1 弛張発振回路の設計 13
3-2 発振周波数の温度補償 13
3-3 発振周波数範囲の拡大 14
3-4 弛張発振回路の実用例 18
3-5 タイマの設計 22
3-6 タイマの誤動作対策 22
3-7 タイマの設計例 24
3-8 PUTによるサイリスタ制御回路 28
3-9 その他の応用例 38

4. PUTの信頼性

4-1 SCRの信頼性とPUTの信頼度向上設計 46
4-2 信頼度試験データ 47
4-3 発振周波数の経時変化 47
4-4 ポイリングテストデータ 50

5. PUTの特性試験法

5-1 I_p (ピーク電流), V_p (ピーク電圧) 試験法 52
5-2 I_v (谷電流), V_v (谷電圧) 試験法 53
5-3 V_o (パルス出力電圧), t_r (パルス出力立ち上がり時間) 試験法 53
5-4 V_F , V_{BO} , V_R , I_{GAO} , I_{GKS} , I_D , I_R 試験法 54

保守／廃止

- | | |
|---|---|
| 図1 N13Tのペレット構造模型 | 図50 線形電力制御回路 |
| 図2 NゲートSCRのモデル | 図51 図51の応用例 |
| 図3 製法の異なるPUTの例 | 図52 L・P・F回路例 |
| 図4 PUTによる弛張発振回路 | 図53 図52の実験データ |
| 図5 ピーク電流(I_p)のプログラマビリティの例 | 図54 誘導性負荷用位相制御回路 |
| 図6 N13T1の I_p-V_s 特性例 | 図55 PUTによるZ・C・S(オンオフ制御) |
| 図7 N13T2の I_p-V_s 特性例 | 図56 ゼロクロスパルスの発生過程 |
| 図8 谷電流(I_v)のプログラマビリティの例 | 図57 タイムプロポーシナル制御回路 |
| 図9 N13T1の I_v-V_s 特性例 | 図58 並列インバータとトリガ回路 |
| 図10 N13T2の I_v-V_s 特性例 | 図59 GTO駆動回路 |
| 図11 オフセット電圧のプログラマビリティの例 | 図60 漏電ブレーカ基本回路 |
| 図12 UJTによる弛張発振回路 | 図61 フォトリレー |
| 図13 ゲートをコンデンサでバイアスした回路 | 図62 近接スイッチ |
| 図14 ゲートを定電圧ダイオードでバイアスした回路 | 図63 パルス間隔弁別回路 |
| 図15 V-Vo特性 | 図64 低周波アステーブルマルチ |
| 図16 C-Vo特性 | 図65 バイブレータ制御回路 |
| 図17 PUTによる10kHzパルスジェネレータ | 図66 自動調光ストロボ用露光量検出回路 |
| 図18 弛張発振波形 | 図67 ワンショットソリッドスタートリレー |
| 図19 $\eta_0 - \ln \frac{1}{1-\eta_0}$ 計算図 | 図68 煙感知器用受信機 |
| 図20 発振周波数-電源電圧特性 | 図69 遅延リレー回路 |
| 図21 VT-温度特性 | 図70 レーザダイオード駆動回路 |
| 図22 Vv-温度特性 | 図71 同期整流方式温度検知回路 |
| 図23 発振周期温度特性 | 図72 同期整流回路の動作原理 |
| 図24 温度試験供試回路 | 図73 減定格と故障率の関係 |
| 図25 ダイオードによる低 I_p , 高 I_v 化回路 | 図74 高温保管($T_a=125^\circ\text{C}$)における I_p 経時変化 |
| 図26 ツェナーダイオードによる低 I_p , 高 I_v 化回路 | 図75 高温保管($T_a=125^\circ\text{C}$)における I_{GKS} 経時変化 |
| 図27 図26の応用例 | 図76 低温保管($T_a=-40^\circ\text{C}$)における I_p 経時変化 |
| 図28 アノード電流のバイパス | 図77 低温保管($T_a=-40^\circ\text{C}$)における I_{GKS} 経時変化 |
| 図29 アノード電流のカットオフ | 図78 直流ブロッキング試験($T_a=125^\circ\text{C}$, $V_s=40\text{V}$)における I_p 経時変化 |
| 図30 インダクタンスによるターンオフ | 図79 直流ブロッキング試験($T_a=125^\circ\text{C}$, $V_s=40\text{V}$)における I_{GKS} 経時変化 |
| 図31 散乱光式煙感知器回路図(2線式) | 図80 直流通電試験($I_F=150\text{mA}$)における I_p 経時変化 |
| 図32 電子ブザ | 図81 直流通電試験($I_F=150\text{mA}$)における I_{GKS} 経時変化 |
| 図33 低周波アステーブルマルチ | 図82 パルス試験($I_F=1\text{A}$, $P.W=100\mu\text{s}$, $duty=1\%$)における I_p 経時変化 |
| 図34 さえずり発振回路 | 図83 パルス試験における($I_F=1\text{A}$, $P.W=100\mu\text{s}$, $duty=1\%$) I_{GKS} 経時変化 |
| 図35 温度-周波数変換回路 | 図84 発振周波数ドリフト |
| 図36 温度-周波数変換特性 | 図85 ポイリングによる発振周波数の変化 |
| 図37 ノイズとノイズによる誤動作波形 | 図86 ポイリングによる耐電圧の変化 |
| 図38 アナログ計数形タイマ | 図87 I_n , V_p 試験回路 |
| 図39 基本タイマ回路 | 図88 I_v , V_v 試験回路 |
| 図40 放電型タイマ | 図89 I_v 測定のためのアノード交流電圧の観測 |
| 図41 電源同期タイマ | 図90 V_o , t_r 試験回路 |
| 図42 ハイブリッドタイマ | 図91 出力波形と V_o , t_r 測定点 |
| 図43 リングカウンタを使ったタイマ | 図92 順電圧降下試験 |
| 図44 繰返し型タイマ | 図93 漏れ電流試験 |
| 図45 ワンショットタイマ | 図94 耐圧試験 |
| 図46 図45の応用例 | |
| 図47 UJTによる位相制御回路 | |
| 図48 PUTによる位相制御回路 | |
| 図49 自動制御用位相制御回路 | |

保守／廃止

PUT（プログラマブル、ユニジャングション、トランジスタ）は、アメリカのGE社より発表された半導体素子で、当初は品名から観るように従来のUJTに対応させ、外部抵抗の操作によりピーク電流(I_p)、谷電流(I_v)、ベース間抵抗(R_{BB})、真性スタンダード比(η)等を自由にプログラム出来ることを特徴としたサイリスタのトリガ素子として取り扱われていました。然し乍ら、最近に至って、PUTの種々の優れた特質から色々な興味ある応用分野に活用出来ることが判り、注目されるようになってきました。そこで本資料では、PUTを単に等価UJTとしてのみ捉えることなく、また単なるNゲートコンプリメンタリSCRとしてのみ捉えることもなく、その総体が認知されるよう原理と構造、特徴、応用技術応用例、信頼性の現状等、PUTの全ての面に亘って考察してみます。

1. PUTの原理と構造

半導体の $P_1N_1P_2N_2$ 4層構造体に特有な強いスイッチング作用は、一般に良く知られている所であり、その理論も確立しています。今日、産業界になくてはならない存在になっているSCRは、この4層構造体に制御極(ゲート)を設けて高度の有用性を付与し実用性を持たせたものです。このゲートによる制御作用は、4層構造を $P_1N_1P_2$ トランジスタと $N_1P_2N_2$ トランジスタの組み合わせとして等価的に表わすことにより、ほとんど直感的に理解することができます。今、実際の半導体素子に内在する諸制約要因を取り除いた純粋な $P_1N_1P_2N_2$ 4層構造モデルを考えると、この素子は、両端子間に電圧を印加するだけでは恒常に電流を阻止し続けます。しかし、何らかの要因により、この素子をつら抜いて一度電流が流れると、こんどは強い正帰還作用により恒常に電流を流し続けます。ゲートの目的はこのスイッチングに必要な初期の電流を導くことであり、通常はゲートに電流を流すことによりその目的は果たされます。そして、このゲート電流は、上に述べた等価トランジスタのベース電流に対応させることができます。 $P_1N_1P_2N_2$ 4層構造は、 $P_1N_1P_2$ トランジスタと $N_1P_2N_2$ トランジスタにより等価的に表わし得ることは、上に述べました。そして今、SCRのゲートは等価トランジスタの

図1 N13Tのペレット構造模型

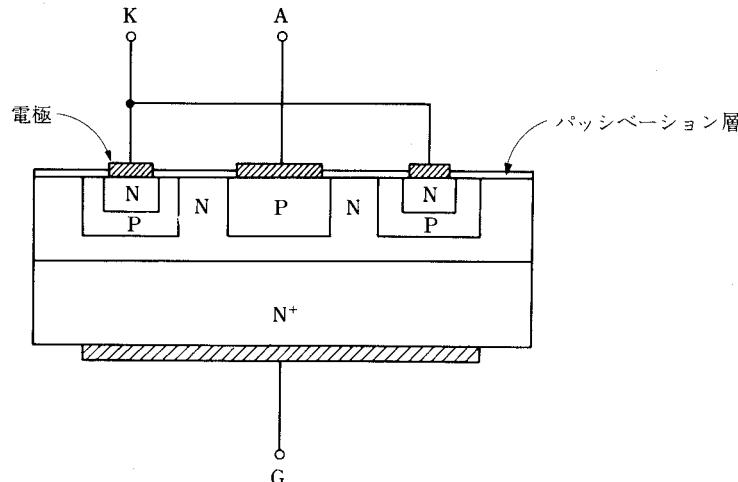
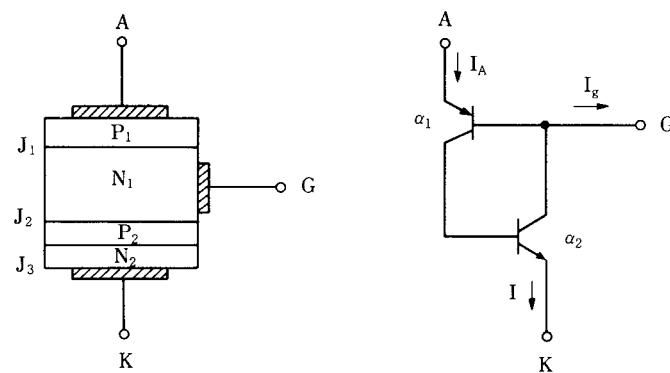


図2 NゲートSCRのモデル



保守／廃止

ベースに対応することを述べました。これらの事柄から、P₁N₁P₂N₂ 4層構造体に設けることのできるゲートの位置は2箇所存することが判ります。つまり N₁P₂N₂トランジスタのベースに対応する P₂層と P₁N₁P₂トランジスタのベースに対応する N₁層が、それです。現在、広く実用されている SCR は前者のタイプであり、この故に P ゲート SCR とも呼ばれています。一方、後者のタイプも極少量の機種乍らも検討が加えられ、一部は商品化されていました。このような SCR は、ゲートが N 層にあることから前者に対応して N ゲート SCR と呼ばれており、また前者が現今においては至極ポピュラであることから、コンプリメンタリ SCR とも呼ばれています。

PUT は、この N ゲートコンプリメンタリ SCR に属し、さらに PUT たるべく特に工夫して作られています。では、“PUT が、通常のコンプリメンタリ SCR の中で特に PUT としての基盤を確立したのは何故か、また、P ゲート SCR に比しても特異な存在であるのは何故か”と言うと、先ず一番に挙げなければならない理由は、その非常に高感度さと、高い安定性が達成されたことでしょう。これには非常に大きな意義があります。もしこれが達成されなかつたら、PUT の有用性は失われ、極普通の N ゲート SCR として限られた用途にしか用いられなかつことでしょう。例えば、従来の SCR はパルス駆動を立て前とし、ゲートでアナログ信号を弁別してスイッチングするような使い方は推奨されませんでした。しかし、PUT では、その特質の故にこのような使い方が可能であり、可能であるからこそ後の章で紹介するような弛張発振器やタイマ等を構成することができます。このような特質が表面化する要因は、PUT の構造とその製造方法にあります。

図1はPUT(N13Tシリーズ)のペレットの断面模型です。図のように PNP トランジスタは横型で、また NPN トランジスタは縦型で造られています。従ってゲートはサブストレートに接続されています。このことは、ゲート電流がアノードゲート接合の深い部分を通じて流れ、トリガに有効に作用することを意味します。(図参照)しかし、PUT が高感度であるのは、この構造的要因にだけ起因するのではなく、もっと支配的な要因があります。次に、そのことについて触れておきます。(1)式は、N ゲート SCR の機能を図2のようなモデルで等価的に表わした時、ターンオンの機構を説明するのに使われる式です。一般には、近似的に $m_p = m_n$ とおき、 $\alpha_1 + \alpha_2 = 1$ となった時、電流 I が無限大になる、つまりターンオンすると説明されます。

$$I = \frac{I_{s2} + \alpha_1 m_p I_G}{1 - (\alpha_1 m_p + \alpha_2 m_n)} \quad \dots \dots \dots \quad (1)$$

ただし I_{s2} ; J_2 接合の飽和電流

α_1 ; PNP トランジスタの電流到達率

α_2 ; NPN トランジスタの電流到達率

m_p ; J_1 における正孔の増倍率

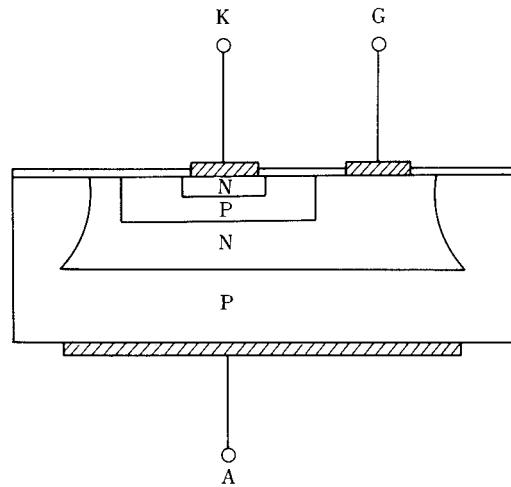
m_n ; J_2 における電子の増倍率

この式から、 α_1 を大きくすればゲート電流 I_G の影響が強くなることが判ります。また、強い電流依存性を示す α_2 が微少電流域でも大きくなるように製造しておけば、 I_G により電流 I が若干増えただけで $\alpha_1 + \alpha_2$ が 1 に達し易くなることが考えられます。つまり、N ゲート SCR では微少電流域における α_1 と α_2 を(なかんずく α_1 を) 大きくすれば、ゲート感度を上げることができます。しかし、(1)式には同時に I_{s2} の項を含んでいます。もしこの項を無視して α_1 と α_2 を大きくしてしまうと、 I_{s2} が流れるだけで $\alpha_1 + \alpha_2$ が 1 に達してしまい、独りでにターンオンする素子ができてしまう恐れがあります。以上のことから高感度で、しかも安定な素子を作るには、 α_1 及び α_2 を大きくすると共に I_{s2} を小さくしなければならないことが判ります。 I_{s2} を小さくするには高水準の製造技術をもって素子製作に当ることの他、本質的に I_{s2} を小さくする手段として比抵抗の低いウェハを使う方法があります。PUT は、この双方の融合によって始めて現実に製造可能となります。付け加えると、 I_{s2} が小さくなるということは、取りも直さず漏れ電流が小さいという PUT の特徴に通じます。また、ウェハの比抵抗を低くする結果、PUT の耐圧は低くならざるを得ません。現在、市場で入手できる PUT には、40V と 100V の 2 系統があり、通常の P ゲート小型 SCR に比べ数分の一の耐圧しかありません。しかし、この程度の耐圧でも、後の章で紹介しますように回路方式によっては非常に高い電源電圧のもとで作動させることができます。

図3に製法の異なる PUT のペレット断面模型を示します。この構造では、ペレット製作時の拡散工程が多くなり高価になりますが、N13Tシリーズの PUT の PNP トランジスタが横型であるのに対し、この例では縦型であるので前記 α_1 を大きくし易く、 I_p 、 I_v をより小さくすることもできます。また、耐圧を向上させ易いのもこの構造の特徴です。

保守／廃止

図3 製法の異なるPUTの例



2. PUTの応用技術

2-1 PUTのプログラマビリティ

PUTが従来の負性抵抗素子と趣きを最も異にするのは、そのプログラマビリティにあり、これが由に従前の素子では実現できなかった技術、もしくは婉曲的に実現していた技術等が実現可能に、あるいはまたより簡易に実現し得るようになって来たと言えます。従って、PUTを活用して従来技術の改良や、新規応用技術の開発に当たるには、このPUTのプログラマビリティについてよく知っておかねばなりません。この章では、PUTのプログラマビリティがどの程度のもので

図4 PUTによる弛張発振回路

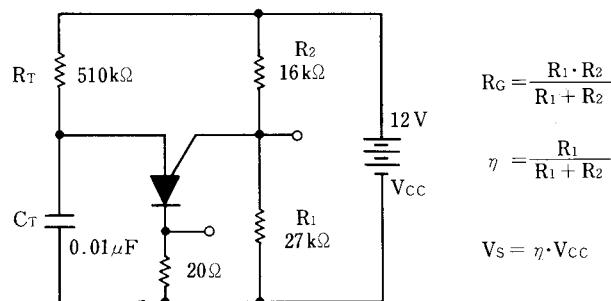
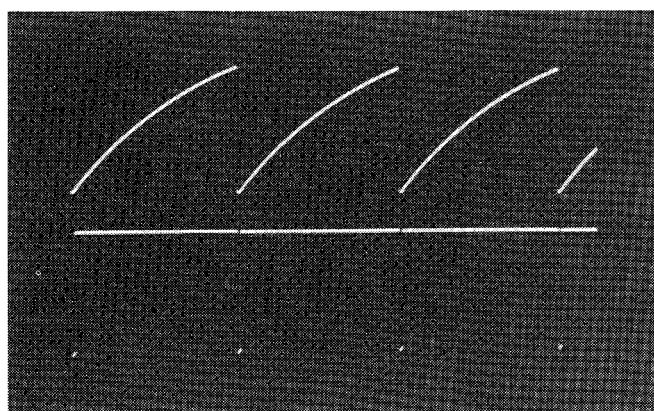


写真1



アノード電圧波形

ゲート電圧波形

保守／廃止

あるのか、また具体的にどのようにして回路設計に活用されているのかといった事柄について解析してみます。

さて、PUTのプログラマブルなパラメータの中にピーク電流(I_p)があります。PUTがNゲートサイリスタであることを思うと、ピーク電流という表現はいささか奇異に感じられますが、図4のような回路で弛張発振をしている時のPUTの動作を、ユニジャニクショントランジスタ(UJT)になぞらえて解析する都合から、このような表現をします。。しかし、本質はPUTをターンオンさせるに必要なゲート電流に相当するので、ごく普通にコンプリメンタリSCRとして使用する際には、このピーク電流をPUTのゲートトリガ電流として取り扱ってさしつかえありません。図5はピーク電流のプログラマビリティを示すグラフの例で、ゲートのバイアス電圧(V_s)は10Vに設定してあります。この図から、実用的な R_G の範囲でピーク電流は約2ディケードに亘ってプログラムできることが読み取れます。また、ごく大ざっぱな近似を行うと、次式が得られます。

$$I_p \approx \alpha R_G^{-0.55} \quad \dots \quad (2)$$

ここで、 α は個々のPUTによって異なる定数で、N13T1は大きく、N13T2は小さい値を取ります。一方、ピーク電流のゲートバイアス電圧(V_s)に対する依存度は低く、図6及び図7に示す程度にとどまっています。このことから、PUTによる発振器やタイマを設計する場合に電源電圧の変化によるピーク点付近の特性の標動は考慮する必要のないことがうなずけます。PUTのもう一つのプログラマブルなパラメータに谷電流(I_v)があります。この谷電流の定義も、PUTをUJTになぞらえて設定してあるもので、PUTのアノードカソード間のダイナミックインピーダンスが丁度零となるようなアノード電流をさしています。つまり、アノード電流が丁度谷電流と等しくなった時、正抵抗成分と、負抵抗成分の絶対値が等しくなるので端子間から見たダイナミックインピーダンスは零となります。従って、アノード電流が少しでも増えるとPUTは正抵抗領域に入り、逆に減少すると負抵抗領域に入ります。図8は谷電流のプログラマビリティを示すグラフの例で、ゲートバイアス電圧は同じく10Vに設定してあります。この図からピーク電流と同じように、実用的な R_G

写真2

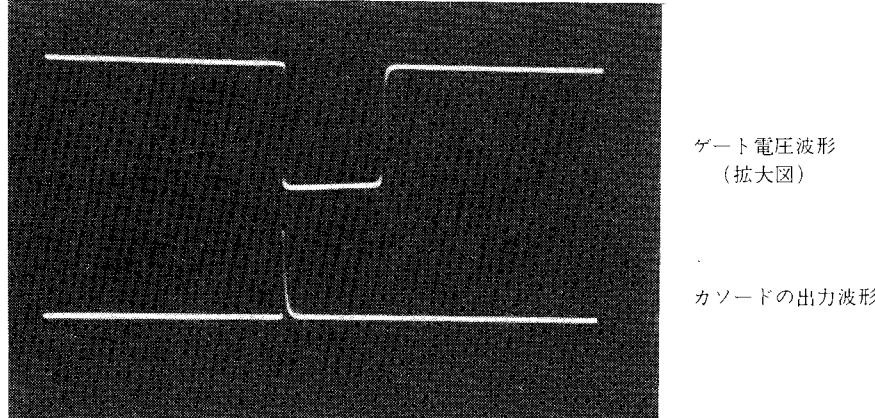


図5 ピーク電流(I_p)のプログラマビリティの例

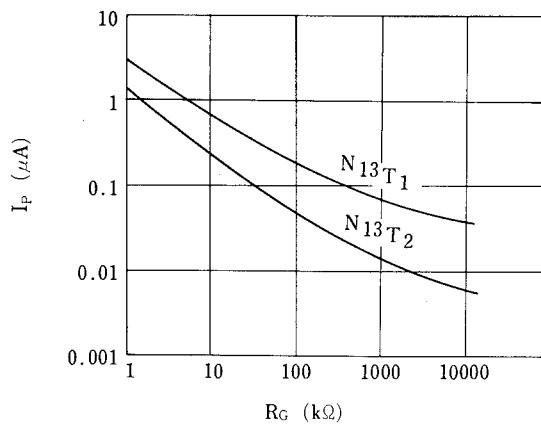
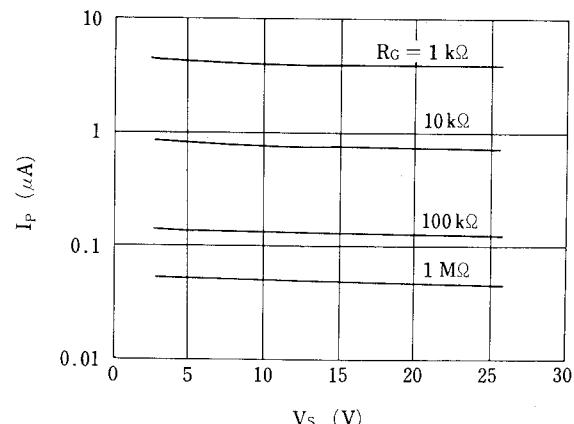


図6 N13T1 の $I_p - V_s$ 特性例



保守／廃止

図7 N13T2の I_p - V_s 特性例

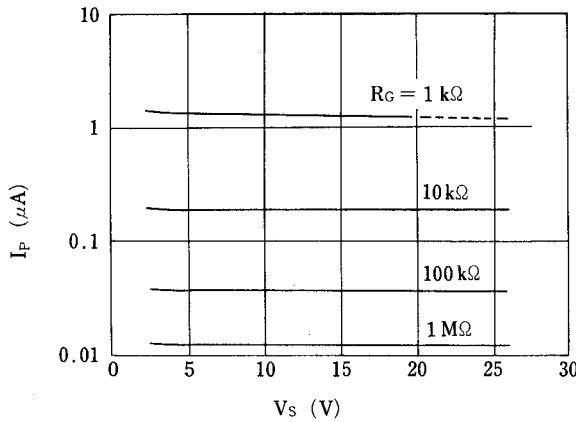
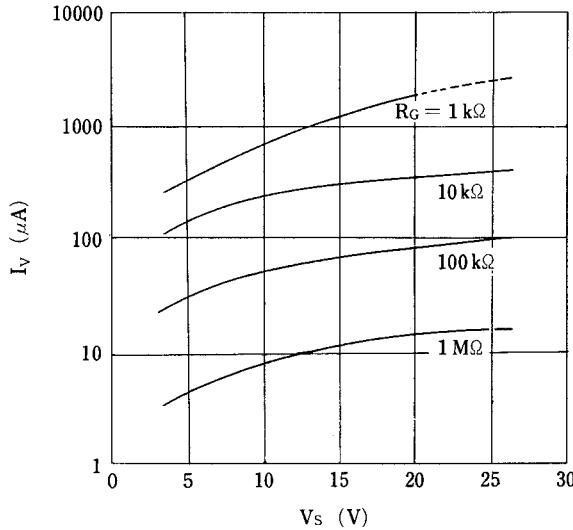


図9 N13T1の I_v - V_s 特性例



の範囲で約2ディケードに亘ってプログラムできることが判ります。この場合の近似式は I_p のそれより近似度がかなり良くなります。

$$I_v \approx \beta R_G^{-0.66} \quad \dots \quad (3)$$

ここで、 β は個々のPUTによって異なる定数で、N13T1は大きく、N13T2は小さい値を取ります。一方、ピーク電流とは対象的に谷電流の大きさは、ゲートバイアス電圧にも依存して変化し、特にバイアス電圧が低い場合にその影響を大きく受けます。図9及び図10に示したグラフがその例で、グラフから判るように R_G が低い領域と、逆に高い領域でバイアス電圧に対する依存度が高くなる傾向があります。従って谷電流の大きさが考慮の対象になる発振回路においては R_G による谷電流の変化は勿論のこと、ゲートバイアス電圧による変化も考慮して回路設計を進めなければなりません。もし、この注意を怠ると、例えば電源電圧が低下したような場合、谷電流が小さくなるので発振が停止することが起る恐れがあります。勿論、谷電流に関して充分な余裕のある設計を行なってあれば、このようなことは回避できるわけですが、諸々の制約から満足するべき設計ができず、失敗することがあります。

尚、谷点付近ではPUTがインダクタンスとして作用するために、弛張発振用のコンデンサと振動を起しPUT自身を逆バイアスする結果、アノード電流が I_v より大きいにもかかわらず正常な弛張発振を起こすことがあります。この現象を、インダクタンスを追加することにより人為的に助長してやると I_v より相当に大きいアノード電流が流れるような条件の下で安定な弛張発振を起こすことができます。

PUTのプログラマブルなパラメータにオフセット電圧(V_T)もあります。オフセット電圧とは、ゲートバイアス電圧(V_s)とピーク電圧との差の電圧で定義されるもので、通常のサイリスタの定義でゲートトリガ電圧と呼ばれるものに相当

図8 谷電流(I_v)のプログラマビリティの例

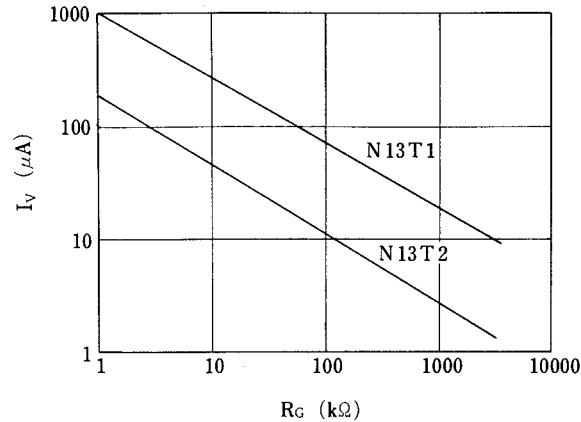
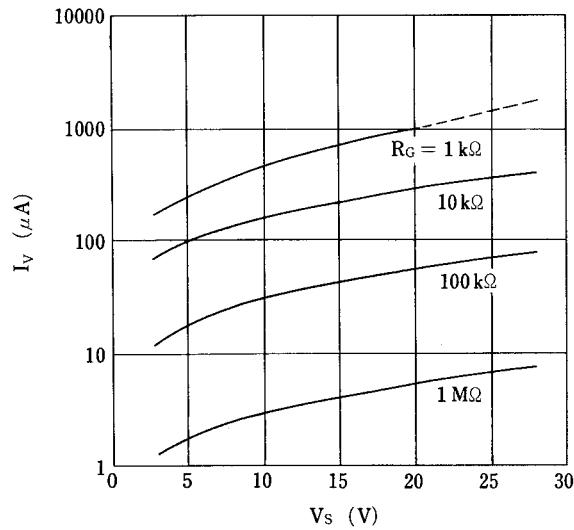


図10 N13T2の I_v - V_s 特性例



保守／廃止

図11 オフセット電圧のプログラマビリティの例

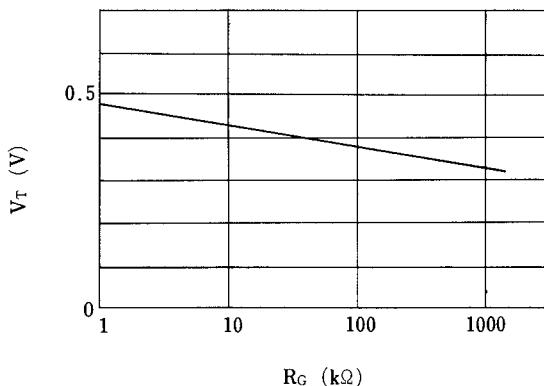
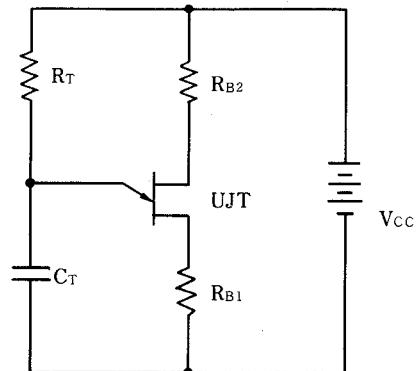


図12 UJTによる弛張発振回路



します。このオフセット電圧のプログラマビリティは構造上、 I_p や I_v のように大きくなることは有り得ず、図11に示す程度になります。しかし、この程度の変化でも超低周波発振回路や動作限界の長いタイマにはかなりの影響を与えます。特に通常の弛張発振回路でスタンドオフ比 η を大きくしたい場合には、 R_G の決定時にこのことを考慮する必要があります。

以上、PUT そのもののプログラマビリティについて説明してきましたが、PUT を活用して、目的とする機能を有する回路を設計する場合、回路そのものにもプログラマブルな性質を付与することができます。次にこのような性質について解析してみましょう。ここでもう一度図4を見て下さい。この図は前にも述べましたように、PUT を使用した弛張発振回路です。一方図12は UJT による弛張発振回路で、これらの回路の発振周波数はいずれも次式で近似することができます。ただし、この式はスイッチ素子の動作を理想化した時にのみ成り立つもので、実際の設計には目安をつける程度にしか使えません。

$$f_{osc} = \frac{1}{CR} \left(\ln \frac{1}{1-\eta} \right)^{-1} \quad \dots \dots \dots \quad (4)$$

式中の η は前にも述べたスタンドオフ比で、UJT にあっては、半導体素子メーカーで素子を製造する際に一意的に作り込まれるので、回路設計者にとっては固定されたパラメータとしてしか取り扱えない性質のものです。しかし、PUT の場合には、 R_1 と R_2 によって決まるので、もはや固定されたパラメータではなく回路設計者の意図するところに従って任意に変え得るものになります。しかるに UJT のベース1及びベース2間の抵抗 R_{BBO} は、シリコンのバルク抵抗により決まるのでやはり固定のパラメータですが、PUT のそれは PUT そのものには無関係に R_1 と R_2 の和で決まり、 η と同様に設計者の思惑でいかようにも変え得るものとなります。このように、PUT を使った弛張発振回路では PUT に固有のパラメータということではなくし、回路のもつパラメータとして η 及び R_{BBO} をプログラムすることができます。言うまでもなく、 R_1 と R_2 の値を変化させることは、PUT のゲートから見たゲート抵抗 (R_G) を変化させることになり、当然、前に述べた I_p 、 I_v 、 V_T が変化するという結果を招来します。

1例として、図13、14のように、PUT のゲートをそれぞれコンデンサ C_G 、定電圧ダイオード D_1 でバイアスした場合には、ピーク電流 I_p が大きくなります。これは、コンデンサの等価直列抵抗と定電圧ダイオードの動作抵抗の値は非常に小さくその結果として PUT のゲートから見たインピーダンス R_G が小さくなり、前に述べた I_p が R_1 、 R_G で求められる値より大きくなることによるものです。

又、 I_v については図14の場合、PUT がオンすると定電圧ダイオードが阻止領域に入り、高インピーダンスになるため、 R_G はほとんど R_2 のみで決まりますが、図13の回路の場合、PUT がオンしてもコンデンサの等価直列抵抗のため R_G が R_1 、 R_2 で求められる値より小さくなるため I_v が小さくなります。

図13 ゲートをコンデンサでバイアスした回路

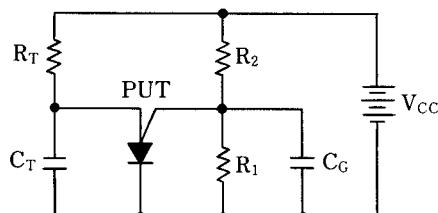
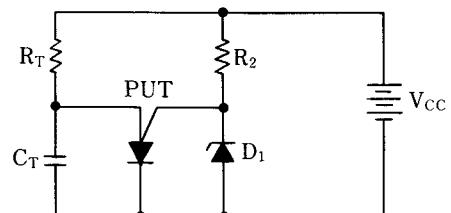


図14 ゲートを定電圧ダイオードでバイアスした回路



保守／廃止

実際に回路を設計する場合には以上の事柄を有機的に勘案しながら設計を進めなければなりません。特に回路の機能が特殊な場合とか、PUTを性能一杯で使うような場合には、回路技術的に行なう諸施策の交互作用をも考慮することを忘れてはなりません。

以上の考察から、PUTがサイリスタの一種であるにもかかわらず適當な回路技術と組み合わせると、等価 UJTとして、然も応用技術的に極めて高い自由度を持った等価 UJTとして使用できることを理解して頂けたものと思います。PUTを等価 UJTとして使用する場合には、そのプログラマブルな特質だけに注目したとしても従前の UJTが使われていた分野だけに留まらずもっと広い分野で使い得ることがうなずけます。さらに、PUTは前に述べましたようにスイッチ作用の著しい PNPN 4 層構造体であるので、これを伝導度変調を起こしてスイッチする UJTと比較すると、

1. スイッチングスピードが速い。(約60nsec)

2. 導通状態における内部電圧降下(約1V)及びダイナミックインピーダンス(約3Ω)が小さい。

といった違いがあります。このような特徴も又、PUTをより広い分野で活用できることを示唆しています。例えば上述した第2の特徴と、かなり大きな直流電流が流せることを考え合わせると PUT の出力で直接に負荷を駆動する回路を作ることができます。また、第1、第2の特徴から、PUTをサイリスタのトリガパルス発生に使用すれば立上がりが速くしかも高エネルギーのトリガパルスを得ることができます。その例として図15に基本回路における電源電圧と出力パルス

図15 V-V₀ 特性

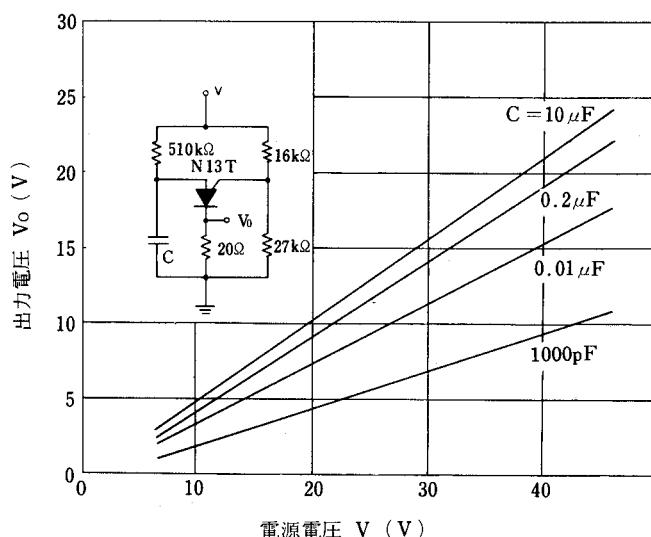
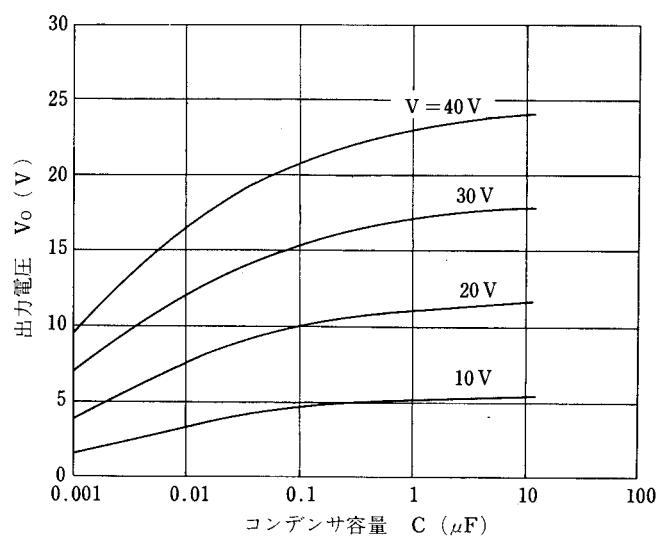


図16 C-V₀ 特性



電圧の関係を、図16に同コンデンサ容量と出力パルス電圧の関係を示しておきます。

2-2 PUTの応用限界

以上のように、PUTには多くの特徴があり、その為に極めて有用性に富んだ素子である訳ですが、PUTとて万能ではありません。

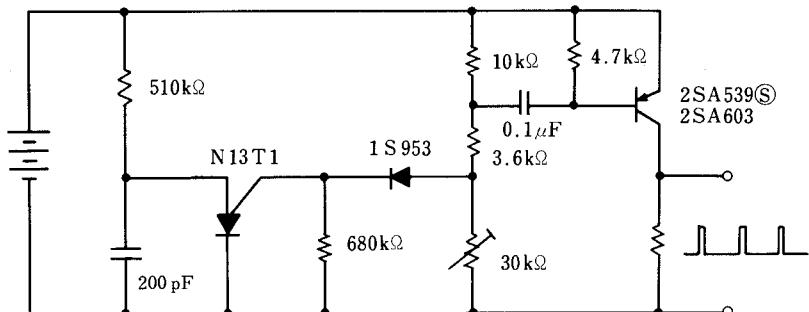
特に、現時点において市場で入手できるPUTは、その種類が少なく、すべての要求を満たせる状況には至っていません。PUTを活用してメリットの多い電子装置を生み出すためには、PUTで何が実現可能かということの検討は言うに及ばずPUTの応用技術上の限界はどこか、他の能動電子部品との技術的、経済的接線はどこいらにあるか、ということも検討しなければなりません。そこでこの項では、PUTを活用するうえでの技術的限界について解析してみましょう。尚、経済的問題については、個々に検討されるべきであると考えられるので割愛します。

保守／廃止

○ P U T の発振周波数限界

P U Tによる発振回路は、弛張発振を基にしているので、発振可能な周波数範囲は積分回路のとり得る定数の範囲によって決定します。P U Tの場合、U J Tに比べてピーク電流や漏れ電流の絶対値が小さいので積分回路の定数のとり得る範囲は広くなり、発振可能な周波数範囲もまた広くなります。周波数の下限に制限を与える要因としては、P U Tのピーク電流やコンデンサの漏れ電流が主なもので、一方高い周波数領域ではP U Tの谷電流が主な制約要因となり、さらに数十kHz以上では、P U Tのターンオフタイムも無視できなくなります。この他、周波数の安定度に影響を与える要因として電子部品の表面を伝って流れる表面漏れ電流があり、これはまた雰囲気中の湿気や気流の状態により大きく影響を受けます。このような制約要因をどのように処置するかにより、発振周波数の限界は変わってしまうわけですが、ごく一般的に使用したとして、おおむね 10^{-3} Hz から 10^5 Hz のオーダーであると見ておけば宜しいでしょう。ただ残念ながら、この範囲内においてもP U Tの発振状態は一定ではありませんが、安定度が変化してしまいます。では、どの程度の周波数範囲なら安定な動作をするかというと、これは中々難しい問題で、要求される性能、例えば周波数の経時変化の限度、温度による変化の限度、どのような発振出力が必要かといったことにより、また電源の質その他によっても変わる性質のもので、一概に言い切ることができません。しかし、一応の目安として 10 kHz 以下と心得ておけばよいでしょう。一例として、図17に 10 kHz の発振回路を挙げておきます。一方、低い周波数から高い周波数まで一律に発振動作させるには、P U Tの負性抵抗の絶対値が非常に大きいことから、回路のインピーダンスを上げる方法が他に比べて得策であるようです。勿論、この場合には回路のインピーダンスが高いが故に、低いインピーダンスの負荷を直接にドライブすることはできませんが、カソード、もしくはゲートの何れからでも出力が取り出せるというP U Tの特質を生かして使えば実用上、不便を感じることはできません。しかし、往々にして、主に経済上の制約から広い周波数範囲に亘って発振し、さらにバッファアンプを用いないで負荷をドライブしたい時があります。このような場合、たくみな回路技術により、実現できる例もありますが断念せざるを得ない場合もあり、システム化の前にカオス化が進展している現今においては、他の能動素子に解決の手段を求めた方が実現の可能性が濃くなることもあります。いずれにせよP U Tの特質を十二分に生かして、問題の解決に当たらねばならないわけですが、発振周波数の限界を広げる回路技術的アプローチの仕方については後の発振周波数範囲の拡大の項で紹介します。

図17 P U Tによる 10 kHz パルスジェネレータ



○ P U T のタイマとしての応用限界

P U Tはその特質からみて、電子タイマを造るのに極めて適した素子です。既に従来のU J TやトランジスタによるタイマからP U Tによるタイマへ移り変わった分野もあり、今後ともこの傾向は変わらないでしょう。それと言うのも、現在産業用に多用されているタイマの仕様はP U Tでこれを実現する場合に障害にならないばかりか、むしろP U Tを使用することにより改善することすら可能になります。ただし、特殊なタイマの場合にはこの限りではなく、P U Tでは実現できない類のものもあります。この項ではこのような実現の難しいタイマの分野に対して、P U Tがどの程度活用できるかと言ったことについて解析してみます。

P U Tを使ったタイマで実現がそろそろ危うくなるのは動作時間が一時間程度以上の領域でしょう。また、回路設計やアセンブリの設計に注意を払わねばならなくなるのは二十分程度以上の領域でしょう。しかし、ここで検討の対象になるのはP U Tそのものの実力ではなく、積分回路を構成する抵抗器やトランジスタ、F E T及びコンデンサ等の電気的安定性です。P U Tの実力は既に、周辺電子部品（とりわけコンデンサ）の性能が向上しさえすれば数時間の動作時間を持つタイマを造れる水準に達しています。従って、技術的検討の内容は、コンデンサの漏れ電流に対する対策、コンデンサ

保守／廃止

の誘電吸収現象に対する対策、抵抗器やプリント配線板の表面漏れ電流に対する対策等が主なものになります。このうち、コンデンサの内部漏れ電流の問題の解決が最も難しく、回路技術的に救済する手立てはほとんどありません。ただ、漏れ電流と端子電圧との間に安定な飽和特性がある場合には、計算式中に飽和電流の項を組み入れて設計することにより、精度が極端に低下することは防げます。しかし、飽和電流の温度係数等を勘案すると感心できる方法とは言えません。やはり本質的に漏れ電流の少ないコンデンサを選択して使用すべきだと言えましょう。一方漏れ電流が少なくて容量の大きいコンデンサを使用するとなると、経済的な問題につき当たり、こちらの理由から実現不可能と判断せざるを得ない場合があります。このような状態に立ち至った時、考えられる手段として次のような方法があります。

1. コンデンサをパルス電流により間欠的に充電または放電する方法。
2. PUTで発生する長周期のパルス列をデジタル的に計数する方法。

第1の方法では、使用するコンデンサが充分に良質の製品でないと、失敗する場合があります。しかし、容量の割にかなり長い動作時間を持つタイマを造ることができます。尚、この方法では、使用する部品や材料の表面漏れ電流にも気を配る必要があります。第2の方法では比較的簡単に精度の高いタイマを造ることができますが、設定時間がとびとびになる欠点を持っています。しかし経済的に余裕がある場合には、PUTの発振周期を短くしてカウンタの容量を増やせば実用上、問題になることはありません。後の応用例の項でPUTとIC化BCDカウンタを組み合わせた例を紹介します。

以上のように長時間タイマの領域ではPUTよりもコンデンサの性能の方が事実上の制約要因となり、コンデンサの改良が進むにつれ応用限界も広がって行くでしょう。

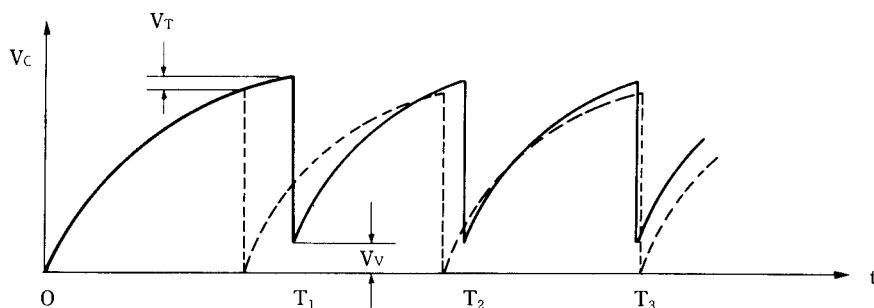
○微少電力動作の限界

テレメータ用A-Dコンバータや光学式煙感知器等のような分野では、エネルギー源の容量に制限があることから、僅かの電力で安定に作動する弛張発振器が欲しくなります。PUTによる弛張発振回路は、前述のように回路全体のインピーダンスを上げられるので低電力動作にも適しています。回路のインピーダンスを上げるには、PUTのピーク電流や漏れ電流(IGAO, IGRS)がなるだけ小さい方が有利なわけですが、PUTは、回路のインピーダンスが高ければ高いほどピーク電流が小さくなる性質があるのでまさにうってつけの素子であると言えるでしょう。しかし、当然のこと乍らあまりにも少ない電力で作動させようとすると、他の電子装置や配電線からの誘導や、漏れ電流の影響を受けて、安定な動作を望めなくなってしまいます。従って実用の限界は、装置の置かれる電気的環境の良し悪しによって決まってしまいます。このような微少電力でしかも高インピーダンスで作動する電子回路は、しかるべきシールドを施して使用するのが定石であるとすると、PUTの使用限界はほぼ $10\mu\text{W}$ 程度であると考えて宜しいでしょう。実験では、平均電力 $20\mu\text{W}$ で安定に作動する発振器を作ることができました。

3. PUTの応用例

前の章でPUTのプログラマビリティと応用限界について考察したので、この章では、PUTを応用した各種電子回路の例と設計の方法を紹介します。

図18 弛張発振波形



保守／廃止

3-1 弛張発振回路の設計

まず、PUTの応用の基本とも言える弛張発振回路の設計式を導いてみましょう。発振周波数を求める式は前の章で紹介した次式が基本になります。

$$f_{osc} = \frac{1}{CR} \left(\ln \frac{1}{1-\eta} \right)^{-1} \quad \dots \dots \dots \quad (5)$$

しかし、この式は図18の破線で示した発振動作を表わし、実線で示したような実際の発振動作を説明することはできません。実際には、オフセット電圧 (V_T) と谷電圧 (V_v) の影響を受けるので(5)式で求められる周波数よりも高い周波数で発振し、しかも、図18から判るように、 $t = 0$ から始まる最初のサイクルと次のサイクルの周期もずれていきます。このようなことからここでは、第2サイクル以降の定常状態における発振周波数を求めてみることにします。

さて、 $t = T_1$ 以降のコンデンサの電圧は(6)式で求められます。そしてこの電圧が、PUTのピーク電圧 (V_p) に達する点で第2サイクルが終了するので、この間の周期を T とすると次のように発振周波数を求めることができます。

$$V_c = (V_{cc} - V_v)(1 - e^{-\frac{1}{CR}t}) + V_v \quad \dots \dots \dots \quad (6)$$

$V_c = V_p$ とおくと、

$$V_p = (V_{cc} - V_v)(1 - e^{-\frac{1}{CR}t}) + V_v$$

$V_p = \eta \cdot V_{cc} + V_T$ とおくと、

$$T = C \cdot R \ln \frac{1}{1 - \frac{\eta V_{cc} + V_T - V_v}{V_{cc} - V_v}} \quad \dots \dots \dots \quad (7)$$

$$\left(\eta = \frac{R_1}{R_1 + R_2} \right)$$

$$f_{osc} = T^{-1} \quad \dots \dots \dots \quad (8)$$

図19に、(7)式を次のようにおいた時の η_0 に対する対数項をグラフにしたものあげておいたので、発振周期の近似計算に活用していただきたい。

$$T = C \cdot R \ln \frac{1}{1 - \eta_0} \quad \dots \dots \dots \quad (9)$$

(7)式から、電源電圧 (V_{cc}) やスタンダードオフ比 (η) が大きい程 V_T や V_v の影響を受けにくくことが判ります。また、 V_T の方が強く影響を及ぼすことも読みとることができます。図20は、電源電圧を変化させた時の発振周波数の変動を示したもので、上述したように電源電圧が高い程、変動率が低くなることが判ります。また図中の破線は V_T を回路技術的に打ち消した時のデータで、電源電圧変動の影響はほとんどなくなっています。

図19 $\ln \frac{1}{1 - \eta_0}$ 計算図

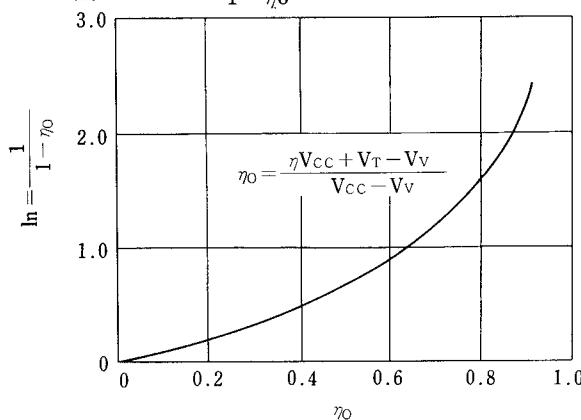
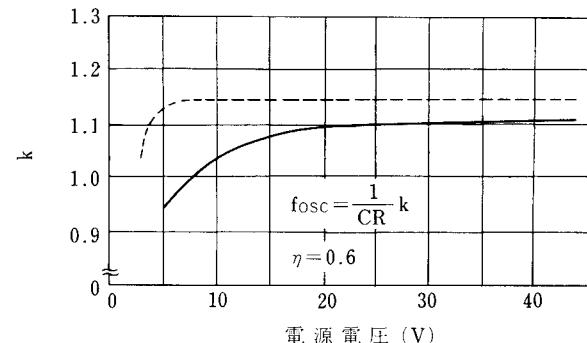


図20 発振周波数-電源電圧特性



3-2 発振周波数の温度補償

以上のように(7), (8)式により弛張発振回路を設計することができるわけですが、図21及び図22に示すように、PUTの V_T や V_v は負の温度係数を持っているので、発振周波数が周囲温度の変化につれて変化してしまいます。しかし、幸いなことに、 V_T と V_v の温度係数が共に負であることから相互に幾らかずつ補償し合っており、(7)式中の $(V_T - V_v)$ の総合

保守／廃止

図21 V_T -温度特性

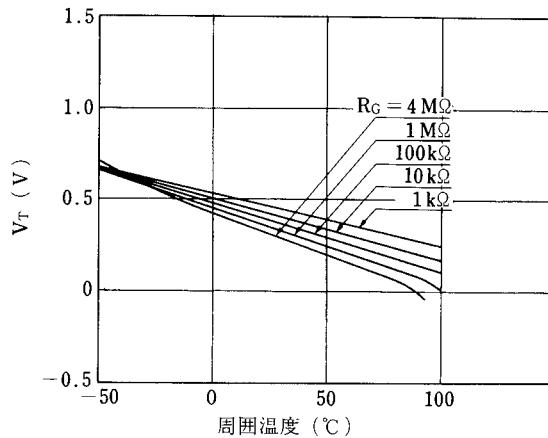


図22 V_v -温度特性

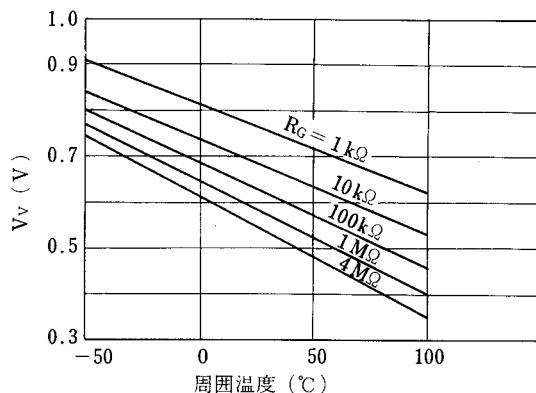


図23 発振周期温度特性

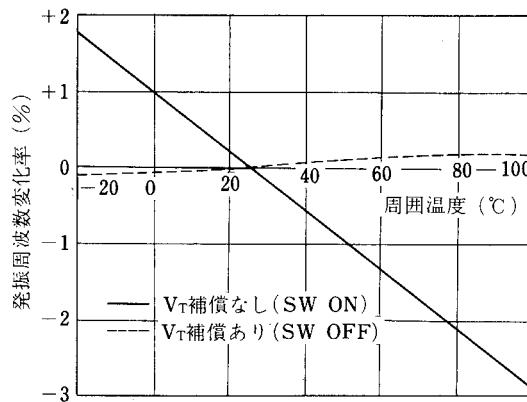
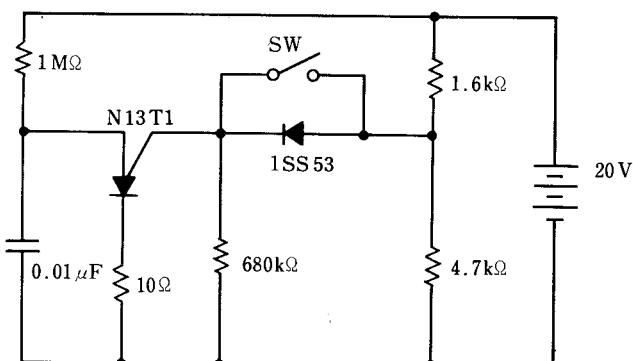


図24 溫度試験供試回路



温度係数が小さくなっています。実際に温度試験を行なってみると、図23に示すように、約0.04%/°C程度の温度係数が観測されます。ただし、この図は発振周期で表現してあるので注意していただきたい。以上のことから、発振周波数の温度補償を行なう方法として V_T を補償する方法と、 V_v を補償する方法が考えられ、それぞれの方法は、技術的に全く異なる処置を行なわなければなりません。そして、その処置の難易度にも違いがあります。理想的には、双方とも補償すべきですが、(7)式の意味するところ、及び図21、22から読み取れる温度係数の違い等を勘案すると、 V_T の方を適量補償することにより、かなり良好な補償効果が得られるようと思われます。それに、 V_T を補償すると、前述した電源電圧変動に対する補償効果も期待され、うまくゆけば一石二鳥の効果が得られそうです。図20の破線は、このような考察に基づいて実験した結果を示したもので、図から判るように幾分、過補償ぎみですが、温度係数は0.002%/°C程度に小さくなっています。まだ成功した例とみてよいでしょう。ただし、このデータには、抵抗器やコンデンサなどの温度係数は含まれていないので、実際の電子装置の設計を行う場合には、周辺部品の温度係数も加味して設計しなければなりません。それらの具体的方法については、材質の異なる各種部品を組み合わせる、組み合わせの数が極めて多くなり、ここに網羅しきれないで割愛します。図24に、上記温度試験を行なった時の回路図と、使用した部品をあげておきますので参考にして下さい。

3-3 発振周波数範囲の拡大

3-1で導いた(7)式は、 I_V の項を含んでいません。 V_v が決まれば発振周波数は決まってしまうからです。しかし、PUTの発振可能な周波数範囲について検討を加えるとき、この I_V の項は非常に重要なファクタとして取り扱わねばなりません。何故なら、PUTによるオーソドックスな発振回路ではPUTのカタログの末尾に示しました式 $((V_{cc} - V_v)/R_T < I_V, I < I_V)$ から分りますように、 I_V の値から R_T や充電電流 I のとり得る範囲が決まってしまいます。一方、PUTの I_V はコンペニショナルUJTに比べてかなり小さく、この為に高い周波数で発振させるには（前にも述べましたように）微少電力で動作させなければなりません。しかしこれでは高エネルギーのトリガパルスを得たいという要求には応えられないこと

保守／廃止

になります。

このように、発振周波数範囲を広く、かつ回路のインピーダンスを低くしたい場合には回路技術的にこれを克服しなければなりません。その方策は人為的に I_P を小さく、 I_V を大きくすることに尽き、次に紹介しますように幾つかの方法があります。

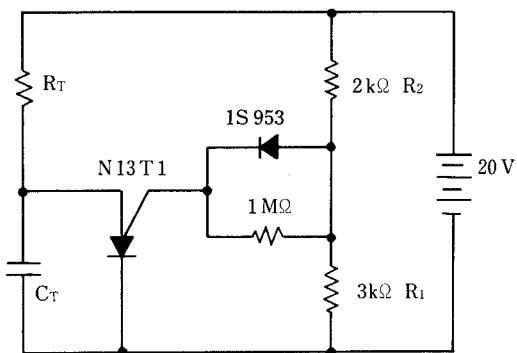
○ダイオードを使用する方法

この方法は、P U Tのゲート電流の方向がピーク点と谷点とで逆転することに着目し、ダイオードの整流作用と組み合わせ R_G に方向性を持たせるやり方です。

実際例を図25に示します。この回路は前述しました温度補償の回路と良く似ていますが、温度補償の効果は期待できません。逆に温度補償の回路は低 I_P 、高 I_V 化にかなりの効果があります。しかし、温度補償に最適な回路定数が低 I_P 、高 I_V 化に最適とはなりません。

図25の回路はうまく設計すると I_V と I_P の比 I_V/I_P を $10^3 \sim 10^4$ にすることができます。しかし、 η を決める抵抗 R_1 、 R_2 に流れる電流はかなり大きくなってしまいます。従って、電源電圧が高い場合には消費電力が大きくなってしまふかもしれません。

図25 ダイオードによる低 I_P 、高 I_V 化回路



○ツェナダイオードを使用する方法

R_G に方向性を持たせる考え方を発展させ、図26の回路に示したようなツェナダイオードを用いると、低 I_P 、高 I_V を実現しつつ平均消費電力を引き下げることができます。ここで使用するツェナダイオードのブレークオーバ電圧は次式の範囲に選定します。

$$(V - V_F) > V_Z > (1 - \eta) V$$

$$\text{ただし } \eta = R_1 / (R_1 + R_2)$$

つまり、P U Tがオンする迄はツェナダイオードにかかる電圧は V_Z 以下であるため、ダイオードがないに等しく、一旦 P U Tがオンするとダイオードがブレークオーバし、 R_G はほぼダイオードに直列に接続された抵抗器で決まってしまう訳です。ただし、この回路が狙いどうり作動するにはゲートバイアス抵抗に流れる電流に対してツェナダイオードの飽和電流 I_S が充分に小さくなければなりません。この回路はまた、トランジスタと組み合わせて波形整形され、増幅されたパルスを得るのも適しています。その実際例を図27に挙げておきます。この回路は、P U Tがオンした時だけベース電流が流れ、増幅されたコレクタ電流が得られるように構成してあります。この回路で何故、波形整形されたパルスが得られるかは、7ページの写真2を見て頂ければ一目で判ると思います。つまり、P U Tそのもので波形整形されてしまっている訳です。またこの時の出力パルス幅は、P U Tのアノードもしくは発振用コンデンサに直列に抵抗器を挿入することにより幾らか広げることができます。

図27の回路は非常に有用性に富んでおり、サイリスタのトリガ回路や、発光ダイオード（L E D）のドライブ等に広く活用されています。

以上紹介しました例は何れも P U Tのゲート側で操作していますが、アノード側で操作することもできます。実験の結果では、アノード電流を制御する方がより効果があるようです。以下にその例を紹介します。

保守／廃止

図26 ツエナダイオードによる低 I_P , 高 I_V 化回路

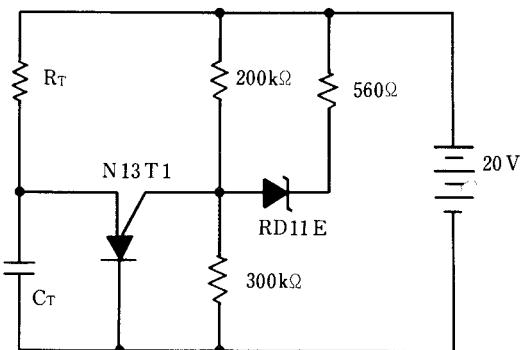
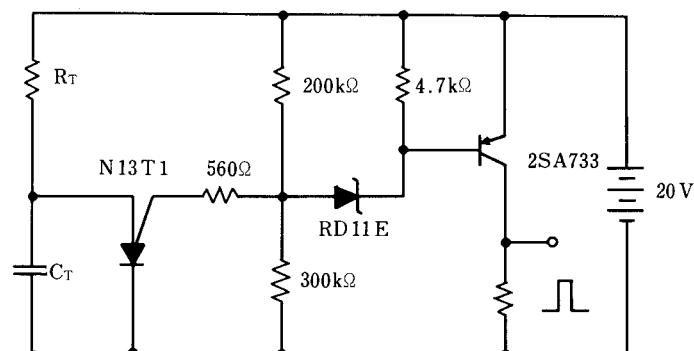


図27 図26の応用例



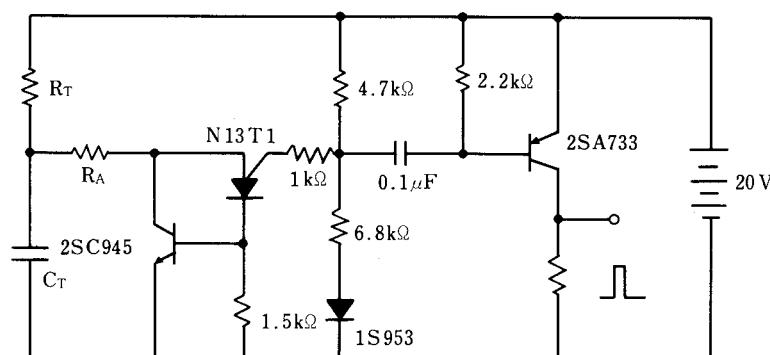
○アノード電流のバイパス

この方法は UJT でも実施されていた手法の一つで、PUT がオンすると同時に、アノード電流を他にバイパスしてしまい、PUT がオフし易い条件を整えようとする考え方で立脚しています。その中の一例を図28に挙げておきます。一見すると、PUT がオフしかかればトランジスタもオフしかかりそうで、確実にバイパスされるかどうか疑問に思われますが、実際には PUT のキャリア蓄積効果の為、ゲートよりもアノードの方が先に回復することが幸いし、安定に発振します。

図中、 R_A とあるのは、 C_T の放電电流が過大になり、トランジスタが破壊するのを防止する為の抵抗器、また D は、回路の温度係数が逆転し、温度特性が悪化するのを防止する為のダイオードです。 R_T が高抵抗で充電電流が少ないのでこのダイオードは不需要です。

尚、この回路の発振可能周波数範囲は非常に広く、上限は 1 MHz 近辺まで延ばすことができます。

図28 アノード電流のバイパス



○アノード電流のカットオフ

アノード電流を操作するもう一つの行き方にこれをカットオフしてしまう方法があります。これらのテクニックのほと

保守／廃止

などは、P U Tがオンした時アノードと共にゲートにも電流が流れ込み、ゲートの電位が変化することを利用しています。この時、P U Tのゲート電流波形が自己整形される事実がかなり有利に作用していることは見逃せません。

図29に一例を紹介します。この回路は、ロジック(TTL)用電源で動作するよう設計されており動作は次のとおりです。

P U Tがオンする迄は、トランジスタは定電流ソースとして働き、コンデンサの電圧はリニアに増大して行きます。一旦P U Tがオンすると、そのゲート電位が下がるのでトランジスタのエミッターベース間は逆バイアスされ、トランジスタはカットオフし、アノード電流の供給を停止してしまいます。その結果、P U Tはターンオフし、以下発振を持続します。同様の回路で電源電圧をもっと高くしたい場合には、 470Ω の抵抗器の部分をツェナダイオードに置き換えた方が確実な動作を期待することができます。写真3は、図29のP U Tの出力パルス発形とアノード電圧形です。

図29 アノード電流のカットオフ

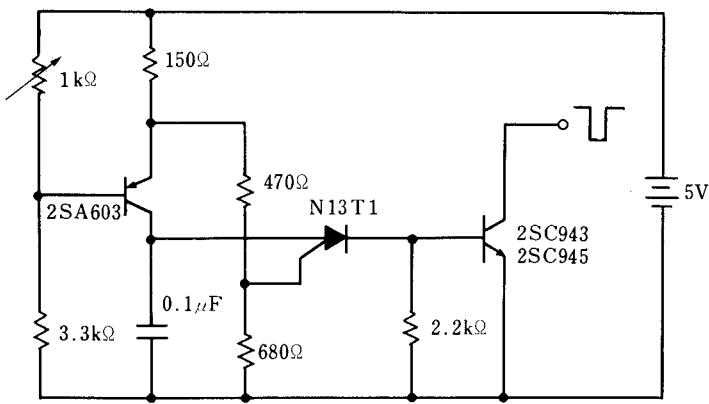
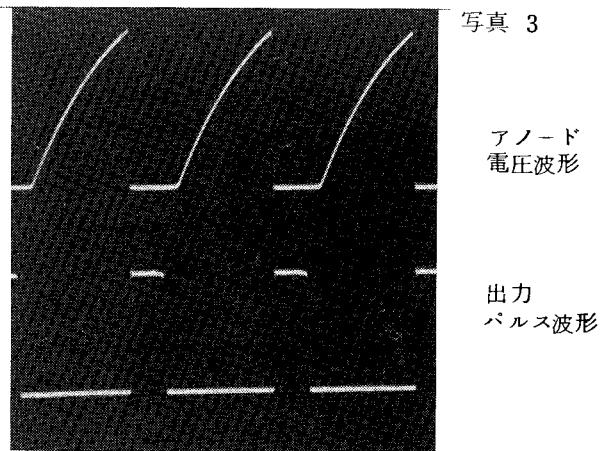


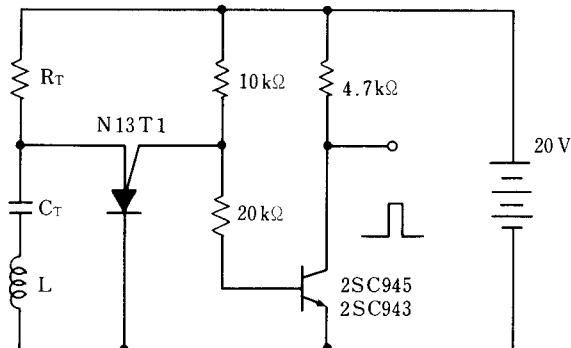
写真 3



○インダクタンスを用いる方法

一方、全く異質の方法としてインダクタンスとキャパシタンスとの共振を用いる方法があります。この方法はサイリスタによる高周波インバータの考え方を取り入れたもので、図30にその具体例を示します。インダクタLの位置はP U Tのアノード側に移しても差し支えありません。この方式ではP U Tの転流失敗を避けるために、カソードから直接、出力を取り出さず、図のようにゲートにバッファを設けた方が良いでしょう。勿論、この部分に前述したツェナダイオードとトランジスタによる回路を併用することもできます。

図30 インダクタンスによるターンオフ



保守／廃止

3-4 弛張発振回路の実用例

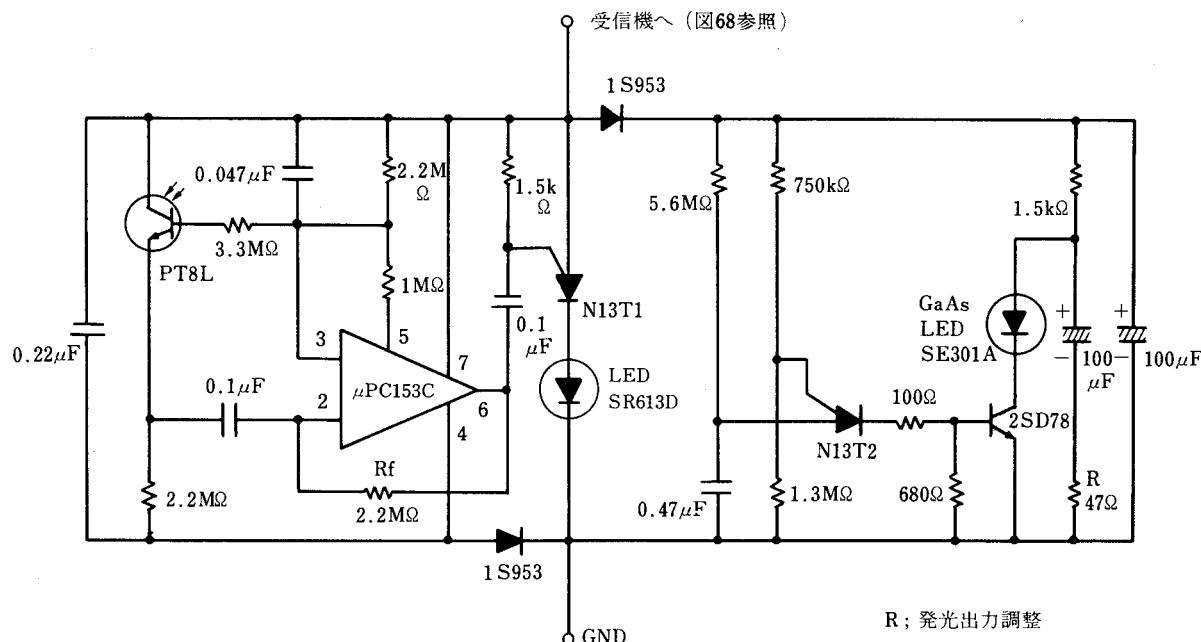
図31は、弛張発振回路の実用例で、光学式煙感知器用に設計したものです。この回路は、特に微少電力で動作し、さらに、受光素子の特性に合わせて光パルスのピーク出力と、パルス幅が大きくなるように配慮してあります。図の定数では、約3秒に1回の割合いで光パルスを放射します。尚、パルスの強さは、GaAs発光ダイオードに直列に入れた抵抗器で調節することができます。

従来から、煙で散乱された微弱な光を受けて火災警報を発する方式は、実用的なS/N比が得られないと言われていました。しかし、実験の結果、ここに挙げた発光部と、新開発になったフォトトランジスタ（PT8L）とマイクロパワーI-C（μPC153C）とPUTから成る受光部とを組み合わせることにより、発光部と受光部を一般照明光下に露出した状態でも安定に作動する煙感知器を作ることができました。この場合の平均電流は30～100μA程度で、電流を多くするほど設計が楽になります。尚実験では、発光ダイオードにシリコンをドープした製品を使い、ピーク電流は100mA程度流しました。このようにPUTを巧みに使用すれば、従来、不可能とされていた技術を可能なものにし得る場合があります。尚、火災警報装置用受信機については、後にイオン式感知器に適用した簡単な例を紹介します。

図4のようなインパルスを発生させる回路は、ここであげたようにトランジスタをパルス駆動する場合の他に、サイリスタや放電管のトリガ、リングカウンタやシフトレジスタのドライブ等に広く用いられ始めています。PUTによる弛張発振回路は、このようなインパルス発生の他に、色々に変形されて、色々な波形を発生するにも使われています。

図32にあげた回路はその一例で、ここでは、可聴周波数の方形波発生器として使っています。この回路の設計式は、回路の簡単さに比べてかなり難しくなるので、設計の際には、近似式を用いるか、実験によって回路定数を定める方が得策

図31 散乱光式煙感知器回路図（2線式）



※ 抵抗の単位はΩ、コンデンサの単位はμFです。

※ 回路のインピーダンスが高いので全体をシールドしてお使い下さい。

※ PT8Lに螢光灯等一般照明の直射を受けても誤動作することはありません。

保守／廃止

図32 電子ブザ

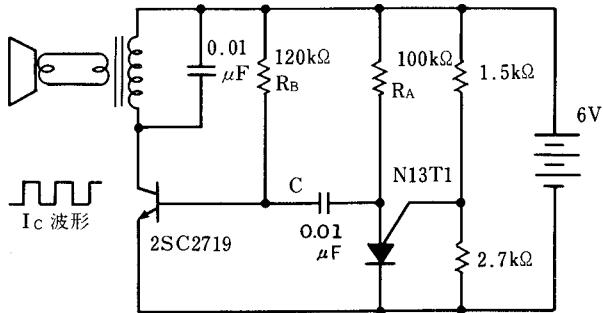
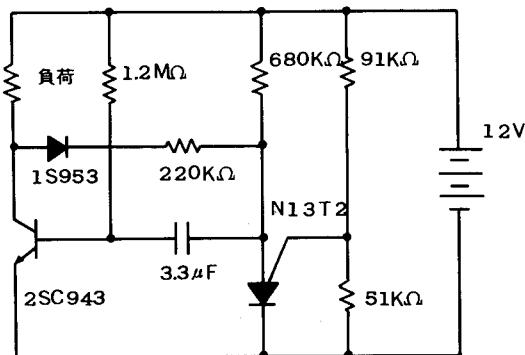


図33 低周波アステーブルマルチ



でしょう。図に示した回路定数なら、デュティが50%位で発振周波数が約500Hzの方形波電流が得られ、RAかRBの値を変えると、デュティと発振周波数が両方ともかわり、その変化の様子は、RAを変えた場合とRBを変えた場合とで、それぞれ逆になります。従って、デュティを一定に保ったままで発振周波数だけを変えたい場合には、RAとRBと共に一定の比率で増減させなければなりません。この他、コンデンサの容量を変化させても、同様の結果が得られるることは言うまでもないでしょう。もし、より高い電源電圧で動作させたい場合には、トランジスタのベース・エミッタ接合の破壊を防ぐためにベースと直列にダイオードを接続して、見かけ上のBV_{EBO}を上げる必要があります。また、出力トランジスタの一次側に接続されたコンデンサは、音色をソフトにするとともに、トランジスタに誘起される高電圧を吸収し、トランジスタを電圧破壊から守る働きをしています。従って音色をハードにするために、コンデンサを取り除く場合には、代わりにダイオード等によるサージ吸収対策を講じなければなりません。尚、この回路の動作周波数を下げて、リレーやソレノイドを断続駆動する場合にも同様に扱わなければならない事柄です。

一方、この回路で発振周波数を下げるべくすると、I_Vの取り得る範囲はどんどん狭くなってしまい、実用性が失われて行きます。コンデンサ1コで方形波発振ができるというメリットを持ちながら、これは残念なことです。しかし、ダイオード1コと抵抗器1コを付け加えると、微妙な谷点付近をジャンプして安定な動作をする回路を作ることができます。

図33の回路がその例で、自動車のバックホーンの断続吹鳴やランプの明滅、および小電力で方形波を作り出したい用途などに適しています。図32と同様に V_{EB}向上のためのダイオードを用いるか、さらに V_{EBO}の高いトランジスタを用いれば、同じ時定数でも、より長い周期の発振が可能になります。

図34は、PUTを活用した弛張発振回路の中でも、特異な動作をする回路の例です。図のように、この回路では、PUTがカスケード接続されており、第1のPUTのアノードに接続されたコンデンサの容量(1000 pF)よりも、第2のそれを、より大きく(0.12 μF)してあります。このように構成すると、第1のPUTが弛張発振する度に、第1のコンデンサの電荷が第2のコンデンサへ移入し、その端子電圧は階段的に上昇してゆきます。こうなると、第1のPUTのバイアス状態が変わるので、発振動作に変調をきたすようになります。具体的に、どのように変わるかというと、PUTのカソード電位が上昇する結果、第1のコンデンサの電荷は、総てはきだされずに幾らか残ってしまい、しかも、その残る量が次第に増えてゆくようになります。つまり、充放電を繰り返す度に、第1のコンデンサの初期電荷量が増えてゆきます。ここで(6)式を振り返ってみると、この式は、コンデンサの電圧がV_vとなるような電荷が初期に存在する時の過渡現象を表わしています。この式から明らかなように、初期電圧V_vが異なるれば、過渡現象の様相もまた異なったものになります。同じ

保守／廃止

図34 さえずり発振回路

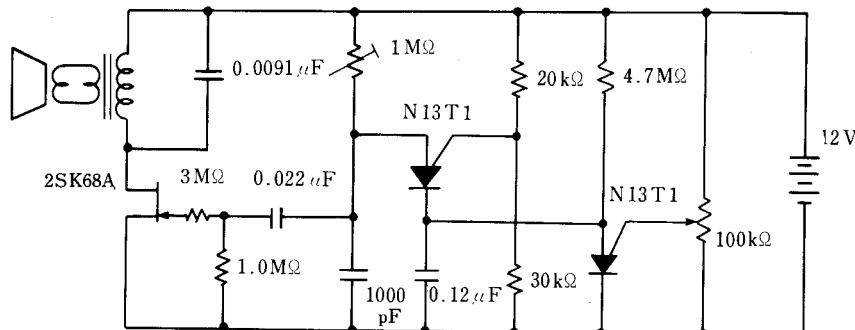
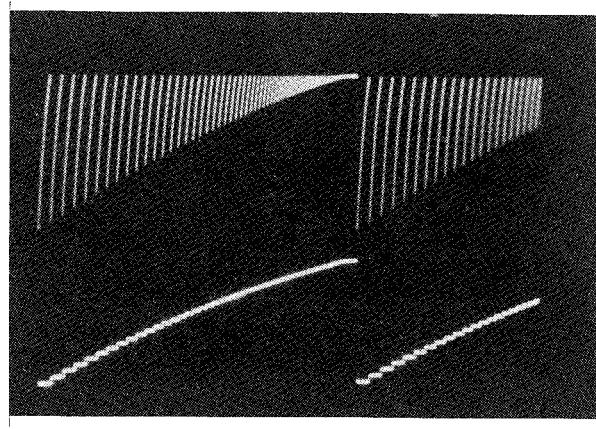


写真 4



様に、(7)式から、初期電圧としてのVvが変化すれば、弛張発振の周期が変化すること、及び、 η が1以下であることからVvが増加すれば発振周期が短くなることが判ります。しかるに、図34の回路では、上述したように、充放電を繰り返す度に第1のコンデンサの初期電荷量が増えるので、丁度、(6)、(7)式で考慮した現象が起こっていることになります。写真3は、その様子を示したもので、上方が第1のコンデンサ(1000pF)の端子電圧波形です。発振の度に、初期電圧が増大し、同時に発振周期が短くなっていることが良く判ります。この例では、回路定数を適当に選び、発振音が小鳥のさえずりに似るようにしてあります。写真3の下は第2のコンデンサ(0.12μF)の端子電圧波形です。尚、可変抵抗器をトランジスタに置き換えて、外部信号で制御すると、より真に迫った擬音発生を行なうこともできます。

図35は、PUTによる弛張発振回路を応用したA-D変換回路の例で、ダイオードアレイで検知した温度に対応して、パルス数変調(PNM)を行う回路です。弛張発振回路を応用したA-D変換技術は、よく紹介されるところですが、実用的な直線性を持った装置は、中々実現し難いものです。それというのも、今迄に市場で入手し得た負性抵抗素子は、比較的にピーク点が曖昧で、ピーク電流(Ip)が大きい等の欠点があり、これが実現を拒んでいたからです。直線性のよいA-D変換を実現するには、先ず、弛張発振回路が理論通りに作動することが絶対的に必要であり、Ipやその他の漏れ電流が無視できない大きさを持つということは、取りも直さずそれらが回路の動作をあるべき状態から逸脱させるに足る影響力を持つということに通じます。特に、基準周波数が低い場合には、前の章で述べた通りこれらのファクタの悪影響は無視できなくなります。依って来たる問題を充分な迄に軽減するには、周波数デビエーションが最大の場合にも尚且つ充分な余裕がある程度に、発振可能な周波数帯域を拡げておくか、あるいは又、本質的に性能の高い素子を使わねばなりません。

図35の回路では、以上の考察の結果から、性能のグレードの高いN13T2を使い、VTの補償を行なうと共にIpが小さく、かつIvが大きくなるようプログラムして、発振可能な周波数帯域をぐんと広くした上でその一部分だけを使うよう配慮しています。このような配慮により、発振部の性能は遜色のないものとなりました。が、しかし装置全体の直線性をよりグレードアップするに当たり、センサの出力信号（この場合、ダイオードアレイの端子間電圧）をいかにして直線性良く、

保守／廃止

図35 溫度一周波数変換回路

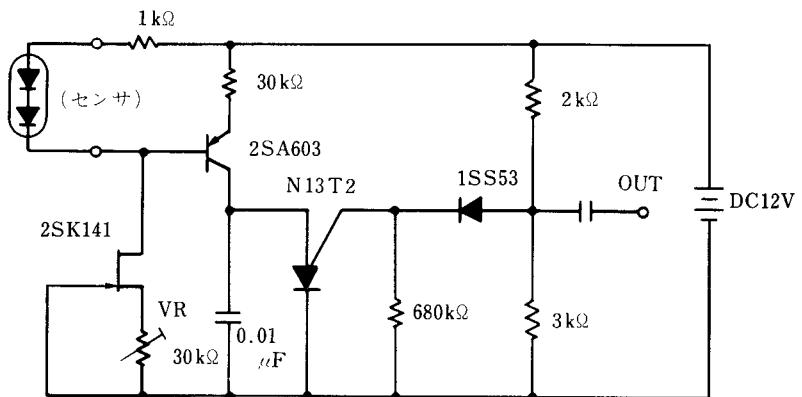
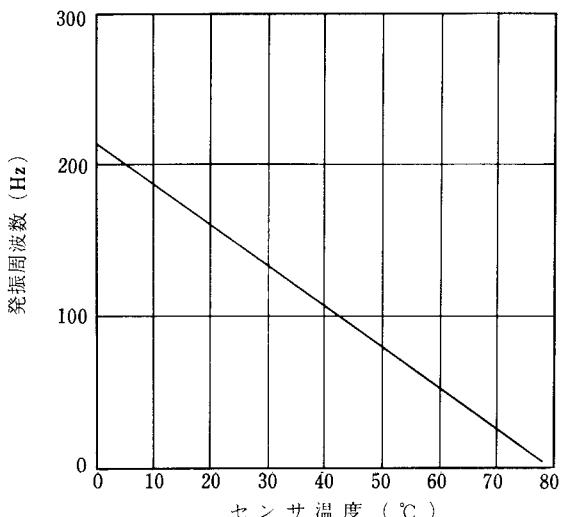


図36 溫度一周波数変換特性



電流に変換するかという問題が残っています。もし、この変換特性が悪いと、コンデンサ電圧の上昇率が一定でなくなり、その電圧波形は完全な鋸歯状波からずれてしまいます。しかるに、アルゴリズムの結果は、完全な鋸歯状波形で発振することを要求しており、この条件が満たされないならば、温度一周波数変換特性は線形にならないことを物語っています。今、PUTのIpや漏れ電流は無視し得る状態にあるから、前述したように、コンデンサを定電流で充電すること、つまり、電流源のダイナミックインピーダンスを無限大とし、充電の時定数を無限大にすることだけを考えればよいと言えます。出力インピーダンスや、温度ドリフトなど、性能面では差動アンプが最も優れていますが、ここではコストパフォマンスを考え合わせて、エミッタ接地回路を採用しています。しかし、性能の低下を最少限度に留めるために、トランジスタは、NPN型を避け直線性の良いPNP型を採用し、強い直流負帰還を掛けてみました。また、センサとして使用するダイオードの電流密度を一定に保つために、バイアス用定電流源には、同じく直流負帰還を施したFETを使用しました。このようにして構成した温度一周波数変換回路の性能は図36に示すごとくになりました。

付け加えるに、ISS53の代りに発光ダイオードを接続すると、動作状態のモニタとして使えます。

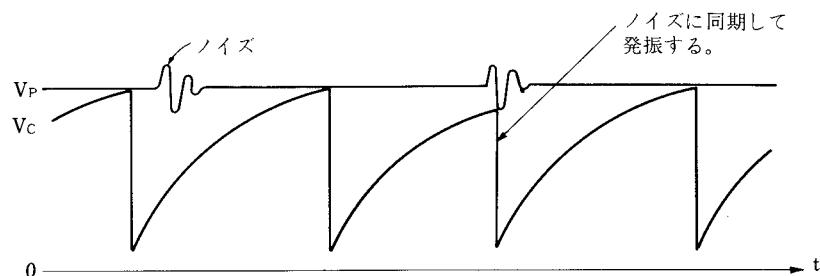
保守／廃止

3-5 タイマの設計

以上、弛張発振回路を眺めてきましたが、ここでPUTの特質が物を言うもう一つの応用分野であるタイマについて考察してみます。

現在、実用に供されている電子タイマの大半は、リアクタンスを含む回路に特有の過渡現象を利用してしています。特に、コンデンサを使用する場合には電気的な弛張を旨としています。しかし、弛張発振がタイマの本質であるとは言えません。このことは重要です。何故なら、例えば写真の間欠撮影（駒取り）用のタイマは周期の長い弛張発振器であり、他方、引伸しの露光時間を決めるタイマは一回の弛張が終わるとサイリスタなりリレーなりを駆動して定常状態に落ち着くよう作られており、両者はPUTのプログラムの仕方を全く異にしています。つまり、弛張発振を必要とするタイマであるか、そうでないかによって設計方法が全く異なってくる訳です。前者は前節で導いた(7)式と、前の章で紹介しましたPUTのプログラマビリティを示す特性曲線があれば一応の設計はできます。しかし後者はその時々の要求によって設計方法を違えなければなりません。無論、基本は同じですが細かい所が違ってきます。その具体的方法については、全部を語り得ないので後に応用例を紹介するに留めることにします。

図37 ノイズとノイズによる誤動作波形



3-6 タイマの誤動作対策

さて、PUTをタイマに導入するとどのようなメリットが生きてくるでしょうか。色々と考えられますが、効果の大きいものを挙げると次の通りとなります。

1. 動作時間の範囲を非常に広く取れる。(10⁻³~10³秒のオーダ)
2. ほとんど計算通りに作動するので設計が易い。
3. 反復誤差が極めて少ない。
4. PUTに起因する設計誤差は極めて小さい。
5. PUTの出力で、直接サイリスタやリレーを駆動することができる。
6. 以上のメリットが相俟って製品のばらつきが少なくなり、総合性能が向上する。

しかし、PUTにも欠点と言えるものがあります。それは、PUTのセンシティビティが高いが故に、部品配置や配線を上手に行なわないと、誤動作し易いタイマができ上がってしまうことです。この誤動作の問題が表面化すると、上に述べた幾つものメリットも一遍に無に帰してしまう恐れがあります。そこで、タイマの実際例を紹介する前に、この問題に関して少く検討を加えてみます。少くと言ったのは、誤動作の問題は一般に相当複雑で、多くはタイマが設置される所の電気的環境に迄立入らないと完全な解決が見られず、総括的に取扱える部分は少ないからです。最初に、ノイズの侵入の仕方について考えてみると、次のようなものに思い当たります。

1. 電源からの侵入。
2. 光による侵入。
3. 静電誘導による侵入。
4. 電磁誘導による侵入。

第1の要因について、基本回路の応答を考えてみると、ノイズが図37に示すように振動性のものであれば、PUTのアノードからの侵入はまず考慮しなくてよいと思われます。何故なら、このような振動電流によって輸送される電荷は、全

保守／廃止

体を積分するとはほとんど零になり、タイマがタイムアップする迄蓄積する電荷に比れば無視し得るからです。一方、このようなノイズが、ゲートバイアス抵抗を通じてゲートへ侵入すると、アノードの電圧が充分に低い間を除き、誤動作から免かれません。その時の様子も図37に示しておきます。このような応答は非常に安定に起こるので、弛張発振の同期、周波数分周などに積極的に利用されている程です。従って対策としての目標は唯一つ、ゲートへノイズを侵入させないことであり、方法としては、本質的にノイズが侵入しない方式でゲートバイアスを与えるか、効率よくバイパスするかしなければなりません。

第2の要因については、ガラスでシールされたダイオードを使用している場合に起り、特にVT補償用のダイオードにこうした製品を使うとダイオードの光起電力により、ゲートバイアス電圧の変動を来たし、動作時間の変動を引起してしまいます。パルス性の光照射がある場合には上述したものと丁度等価な結果を紹來することは言う迄もありません。対策は至って簡単で、光の影響を受けないダイオードを使用するだけのことです。温度補償の項で紹介しました1S 953などはその例です。

第3の要因については、 I_p を小さくするために R_G の値を高くし、回路のインピーダンスを引上げた場合にその影響が顕著になります。回路方式や配線のやり方次第によっては、数十ピコファラド程度の静電結合でもノイズや交流電源からの誘導の影響を受けるようになることがあります。普通のオシロスコープのプローブを机上に投げただけで、数十ボルトに及ぶ誘起電圧が観測できることなどから、この種の誘導障害が致命的な悪影響を与えるであろうことは想像に難く有りません。ただ、この問題に関しては一人PUTだけに限られたことではなく、高インピーダンスの電子回路では広く一般に悩まされる性質のものであり、同じような注意が払われてしかるべきであると言えます。

第4の要因は、火花を発生する接点の近くとか、大電流パルスの流れる線路の近くなどにタイマを設置した時に起り易く、殊に、同一の直流電源からタイマ回路と直流ブザやベルなどにエネルギーを供給している場合には、電源のダイナミックインピーダンスが余程低くない限り誤動作は免れません。このような場合には、タイマ回路の入口にフィルタを設け、さらに磁気シールドを設けるのが最善ですが、実際には実用性と経済性との兼合いで対策の程度は異なってきます。また、このような極端な例を除き、第3の要因に対する静電シールドが同時にこの要因に対しても効果を示すことがあります。とどのつまり、誤動作に対しては避けようのない制約要因がある場合を除いて、定石を定石どおりに打つような設計を行なうことにより、その発生はほとんど押えることができると言えます。

このことを簡単に確かめるには、電子部品のリード線とPCB上での布線との長さをできる限り切りつめて短くしたタイマと、そうでないもの、および専用に設計して余分な銅箔を無くしたPCBとユニバーサルPCBを使用したタイマ等をそれぞれ作成し、ノイズシミュレータにかけて見れば良いでしょう。そのノイズ耐量に歴然とした差があることは言うまでもありません。

以上の結果は、ノイズ耐量を向上させるには、回路網中に必然的にできてしまう閉ループの囲む面積を極力小さくし、かつシールドを施すべきことを示唆しています。

保守／廢止

3-7 タイマの設計例

図38は、PUTによるパルスジェネレータとPUTによるアナログ計数回路とを組み合わせたタイマの例です。この回路は、大容量で漏れ電流の小さいコンデンサが得られない場合に、小容量で漏れ電流の小さいコンデンサだけで比較的、動作時限の長いタイマを作るのに適しています。PUT1で発生したパルス列によりPNPトランジスタが間欠的に導通するのでC₂には階段状に電荷が蓄えられて行きます。そして、予めプログラムされた数のパルスが計数されるとPUT2が導通し、そのゲートに現われる負パルスによりPUT3がトリガされタイマの動作を終了します。今、PUT1と2のリセット端子を同値にすると動作時限Tは次式で求めることができます。

$$T = \frac{t_0^2}{t_n} \times \frac{\tau_2}{\tau_1} \quad \dots \dots \dots \quad (10)$$

ただし t_0 はパルス列の周期で t_p はパルス幅であり、PUT 1 のアノード抵抗 R_A によって調節することができます。また、 τ_1 、 τ_2 はそれぞれ $C_1 R_1$ 及び $C_2 R_2$ で決まる時定数です。尚、図の回路では V_T の補償を行なってありますか精度が低くてよい場合には取り扱っても構いません。

動作時限の長いタイマを作る場合に、コンデンサの漏れ電流が実現の可否を決定するであろうことは前の章で述べました。では、漏れ電流の大きいコンデンサを使用した場合に、どのような不都合が起こるでしょうか。図39を見て下さい。この図は、PUTによるタイマのごく一般的な回路で相当に実用性の高い回路ですが、コンデンサの漏れ電流が増大するにつれ、動作時限が長い方にずれて行く構成になっています。そして、漏れ電流が、電源電圧と I_p と V_p で決まるある値以上に達すると動作時限が理論的無限大に達してしまいます。つまり、タイマの機能を失ってしまうようになります。タイマを使う使い方によっては、仮にコンデンサが劣化した場合でも動作時限が短くなることは許せても動作が停止してしまうことは絶対的に避けねばならないことがあります。このような場合には、図40のような充電型タイマに代わって、図40のような放電型タイマを使用することによって、少なくともコンデンサに起因する動作停止は避けることができます。ただし、その為には、最悪の条件としてコンデンサがショートした場合でも、PUTが確実にトリガされるよう、 R_1 と R_2 を選択

図38 アナログ計数形タイマ

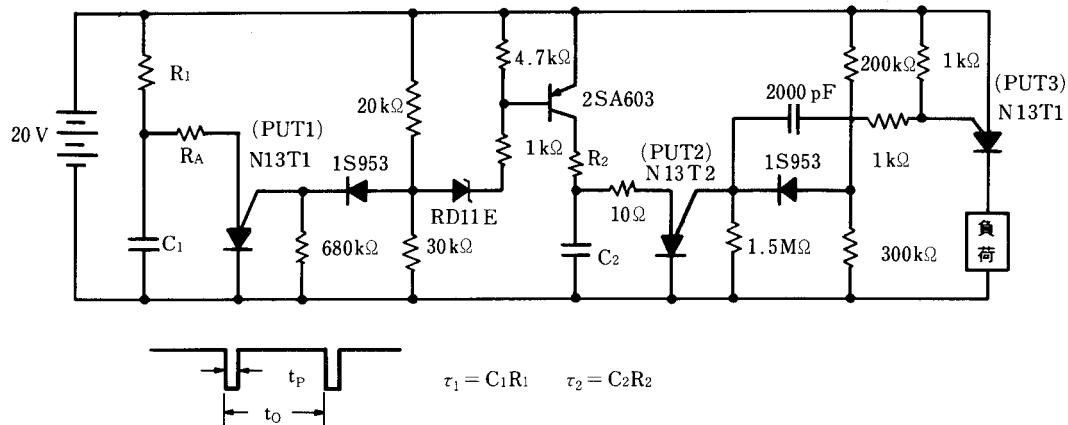
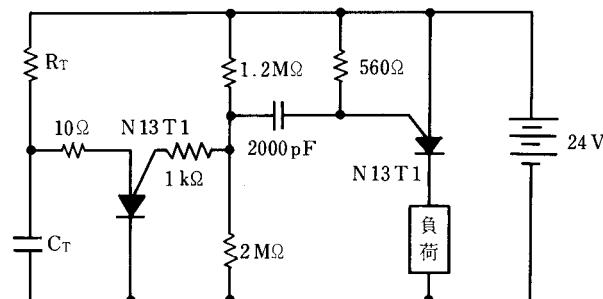
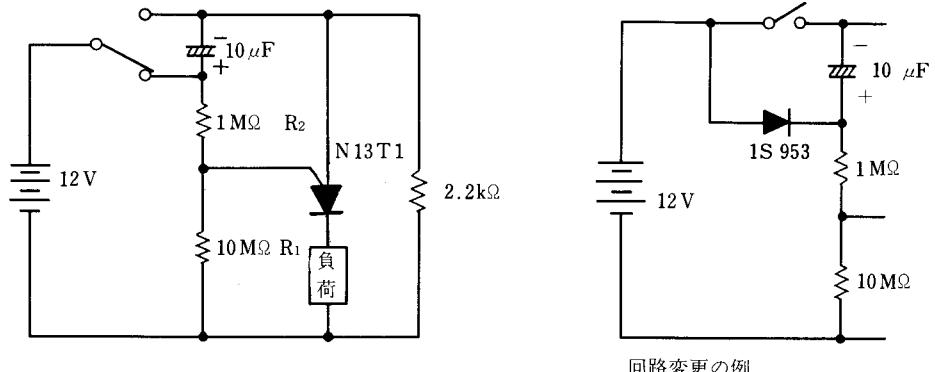


図39 基本タイマ回路



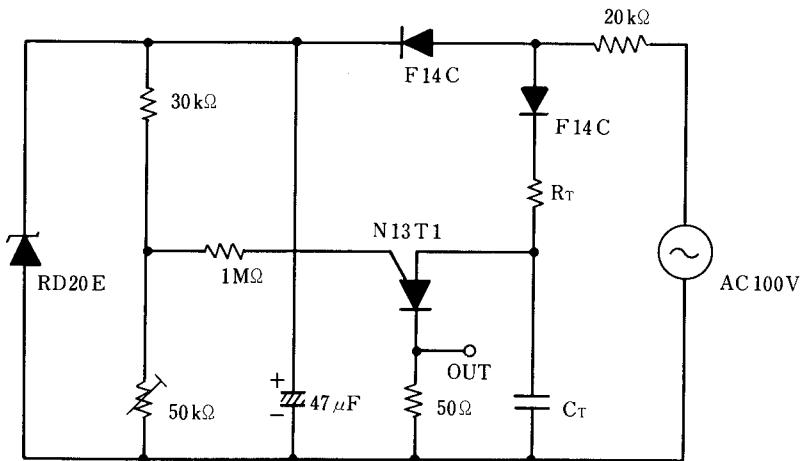
保守／廃止

図40 放電型タイマ



回路変更の例

図41 電源同期タイマ



んでおかねばなりません。この回路の動作は概略次の通りです。

スイッチを図の方向に倒して電力を供給すると、コンデンサは $2.2\text{k}\Omega$ の抵抗器を通じて電源電圧まで充電されます。この時点でスイッチを切換えると、PUTのアノード電圧が電源電圧まで上昇するので、コンデンサのアノードはグラウンドに対して 24V の電位に達し、PUTのゲート、アノード間は強く逆バイアスされます。次いでコンデンサの電荷は R_1 と R_2 を通じて放電してゆき、そのアノード電位は次第に下がり、ついにはPUTのアノード、ゲート間が順方向にバイアスされるに至り、リレーが動作します。この回路では、電源電圧が異なると、コンデンサ電圧の初期値も同様に変わるので、動作時間は電源電圧の変化をそれ程受けません。このタイマ回路は、弛張発振を使わないタイマとして代表的なものです。

PUTを使えばFETなどを使わざとも30分から1時間程度のタイマを作ることが理論的に可能なことは前に述べました。事実外国ではそのような回路も発表されています。しかし、日本のように多湿の風土では安定性に問題があり実用的でない場合があります。以下に、こうした場合に使って有効なタイマ回路を紹介しましょう。図41は、積分回路の時定数は同じでも実質的に2倍以上の動作時間を得るようにした回路です。コンデンサは電源電圧の半サイクル毎に充電されるので両端電圧は階段的に上昇し、タイマがタイムアップする時点はコンデンサが充電される半サイクル中に必ず存在することになります。つまり、この回路は商用電源に同期して作動するので電子部品の性能が多少変化しても精度はある範囲内に収めることができます。この考え方をさらに押し進め、コンデンサを電源に同期したパルス電流で充電すれば、さらに長時間を持ち、かつ精度も高いタイマを作ることができます。これに関連した技術は、既に図38で説明しましたので、ここでは省略します。

図42は、前の章で“PUTで発生する長周期のパルス列をデジタル的に計数する方法”として紹介したものの実例です。ここではPUTを基準時間発生用に使っており、タイマの動作時間は、この基準時間の任意の整数倍に選ぶことができます。図の例では、BCDカウンタ ($\mu\text{PD}4040\text{BC}$) を使用しているので、PUTの発振周期を10秒とすると、動作時間

保守／廃止

図42 ハイブリッドタイマ

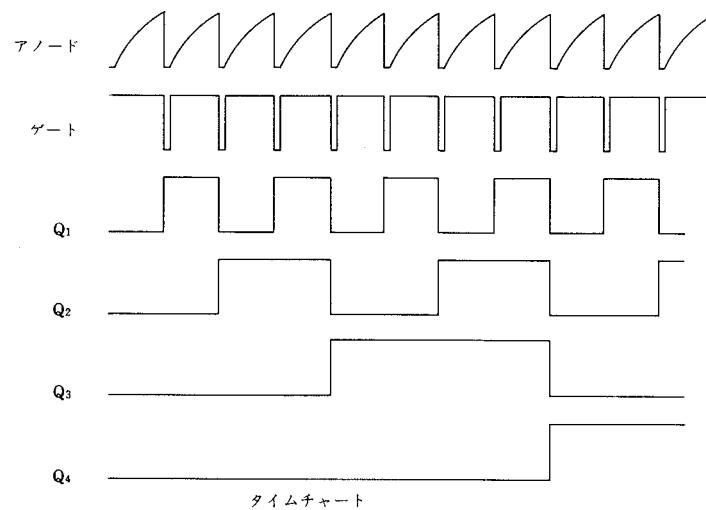
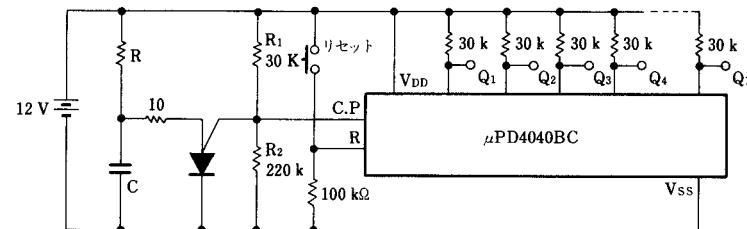
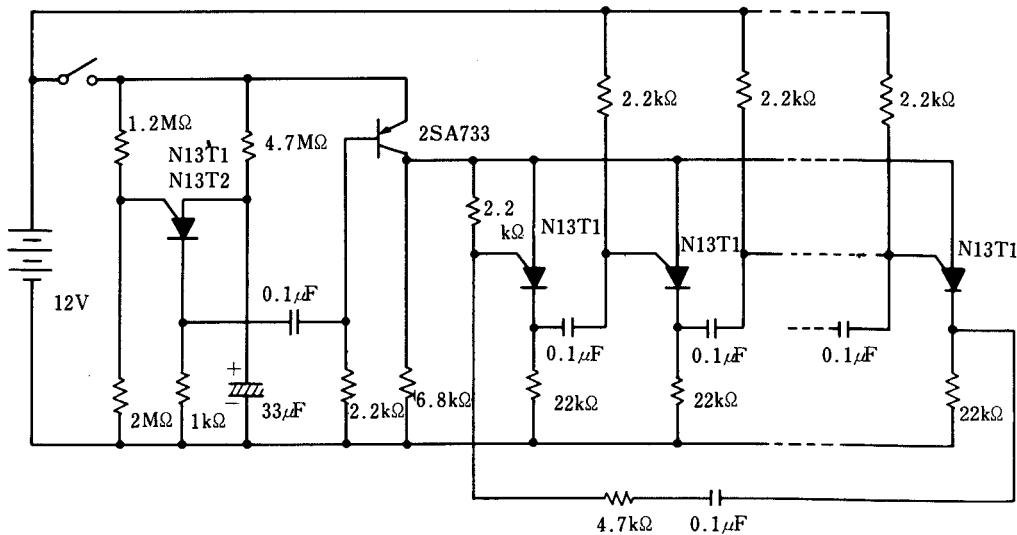


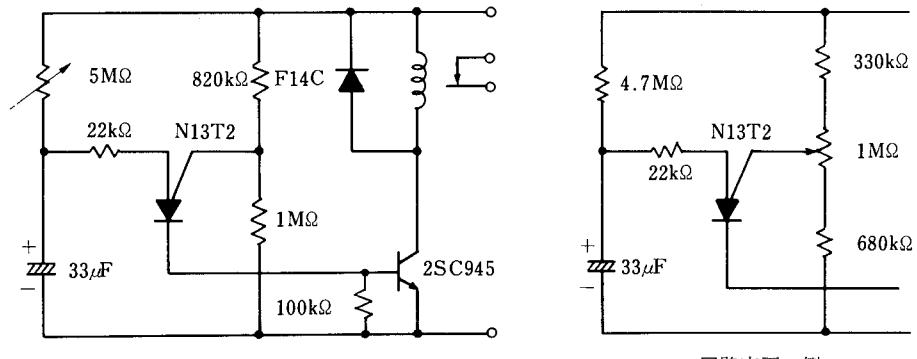
図43 リングカウンタを使ったタイマ



は10秒単位で設定することができ、最長、5時間40分迄可能です。尚、この例ではP U Tのゲートに現われるインパルスをクロックパルスとして直接にI Cへ入力しているので、ゲートバイアス電圧(V_s)はI Cの入力電圧のハイレベルよりも大きくなければなりません。 μ PD4040BCのV_{IH}は電源電圧の0.7倍ですから V_s は0.7以上に設定すれば良い訳です。図の回路定数では、ほぼ0.88です。

保守／廃止

図44 繰返し型タイマ



回路変更の例

図45 ワンショットタイマ

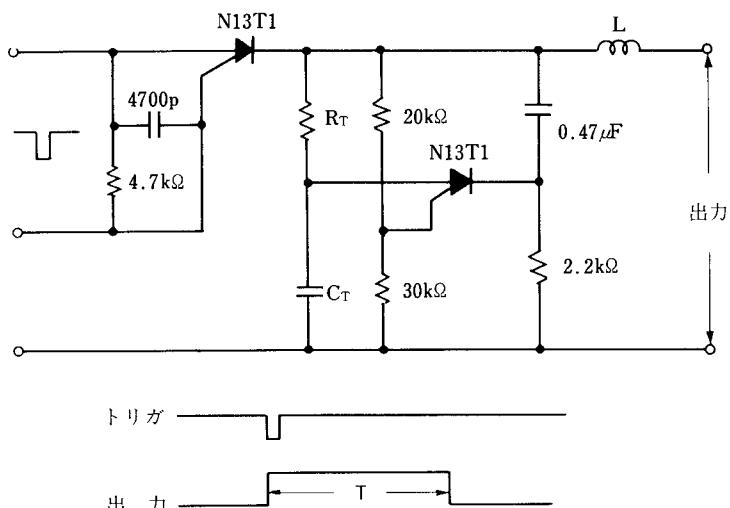


図43は、ディジタル技術を導入したタイマのもう一つの例で、こちらは前者と違ってPUTによるリングカウンタを応用しています。従って、自ずとその用途も異なり、幾つもの負荷にシーケンシャルに信号を送り出すのに適しています。もっとも、図42の例でも、デコーダを付加すれば同じような使い方をすることは可能です。図43に示したリングカウンタは、PNPトランジスタを数十マイクロ秒の間、オフさせることによりシフトさせる方式のもので、電源スイッチを投入すると必ず最初のPUTが導通するよう構成されています。従って、PUTのタイマと組み合わせるには、タイマの出力パルスによって上記PNPトランジスタを瞬間にオフさせるように構成すれば良くPUTのカソードからトランジスタのベースへ接続されたコンデンサが、その為の結合コンデンサです。

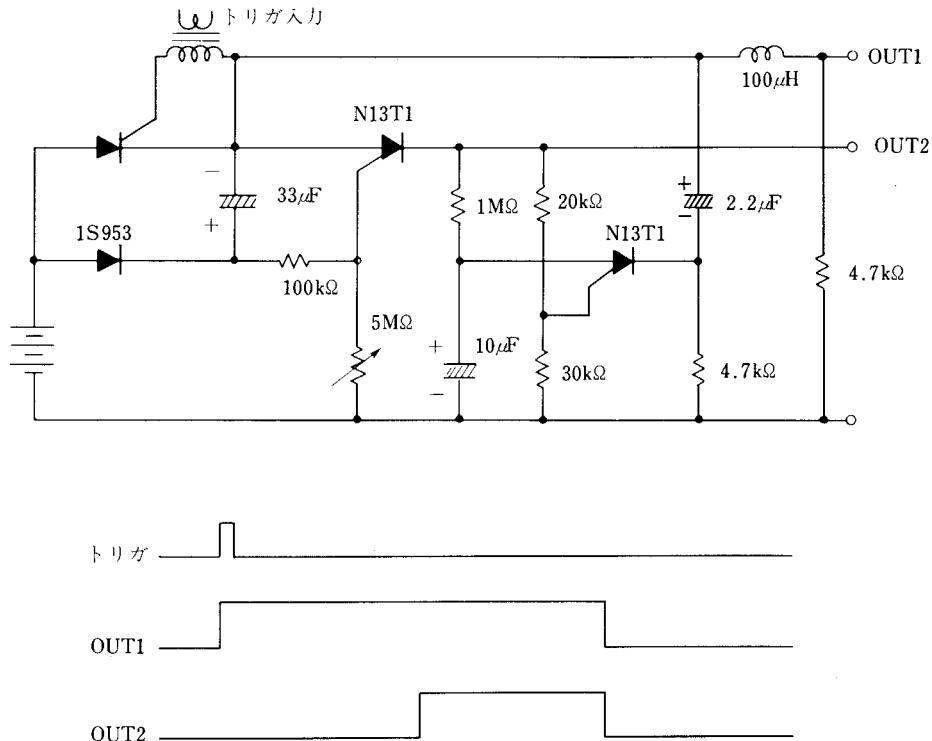
図44は、一定周期毎にリレーを短時間動作させる目的で設計した回路で、繰返し型タイマの1例です。回路技術的には特にめずらしい点はありませんが、図の回路定数で約2~3分毎にリレーが1~2秒間励磁されます。リレーがオンする時間はPUTのアノードに直列に挿入した22kΩの抵抗器で決定しています。したがって、周囲温度が変化してPUTの I_v が変化するとリレーのオン時間が微妙に変化します。また、この回路に使用するトランジスタの h_{FE} はなるべく高い方が良い結果が得られます。

図45はワンショットタイマとして広く用いられている回路の例で、待機時に全く電力を消費しないという利点を持っています。回路技術的には図43に示したタイマ部とサイリスタの転流技術とを組み合わせただけで何の変哲もありませんが、実に広い応用分野があります。図中のインダクタLは、負荷がランプの場合に生じるラッシュ電流の抑制と、負荷が重負荷で、かつ C_T の容量が小さく、蓄えられるエネルギーが小さい場合にも確実な転流を期すために入れてあります。

図46に、この回路の一応用例を紹介しておきます。なお、この回路の動作について細かく説明することは割愛します。

保守／廃止

図46・図45の応用例



唯、前述の放電型タイマと図45の回路とが結合されていることだけを言い添えておきます。

以上、PUTを活用したタイマの例を幾つか紹介しましたが、この他にも産業用として汎用性を持たせたタイマ、高信頼度を旨としたフェイルセーフタイマ、家電製品への組み込み用タイマ、ゼロボルトスイッチと組み合わせて使うタイムプロポーション用タイマ、特殊用途用タイマ等々、数えあげれば切りがない程あります。

3-8 PUTによるサイリスタ制御回路

PUTは、それ自体がサイリスタであることもあって、一般のサイリスタと組み合わせて使ってもなかなか便利な素子です。例えば、PUTをトリガ用に使った場合、立上がりが早く、ピークの大きいトリガパルスが得られることは高速サイリスタのトリガに当たっては有難いことであるし、位相制御を行なえば、SCRの数分の一の電力で作動し、回路方式によっては、電源に重畠しているノイズによる制御の乱れは無くなってしまいます。また、PUTのプログラマブルな特質を上手に使えば、電源電圧が変動しても出力を一定に保つように、制御位相角をセルフコントロールする機能を得ることもできます。

このような実用性の高い応用例もこの項で紹介したい所ですが、それだけで相当のページ数を必要とするので他の資料に譲って、ここでは基本的な応用例と、その考え方について考察してみます。

さて、PUTと一般のサイリスタとの組み合わせで最もポピュラーな使い方は、やはりUJTをPUTで置換した位相制御回路でしょう。しかし、実用に際して物議の種になり易いのもまたこの使い方です。それと言うのも、UJTによる図47のような回路の動作は一般に良く知られており、PUTでこれを置換した場合にも、当然のこと乍ら同等の回路動作をすることが期待されます。所が、この期待は必ずしも満たされるとは限らず裏切られることが間々あるのです。その例を見て頂きましょう。写真4及び5に示したのがそれで、それぞれUJTとPUTによる位相制御回路の動作波形を示したもので、上がコンデンサ両端の電圧波形で、下が位相制御された負荷電圧波形です。上に述べた物議の種というものは、「UJTに適用していた回路定数のままでPUTを使用すると、発振が止まってしまい具合が悪い。」とする議論です。写真3を見ると確かに発振は止まっており、具合が悪そうです。しかし、目的である所の位相制御の機能についてはどうでしょうか。写真5の負荷電圧波形は、この問に対する明快な解答です。つまり、位相制御技術にとって必要なものは弛張

保守／廃止

図47 UJTによる位相制御回路

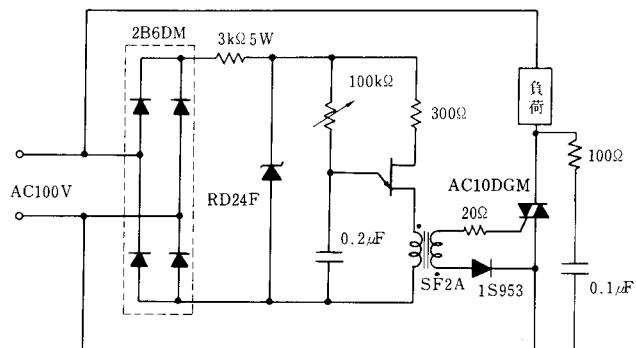


写真 4

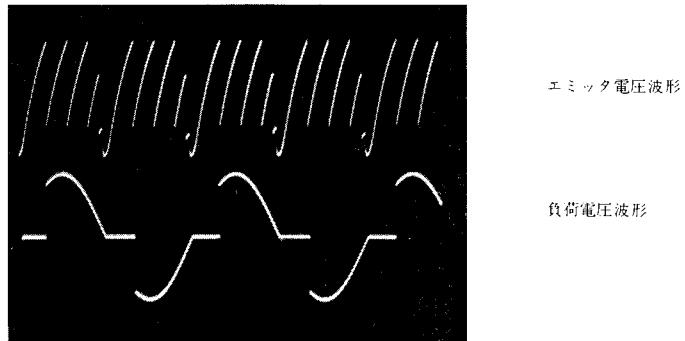


図48 PUTによる位相制御回路

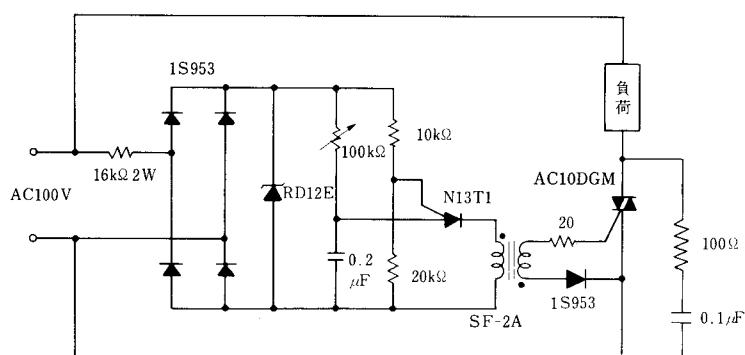
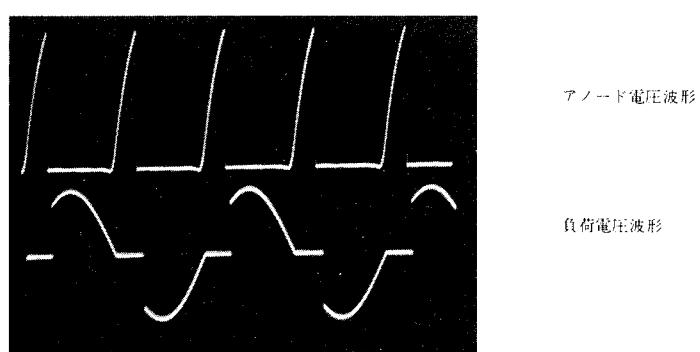


写真 5



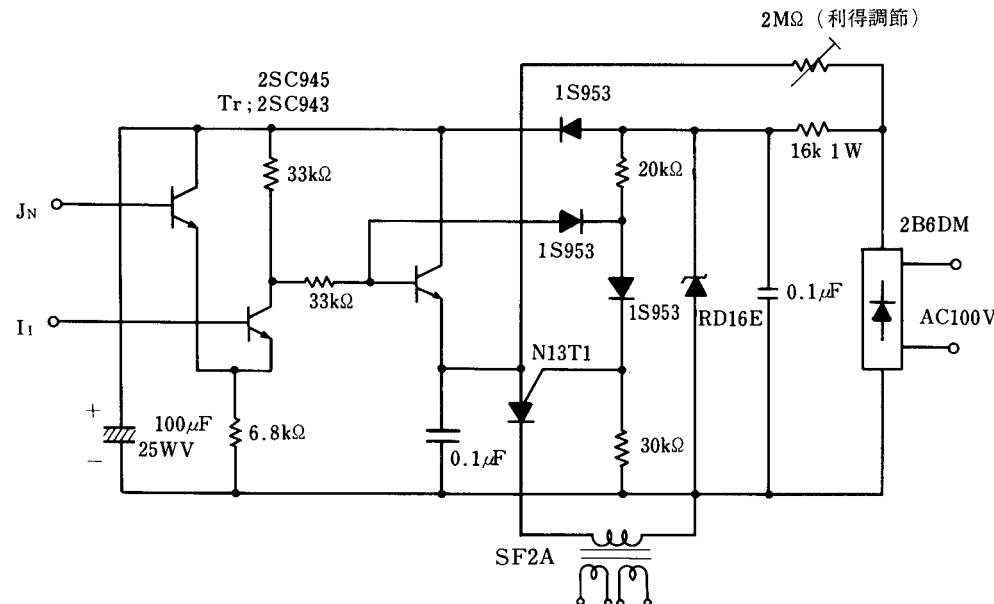
保守／廃止

発振回路ではなく、電源電圧が零になる度にリセットされるタイマ回路こそが本質的に必要な訳です。図48は図47の回路をPUTを使用して構成したもので同等の機能を持っています。ただし、PUTの方が少ない電力で作動する為、ドロップバを図48の $3k\Omega$ から $16k\Omega$ に変更し、ツェナダイオードも容量の小さい製品に切換えてあります。また、ツェナ電圧を低くしてあるのは、もし図48のままにすると、PUTの出力パルス電圧が高すぎて、小型のサイリスタをトリガする場合に支障を来たすからです。

図48は、手動で電力制御を行なう場合には適していますが、自動制御を行なう場合には少々不便です。自動制御を行なうには、位相が図48の例のように抵抗値で変化するのではなくに電圧や電流値で変化した方が良く、同じ変化するなら入力に対して出力電圧が比例して変化した方が、良いと言えます。また、目標値とサンプルを比較する為に反転入力端子と非反転入力端子を備えていた方が便利です。

図49の回路は、このようなことを考慮して設計した例で、入力段に差動増幅器を用い、かつ、電源電圧波形が正弦波であることに起因する制御特性の非直線性を改善する為に、コサイン制御方式を入してあります。ただ、ここで用いた方式は擬似コサイン制御方式であるので、入力電圧に対する出力電圧（正確には平均出力電圧）の直線性は完全なものではありませんが、それでも尚、実用的には申し分ないでしょう。この回路のもう一つの特徴は、図のようにツェナダイオードと並列にコンデンサを接続することができると共に、入力段と、それに続くペディスタイル設定段にも容量の大きなコンデンサを接続することで、その結果この回路は、電源から到来するノイズによって誤動作することがほとんどありません。一方、この回路にも欠点があります。その一つは、前に触れたセルフレギュレーションの機能を備えていないので、

図49 自動制御用位相制御回路



保守／廃止

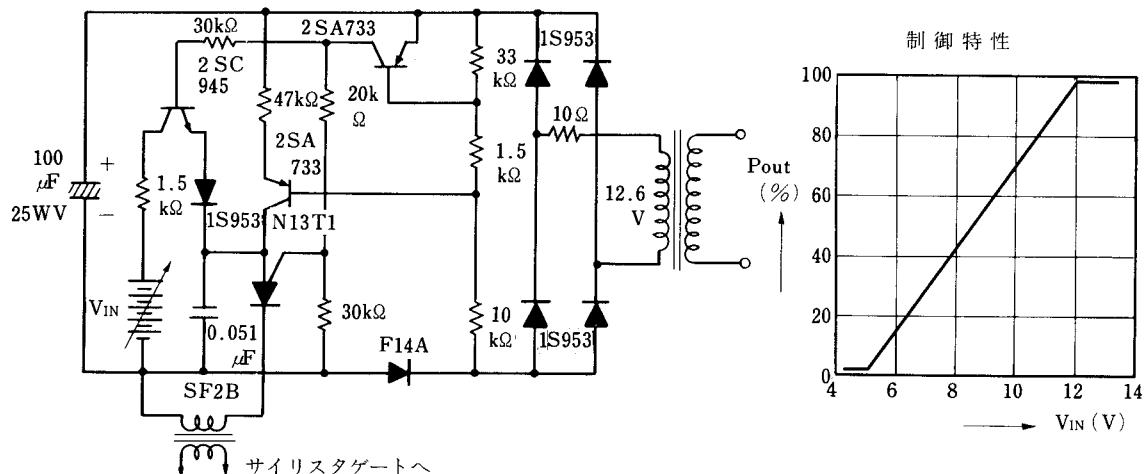
電源電圧の変動が外乱として作用することです。また、商用電源をそのまま回路の電源として使用していることも、機器の絶縁の面から見れば欠点と言えるでしょう。

サイリスタを使用した交流電力制御回路には種々の方式が提案されていますが、従来の技術はほとんど制御位相角を線形制御する方式であった為制御系の制御特性は必ずしも満足できる状態ではありませんでした。図50の位相制御回路は、入力制御信号に対応して出力電力をほぼ線形に制御する回路です。線形電力制御を行なうと、小出力時から大出力時に至るまで系のループゲインが一定に保たれるので制御特性が改善されます。また、この制御回路で自熱灯の調光を行なうと近似的に視感度補正された調光特性が得られ、フェーダ目盛と目で感じる明るさが一致するようになります。このようにこの制御回路は温度制御や舞台照明の制御に適しており、さらに、動作電圧がAC12.6Vと低いので上述した欠点の一つが克服されています。

図52にこの回路の応用例を紹介します。図中F・C・C（位相制御回路）と印してある部分に図51の回路が接続されています。同じく、L・P・Fと印してある部分はローパスフィルタを示しており、簡単にはRCフィルタもしくはLCフィルタが使えますが、オペアンプが普及している現今では図52のようなアクティブリップスムーザを用いることができます。

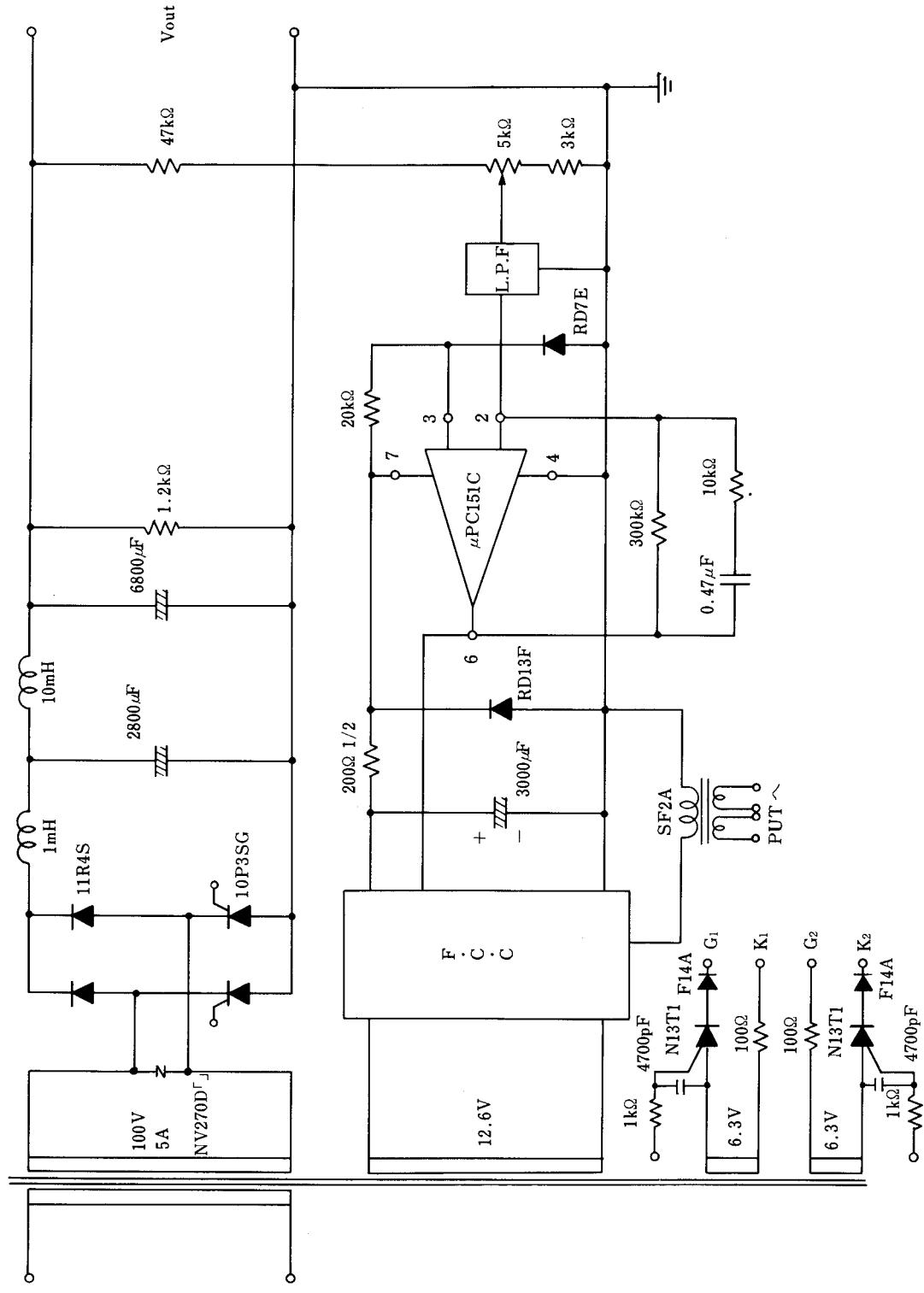
図54に実験データを挙げておきます。

図50 線形電力制御回路



保守／廢止

図51 図50の応用例



保守／廃止

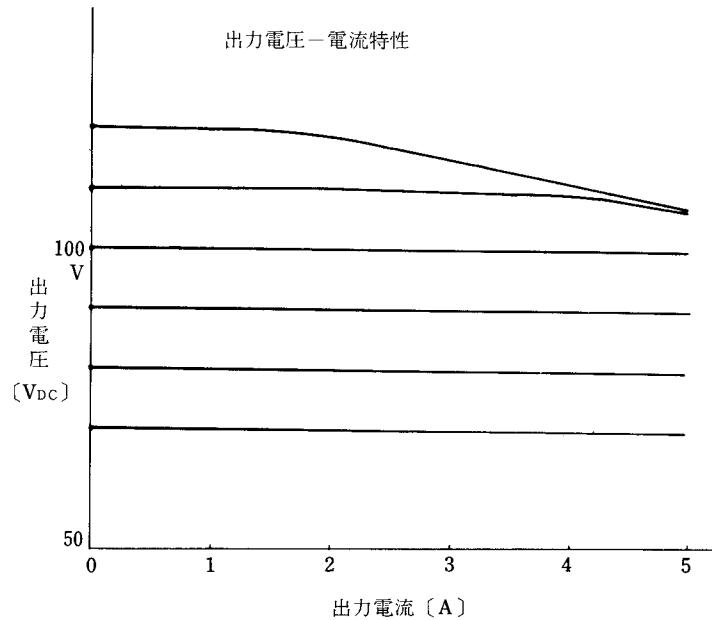
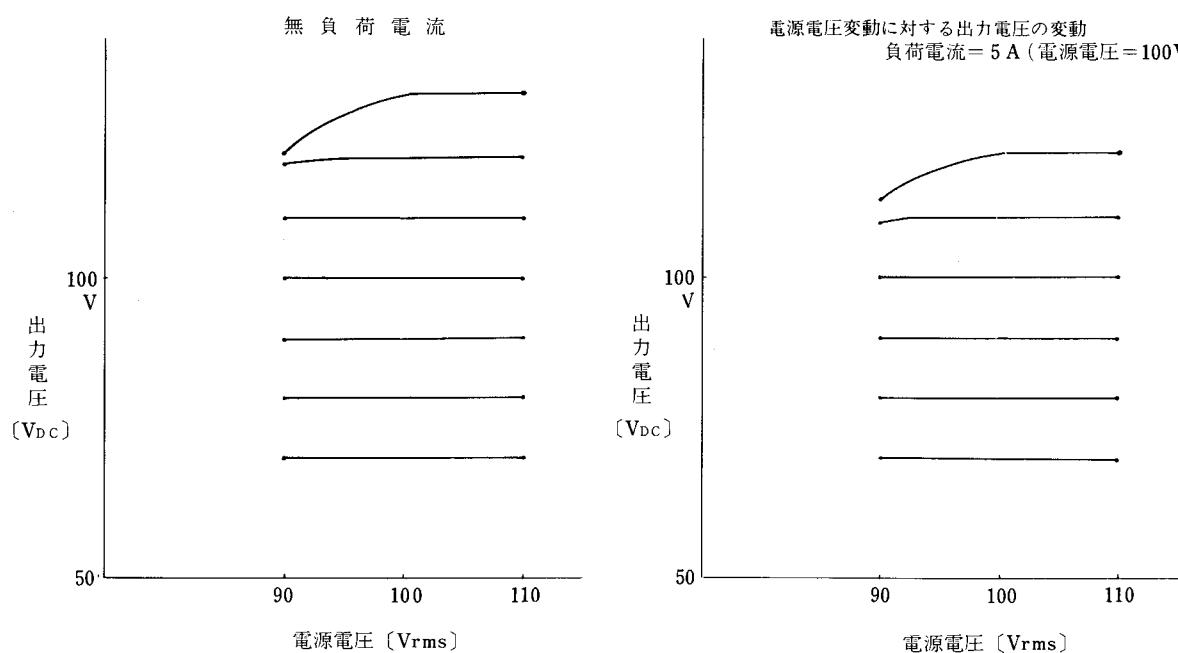
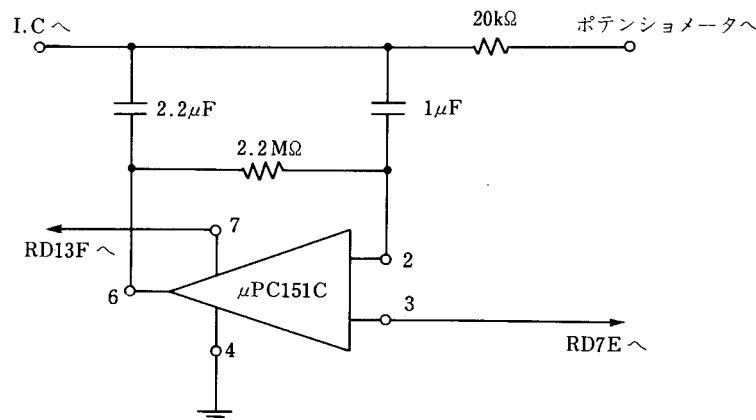


図53 図51の実験データ

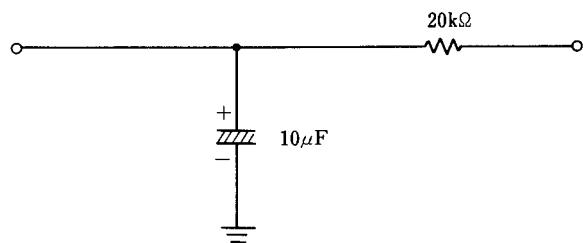


保守／廃止

図52 L・P・F 回路例



* アクティブ L・P・F



* パッシブ L・P・F

次に、PUTを使用した位相制御回路のもう一つの例を紹介します。ただし、ありふれた回路は大して参考にならないし、冗長になるだけですので、ここでは特徴のあるものを取り上げてみます。

一般に、サイリスタを幅の狭いパルスでトリガする場合には、負荷電流の立上がりの遅れと、サイリスタのラッチング電流の関係で安定なターンオンが難しい場合があります。こうしたとき採られる手段は、サイリスタを高周波パルス列でトリガする方法と、幅の広いパルスでトリガする方法、および直流でトリガする方法等があります。ここで紹介しますのは、この中の幅の広いパルスでトリガする方法に相当するもので、図51と同じく一般にサブサイリスタを使用する方法として知られているものの一種です。

回路は図54に示すようなもので、この中パワーラインに囲まれた部分は、通常の位相制御回路と大して違いません。異なる点は、PUTの後には普通、パルストランスを介して2個のサブサイリスタが接続される（図51参照）のに、この回路では1個のサイリスタ（2P4M）が直接接続されていることでしょう。

この回路の動作は次のとおりです。

いま、図の上方のパワーラインが正となる半サイクルにおいて、PUTがある位相でターンオンすると、2P4Mのアノード電流は $6.8k\Omega$ 、2Wの抵抗器と整流スタック2B4DMを通して流れると、負荷およびトライアックのゲート、D₅、D₄を通して流れます。

この電流は、トライアックがターンオンして、その端子間電圧が低下するまで流れ続けるので、負荷がどんな低力率であっても、トライアックは確実にトリガされます。トライアックがターンオンした後も2P4Mは $6.8k\Omega$ の抵抗器を通して流れの電流によってオン状態を維持しているので、メイン電流の振動によってトライアックがターンオフしても、これを再びターンオンさせてしまいます。なお、電源電圧の極性が逆転した場合には、同様にしてD₂、2P4M、D₆を通して

保守／廃止

図54 誘導性負荷用位相制御回路

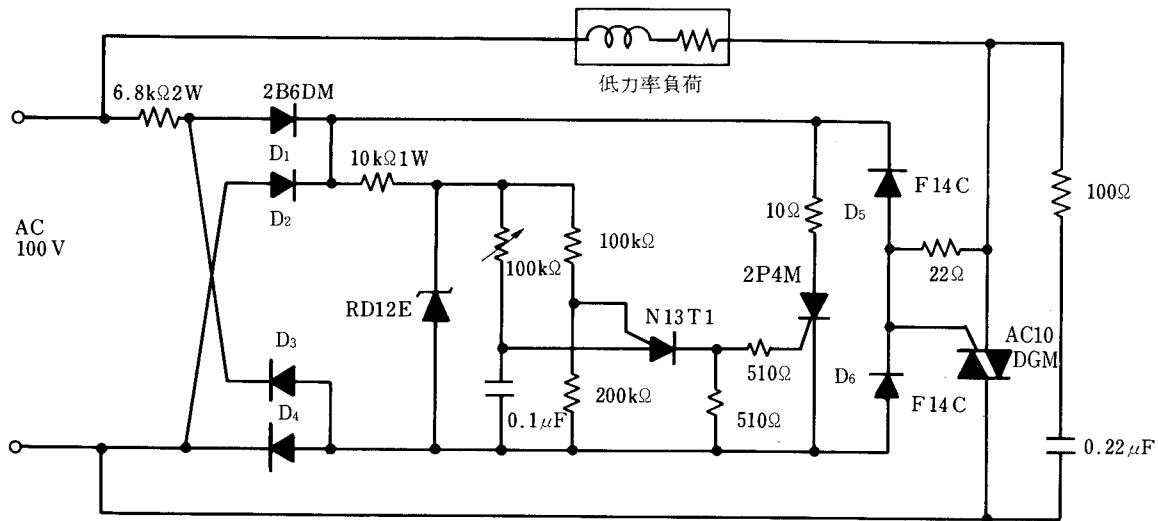
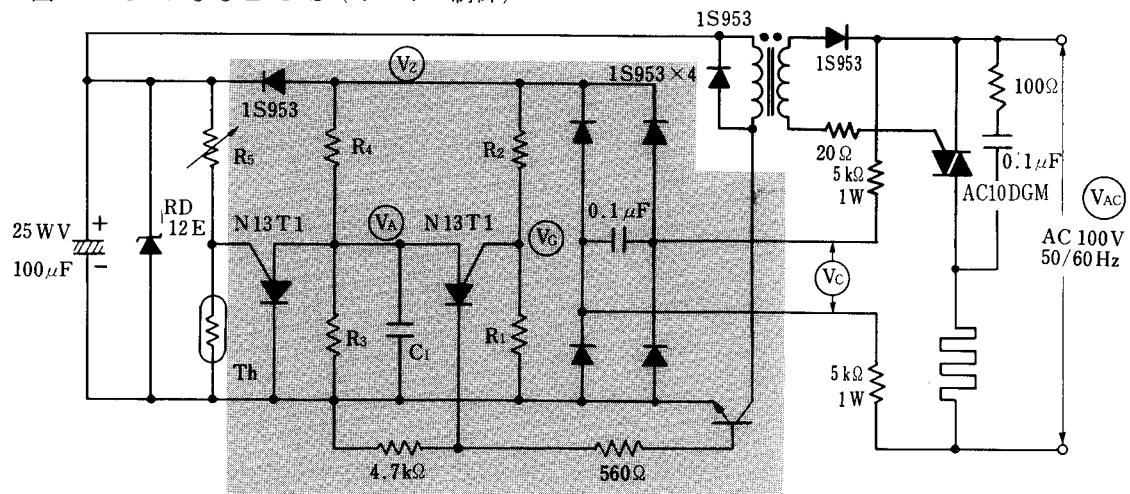


図55 PUTによるZ·C·S（オンオフ制御）



電流が流れ、トライアックはやはり確実にターンオンさせてしまいます。

以上の動作は、メインサイリスタであるトライアックが、主電極間だけでなくゲート特性に関しても双方向性のために実現できたわけです。

位相制御回路の範疇に入るものには、この他に電源の半波だけ位相制御する回路、高い制御利得を持ったもの、その逆のものなどあり何れにもPUTは使用可能です。これらの応用例については他の刊行物に種々発表されているので省略します。

交流電力制御の技術には、これまで紹介しました位相制御の他にオンオフ制御があり、従来から簡単な制御方式としてよく採用されていました。特に最近では、位相制御に付随するR·F·Iの問題、および電源系統に与える諸影響の問題等を克服する一手段として開発されたゼロクロススイッチの技術が定着し、相当に高級な制御も行なわれるようになっています。以下に、PUTの有用性の高さを示す一例としてPUTによるゼロクロススイッチを紹介します。

図55が、PUTによるゼロクロススイッチを採用したオンオフ制御回路です。このような簡単な回路でもPUTのレベル弁別性能が非常に高い為に、熱回路の設計が適当であれば（むだ時間の短い系であれば）±0.1~0.5%程度の制御精度を得ることができます。

図56は、ゼロクロスパルスの発生過程を説明したものです。

保守／廃止

図56 ゼロクロスパルスの発生過程

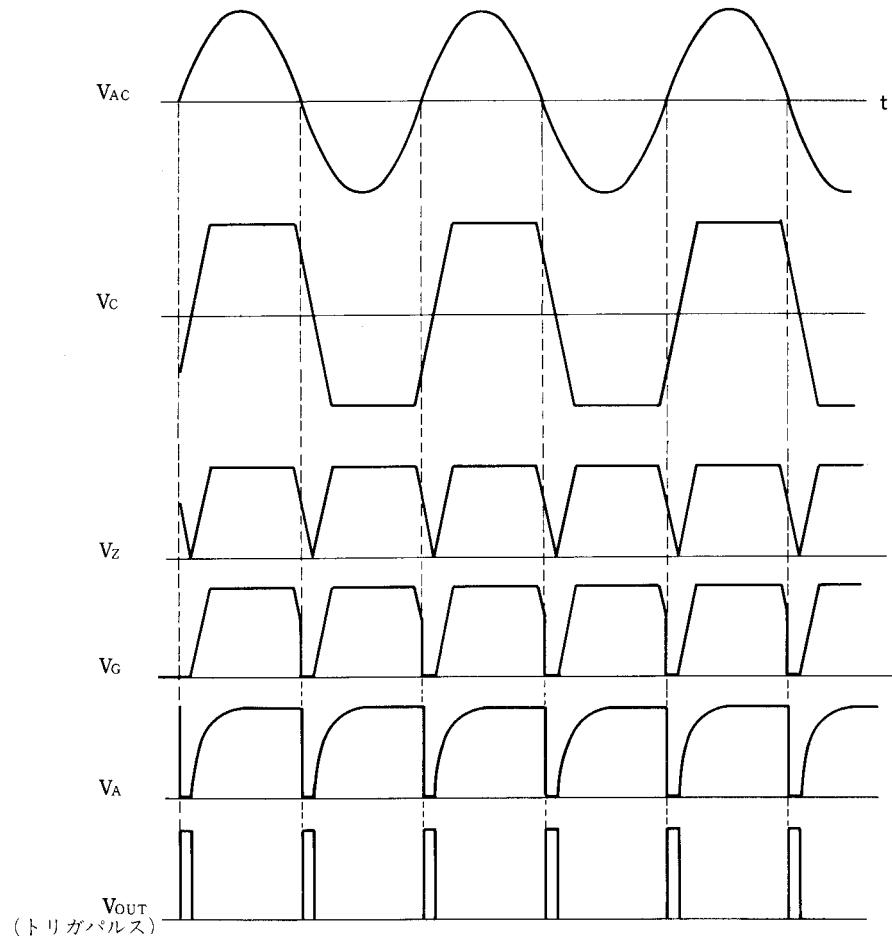


図57は、ゼロクロススイッチを用いて、本質的にオンオフ制御でありながらも比例制御の機能を得ようとする回路です。このような方式は、タイムプロポーショナル（時間比例）制御とか、PWM（パルス幅変調）制御と呼ばれています。

以上は、交流電力制御にPUTを活用する場合について例を挙げてきました。しかし、PUTは直流電力を制御する場合にも好都合に使用することができます。PUTとサイリスタを使用して直流電力を制御する装置には、インバータやコンバータ、およびチョッパ等がありますが、これらは非常に種類が多いので、ここでは数例を紹介するに留めます。

図58は、並列インバータとそのトリガ回路です。この回路は、PUTのプッシュプル発振回路を採用しているので、パルストラnsの二次側に現われるトリガパルスは正負両方向に発生します。その結果、SCRのゲート、カソード間のダイオード特性とあいまってステアリング回路が構成され、トリガパルスのエネルギーが有効にゲートへ注入されます。

尚、エミッタ短絡型のSCRを使用する場合には、この機能が失われますのでそれぞれのSCRのゲートにダイオードを接続して下さい。また、並列インバータ部の設計法その他については、他の資料を参照して下さい。

図59は、同じような回路構成でGTO(GCS)をドライブする回路です。ここでは、前述した正負パルスをそのままGTOのゲートへ注入し、そのアノード電流を制御しています。図中、 VR_1 および VR_2 はそれぞれチョッパ周波数とデュティファクタを調節するよう構成してあります。

以上、PUTとサイリスタを組み合わせた応用例について述べて来ましたが、この他にもサイリスタインバータやコンバータのトリガ回路、チョッパ型定電圧・定電流電源の制御部、テレビ用サイリスタ化安定化電源の制御部、自動制御用高性能位相制御回路等々多くの応用例があります。

保守／廃止

図57 タイムプロポーショナル回路

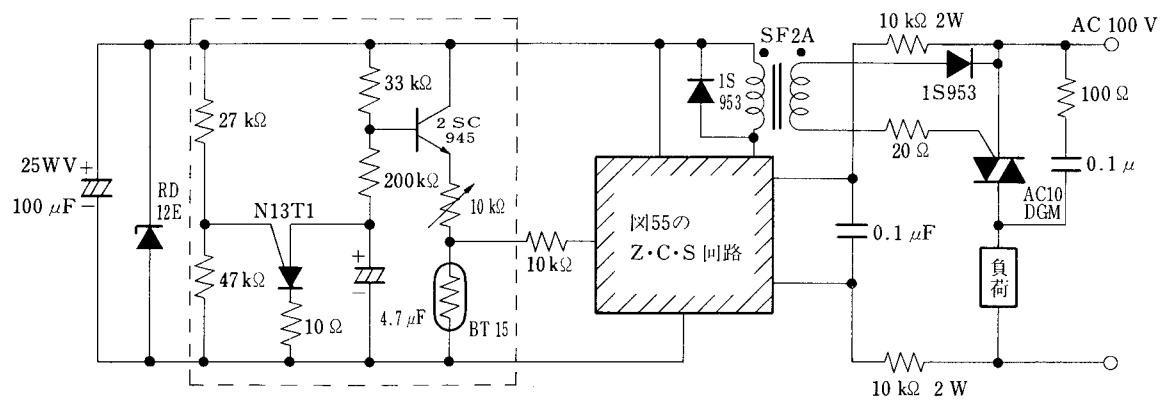


図58 並列インバータとトリガ回路

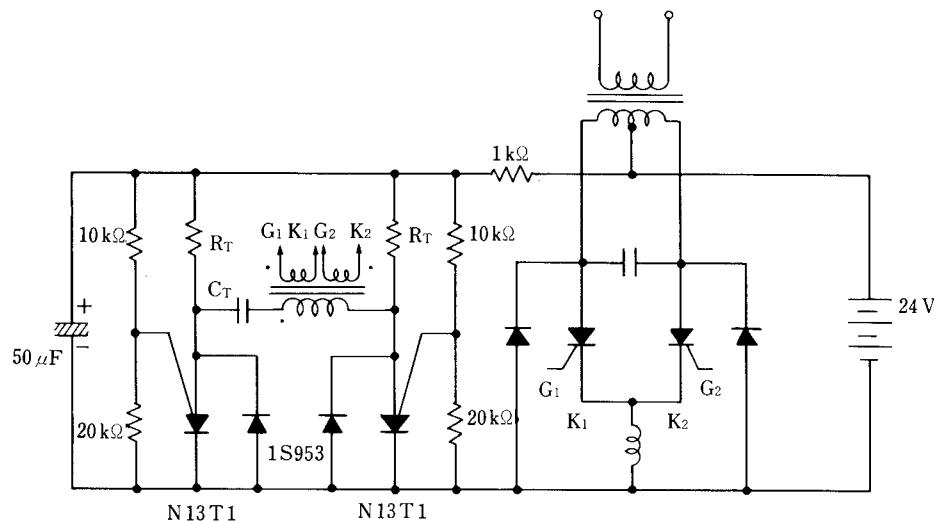
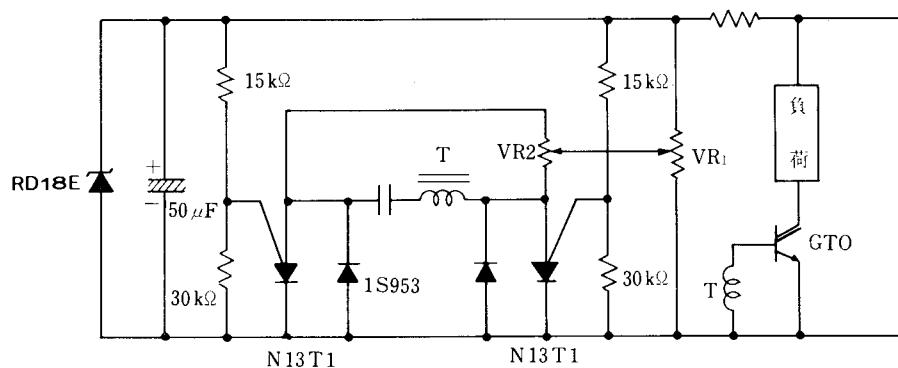


図59 GTO駆動回路



保守／廃止

3-9 その他の応用例

PUTの応用分野は、この迄に紹介して来ました分野だけに留らずもっと広い分野に迄及んでおり、さらに広がりつつあります。この項では、PUTの有用性がどんなものであるかを知ってもらう為に、これまでとは毛色の違った応用例を紹介してみます。

○漏電ブレーカ

電気機器の漏電による危険を防止する必要から漏電ブレーカの設置が義務付けられました。このことは、電気需要家にしてみれば少々出費は必要とするものの、安全が保証される為、非常に有難いことと言わねばなりません。しかし、何にしても経費がかかり過ぎることは敬遠されてしまいます。そこで、漏電ブレーカの価格を引き下げる便法として、零相電流トランジストの出力を直接、小型SCRのゲートで弁別する方法が取られています。

この方法によれば、確かに僅かの電子部品で所要の機能を持った回路を構成することができます。ところが、一般的PUTゲート小型SCRは、そもそもにおいてゲート、カソード間に $1\text{K}\Omega$ の抵抗器を接続して使うように設計されており、カタログ規格や保証信頼度においてさえも、この状態でしか規程されていません。一方、漏電ブレーカを設計する立場に立てば、 $R_{GK} = 1\text{K}\Omega$ というのはいかにもインピーダンスが低すぎます。そこで、ある程度の安定性の低下は承知で R_{GK} を上げて使うということが行われる場合があります。

また、一般的な小型SCRは、この資料の最初の項で述べましたように、そのゲートによってアナログ信号を弁別させるような使い方を推奨されておりません。

このようなことから、一般的な小型SCRを使用して下手に漏電ブレーカを設計してしまうと、漏電ブレーカそのものが危険な物となり、人命の保護どころではなくなってしまう可能性があります。つまり、設計のやり方によっては防災を目的とする機器に必要な「必要な時に安定に確実に動作する」という基本的な条件が満たされなくなる危険が生じています。

しかしながら、使用するサイリスタに、上のような不都合のない製品を使っておけば、少なくとも部品の選定に起因する事故は未然に防止することができます。

ここで、安価で安全な漏電ブレーカを作るに必要な、サイリスタに要求される項目を整理すると次のとおりとなります。

- ゲートでアナログ信号を安定に弁別できること。
- 同弁別レベルの経時変化が少ないとこと。
- サイリスタの安定化用ゲート抵抗の値が高く選べること。
- 直流を掛け放しにしても(長時間)自然ターンオンしないこと。
- ゲート感度が高く、ばらつきが少ないとこと。
- 諸パラメータの解析が充分になされ、回路設計に無理がかかるないこと。

以上の事項が満足されるならば、余裕のある設計が可能になり、特殊スペック等によりパラメータの初期値のみが保証されるような不安を残す操作は不要となる筈です。

そこで、上の条件を満たすサイリスタを物色すると、現時点においてはPUTだけが合格圏内にあると言えるのではないかと思われます。(次の章のPUTの信頼度データをご参照下さい。)

蛇足ながら、弊社製PUTを使用して製品開発を進められたお客様から、「極めて安定した動作が得られ、サイリスタに起因する不良発生等のトラブルが皆無となった。」との評を頂きました。また、別のお客様からは、サイリスタに起因するクレームの発生が無くなり、保守人員と保守に要する費用を激減させることができたとの報告も頂いています。

これらの成果は、回路技術的に特殊なことを行なった訳ではなく、PUTの性質がそのまま生きてきたものと考えられます。その基本回路を図60に挙げておきます。この回路は単相用ですが三相用も同様に簡単な回路構成で実現することができます。

○フォトリレー

図61は、PUTの極めて大きな電流利得を利用してフォトトランジスタの出力を增幅するようにした回路でフォトリレー、無接点メータリレー等に応用することができます。この回路では、フォトトランジスタが定電流素子である為に、PUTの導通角はほとんど180度になり、リレーがうなるようなことは有りません。勿論、フォトトランジスタの代わりに他のセンサを接続することもできますが、電流出力型のセンサを使う方が有利です。また、図中のRはあった方が良いが必要ではありません。

保守／廃止

図60 漏電ブレーカ基本回路

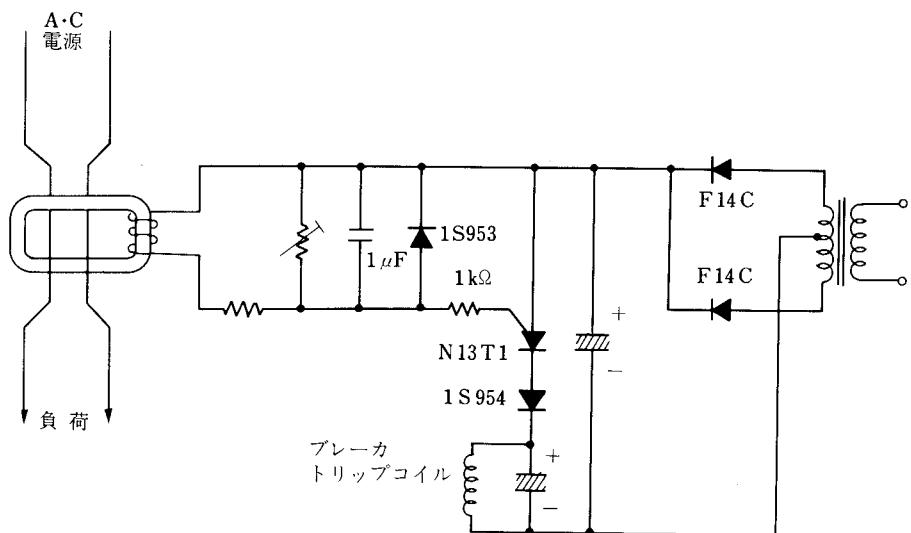
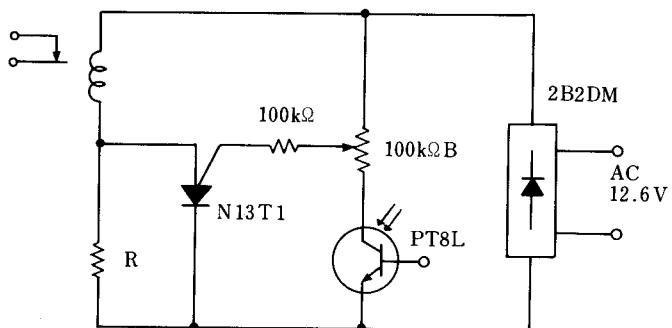


図61 フォトトリレー



○近接スイッチ

図62の回路は、G E社のアプリケーションノートに紹介されている近接スイッチの例です。商用電源に直結して使うよう構成してあるので、やや使いにくいきらいはありますが、約10ピコファラードの静電結合があれば動作し、出力も100W程度得られるので実用に供することができます。検知感度は1MΩの可変抵抗器で調節することができます。もし、この回路を実用する場合には、絶縁トランジスタなどを使って、ラインと絶縁して使って下さい。

○パルス間隔弁別回路

色々な電子回路を設計していると、例えば心臓の脈搏がある程度以上、長い周期になったら警報を出したいといった具合に、パルス間隔が特定の時間以上になると柔らかの信号を発生する回路が欲しくなることがあります。このような場合にも、PUTによるタイマ回路を流用すれば好結果を得ることができます。図63はその1例で、コンデンサは抵抗を通じて流れる電流により常に充電され、PUTのピーク電圧に達しようとしていますが、到来するパルス列によりトランジスタがオンし、その度に放電させられます。しかし、何かの原因によりパルス列のパルス間隔が伸びると、コンデンサの電圧は、トランジスタにより放電させられる前にPUTのピーク電圧に達し、PUTを通じて放電するようになります。その結果、PUTのカソードに接続されたSCRのゲートにパルス電流が流れ込み、警報器に電流が流れ、警報が発せられます。

○低周波アステーブルマルチバイブレータ

PUTの電圧弁別作用とメモリ作用を利用すると周期が数分に及ぶ超低周波で発振する方形波発振回路が得られます。

保守／廢止

図62 近接スイッチ

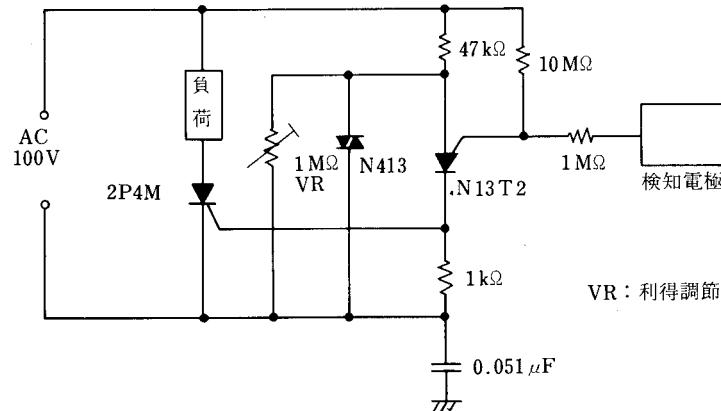


図63 パルス間隔弁別回路

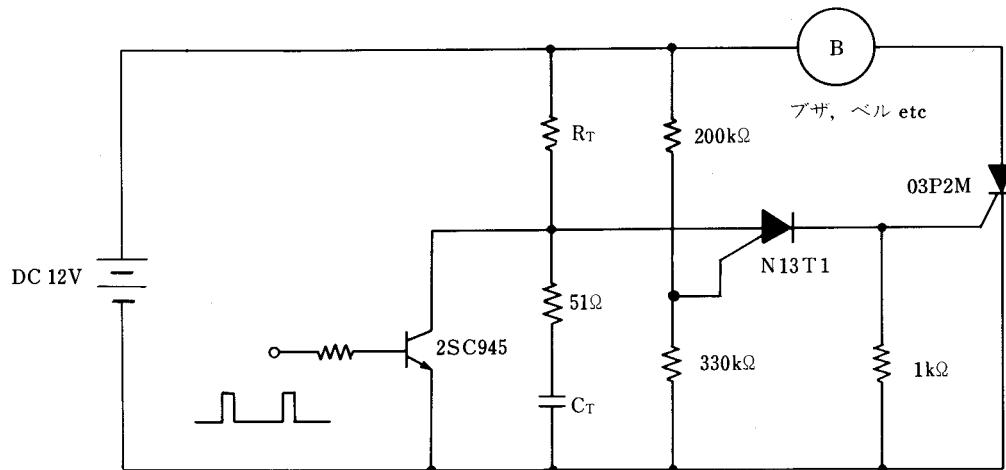


図64 低周波アステブルマルチ

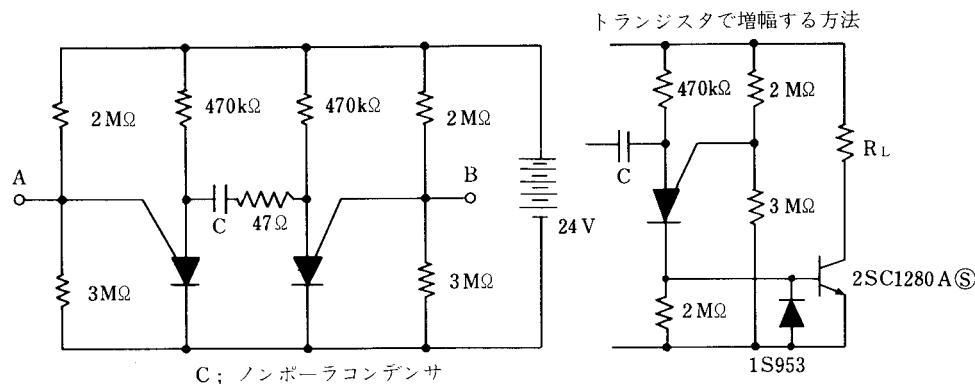
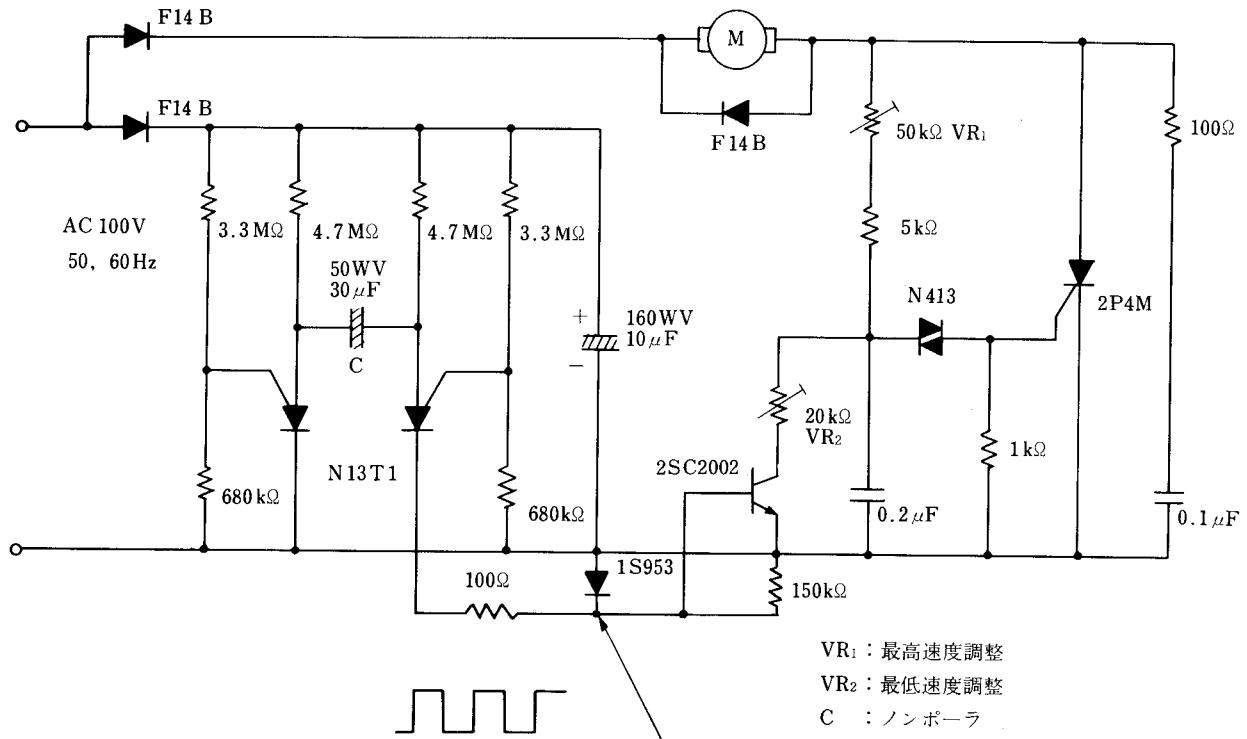


図64の回路は2つの保持型タイマをパッシュプル動作するよう組み合わせたもので、それぞれのタイマの動作時間は、それぞれのPUTのアノード抵抗と共にコンデンサ、及びゲートバイアス(Vs)によって決まり、それぞれのタイマがタイムアップする毎に他方のタイマをリセットすることにより自励発振をします。この回路は位相が180°違う出力を同時に発生するのでモータの回転方向を周期的に反転させたりランプを交互に明滅させたり2つの機器を交互に切換えて使う場合

保守／廃止

図65 バイブレータ制御回路



などの制御信号源として使うことができます。出力電力をより大きくしたい場合には P U T のカソードに N P N トランジスタのベースを接続してコレクタから出力を取り出せばよいでしょう。

○バイブルエタ制御回路

図65の回路は前に述べた P U T による方形波発振回路を応用したバイブルエタの制御回路です。回路を簡単にするため発振器の電源は交流 100V を整流してそのまま使い P U T のスタンドオフリシオニアを小さくすることにより P U T の定格以上の電圧が加わらないようにしてあります。P U T の出力によりトランジスタがオンオフすると位相制御回路のコンデンサに流れる電流が増減するので、ダイアックにより S C R がトリガされる位相が制御されます。この時のモータ回転数の最高と最低は図に示した可変抵抗器によりそれぞれ別個に設定することができます。この回路はそのまま電磁石を使ったバイブルエタにも使用することができます。図の回路定数では、ほぼ 1 分毎に振動が強くなったり弱くなったりします。

○自動調光ストロボ

ストロボフラッシュによる写真撮影にはガイドナンバによる絞りの計算がつきものですが、既に絞りの計算が要らない自動調光ストロボが実用され始めています。図66の回路はこの自動調光ストロボに使われている露光量検出回路の例で、ストロボフラッシュから放射された光が被写体で反射され、返ってくるとフォト・トランジスタにより電流に変換され、その電流でコンデンサが充電されます。フィルムは一種の光の積分器と考えられるので、コンデンサに積分された電荷はフィルムの露光量に対応していることになり、フィルムが丁度よい具合に露光されたかどうかはコンデンサの電荷を計測することにより知ることができます。実際にはコンデンサの容量を一定とするので露光量は電圧で表現されます。従ってフィルムが適当に露光される時の電圧を予め設定しておけばその時点で P U T がオンし、ストロボフラッシュの発光を止める信号を出すことができます。

○ワンショットソリッドステートリレー

これまでのところでは、放電型タイマを引き合いに出すことが少なかったので、ここで一つ紹介しておきましょう。た

保守／廢止

図66 自動調光ストロボ用露光量検出回路

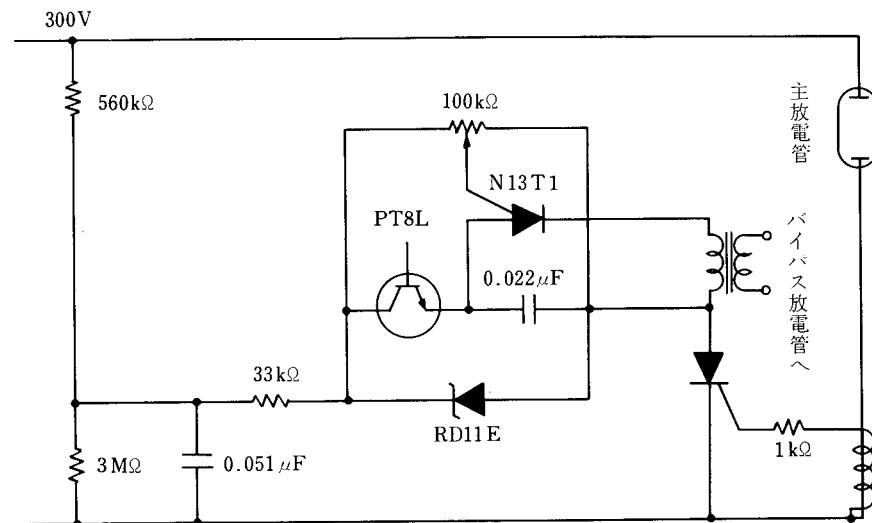
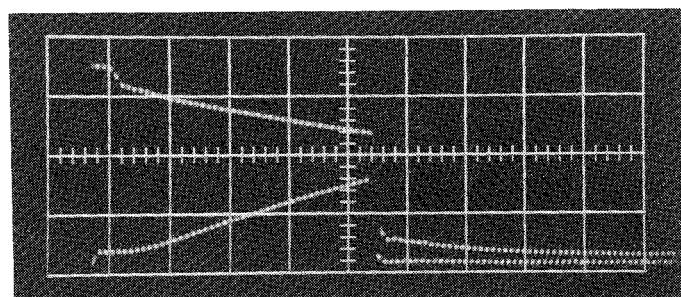
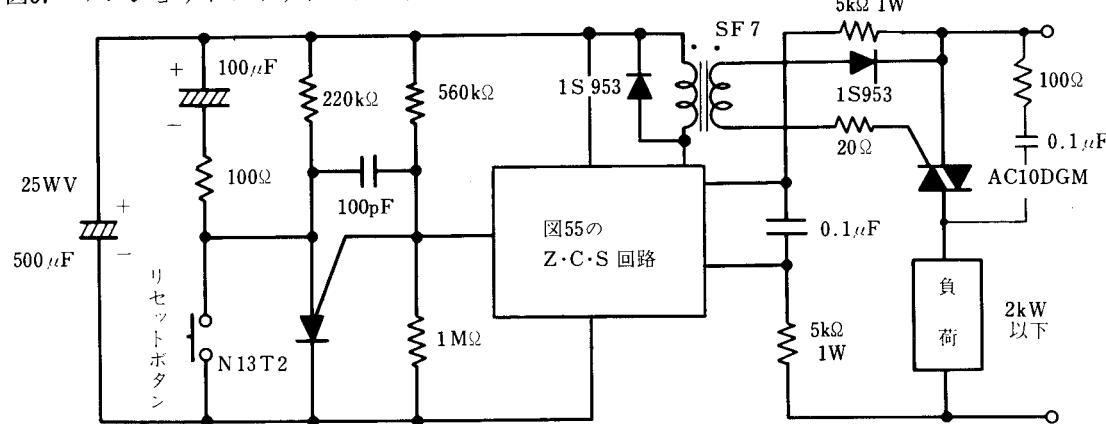


写真6



主放電管電圧波形
露光量検知信号
H : 50 μS/DIV

図67 ワンショットソリッドステートリレー

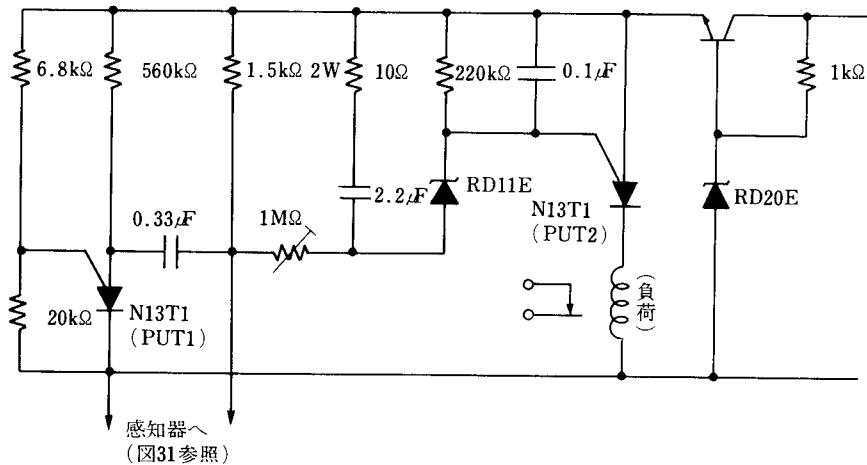


だ、リレーをドライブするだけの回路では面白みがないので、完全にソリッドステート化したワンショットパワリレーの例を紹介することにします。

放電型タイマの利点は、当初コンデンサを完全に充電してしまうために、誘電吸収現象による動作時限の狂いが少なくなることと、コンデンサの漏れ電流がもとで、動作が停止してしまうことがないことです。したがって、自動販売機

保守／廃止

図68 煙感知器用受信機



械や娯楽機械、およびプロセス制御用ワンショットタイマ等にはうってつけと言えます。

図67の回路もこのような用途に合わせて作ったもので、PUTの出力をZ·C·Sの入力端子に直結してあります。この構成なら、リセットスイッチを押す度に負荷に一定期間、パワを供給することができ、しかも、スイッチ時にノイズを発生せず、電磁リレーにありがちなチャタリングによる不都合現象も起りません。

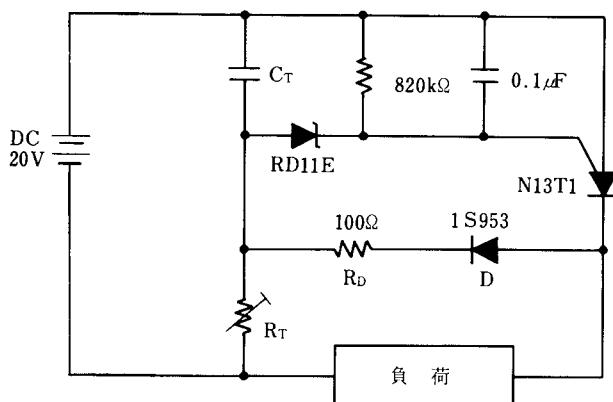
○煙感知器用受信機

最終段の感知信号を発生する部分にサイリスタを使用した2線式煙感知器に適合する受信機にPUTを使用すると、回路をかなり簡略化することができます。図68の回路でPUT1は煙感知器が誤動作した時自動的に復帰させ、誤った警報が出ないようにするためのもので、実際に火災が発生し感知信号が来ると感知器と一体となって発振器を構成し、発振を持続するようになります。また、PUT2とその周辺の部品はアナログ計数回路を構成しており、PUT1と感知器からなる発振器が、ある程度以上発振を続けるとリレーを駆動して警報を発します。1MΩの可変抵抗器は、発振動作が始まっているから警報を出すまでに計数するサイクル数を決めるものです。尚、感知器が誤動作した時に計数回路に蓄積された電荷は、自動的にリセットされた後この1MΩの可変抵抗器を通じて放電してしまいます。

○遅延リレー

遅延リレーには、熱的なもの、電磁的なものなどがありますが遅延時間を用途に合わせて変えることが難しい欠点を持っています。図69に挙げた遅延リレー回路は、PUTを使って遅延時間を自由に変えられる回路です。電源電圧が加わる

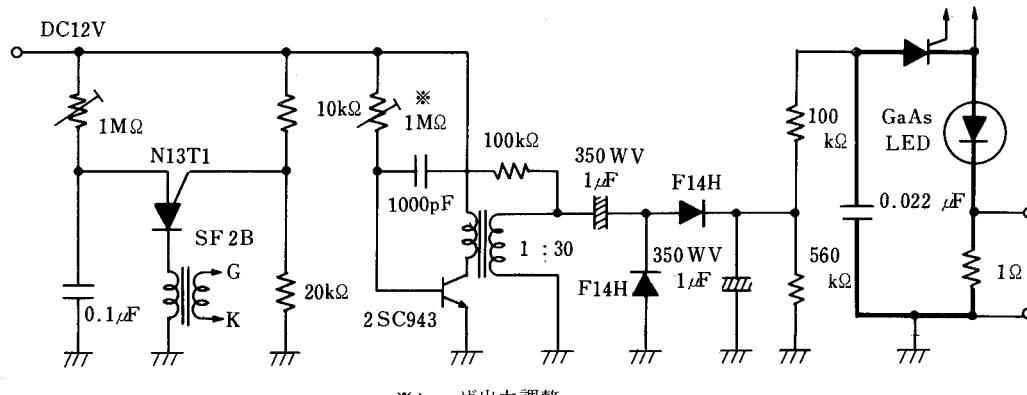
図69 遅延リレー回路



保守／廃止

と R_T を通じてコンデンサ C_T が充電され、その端子電圧がツェナダイオードのブレーカオーバ電圧と P U T のオフセット電圧の和に達すると P U T がオンし負荷に直流電圧が印加されます。一度 P U T がオンするとコンデンサ C_T の電荷はダイオード D と抵抗 R_D 及び P U T を通じて放電されるので回路を開いた後すぐ次の遅延動作に入ることができます。P U T の負荷に通常のリレーを接続するとさらに大きな電力の制御を行なうこともできます。尚、ツェナダイオードには飽和電流の小さいプレーナ型を使う方が良く、アロイ型のツェナダイオードは好ましくありません。

図70 レーザダイオード駆動回路



※レーザ出力調整
太線は短く配線して下さい。

○レーザダイオード駆動回路

踏切の障害物検知や、天井走行クレーンの衝突防止などに GaAs レーザダイオードを使うことができます。図70に挙げた回路は、レーザダイオードに流す大電流パルスを発生する回路で、直流の高電圧を作る DC-DC コンバータ部と S C R によるスイッチング部、S C R をトリガするためのパルスを発生する部分から構成されています。P U T で発生するパルスは立上がりが速く、しかもピーク電流が大きいので S C R のスイッチング時間も短くなりその結果レーザダイオードに流れるパルス電流も立上がりが速く幅の狭いシャープな波形になり、レーザダイオードの発熱により電一光変換効率が低下する前に放電が終わるので効率よくレーザ光を取り出すことができます。尚、寄生振動によるレーザダイオードの劣化を防ぐため図中の太線の部分は太い線で極力短く配線し、電流観測用の抵抗器も放電用のコンデンサも無誘導性のものを使う必要があります。

○同期整流回路

P U T は、トライアックのように双方向性の素子ではなく、4象限だけでターンオンし、しかもゲート感度が非常に高いので鋭敏な同期整流回路を作ることができます。同期整流回路というのは、入力制御信号と位相が一致している時だけ負荷電流を流す整流回路のこと、バイブレータを利用した機械式整流器や、直流発電機の整流子とブラシによる整流も原理は同じです。

ここでは、サーミスタブリッジと P U T を組み合わせて、温度が既定値より高いか低いかをランプ（発光ダイオードでも可）で指示する回路を紹介します。

図71がその回路で、同期整流を行なわせることが目的であるのでサーミスタブリッジは交流で動作させてあります。また、温度指示を行なわせるランプは、全波整流回路の2つの辺に入れてあります。図の回路では、センタタップ付きのトランスを使用していますが、6.3V巻線が2組しかないトランスを使用する時は、図の右に示したような回路を使用することができます。

なお、P U T のアノード・ゲート間に接続したコンデンサは、ノイズによる誤動作を防止するためのものです。

この回路の動作原理は、図72に示しますように、ブリッジの平衡点に対して温度が上昇したときと、下降したときとでブリッジの出力位相が逆転することを利用しています。つまり、P U T のアノード・カソード間には全波整流された電圧が加えられているために、アノード・ゲート間に加わる信号電圧がアノード電圧と同期して、しかもその位相が2通りに分かれて到来すると、アノード電流は2つのパイロットランプにそれぞれ振り分けられてしまうわけです。

保守／廃止

この回路の感度を調整するには、P U Tのゲート・カソード間に抵抗器を接続し、この抵抗値と、ブリッジインピーダンスとでアノード・カソード間電圧を分割した電圧でP U Tのゲートをプリバイアスすればよいでしょう。この回路は、工夫しだいでさまざまな用途に実用することができます。たとえば、このままでもGO-NOGO方式の温度テスト装置に使えますし、サーミスタを自己加熱させて使えば液面の検知に、また同サーミスタをガスパイプ中に設置すれば流速の簡易モニタができます。サーミスタをCdSやCdSeに置き換えるれば光量の弁別が、またInSb等の磁気抵抗効果素子に置き換えれば磁石の磁束密度の検査などにも使えます。また、出力パワーが足りなければパイロットランプLL、L_Hの代わりに、容量の大きなサイリスタやパワリレー等を接続することもできます。

図71 同期整流方式温度検知回路

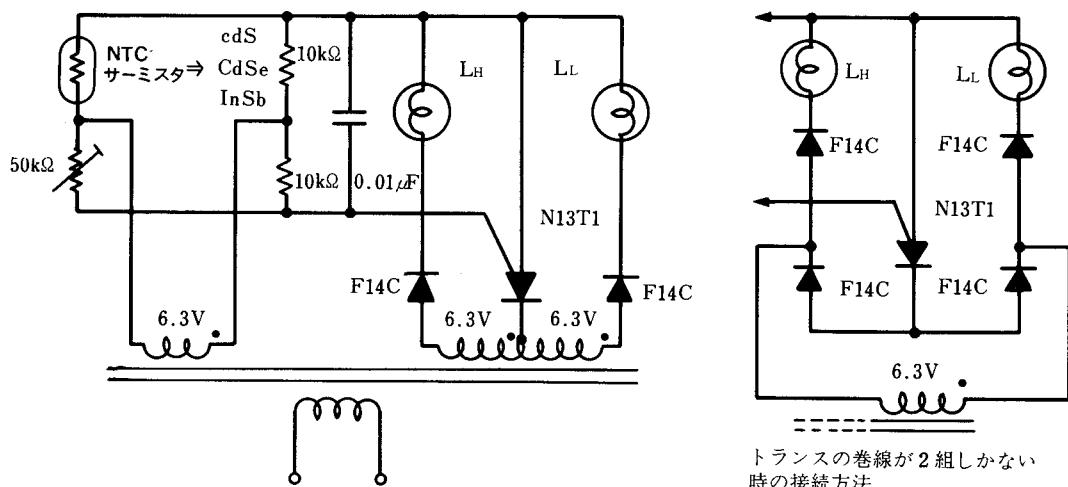
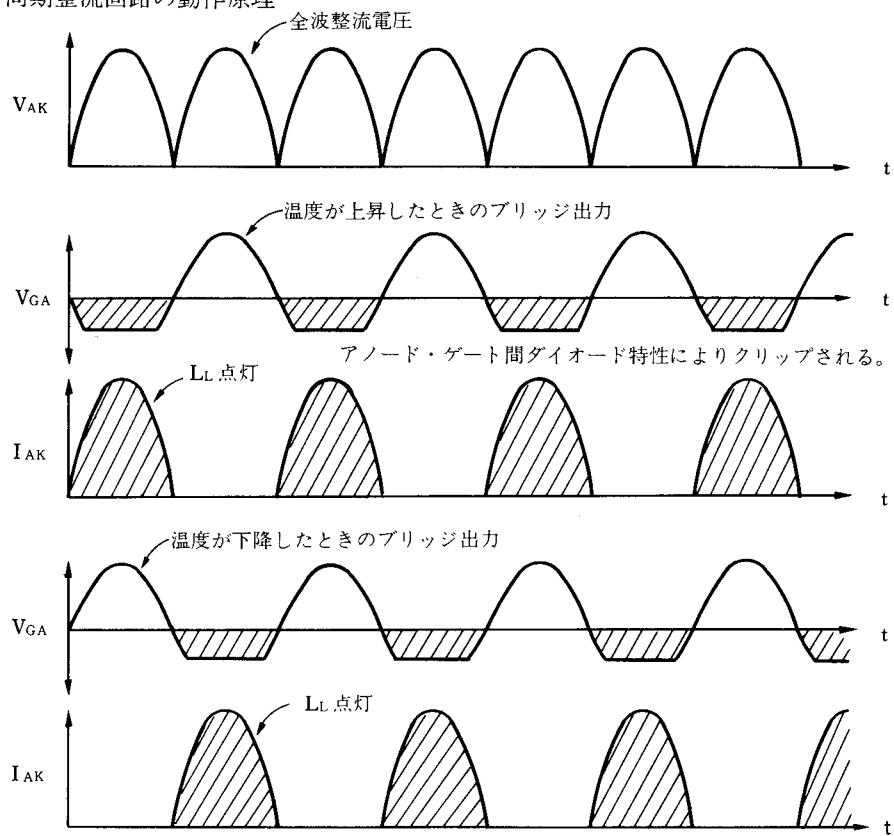


図72 同期整流回路の動作原理



保守／廃止

これまで、PUTの応用技術について書いてきましたが、かなりのページ数を割いたにもかかわらずまだ舌足らずの感があります。ことに、ごく最近に開発された回路とか、技術的に高い水準にある回路などは紹介してありません。ただ、ここに紹介した内容だけからでも、PUTの特異性や有用性がどんなものであるかを知って頂けたことと思います。

4. PUTの信頼性

一般に信頼度とは「規定の条件で、意図する期間、規定通りの機能を故障なく遂行する確率」と定義されています。極端ないい方をすれば、初期値がそのまま持続される、すなわち不変であれば、信頼度は最も高いわけです。しかし実際の使用状態における素子の信頼度（動作信頼度と呼ばれている）は「素子の固有信頼度と使用信頼度の積である」といわれ、回路設計者が、素子の取り扱いに不慣れであったり、素子側のデータが不十分であるため、必ずしも十分に信頼性が發揮される最適使用状態にあるとはいえない。そこで信頼性設計のためには回路設計者は、素子の最大定路の定義や静特性と動特性を十分に把握して上手に素子を使いこなすことが必要です。

ここでは、SCRの一般的な信頼度と、PUTの信頼度設計上の問題と対策について若干述べるとともに、現在製品化されているPUT（N13Tシリーズ）の信頼度試験結果について述べることにします。

4-1 SCRの信頼度とPUTの信頼度向上設計

PUTは、構造上はNゲートプレーナ形SCRでありコンプリメンタリSCRとしての用途も考えられるためまずSCRの信頼度について述べます。SCRの一般使用条件において信頼度に及ぼすストレスとしては、熱的ストレス、機械的ストレス、雰囲気および電気的ストレス等があげられます。素子の最大定路は、これらのストレスに対して決められているため減定格（Derating）することによって、それぞれのストレスは小さくなり、信頼度は向上します。

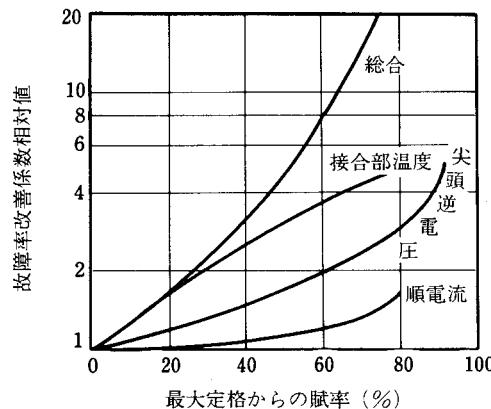
一般にSCRを最大定路で動作させた場合の故障率（Failure rate）は、 $10,000 \text{ Fit}$ ($1 \text{ Fit} = 10^{-9}/\text{h}$) 程度といわれ、1,000時間で、100本中1本が特性の寿命終止点（Life end point）を越えて劣化する確率があることで、平均寿命にすると約10年に相当します。しかし前記の様に減定格して使用すれば、図72に示す例の様に故障率は小さくなり、回路設計にあたっては、装置の冗長性もあいまって、 $10 \sim 100 \text{ Fit}$ の実績を得ています。

以上の様にSCRについては、現在十分な信頼度が得られていますが、PUTは動作時の電流が小さく、漏れ電流又は I_p の増加は致命的な故障となるためさらに信頼度が要求されます。すなわちその初期値が小さいだけでなく変化率についても十分小さいことが必要な訳です。

N13Tシリーズは、プレーナ型構造を採用しており、接合界面は安定な、酸化膜(S_iO_2)により保護されています。しかし S_iO_2 膜中には汚染物質として Na^+ イオン等の正電荷が入りやすく、この正電荷による、漏れ電流の増加、 h_{FE} の低下等がプレーナトランジスタ等のプレーナ型の半導体素子の信頼度試験において、ときどき見られ、又表面への水蒸気、その他のガスの吸着によっても同様な現像を生じることがあります。

この対策として、第1に工程管理の強化によるイオン汚染の防止、封入前のペレットの十分なペークによるガス出し、

図73 減定格と故障率の関係



保守／廃止

第2対策として、 S_1O_2 膜生成後、焼ガラスを酸化膜全体に付着させる方法により S_1O_2 中の Na^+ イオンを不動化し特性の安定化を計る。又は、シリコン窒化膜($N_{13}N_4$)やアルミナ(Al_2O_3)等により Na^+ イオン及びその他の不純物イオンが外部から浸入するのを防ぐ等の方法が一般に行なわれています。

PUTは素子の特性を考慮し前記の各種ストレス、問題点に対し十分な信頼性設計が行なわれています。

4-2 信頼度試験データ

素子の信頼度を評価するためには、表-1に示す劣化機構とストレスの関係を、把握した上で、標準化されたストレス試験を行ない設計段階での信頼度の確認「形式試験」が行なわれます。さらに製造工程及び選別において、表-1の欠陥に対応するいろいろなストレスを加えてスクリーニングが行なわれ、完成された製品に対しては特性試験、環境試験、及び寿命試験(ロット保障試験)が行なわれて、品質が確認されています。

ここでは、現在製品化されているPUT(N13Tシリーズ)の信頼度試験結果を紹介し、前述の問題点等について何ら信頼度上心配がないことを示しておきます。

4-2.1 試験結果

表-2に信頼度試験結果を、まとめて示しました。また注目している項目については経時変化の様子を図75~84に示します。結果はここに示した通り充分に安定しています。

4-3 PUTの発振周波数の経時変化

以上のデータから判りますように、PUTの各パラメータはコンデンショナルUJTに比べて遙かに小さな経時変化しか示しません。この事から、PUTを採用した発振器の発振周波数の経時変化は非常に小さくなることが期待されます。もし、この期待が裏付けされるならばCVCF電源などの発振周波数のドリフトが敬遠される分野では、PUTの有用性が再確認されるものと思われます。

このような期待に基づいて発振動作試験を実施した結果を図84に示します。これから、PUTがUJTに比較して如何

表1 劣化機構とストレスの関係

劣化 機 構	スト レ ス	機械的		温 度 的		電 气 的		その 他	
		静 止 力	シ 振 ク 動 力	一 定 温 度	シ サ イ ク ル	電 電 压	電 電 流	電 力 (連 続)	腐 耗 放 射 能
構 造 欠 陷 (弱 体 製 品) (弱 体 接 合) (微 少 部 分 の 接 触 不 良) (熱 疲 労)		● ● ● ●		● ● ●			● ●		
封 入 欠 陷		●		● ●		●		● ● ●	
内 部 汚 れ (封入ガス不良) (吸着ガス) (イオン化された汚れ) (少数キャリアトラップ) (イオン電導) (腐 蝕)				● ● ●		●			
金 属 の 電 气 的 欠 陷 (不 完 全 接 合)						● ● ●			
金 属 拡 散			●			●			
耐 放 射 能								●	

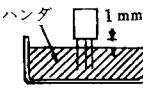
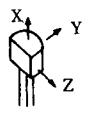
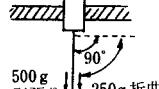
保守／廃止

表2 PUTの信頼度試験結果

(a) 寿命試験結果

ストレス	条件	試験数	コンポーネントアワ(C.H.)	不良数
高温保管	T _a =125°C	22	22,000	0
低温保管	T _a =-40°C	22	22,000	0
常温放置	T _a =25°C	45	45,000	0
直流ブロッキング	T _a =125°C V _{GK} =40V	22	22,000	0
直流通電	T _a =25°C I _F =150mA	22	22,000	0
パルス試験	T _a =25°C I _F =1A duty1% P.W.=100μsec	22	22,000	0

(b) 環境試験結果

ストレス	条件	試験数	不良数	備考
半田浸し 温度サイクル 熱ショック	260°±5°C 10秒間 -40.0 ⁺⁰ °C~125±5°C 5回 1サイクル 30分 0 ⁺⁰ °C~100±5°C 5回 1サイクル10分	22	0	
衝撃試験	1500G 0.5msec 3回 XYZ方向			
振動試験	60±20Hz·20G X-Y-Z 方向各1時間	11	0	
遠心力試験	20,000G·1分XYZ方向			
リード引張り	500g 30秒	22	0	
リード折曲げ	250g 90度往復3回			

(c) 故障判定基準

項目	略号	条件	初期値	終止点	単位
アノード・カソード逆漏れ電流	I _R	T _a =25°C, V _{AK} =-30V	0.01 以下	0.1	μA
ゲード・カソード漏れ電流	I _{GKS}	T _a =25°C, V _S =40V	0.1 以下	1.0	μA
アノード・カソード順漏れ電流	I _D	T _a =25°C, V _{AK} =30V, R _{GA} =1kΩ	0.1 以下	1.0	μA
ピーエク電流	I _P	T _a =25°C, V _S =10V, R _G =1MΩ	2.0 以下	3.0	μA
順電圧	V _F	T _a =25°C, I _F =100mA	1.5 以下	1.7	V

保守／廃止

図74

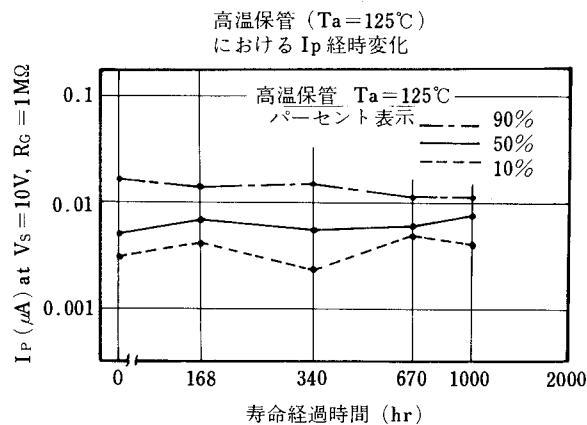


図75

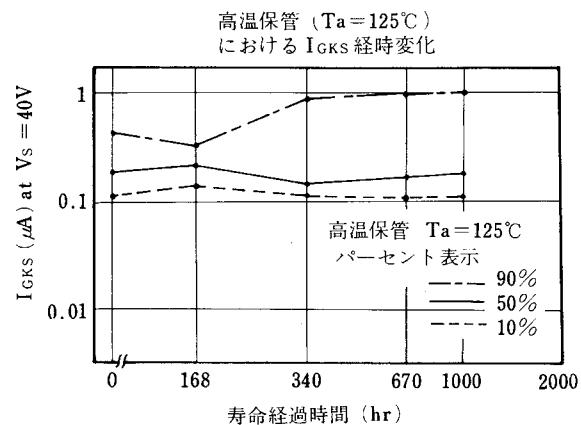


図76

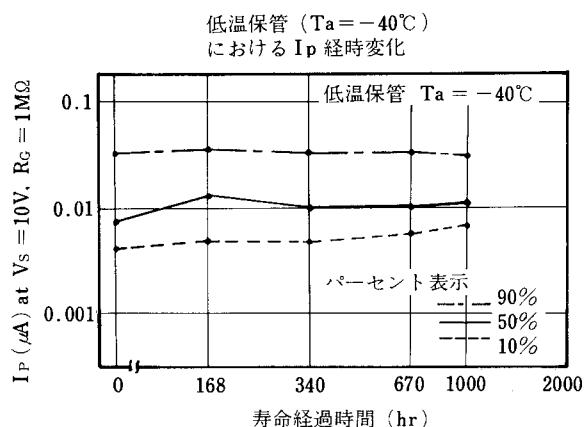


図77

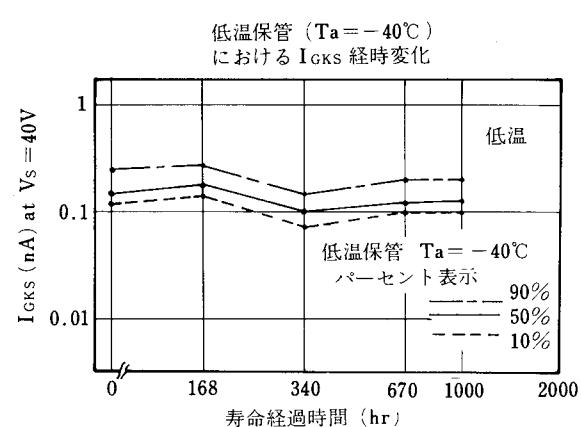


図78

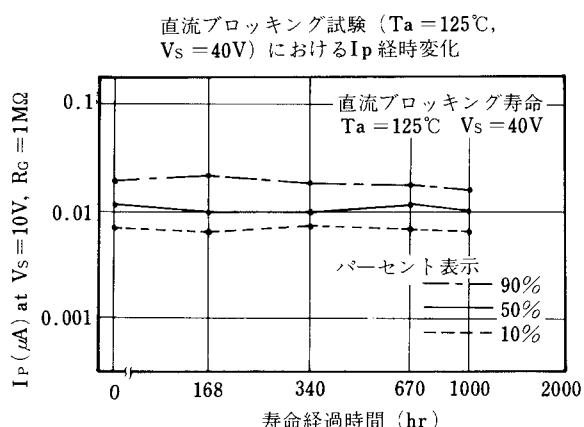
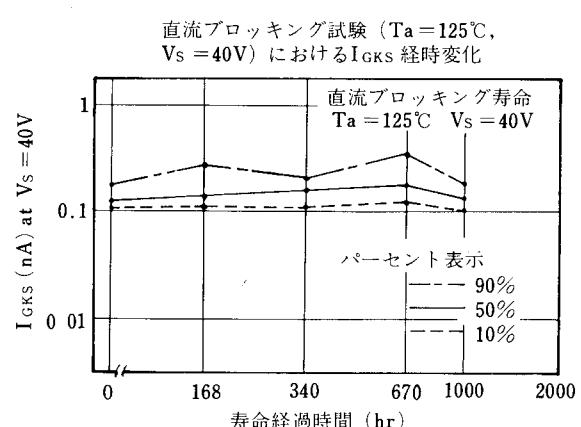


図79



保守／廃止

図80

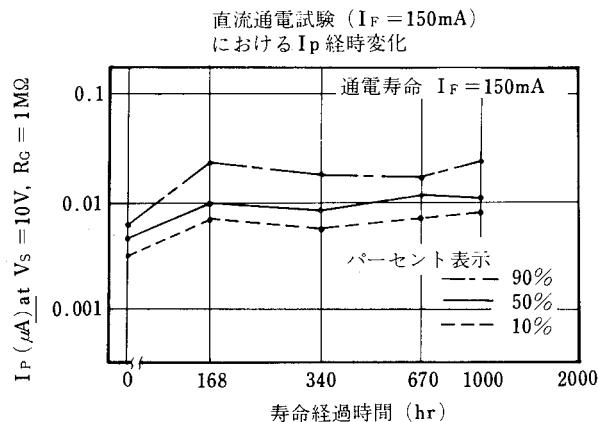


図81

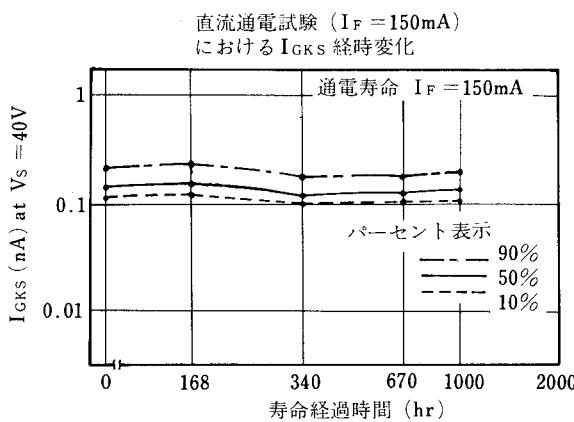


図82

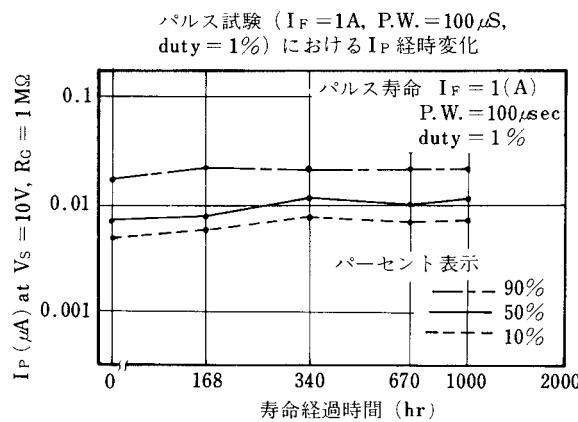
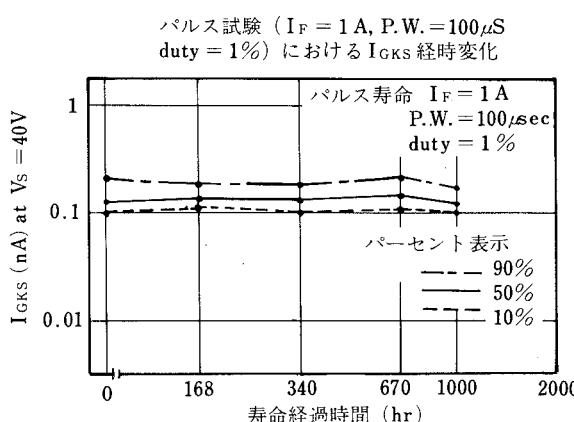


図83



に優れた性能を持っているかを充分お判り頂けるものと思います。

尚、前述しました発振周波数の温度特性をも合わせ考えれば、UJTをPUTで置き換えることのメリットは推して知るべしと言えるでしょう。

4-4 ボイリングテストデータ

PUTが優れた素子であるということの、もう一つの確かな証拠を以下に紹介します。

弊社では、N13TシリーズPUTの信頼度水準として“軽工業用”のそれを保証しています。軽工業用の信頼度とは簡単に言えば「高温度で、かつ高湿度の環境下」で使用されなければ、通信、工業用製品と同様の信頼度を期待できる信頼度と言ることができます。

しかしながら、定義はこうであってもPUTの耐湿性を等閑に考え、またそのように製造、管理している訳ではありません。優れた表面不活性化技術の開発、適切なモールド材料の選定、モールド技術の開発には特に力を入れています。この資料の冒頭に述べました高水準の製造技術云々とはこのような技術のことを意味しています。

しかし、結局の所、N13Tは高分子材料によるモールド製品であり、ガラスやメタルによるハーメチックシールの製品ではありません。それ故に、耐湿加速試験を実施した場合、IGAOやIGKSの若干の変化が見られます。しかし、幸いなこと

保守／廃止

図84 発振周波数ドリフト

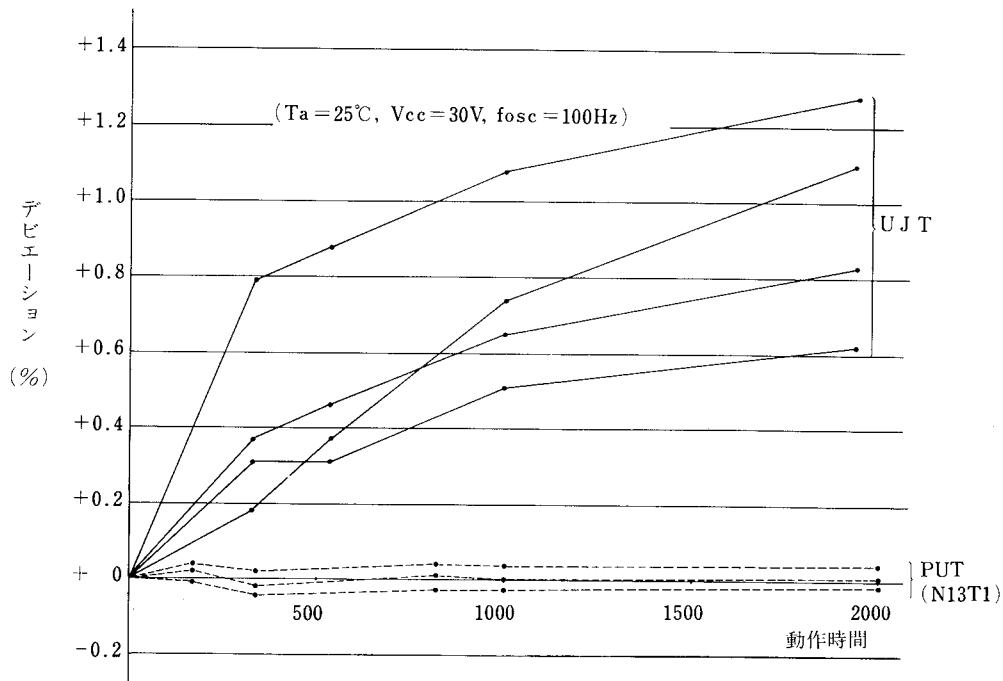
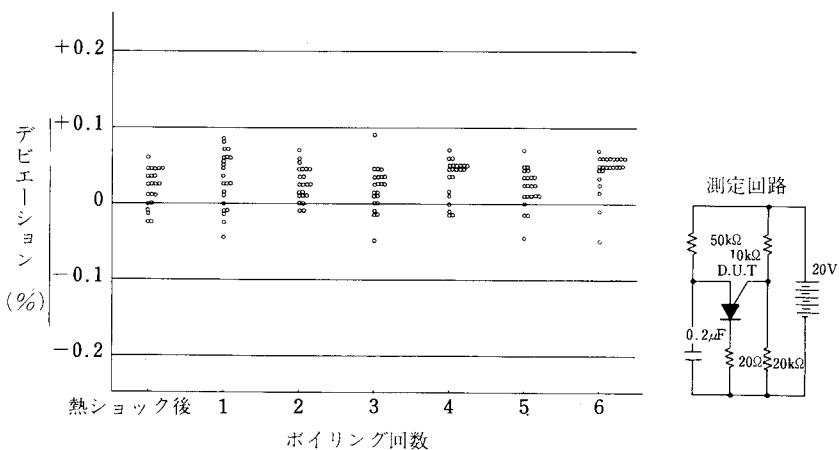


図85 ポイリングによる発振周波数の変化

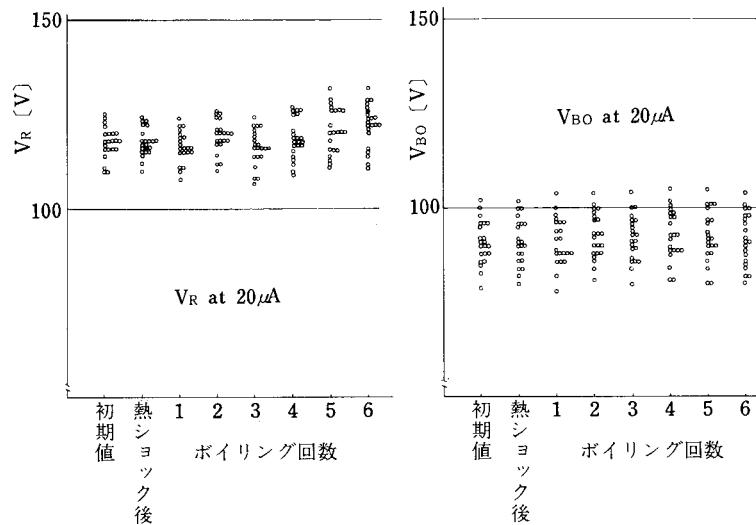


に I_{GAO} や I_{GKS} の設計値（もしくは初期値）が極めて小さく、これが増加した後においてさえもなお I_p や I_v に比べて非常に小さい値を保っている ($10^{-2} \sim 10^{-4}$ 倍) 為に動特性に与える影響は無視することができます。図86に示したデータは、このことを端的に物語っています。このデータは、熱ショック試験により素子内部および樹脂とリード密着部にストレスを加えた後、1回5時間ずつ100°Cの湯で煮沸した時の発振周波数の変化をプロットしたものです。データから判りますように、このような厳しいテストでもドリフトはもち論、ばらつきさえも $\pm 0.1\%$ 以下に安定しています。この結果をどう評価するかは、目的、要求水準等によりそれぞれ異なってきますので読者の判断におまかせします。

参考までに、耐湿強度を評価する場合に引き合いに出されるもう一つのパラメータである所の耐電圧の変化データを図85に挙げておきます。これも前者と同じく、熱ショック試験によるストレスを加えた後テストを行なってあります。結果はご覧のとおり、ハーメチックシールの製品に劣らない耐湿強度を示しています。

保守／廃止

図86 ポイリングによる耐電圧の変化



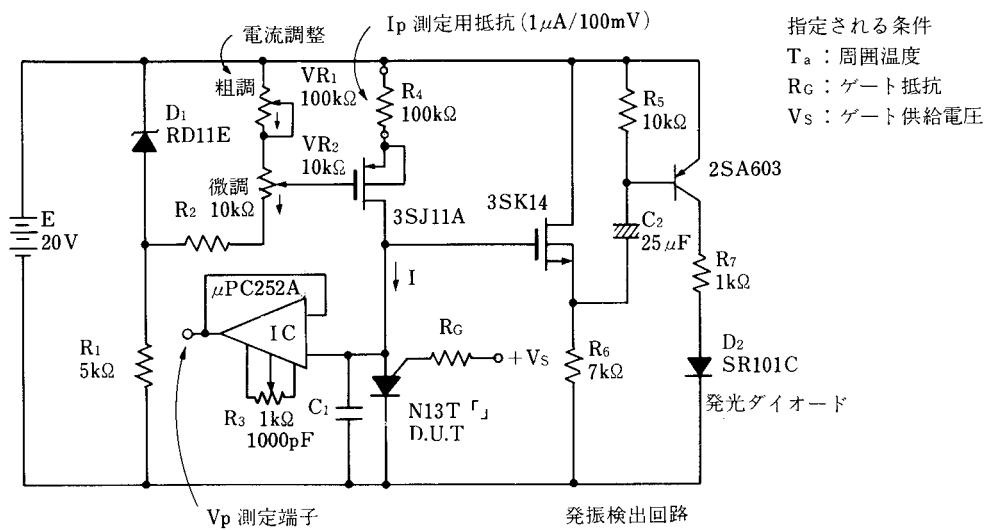
5. PUTの特性試験法

PUTは汎用プレーナ型NゲートサイリスタでありコンプリメンタリSCRとしての用途だけでなく、外部抵抗R₁, R₂を接続することにより等価UJTとして使用できることは、すでに述べました。その場合一般のUJTに比べ、PUTは、高感度・低漏れ電流・I_P, I_Vをゲート抵抗R_Gによりプログラムできること等を特徴としておりこの低電流（例えば、N13T₂はR_G=1MΩの時I_P=0.15μA以下である。）しかも、正抵抗領域から負性抵抗領域へ(I_P, V_P)又負性抵抗領域から正抵抗領域へ(I_V, V_V)移る点での電流又は電圧を、いかにして正確に、そして精密に測定するかが問題となります。以下にPUTをUJTとして使用した場合の特性の試験法についてその概要を述べます。

5-1 I_P (ピーク電流), V_P (ピーク電圧)

図87にI_P, V_P試験回路を示しました。本回路は、定電流源とPUTの発振検出器からなり、I_P, V_PはPUTの発振により測定します。電流を数nAから数100μAの範囲で自由にコントロールできる定電流源としてエンハンスマント型MOSFETを用い、PUTの発振のための1000pFのコンデンサC₁は漏れ電流の小さいものを用いてあります。

図87 I_P, V_P 試験回路



保守／廃止

FETのゲートバイアスを変えて、電流を零からしだいに増してコンデンサ C_1 を充電し、 C_1 の電圧がゲート供給電圧 V_S 以上になると、この電流はPUTに流れ込みその値が I_P 以上であれば、PUTはONしコンデンサに蓄えられた電荷は、PUTを通じて放電されます。この充電、放電は繰り返され、PUTはほぼ、

$$T \approx C_1 \cdot V_S / I_P \text{ (秒)}$$

の周期で発振を続け、発光ダイオードが点滅します。この時 I_P は、 R_4 ($100\text{k}\Omega$) の両端の電圧降下 ($100\text{mV}/1\mu\text{A}$) として測定されるが、発振時には、PUTのアノード電圧は $V_P \approx V_S$ から V_F 程度まで変化しFETの、ドレイン電圧が周期的に増すことになるために、 I_P の真値より多少大きい値を読むことになります。正確に測定しようとするならば、一度PUTを発振させた後で、電流を I_P よりわずかに小さくして発振を停止させ、次に微調用の VR_2 により電流を徐々に増して、PUTが発振を開始する（電流が急に増す）点の電流を I_P として読みとります。

V_P はこの時コンデンサ C_1 の両端の電圧として測定されます。 C_1 からの放電を避けるため、 $10^7\text{M}\Omega$ という高入力インピーダンスの演算増幅器を用いてあります。

V_P が測定されれば、オフセット電圧 V_T は、 $V_T = V_P - V_S$ として求めることができます。

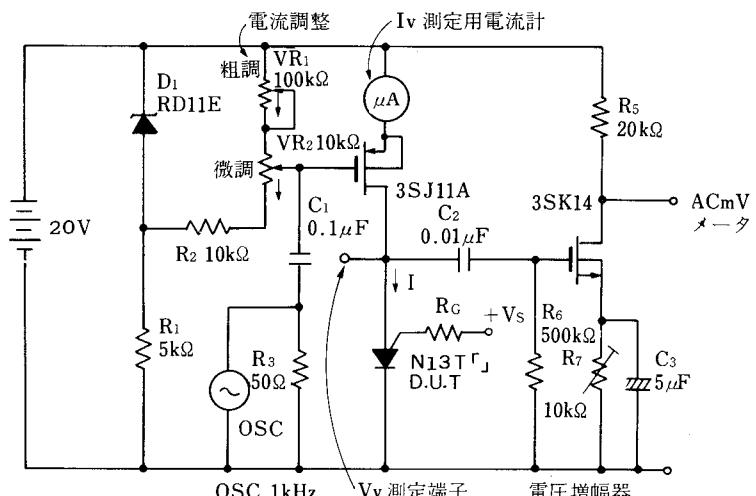
5-2 Iv(谷電流), Vv(谷電圧)試験法

図88に、Iv, Vv試験回路を示しました。Iv, Vvは $I = Iv$ の時 $dV/dI = 0$ となることを利用して測定します。すなわち10%程度の交流分を含んだ直流電流をPUTのアノード、カソード間に通じると、その両端に生じる交流電圧は $I = Iv$ においては零となります。この様子を図89に示します。交流電流を重畳する方法はいろいろありますが、図88の回路はFETのゲートバイアスを発振器（1kHz）により変化する方法です。アノード・カソード間に生じる交流電圧はACmVメータで測定しその振れが最小の時のアノード電流がIvでありその時のアノード電圧がVvです。

5-3 Vo(パルス出力電圧), tr(パルス出力立上がり時間) 試験法

図90にVo, trの試験回路を示します。プログラム抵抗 R_1, R_2 により、開放電圧比 $\eta = R_1 / (R_1 + R_2)$ を0.627を選んであるため、発振周期 $T \approx CR = 100\text{msec}$ となります。Vo及びtrの測定は、オシロスコープによる波形観測で行ないます。

図88 Iv, Vv試験回路



指定される条件

T_a : 周囲条件

R_G : ゲート抵抗

V_S : ゲート供給電圧

保守／廃止

図89 Iv測定のためのアノード交流電圧の観測

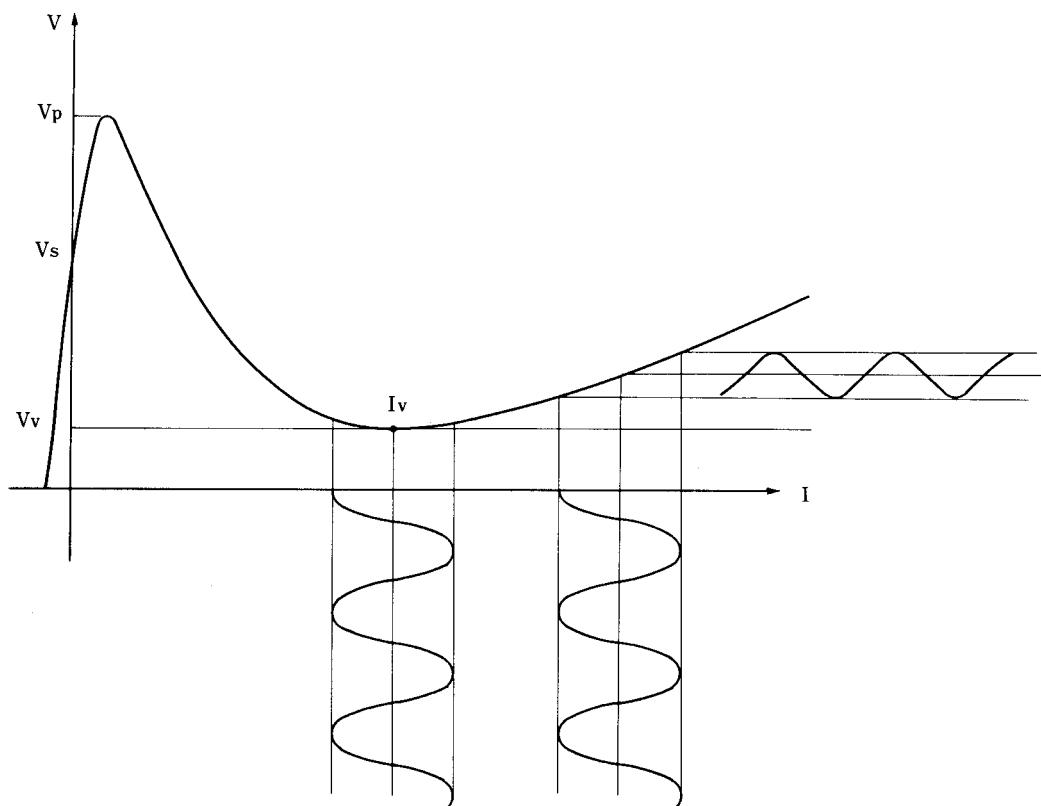


図91に V_o , t_r の測定点を示しておきました。

5-4 V_F , V_{BO} , V_R , I_{GAO} , I_{GKS} , I_D , I_R 試験法

その他、順電圧降下 V_F , 耐圧 V_{BO} , V_R , 漏れ電流 I_{GAO} , I_{GKS} , I_D , I_R の試験法は一般のサイリスタとなんらかわりなく試験回路と試験条件について図92, 図93, 図94に示しておきます。

以上PUTをUJTとして使用した場合の特性試験法について述べました。PUTは構造はNゲートサイリスタであり、当然コンプリメンタリSCRとしての用途も考えられます。SCRの特性試験法については別書を参考にしていただくことをお願いします。

図90 V_o , t_r 試験回路

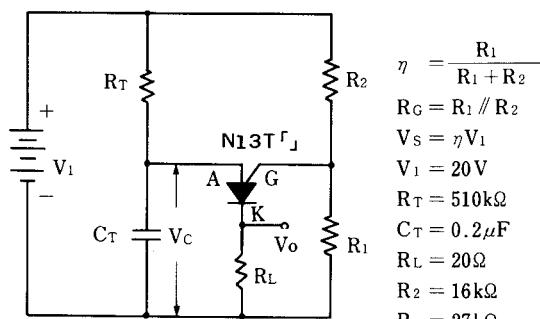
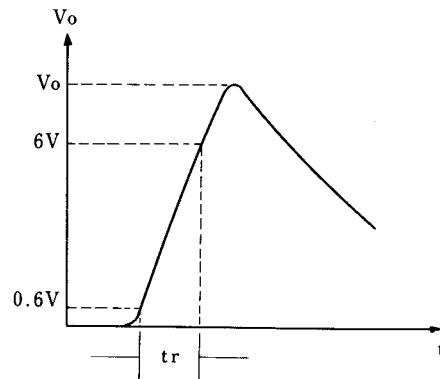
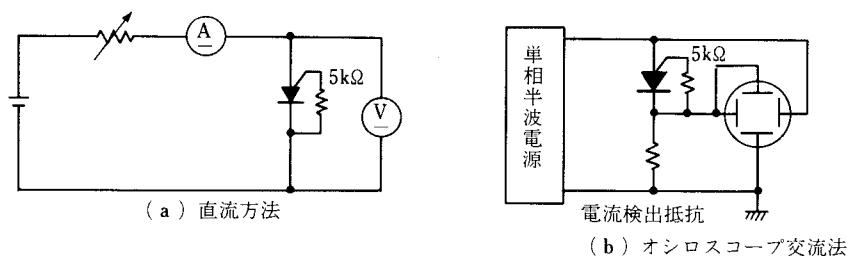


図91 出力波形と V_o , t_r 測定点



保守／廃止

図92 順電圧降下試験



指定される条件
 T_a : 周囲温度
 I_F : 順電流
 測定時間

図93 漏れ電流試験

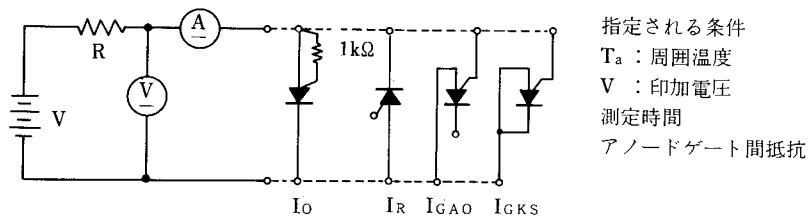
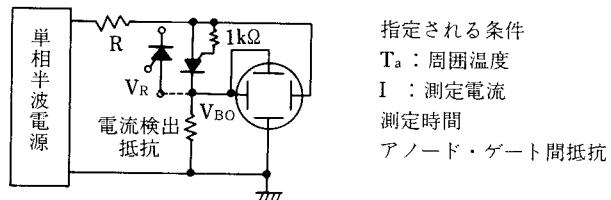


図94 耐圧試験



保守／廃止

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- この製品を使用したことにより、第三者の工業所有権等にかかる問題が発生した場合、当社製品の構造製法に直接かかるもの以外につきましては、当社はその責を負いませんのでご了承ください。

NEC 日本電気株式会社

本 社 〒108 東京都港区芝五丁目33番1号(日本電気本社ビル)

半導体 第一、第二販売事業部 〒108 東京都港区芝五丁目29番11号(日本電気住生ビル) 東京(03)456-6111

関西支社 半導体販売部 〒530 大阪市北区堂島浜一丁目2番6号(新大阪ビル) 大阪(06)348-1461
大坂(06)348-1466

中部支社 電子デバイス販売部 〒460 名古屋市中区栄四丁目15番32号(日建住生ビル) 名古屋(052)262-3611

北海道支社	札幌(011)231-0161	沖縄支店	那覇(0988)66-5611
東北支社	仙台(022)261-5511	立川支店	立川(0425)26-0911
岩手支店	盛岡(0196)51-4344	千葉支店	千葉(0472)27-5441
山形支店	郡山(0249)23-5511	静岡支店	静岡(0542)55-2211
福島支店	いわき(0246)21-5511	浜松支店	浜松(0534)52-2711
新潟支店	新潟(025)247-6101	北陸支店	金沢(0762)23-1621
水戸支店	水戸(0292)26-1717	富山支店	富山(0764)31-8461
土浦支店	土浦(0298)23-6161	京都支店	京都(075)221-8511
群馬支店	高崎(0273)26-1255	中国支店	広島(082)247-4111
太田支店	太田(0276)46-4011	岡山支店	岡山(0862)25-4455
宇都宮支店	宇都宮(0286)21-2281	四国支社	高松(0878)22-4141
長野支店	長野(0262)35-1444	松山支店	松山(0899)45-4111
松本支店	松本(0263)35-1666	九州支店	福岡(092)271-7700
上諏訪支店	諏訪(0266)53-5350	北九州支店	北九州(093)541-2887
甲府支店	甲府(0552)24-4141		

(技術お問い合わせ先)

半導体応用技術本部 〒210 川崎市幸区塚越三丁目484番地(川崎技術センター) 川崎(044)533-1111

半導体市場開発本部第一応用技術部 〒108 東京都港区芝五丁目29番11号(日本電気住生ビル) 東京(03)456-6111

半導体市場開発本部第二応用技術部 〒530 大阪市北区堂島浜一丁目2番6号(新大阪ビル) 大阪(06)348-1477