

RX651 グループ、RX210 グループ

R01AN4841JJ0100

Rev.1.00

RX651 グループと RX210 グループの相違点

2018.09.21

要旨

本アプリケーションノートは、主に RX651 グループ、RX210 グループにおける周辺機能の概要、I/O レジスタ、端子機能の相違点、および移行の際の留意点を確認することを目的とした参考資料です。

本アプリケーションノートで特に記載のない箇所については RX651 グループの 144/145 ピンパッケージと RX210 グループの 144/145 ピンパッケージ（チップバージョン B）について記載しています。電気的特性、注意事項、設定手順の仕様差分についてはユーザーズマニュアルをご確認ください。

対象デバイス

- RX651 グループ（コードフラッシュメモリ容量が 1MB 以下の製品）
- RX210 グループ

注. コードフラッシュメモリ容量が 1.5MB 以上の製品は比較対象外となります。

目次

1. RX210 グループと RX651 グループの搭載機能比較	4
2. 仕様の概要比較	6
2.1 CPU	6
2.2 動作モード	7
2.3 オプション設定メモリ	8
2.4 電圧検出回路	9
2.5 クロック発生回路	14
2.6 クロック周波数精度測定回路	19
2.7 消費電力低減機能	21
2.8 レジスタライトプロテクション機能	26
2.9 例外処理	27
2.10 割り込みコントローラ	28
2.11 バス	33
2.12 DMA コントローラ	38
2.13 データトランスファコントローラ	40
2.14 イベントリンクコントローラ	43
2.15 I/O ポート	45
2.16 マルチファンクションピンコントローラ	47
2.17 8 ビットタイマ	48
2.18 リアルタイムクロック	50
2.19 16 ビットタイマパルスユニット	54
2.20 ウォッチドッグタイマ	56
2.21 独立ウォッチドッグタイマ	57
2.22 シリアルコミュニケーションインタフェース	60
2.23 I ² C バスインタフェース	71
2.24 シリアルペリフェラルインタフェース	74
2.25 CRC 演算器	77
2.26 12 ビット A/D コンバータ	79
2.27 D/A コンバータ	88
2.28 温度センサ	89
2.29 データ演算回路	90
2.30 RAM	91
2.31 フラッシュメモリ (コードフラッシュ)	93
3. 端子機能の比較	97
3.1 144 ピンパッケージ	97
3.2 145 ピンパッケージ	103
3.3 100 ピンパッケージ (QFP)	109
3.4 100 ピンパッケージ (TFLGA)	113
4. 移行の際の留意点	117
4.1 端子設計の留意点	117
4.1.1 動作モード	117
4.1.2 VCL 端子 (外付け容量)	117

4.1.3	VBATT 端子	117
4.1.4	メインクロック発振器	117
4.2	機能設定の留意点	118
4.2.1	パワーオンリセットと PLL 回路を併用する場合の注意事項	118
4.2.2	オプション設定メモリの予約領域および予約ビットにプログラムするデータ	118
4.2.3	低速動作モードからソフトウェアスタンバイモードへ移行するための注意事項	118
4.2.4	ソフトウェアスタンバイモード中の割り込み要求	118
4.2.5	パッケージ毎のポート方向レジスタ (PDR) の設定値	118
4.2.6	RTC を使用しない場合の初期化手順	119
4.2.7	SCI トランスミットイネーブルビット (TE ビット) に関する注意事項	120
4.2.8	SCI 調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項	120
4.2.9	S12AD A/D 変換強制停止と開始時の動作タイミング	120
4.2.10	S12AD 12 ビット A/D コンバータを使用する場合の端子の設定	120
4.2.11	S12AD 外部バス使用時の注意事項	120
4.2.12	D/A 変換と A/D 変換の干渉対策有効時の注意事項	120
4.2.13	D/A イベントリンク動作における注意事項	121
4.2.14	出力バッファアンプ使用時の初期設定手順	121
4.2.15	RAM 自己診断時の補足事項	121
4.2.16	フラッシュメモリのアクセスウェイト数の設定	121
4.2.17	FCU RAM へのファームウェア転送	121
4.2.18	フラッシュメモリのコマンド使用方法	122
4.2.19	ID コードプロテクト機能の注意点	122
5.	参考ドキュメント	123

1. RX210 グループと RX651 グループの搭載機能比較

RX651 グループと RX210 グループの搭載機能比較を以下に示します。機能の詳細については「2. 仕様の概要比較」および「5. 参考ドキュメント」を参照してください。

表 1.1 に RX210/RX651 搭載機能比較を示します。

表 1.1 RX210/RX651 搭載機能比較

機能名	RX210	RX651
CPU		△
動作モード		△
リセット		○
オプション設定メモリ		△
電圧検出回路 (LVDA)		△
クロック発生回路		△
クロック周波数精度測定回路 (CAC)		△
消費電力低減機能		△
バッテリーバックアップ機能	×	○
レジスタライトプロテクション機能		△
例外処理		△
割り込みコントローラ (ICUa) : RX210、(ICUB) : RX651		△
バス		△
メモリプロテクションユニット (MPU)	×	○
DMA コントローラ (DMACA) : RX210、(DMACAa) : RX651		△
EXDMA コントローラ (EXDMACA)	×	○
データトランスファコントローラ (DTCa) : RX210、(DTCb) : RX651		△
イベントリンクコントローラ (ELC)		△
I/O ポート		△
マルチファンクションピンコントローラ (MPC)		△
マルチファンクションタイマパルスユニット 2 (MTU2a)	○	×
マルチファンクションタイマパルスユニット 3 (MTU3a)	×	○
ポートアウトプットイネーブル 2 (POE2a)	○	×
ポートアウトプットイネーブル 3 (POE3a)	×	○
16 ビットタイマパルスユニット (TPUa)		△
プログラマブルパルスジェネレータ (PPG)	×	○
8 ビットタイマ (TMR)		△
コンペアマッチタイマ (CMT)		○
コンペアマッチタイマ W (CMTW)	×	○
リアルタイムクロック (RTCb) : RX210、(RTCd) : RX651		△
ウォッチドッグタイマ (WDTA)		△
独立ウォッチドッグタイマ (IWDTa)		△
USB2.0 FS ホスト/ファンクションモジュール (USBb)	×	○
シリアルコミュニケーションインタフェース (SClc、SCld) : RX210		△
シリアルコミュニケーションインタフェース (SClg、SCli、SClh) : RX651		
I²C バスインタフェース (RIIC) : RX210、(RIICa) : RX651		△
CAN モジュール (CAN)	×	○
シリアルペリフェラルインタフェース (RSPI) : RX210、(RSPIc) : RX651		△
クワッドシリアルペリフェラルインタフェース (QSPI)	×	○
CRC 演算器 (CRC) : RX210、(CRCA) : RX651		△

機能名	RX210	RX651
SD ホストインタフェース (SDHI)	×	○
SD スレーブインタフェース (SDSI)	×	○
マルチメディアカードインタフェース (MMCIF)	×	○
パラレルデータキャプチャユニット (PDC)	×	○
バウンダリスキャン	×	○
AESa	×	○
RNGa	×	○
12 ビット A/D コンバータ (S12ADb) : RX210、(S12ADFa) : RX651	△	
D/A コンバータ (DA) : RX210、12 ビット D/A コンバータ (R12DA) : RX651	△	
温度センサ (TMPSa) : RX210、(TMPS) : RX651	△	
コンパレータ A (CMPA)	○	×
コンパレータ B (CMPB)	○	×
データ演算回路 (DOC)	△	
RAM	△	
スタンバイ RAM	×	○
フラッシュメモリ (コードフラッシュ)	△	
フラッシュメモリ (E2 データフラッシュ)	○	×

○ : 機能搭載、× : 機能未搭載、△ : RX210 と RX651 間に機能相違点あり

2. 仕様の概要比較

2.1 CPU

表 2.1 に CPU 仕様の概要比較を、表 2.2 に CPU のレジスタ比較を示します。

表 2.1 CPU 仕様の概要比較

項目	RX210	RX651
中央演算処理装置	- 最大動作周波数：50MHz 32 ビット RX CPU - 最小命令実行時間：1 命令 1 クロック - アドレス空間：4G バイト・リニアアドレス - レジスタ 汎用レジスタ：32 ビット×16 本 制御レジスタ：32 ビット×8 本 アキュムレータ：64 ビット×1 本 - 基本命令：73 種類 - DSP 機能命令：9 種類 - アドレッシングモード：10 種類 - データ配置 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32 ビット乗算器：32 ビット×32 ビット→64 ビット - 除算器：32 ビット÷32 ビット→32 ビット - バレルシフタ：32 ビット	- 最大動作周波数：120MHz 32 ビット RX CPU (RXv2) - 最小命令実行時間：1 命令 1 クロック - アドレス空間：4G バイト・リニアアドレス - レジスタ 汎用レジスタ：32 ビット×16 本 制御レジスタ：32 ビット×10 本 アキュムレータ：72 ビット×2 本 - 基本命令：75 種類 浮動小数点演算命令：11 種類 - DSP 機能命令：23 種類 - アドレッシングモード：11 種類 - データ配置 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32 ビット乗算器：32 ビット× 32 ビット→64 ビット - 除算器：32 ビット÷ 32 ビット→32 ビット - バレルシフタ：32 ビット メモリプロテクションユニット (MPU)
FPU	—	単精度浮動小数点数 (32 ビット) IEEE754 に準拠したデータタイプ、および例外

表 2.2 CPU のレジスタ比較

レジスタ	ビット	RX210	RX651
FPSW	—	—	浮動小数点ステータスワード
EXTB	—	—	例外テーブルレジスタ
ACC	—	ACC：64 ビット (DSP、乗算、積和演算)	ACC0： 72 ビット (DSP、乗算、積和演算) ACC1： 72 ビット (DSP)

2.2 動作モード

表 2.3 に動作モード仕様の概要比較を、表 2.4 に動作モードのレジスタ比較を示します。

表 2.3 動作モード仕様の概要比較

項目	RX210	RX651
モード設定端子による動作モード	シングルチップモード	シングルチップモード
	ブートモード	ブートモード (SCI インタフェース)
	—	ブートモード (USB インタフェース)
	ユーザブートモード	—
	—	ブートモード (FINE インタフェース)
レジスタによる動作モード	シングルチップモード	シングルチップモード
	ユーザブートモード	—
	内蔵 ROM 無効拡張モード	内蔵 ROM 無効拡張モード
	内蔵 ROM 有効拡張モード	内蔵 ROM 有効拡張モード

表 2.4 動作モードのレジスタ比較

レジスタ	ビット	RX210	RX651
MDSR	—	モードステータスレジスタ	—
SYSCR1	SBYRAME	—	スタンバイ RAM 有効ビット (b7)
		リセット後の初期値が異なります	

2.3 オプション設定メモリ

表 2.5 にオプション設定メモリのレジスタ比較を示します。

表 2.5 オプション設定メモリのレジスタ比較

レジスタ	ビット名	RX210	RX651
SPCC	—	—	シリアルコマンド制御レジスタ
OSIS	—	—	OCD/シリアルプログラム ID 設定レジスタ
OFS0	IWDTCKS[3:0]	IWDT クロック分周比選択ビット	IWDT 専用クロック分周比選択ビット
	IWDRSTIRQS	IWDT リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求を許可 1 : リセットを許可	IWDT リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求、または割り込み要求を許可 1 : リセットを許可
	WDRSTIRQS	WDT リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求を許可 1 : リセットを許可	WDT リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求、または割り込み要求を許可 1 : リセットを許可
OFS1	VDSEL[1:0]	電圧検出 0 レベル選択ビット b1 b0 0 0 : 3.80V を選択 0 1 : 2.80V を選択 1 0 : 1.90V を選択 1 1 : 1.72V を選択	電圧検出 0 レベル選択ビット b1 b0 0 0 : 予約 0 1 : 2.94V を選択 1 0 : 2.87V を選択 1 1 : 2.80V を選択
MDEB	—	エンディアン選択レジスタ B	—
MDES	—	エンディアン選択レジスタ S	—
MDE	—	—	エンディアン選択レジスタ
TMEF	—	—	TM イネーブルフラグレジスタ
TMINF	—	—	TM 識別データレジスタ
FAW	—	—	フラッシュアクセスウィンドウ設定レジスタ
ROMCODE	—	—	ROM コードプロテクトレジスタ
UB コード A	—	UB コード A	—
UB コード B	—	UB コード B	—

2.4 電圧検出回路

表 2.6 に電圧検出回路仕様の概要比較を、表 2.7 に電圧検出回路のレジスタ比較を示します。

表 2.6 電圧検出回路仕様の概要比較

項目		RX210 (LVDAa)			RX651 (LVDA)		
		電圧監視 0	電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	Vdet0	Vdet1	Vdet2	Vdet0	Vdet1	Vdet2
	検出対象	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合 LVCMPCR.EX VCCINP2 ビットで VCC と CMPA2 端子への入力電圧の切り替え可能	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合
	検出電圧	OFS1 レジスタで 4 レベルから選択可能	LVDLVL.R.LVD1LVL[3:0]ビットで 16 レベルから選択可能	VCC または CMPA2 端子入力電圧選択時に異なる。 LVDLVL.R.LVD2LVL[3:0]ビットで 16 レベルから選択可能	OFS1.VDSEL [1:0]ビットで 3 レベルから選択可能	LVDLVL.R.LVD1LVL[3:0]ビットで 3 レベルから選択可能	LVDLVL.R.LVD2LVL[3:0]ビットで 3 レベルから選択可能
	モニタフラグ	—	LVD1SR.LVD1 MON フラグ : Vdet1 より高いか低いかをモニタ	LVD2SR.LVD2 MON フラグ : Vdet2 より高いか低いかをモニタ	—	LVD1SR.LVD1 MON フラグ : Vdet1 より高いか低いかをモニタ	LVD2SR.LVD2 MON フラグ : Vdet2 より高いか低いかをモニタ
			LVD1SR.LVD1 DET フラグ : Vdet1 通過検出	LVD2SR.LVD2 DET フラグ : Vdet2 通過検出		LVD1SR.LVD1 DET フラグ : Vdet1 通過検出	LVD2SR.LVD2 DET フラグ : Vdet2 通過検出

項目		RX210 (LVDAa)			RX651 (LVDA)		
		電圧監視 0	電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
電圧検出時の処理	リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		Vdet0>VCC でリセット： VCC>Vdet0 の一定時間後 に CPU 動作再開	Vdet1>VCC でリセット： VCC>Vdet1 の一定時間後 に CPU 動作再 開、または Vdet1>VCC の一定時間後 に CPU 動作再 開を選択可能	Vdet2>VCC でリセット： VCC>Vdet2 の一定時間後 に CPU 動作再 開、または Vdet2>VCC の一定時間後 に CPU 動作再 開を選択可能	Vdet0 > VCC でリセット： VCC > Vdet0 の一定時間後 に CPU 動作再 開	Vdet1>VCC で リセット： VCC > Vdet1 の一定時間後 に CPU 動作再 開、または Vdet1 > VCC の一定時間後 に CPU 動作再 開を選択可能	Vdet2>VCC で リセット： VCC > Vdet2 の一定時間後 に CPU 動作再 開、または Vdet2 > VCC の一定時間後 に CPU 動作再 開を選択可能
	割り込み	—	電圧監視 1 割り込み	電圧監視 2 割り込み	—	電圧監視 1 割り込み	電圧監視 2 割り込み
			ノンマスクア ブルまたはマス カブルを選択 可能	ノンマスクア ブルまたはマス カブルを選択 可能		ノンマスクア ブル割り込み、 または割り込 みを選択可能	ノンマスクア ブル割り込み、 または割り込 みを選択可能
Vdet1>VCC、 VCC>Vdet1 の両方、また はどちらかで 割り込み要求			Vdet2>VCC、 VCC>Vdet2 の両方、また はどちらかで 割り込み要求	Vdet1 > VCC、 VCC > Vdet1 の両方、また はどちらかで 割り込み要求		Vdet2 > VCC、 VCC > Vdet2 の両方、また はどちらかで 割り込み要求	
デジタルフィルタ	有効/無効 切り替え	デジタルフィルタ機能なし	あり	あり	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	LOCO の n 分 周×2 (n：1、 2、4、8)	LOCO の n 分 周×2 (n：1、 2、4、8)	—	LOCO の n 分 周×2 (n：2、 4、8、16)	LOCO の n 分 周×2 (n：2、 4、8、16)
イベントリンク機能		—	あり Vdet1 通過検出 イベント出力	あり Vdet2 通過検出 イベント出力	—	あり Vdet1 通過検出 イベント出力	あり Vdet2 通過検出 イベント出力

表 2.7 電圧検出回路のレジスタ比較

レジスタ	ビット	RX210 (LVDAa)	RX651 (LVDA)
LVD1CR1	—	電圧監視 1 回路/ コンパレータ A1 制御レジスタ 1	電圧監視 1 回路制御レジスタ 1
	LVD1IDTSEL [1:0]	電圧監視 1/ コンパレータ A1 割り込み ELC イベント 発生条件選択ビット	電圧監視 1 割り込み発生条件選択ビット
	LVD1IRQSEL	電圧監視 1/ コンパレータ A1 割り込み種類選択ビット	電圧監視 1 割り込み種類選択ビット
LVD1SR	—	電圧監視 1 回路/ コンパレータ A1 ステータスレジスタ	電圧監視 1 回路ステータスレジスタ
	LVD1DET	電圧監視 1/ コンパレータ A1 電圧変化検出フラグ	電圧監視 1 電圧変化検出フラグ
	LVD1MON	電圧監視 1/ コンパレータ A1 信号モニタフラグ	電圧監視 1 信号モニタフラグ
LVD2CR1	—	電圧監視 2 回路/ コンパレータ A2 制御レジスタ 1	電圧監視 2 回路制御レジスタ 1
	LVD2IDTSEL [1:0]	電圧監視 2/ コンパレータ A2 割り込み ELC イベント 発生条件選択ビット	電圧監視 2 割り込み発生条件選択ビット
	LVD2IRQSEL	電圧監視 2/ コンパレータ A2 割り込み種類選択ビット	電圧監視 2 割り込み種類選択ビット
LVD2SR	—	電圧監視 2 回路/ コンパレータ A2 ステータスレジスタ	電圧監視 2 回路ステータスレジスタ
	LVD2DET	電圧監視 2/ コンパレータ A2 電圧変化検出フラグ	電圧監視 2 電圧変化検出フラグ
	LVD2MON	電圧監視 2/ コンパレータ A2 信号モニタフラグ	電圧監視 2 信号モニタフラグ
LVCMPCR	—	電圧監視回路/ コンパレータ A 制御レジスタ	電圧監視回路制御レジスタ
	EXVREFINP1	コンパレータ A1 リファレンス電圧外部入力選択ビット (b0)	—
	EXVCCINP1	コンパレータ A1 比較電圧外部入力選択ビット (b1)	—
	EXVREFINP2	コンパレータ A2 リファレンス電圧外部入力選択ビット (b2)	—
	EXVCCINP2	コンパレータ A2 比較電圧外部入力選択ビット (b3)	—
	LVD1E	電圧検出 1/ コンパレータ A1 許可ビット 0 : 電圧検出 1/ コンパレータ A1 回路無効 1 : 電圧検出 1/ コンパレータ A1 回路有効	電圧検出 1 許可ビット (注1) 0 : 電圧検出 1 回路無効 1 : 電圧検出 1 回路有効
	LVD2E	電圧検出 2/ コンパレータ A2 許可ビット 0 : 電圧検出 2/ コンパレータ A2 回路無効 1 : 電圧検出 2/ コンパレータ A2 回路有効	電圧検出 2 許可ビット (注2) 0 : 電圧検出 2 回路無効 1 : 電圧検出 2 回路有効

レジスタ	ビット	RX210 (LVDAa)	RX651 (LVDA)
LVDLVL	LVD1LVL[3:0]	電圧検出 1 レベル選択ビット (電圧下降時の標準電圧) b3 b0 0 0 0 0 : 4.15V 0 0 0 1 : 4.00V 0 0 1 0 : 3.85V 0 0 1 1 : 3.70V 0 1 0 0 : 3.55V 0 1 0 1 : 3.40V 0 1 1 0 : 3.25V 0 1 1 1 : 3.10V 1 0 0 0 : 2.95V 1 0 0 1 : 2.80V 1 0 1 0 : 2.65V 1 0 1 1 : 2.50V 1 1 0 0 : 2.35V 1 1 0 1 : 2.20V 1 1 1 0 : 2.05V 1 1 1 1 : 1.90V リセット後の初期値が異なります	電圧検出 1 レベル選択ビット (電圧下降時の標準電圧) b3 b0 1 0 0 1 : 2.99V (Vdet1_1) 1 0 1 0 : 2.92V (Vdet1_2) 1 0 1 1 : 2.85V (Vdet1_3) 上記以外は設定しないでください
	LVD2LVL[3:0]	電圧検出 2 レベル選択ビット (電圧下降時の標準電圧) (LVCMP2CR.EXVCCINP2= “0” (VCC 選択) のとき) b7 b4 0 0 0 0 : 4.15V 0 0 0 1 : 4.00V 0 0 1 0 : 3.85V 0 0 1 1 : 3.70V 0 1 0 0 : 3.55V 0 1 0 1 : 3.40V 0 1 1 0 : 3.25V 0 1 1 1 : 3.10V 1 0 0 0 : 2.95V 1 0 0 1 : 2.80V 1 0 1 0 : 2.65V 1 0 1 1 : 2.50V 1 1 0 0 : 2.35V 1 1 0 1 : 2.20V 1 1 1 0 : 2.05V 1 1 1 1 : 1.90V (LVCMP2CR.EXVCCINP2= “1” (CMPA2 端子選択) のとき) b7 b4 0 0 0 1 : 1.33V 上記以外は設定しないでください リセット後の初期値が異なります	電圧検出 2 レベル選択ビット (電圧下降時の標準電圧) b7 b4 1 0 0 1 : 2.99V (Vdet2_1) 1 0 1 0 : 2.92V (Vdet2_2) 1 0 1 1 : 2.85V (Vdet2_3) 上記以外は設定しないでください

レジスタ	ビット	RX210 (LVDAa)	RX651 (LVDA)
LVD1CR0	—	電圧監視 1 回路/ コンパレータ A1 制御レジスタ 0	電圧監視 1 回路制御レジスタ 0
	LVD1RIE	電圧監視 1/ コンパレータ A1 割り込み/リセット許可ビット	電圧監視 1 割り込み/リセット許可ビット
	LVD1DFDIS	電圧監視 1/ コンパレータ A1 デジタルフィルタ無効モード選択ビット	電圧監視 1 デジタルフィルタ無効モード選択ビット
	LVD1CMPE	電圧監視 1 回路/ コンパレータ A1 比較結果出力許可ビット	電圧監視 1 回路比較結果出力許可ビット
	LVD1FSAMP [1:0]	サンプリングクロック選択ビット b5 b4 0 0 : LOCO の 1 分周 0 1 : LOCO の 2 分周 1 0 : LOCO の 4 分周 1 1 : LOCO の 8 分周	サンプリングクロック選択ビット b5 b4 0 0 : LOCO の 2 分周 0 1 : LOCO の 4 分周 1 0 : LOCO の 8 分周 1 1 : LOCO の 16 分周
	LVD1RI	電圧監視 1 回路/ コンパレータ A1 モード選択ビット	電圧監視 1 回路モード選択ビット
LVD2CR0	—	電圧監視 2 回路/ コンパレータ A2 制御レジスタ 0	電圧監視 2 回路制御レジスタ 0
	LVD2RIE	電圧監視 2/ コンパレータ A2 割り込み/リセット許可ビット	電圧監視 2 割り込み/リセット許可ビット
	LVD2DFDIS	電圧監視 2/ コンパレータ A2 デジタルフィルタ無効モード選択ビット	電圧監視 2 デジタルフィルタ無効モード選択ビット
	LVD2CMPE	電圧監視 2 回路/ コンパレータ A2 比較結果出力許可ビット	電圧監視 2 回路比較結果出力許可ビット
	LVD2FSAMP [1:0]	サンプリングクロック選択ビット b5 b4 0 0 : LOCO の 1 分周 0 1 : LOCO の 2 分周 1 0 : LOCO の 4 分周 1 1 : LOCO の 8 分周	サンプリングクロック選択ビット b5 b4 0 0 : LOCO の 2 分周 0 1 : LOCO の 4 分周 1 0 : LOCO の 8 分周 1 1 : LOCO の 16 分周
	LVD2RI	電圧監視 2 回路/ コンパレータ A2 モード選択ビット	電圧監視 2 回路モード選択ビット
LVD2RN	LVD2RN	電圧監視 2/ コンパレータ A2 リセットネゲート選択ビット	電圧監視 2 リセットネゲート選択ビット

注 1. LVD1 有効切り替え時の $VCC=AVCC0=AVCC1$ の電圧は、LVDLVLRLVD1LVL[3:0]ビットで選択した電圧検出 1 レベルの max 値に対し、80mV 以上加算したレベルにしてください。

注 2. LVD2 有効切り替え時の $VCC=AVCC0=AVCC1$ の電圧は、LVDLVLRLVD2LVL[3:0]ビットで選択した電圧検出 2 レベルの max 値に対し、80mV 以上加算したレベルにしてください。

2.5 クロック発生回路

表 2.8 にクロック発生回路仕様の概要比較を、表 2.9 にクロック発生回路のレジスタ比較を示します。

表 2.8 クロック発生回路仕様の概要比較

項目	RX210	RX651
用途	• CPU、DMAC、DTC、ROM および RAM に供給されるシステムクロック (ICLK) の生成 • S12AD 以外の周辺モジュールに供給される周辺モジュールクロック (PCLKB) の生成 • S12AD に供給される周辺モジュールクロック (PCLKD) の生成 • FlashIF に供給される FlashIF クロック (FCLK) の生成 • 外部バスに供給される外部バスクロック (BCLK) の生成 • CAC に供給される CAC クロック (CACCLK) の生成 • RTC に供給される RTC 専用サブクロック (RTCSCCLK) の生成 • WDT に供給される IWDTC 専用クロック (IWDTCCLK) の生成	• CPU, DMAC, DTC, コードフラッシュメモリおよび RAM に供給されるシステムクロック (ICLK) の生成 • RSPI, SCli, MTU3, AES に供給される周辺モジュールクロック (PCLKA) の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKB) の生成 • S12ADC に供給される周辺モジュール (アナログ変換用) クロック (PCLKC : ユニット 0, PCLKD : ユニット 1) の生成 • FlashIF に供給される FlashIF クロック (FCLK) の生成 • 外部バスに供給される外部バスクロック (BCLK) の生成 • SDRAM に供給される外部バスクロック (SDCLK) の生成 • USBb に供給される USB クロック (UCLK) の生成 • CAC に供給される CAC クロック (CACCLK) の生成 • CAN に供給される CAN クロック (CANMCLK) の生成 • RTC に供給される RTC サブクロック (RTCSCCLK) の生成 • RTC に供給される RTC メインクロック (RTCMCLK) の生成 • IWDTC に供給される IWDTC 専用クロック (IWDTCCLK) の生成 • JTAG に供給される JTAG クロック (JTAGTCK) の生成

項目	RX210	RX651
動作周波数	• ICLK : 50MHz (max) • PCLKB : 32MHz (max) • PCLKD : 50MHz (max) • FCLK : 4MHz~32MHz (ROM、E2 データフラッシュ P/E 時) 32MHz (max) (E2 データフラッシュ 読み出し時) • BCLK : 25MHz (max) • BCLK 端子出力 : 12.5MHz (max) • CACCLK : 各発振器のクロックと同じ • RTCCLK : 32.768kHz • WDTCLK : 125kHz	• ICLK : 120MHz (max) • PCLKA : 120MHz (max) • PCLKB : 60MHz (max) • PCLKC : 60MHz (max) • PCLKD : 60MHz (max) • FCLK : 4MHz~60MHz (コードフラッシュメモリ) • BCLK : 120MHz (max) • BCLK 端子出力 : 60MHz (max) • SDCLK 端子出力 : 60MHz (max) • UCLK:48MHz (max) • CACCLK : 各発振器のクロックと同じ • CANMCLK : 24MHz (max) • RTCCLK : 32.768kHz • RTCMCLK : 8MHz~16MHz • IWDTCCLK : 120kHz • JTAGTCK : 10MHz (max)
メインクロック発振器	• 発振器周波数 : 1MHz~20MHz • 外部クロック入力周波数 : 20MHz (max) • 接続できる発振子、または付加回路 : セラミック共振子、水晶振動子 • 接続端子 : EXTAL、XTAL • 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に切り替える機能、MTU の端子をハイインピーダンスにする機能	• 発振器周波数 : 8MHz~24MHz • 外部クロック入力周波数 : 24MHz (max) • 接続できる発振子または付加回路:セラミック共振子、水晶振動子 • 接続端子 : EXTAL, XTAL • 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に切り替える機能、MTU3 端子をハイインピーダンスにする機能
サブクロック発振器	• 発振器周波数 : 32.768kHz • 接続できる発振子、または付加回路 : 水晶振動子 • 接続端子 : XCIN、XCOUT	• 発振器周波数 : 32.768kHz • 接続できる発振子または付加回路:水晶振動子 • 接続端子 : XCIN, XCOUT
PLL 周波数シンセサイザ	• 入力クロック源 : メインクロック • 入力分周比 : 1、2、4 分周から選択可能 • 入力周波数 : 4MHz~12.5MHz • 逡倍比 : 8、10、12、16、20、24、25 逡倍から選択可能 • VCO 発振周波数 : 50MHz~100MHz	• 入力クロックソース : メインクロック、HOCO • 入力分周比 : 1, 2, 3 分周から選択可能 • 入力周波数 : 8MHz~24MHz • 逡倍比 : 10~30 逡倍から選択可能 • PLL 周波数シンセサイザ出力クロック周波数 : 120MHz~240MHz
高速オンチップオシレータ (HOCO)	• 発振周波数 : 32MHz/36.864MHz/40MHz/50MHz • HOCO 電源制御	• 発振周波数 : 16MHz, 18MHz, 20MHz から選択可能 • HOCO 電源制御
低速オンチップオシレータ (LOCO)	発振周波数 : 125kHz	発振周波数 : 240kHz

項目	RX210	RX651
IWDT 専用オンチップオシレータ	発振周波数：125kHz	発振周波数：120kHz
JTAG 用外部クロック入力 (TCK)	—	入力クロック周波数：10MHz (max)
BCLK 端子の出力制御機能	• BCLK クロック出力または High 出力の選択が可能 • 出力するクロックは BCLK または BCLK の 2 分周の選択が可能	• BCLK クロック出力または High 出力の選択が可能 • 出力するクロックは BCLK または BCLK の 2 分周の選択が可能
SDCLK 端子の出力制御機能	—	SDCLK クロック出力または High 出力の選択が可能
イベントリンク機能 (出力)	—	メインクロック発振器の発振停止検出
イベントリンク機能 (入力)	—	低速オンチップオシレータへのクロックソース切り替え

表 2.9 クロック発生回路のレジスタ比較

レジスタ	ビット	RX210	RX651
SCKCR	PCKC[3:0]	—	周辺モジュールクロック C (PCLKC) 選択ビット (b7-b4)
	PCKA[3:0]	—	周辺モジュールクロック A (PCLKA) 選択ビット (b15-b12)
	PSTOP0	—	SDCLK 端子出力制御ビット
ROMWT	—	—	ROM ウェイトサイクル設定レジスタ
SCKCR2	—	—	システムクロックコントロールレジスタ 2
VRCCR	—	電圧レギュレータ制御レジスタ	—
PLLCR	PLIDIV[1:0]	PLL 入力分周比選択ビット b1 b0 0 0 : 1 分周 0 1 : 2 分周 1 0 : 4 分周 1 1 : 設定しないでください	PLL 入力分周比選択ビット b1 b0 0 0 : 1 分周 0 1 : 2 分周 1 0 : 3 分周 1 1 : 設定しないでください
	PLLSRCSEL	—	PLL クロックソース選択ビット (b4)
	STC[4:0] STC[5:0]	周波数逡倍率設定ビット (b12-b8) b12 b8 0 0 1 1 1 : × 8 0 1 0 0 1 : × 10 0 1 0 1 1 : × 12 0 1 1 1 1 : × 16 1 0 0 1 1 : × 20 1 0 1 1 1 : × 24 1 1 0 0 0 : × 25 上記以外は設定しないでください	周波数逡倍率設定ビット (b13-b8) b13 b8 0 1 0 0 1 1 : × 10.0 0 1 0 1 0 0 : × 10.5 0 1 0 1 0 1 : × 11.0 0 1 0 1 1 0 : × 11.5 0 1 0 1 1 1 : × 12.0 0 1 1 0 0 0 : × 12.5 . . . 1 1 1 0 0 1 : × 29.0 1 1 1 0 1 0 : × 29.5 1 1 1 0 1 1 : × 30.0 上記以外は設定しないでください
		リセット後の値が異なります	
HOCOCR2	HCFRQ[1:0]	HOCO 周波数設定ビット b1 b0 0 0 : 32MHz 0 1 : 36.864MHz 1 0 : 40MHz 1 1 : 50MHz	HOCO 周波数設定ビット b1 b0 0 0 : 16MHz 0 1 : 18MHz 1 0 : 20MHz 上記以外は設定しないでください
OSCOVFSR	—	—	発振安定フラグレジスタ
MOSCWT CR ^(注 1)	MSTS[4:0]	メインクロック発振器ウェイト時間設定ビット (b4-b0)	メインクロック発振器ウェイト時間設定ビット (b7-b0)
		リセット後の値が異なります	

レジスタ	ビット	RX210	RX651
SOSCWTCR ^(注1)	SSTS[4:0]	サブクロック発振器ウェイト時間設定ビット (b4-b0) リセット後の値が異なります	サブクロック発振器ウェイト時間設定ビット (b7-b0)
MOFCR	MOFXIN	—	メインクロック発振器強制発振ビット (b0)
	MODRV[2:0]	メインクロック発振器ドライブ能力切り替えビット (b3-b1)	—
	MODRV2[1:0]	メインクロック発振器ドライブ能力切り替え 2 ビット b5 b4 0 1 : 1MHz~8MHz 1 0 : 8.1MHz~15.9MHz 1 1 : 16MHz~20MHz 上記以外は、設定しないでください。 リセット後の値が異なります	メインクロック発振器ドライブ能力 2 切り替えビット b5 b4 0 0 : 20.1~24MHz 0 1 : 16.1~20MHz 1 0 : 8.1~16MHz 1 1 : 8MHz
	—	PLL 電源コントロールレジスタ	—
PLLPCR	—	PLL 電源コントロールレジスタ	—

注 1. RX210 の MOSCWTCR、SOSCWTCR、はユーザーズマニュアル ハードウェア編「消費電力低減機能」に記載しています。

2.6 クロック周波数精度測定回路

表 2.10 にクロック周波数精度測定回路の概要比較を、表 2.11 にクロック周波数精度測定回路のレジスタ比較を示します。

表 2.10 クロック周波数精度測定回路の概要比較

項目	RX210 (CAC)	RX651 (CAC)
測定対象クロック	以下のクロックの周波数を測定可能 - メインクロック - サブクロック - HOCO クロック - LOCO クロック - IWDTCLK クロック	以下のクロックの周波数を測定可能 - メインクロック - サブクロック - HOCO クロック - LOCO クロック - IWDTCLK クロック - 周辺モジュールクロック B (PCLKB)
測定基準クロック	- 外部から CACREF 端子に入力したクロック - メインクロック - サブクロック - HOCO クロック - LOCO クロック - IWDTCLK クロック	- 外部から CACREF 端子に入力したクロック - メインクロック - サブクロック - HOCO クロック - LOCO クロック - IWDTCLK クロック - 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ機能	デジタルフィルタ機能
割り込み要因	- 測定終了割り込み - 周波数エラー割り込み - オーバフロー割り込み	- 測定終了割り込み - 周波数エラー割り込み - オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.11 クロック周波数精度測定回路のレジスタ比較

レジスタ	ビット	RX210	RX651
CACR1	FMCS[2:0]	周波数測定クロック選択ビット b3 b1 000: メインクロック 001: サブクロック 010: HOCO クロック 011: LOCO クロック 100: IWDTCCLK クロック	測定対象クロック選択ビット b3 b1 000: メインクロック 001: サブクロック 010: HOCO クロック 011: LOCO クロック 100: IWDTCCLK クロック 101: 周辺モジュールクロック B (PCLKB)
CACR2	RSCS[2:0]	基準信号生成クロック選択ビット b3 b1 000: メインクロック 001: サブクロック 010: HOCO クロック 011: LOCO クロック 100: IWDTCCLK クロック	測定基準クロック選択ビット b3 b1 000: メインクロック 001: サブクロック 010: HOCO クロック 011: LOCO クロック 100: IWDTCCLK クロック 101: 周辺モジュールクロック B (PCLKB)
	RCDS [1:0]	基準信号生成クロック分周比選択ビット	測定基準クロック分周比選択ビット

2.7 消費電力低減機能

表 2.12 に消費電力低減機能の概要比較を、表 2.13 に消費電力低減機能のレジスタ比較を示します。

表 2.12 消費電力低減機能の概要比較

項目	RX210	RX651
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKB)、S12AD 用クロック (PCLKD)、外部バスクロック (BCLK)、FlashIF クロック (FCLK) に対し、個別に分周比を設定することが可能	システムクロック (ICLK)、周辺モジュールクロック (PCLKA , PCLKB, PCLKC , PCLKD)、外部バスクロック (BCLK)、フラッシュインタフェースクロック (FCLK) に対し、個別に分周比を設定することが可能
BCLK 出力制御機能	BCLK 出力または High 出力の選択が可能	BCLK 出力または High 出力の選択が可能
SDCLK 出力制御機能	—	SDCLK 出力または High 出力の選択が可能
モジュールストップ機能	周辺モジュールごとに機能を停止することが可能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	- スリープモード - 全モジュールクロックストップモード - ソフトウェアスタンバイモード - ディープソフトウェアスタンバイモード	- スリープモード - 全モジュールクロックストップモード - ソフトウェアスタンバイモード - ディープソフトウェアスタンバイモード
動作電力低減機能	- 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することが可能 - 動作電力制御状態：7 種類 高速動作モード 中速動作モード 1A 中速動作モード 1B 中速動作モード 2A 中速動作モード 2B 低速動作モード 1 低速動作モード 2	- 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することが可能 - 動作電力制御状態：3 種類 高速動作モード 低速動作モード 1 低速動作モード 2 低速動作モード 1 と低速動作モード 2 において、同条件（周波数・電圧）に設定した場合、消費電力に差はありません

表 2.13 消費電力低減機能のレジスタ比較

レジスタ	ビット	RX210	RX651
MSTPCRA	MSTPA0	—	コンペアマッチタイマ W (ユニット 1) モジュールストップ設定ビット (b0)
	MSTPA1	—	コンペアマッチタイマ W (ユニット 0) モジュールストップ設定ビット (b1)
	MSTPA9	マルチファンクションタイマパルスユニットモジュールストップ設定ビット 対象モジュール : MTU (MTU0~MTU5)	マルチファンクションタイマパルスユニットモジュールストップ設定ビット 対象モジュール : MTU3
	MSTPA10	—	プログラマブルパルスジェネレータ (ユニット 1) モジュールストップ設定ビット (b10)
	MSTPA11	—	プログラマブルパルスジェネレータ (ユニット 0) モジュールストップ設定ビット (b11)
	MSTPA13	16 ビットタイマパルスユニットモジュールストップ設定ビット	16 ビットタイマパルスユニット 0 (ユニット 0) モジュールストップ設定ビット
	MSTPA16	—	12 ビット A/D コンバータ (ユニット 1) モジュールストップ設定ビット (b16)
	MSTPA17	12 ビット A/D コンバータモジュールストップ設定ビット 対象モジュール : S12AD	12 ビット A/D コンバータ (ユニット 0) モジュールストップ設定ビット 対象モジュール : S12AD ユニット 0
	MSTPA19	D/A コンバータモジュールストップ設定ビット 対象モジュール : 10 ビット D/A	12 ビット D/A コンバータモジュールストップ設定ビット 対象モジュール : 12 ビット D/A
	MSTPA29	モジュールストップ A29 設定ビット	EXDMA コントローラ モジュールストップ設定ビット 対象モジュール : EXDMAC
MSTPCRB	MSTPB0	—	CAN モジュール 0 モジュールストップ設定ビット (b0)
	MSTPB1	—	CAN モジュール 1 モジュールストップ設定ビット (b1)
	MSTPB4	シリアルコミュニケーションインタフェース SCId モジュールストップ設定ビット 対象モジュール : SCId (SCI12)	シリアルコミュニケーションインタフェース SCIh モジュールストップ設定ビット 対象モジュール : SCIh (SCI12)
	MSTPB6	DOC モジュールストップ設定ビット	データ演算回路 モジュールストップ設定ビット

レジスタ	ビット	RX210	RX651
MSTPCRB	MSTPB9	ELC モジュールストップ設定ビット	イベントリンクコントローラモジュールストップ設定ビット
	MSTPB10	コンパレータ B モジュールストップ設定ビット (b10)	—
	MSTPB15	—	イーサネットコントローラ、イーサネットコントローラ用 DMA コントローラ (チャネル 0) モジュールストップ設定ビット
	MSTPB16	—	シリアルペリフェラルインタフェース 1 モジュールストップ設定ビット (b16)
	MSTPB19	—	ユニバーサルシリアルバス 2.0 FS インタフェースモジュールストップ設定ビット (b19)
	MSTPB22	—	パラレルデータキャプチャユニットモジュールストップ設定ビット (b22)
MSTPCRC	MSTPC1	RAM1 モジュールストップ設定ビット (b1)	—
	MSTPC7	—	スタンバイ RAM モジュールストップ設定ビット (b7)
	MSTPC17	—	I ² C バスインタフェース 2 モジュールストップ設定ビット (b17)
	MSTPC22	—	シリアルペリフェラルインタフェース 2 モジュールストップ設定ビット (b22)
	MSTPC23	—	クワッドシリアルペリフェラルインタフェースモジュールストップ設定ビット (b23)
MSTPCRD	—	—	モジュールストップコントロールレジスタ D
OPCCR	OPCM[2:0]	動作電力制御モード選択ビット b2 b0 0 0 0 : 高速動作モード 0 1 0 : 中速動作モード 1A 0 1 1 : 中速動作モード 1B 1 0 0 : 中速動作モード 2A 1 0 1 : 中速動作モード 2B 1 1 0 : 低速動作モード 1 1 1 1 : 低速動作モード 2 上記以外は設定しないでください リセット後の値が異なります	動作電力制御モード選択ビット b2 b0 0 0 0 : 高速動作モード 1 1 0 : 低速動作モード 1 1 1 1 : 低速動作モード 2 上記以外は設定しないでください
MOSCWTCR (注 1)	MSTS[4:0]	メインクロック発振器ウェイト時間設定ビット (b4-b0)	メインクロック発振器ウェイト時間設定ビット (b7-b0)
	MSTS[7:0]	リセット後の値が異なります	

レジスタ	ビット	RX210	RX651
SOSCWTCR (注 1)	SSTS[4:0] SSTS[7:0]	サブクロック発振器ウェイト時間 設定ビット (b4-b0) リセット後の値が異なります	サブクロック発振器ウェイト時間 設定ビット (b7-b0)
PLLWTCR	—	PLL ウェイトコントロールレジスタ	—
HOCOWTCR 2	—	HOCO ウェイトコントロールレジスタ 2	—
DPSBYCR	DEEPCUT1 DEEPCUT [1:0]	ディープカットビット (b1) 0 : ディープソフトウェアスタンバイモード時、LVD、POR は動作可能 1 : ディープソフトウェアスタンバイモード時、LVD は動作停止。POR は低消費モードで動作	ディープカットビット (b1-b0) b1 b0 00 : ディープソフトウェアスタンバイモード時、スタンバイ RAM と USB レジューム検出部に電源を供給する 01 : ディープソフトウェアスタンバイモード時、スタンバイ RAM と USB レジューム検出部に電源を供給しない 10 : 設定しないでください 11 : ディープソフトウェアスタンバイモード時、スタンバイ RAM と USB レジューム検出部に電源を供給しない。また、LVD を停止し、パワーオンリセット回路の低消費電力機能を有効にする
DPSIER1	—	—	ディープスタンバイインタラプティネーブルレジスタ 1
DPSIER2	DRIICDIE	SDA-DS ディープスタンバイ解除許可ビット	SDA2-DS ディープスタンバイ解除許可ビット
	DRIICCIE	SCL-DS ディープスタンバイ解除許可ビット	SCL2-DS ディープスタンバイ解除許可ビット
	DUSBIE	—	USB サスペンド/レジュームディープスタンバイ解除信号許可ビット (b7)
DPSIER3	—	—	ディープスタンバイインタラプティネーブルレジスタ 3
DPSIFR1	—	—	ディープスタンバイインタラプトフラグレジスタ 1
DPSIFR2	DRIICDIF	SDA-DS ディープスタンバイ解除フラグ	SDA2-DS ディープスタンバイ解除フラグ
	DRIICCIF	SCL-DS ディープスタンバイ解除フラグ	SCL2-DS ディープスタンバイ解除フラグ
	DUSBIF	—	USB サスペンド/レジュームディープスタンバイ解除フラグ (b7)
DPSIFR3	—	—	ディープスタンバイインタラプトフラグレジスタ 3
DPSIEGR1	—	—	ディープスタンバイインタラプトエッジレジスタ 1

レジスタ	ビット	RX210	RX651
DPSIEGR2	DRIICDEG	SDA-DS エッジ選択ビット	SDA 2 -DS エッジ選択ビット
	DRIICCEG	SCL-DS エッジ選択ビット	SCL 2 -DS エッジ選択ビット
DPSIEGR3	—	—	ディープスタンバイインタラプト エッジレジスタ 3
FHSSBYCR	—	フラッシュ HOCO ソフトウェアス タンバイコントロールレジスタ	—

注 1. RX651 の MOSCWTCR、SOSCWTCR、はユーザーズマニュアル ハードウェア編「クロック発生回路」に記載しています。

2.8 レジスタライトプロテクション機能

表 2.14 に PRCR レジスタと保護されるレジスタの対応を、表 2.15 にレジスタライトプロテクション機能のレジスタ比較を示します。

表 2.14 PRCR レジスタと保護されるレジスタの対応

項目	RX210	RX651
PRC0 ビット	クロック発生回路関連レジスタ SCKCR, SCKCR3, PLLCR, PLLCR2, BCKCR, MOSCCR, SOSCCR, LOCOCR, ILOCOCR, HOCOCR, HOCOCR2, OSTDCR, OSTDSR	クロック発生回路関連レジスタ SCKCR, SCKCR2, SCKCR3, PLLCR, PLLCR2, BCKCR, MOSCCR, SOSCCR, LOCOCR, ILOCOCR, HOCOCR, HOCOCR2, OSTDCR, OSTDSR
PRC1 ビット	- 動作モード関連レジスタ SYSCR0, SYSCR1 - 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, OPCCR, RSTCKCR, MOSCWTCR (注1), SOSCWTCR (注1), PLLWTCR, DPSBYCR, DPSIER0, DPSIER2, DPSIFR0, DPSIFR2, DPSIEGR0, DPSIEGR2, FHSSBYCR, HOCOWTCR2 - クロック発生回路関連レジスタ MOFCR, HOCOPCR, PLLPCR - ソフトウェアリセットレジスタ SWRR	- 動作モード関連レジスタ SYSCR0, SYSCR1 - 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD, OPCCR, RSTCKCR, DPSBYCR, DPSIER0, DPSIER1, DPSIER2, DPSIER3, DPSIFR0, DPSIFR1, DPSIFR2, DPSIFR3, DPSIEGR0, DPSIEGR1, DPSIEGR2, DPSIEGR3 - クロック発生回路関連レジスタ MOSCWTCR (注1), SOSCWTCR (注1), MOFCR, HOCOPCR - ソフトウェアリセットレジスタ SWRR
PRC2 ビット	VRCCR レジスタ	—
PRC3 ビット	- LVD 関連レジスタ - LVCMPCCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR	- LVD 関連レジスタ - LVCMPCCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR

注 1. RX651 グループの MOSCWTCR と SOSCWTCR は、「クロック発生回路関連レジスタ」に記載されています。

表 2.15 レジスタライトプロテクション機能のレジスタ比較

レジスタ	ビット	RX210	RX651
PRCR	PRC2	プロテクトビット 2 (b2)	—

2.9 例外処理

表 2.16 にベクタ比較を、表 2.17 に例外処理ルーチンからの復帰命令比較を示します。

表 2.16 ベクタ比較

例外事象		RX210	RX651
未定義命令例外		固定ベクタテーブル	例外ベクタテーブル (EXTB)
特権命令例外		固定ベクタテーブル	例外ベクタテーブル (EXTB)
アクセス例外		—	例外ベクタテーブル (EXTB)
浮動小数点例外		—	例外ベクタテーブル (EXTB)
リセット		固定ベクタテーブル	例外ベクタテーブル (EXTB)
ノンマスカブル割り込み		固定ベクタテーブル	例外ベクタテーブル (EXTB)
割り込み	高速割り込み	FINTV	FINTV
	高速割り込み以外	可変ベクタテーブル (INTB)	割り込みベクタテーブル (INTB)
無条件トラップ		可変ベクタテーブル (INTB)	割り込みベクタテーブル (INTB)

表 2.17 例外処理ルーチンからの復帰命令比較

例外事象		RX210	RX651
未定義命令例外		RTE	RTE
特権命令例外		RTE	RTE
アクセス例外		—	RTE
浮動小数点例外		—	RTE
リセット		復帰不可能	復帰不可能
ノンマスカブル割り込み		復帰不可能	禁止
割り込み	高速割り込み	RTFI	RTFI
	高速割り込み以外	RTE	RTE
無条件トラップ		RTE	RTE

2.10 割り込みコントローラ

表 2.18 に割り込みコントローラ仕様の概要比較を、表 2.19 に割り込みコントローラのレジスタ比較を示します。

表 2.18 割り込みコントローラ仕様の概要比較

項目		RX210 (ICUb)	RX651 (ICUB)
割り込み	周辺機能割り込み	- 周辺モジュールからの割り込み - 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定	- 周辺モジュールからの割り込み - 割り込みの検出方法：エッジ検出またはレベル検出（割り込み要因ごとに検出方法は固定） - グループ割り込み：複数の割り込み要因をグループ化し、1つの割り込み要因として扱う機能 - グループ BE0 割り込み：PCLKB を動作クロックとする周辺モジュールの割り込み要因（エッジ検出） - グループ BL0/BL1/BL2 割り込み：PCLKB を動作クロックとする周辺モジュールの割り込み要因（レベル検出） - グループ AL0/AL1 割り込み：PCLKA を動作クロックとする周辺モジュールの割り込み要因（レベル検出） - 選択型割り込み B：割り込みベクタ番号 128～207 に、PCLKB を動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の 1 つを割り当てることが可能 - 選択型割り込み A：割り込みベクタ番号 208～255 に、PCLKA を動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の 1 つを割り当てることが可能

項目		RX210 (ICUb)	RX651 (ICUB)
割り込み	外部端子割り込み	- IRQ0～IRQ7 端子からの割り込み - 要因数：8 - 割り込み検出：Low レベル/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 - デジタルフィルタ機能：あり	- IRQi 端子 (i = 0～15) への入力信号による割り込み - 要因数：16 - 割り込み検出:Low レベル、立ち下がりエッジ、立ち上がりエッジ、両エッジを要因ごとに設定可能 - デジタルフィルタを使用することにより、ノイズを除去することが可能
	ソフトウェア割り込み	- レジスタ書き込みによる割り込み - 要因数：1	- レジスタへの書き込みにより、割り込み要求を発生させることが可能 - 要因数：2
	イベントリンク割り込み	ELC イベントより、ELSR18I、ELSR19I 割り込みを発生	—
	割り込み優先レベル	レジスタにより優先順位を設定	割り込み要因プライオリティレジスタ (IPR) により優先レベルを設定
	高速割り込み機能	CPU の割り込み処理を高速化可能 1 要因にのみ設定	CPU の割り込み応答時間を短縮可能 1 つの割り込み要因にのみ設定可能
	DTC、DMAC 制御	割り込み要因により DTC や DMAC を起動可能	割り込み要因により DTC や DMAC の起動が可能
	EXDMAC 制御	—	- 選択型割り込み B 要因選択レジスタ 144 または選択型割り込み A 要因選択レジスタ 208 で選択した割り込みにより EXDMAC0 の起動が可能 - 選択型割り込み B 要因選択レジスタ 145 または選択型割り込み A 要因選択レジスタ 209 で選択した割り込みにより EXDMAC1 の起動が可能
ノンマスクابل割り込み	NMI 端子割り込み	- NMI 端子からの割り込み - 割り込み検出：立ち下がりエッジ/立ち上がりエッジ - デジタルフィルタ機能：あり	- NMI 端子への入力信号による割り込み - 割り込み検出：立ち下がりエッジまたは立ち上がりエッジ - デジタルフィルタを使用することにより、ノイズを除去することが可能

項目		RX210 (ICUb)	RX651 (ICUB)
ノンマスカブル割り込み	発振停止検出割り込み	発振停止検出時の割り込み	メインクロック発振器の停止を検出したときの割り込み
	WDT アンダフロー/リフレッシュエラー割り込み	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み	ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	IWDT アンダフロー/リフレッシュエラー割り込み	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み	独立ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	電圧監視割り込み	電圧検出 1 回路 (LVD1) からの割り込み 電圧検出 2 回路 (LVD2) からの割り込み	電圧検出 1 回路 (LVD1) からの割り込み 電圧検出 2 回路 (LVD2) からの割り込み
	RAM エラー割り込み	—	RAM のパリティエラーチェックを検出したときの割り込み
低消費電力状態からの復帰	スリープモード	ノンマスカブル割り込み、全割り込み要因で復帰	すべての割り込み要因で復帰
	全モジュールクロックストップモード	ノンマスカブル割り込み、IRQ0～IRQ7 割り込み、WDT 割り込み、TMR 割り込み、RTC アラーム割り込みで復帰	NMI 端子割り込み、外部端子割り込み、周辺機能割り込み（電圧監視 1、電圧監視 2、発振停止検出、USB レジューム、RTC アラーム、RTC 周期、IWDT、選択型割り込み 146～157）で復帰
	ソフトウェアスタンバイモード	ノンマスカブル割り込み、IRQ0～IRQ7 割り込み、RTC アラーム割り込みで復帰	NMI 端子割り込み、外部端子割り込み、周辺機能割り込み（電圧監視 1、電圧監視 2、USB レジューム、RTC アラーム、RTC 周期、IWDT）で復帰
	ディープソフトウェアスタンバイモード	—	NMI 端子割り込み、一部の外部端子割り込み、周辺機能割り込み（電圧監視 1、電圧監視 2、USB レジューム、RTC アラーム、RTC 周期）で復帰

表 2.19 割り込みコントローラのレジスタ比較

レジスタ	ビット	RX210 (ICUb)	RX651 (ICUB)
IRn	—	割り込み要求レジスタ n (n = 割り込みベクタ番号)	割り込み要求レジスタ n (n = 016~255)
IPRn IPRr	—	割り込み要因プライオリティレジスタ n (n = 0~ 250)	割り込み要因プライオリティレジスタ r (r = 0~ 255)
SWINTR2	—	—	ソフトウェア割り込み 2 起動レジスタ
DTCERn	—	DTC 起動許可レジスタ n (n = 割り込みベクタ番号)	DTC 転送 要求許可レジスタ n (n = 026~255)
	DTCE	DTC 起動許可ビット 0 : DTC 起動禁止 1 : DTC 起動許可	DTC 転送要求 許可ビット 0 : CPU への割り込み要因、または DMAC の起動要因に設定する 1 : DTC の起動要因に設定する
DMRSRm	—	DMAC 起動要求選択レジスタ m (m = DMAC チャネル番号)	DMAC 起動 要因 選択レジスタ m (m = DMAC チャネル番号)
	DMRS[7:0] —	DMAC 起動要因選択ビット DMAC 起動要求ベクタ番号を設定します	ビット名なし DMAC の起動要因にしたい割り込み要因の割り込みベクタ番号を設定します
IRQCRI	—	IRQ コントロールレジスタ i (i = 0~7)	IRQ コントロールレジスタ i (i = 0~ 15)
IRQFLTE1	—	—	IRQ 端子デジタルフィルタ許可レジスタ 1
IRQFLTC1	—	—	IRQ 端子デジタルフィルタ設定レジスタ 1
NMISR	RAMST	—	RAM エラー割り込みステータスフラグ (b6)
NMIER	RAMEN	—	RAM エラー割り込み許可ビット (b6)
GRPBE0	—	—	グループ BE0 割り込み要求レジスタ
GRPBL0/1/2	—	—	グループ BL0/1/2 割り込み要求レジスタ
GRPAL0/1	—	—	グループ AL0/1 割り込み要求レジスタ
GENBE0	—	—	グループ BE0 割り込み要求許可レジスタ
GENBL0/1/2	—	—	グループ BL0/1/2 割り込み要求許可レジスタ
GENAL0/1	—	—	グループ AL0/1 割り込み要求許可レジスタ
GCRBE0	—	—	グループ BE0 割り込みクリアレジスタ
PIBRk	—	—	選択型割り込み B 要求レジスタ k (k = 0h~Ah)
PIARk	—	—	選択型割り込み A 要求レジスタ k (k = 0h~5h, Bh)

レジスタ	ビット	RX210 (ICUb)	RX651 (ICUB)
SLIBXRn	—	—	選択型割り込み B 要因選択レジスタ Xn (n = 128~143)
SLIBRn	—	—	選択型割り込み B 要因選択レジスタ n (n = 144~207)
SLIARn	—	—	選択型割り込み A 要因選択レジスタ n (n = 208~255)
SELEXDR	—	—	EXDMAC 起動割り込み選択レジスタ
SLIPRCR	—	—	選択型割り込み要因選択レジスタ書き込み保護レジスタ

2.11 バス

表 2.20 にバス仕様の概要比較を、表 2.21 に外部バス仕様の概要比較を、表 2.22 にバスのレジスタ比較を示します。

表 2.20 バス仕様の概要比較

バスの種類		RX210	RX651
CPU バス	命令バス	• CPU（命令）を接続 • 内蔵メモリを接続（RAM, ROM） • システムクロック（ICLK）に同期して動作	• CPU（命令）を接続 • 内蔵メモリを接続（RAM、コードフラッシュメモリ） • システムクロック（ICLK）に同期して動作
	オペランドバス	• CPU（オペランド）を接続 • 内蔵メモリを接続（RAM, ROM） • システムクロック（ICLK）に同期して動作	• CPU（オペランド）を接続 • 内蔵メモリを接続（RAM、コードフラッシュメモリ） • システムクロック（ICLK）に同期して動作
メモリバス	メモリバス 1	RAM を接続	RAM を接続
	メモリバス 2	ROM を接続	コードフラッシュメモリ を接続
内部メインバス	内部メインバス 1	• CPU を接続 • システムクロック（ICLK）に同期して動作	• CPU を接続 • システムクロック（ICLK）に同期して動作
	内部メインバス 2	• DTC, DMAC を接続 • 内蔵メモリを接続（RAM, ROM） • システムクロック（ICLK）に同期して動作	• DTC, DMAC, SDSI を接続 • 内蔵メモリを接続（RAM, コードフラッシュ） • システムクロック（ICLK）に同期して動作
内部周辺バス	内部周辺バス 1	• 周辺機能（DTC、DMAC、割り込みコントローラ、バスエラー監視部）を接続 • システムクロック（ICLK）に同期して動作	• 周辺機能（DTC, DMAC, EXDMAC, 割り込みコントローラ、バスエラー監視部）を接続 • システムクロック（ICLK）に同期して動作（EXDMAC は、BCLK に同期して動作）
	内部周辺バス 2	• 周辺機能（内部周辺バス 1 以外の周辺機能）を接続 • 周辺モジュールクロック（PCLKB, PCLKD）に同期して動作	• 周辺機能（内部周辺バス 1, 3, 4, 5 以外の周辺機能）を接続 • 周辺モジュールクロック（PCLKB）に同期して動作
	内部周辺バス 3	—	• 周辺機能（USBb, PDC, スタンバイ RAM）を接続 • 周辺モジュールクロック（PCLKB）に同期して動作
	内部周辺バス 4	—	• 周辺機能（MTU3, SCli, RSPI, AES）を接続する • 周辺モジュールクロック（PCLKA）に同期して動作
	内部周辺バス 5	—	予約領域

バスの種類		RX210	RX651
内部周辺バス	内部周辺バス 6	- ROM (P/E) /E2 データフラッシュを接続 - FlashIF クロック (FCLK) に同期して動作	- コードフラッシュメモリ (P/E 時) を接続 - FlashIF クロック (FCLK) に同期して動作
	外部バス	- 外部デバイスを接続 - 外部バスクロック (BCLK) に同期して動作	- 外部デバイスを接続 - 外部バスクロック (BCLK) に同期して動作
	SDRAM 領域	—	- SDRAM を接続 - SDRAM クロック (SDCLK) に同期して動作

表 2.21 外部バス仕様の概要比較

項目	RX210	RX651
外部アドレス空間	- 外部アドレス空間を 4 つの CS 領域 (CS0~CS3) に分割して管理 - 領域ごとにチップセレクトを出力可能 - 領域ごとにバス幅を選択可能 - セパレートバス : 8 ビットバス空間/16 ビットバス空間を選択可能 - アドレス/データマルチプレクスバス : 8 ビットバス空間/16 ビットバス空間を選択可能 - 領域ごとにエンディアンを設定可能	- 外部アドレス空間を 8 つの CS 領域 (CS0~CS7) と SDRAM 領域 (SDCS) に分割して管理 - 領域ごとにチップセレクトを出力可能 - 領域ごとにバス幅を選択可能 - セパレートバス : 8 ビットバス空間/16 ビットバス空間を選択可能 - アドレス/データマルチプレクスバス : 8 ビットバス空間/16 ビットバス空間を選択可能 - 領域ごとにエンディアンを設定可能
CS 領域コントローラ	- リカバリサイクル挿入可能 - リードリカバリ最大 15 サイクル挿入 - ライトリカバリ最大 15 サイクル挿入 - サイクルウェイト機能 : 最大 31 サイクルウェイト (ページアクセス最大 7 サイクルウェイト) - ウェイト制御 - チップセレクト信号 (CS0#~CS3#) のアサート/ネゲートタイミング設定可能 - リード信号 (RD#)、ライト信号 (WR0#/WR#~WR1#) のアサートタイミング設定可能 - データ出力の開始/終了タイミング設定可能 - ライトアクセスモード : 1 ライトストローブモード/バイトストローブモード - セパレートバス、アドレス/データマルチプレクスバスを領域ごとに設定可能	- リカバリサイクル挿入可能 - リードリカバリ最大 15 サイクル挿入可能 - ライトリカバリ最大 15 サイクル挿入可能 - サイクルウェイト機能 : 最大 31 サイクルウェイト (ページアクセス最大 7 サイクルウェイト) - ウェイト制御 - チップセレクト信号 (CS0#~CS7#) のアサート/ネゲートタイミング設定可能 - リード信号 (RD#)、ライト信号 (WR0#/WR#~WR1#) のアサートタイミング設定可能 - データ出力の開始/終了タイミング設定可能 - ライトアクセスモード : 1 ライトストローブモード/バイトストローブモード - セパレートバス、アドレス/データマルチプレクスバスを領域ごとに設定可能
SDRAM 領域コントローラ	—	- ロウアドレス/カラムアドレスのマルチプレクス出力 (8 ビット/9 ビット/10 ビット/11 ビット) - オートリフレッシュとセルフリフレッシュを選択可能 - CAS レイテンシを 1~3 に設定可能
ライトバッファ機能	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	CS 領域コントローラ (CSC) は、BCLK^(注1) 同期して動作	- CS 領域コントローラ (CSC) は、BCLK^(注1) 同期して動作 - SDRAM 領域コントローラ (SDRAMC) は、SDCLK に同期して動作

注 1. SDRAM 使用時、BCLK と SDCLK は同じ周波数で動作させる必要があります。

表 2.22 バスのレジスタ比較

レジスタ	ビット	RX210	RX651
CSnCR	—	CSn 制御レジスタ (n = 0~3)	CSn 制御レジスタ (n = 0~7)
	EMODE	エンディアンモード指定ビット 0 : 領域 n のエンディアンは動作モードのエンディアンと同じ (n = 0~3) 1 : 領域 n のエンディアンは動作モードのエンディアンと異なる	エンディアンモード指定ビット 0 : 領域 n のエンディアンは動作モードのエンディアンと同じ (n = 0~7) 1 : 領域 n のエンディアンは動作モードのエンディアンと異なる
	MPXEN	アドレス/データマルチプレクス I/O インタフェース選択ビット 0 : 領域 n はセパレートバスインタフェース 1 : 領域 n はアドレス/データマルチプレクス I/O インタフェース (n = 0~3)	アドレス/データマルチプレクス I/O インタフェース選択ビット 0 : 領域 n はセパレートバスインタフェース 1 : 領域 n はアドレス/データマルチプレクス I/O インタフェース (n = 0~7)
CSnREC	—	CSn リカバリサイクル設定レジスタ (n = 0~3)	CSn リカバリサイクル設定レジスタ (n = 0~7)
CSnMOD	—	CSn モードレジスタ (n = 0~3)	CSn モードレジスタ (n = 0~7)
CSnWCR 1	—	CSn ウェイト制御レジスタ 1 (n = 0~3)	CSn ウェイト制御レジスタ 1 (n = 0~7)
CSnWCR 2	—	CSn ウェイト制御レジスタ 2 (n = 0~3)	CSn ウェイト制御レジスタ 2 (n = 0~7)
SDCCR	—	—	SDC 制御レジスタ
SDCMOD	—	—	SDC モードレジスタ
SDAMOD	—	—	SDRAM アクセスモードレジスタ
SDSELF	—	—	SDRAM セルフリフレッシュ制御レジスタ
SDRFCR	—	—	SDRAM リフレッシュ制御レジスタ
SDRFEN	—	—	SDRAM オートリフレッシュ制御レジスタ
SDICR	—	—	SDRAM 初期化シーケンス制御レジスタ
SDIR	—	—	SDRAM 初期化レジスタ
SDADR	—	—	SDRAM アドレスレジスタ
SDTR	—	—	SDRAM タイミングレジスタ
SDMOD	—	—	SDRAM モードレジスタ
SDSR	—	—	SDRAM ステータスレジスタ

レジスタ	ビット	RX210	RX651
BERSR1	MST[2:0]	バスマスタコードビット b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC/DMAC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約	バスマスタコードビット b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC/DMAC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : SDSI 1 1 1 : EXDMAC
BUSPRI	BPGB[1:0]	内部周辺バス 2 プライオリティ制御ビット	内部周辺バス 2, 3 プライオリティ制御ビット
	BPHB[1:0]		内部周辺バス 4 プライオリティ制御ビット (b9-b8)

2.12 DMA コントローラ

表 2.23 に DMA コントローラ仕様の概要比較を、表 2.24 に DMA コントローラのレジスタ比較を示します。

表 2.23 DMA コントローラ仕様の概要比較

項目		RX210 (DMACA)	RX651 (DMACAa)
チャンネル数		4 チャンネル (DMACm (m = 0~3))	8 チャンネル (DMACm (m = 0~7))
転送空間		512M バイト (0000 0000h~0FFF FFFFh と F000 0000h~FFFF FFFFh のうち予約領域を除く領域)	512M バイト (0000 0000h~0FFF FFFFh と F000 0000h~FFFF FFFFh のうち予約領域を除く領域)
最大転送データ数		1M データ (ブロック転送モード最大総転送数 : 1024 データ × 1024 ブロック)	64M データ (ブロック転送モード最大総転送数 : 1024 データ × 65536 ブロック)
DMAC 起動要因		チャンネルごとに起動要因を選択可能 - ソフトウェアトリガ - 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力	チャンネルごとに起動要因を選択可能 - ソフトウェアトリガ - 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力
チャンネル優先順位		チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 (チャンネル 0 が最優先)	チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 > チャンネル 7 (チャンネル 0 が最優先)
転送データ	1 データ	ビット長 : 8 ビット、16 ビット、32 ビット	ビット長 : 8 ビット、16 ビット、32 ビット
	ブロックサイズ	データ数 : 1~1024 データ	データ数 : 1~1024 データ
転送モード	ノーマル転送モード	1 回の DMA 転送要求で 1 データを転送 - 総データ転送数を指定しない設定 (フリーランニングモード) が可能	1 回の DMA 転送要求で 1 データを転送 - 総データ転送数を指定しない設定 (フリーランニングモード) が可能
	リピート転送モード	1 回の DMA 転送要求で 1 データを転送 - 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 - リピートサイズは最大 1024 回設定可能	1 回の DMA 転送要求で 1 データを転送 - 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 - リピートサイズは最大 1024 回設定可能
	ブロック転送モード	1 回の DMA 転送要求で 1 ブロックのデータを転送 - ブロックサイズは最大 1024 データ設定可能	1 回の DMA 転送要求で 1 ブロックのデータを転送 - ブロックサイズは最大 1024 データ設定可能

項目		RX210 (DMACA)	RX651 (DMACAA)
選択機能	拡張リピートエリア機能	- 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 - 拡張リピートエリアは2バイトから 128M バイトを転送元、転送先別に設定可能	- 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 - 拡張リピートエリアは2バイトから 128M バイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生	転送カウンタで設定したデータ数を転送終了時に発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生
イベントリンク機能		1 回のデータ転送後（ブロックの場合は 1 ブロック転送後）、イベントリンク要求を発生	1 回のデータ転送後（ブロックの場合は 1 ブロック転送後）、イベントリンク要求を発生
消費電力低減機能		モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.24 DMA コントローラのレジスタ比較

レジスタ	ビット	RX210 (DMACA)	RX651 (DMACAA)
DMCRB	—	DMA ブロック転送カウントレジスタ (b9-b0) 001h~3FFh (1~1023 回) 000h (1024 回)	DMA ブロック転送カウントレジスタ (b15-b0) 0001h~FFFFh (1~65535 回) 0000h (65536 回)
DMIST	—	—	DMAC74 割り込みステータスマニタレジスタ

2.13 データトランスファコントローラ

表 2.25 にデータトランスファコントローラ仕様の概要比較を、表 2.26 にデータトランスファコントローラのレジスタ比較を示します。

表 2.25 データトランスファコントローラ仕様の概要比較

項目	RX210 (DTCa)	RX651 (DTCb)
転送チャネル数	割り込み要因に対するチャネルの転送が可能 (ICU からの DTC 転送要求で転送)	DTC 起動が可能なすべての割り込み要因の数と同数
転送モード	- ノーマル転送モード 1 回の起動で 1 データ転送する - リピート転送モード 1 回の起動で 1 データ転送する - リピートサイズ分データを転送すると転送開始アドレスに復帰 - リピートサイズは最大 256 データ設定可能 - ブロック転送モード 1 回の起動で 1 ブロックのデータ転送する - ブロックサイズは最大 256 データ設定可能	- ノーマル転送モード 1 回の起動で 1 データ転送する - リピート転送モード 1 回の起動で 1 データ転送する - リピートサイズ分データを転送すると転送開始アドレスに復帰 - リピート回数は最大 256 回設定可能で、256 × 32 ビットで、最大 1024 バイト転送可能 - ブロック転送モード 1 回の起動で 1 ブロックのデータ転送する - ブロックサイズは、最大 256 × 32 ビット=1024 バイト設定可能
チェーン転送	1 つの起動要因に対して複数のデータ転送が可能 (チェーン転送) - チェーン転送は「カウンタ=0 のとき実施」/「毎回実施」のいずれかを選択可能	1 回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能
シーケンス転送	—	複雑な一連の転送をシーケンスとして登録し、転送データにより任意のシーケンスを選択して実行可能 - シーケンス転送の起動要因は同時に 1 つのみ選択可能 - シーケンスは、1 つの起動要因に対し最大 256 通り - 転送要求によって最初に転送されたデータがシーケンスを決定 - シーケンスは、1 回の転送要求で最後まで実行することも、途中で止めて次の転送要求で再開する (シーケンス分割) ことも可能

項目	RX210 (DTCa)	RX651 (DTCb)
転送空間	- ショートアドレスモードのとき 16M バイト (0000 0000h~007F FFFFh と FF80 0000h~FFFF FFFFh のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト (0000 0000h~FFFF FFFFh のうち、予約領域以外の領域)	- ショートアドレスモードのとき 16M バイト (0000 0000h~007F FFFFh と FF80 0000h~FFFF FFFFh のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト (0000 0000h~FFFF FFFFh のうち、予約領域以外の領域)
データ転送単位	1 データのビット長 : 8 ビット、 16 ビット、 32 ビット 1 ブロックサイズのデータ数 : 1~256 データ	1 データ : 1 バイト (8 ビット)、 1 ワード (16 ビット)、 1 ロングワード (32 ビット) 1 ブロックサイズ : 1~256 データ
CPU 割り込み要求	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク機能	1 回のデータ転送後 (ブロックの場合は 1 ブロック転送後)、イベントリンク要求を発生	1 回のデータ転送後 (ブロックの場合は 1 ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを指定可能	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
ライトバックディスエーブル	—	転送情報のライトバックを実行しない設定が可能
ディスプレースメント加算	—	転送元アドレスにディスプレースメントを加算可能 (転送情報ごとに選択)
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.26 データトランスファコントローラのレジスタ比較

レジスタ	ビット	RX210 (DTCa)	RX651 (DTCb)
MRA	WBDIS	—	ライトバックディスエーブルビット (b0)
MRB	SQEND	—	シーケンス転送終了ビット (b0)
	INDX	—	インデックステーブル参照ビット (b1)
MRC	—	—	DTC モードレジスタ C
DTCVBR	—	DTC ベクタベースアドレス 下位 12 ビット : 読むと “0” が読めます。書く場合、 “0” としてください 上位 4 ビット (b31~b28) への書き込みは無視され、b27 で指定した値で拡張されます 0000 0000h~07FF F000h、および F800 0000h~FFFF F000h の範囲で、4K バイト単位で設定可能です。	DTC ベクタベースレジスタ 下位 10 ビット 値は “0” 固定です。書く場合、“0” を書いてください 上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます 0000 0000h~07FF FC00h、および F800 0000h~FFFF FC00h の範囲で、1K バイト単位で設定可能です
DTCIBR	—	—	DTC インデックステーブルベースレジスタ
DTCOR	—	—	DTC オペレーションレジスタ
DTCSQE	—	—	DTC シーケンス転送許可レジスタ
DTCDISP	—	—	DTC アドレスディスプレイメントレジスタ

2.14 イベントリンクコントローラ

表 2.27 にイベントリンクコントローラ仕様の概要比較を、表 2.28 にイベントリンクコントローラのレジスタ比較を示します。

表 2.27 イベントリンクコントローラ仕様の概要比較

項目	RX210 (ELC)	RX651 (ELC)
イベントリンク機能	59 種類のイベント信号を、直接モジュールへリンク可能 - タイマ系のモジュールは、イベント入力時の動作の選択が可能 - ポート B、ポート E のイベントリンク動作が可能 - シングルポート^(注1)：指定した 1 ビットのポートにイベントリンクの動作設定が可能 - ポートグループ^(注1)：8 ビットポート内で、指定した複数ビットをグループ化してイベントリンクの動作設定が可能	82 種類のイベント信号を、直接モジュールへリンク可能 - タイマ系のモジュールは、イベント入力時の動作の選択が可能 - ポート B、ポート E のイベントリンク動作が可能 - シングルポート^(注1)：指定した 1 ビットのポートにイベントリンクの動作設定が可能 - ポートグループ^(注1)：8 本ある I/O ポート内で、指定した複数ビットをグループ化してイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

注 1. 入力に指定されている、シングルポート、ポートグループでは、接続している信号値の変化により、イベントが発生します。

表 2.28 イベントリンクコントローラのレジスタ比較

レジスタ	ビット	RX210 (ELC)	RX651 (ELC)
ELSRn	—	イベントリンク設定レジスタ n (n = 1~4、7、10、12、15、16、18~29)	イベントリンク設定レジスタ n (n = 0, 3, 4, 7, 10~13, 15, 16, 18~28, 33, 35~38, 45)
	ELS[7:0]	イベントリンク選択ビット b7 b0 00000000 : イベントリンク機能停止 00000001~01101001 : リンクするイベント信号の番号を指定 上記以外は設定しないでください	イベントリンク選択ビット 00h : 該当する周辺モジュールへのイベントの出力は無効 01h~BDh : リンクするイベント信号の番号を指定 上記以外は設定しないでください
ELOPA	MTU0MD[1:0]	—	MTU0 動作選択ビット (b1-b0)
	MTU1MD[1:0]	MTU1 動作選択ビット (b3-b2)	—
	MTU2MD[1:0]	MTU2 動作選択ビット (b5-b4)	—
ELOPD	TMR1MD[1:0]	—	TMR1 動作選択ビット (b3-b2)
	TMR3MD[1:0]	—	TMR3 動作選択ビット (b7-b6)
ELOPF	—	—	イベントリンクオプション設定レジスタ F
ELOPH	—	—	イベントリンクオプション設定レジスタ H

2.15 I/O ポート

表 2.29 に I/O ポート仕様の概要比較を、表 2.30 に I/O ポートのレジスタ比較を示します。

表 2.29 I/O ポート仕様の概要比較

ポート シンボル	RX210		RX651	
	145 ピン、144 ピン	100 ピン	145 ピン、144 ピン	100 ピン
PORT0	P00~P03, P05, P07	P03, P05, P07	P00~P03, P05, P07	P05, P07
PORT1	P12~P17	P12~P17	P12~P17	P12~P17
PORT2	P20~P27	P20~P27	P20~P27	P20~P27
PORT3	P30~P37	P30~P37	P30~P37	P30~P37
PORT4	P40~P47	P40~P47	P40~P47	P40~P47
PORT5	P50~P56	P50~P55	P50~P56	P50~P55
PORT6	P60~P67	なし	P60~P67	なし
PORT7	P70~P77	なし	P70~P77	なし
PORT8	P80~P83, P86, P87	なし	P80~P83, P86, P87	なし
PORT9	P90~P93	なし	P90~P93	なし
PORTA	PA0~PA7	PA0~PA7	PA0~PA7	PA0~PA7
PORTB	PB0~PB7	PB0~PB7	PB0~PB7	PB0~PB7
PORTC	PC0~PC7	PC0~PC7	PC0~PC7	PC0~PC7
PORTD	PD0~PD7	PD0~PD7	PD0~PD7	PD0~PD7
PORTE	PE0~PE7	PE0~PE7	PE0~PE7	PE0~PE7
PORTF	PF5	なし	PF5	なし
PORTH	PH0~PH3	PH0~PH3	なし	なし
PORTJ	PJ1, PJ3, PJ5	PJ1, PJ3	PJ3, PJ5	PJ3
PORTK	PK2~PK5	なし	なし	なし
PORTL	PL0, PL1	なし	なし	なし
ポートの 合計数	123	85	112	79

表 2.30 I/O ポートのレジスタ比較

レジスタ	ビット	RX210	RX651
PDR	—	ポート方向レジスタ Pmn 方向制御 n = 0~7 m = 0~9, A~F, H, J, K, L	ポート方向レジスタ Pmn 方向制御 n = 0~7 m = 0~9, A~F, J
PODR	—	ポート出力データレジスタ Pmn 出力データ格納 n = 0~7 m = 0~9, A~F, H, J, K, L	ポート出力データレジスタ Pmn 出力データ格納 n = 0~7 m = 0~9, A~F, J
PIDR	—	ポート入力データレジスタ Pmn ビット n = 0~7 m = 0~9, A~F, H, J, K, L	ポート入力データレジスタ Pmn ビット n = 0~7 m = 0~9, A~F, J
PMR	—	ポートモードレジスタ Pmn モード制御 n = 0~7 m = 9~0, A~F, H, J, K, L	ポートモードレジスタ Pmn モード制御 n = 0~7 m = 9~0, A~F, J
ODR0	—	オープンドレイン制御レジスタ 0 m = 0~3, 5~9, A~C, E, K	オープンドレイン制御レジスタ 0 m = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, J
	Pm1 出力形態指定ビット Pm1 出力形態指定ビット PE1 出力形態指定ビット	Pm1 出力形態指定ビット - P01, P21, P31, P51, P61, P81, P91, PA1, PB1, PC1 b2 0 : CMOS 出力 1 : N チャネルオープンドレイン b3 読むと “0” が読めます。書く場合、“0” としてください - PE1 b3 b2 0 0 : CMOS 出力 0 1 : N チャネルオープンドレイン 1 0 : P チャネルオープンドレイン 1 1 : Hi-Z	- ポート PE1 以外の場合 奇数 ビット 偶数 ビット x 0 : CMOS 出力 x 1 : N チャネルオープンドレイン (b1, b3, b5, b7 : 予約ビット) - ポート PE1 の場合 b3 b2 0 0 : CMOS 出力 0 1 : N チャネルオープンドレイン 1 0 : P チャネルオープンドレイン 1 1 : 設定しないでください
ODR1	—	オープンドレイン制御レジスタ 1 m = 1, 2, 3, 7, A~C, E, K	オープンドレイン制御レジスタ 1 m = 0, 1, 2, 3, 4, 5, 6, 7, 8, A~F, J
PCR	—	プルアップ制御レジスタ m = 0~9, A~F, H, J~L	プルアップ制御レジスタ m = 0~9, A~F, J
DSCR	—	駆動能力制御レジスタ m = 0, 1, 2, 3, 5, 6, 7, 8, 9, A~E, H, J, K	駆動能力制御レジスタ m = 0, 2, 5, 9, A~E
DSCR2	—	—	駆動能力制御レジスタ 2

2.16 マルチファンクションピンコントローラ

表 2.31 にマルチファンクションピンコントローラのレジスタ比較を示します。

表 2.31 マルチファンクションピンコントローラのレジスタ比較

レジスタ	ビット名	RX210 (MPC)	RX651 (MPC)
PmnPFS	—	端子機能制御レジスタについては、ユーザズマニュアルを参照してください	
PFCSE	CS0E	P C 7 の CS0 許可ビット	CS0 許可ビット
	CS1E	P C 6 の CS1 許可ビット	CS1 許可ビット
	CS2E	P 2 6 の CS2 許可ビット	CS2 許可ビット
	CS3E	P 2 7 の CS3 許可ビット	CS3 許可ビット
	CS4E	P 2 4 の CS0 許可ビット	CS 4 許可ビット
	CS5E	P 2 5 の CS1 許可ビット	CS 5 許可ビット
	CS6E	P C 5 の CS2 許可ビット	CS 6 許可ビット
	CS7E	P C 4 の CS3 許可ビット	CS 7 許可ビット
PFCSS0	—	—	CS 出力端子選択レジスタ 0
PFCSS1	—	—	CS 出力端子選択レジスタ 1
PFBCR0	ADRHMS	—	A16～A23 出力許可ビット (b1)
	ADRHMS2	—	A16～A23 出力許可 2 ビット (b2)
	BCLKO	—	BCLK 強制出力ビット (b3)
PFBCR1	MDSDE	—	SDRAM 端子許可ビット (b4)
	DQM1E	—	DQM1 許可ビット (b6)
	SDCLKE	—	SDCLK 許可ビット (b7)

2.17 8 ビットタイマ

表 2.32 に 8 ビットタイマ仕様の概要比較を、表 2.33 に 8 ビットタイマのレジスタ比較を示します。

表 2.32 8 ビットタイマ仕様の概要比較

項目	RX210 (TMR)	RX651 (TMR)
カウントクロック	- 分周クロック : PCLK/1, PCLK/2, PCLK/8, PCLK/32, PCLK/64, PCLK/1024, PCLK/8192 - 外部クロック	- 内部クロック : PCLK/1, PCLK/2, PCLK/8, PCLK/32, PCLK/64, PCLK/1024, PCLK/8192 - 外部クロック : 外部カウントクロック
チャンネル数	(8 ビット×2 チャンネル) ×2 ユニット	(8 ビット×2 チャンネル) ×2 ユニット
コンペアマッチ	8 ビットモード (コンペアマッチ A、コンペアマッチ B) 16 ビットモード (コンペアマッチ A、コンペアマッチ B)	8 ビットモード (コンペアマッチ A、コンペアマッチ B) 16 ビットモード (コンペアマッチ A、コンペアマッチ B)
カウンタクリア	コンペアマッチ A、コンペアマッチ B、外部リセット信号から選択	コンペアマッチ A、コンペアマッチ B、外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM 出力	任意のデューティ比のパルス出力、PWM 出力
2 チャンネルのカスケード接続	16 ビットカウントモード TMR0 を上位、TMR1 を下位 (TMR2 を上位、TMR3 を下位) とする 16 ビットタイマ - コンペアマッチカウントモード TMR1 は TMR0 のコンペアマッチをカウント (TMR3 は TMR2 のコンペアマッチをカウント)	16 ビットカウントモード TMR0 を上位、TMR1 を下位 (TMR2 を上位、TMR3 を下位) とする 16 ビットタイマ - コンペアマッチカウントモード TMR1 は TMR0 のコンペアマッチをカウント (TMR3 は TMR2 のコンペアマッチをカウント)
割り込み要因	コンペアマッチ A、コンペアマッチ B、オーバフロー	コンペアマッチ A、コンペアマッチ B、オーバフロー
イベントリンク機能 (出力)	コンペアマッチ A、コンペアマッチ B、オーバフロー (TMR0、TMR2)	コンペアマッチ A、コンペアマッチ B、オーバフロー (TMR0~3)
イベントリンク機能 (入力)	(1) カウントスタート動作 (TMR0、TMR2) (2) イベントカウンタ動作 (TMR0、TMR2) (3) カウントリスタート動作 (TMR0、TMR2)	イベント受付により、3 種類のうち 1 つの動作が可能 (1) カウントスタート動作 (TMR0~3) (2) イベントカウンタ動作 (TMR0~3) (3) カウントリスタート動作 (TMR0~3)
DTC の起動	コンペアマッチ A 割り込み、コンペアマッチ B 割り込みによる起動可能	コンペアマッチ A 割り込み、コンペアマッチ B 割り込みによる起動可能
A/D コンバータの変換開始トリガ	—	TMR0、TMR2 のコンペアマッチ A
SCI のボーレートクロック生成	SCI5, SCI6, SCI12 のボーレートクロックを生成	SCI5, SCI6, SCI12 のボーレートクロックを生成
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能	ユニットごとにモジュールストップ状態への設定が可能

表 2.33 8 ビットタイマのレジスタ比較

レジスタ	ビット	RX210 (TMR)	RX651 (TMR)
TCSR	ADTE	—	A/D トリガ許可ビット (b4)

2.18 リアルタイムクロック

表 2.34 にリアルタイムクロック仕様の概要比較を、表 2.35 にリアルタイムクロックのレジスタ比較を示します。

表 2.34 リアルタイムクロック仕様の概要比較

項目	RX210 (RTCb)	RX651 (RTCd)
カウントモード	カレンダーカウントモード	カレンダーカウントモード/ バイナリカウントモード
カウントソース	サブクロック (XCIN)	サブクロック (XCIN) または メインクロック (EXTAL)
時計/カレンダー機能	• カレンダーカウントモード — 年、月、日、曜日、時、分、秒をカウント、BCD 表示 — 12 時間/24 時間モード切り替え機能 — 30 秒調整機能 (30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ) — うるう年自動補正機能 — スタート/ストップ機能 — 1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz の状態をバイナリで表示 — 時計誤差補正機能 — 1Hz クロック出力	• カレンダーカウントモード — 年、月、日、曜日、時、分、秒をカウント、BCD 表示 — 12 時間/24 時間モード切り替え機能 — 30 秒調整機能 (30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ) — うるう年自動補正機能 • バイナリカウントモード — 秒を 32 ビットでカウント、バイナリ表示 • 両モード共通 — スタート/ストップ機能 — 秒以下の桁のバイナリ表示 (1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz) — 時計誤差補正機能 — クロック (1Hz/64Hz) 出力

項目	RX210 (RTCb)	RX651 (RTCd)
割り込み	- アラーム割り込み (ALM) アラーム割り込み条件として、年、月、日、曜日、時、分、秒のいずれと比較するか選択可能 - 周期割り込み (PRD) 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/256 秒周期から選択可能 - 桁上げ割り込み (CUP) 秒カウンタへの桁上げ、または 64Hz カウンタの読み出し時に、プリスケアラから 64Hz カウンタへの桁上げが発生したことを示す - アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能	- アラーム割り込み (ALM) アラーム割り込み条件として、以下のいずれと比較するか選択可能 — カレンダカウントモード：年、月、日、曜日、時、分、秒 — バイナリカウントモード：32 ビットバイナリカウンタの各ビット - 周期割り込み (PRD) 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期から選択可能 - 桁上げ割り込み (CUP) 次のいずれかのタイミングで割り込み要求発生 — 64Hz カウンタから秒カウンタへの桁上げが発生したとき — 64Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき - アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能
時間キャプチャ機能	3 本のイベント入力によって、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、秒をキャプチャ	時間キャプチャイベント入力端子のエッジ検出によって、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、秒をキャプチャ、または 32 ビットバイナリカウンタ値をキャプチャ
イベントリンク機能	周期イベント出力	周期イベント出力

表 2.35 リアルタイムクロックのレジスタ比較

レジスタ	ビット	RX210 (RTCb)	RX651 (RTCd)
BCNT0 (注 1)	—	—	バイナリカウンタ 0
BCNT1 (注 1)	—	—	バイナリカウンタ 1
BCNT2 (注 1)	—	—	バイナリカウンタ 2
BCNT3 (注 1)	—	—	バイナリカウンタ 3
RSECCNT	SEC1[3:0]	秒一位カウントビット	1 秒カウントビット
	SEC10[2:0]	秒十位カウントビット	10 秒カウントビット
RMINCNT	MIN1[3:0]	分一位カウントビット	1 分カウントビット
	MIN10[2:0]	分十位カウントビット	10 分カウントビット
RHRCNT	HR1[3:0]	時一位カウントビット	1 時間カウントビット
	HR10[1:0]	時十位カウントビット	10 時間カウントビット
RDAYCNT	DATE1[3:0]	日一位カウントビット	1 日カウントビット
	DATE10[1:0]	日十位カウントビット	10 日カウントビット
RMONCNT	MON1[3:0]	月一位カウントビット	1 月カウントビット
	MON10	月十位カウントビット	10 月カウントビット
RYRCNT	YR1[3:0]	年一位カウントビット	1 年カウントビット
	YR10[3:0]	年十位カウントビット	10 年カウントビット
BCNT0AR (注 1)	—	—	バイナリカウンタ 0 アラームレジスタ
BCNT1AR (注 1)	—	—	バイナリカウンタ 1 アラームレジスタ
BCNT2AR (注 1)	—	—	バイナリカウンタ 2 アラームレジスタ
BCNT3AR (注 1)	—	—	バイナリカウンタ 3 アラームレジスタ
BCNT0AER (注 1)	—	—	バイナリカウンタ 0 アラーム許可レジスタ
BCNT1AER (注 1)	—	—	バイナリカウンタ 1 アラーム許可レジスタ
BCNT2AER (注 1)	—	—	バイナリカウンタ 2 アラーム許可レジスタ
BCNT3AER (注 1)	—	—	バイナリカウンタ 3 アラーム許可レジスタ
RCR1	RTCOS	—	RTCOUT 出力選択ビット (b3)
RCR2	CNTMD	—	カウントモード選択ビット (b7)
RCR4	—	—	RTC コントロールレジスタ 4
RFRH/L	—	—	周波数レジスタ H/L
RSECCPy	SEC1[3:0]	秒一位キャプチャビット	1 秒キャプチャビット
	SEC10[2:0]	秒十位キャプチャビット	10 秒キャプチャビット
RMINCPy	MIN1[3:0]	分一位キャプチャビット	1 分キャプチャビット
	MIN10[2:0]	分十位キャプチャビット	10 分キャプチャビット
RHRCPy	HR1[3:0]	時一位キャプチャビット	1 時間キャプチャビット
	HR10[1:0]	時十位キャプチャビット	10 時間キャプチャビット
RDAYCPy	DATE1[3:0]	日一位キャプチャビット	1 日キャプチャビット
	DATE10[1:0]	日十位キャプチャビット	10 日キャプチャビット
RMONCPy	MON1[3:0]	月一位キャプチャビット	1 月キャプチャビット
	MON10	月十位キャプチャビット	10 月キャプチャビット

レジスタ	ビット	RX210 (RTCb)	RX651 (RTCd)
BCNT0CPy (注 1)	—	—	BCNT0 キャプチャレジスタ y (y = 0~2)
BCNT1CPy (注 1)	—	—	BCNT1 キャプチャレジスタ y (y = 0~2)
BCNT2CPy (注 1)	—	—	BCNT2 キャプチャレジスタ y (y = 0~2)
BCNT3CPy (注 1)	—	—	BCNT3 キャプチャレジスタ y (y = 0~2)

注 1. バイナリカウンタモード時

2.19 16 ビットタイマパルスユニット

表 2.36 に 16 ビットタイマパルスユニット仕様の概要比較を、表 2.37 に 16 ビットタイマパルスユニットのレジスタ比較を示します。

表 2.36 16 ビットタイマパルスユニット仕様の概要比較

項目	RX210 (TPUa)	RX651 (TPUa)
パルス入出力	最大 16 本	最大 16 本
カウントクロック	各チャンネルに 7 種類または 8 種類	各チャンネルに 7 種類または 8 種類
設定可能動作	- コンペアマッチによる波形出力 - インプットキャプチャ機能（ノイズフィルタ設定可能） - カウンタクリア動作 - 複数のタイマカウンタ（TCNT）への同時書き込み - コンペアマッチ/インプットキャプチャによる同時入出力 - カウンタの同期動作による各レジスタの同期入出力 - 同期動作と組み合わせることによる最大 15 相の PWM 出力 - カスケード接続動作	- コンペアマッチによる波形出力 - インプットキャプチャ機能（ノイズフィルタ設定可能） - カウンタクリア動作 - 複数のタイマカウンタ（TCNT）への同時書き込み - コンペアマッチ/インプットキャプチャによる同時入出力 - カウンタの同期動作による各レジスタの同期入出力 - 同期動作と組み合わせることによる最大 15 相の PWM 出力 - カスケード接続動作
TPU0, TPU3	バッファ動作を設定可能	バッファ動作を設定可能
TPU1, TPU2, TPU4, TPU5	位相計数モードを設定可能	位相計数モードを設定可能
割り込み要因	26 種類	26 種類
バッファ動作	レジスタデータの自動転送	レジスタデータの自動転送
トリガ生成	—	プログラブルパルスジェネレータ（PPG）の出力トリガを生成可能
	A/D コンバータの変換開始トリガを生成可能	A/D コンバータの変換開始トリガを生成可能
イベントリンク機能（出力）	—	- イベント 6 種類を ELC に出力可能 - コンペアマッチ A（TPU0～TPU3） - コンペアマッチ B（TPU0～TPU3） - コンペアマッチ C（TPU0, TPU3） - コンペアマッチ D（TPU0, TPU3） - オーバフロー（TPU0～TPU3） - アンダフロー（TPU1, TPU2）
イベントリンク機能（入力）	—	- イベント入力により、以下の 3 種類のいずれかの動作が可能 - カウントスタート動作（TPU0～TPU3） - カウントリスタート動作（TPU0～TPU3） - インプットキャプチャ動作（TPU0～TPU3）

項目	RX210 (TPUa)	RX651 (TPUa)
消費電力低減機能	ユニットごとにモジュールストップ状態への遷移が可能	モジュールストップ状態への遷移が可能

表 2.37 16 ビットタイマパルスユニットのレジスタ比較

レジスタ	ビット	RX210	RX651
TIER	TTGE	A/D 変換開始要求許可ビット	A/D 変換開始要求許可ビット (注 1)

注 1. TPU5.TIER レジスタの b7 は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

2.20 ウォッチドッグタイマ

表 2.38 にウォッチドッグタイマ仕様の概要比較を、表 2.39 にウォッチドッグタイマのレジスタ比較を示します。

表 2.38 ウォッチドッグタイマ仕様の概要比較

項目	RX210 (WDTA)	RX651 (WDTA)
カウントソース	周辺クロック (PCLK)	周辺モジュールクロック (PCLK)
クロック分周比	4 分周/64 分周/128 分周/512 分周/2048 分周/8192 分周	4 分周/64 分周/128 分周/512 分周/2048 分周/8192 分周
チャンネル数	14 ビット x1 チャンネル	14 ビット x1 チャンネル
カウント動作	14 ビットのダウンカウンタによるダウンカウント	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	- オートスタートモード： リセット後に自動的にカウント開始 - レジスタスタートモード： リフレッシュ動作 (WDTRR レジスタへの書き込み) により、カウント開始	- オートスタートモード： リセット後、およびアンダフロー、リフレッシュエラー発生後に自動的にカウント開始 - レジスタスタートモード： リフレッシュ動作 (WDTRR レジスタへの書き込み) により、カウント開始
カウント停止条件	- リセット (ダウンカウンタ、レジスタは初期値に戻ります) - アンダフロー、リフレッシュエラー発生時	- リセット (ダウンカウンタ、レジスタは初期値に戻ります) - アンダフロー、リフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
割り込み要因	ノンマスカブル割り込み要因 - ダウンカウンタがアンダフローした場合、ノンマスカブル割り込み (WUNI) を発生 - リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)	ノンマスカブル割り込み/ 割り込み 要因 - ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
カウント値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能	WDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能

表 2.39 ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX210 (WDTA)	RX651 (WDTA)
WDTRCR	RSTIRQS	リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求出力を許可 1 : リセット出力を許可	リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求、または 割り込み要求出力 を許可 1 : リセット出力を許可

2.21 独立ウォッチドッグタイマ

表 2.40 に独立ウォッチドッグタイマ仕様の概要比較を、表 2.41 に独立ウォッチドッグタイマのレジスタ比較を示します。

表 2.40 独立ウォッチドッグタイマ仕様の概要比較

項目	RX210 (IWDTA)	RX651 (IWDTa)
カウントソース	IWDT 専用クロック (IWDTCLK)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1 分周/16 分周/32 分周/64 分周/ 128 分周/256 分周	1 分周/16 分周/32 分周/64 分周/ 128 分周/256 分周
カウント動作	14 ビットのダウンカウントによるダ ウンカウント	14 ビットのダウンカウントによるダ ウンカウント
カウント開始条件	- リセット後、自動的にカウント開 始 (オートスタートモード) - リフレッシュ (IWDTRR レジスタ に “00h” を書き込み後、“FFh” を書き込む) により、カウント開 始 (レジスタスタートモード)	- リセット後、自動的にカウント開 始 (オートスタートモード) - リフレッシュ (IWDTRR レジスタ に “00h” を書き込み後、“FFh” を書き込む) により、カウント開 始 (レジスタスタートモード)
カウント停止条件	- リセット (ダウンカウンタ、レジ スタは初期値に戻る) - アンダフロー、リフレッシュエ ラー発生時 カウント再開 (オートスタートモー ド: リセットもしくはノンマスカブル 割り込み要求を出力後に自動でカウ ント再開、レジスタスタートモード: リ フレッシュ後にカウント再開)	- リセット (ダウンカウンタ、レジ スタは初期値に戻る) - アンダフロー、リフレッシュエ ラー発生時 カウント再開 (オートスタートモー ド: リセットもしくはノンマスカブル 割り込み要求/割り込み要求を出力後 に自動でカウント再開、レジスタス タートモード: リフレッシュ後にカウ ント再開)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	- ダウンカウンタがアンダフローし たとき - リフレッシュ許可期間以外でリフ レッシュを行った場合 (リフレッ シュエラー)	- ダウンカウンタがアンダフローし たとき - リフレッシュ許可期間以外でリフ レッシュを行った場合 (リフレッ シュエラー)
割り込み要因	ノンマスカブル割り込み要因 - ダウンカウンタがアンダフローし たときノンマスカブル割り込み (WUNI) を発生 - リフレッシュ許可期間以外でリフ レッシュを行った場合 (リフレッ シュエラー)	ノンマスカブル割り込み/割り込み要 因 - ダウンカウンタがアンダフローし たとき - リフレッシュ許可期間以外でリフ レッシュを行った場合 (リフレッ シュエラー)
カウント値の読み出し	IWDTSR レジスタを読み出すこと で、ダウンカウンタのカウント値の読 み出しが可能	IWDTSR レジスタを読み出すこと で、ダウンカウンタのカウント値の読 み出しが可能
イベントリンク機能 (出力)	- ダウンカウンタがアンダフロー したとき - リフレッシュ許可期間以外でリ フレッシュを行った場合 (リフ レッシュエラー)	- ダウンカウンタのアンダフローイ ベント出力 - リフレッシュエラーイベント出力

項目	RX210 (IWDTA)	RX651 (IWDTa)
出力信号 (内部信号)	- リセット出力 - 割り込み要求出力 - スリープモードカウンタ停止制御出力	- リセット出力 - 割り込み要求出力 - スリープモードカウンタ停止制御出力
オートスタートモード (オプション機能選択レジスタ 0 (OFS0) 制御)	- リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) - ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) - ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDRPSS[1:0]ビット) - ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウンタ停止の選択 (OFS0.IWDTSLCSTP ビット)	- リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDRPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウンタ停止の選択 (OFS0.IWDTSLCSTP ビット)
レジスタスタートモード (IWDT レジスタ制御)	- リフレッシュ動作後のクロック分周比の選択 (IWDTCR.CKS[3:0]ビット) - ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0]ビット) - ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0]ビット) - ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (IWDTCR.RSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウンタ停止の選択 (IWDTCR.SLCSTP ビット)	- リフレッシュ動作後のクロック分周比の選択 (IWDTCR.CKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (IWDTCR.RSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウンタ停止の選択 (IWDTCR.SLCSTP ビット)

表 2.41 独立ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX210 (IWDT)	RX651 (IWDTa)
IWDTRCR	RSTIRQS	リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求出力を許可 1 : リセット出力を許可	リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求、または 割り込み要求出力 を許可 1 : リセット出力を許可

2.22 シリアルコミュニケーションインタフェース

RX210 グループは、独立した 13 チャンネルのシリアルコミュニケーションインタフェース（SCI：Serial Communication Interface）を備えています。SCI は、SCIc モジュール（SCI0～SCI11）と、SCId モジュール（SCI12）から構成されています。

RX651 グループは、独立した 13 チャンネル（SCIg：10 チャンネル、SCIi：2 チャンネル、SCIh：1 チャンネル）のシリアルコミュニケーションインタフェースを持っています。

表 2.42 に SCIc、SCIg 仕様の概要比較を、表 2.43 に SCIc、SCIi 仕様の概要比較を、表 2.44 に SCId、SCIh 仕様の概要比較を、表 2.45 に SCI チャンネル別仕様比較を、表 2.46 にシリアルコミュニケーションインタフェースのレジスタ比較を示します。

表 2.42 SCIc、SCIg 仕様の概要比較

項目		RX210 (SCIc)	RX651 (SCIg)
チャンネル数		12 チャンネル	10 チャンネル
シリアル通信方式		- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		- 送信部：ダブルバッファ構成による連続送信が可能 - 受信部：ダブルバッファ構成による連続受信が可能	- 送信部：ダブルバッファ構成による連続送信が可能 - 受信部：ダブルバッファ構成による連続受信が可能
データ転送		LSB ファースト/MSB ファースト選択可能 (注 1)	LSB ファースト/MSB ファースト選択可能 (注 1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了（簡易 I ² C モード用）	送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了（簡易 I ² C モード用）
消費電力低減機能		チャンネルごとにモジュールストップ状態への設定が可能	チャンネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	7 ビット/8 ビット	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn 端子、RTSn 端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Low を検出	Low レベルまたは立ち下がリエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブレークを検出可能	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブレークを検出可能

項目		RX210 (SCIc)	RX651 (SCIg)
調歩同期式モード	クロックソース	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能 (SCI5, SCI6)	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能 (SCI5, SCI6)
	倍速モード	—	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8 ビット	8 ビット
	受信エラーの検出	オーバランエラー	オーバランエラー
	ハードウェアフロー制御	CTSn 端子、RTSn 端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信	送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	I ² C バスフォーマット (MSB ファースト限定)	I ² C バスフォーマット (MSB ファースト限定)
	動作モード	マスタ (シングルマスタ動作のみ)	マスタ (シングルマスタ動作のみ)
	転送速度	最大 384 kbps	ファストモード対応
	ノイズ除去	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能
簡易 SPI モード	データ長	8 ビット	8 ビット
	エラーの検出	オーバランエラー	オーバランエラー
	SS 入力端子機能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能	クロック位相、クロック極性の設定を 4 種類から選択可能
ビットレートモジュレーション機能		—	内蔵ボーレートジェネレータの出力補正により誤差を低減可能
イベントリンク機能		エラー (受信エラー・エラーシグナル検出) イベント出力	エラー (受信エラー・エラーシグナル検出) イベント出力
		受信データフルイベント出力	受信データフルイベント出力
		送信データエンプティイベント出力	送信データエンプティイベント出力
		送信終了イベント出力	送信終了イベント出力

注 1. 簡易 I²C モードでは、MSB ファーストでのみ使用可能です。

表 2.43 SC1c、SC1i 仕様の概要比較

項目		RX210 (SC1c)	RX651 (SC1i)
チャンネル数		12 チャンネル	2 チャンネル
シリアル通信方式		- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		- 送信部：ダブルバッファ構成による連続送信が可能 - 受信部：ダブルバッファ構成による連続受信が可能	- 送信部：ダブルバッファ構成による連続送信が可能 - 受信部：ダブルバッファ構成による連続受信が可能
データ転送		LSB ファースト/MSB ファースト選択可能 (注 1)	LSB ファースト/MSB ファースト選択可能 (注 1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)	送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、データ一致、開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への設定が可能	チャンネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	7 ビット/8 ビット	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn 端子、RTSn 端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信 FIFO	—	送信 16 段、受信 16 段の FIFO を利用可能
	データ一致検出	—	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能
スタートビットの検出		Low を検出	Low レベルまたは立ち下がリエッジを選択可能

	項目	RX210 (SC1c)	RX651 (SC1i)
調歩同期式モード	ブレーク検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブレークを検出可能	フレーミングエラー発生時、内部レジスタを直接リードすることでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能	内部クロック/外部クロックの選択が可能
	倍速モード	—	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8 ビット	8 ビット
	受信エラーの検出	オーバランエラー	オーバランエラー
	ハードウェアフロー制御	CTSn 端子、RTSn 端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信 FIFO	—	送信 16 段、受信 16 段の FIFO を利用可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信	送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	I ² C バスフォーマット (MSB ファースト限定)	I ² C バスフォーマット (MSB ファースト限定)
	動作モード	マスタ (シングルマスタ動作のみ)	マスタ (シングルマスタ動作のみ)
	転送速度	最大 384 kbps	ファストモード対応
	ノイズ除去	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能
簡易 SPI モード	データ長	8 ビット	8 ビット
	エラーの検出	オーバランエラー	オーバランエラー
	SS 入力端子機能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能

項目		RX210 (SCIc)	RX651 (SCIi)
簡易 SPI モード	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能	クロック位相、クロック極性の設定を 4 種類から選択可能
ビットレートモジュレーション		—	内蔵ボーレートジェネレータの出力補正により誤差を低減可能

注 1. 簡易 I²C モードでは、MSB ファーストでのみ使用可能です。

表 2.44 SCId、SCIh 仕様の概要比較

項目		RX210 (SCId)	RX651 (SCIh)
チャンネル数		1 チャンネル	1 チャンネル
シリアル通信方式		- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		- 送信部：ダブルバッファ構成による連続送信が可能 - 受信部：ダブルバッファ構成による連続受信が可能	- 送信部：ダブルバッファ構成による連続送信が可能 - 受信部：ダブルバッファ構成による連続受信が可能
データ転送		LSB ファースト/MSB ファースト選択可能 (注 1)	LSB ファースト/MSB ファースト選択可能 (注 1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)	送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)
消費電力低減機能		モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能
調歩同期式モード	データ長	7 ビット/8 ビット	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Low を検出	Low レベルまたは立ち下がリエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブレークを検出可能	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブレークを検出可能
	クロックソース	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能 (SCI12)	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能 (SCI12)
	倍速モード	—	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵	RXDn 端子入力経路にデジタルノイズフィルタを内蔵

項目		RX210 (SCId)	RX651 (SCIdh)
クロック同期式モード	データ長	8 ビット	8 ビット
	受信エラーの検出	オーバランエラー	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信	送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	I ² C バスフォーマット (MSB ファースト限定)	I ² C バスフォーマット (MSB ファースト限定)
	動作モード	マスタ (シングルマスタ動作のみ)	マスタ (シングルマスタ動作のみ)
	転送速度	最大 384kbps	ファストモード対応
	ノイズ除去	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能
簡易 SPI モード	データ長	8 ビット	8 ビット
	エラーの検出	オーバランエラー	オーバランエラー
	SS 入力端子機能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能	クロック位相、クロック極性の設定を 4 種類から選択可能
拡張シリアルモード	Start Frame 送信	- Break Field Low width の出力が可能/出力完了割り込み機能あり - バス衝突検出機能あり/検出割り込み機能あり	- Break Field Low width の出力が可能/出力完了割り込み機能あり - バス衝突検出機能あり/検出割り込み機能あり
	Start Frame 受信	- Break Field Low width の検出が可能/検出完了割り込み機能あり - Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり - Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データを設定可能 - Control Field 1 にプライオリティインタラプトビットを設定可能 - Break Field がない Start Frame にも対応可能 - Control Field 0 がない Start Frame にも対応可能 - ビットレート測定機能あり	- Break Field Low width の検出が可能/検出完了割り込み機能あり - Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり - Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データを設定可能 - Control Field 1 にプライオリティインタラプトビットを設定可能 - Break Field がない Start Frame にも対応可能 - Control Field 0 がない Start Frame にも対応可能 - ビットレート測定機能あり

項目		RX210 (SCId)	RX651 (SClh)
拡張シリアルモード	入出力制御機能	- TXDX12/RXDX12 信号の極性選択が可能 - RXDX12 信号にデジタルフィルタ機能を設定可能 - RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 - RXDX12 端子受信データサンプリングタイミング選択可能 - 拡張シリアルモード制御部 OFF 時、RXDX12 受信信号を SCIdg へスルー出力可能	- TXDX12/RXDX12 信号の極性選択が可能 - RXDX12 信号にデジタルフィルタ機能を設定可能 - RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 - RXDX12 端子受信データサンプリングタイミング選択可能 - 拡張シリアルモード制御部 OFF 時、RXDX12 受信信号を SCIdg へスルー出力可能
	タイマ機能	リロードタイマ機能として使用可能	リロードタイマ機能として使用可能
ビットレートモジュレーション		—	内蔵ボーレートジェネレータの出力補正により誤差を低減可能

注 1. 簡易 I²C モードでは、MSB ファーストでのみ使用可能です。

表 2.45 SCI チャンネル別仕様比較

項目	RX210 (SCId, SCId)	RX651 (SCIdg, SCIdi, SCIdh)
調歩同期式モード	SCId0~SCId12	SCId0~SCId12
クロック同期式モード	SCId0~SCId12	SCId0~SCId12
スマートカードインタフェースモード	SCId0~SCId12	SCId0~SCId12
簡易 I ² C モード	SCId0~SCId12	SCId0~SCId12
簡易 SPI モード	SCId0~SCId12	SCId0~SCId12
拡張シリアルモード	SCId12	SCId12
TMR クロック入力	SCId5, SCId6, SCId12	SCId5, SCId6, SCId12
イベントリンク機能	SCId5	SCId5
FIFO モード	—	SCId10, SCId11

表 2.46 シリアルコミュニケーションインタフェースのレジスタ比較

レジスタ	ビット	RX210 (SCId, SCId)	RX651 (SClg, SCli, SClh)
RDRH	—	—	レシーブデータレジスタ H
RDRL	—	—	レシーブデータレジスタ L
RDRHL	—	—	レシーブデータレジスタ HL
FRDR	—	—	受信 FIFO データレジスタ
TDRH	—	—	トランスミットデータレジスタ H
TDRL	—	—	トランスミットデータレジスタ L
TDRHL	—	—	トランスミットデータレジスタ HL
FTDR	—	—	送信 FIFO データレジスタ
SMR	CHR	キャラクタレンゲスビット (調歩同期式モードのみ有効) 0 : データ長 8 ビットで送受信 1 : データ長 7 ビットで送受信	キャラクタレンゲスビット (調歩同期式モードのみ有効) SCMR.CHR1 ビットと組み合わせ て選択します CHR1 CHR 0 0 : データ長 9 ビットで送 受信 0 1 : データ長 9 ビットで送 受信 1 0 : データ長 8 ビットで送 受信 1 1 : データ長 7 ビットで送 受信
	CM	コミュニケーションモードビット 0 : 調歩同期式モードで動作 1 : クロック同期式モードで動作	コミュニケーションモードビット 0 : 調歩同期式モード、または 簡 易 I²C モード で動作 1 : クロック同期式モード、また は 簡易 SPI モード で動作
SSR	RDRF	—	受信データフルフラグ (b6)
	TDRE	—	送信データエンプティフラグ (b7)
SSRFIFO	—	—	シリアルステータスレジスタ
SCMR	CHR1	—	キャラクタレンゲスビット 1 (b4)

レジスタ	ビット	RX210 (SClc, SCId)	RX651 (SClg, SCli, SClh)
BRR	—	ビットレートレジスタ 調歩同期式、マルチプロセッサ通信時の設定値とビットレートは、SEMR.ABCS ビットの設定により変わります。関係詳細はユーザーズマニュアルを参照ください	ビットレートレジスタ 調歩同期式、マルチプロセッサ通信時の設定値とビットレートは SEMR.BGDM , SEMR.ABCS ビットの設定により変わります。関係詳細はユーザーズマニュアルを参照ください SCI10、SCI11 では、SMR.CM ビットが “1” (クロック同期式モードまたは簡易 SPI モード) かつ、FCR.FM ビットが “1” (FIFO モード)、SMR.CKS[1:0] ビットが “00b” (PCLK) のとき、BRR レジスタに “00h” を設定しないでください
MDDR	—	—	モジュレーションデューティレジスタ
SEMR	BRME	—	ビットレートモジュレーションイネーブルビット (b2)
	BGDM	—	ボーレートジェネレータ倍速モードセレクトビット (b6)
	RXDESEL	—	調歩同期スタートビットエッジ検出セレクトビット (b7)
FCR	—	—	FIFO コントロールレジスタ
FDR	—	—	FIFO データカウントレジスタ
LSR	—	—	ラインステータスレジスタ
CDR	—	—	比較データレジスタ
DCCR	—	—	データ比較制御レジスタ
SPTR	—	—	シリアルポートレジスタ

レジスタ	ビット	RX210 (SClc, SCId)	RX651 (SClg, SCli, SClh)
CR2	BCCS [1:0]	バス衝突検出クロック選択ビット b5 b4 00 : SCI 基本クロック 01 : SCI 基本クロックの 2 分周 10 : SCI 基本クロックの 4 分周 11 : 設定しないでください	バス衝突検出クロック選択ビット SEMR.BGDM ビットが “0” または、SEMR.BGDM ビットが “1” かつ SMR.CKS[1:0] ビットが “00b” 以外の場合 b5 b4 00 : SCI 基本クロック 01 : SCI 基本クロックの 2 分周 10 : SCI 基本クロックの 4 分周 11 : 設定しないでください SEMR.BGDM ビットが “1” かつ SMR.CKS[1:0] ビットが “00b” の場合 b5 b4 00 : SCI 基本クロックの 2 分周 01 : SCI 基本クロックの 4 分周 10 : 設定しないでください 11 : 設定しないでください

2.23 I²C バスインタフェース

表 2.47 に I²C バスインタフェース仕様の概要比較を、表 2.48 に I²C バスインタフェースのレジスタ比較を示します。

表 2.47 I²C バスインタフェース仕様の概要比較

項目	RX210 (RIIC)	RX651 (RIICa)
チャンネル数	1 チャンネル	2 チャンネル
通信フォーマット	- I²C バスフォーマット/SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保	- I²C バスフォーマット/SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	~400kbps	ファストモードプラス対応 (~1 Mbps)
SCL クロック	マスタ時、SCL クロックのデューティ比を 4%~96%の範囲で設定可能	マスタ時、SCL クロックのデューティ比を 4%~96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション（リスタートコンディション含む）/ストップコンディション検出可能	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション（リスタートコンディション含む）/ストップコンディション検出可能
スレーブアドレス	- スレーブアドレスを 3 セット設定可能 7 ビット/10 ビットアドレスフォーマット対応（混在可能） - ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能	- 異なるスレーブアドレスを 3 種類まで設定可能 7 ビット/10 ビットアドレスフォーマット対応（混在可能） - ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクノリッジ応答	- 送信時、アクノリッジビットの自動ロード — ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送出 — 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能	- 送信時、アクノリッジビットの自動ロード — ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送出 — 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	- 受信時、SCL クロックの Low ホールドによるウェイトが可能 8 クロック目と 9 クロック目の間をウェイト 9 クロック目と 1 クロック目の間をウェイト（WAIT 機能）	- 受信時、SCL クロックの Low ホールドによるウェイトが可能 8 クロック目と 9 クロック目の間をウェイト 9 クロック目と 1 クロック目の間をウェイト（WAIT 機能）
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能

項目	RX210 (RIIC)	RX651 (RIICa)
アービトレーション	- マルチマスタ対応 - 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 - スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能（スタートコンディションの二重発行防止） - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能	- マルチマスタ対応 - 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 - スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能（スタートコンディションの二重発行防止） - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能
ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4 種類 - 通信エラー/イベント発生 - AL 検出 - NACK 検出 - タイムアウト検出 - スタートコンディション検出（リスタートコンディション含む） - ストップコンディション検出 - 受信データフル（スレーブアドレス一致時含む） - 送信データエンプティ（スレーブアドレス一致時含む） - 送信終了	4 種類 - 通信エラー/イベント発生 - アービトレーション検出 - NACK 検出 - タイムアウト検出 - スタートコンディション検出（リスタートコンディション含む） - ストップコンディション検出 - 受信データフル（スレーブアドレス一致時含む） - 送信データエンプティ（スレーブアドレス一致時含む） - 送信終了
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能
RIIC の動作モード	4 種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード	4 種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード

項目	RX210 (RIIC)	RX651 (RIICa)
イベントリンク機能	4 種類 (RIIC) - 通信エラー/通信イベント発生 AL 検出 NACK 検出 タイムアウト検出 スタートコンディション検出 (リ スタートコンディション含む) ストップコンディション検出 - 受信データフル - 送信データエンプティ - 送信終了	4 種類 (RIIC0) - 通信エラー/通信イベント発生 アービトレーション検出 NACK 検出 タイムアウト検出 スタートコンディション検出 (リ スタートコンディション含む) ストップコンディション検出 - 受信データフル - 送信データエンプティ - 送信終了

表 2.48 I²C バスインタフェースのレジスタ比較

レジスタ	ビット	RX210 (RIIC)	RX651 (RIICa)
ICMR2	TMWE	タイムアウト内部カウンタ書き込み 許可ビット (b3)	—
ICFER	FMPE	—	ファストモードプラス有効 ビット (b7)
TMOCNT	—	タイムアウト 内部カウンタ	—

2.24 シリアルペリフェラルインタフェース

表 2.49 にシリアルペリフェラルインタフェース仕様の概要比較を、表 2.50 にシリアルペリフェラルインタフェースのレジスタ比較を示します。

表 2.49 シリアルペリフェラルインタフェース仕様の概要比較

項目	RX210 (RSPI)	RX651 (RSPIc)
チャンネル数	1 チャンネル	3 チャンネル
RSPI 転送機能	- MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能 - 送信のみの動作が可能 - マスタ/スレーブモードでのシリアル通信が可能 - シリアル転送クロックの極性を変更可能 - シリアル転送クロックの位相を変更可能	- MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能 - 送信のみの動作が可能 - 通信モード：全二重または送信のみを選択可能 - RSPCK の極性を変更可能 - RSPCK の位相を変更可能
データフォーマット	- MSB ファースト/LSB ファーストの切り替え可能 - 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットに変更可能 - 送信/受信バッファは 128 ビット - 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)	- MSB ファースト/LSB ファーストの切り替え可能 - 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 - 送信/受信バッファは 128 ビット - 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット) - 送信データ、受信データをバイト単位でスワップ可能
ビットレート	- マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2~4096 分周) - スレーブモード時、外部入力クロックをシリアルクロックとして使用 (最大周波数は PCLK の 8 分周) High 幅：PCLK の 4 サイクル Low 幅：PCLK の 4 サイクル	- マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2~4096 分周) - スレーブ時は、PCLK の最小 4 分周のクロックを、RSPCK として入力可能 (RSPCK の最大周波数は PCLK の 4 分周) High 幅：PCLK の 2 サイクル Low 幅：PCLK の 2 サイクル
バッファ構成	送信/受信バッファ構成はダブルバッファ	- 送信および受信バッファはそれぞれダブルバッファ構造 - 送信および受信バッファは 128 ビット
エラー検出	- モードフォルトエラー検出 - オーバランエラー検出 - パリティエラー検出	- モードフォルトエラー検出 - オーバランエラー検出 (注 1) - パリティエラー検出 - アンダランエラー検出

項目	RX210 (RSPI)	RX651 (RSPIc)
SSL 制御機能	1 チャンネルあたり 4 本の SSL 信号 (SSLA0~SSLA3) - シングルマスタ設定時には、SSLA0~SSLA3 信号を出力 - マルチマスタ設定時：SSLA0 信号は入力、SSLA1~SSLA3 信号は出力または未使用 - スレーブ設定時：SSLA0 信号は入力、SSLA1~SSLA3 信号は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 (設定範囲：1~8 RSPCK 設定単位：1 RSPCK) - RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 (設定範囲：1~8 RSPCK 設定単位：1 RSPCK) - 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 (設定範囲：1~8 RSPCK 設定単位：1 RSPCK) - SSL 極性変更機能	1 チャンネルあたり 4 本の SSL 端子 (SSLn0~SSLn3) - シングルマスタ設定時には、SSLn0~SSLn3 端子を出力 - マルチマスタ設定時：SSLn0 端子は入力、SSLn1~SSLn3 端子は出力または未使用 - スレーブ設定時：SSLn0 端子は入力、SSLn1~SSLn3 端子は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 (設定範囲：1~8 RSPCK 設定単位：1 RSPCK) - RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 (設定範囲：1~8 RSPCK 設定単位：1 RSPCK) - 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 (設定範囲：1~8 RSPCK 設定単位：1 RSPCK) - SSL 極性変更機能
マスタ転送時の制御方式	- 最大 8 コマンドで構成された転送をシーケンシャルにループ実行可能 - 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能	- 最大 8 コマンドで構成された転送を連続してループ実行可能 - 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能 RSPCK 自動停止機能
割り込み要因	マスカブルな割り込み要因 - RSPI 受信割り込み (受信バッファフル) - RSPI 送信割り込み (送信バッファエンプティ) - RSPI エラー割り込み (モードフォルト、オーバラン、パリティエラー) - RSPI アイドル割り込み (RSPI アイドル)	割り込み要因 - 受信バッファフル割り込み - 送信バッファエンプティ割り込み - RSPI エラー割り込み (モードフォルト、オーバラン、アンダラン、パリティエラー) - RSPI アイドル割り込み (RSPI アイドル)

項目	RX210 (RSPI)	RX651 (RSPIc)
イベントリンク機能 (出力)	5 種類のイベントをイベントリンクコントローラへ出力可能 - 受信バッファフルイベント出力 - 送信バッファエンプティイベント出力 - モードフォルト/オーバラン/パリティエラーイベント出力 - RSPI アイドルイベント出力 - 送信完了イベント出力	以下のイベントをイベントリンクコントローラへ出力可能 (RSPI0) - 受信バッファフルイベント信号 - 送信バッファエンプティイベント信号 - モードフォルト/オーバラン/アンダラン/パリティエラーのイベント信号 - RSPI アイドルイベント信号 - 送信完了イベント信号
その他の機能	- CMOS/オープンドレイン出力切り替え機能可能 - RSPI 初期化機能 - ループバックモード機能	- CMOS/オープンドレイン出力切り替え機能 - RSPI 初期化機能 - ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

注 1. マスタ受信かつ、RSPCK 自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。

表 2.50 シリアルペリフェラルインタフェースのレジスタ比較

レジスタ	ビット	RX210 (RSPI)	RX651 (RSPIc)
SPSR	UDRF	—	アンダランエラーフラグ (b4)
	SPTEF	—	送信バッファエンプティフラグ (b5)
	SPRF	—	受信バッファフルフラグ (b7)
SPDR	—	RSPI データレジスタ 可能アクセスサイズ - ロングワード (SPDCR.SPLW = 1) - ワードアクセス (SPDCR.SPLW = 0)	RSPI データレジスタ 可能アクセスサイズ - ロングワード (SPDCR.SPLW = 1, SPBYTE = 0) - ワードアクセス (SPDCR.SPLW = 0, SPBYTE = 0) バイトアクセス (SPDCR.SPBYT = 1)
SPDCR	SPBYT	—	RSPI バイトアクセス設定ビット (b6)
SPDCR2	—	—	RSPI データコントロールレジスタ 2
SPCR2	SCKASE	—	RSPCK 自動停止機能許可ビット (b4)

2.25 CRC 演算器

表 2.51 に CRC 演算器仕様の概要比較を、表 2.52 に CRC 演算器のレジスタ比較を示します。

表 2.51 CRC 演算器仕様の概要比較

項目	RX210 (CRC)	RX651 (CRCA)	
データサイズ	8 ビット	8 ビット	32 ビット
CRC 演算対象データ	8n ビットのデータに対して CRC コード生成 (n = 自然数)	8n ビットのデータに対して CRC コードを生成 (n = 自然数)	32n ビットのデータに対して CRC コードを生成 (n = 自然数)
CRC 演算処理方式	8 ビット並列実行	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの多項式から選択可能 8 ビット CRC — $X^8 + X^2 + X + 1$ 16 ビット CRC — $X^{16} + X^{15} + X^2 + 1$ — $X^{16} + X^{12} + X^5 + 1$	3 つの多項式から選択可能 8 ビット CRC — $X^8 + X^2 + X + 1$ 16 ビット CRC — $X^{16} + X^{15} + X^2 + 1$ — $X^{16} + X^{12} + X^5 + 1$	2 つの多項式から選択可能 32 ビット CRC — $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ — $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$
CRC 演算切り替え	LSB ファースト/MSB ファースト通信用 CRC コード生成から選択可能	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることが可能	
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能	

表 2.52 CRC 演算器のレジスタ比較

レジスタ	ビット	RX210 (CRC)	RX651 (CRCA)
CRCCR	GPS[1:0] GPS[2:0]	CRC 生成多項式切り替えビット (b1-b0) b1 b0 0 0 : 演算しません 0 1 : $X^8 + X^2 + X + 1$ 1 0 : $X^{16} + X^{15} + X^2 + 1$ 1 1 : $X^{16} + X^{12} + X^5 + 1$	CRC 生成多項式切り替えビット (b2-b0) b2 b0 0 0 0 : 計算しません 0 0 1 : 8 ビット CRC ($X^8 + X^2 + X + 1$) 0 1 0 : 16 ビット CRC ($X^{16} + X^{15} + X^2 + 1$) 0 1 1 : 16 ビット CRC ($X^{16} + X^{12} + X^5 + 1$) 1 0 0 : 32 ビット CRC ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1 : 32 ビット CRC ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) 1 1 0 : 計算しません 1 1 1 : 計算しません
	LMS	CRC 切り替えビット (b2)	CRC 切り替えビット (b6)
CRCDIR RX210 : 8 ビット RX651 : 32 ビット	—	CRC データ入力レジスタ 可能アクセスサイズ • バイトアクセス	CRC データ入力レジスタ 可能アクセスサイズ • ロングワードアクセス (32 ビット CRC 生成時) • バイトアクセス (16 ビット CRC、8 ビット CRC 生成時)
CRCDOR RX210 : 16 ビット RX651 : 32 ビット	—	CRC データ出力レジスタ 可能アクセスサイズ • ワードアクセス 8 ビット CRC 生成時は、下位 バイト (b7~b0) を使用	CRC データ出力レジスタ 可能アクセスサイズ • ロングワードアクセス (32 ビット CRC 生成時) • ワードアクセス (16 ビット CRC 生成時) • バイトアクセス (8 ビット CRC 生成時)

2.26 12 ビット A/D コンバータ

表 2.53 に 12 ビット A/D コンバータ仕様の概要比較を、表 2.54 に 12 ビット A/D コンバータのレジスタ比較を示します。

表 2.53 12 ビット A/D コンバータ仕様の概要比較

項目	RX210 (S12ADb)	RX651 (S12ADFa)
ユニット数	1 ユニット	2 ユニット (S12AD, S12AD1)
入力チャネル	最大 16 チャネル	● S12AD : 8 チャネル ● S12AD1 : 21 チャネル+拡張 1 本
拡張アナログ入力	温度センサ出力、内部基準電圧	温度センサ出力、内部基準電圧
A/D 変換方式	逐次比較方式	逐次比較方式
分解能	12 ビット	12 ビット
変換時間	1 チャネル当たり 1.0 μ s (A/D 変換クロック ADCLK = 50MHz 動作時)	● 1 チャネル当たり (0.48μs) (12 ビット変換モード) ● 1 チャネル当たり (0.45μs) (10 ビット変換モード) ● 1 チャネル当たり (0.42μs) (8 ビット変換モード) (A/D 変換クロック ADCLK = 60MHz 動作時)
A/D 変換クロック (ADCLK)	周辺モジュールクロック PCLK (注 1) と A/D 変換クロック ADCLK (注 1) を以下の分周比で設定可能 PCLK : ADCLK 分周比 = 1:1、1:2、1:4、1:8、2:1、4:1 ADCLK の設定はクロック発生回路で行います	周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の分周比で設定可能 「PCLKB : ADCLK 周波数比 = 1:1, 2:1, 4:1, 8:1」 ADCLK の設定はクロック発生回路で行います
データレジスタ	● アナログ入力用 16 本、ダブルトリガモードでの A/D 変換データ 2 重化用 1 本 ● 温度センサ用 1 本 ● 内部基準電圧用 1 本 ● A/D 変換結果を 12 ビット A/D データレジスタに保持 ● 加算モード時は A/D 変換結果の加算値を 14 ビットで A/D データレジスタに保持	● アナログ入力用 : 29 本 (S12AD : 8 本、S12AD1 : 21 本)、ダブルトリガモードでの A/D 変換データ二重化用 1 本/各ユニット、ダブルトリガモード拡張動作時の A/D 変換データ二重化用 2 本/各ユニット ● 温度センサ用 : 1 本 (S12AD1) ● 内部基準電圧用 : 1 本 (S12AD1) ● 自己診断用 1 本/ユニット ● A/D 変換結果を 12 ビット A/D データレジスタに保持 ● A/D 変換結果の 8, 10, 12 ビット精度出力対応 ● 加算モード時は A/D 変換結果の加算値を変換精度ビット数+2 ビット/4 ビットで A/D データレジスタに保持

項目	RX210 (S12ADb)	RX651 (S12ADFa)
データレジスタ	A/D 変換データの 2 重化 シングルスキャンモードとグループスキャンモードでダブルトリガモード選択時のみ 2 重化が可能 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は A/D データレジスタ y に保持、2 回目の A/D データは 2 重化レジスタに保持	- ダブルトリガモード シングルスキャンとグループスキャンモードで選択可能 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、2 回目の A/D 変換データは二重化レジスタに保持 - ダブルトリガモード拡張動作（特定トリガ種別で有効） - 選択した 1 つのチャンネルのアナログ入力の A/D 変換データをトリガ種別毎に準備した二重化レジスタに保持

項目	RX210 (S12ADb)	RX651 (S12ADFa)
動作モード	• シングルスキャンモード： — 任意に選択した最大 16 チャンネルのアナログ入力を 1 回のみ A/D 変換 — 温度センサ出力を 1 回のみ A/D 変換 — 内部基準電圧を 1 回のみ A/D 変換 • 連続スキャンモード： — 任意に選択した最大 16 チャンネルのアナログ入力を繰り返し A/D 変換（温度センサ出力または内部基準電圧を選択した場合は、連続スキャンモードを使用しないでください）	• シングルスキャンモード： — 任意に選択した最大 8 チャンネル (S12AD) /21 チャンネル (S12AD1) のアナログ入力を 1 回のみ A/D 変換 — 任意に選択した最大 8 チャンネル (S12AD) /21 チャンネル (S12AD1) のアナログ入力を 1 回のみ A/D 変換 — 温度センサ出力を 1 回のみ A/D 変換 (S12AD1) — 内部基準電圧を 1 回のみ A/D 変換 (S12AD1) — 拡張アナログ入力を 1 回のみ A/D 変換 (S12AD1) • 連続スキャンモード： — 任意に選択した最大 8 チャンネル (S12AD) /21 チャンネル (S12AD1) のアナログ入力、温度センサ出力 (S12AD1)、内部基準電圧 (S12AD1) を繰り返し A/D 変換 — 拡張アナログ入力を繰り返し A/D 変換 (S12AD1) • グループスキャンモード： — 使用するグループの数は 2 つ（グループ A、B）と 3 つ（グループ A、B、C）が選択可能（グループ数が 2 つの場合、グループ A、グループ B の組み合わせのみ選択可能） — 任意に選択したチャンネルのアナログ入力、温度センサ出力 (S12AD1)、内部基準電圧 (S12AD1) をグループ A とグループ B またはグループ A、B、C に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 — グループ A とグループ B とグループ C は、各々の変換開始条件（同期トリガ）を選択することで異なるタイミングで変換開始可能

項目	RX210 (S12ADb)	RX651 (S12ADFa)
動作モード	- グループスキャンモード - 最大 16 チャンネルのアナログ入力をグループ A とグループ B に分け、グループ単位で選択した全チャンネルのアナログ入力を 1 回のみ変換 - グループ A とグループ B は、各々の変換開始条件を選択することで異なるタイミングで変換開始可能	- グループスキャンモード（グループ優先制御選択時） - 低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始 優先順位は、グループ A（高） > グループ B > グループ C（低） - 優先グループのスキャン終了後、低優先グループのスキャンを再実行（再スキャン）する/しないを設定可能 また再スキャンは、選択チャンネルの最初からか、A/D 変換未終了のチャンネルからかを設定可能
A/D 変換開始条件	- ソフトウェアトリガ - 同期トリガ MTU、ELC、温度センサからのトリガ - 非同期トリガ 外部トリガ ADTRG0#端子による A/D 変換の開始が可能	- ソフトウェアトリガ - 同期トリガ MTU、TPU、TMR、ELC からのトリガ - 非同期トリガ 外部トリガ ADTRG0#端子（S12AD）/ADTRG1#端子（S12AD1）による A/D 変換動作の開始が可能
機能	- サンプル&ホールド機能 - チャンネル専用サンプル&ホールド機能（$0.25V \leq$ アナログ電圧入力 $\leq AVCC0-0.25V$） - サンプリングステート数可変機能 12 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モード - アナログ入力断線検出機能（ディスチャージ機能/プリチャージ機能） - ダブルトリガモード（A/D 変換データ二重化機能）	- サンプル&ホールド機能 - チャンネル専用サンプル&ホールド機能（3ch : S12AD） - サンプリングステート数可変機能 12 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モードと平均モードが選択可能 - アナログ入力断線検出機能（ディスチャージ機能/プリチャージ機能） - ダブルトリガモード（A/D 変換データ二重化機能） 12/10/8 ビット変換切り替え機能 - A/D データレジスタオートクリア機能 - 拡張アナログ入力機能 - コンペア機能（ウィンドウ A、ウィンドウ B）

項目	RX210 (S12ADb)	RX651 (S12ADFa)
割り込み要因	- ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生 - ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生 - グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求 (S12AD0) を発生 グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求 (GBADI) を発生 - グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生 グループ B のスキャン終了で、グループ B 専用のスキャン終了割り込み要求 (GBADI) を発生 - S12ADI0 または GBADI 割り込みで DMAC、DTC を起動可能	- ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求 (S12ADI、S12ADI1) を発生 - ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI、S12ADI1) を発生 - グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求 (S12ADI、S12ADI1) を発生 グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求 (GBADI、GBADI1) を発生 グループ C のスキャン終了でグループ C 専用のスキャン終了割り込み要求 (GCADI、GCADI1) を発生 - グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI、S12ADI1) を発生 グループ B とグループ C のスキャン終了で、それぞれ専用のスキャン終了割り込み要求 (GBADI/GCADI、GBADI1/GCADI1) を発生 - デジタルコンペア機能の比較条件成立で、コンペア割り込み (S12CMPAI、S12CMPAI1、S12CMPBI、S12CMPBI1) を発生 - S12ADI/S12ADI1、GBADI/GBADI1、GCADI/GCADI1 割り込みで DMAC、DTC を起動可能
イベントリンク機能	- グループスキャンモードでのグループ B のスキャン終了を除くスキャン終了時に ELC イベント発生可能 - ELC からのトリガにより A/D 変換開始可能	- すべてのスキャン終了時に ELC イベント発生 - ELC からのトリガによりスキャン開始可能
消費電力低減機能	モジュールストップ状態への設定可能	モジュールストップ状態への設定が可能

表 2.54 12 ビット A/D コンバータのレジスタ比較

レジスタ	ビット	RX210 (S12AD)	RX651 (S12ADFa)
ADDRy	—	A/D データレジスタ y (y = 0~15)	A/D データレジスタ y (y = 0~ 20) (y = 0~7 : S12AD、y = 0~ 20 : S12AD1)
ADDBLDR	AD[11:0] —	—	—
ADDBLDRA	—	—	A/D データ 二重化レジスタ A
ADDBLDRB	—	—	A/D データ 二重化レジスタ B
ADTSDR	AD[11:0] —	—	—
ADOCDR	AD[11:0] —	—	—
ADRD	AD[11:0] —	— 12 ビット A/D 変換 ADCER.ADRFMT = 0 (右詰めの フォーマットに設定) (b11- b0) ADCER.ADRFMT = 1 (左詰めの フォーマットに設定) (b15- b4)	— 12 ビット A/D 変換 ADCER.ADRFMT = 0 (右詰めの フォーマットに設定) (b11- b0) ADCER.ADRFMT = 1 (左詰めの フォーマットに設定) (b15- b4) 10 ビット A/D 変換 ADCER.ADRFMT = 0 (右詰めの フォーマットに設定) (b9-b0) ADCER.ADRFMT = 1 (左詰めの フォーマットに設定) (b15- b6) 8 ビット A/D 変換 ADCER.ADRFMT = 0 (右詰めの フォーマットに設定) (b7-b0) ADCER.ADRFMT = 1 (左詰めの フォーマットに設定) (b15- b8)
	DIAGST[1:0] —	自己診断ステータスビット	自己診断ステータスビット
ADCSR	GBADIE	グループ B スキャン終了割り込 み許可ビット 0 : グループ B のスキャン終了後 に GBADI 割り込み発生を禁 止 1 : グループ B のスキャン終了後 に GBADI 割り込み発生を許 可	グループ B スキャン終了割り込 み許可ビット 0 : グループ B のスキャン終了後 に GBADI、 GBADI1 割り込 み発生を禁止 1 : グループ B のスキャン終了後 に GBADI、 GBADI1 割り込 み発生を許可

レジスタ	ビット	RX210 (S12AD)	RX651 (S12ADFa)
ADCSR	ADIE	A/D スキャン変換終了割り込み許可ビット 0 : スキャン終了後の S12ADI0 割り込み発生禁止 1 : スキャン終了後の S12ADI0 割り込み発生許可	スキャン終了割り込み許可ビット 0 : スキャン終了後の S12ADI 、 S12ADI1 割り込み発生禁止 1 : スキャン終了後の S12ADI 、 S12ADI1 割り込み発生許可
ADANSA (RX210) ADANSA0	— ANSA[15:0] ANSAn (n = 000~007)	A/D チャンネル選択レジスタ A A/D 変換チャンネル選択ビット (b15-b0) 0 : AN000~AN015 を変換対象から外す 1 : AN000~AN015 を変換対象とする	A/D チャンネル選択レジスタ A 0 A/D 変換チャンネル選択ビット (b 7 -b0) 0 : AN000~AN00 7 を変換対象から外す 1 : AN000~AN00 7 を変換対象とする
ADANSA1	—	—	A/D チャンネル選択レジスタ A1
ADANSB ADANSB0	— ANSB[15:0] ANSBn (n = 000~007)	A/D チャンネル選択レジスタ B A/D 変換チャンネル選択ビット (b15-b0) 0 : AN000~AN015 を変換対象から外す 1 : AN000~AN015 を変換対象とする	A/D チャンネル選択レジスタ B0 A/D 変換チャンネル選択ビット (b 7 -b0) 0 : AN000~AN00 7 を変換対象から外す 1 : AN000~AN00 7 を変換対象とする
ADANSB1	—	—	A/D チャンネル選択レジスタ B1
ADANSC0	—	—	A/D チャンネル選択レジスタ C0
ADANSC1	—	—	A/D チャンネル選択レジスタ C1
ADADS ADADS0	— ADS[15:0] ADSn (n = 000~007)	A/D 変換値加算モード選択レジスタ A/D 変換値加算チャンネル選択ビット 0 : AN000~AN015 の A/D 変換値加算モード非選択 1 : AN000~AN015 の A/D 変換値加算モード選択	A/D 変換値加算/ 平均機能 チャンネル選択レジスタ 0 A/D 変換値加算/平均チャンネル選択ビット 0 : AN000~AN00 7 の A/D 変換値加算/平均モード非選択 1 : AN000~AN00 7 の A/D 変換値加算/平均モード選択
ADADS1	—	—	A/D 変換値加算/ 平均機能 チャンネル選択レジスタ 1

レジスタ	ビット	RX210 (S12AD)	RX651 (S12ADFa)
ADADC	—	A/D 変換値加算回数選択レジスタ	A/D 変換値加算/ 平均 回数選択レジスタ
	ADC[1:0] ADC[2:0]	加算回数選択ビット (b1-b0) b1b0 00: 1 回変換 (加算なし。通常変換と同じ) 01: 2 回変換 (1 回加算を行う) 10: 3 回変換 (2 回加算を行う) 11: 4 回変換 (3 回加算を行う)	加算回数選択ビット (b2 -b0) b2b0 000: 1 回変換 (加算なし。通常変換と同じ) 001: 2 回変換 (1 回加算を行う) 010: 3 回変換 (2 回加算を行う) 011: 4 回変換 (3 回加算を行う) 101: 16 回変換 (15 回加算を行う) 上記以外は設定しないでください
	AVEE	—	平均モードイネーブルビット (b7)
ADCER	ADPRC[1:0]	—	A/D 変換精度指定ビット (b2-b1)
	ACE	自動クリアイネーブルビット	A/D データレジスタ 自動クリアイネーブルビット
ADSTRGR	TRSB[3:0] TRSB[5 :0]	グループ B 専用 A/D 変換開始トリガ選択ビット (b3-b0)	グループ B 専用 A/D 変換開始トリガ選択ビット (b5 -b0)
	TRSA[3:0] TRSA[5 :0]	A/D 変換開始トリガ選択ビット (b11-b8)	A/D 変換開始トリガ選択ビット (b13 -b8)
ADEXICR	TSSAD	—	温度センサ出力 A/D 変換値加算/平均モード選択ビット (b0)
	TSS TSSA	温度センサ出力 A/D 変換選択ビット 0: 温度センサ出力を A/D 変換しない 1: 温度センサ出力を A/D 変換する	温度センサ出力 A/D 変換選択ビット シングルスキャンモード、連続スキャンモード、およびグループスキャンモードのグループ A での変換用
	OCS OCSA	内部基準電圧 A/D 変換選択ビット	内部基準電圧 A/D 変換選択ビット
	TSSB	—	温度センサ出力 A/D 変換選択ビット (b10)
	OCSB	—	内部基準電圧 A/D 変換選択ビット (b11)
	EXSEL[1:0]	—	拡張アナログ入力選択ビット (b14-b13)
	EXCEN	—	拡張アナログ出力制御ビット (b15)
ADGCEXCR	—	—	A/D グループ C 拡張入力コントロールレジスタ
ADGCTRGR	—	—	A/D グループ C トリガ選択レジスタ

レジスタ	ビット	RX210 (S12AD)	RX651 (S12ADFa)
ADSSTRn	—	A/D サンプリングステートレジスタ n (n = 0~7、L、T、O)	A/D サンプリングステートレジスタ n (n = 0~15, L, T, O)
	SST[7:0] —	サンプリング時間設定ビット 12~255 ステートの間でサンプリング時間を設定します	サンプリング時間の設定
ADSHMSR	—	—	A/D サンプル&ホールド動作モード選択レジスタ
ADGSPCR	—	—	A/D グループスキャン優先コントロールレジスタ
ADCMPCR	—	—	A/D コンペア機能コントロールレジスタ
ADCMPANSR0	—	—	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0
ADCMPANSR1	—	—	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 1
ADCMPANSE R	—	—	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ
ADCMPLR0	—	—	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0
ADCMPLR1	—	—	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1
ADCMPLER	—	—	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ
ADCMPDR0	—	—	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ
ADCMPDR1	—	—	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ
ADCMPSR0	—	—	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 0
ADCMPSR1	—	—	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 1
ADCMPSER	—	—	A/D コンペア機能ウィンドウ A 拡張入力チャンネルステータスレジスタ
ADWINMON	—	—	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ
ADCMPBNSR	—	—	A/D コンペア機能ウィンドウ B チャンネル選択レジスタ
ADWINLLB	—	—	A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ
ADWINULB	—	—	A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ
ADCMPBSR	—	—	A/D コンペア機能ウィンドウ B チャンネルステータスレジスタ
ADSAM	—	—	A/D 逐次変換時間設定レジスタ
ADSAMPR	—	—	A/D 逐次変換時間設定プロテクト解除レジスタ

2.27 D/A コンバータ

表 2.55 に D/A コンバータ仕様の概要比較を、表 2.56 に D/A コンバータのレジスタ比較を示します。

表 2.55 D/A コンバータ仕様の概要比較

項目	RX210 (DA)	RX651 (R12DA)
分解能	10 ビット	12 ビット
出力チャネル	2 チャネル	2 チャネル
アナログモジュールの干渉対策	—	D/A 変換と A/D 変換の干渉対策： 12 ビット A/D コンバータ（ユニット 1）が出力する 12 ビット A/D コンバータ同期 D/A 変換許可入力信号により、D/A 変換データの更新タイミングを制御する これにより、12 ビット D/A コンバータのラッシュカレント発生タイミングを許可信号で制御し、干渉による A/D 変換精度劣化を低減する
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能
イベントリンク機能（入力）	イベント信号の入力により、D/A0 変換開始が可能	イベント信号の入力により、DA0 変換開始が可能
出力方式切り替え	—	バッファ出力（ゲイン = 1）と バッファなし出力を切り替え可能

表 2.56 D/A コンバータのレジスタ比較

レジスタ	ビット	RX210 (DA)	RX651 (R12DA)
DADRM	—	D/A データレジスタ m (DADRM) (m = 0、1) DADPR.DPSEL ビットの設定によって 10 ビットのデータの配置を変更できます。	D/A データレジスタ m (DADRM) (m = 0、1) DADPR.DPSEL ビットの設定によって 12 ビットのデータの配置を変更できます。
DAADSCR	—	—	D/A A/D 同期スタート制御レジスタ
DAADUSR	—	—	D/A A/D 同期ユニット選択レジスタ
DAAMPCR	—	—	D/A 出力アンプ制御レジスタ
DAASWCR	—	—	D/A 出力アンプ安定待ち制御レジスタ

2.28 温度センサ

表 2.57 に温度センサ仕様の概要比較を、表 2.58 に温度センサレジスタ比較を示します。

表 2.57 温度センサ仕様の概要比較

項目	RX210 (TEMPSa)	RX651 (TEMPS)
温度センサ電圧出力	PGA (Programmable Gain Amp) を 経由して 12 ビット A/D コンバータ へ出力	12 ビット A/D コンバータ (ユニット 1) へ出力
消費電力低減機能	モジュールストップ状態への設定が 可能	モジュールストップ状態への設定が 可能
温度センサ校正データ	—	工場出荷時に個々のチップごとに測 定した基準データをレジスタに格納

表 2.58 温度センサレジスタ比較

レジスタ	ビット	RX210 (TEMPSa)	RX651 (TEMPS)
TSCR	PGAGAIN [1:0]	PGA ゲイン選択ビット (b1-b0)	—
	TSOE	—	温度センサ出力許可ビット (b4)
	PGAEN	PGA 許可ビット (b6)	—
TSCDR	—	—	温度センサ校正データレジスタ

2.29 データ演算回路

表 2.59 にデータ演算回路仕様の概要比較を示します。

表 2.59 データ演算回路仕様の概要比較

項目	RX210 (DOC)	RX651 (DOC)
データ演算機能	16 ビットデータの比較、加算、または減算	16 ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能
割り込み	- データ比較の結果が一致または不一致のとき - データ加算の結果が“FFFFh”より大きくなったとき - データ減算の結果が“0000h”より小さくなったとき	- データ比較の結果が一致または不一致のとき - データ加算の結果が“FFFFh”より大きくなったとき - データ減算の結果が“0000h”より小さくなったとき
イベントリンク機能 (出力)	—	- データ比較の結果が一致または不一致のとき - データ加算の結果が“FFFFh”より大きくなったとき - データ減算の結果が“0000h”より小さくなったとき

2.30 RAM

表 2.60 に RAM 仕様の概要比較を、表 2.61 に RAM のレジスタ比較を示します。

表 2.60 RAM 仕様の概要比較

項目	RX210	RX651 (ECC 誤り訂正機能なし)
RAM 容量	96K バイト RAM0 : 64K バイト、RAM1 : 32K バイト 64K バイト RAM0 : 64K バイト 32K バイト RAM0 : 32K バイト 20K バイト RAM0 : 20K バイト 16K バイト RAM0 : 16K バイト 12K バイト RAM0 : 12K バイト	256K バイト RAM0 : 256K バイト
RAM アドレス	- RAM 容量が 96K バイトの場合 RAM0 : 0000 0000h~0000 FFFFh RAM1 : 0001 0000h~0001 7FFFh - RAM 容量が 64K バイトの場合 RAM0 : 0000 0000h~0000 FFFFh RAM1 : なし - RAM 容量が 32K バイトの場合 RAM0 : 0000 0000h~0000 7FFFh RAM1 : なし - RAM 容量が 20K バイトの場合 RAM0 : 0000 0000h~0000 4FFFh RAM1 : なし - RAM 容量が 16K バイトの場合 RAM0 : 0000 0000h~0000 3FFFh RAM1 : なし - RAM 容量が 12K バイトの場合 RAM0 : 0000 0000h~0000 2FFFh RAM1 : なし	RAM0 : 0000 0000h~0003 FFFFh
アクセス	- 読み出し/書き込みともに 1 サイクルで動作 - RAM 有効/無効選択可能	- 読み出し/書き込みともに 1 サイクルで動作 (注 1) - RAM 有効/無効選択可能
データ保持機能	ディープソフトウェアスタンバイモード時のデータ保持機能なし	ディープソフトウェアスタンバイモード時のデータ保持機能なし (スタンバイ RAM にて保持可能)
消費電力低減機能	RAM0~RAM1 個別にモジュールストップ状態への設定が可能	モジュールストップ機能への設定が可能
エラーチェック機能	—	1 ビット誤り検出 - エラー発生時、ノンマスカブル割り込み、または割り込みを発生

注 1. 8 バイト境界をまたいだアクセス時は、サイクル数が 2 倍に増えます。

表 2.61 RAM のレジスタ比較

レジスタ	ビット	RX210	RX651
RAMMODE	—	—	RAM 動作モード制御レジスタ
RAMSTS	—	—	RAM エラーステータスレジスタ
RAMECAD	—	—	RAM エラーアドレスキャプチャレジスタ
RAMPRCR	—	—	RAM プロテクトレジスタ

2.31 フラッシュメモリ（コードフラッシュ）

表 2.62 にフラッシュメモリ（コードフラッシュ）仕様の概要比較を、表 2.63 にフラッシュメモリのレジスタ比較を示します。

表 2.62 フラッシュメモリ（コードフラッシュ）仕様の概要比較

項目	RX210	RX651
メモリ空間	- ユーザ領域：最大 1M バイト - ユーザブート領域：16K バイト	ユーザ領域：最大 1M バイト
キャッシュ	なし	- 容量：最大 256 バイト - マッピング方式：8 ウェイセットアソシエティブ - リプレース方式：LRU アルゴリズム - ラインサイズ：16 バイト
リードサイクル	ICLK 1 サイクルの高速読み出し	キャッシュヒット時：1 サイクル キャッシュミス時： $ICLK \leq 50\text{MHz}$ 1 サイクル $50\text{MHz} < ICLK < 100\text{MHz}$ 2 サイクル $ICLK > 100\text{MHz}$ 3 サイクル
イレーズ後の値	FFh	FFh
プログラム/イレーズ方式	- ROM の書き換えを行う専用のシーケンサ（FCU）を内蔵 - FCU へコマンドを発行することにより、ROM へ P/E を実行可能	- フラッシュメモリのプログラム/イレーズを行う専用のシーケンサ（FCU）を内蔵 - FACI コマンド発行領域（007E 0000h）に設定した FACI コマンドで、コードフラッシュメモリのプログラム/イレーズが可能 - 専用フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム/イレーズ（シリアルプログラミング） - ユーザプログラムによるフラッシュメモリのプログラム/イレーズ（セルフプログラミング）
セキュリティ機能	フラッシュメモリの不正改ざん/不正読み出しを防止	フラッシュメモリの不正改ざん/不正読み出しを防止
プロテクション機能	- ソフトウェアプロテクト機能：レジスタ設定やロックビットにより意図しない書き換えを防ぐことが可能 - FCU のコマンドロック機能：P/E 中に異常を検出した場合、以後の P/E 処理を禁止	フラッシュメモリの誤書き換えを防止
Trusted Memory TM 機能	—	コードフラッシュメモリのブロック 8, 9 に対する不正リードを防止

項目	RX210	RX651
BGO（バックグラウンドオペレーション）機能	- ROM への書き込み／消去を実行している期間、CPU は ROM／データフラッシュ以外の領域に配置したプログラムを実行可能 - E2 データフラッシュへの書き込み／消去を実行している期間、ROM 領域に配置したプログラムを実行可能	—
サスペンド/レジューム機能	- ROM への P/E を中断し、CPU は ROM 領域のプログラムを実行可能（サスペンド） - 中断した後、ROM への P/E を再開可能（レジューム）	- コードフラッシュへの P/E を中断し、CPU はコードフラッシュ領域のプログラムを実行可能（サスペンド） - 中断した後、コードフラッシュへの P/E を再開可能（レジューム）
プログラム/イレーズ単位	- ユーザ領域およびユーザブート領域へのプログラム：2/8/128 バイト - ユーザ領域のイレーズ：ブロック単位 - ユーザブート領域のイレーズ：16K バイト	- ユーザ領域へのプログラム：128 バイト - ユーザ領域のイレーズ：ブロック
その他の機能	—	セルフプログラミング中の割り込み受け付け可能（割り込み/例外ベクタのアドレスをコードフラッシュ以外に設定した場合）
	—	コードフラッシュメモリのスタートアップ領域をブロック 0、1 から選択可能
オンボードプログラミング	- ブートモード（SCI インタフェース）によるプログラム — 調歩同期式シリアルインタフェース（SCI1）を使用 — 通信速度は自動調整 — ユーザブート領域も書き換え可能 - ユーザブートモードによる書き換え — ユーザ独自のブートプログラムを作成可能 - ユーザプログラム中の ROM 書き換えルーチンによる書き換え — システムをリセットすることなく ROM の書き換えが可能	- ブートモード（SCI インタフェース）によるプログラム/イレーズ — 調歩同期式シリアルインタフェース（SCI1）を使用 — 通信速度は自動調整 - USB ブートモードによるプログラム/イレーズ — USBb を使用 — 特別なハードウェアが不要で、PC と直結可能 - ブートモード（FINE インタフェース）によるプログラム/イレーズ - FINE を使用 - ユーザプログラム中のコードフラッシュメモリ書き換えルーチンによるプログラム/イレーズ — システムをリセットすることなくコードフラッシュメモリの書き換えが可能
専用パラレルプログラマによるプログラム/イレーズ	PROM ライタを使用して、ユーザマットとユーザブートマットの書き換えが可能	フラッシュライタを使用して、ユーザ領域のプログラム/イレーズが可能
ユニーク ID	—	本 MCU 個体ごとの 16 バイト長の ID コード

表 2.63 フラッシュメモリのレジスタ比較

レジスタ	ビット	RX210	RX651
FWEPROR	—	フラッシュライトイレース プロテクトレジスタ	フラッシュ P/E プロテクト レジスタ
	FLWE[1:0]	フラッシュプログラム/イ レーズビット	フラッシュライトイレース 許可 ビット
FMODR	—	フラッシュモードレジスタ	—
FASTAT	DFLWPE	E2 データフラッシュ P/E プロテクト違反フラグ (b0)	—
	DFLRPE	E2 データフラッシュリー ドプロテクト違反フラグ (b1)	—
	DFLAE	E2 データフラッシュアク セス違反フラグ (b3)	—
	ROMAE	ROM アクセス違反フラグ (b7)	—
	CFAE	—	コードフラッシュメモリア クセス違反フラグ (b7)
FAEINT	DFLWPEIE	E2 データフラッシュ P/E プロテクト違反割り込み許 可ビット (b0)	—
	DFLRPEIE	E2 データフラッシュリー ドプロテクト違反割り込み 許可ビット (b1)	—
	DFLAEIE	E2 データフラッシュアク セス違反割り込み許可ビッ ト (b3)	—
	ROMAEIE	ROM アクセス違反割り込 み許可ビット (b7)	—
	CFAEIE	—	コードフラッシュメモリア クセス違反割り込み許可 ビット (b7)
FSADDR	—	—	FACI コマンド処理開始ア ドレスレジスタ
FCURAME	—	FCU RAM イネーブルレジ スタ	—
FSTATR0	—	フラッシュステータスレジ スタ 0	—
FSTATR1	—	フラッシュステータスレジ スタ 1	—
FSTATR	—	—	フラッシュステータスレジ スタ
FENTRYR	FENTRY0	ROM P/E モードエントリ ビット 0 (b0)	—
	FENTRYC	—	コードフラッシュ P/E モー ドエントリビット (b0)
	FENTRY1	ROM P/E モードエントリ ビット 1 (b1)	—

レジスタ	ビット	RX210	RX651
FENTRYR	FENTRYD	E2 データフラッシュ P/E モードエントリビット (b7)	—
	FEKEY[7:0] (RX210) KEY[7:0] (RX651)	キーコード (b15-b8)	キーコード ビット (b15-8)
FPROTR	—	フラッシュプロテクトレジスタ	—
FRESETR	—	フラッシュリセットレジスタ	—
FCMDR	—	FCU コマンドレジスタ	FACI コマンドレジスタ
FSUINTR	—	—	フラッシュシーケンサ設定 初期化レジスタ
FAWMON	—	—	フラッシュアクセスウィンドウ モニタレジスタ
FCPSR	—	FCU 処理切り替えレジスタ	フラッシュシーケンサ 処理 切り替えレジスタ
	ESUSPMD	書き込み /消去サスペンド モードビット 0 : サスペンド優先モード 1 : 書き込み /消去優先モード	イレーズサスペンドモード ビット 0 : サスペンド優先モード 1 : イレーズ優先モード
FPESTAT	—	フラッシュ P/E ステータス レジスタ	—
FPCKAR	—	—	フラッシュシーケンサ処理 クロック通知レジスタ
FSUACR	—	—	スタートアップ領域コントロール レジスタ
PCKAR	—	周辺クロック通知レジスタ	—
ROMCE	—	—	ROM キャッシュ許可レジスタ
ROMCIV	—	—	ROM キャッシュ無効化レジスタ
UIDRn	—	—	ユニーク ID レジスタ n (n = 0~3)

3. 端子機能の比較

以下に端子機能の比較、および電源、クロック、システム制御端子の比較を示します。いずれかのグループにしか存在しない項目は青字に、両方のグループに存在するが相違点ある項目は赤字にしています。仕様に相違点がない項目は黒字にしています。

3.1 144 ピンパッケージ

表 3.1 に 144 ピンパッケージ端子機能の比較を示します。

表 3.1 144 ピンパッケージ端子機能の比較

144 ピン LFQFP	RX210	RX651
1	AVSS0	AVSS0
2	P05/DA1	P05/IRQ13/DA1
3	VREFH	AVCC1
4	P03/DA0	P03/IRQ11/DA0
5	VREFL	AVSS1
6	P02/TMC11/SCK6	P02/TMC11/SCK6/IRQ10/AN120
7	P01/TMC10/RXD6/SMISO6/SSCL6	P01/TMC10/RXD6/SMISO6/SSCL6/IRQ9/AN119
8	P00/TMR10/TXD6/SMOSI6/SSDA6	P00/TMR10/TXD6/SMOSI6/SSDA6/IRQ8/AN118
9	PF5/IRQ4	PF5/IRQ4
10	NC	EMLE
11	PJ5	PJ5/POE8#/CTS2#/RTS2#/SS2#
12	VSS	VSS
13	PJ3/MTIOC3C/CTS6#/RTS6#/SS6#/CTS0#/RTS0#/SS0#	PJ3/EDACK1/MTIOC3C/CTS6#/RTS6#/CTS0#/RTS0#/SS6#/SS0#
14	VCL	VCL
15	PJ1/MTIOC3A	VBATT
16	MD/FINED	MD/FINED
17	XCIN	XCIN
18	XCOUT	XCOUT
19	RES#	RES#
20	XTAL/P37	XTAL/P37
21	VSS	VSS
22	EXTAL/P36	EXTAL/P36
23	VCC	VCC
24	P35/NMI	UPSEL/P35/NMI
25	P34/MTIOC0A/TMC13/POE2#/SCK6/SCK0/IRQ4	TRST#/P34/MTIOC0A/TMC13/PO12/POE10#/SCK6/SCK0/IRQ4
26	P33/MTIOC0D/TMR13/POE3#/TIOC0D/RXD6/SMISO6/SSCL6/RXD0/SMISO0/SSCL0/IRQ3-DS	P33/EDREQ1/MTIOC0D/TIOC0D/TMR13/PO11/POE4#/POE11#/RXD6/RXD0/SMISO6/SMISO0/SSCL6/SSCL0/CRX0/PCK0/IRQ3-DS
27	P32/MTIOC0C/TMO3/TIOC0C/TXD6/SMOSI6/SSDA6/TXD0/SMOSI0/SSDA0/IRQ2-DS/RTCOUT/RTCIC2	P32/MTIOC0C/TIOC0C/TMO3/PO10/RTCOUT/RTCIC2/POE0#/POE10#/TXD6/TXD0/SMOSI6/SMOSI0/SSDA6/SSDA0/CTX0/USB0_VBUSEN/VSYN/IRQ2-DS
28	P31/MTIOC4D/TMC12/CTS1#/RTS1#/SS1#/IRQ1-DS/RTCIC1	TMS/P31/MTIOC4D/TMC12/PO9/RTCIC1/CTS1#/RTS1#/SS1#/SSLB0-A/IRQ1-DS

144 ピン LFQFP	RX210	RX651
29	P30/MTIOC4B/TMRI3/POE8#/RXD1/SMISO1/SSCL1/IRQ0-DS/RTCIC0	TDI/P30/MTIOC4B/TMRI3/PO8/RTCIC0/POE8#/RXD1/SMISO1/SSCL1/MISOB-A/IRQ0-DS
30	P27/CS3#/MTIOC2B/TMCI3/SCK1	TCK/P27/CS7#/MTIOC2B/TMCI3/PO7/SCK1/RSPCKB-A
31	P26/CS2#/MTIOC2A/TMO1/TXD1/SMOSI1/SSDA1/CTS3#/RTS3#/SS3#	TDO/P26/CS6#/MTIOC2A/TMO1/PO6/TXD1/CTS3#/RTS3#/SMOSI1/SS3#/SSDA1/MOSIB-A
32	P25/CS1#/MTIOC4C/MTCLKB/TIOCA4/RXD3/SMISO3/SSCL3/ADTRG0#	P25/CS5#/EDACK1/MTIOC4C/MTCLKB/TIOCA4/PO5/RXD3/SMISO3/SSCL3/HSYNC/ADTRG0#
33	P24/CS0#/MTIOC4A/MTCLKA/TMRI1/TIOCB4/SCK3	P24/CS4#/EDREQ1/MTIOC4A/MTCLKA/TIOCB4/TMRI1/PO4/SCK3/USB0_VBUSEN/PIXCLK
34	P23/MTIOC3D/MTCLKD/TIOCD3/CTS0#/RTS0#/SS0#/TXD3/SMOSI3/SSDA3	P23/EDACK0/MTIOC3D/MTCLKD/TIOCD3/PO3/TXD3/CTS0#/RTS0#/SMOSI3/SS0#/SSDA3/PIXD7
35	P22/MTIOC3B/MTCLKC/TMO0/TIOCC3/SCK0	P22/EDREQ0/MTIOC3B/MTCLKC/TIOCC3/TMO0/PO2/SCK0/USB0_OVRCURB/PIXD6
36	P21/MTIOC1B/TMCI0/TIOCA3/RXD0/SMISO0/SSCL0	P21/MTIOC1B/MTIOC4A/TIOCA3/TMCI0/PO1/RXD0/SMISO0/SSCL0/USB0_EXICEN/PIXD5/IRQ9
37	P20/MTIOC1A/TMRI0/TIOCB3/TXD0/SMOSI0/SSDA0	P20/MTIOC1A/TIOCB3/TMRI0/PO0/TXD0/SMOSI0/SSDA0/USB0_ID/PIXD4/IRQ8
38	P17/MTIOC3A/MTIOC3B/TMO1/POE8#/TIOCB0/TCLKD/SCK1/MISOA/SDA-DS/TXD3/SMOSI3/SSDA3/IRQ7	P17/MTIOC3A/MTIOC3B/MTIOC4B/TIOCB0/TCLKD/TMO1/PO15/POE8#/SCK1/TXD3/SMOSI3/SSDA3/SDA2-DS/PIXD3/IRQ7/ADTRG1#
39	P87/TIOCA2	P87/MTIOC4C/TIOCA2/TXD10/SMOSI10/SSDA10/PIXD2
40	P16/MTIOC3C/MTIOC3D/TMO2/TIOCB1/TCLKC/TXD1/SMOSI1/SSDA1/MOSIA/SCL-DS/RXD3/SMISO3/SSCL3/IRQ6/RTCOUT/ADTRG0#	P16/MTIOC3C/MTIOC3D/TIOCB1/TCLKC/TMO2/PO14/RTCOUT/TXD1/RXD3/SMOSI1/SMISO3/SSDA1/SSCL3/SCL2-DS/USB0_VBUS/USB0_VBUSEN/USB0_OVRCURB/IRQ6/ADTRG0#
41	P86/TIOCA0	P86/MTIOC4D/TIOCA0/RXD10/SMISO10/SSDA10/PIXD1
42	P15/MTIOC0B/MTCLKB/TMCI2/TIOCB2/TCLKB/RXD1/SMISO1/SSCL1/SCK3/IRQ5	P15/MTIOC0B/MTCLKB/TIOCB2/TCLKB/TMCI2/PO13/RXD1/SCK3/SMISO1/SSCL1/CRX1-DS/PIXD0/IRQ5
43	P14/MTIOC3A/MTCLKA/TMRI2/TIOCB5/TCLKA/CTS1#/RTS1#/SS1#/IRQ4	P14/MTIOC3A/MTCLKA/TIOCB5/TCLKA/TMRI2/PO15/CTS1#/RTS1#/SS1#/CTX1/USB0_OVRCURA/IRQ4
44	P13/MTIOC0B/TMO3/TIOCA5/SDA/TXD2/SMOSI2/SSDA2/IRQ3	P13/MTIOC0B/TIOCA5/TMO3/PO13/TXD2/SMOSI2/SSDA2/SDA0[FM+]/IRQ3/ADTRG1#
45	P12/TMCI1/SCL/RXD2/SMISO2/SSCL2/IRQ2	P12/TMCI1/RXD2/SMISO2/SSCL2/SCL0[FM+]/IRQ2
46	PH3/TMCI0	VCC_USB
47	PH2/TMRI0/IRQ1	USB0_DM
48	PH1/TMO0/IRQ0	USB0_DP
49	PH0/CACREF	VSS_USB
50	P56/MTIOC3C/TIOCA1	P56/EDACK1/MTIOC3C/TIOCA1

144 ピン LFQFP	RX210	RX651
51	P55/WAIT#/MTIOC4D/TMO3	TRDATA3/P55/WAIT#/EDREQ0/MTIOC4D/TMO3/CRX1/IRQ10
52	P54/ALE/MTIOC4B/TMCI1/CTS2#/RTS2#/SS2#	TRDATA2/P54/ALE/EDACK0/MTIOC4B/TMCI1/CTS2#/RTS2#/SS2#/CTX1
53	BCLK/P53	BCLK/P53
54	P52/RD#/RXD2/SMISO2/SSCL2	P52/RD#/RXD2/SMISO2/SSCL2/SSLB3-A
55	P51/WR1#/BC1#/WAIT#/SCK2	P51/WR1#/BC1#/WAIT#/SSLB2-A/SCK2
56	P50/WR0#/WR#/TXD2/SMOSI2/SSDA2	P50/WR0#/WR#/TXD2/SMOSI2/SSDA2/SSLB1-A
57	VSS	VSS
58	P83/MTIOC4C/CTS10#/RTS10#	TRCLK/P83/EDACK1/MTIOC4C/CTS10#/SS10#/SCK10
59	VCC	VCC
60	PC7/A23/CS0#/MTIOC3A/TMO2/MTCLKB/TXD8/SMOSI8/SSDA8/MISOA/CACREF	UB/PC7/A23/CS0#/MTIOC3A/MTCLKB/TMO2/TOC0/PO31/CACREF/TXD8/SMOSI8/SSDA8/MISOA-A/TXD10/SMOSI10/SSDA10/MMC_D7-A/IRQ14
61	PC6/A22/CS1#/MTIOC3C/MTCLKA/TMCI2/RXD8/SMISO8/SSCL8/MOSIA	PC6/A22/CS1#/MTIOC3C/MTCLKA/TMCI2/TIC0/PO30/RXD8/SMISO8/SSCL8/MOSIA-A/RXD10/SMISO10/SSCL10/MMC_D6-A/IRQ13
62	PC5/A21/CS2#/WAIT#/MTIOC3B/MTCLKD/TMRI2/SCK8/RSPCKA	PC5/A21/CS2#/WAIT#/MTIOC3B/MTCLKD/TMRI2/PO29/SCK8/RSPCKA-A/SCK10/MMC_D5-A
63	P82/MTIOC4A/TXD10/SMOSI10/SSDA10	TRSYNC/P82/EDREQ1/MTIOC4A/PO28/TXD10/SMOSI10/SSDA10/MMC_D4-A
64	P81/MTIOC3D/RXD10/SMISO10/SSCL10	TRDATA1/P81/EDACK0/MTIOC3D/PO27/RXD10/SMISO10/SSCL10/MMC_D3-A/SDHI_CD-A/QIO3-A
65	P80/MTIOC3B/SCK10	TRDATA0/P80/EDREQ0/MTIOC3B/PO26/SCK10/RTS10#/MMC_D2-A/SDHI_WP-A/QIO2-A
66	PC4/A20/CS3#/MTIOC3D/MTCLKC/TMCI1/POE0#/SCK5/CTS8#/RTS8#/SS8#/SSLA0	PC4/A20/CS3#/MTIOC3D/MTCLKC/TMCI1/PO25/POE0#/SCK5/CTS8#/RTS8#/SS8#/SSLA0-A/CTS10#/RTS10#/SS10#/MMC_D1-A/SDHI_D1-A/SDSI_D1-A/QIO1-A/QMI-A
67	PC3/A19/MTIOC4D/TCLKB/TXD5/SMOSI5/SSDA5	PC3/A19/MTIOC4D/TCLKB/PO24/TXD5/SMOSI5/SSDA5/MMC_D0-A/SDHI_D0-A/SDSI_D0-A/QIO0-A/QMO-A
68	P77/TXD11/SMOSI11/SSDA11	TRDATA7/P77/CS7#/PO23/TXD11/SMOSI11/SSDA11/MMC_CLK-A/SDHI_CLK-A/SDSI_CLK-A/QSPCLK-A
69	P76/RXD11/SMISO11/SSCL11	TRDATA6/P76/CS6#/PO22/RXD11/SMISO11/SSCL11/MMC_CMD-A/SDHI_CMD-A/SDSI_CMD-A/QSSL-A
70	PC2/A18/MTIOC4B/TCLKA/RXD5/SMISO5/SSCL5/SSLA3	PC2/A18/MTIOC4B/TCLKA/PO21/RXD5/SMISO5/SSCL5/SSLA3-A/MMC_CD-A/SDHI_D3-A/SDSI_D3-A
71	P75/SCK11	TRSYNC1/P75/CS5#/PO20/SCK11/RTS11#/MMC_RES-A/SDHI_D2-A/SDSI_D2-A
72	P74/CTS11#/RTS11#/SS11#	TRDATA5/P74/A20/CS4#/PO19/CTS11#/SS11#

144 ピン LFQFP	RX210	RX651
73	PC1/A17/MTIOC3A/TCLKD/SCK5/SSLA2	PC1/A17/MTIOC3A/TCLKD/ PO18 /SCK5/SSLA2-A/ IRQ12
74	PL1	VCC
75	PC0/A16/MTIOC3C/TCLKC/CTS5#/RTS5#/SS5#/SSLA1	PC0/A16/MTIOC3C/TCLKC/ PO17 /CTS5#/RTS5#/SS5#/SSLA1-A/ IRQ14
76	PL0	VSS
77	P73	TRDATA4 /P73/ CS3 / PO16
78	PB7/A15/MTIOC3B/TIOCB5/TXD9/SMOSI9/SSDA9	PB7/A15/MTIOC3B/TIOCB5/ PO31 /TXD9/SMOSI9/SSDA9/ TXD11 / SMOSI11 / SSDA11 / SDSI_D1-B
79	PB6/A14/MTIOC3D/TIOCA5/RXD9/SMISO9/SSCL9	PB6/A14/MTIOC3D/TIOCA5/ PO30 /RXD9/SMISO9/SSCL9/ RXD11 / SMISO11 / SSCL11 / SDSI_D0-B
80	PB5/A13/MTIOC2A/MTIOC1B/TMRI1/ POE1 #/TIOCB4/SCK9	PB5/A13/MTIOC2A/MTIOC1B/TIOCB4/TMRI1/ PO29 / POE4 #/SCK9/ SCK11 / SDSI_CLK-B
81	PB4/A12/TIOCA4/CTS9#/RTS9#/SS9#	PB4/A12/TIOCA4/ PO28 /CTS9#/RTS9#/SS9#/ CTS11 / RTS11 / SS11 / SDSI_CMD-B
82	PB3/A11/MTIOC0A/MTIOC4A/TMO0/ POE3 #/TIOCD3/TCLKD/SCK4/SCK6	PB3/A11/MTIOC0A/MTIOC4A/TIOCD3/TCLKD/TMO0/ PO27 / POE11 #/SCK4/SCK6/ SDSI_D3-B
83	PB2/A10/TIOCC3/TCLKC/CTS4#/RTS4#/SS4#/CTS6#/RTS6#/SS6#	PB2/A10/TIOCC3/TCLKC/ PO26 /CTS4#/RTS4#/CTS6#/RTS6#/SS4#/SS6#/ SDSI_D2-B
84	PB1/A9/MTIOC0C/MTIOC4C/TMCI0/TIOCB3/TXD4/SMOSI4/SSDA4/TXD6/SMOSI6/SSDA6/IRQ4-DS	PB1/A9/MTIOC0C/MTIOC4C/TIOCB3/TMCI0/ PO25 /TXD4/TXD6/SMOSI4/SMOSI6/SSDA4/SSDA6/IRQ4-DS
85	P72	P72/ A19 / CS2 #
86	P71	P71/ A18 / CS1 #
87	PB0/A8/MTIC5W/TIOCA3/RXD4/SMISO4/SSCL4/RXD6/SMISO6/SSCL6/ RSPCKA	PB0/A8/MTIC5W/TIOCA3/ PO24 /RXD4/RXD6/SMISO4/SMISO6/SSCL4/SSCL6/ IRQ12
88	PA7/A7/TIOCB2/MISOA	PA7/A7/TIOCB2/ PO23 /MISOA-B
89	PA6/A6/MTIC5V/MTCLKB/TMCI3/ POE2 #/TIOCA2/CTS5#/RTS5#/SS5#/MOSIA	PA6/A6/MTIC5V/MTCLKB/TIOCA2/TMCI3/ PO22 / POE10 #/CTS5#/RTS5#/SS5#/MOSIA-B
90	PA5/A5/TIOCB1/RSPCKA	PA5/A5/ MTIOC6B /TIOCB1/ PO21 /RSPCKA-B
91	VCC	VCC
92	PA4/A4/MTIC5U/MTCLKA/TMRI0/TIOCA1/TXD5/SMOSI5/SSDA5/SSLA0/IRQ5-DS/ CVR EFB1	PA4/A4/MTIC5U/MTCLKA/TIOCA1/TMRI0/ PO20 /TXD5/SMOSI5/SSDA5/SSLA0-B/IRQ5-DS
93	VSS	VSS
94	PA3/A3/MTIOC0D/MTCLKD/TIOCD0/TCLKB/RXD5/SMISO5/SSCL5/IRQ6-DS/ CMPB1	PA3/A3/MTIOC0D/MTCLKD/TIOCD0/TCLKB/ PO19 /RXD5/SMISO5/SSCL5/IRQ6-DS
95	PA2/A2/RXD5/SMISO5/SSCL5/SSLA3	PA2/A2/ MTIOC7A / PO18 /RXD5/SMISO5/SSCL5/SSLA3-B
96	PA1/A1/MTIOC0B/MTCLKC/TIOCB0/SCK5/SSLA2/ CVREFA	PA1/A1/MTIOC0B/MTCLKC/ MTIOC7B /TIOCB0/ PO17 /SCK5/SSLA2-B/ IRQ11
97	PA0/A0/BC0#/MTIOC4A/TIOCA0/SSLA1/CACREF	PA0/A0/BC0#/MTIOC4A/ MTIOC6D /TIOCA0/CACREF/ PO16 /SSLA1-B
98	P67	P67/ CS7 / DQM1 / MTIOC7C / IRQ15
99	P66	P66/ CS6 / DQM0 / MTIOC7D
100	P65	P65/ CS5 / CKE
101	PE7/D15[A15/D15]/IRQ7/ AN015	PE7/D15[A15/D15]/ MTIOC6A / TOC1 / MISOB -B/ MMC_RES -B/ SDHI_WP -B/IRQ7/ AN105

144 ピン LFQFP	RX210	RX651
102	PE6/D14[A14/D14]/CTS4#/RTS4#/SS4#/IRQ6/AN014	PE6/D14[A14/D14]/MTIOC6C/TIC1/MOSIB-B/MMC_CD-B/SDHI_CD-B/IRQ6/AN104
103	PK5/TXD4/SMOSI4/SSDA4	VCC
104	P70/SCK4	SDCLK/P70
105	PK4/RXD4/SMISO4/SSCL4	VSS
106	PE5/D13[A13/D13]/MTIOC4C/MTIOC2B/IRQ5/AN013	PE5/D13[A13/D13]/MTIOC4C/MTIOC2B/RS PCKB-B/IRQ5/AN103
107	PE4/D12[A12/D12]/MTIOC4D/MTIOC1A/AN012/CMPA2	PE4/D12[A12/D12]/MTIOC4D/MTIOC1A/PO28/SSLB0-B/AN102
108	PE3/D11[A11/D11]/MTIOC4B/POE8#/CTS12#/RTS12#/SS12#/AN011/CMPA1	PE3/D11[A11/D11]/MTIOC4B/PO26/POE8#/TOC3/CTS12#/RTS12#/SS12#/MMC_D7-B/AN101
109	PE2/D10[A10/D10]/MTIOC4A/RXD12/RXDX12/SMISO12/SSCL12/IRQ7-DS/AN010/CVR EFB0	PE2/D10[A10/D10]/MTIOC4A/PO23/TIC3/RXD12/SMISO12/SSCL12/RXDX12/SSLB3-B/MMC_D6-B/IRQ7-DS/AN100
110	PE1/D9[A9/D9]/MTIOC4C/TXD12/TXDX12/SIOX12/SMOSI12/SSDA12/AN009/CMPB0	PE1/D9[A9/D9]/MTIOC4C/MTIOC3B/PO18/TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/SSLB2-B/MMC_D5-B/ANEX1
111	PE0/D8[A8/D8]/SCK12/AN008	PE0/D8[A8/D8]/MTIOC3D/SCK12/SSLB1-B/MMC_D4-B/ANEX0
112	P64	P64/CS4#/WE#
113	P63	P63/CS3#/CAS#
114	P62	P62/CS2#/RAS#
115	P61/CTS9#/RTS9#/SS9#	P61/CS1#/SDCS#
116	PK3/RXD9/SMISO9/SSCL9	VSS
117	P60/SCK9	P60/CS0#
118	PK2/TXD9/SMOSI9/SSDA9	VCC
119	PD7/D7[A7/D7]/MTIC5U/POE0#/IRQ7	PD7/D7[A7/D7]/MTIC5U/POE0#/SSLC3/MMC_D1-B/SDHI_D1-B/QIO1-B/QMI-B/IRQ7/AN107
120	PD6/D6[A6/D6]/MTIC5V/POE1#/IRQ6	PD6/D6[A6/D6]/MTIC5V/MTIOC8A/POE4#/SSLC2/MMC_D0-B/SDHI_D0-B/QIO0-B/QMO-B/IRQ6/AN106
121	PD5/D5[A5/D5]/MTIC5W/POE2#/IRQ5	PD5/D5[A5/D5]/MTIC5W/MTIOC8C/POE10#/SSLC1/MMC_CLK-B/SDHI_CLK-B/QSPCLK-B/IRQ5/AN113
122	PD4/D4[A4/D4]/POE3#/IRQ4	PD4/D4[A4/D4]/MTIOC8B/POE11#/SSLC0/MMC_CMD-B/SDHI_CMD-B/QSSL-B/IRQ4/AN112
123	PD3/D3[A3/D3]/POE8#/IRQ3	PD3/D3[A3/D3]/MTIOC8D/POE8#/TOC2/RSPCKC/MMC_D3-B/SDHI_D3-B/QIO3-B/IRQ3/AN111
124	PD2/D2[A2/D2]/MTIOC4D/IRQ2	PD2/D2[A2/D2]/MTIOC4D/TIC2/CRX0/MISOC/MMC_D2-B/SDHI_D2-B/QIO2-B/IRQ2/AN110
125	PD1/D1[A1/D1]/MTIOC4B/IRQ1	PD1/D1[A1/D1]/MTIOC4B/POE0#/CTX0/MOSIC/IRQ1/AN109
126	PD0/D0[A0/D0]/IRQ0	PD0/D0[A0/D0]/POE4#/IRQ0/AN108
127	P93/CTS7#/RTS7#/SS7#	P93/A19/POE0#/CTS7#/RTS7#/SS7#/AN117
128	P92/RXD7/SMISO7/SSCL7	P92/A18/POE4#/RXD7/SMISO7/SSCL7/AN116
129	P91/SCK7	P91/A17/SCK7/AN115

144 ピン LFQFP	RX210	RX651
130	VSS	VSS
131	P90/TXD7/SMOSI7/SSDA7	P90/A16/TXD7/SMOSI7/SSDA7/AN114
132	VCC	VCC
133	P47/AN007	P47/IRQ15-DS/AN007
134	P46/AN006	P46/IRQ14-DS/AN006
135	P45/AN005	P45/IRQ13-DS/AN005
136	P44/AN004	P44/IRQ12-DS/AN004
137	P43/AN003	P43/IRQ11-DS/AN003
138	P42/AN002	P42/IRQ10-DS/AN002
139	P41/AN001	P41/IRQ9-DS/AN001
140	VREFL0	VREFL0
141	P40/AN000	P40/IRQ8-DS/AN000
142	VREFH0	VREFH0
143	AVCC0	AVCC0
144	P07/ADTRG0#	P07/IRQ15/ADTRG0#

3.2 145 ピンパッケージ

エラー! 参照元が見つかりません。表 3.2 に 145 ピンパッケージ端子機能の比較を示します。

表 3.2 145 ピンパッケージ端子機能の比較

145 ピン TFLGA	RX210	RX651
A1	AVSS0	AVSS0
A2	P07/ADTRG0#	P07// IRQ15 /ADTRG0#
A3	P40/AN000	P40// IRQ8-DS /AN000
A4	P42/AN002	P42// IRQ10-DS /AN002
A5	P45/AN005	P45// IRQ13-DS /AN005
A6	P90/TXD7/SMOSI7/SSDA7	P90// A16 /TXD7/SMOSI7/SSDA7// AN114
A7	P92/RXD7/SMISO7/SSCL7	P92// A18 / POE4# /RXD7/SMISO7/SSCL7// AN116
A8	PD2/D2[A2/D2]/MTIOC4D/IRQ2	PD2/D2[A2/D2]/MTIOC4D// TIC2 / CRX0 / MISOC / MMC_D2-B / SDHI_D2-B / QIO2-B /IRQ2// AN110
A9	PD6/D6[A6/D6]/MTIC5V// POE1# /IRQ6	PD6/D6[A6/D6]/MTIC5V// MTIOC8A / POE4# / SSLC2 / MMC_D0-B / SDHI_D0-B / QIO0-B / QMO-B /IRQ6// AN106
A10	PK3 / RXD9 / SMISO9 / SSCL9	VSS
A11	P62	P62// CS2# // RAS#
A12	PE1/D9[A9/D9]/MTIOC4C/TXD12/TXDX12/SIOX12/SMOSI12/SSDA12// AN009 / CMPB0	PE1/D9[A9/D9]/MTIOC4C// MTIOC3B / PO18 /TXD12/SMOSI12/SSDA12/TXDX12/SIOX12// SSLB2-B / MMC_D5-B / ANEX1
A13	PE3/D11[A11/D11]/MTIOC4B/POE8#/CTS12#/RTS12#/SS12// AN011 / CMPA1	PE3/D11[A11/D11]/MTIOC4B// PO26 /POE8// TOC3 /CTS12#/RTS12#/SS12// MMC_D7-B // AN101
B1	VREFH	AVCC1
B2	AVCC0	AVCC0
B3	P05/DA1	P05// IRQ13 /DA1
B4	VREFL0	VREFL0
B5	P43/AN003	P43// IRQ11-DS /AN003
B6	P47/AN007	P47// IRQ15-DS /AN007
B7	P91/SCK7	P91// A17 /SCK7// AN115
B8	PD0/D0[A0/D0]/IRQ0	PD0/D0[A0/D0]// POE4# /IRQ0// AN108
B9	PD4/D4[A4/D4]// POE3# /IRQ4	PD4/D4[A4/D4]// MTIOC8B / POE11# / SSLC0 / MMC_CMD-B / SDHI_CMD-B / QSSL-B /IRQ4// AN112
B10	PK2 / TXD9 / SMOSI9 / SSDA9	VCC
B11	P61// CTS9# // RTS9# // SS9#	P61// CS1# // SDCS#
B12	PE2/D10[A10/D10]/MTIOC4A/RXD12/RXDX12/SMISO12/SSCL12/IRQ7-DS// AN010 / CVR EFB0	PE2/D10[A10/D10]/MTIOC4A// PO23 / TIC3 /RXD12/SMISO12/SSCL12/RXDX12// SSLB3-B / MMC_D6-B /IRQ7-DS// AN100
B13	PE4/D12[A12/D12]/MTIOC4D/MTIOC1A// AN012 / CMPA2	PE4/D12[A12/D12]/MTIOC4D/MTIOC1A// PO28 / SSLB0-B // AN102
C1	VREFL	AVSS1
C2	P02/TMCI1/SCK6	P02/TMCI1/SCK6// IRQ10 // AN120
C3	VREFH0	VREFH0
C4	P41/AN001	P41// IRQ9-DS /AN001
C5	P46/AN006	P46// IRQ14-DS /AN006
C6	VSS	VSS

145 ピン TFLGA	RX210	RX651
C7	PD1/D1[A1/D1]/MTIOC4B/IRQ1	PD1/D1[A1/D1]/MTIOC4B/ POE0#/CTX0/MO SIC/IRQ1/AN109
C8	PD3/D3[A3/D3]/POE8#/IRQ3	PD3/D3[A3/D3]/ MTIOC8D/POE8#/TOC2/RS PCKC/MMC_D3-B/SDHI_D3-B/QIO3-B/IRQ 3/AN111
C9	PD7/D7[A7/D7]/MTIC5U/POE0#/IRQ7	PD7/D7[A7/D7]/MTIC5U/POE0#/ SSLC3/MM C_D1-B/SDHI_D1-B/QIO1-B/QMI-B/IRQ7/A N107
C10	P63	P63/ CS3#/CAS#
C11	PE0/D8[A8/D8]/SCK12/ AN008	PE0/D8[A8/D8]/ MTIOC3D/SCK12/SSLB1-B/ MMC_D4-B/ANEX0
C12	P70/ SCK4	P70/ SDCLK
C13	PK4/RXD4/SMISO4/SSCL4	VSS
D1	P00/TMRI0/TXD6/SMOSI6/SSDA6	P00/TMRI0/TXD6/SMOSI6/SSDA6/ IRQ8/AN 118
D2	PF5/IRQ4	PF5/IRQ4
D3	P03/DA0	P03/ IRQ11/DA0
D4	P01/TMCIO/RXD6/SMISO6/SSCL6	P01/TMCIO/RXD6/SMISO6/SSCL6/ IRQ9/AN 119
D5	VCC	VCC
D6	P93/CTS7#/RTS7#/SS7#	P93/ A19/POE0#/CTS7#/RTS7#/SS7#/AN11 7
D7	PD5/D5[A5/D5]/MTIC5W/ POE2#/IRQ5	PD5/D5[A5/D5]/MTIC5W/ MTIOC8C/POE10 #/SSLC1/MMC_CLK-B/SDHI_CLK-B/QSPC LK-B/IRQ5/AN113
D8	P60/ SCK9	P60/ CS0#
D9	P64	P64/ CS4#/WE#
D10	PE7/D15[A15/D15]/IRQ7/ AN015	PE7/D15[A15/D15]/ MTIOC6A/TOC1/MISOB -B/MMC_RES#-B/SDHI_WP-B/IRQ7/AN105
D11	PK5/TXD4/SMOSI4/SSDA4	VCC
D12	PE5/D13[A13/D13]/MTIOC4C/MTIOC2B/IR Q5/ AN013	PE5/D13[A13/D13]/MTIOC4C/MTIOC2B/ RS PCKB-B/IRQ5/AN103
D13	PE6/D14[A14/D14]/ CTS4#/RTS4#/SS4#/IR Q6/AN014	PE6/D14[A14/D14]/ MTIOC6C/TIC1/MOSIB- B/MMC_CD-B/SDHI_CD-B/IRQ6/AN104
E1	VSS	VSS
E2	VCL	VCL
E3	PJ5	PJ5/ POE8#/CTS2#/RTS2#/SS2#
E4	NC	EMLE
E5	P44/AN004	P44/ IRQ12-DS/AN004
E10	PA0/A0/BC0#/MTIOC4A/TIOCA0/SSLA1/C ACREF	PA0/A0/BC0#/MTIOC4A/ MTIOC6D/TIOCA0 /CACREF/PO16/SSLA1-B
E11	P66	P66/ CS6#/DQM0/MTIOC7D
E12	P65	P65/ CS5#/CKE
E13	P67	P67/ CS7#/DQM1/MTIOC7C/IRQ15
F1	XCIN	XCIN
F2	XCOUT	XCOUT
F3	PJ3/MTIOC3C/CTS6#/RTS6#/SS6#/CTS0#/ RTS0#/SS0#	PJ3/ EDACK1/MTIOC3C/CTS6#/RTS6#/CT S0#/RTS0#/SS6#/SS0#
F4	PJ1/MTIOC3A	VBATT
F10	PA3/A3/MTIOC0D/MTCLKD/TIOCD0/TCLK B/RXD5/SMISO5/SSCL5/IRQ6-DS/ CMPB1	PA3/A3/MTIOC0D/MTCLKD/TIOCD0/TCLK B/ PO19/RXD5/SMISO5/SSCL5/IRQ6-DS
F11	VSS	VSS

145 ピン TFLGA	RX210	RX651
F12	PA1/A1/MTIOC0B/MTCLKC/TIOCB0/SCK5/SSLA2/ CVREFA	PA1/A1/MTIOC0B/MTCLKC/ MTIOC7B /TIOCB0/ PO17 /SCK5/SSLA2-B/ IRQ11
F13	PA2/A2/RXD5/SMISO5/SSCL5/SSLA3	PA2/A2/ MTIOC7A / PO18 /RXD5/SMISO5/SSCL5/SSLA3-B
G1	XTAL/P37	XTAL/P37
G2	RES#	RES#
G3	MD/FINED	MD/FINED
G4	NC	BSCANP
G10	PA5/A5/TIOCB1/RSPCKA	PA5/A5/ MTIOC6B /TIOCB1/ PO21 /RSPCKA-B
G11	PA6/A6/MTIC5V/MTCLKB/TMCI3/ POE2# /TIOCA2/CTS5#/RTS5#/SS5#/MOSIA	PA6/A6/MTIC5V/MTCLKB/TIOCA2/TMCI3/ PO22 / POE10# /CTS5#/RTS5#/SS5#/MOSIA-B
G12	VCC	VCC
G13	PA4/A4/MTIC5U/MTCLKA/TMRI0/TIOCA1/TXD5/SMOSI5/SSDA5/SSLA0/IRQ5-DS/ CVR EFB1	PA4/A4/MTIC5U/MTCLKA/TIOCA1/TMRI0/ PO20 /TXD5/SMOSI5/SSDA5/SSLA0-B/IRQ5-DS
H1	EXTAL/P36	EXTAL/P36
H2	VCC	VCC
H3	VSS	VSS
H4	P35/NMI	UPSEL /P35/NMI
H10	P72	P72/ A19 / CS2#
H11	P71	P71/ A18 / CS1#
H12	PB0/A8/MTIC5W/TIOCA3/RXD4/SMISO4/SSCL4/RXD6/SMISO6/SSCL6/ RSPCKA	PB0/A8/MTIC5W/TIOCA3/ PO24 /RXD4/RXD6/SMISO4/SMISO6/SSCL4/SSCL6/ IRQ12
H13	PA7/A7/TIOCB2/MISOA	PA7/A7/TIOCB2/ PO23 /MISOA-B
J1	P34/MTIOC0A/TMCI3/ POE2# /SCK6/SCK0/IRQ4	TRST# /P34/MTIOC0A/TMCI3/ PO12 / POE10# /SCK6/SCK0/IRQ4
J2	P33/MTIOC0D/TMRI3/ POE3# /TIOCD0/RXD6/SMISO6/SSCL6/RXD0/SMISO0/SSCL0/IRQ3-DS	P33/ EDREQ1 /MTIOC0D/TIOCD0/TMRI3/ PO11 / POE4# / POE11# /RXD6/RXD0/SMISO6/SMISO0/SSCL6/SSCL0/ CRX0 / PCKO /IRQ3-DS
J3	P32/MTIOC0C/TMO3/TIOCC0/TXD6/SMOSI6/SSDA6/TXD0/SMOSI0/SSDA0/IRQ2-DS/RTCOUT/RTCIC2	P32/MTIOC0C/TIOCC0/TMO3/ PO10 /RTCOUT/RTCIC2/ POE0# / POE10# /TXD6/TXD0/SMOSI6/SMOSI0/SSDA6/SSDA0/ CTX0 / USB0_VBUSEN / VSYNC /IRQ2-DS
J4	P30/MTIOC4B/TMRI3/ POE8# /RXD1/SMISO1/SSCL1/IRQ0-DS/RTCIC0	TDI /P30/MTIOC4B/TMRI3/ PO8 /RTCIC0/ POE8# /RXD1/SMISO1/SSCL1/ MISOB-A /IRQ0-DS
J10	PB3/A11/MTIOC0A/MTIOC4A/TMO0/ POE3# /TIOCD3/TCLKD/SCK4/SCK6	PB3/A11/MTIOC0A/MTIOC4A/TIOCD3/TCLKD/TMO0/ PO27 / POE11# /SCK4/SCK6/ SDSI_D3-B
J11	PB4/A12/TIOCA4/CTS9#/RTS9#/SS9#	PB4/A12/TIOCA4/ PO28 /CTS9#/RTS9#/SS9#/ CTS11# / RTS11# / SS11# / SDSI_CMD-B
J12	PB2/A10/TIOCC3/TCLKC/CTS4#/RTS4#/SS4#/CTS6#/RTS6#/SS6#	PB2/A10/TIOCC3/TCLKC/ PO26 /CTS4#/RTS4#/CTS6#/RTS6#/SS4#/SS6#/ SDSI_D2-B
J13	PB1/A9/MTIOC0C/MTIOC4C/TMCI0/TIOCB3/TXD4/SMOSI4/SSDA4/TXD6/SMOSI6/SSDA6/IRQ4-DS	PB1/A9/MTIOC0C/MTIOC4C/TIOCB3/TMCI0/ PO25 /TXD4/TXD6/SMOSI4/SMOSI6/SSDA4/SSDA6/IRQ4-DS
K1	P27/ CS3# /MTIOC2B/TMCI3/SCK1	TCK /P27/ CS7# /MTIOC2B/TMCI3/ PO7 /SCK1/ RSPCKB-A

145 ピン TFLGA	RX210	RX651
K2	P26/ CS2# /MTIOC2A/TMO1/TXD1/SMOSI1/SSDA1/CTS3#/RTS3#/SS3#	TDO /P26/ CS6# /MTIOC2A/TMO1/ PO6 /TXD1/CTS3#/RTS3#/SMOSI1/SS3#/SSDA1/ MO SIB-A
K3	P31/MTIOC4D/TMCI2/CTS1#/RTS1#/SS1#/IRQ1-DS/RTCIC1	TMS /P31/MTIOC4D/TMCI2/ PO9 /RTCIC1/CTS1#/RTS1#/SS1#/ SSLB0-A /IRQ1-DS
K4	P15/MTIOC0B/MTCLKB/TMCI2/TIOCB2/TCLKB/RXD1/SMISO1/SSCL1/SCK3/IRQ5	P15/MTIOC0B/MTCLKB/TIOCB2/TCLKB/TMCI2/ PO13 /RXD1/SCK3/SMISO1/SSCL1/ C RX1-DS/PIXD0 /IRQ5
K5	P54/ALE/MTIOC4B/TMCI1/CTS2#/RTS2#/SS2#	TRDATA2 /P54/ALE/ EDACK0 /MTIOC4B/TMCI1/CTS2#/RTS2#/SS2#/ CTX1
K6	BCLK/P53	P53/BCLK
K7	P51/WR1#/BC1#/WAIT#/SCK2	P51/WR1#/BC1#/WAIT#/SCK2/ SSLB2-A
K8	VCC	VCC
K9	P80/MTIOC3B/SCK10	TRDATA0 /P80/ EDREQ0 /MTIOC3B/ PO26 /SCK10/RTS10#/ MMC_D2-A/SDHI_WP-A/QI O2-A
K10	P76/RXD11/SMISO11/SSCL11	TRDATA6 /P76/ CS6# / PO22 /RXD11/SMISO11/SSCL11/ MMC_CMD-A/SDHI_CMD-A/SD SI_CMD-A/QSSL-A
K11	PB7/A15/MTIOC3B/TIOCB5/TXD9/SMOSI9/SSDA9	PB7/A15/MTIOC3B/TIOCB5/ PO31 /TXD9/SMOSI9/SSDA9/ TXD11/SMOSI11/SSDA11/SD SI_D1-B
K12	PB6/A14/MTIOC3D/TIOCA5/RXD9/SMISO9/SSCL9	PB6/A14/MTIOC3D/TIOCA5/ PO30 /RXD9/SMISO9/SSCL9/ RXD11/SMISO11/SSCL11/SD SI_D0-B
K13	PB5/A13/MTIOC2A/MTIOC1B/TMRI1/ POE1# /TIOCB4/SCK9	PB5/A13/MTIOC2A/MTIOC1B/TIOCB4/TMRI1/ PO29/POE4# /SCK9/ SCK11/SDSI_CLK-B
L1	P25/ CS1# /MTIOC4C/MTCLKB/TIOCA4/RXD3/SMISO3/SSCL3/ADTRG0#	P25/ CS5# / EDACK1 /MTIOC4C/MTCLKB/TIOCA4/ PO5 /RXD3/SMISO3/SSCL3/ HSYNC/ADTRG0#
L2	P23/MTIOC3D/MTCLKD/TIOCD3/CTS0#/RTS0#/SS0#/TXD3/SMOSI3/SSDA3	P23/ EDACK0 /MTIOC3D/MTCLKD/TIOCD3/ PO3 /TXD3/CTS0#/RTS0#/SMOSI3/SS0#/SSDA3/ PIXD7
L3	P16/MTIOC3C/MTIOC3D/TMO2/TIOCB1/TCLKC/TXD1/SMOSI1/SSDA1/ MOSIA/SCL-DS /RXD3/SMISO3/SSCL3/IRQ6/RTCOUT/ADTRG0#	P16/MTIOC3C/MTIOC3D/TIOCB1/TCLKC/TMO2/ PO14 /RTCOUT/TXD1/RXD3/SMOSI1/SMISO3/SSDA1/SSCL3/ SCL2-DS/USB0_VBUS/USB0_VBUSEN/USB0_OVRCURB/IRQ6/ADTRG0#
L4	P24/ CS0# /MTIOC4A/MTCLKA/TMRI1/TIOCB4/SCK3	P24/ CS4# / EDREQ1 /MTIOC4A/MTCLKA/TIOCB4/TMRI1/ PO4 /SCK3/ USB0_VBUSEN/PIXCLK
L5	P13/MTIOC0B/TMO3/TIOCA5/ SDA /TXD2/SMOSI2/SSDA2/IRQ3	P13/MTIOC0B/TIOCA5/TMO3/ PO13 /TXD2/SMOSI2/SSDA2/ SDA0[FM+] /IRQ3/ ADTRG1#
L6	P56/MTIOC3C/TIOCA1	P56/ EDACK1 /MTIOC3C/TIOCA1
L7	P52/RD#/RXD2/SMISO2/SSCL2	P52/RD#/RXD2/SMISO2/SSCL2/ SSLB3-A
L8	P83/MTIOC4C/CTS10#/ RTS10#	TRCLK /P83/ EDACK1 /MTIOC4C/CTS10#/ S S10#/SCK10
L9	PC5/A21/CS2#/WAIT#/MTIOC3B/MTCLKD/TMRI2/SCK8/RSPCKA	PC5/A21/CS2#/WAIT#/MTIOC3B/MTCLKD/TMRI2/ PO29 /SCK8/RSPCKA-A/ SCK10/MM C_D5-A

145 ピン TFLGA	RX210	RX651
L10	PC4/A20/CS3#/MTIOC3D/MTCLKC/TMCI1/POE0#/SCK5/CTS8#/RTS8#/SS8#/SSLA0	PC4/A20/CS3#/MTIOC3D/MTCLKC/TMCI1/PO25/POE0#/SCK5/CTS8#/RTS8#/SS8#/SSLA0-A/CTS10#/RTS10#/SS10#/MMC_D1-A/SDHI_D1-A/SDSI_D1-A/QIO1-A/QMI-A
L11	PC2/A18/MTIOC4B/TCLKA/RXD5/SMISO5/SSCL5/SSLA3	PC2/A18/MTIOC4B/TCLKA/PO21/RXD5/SMISO5/SSCL5/SSLA3-A/MMC_CD-A/SDHI_D3-A/SDSI_D3-A
L12	P73	TRDATA4/P73/CS3#/PO16
L13	PL0	VSS
M1	P22/MTIOC3B/MTCLKC/TMO0/TIOCC3/SCK0	P22/EDREQ0/MTIOC3B/MTCLKC/TIOCC3/TMO0/PO2/SCK0/USB0_OVRCURB/PIXD6
M2	P17/MTIOC3A/MTIOC3B/TMO1/POE8#/TIOCB0/TCLKD/SCK1/MISOA/SDA-DS/TXD3/SMOSI3/SSDA3/IRQ7	P17/MTIOC3A/MTIOC3B/MTIOC4B/TIOCB0/TCLKD/TMO1/PO15/POE8#/SCK1/TXD3/SMOSI3/SSDA3/SDA2-DS/PIXD3/IRQ7/ADTRG1#
M3	P86/TIOCA0	P86/MTIOC4D/TIOCA0/RXD10/SMISO10/SSCL10/PIXD1
M4	P12/TMCI1/SCL/RXD2/SMISO2/SSCL2/IRQ2	P12/TMCI1/RXD2/SMISO2/SSCL2/SCL0[F M+]/IRQ2
M5	PH3/TMCI0	VCC_USB
M6	PH0/CACREF	VSS_USB
M7	P50/WR0#/WR#/TXD2/SMOSI2/SSDA2	P50/WR0#/WR#/TXD2/SMOSI2/SSDA2/SSLB1-A
M8	PC6/A22/CS1#/MTIOC3C/MTCLKA/TMCI2/RXD8/SMISO8/SSCL8/MOSIA	PC6/A22/CS1#/MTIOC3C/MTCLKA/TMCI2/TIC0/PO30/RXD8/SMISO8/SSCL8/MOSIA-A/RXD10/SMISO10/SSCL10/MMC_D6-A/IRQ13
M9	P81/MTIOC3D/RXD10/SMISO10/SSCL10	TRDATA1/P81/EDACK0/MTIOC3D/PO27/RXD10/SMISO10/SSCL10/MMC_D3-A/SDHI_CD-A/QIO3-A
M10	P77/TXD11/SMOSI11/SSDA11	TRDATA7/P77/CS7#/PO23/TXD11/SMOSI11/SSDA11/MMC_CLK-A/SDHI_CLK-A/SDSI_CLK-A/QSPCLK-A
M11	PC0/A16/MTIOC3C/TCLKC/CTS5#/RTS5#/SS5#/SSLA1	PC0/A16/MTIOC3C/TCLKC/PO17/CTS5#/RTS5#/SS5#/SSLA1-A/IRQ14
M12	PC1/A17/MTIOC3A/TCLKD/SCK5/SSLA2	PC1/A17/MTIOC3A/TCLKD/PO18/SCK5/SSLA2-A/IRQ12
M13	PL1	VCC
N1	P21/MTIOC1B/TMCI0/TIOCA3/RXD0/SMISO0/SSCL0	P21/MTIOC1B/MTIOC4A/TIOCA3/TMCI0/PO1/RXD0/SMISO0/SSCL0/USB0_EXICEN/PIXD5/IRQ9
N2	P20/MTIOC1A/TMRI0/TIOCB3/TXD0/SMOSI0/SSDA0	P20/MTIOC1A/TIOCB3/TMRI0/PO0/TXD0/SMOSI0/SSDA0/USB0_ID/PIXD4/IRQ8
N3	P87/TIOCA2	P87/MTIOC4C/TIOCA2/TXD10/SMOSI10/SSDA10/PIXD2
N4	P14/MTIOC3A/MTCLKA/TMRI2/TIOCB5/TCLKA/CTS1#/RTS1#/SS1#/IRQ4	P14/MTIOC3A/MTCLKA/TIOCB5/TCLKA/TMRI2/PO15/CTS1#/RTS1#/SS1#/CTX1/USB0_OVRCURA/IRQ4
N5	PH2/TMRI0/IRQ1	USB0_DM
N6	PH1/TMO0/IRQ0	USB0_DP
N7	P55/WAIT#/MTIOC4D/TMO3	TRDATA3/P55/WAIT#/EDREQ0/MTIOC4D/TMO3/CRX1/IRQ10
N8	VSS	VSS

145 ピン TFLGA	RX210	RX651
N9	PC7/A23/CS0#/MTIOC3A/TMO2/MTCLKB/TXD8/SMOSI8/SSDA8/MISOA/CACREF	UB/PC7/A23/CS0#/MTIOC3A/MTCLKB/TMO2/TOC0/PO31/CACREF/TXD8/SMOSI8/SSDA8/MISOA-A/TXD10/SMOSI10/SSDA10/MMC_D7-A/IRQ14
N10	P82/MTIOC4A/TXD10/SMOSI10/SSDA10	TRSYNC/P82/EDREQ1/MTIOC4A/PO28/TXD10/SMOSI10/SSDA10/MMC_D4-A
N11	PC3/A19/MTIOC4D/TCLKB/TXD5/SMOSI5/SSDA5	PC3/A19/MTIOC4D/TCLKB/PO24/TXD5/SMOSI5/SSDA5/MMC_D0-A/SDHI_D0-A/SDSI_D0-A/QIO0-A/QMO-A
N12	P75/SCK11	TRSYNC1/P75/CS5#/PO20/SCK11/RTS11#/MMC_RES#-A/SDHI_D2-A/SDSI_D2-A
N13	P74/CTS11#/RTS11#/SS11#	TRDATA5/P74/A20/CS4#/PO19/CTS11#/SS11#

3.3 100 ピンパッケージ (QFP)

エラー! 参照元が見つかりません。表 3.3 に 100 ピンパッケージ端子機能の比較 (QFP) を示します。

表 3.3 100 ピンパッケージ端子機能の比較 (QFP)

100 ピン	RX210 (LFQFP)	RX651 (LQFP)
1	VREFH	AVCC1
2	P03/DA0	EMLE
3	VREFL	AVSS1
4	PJ3/MTIOC3C/CTS6#/RTS6#/SS6#	PJ3/EDACK1/MTIOC3C//CTS6#/RTS6#/CTS0#/RTS0#/SS6#/SS0#
5	VCL	VCL
6	PJ1/MTIOC3A	VBATT
7	MD/FINED	MD/FINED
8	XCIN	XCIN
9	XCOUT	XCOUT
10	RES#	RES#
11	XTAL/P37	P37/XTAL
12	VSS	VSS
13	EXTAL/P36	P36/EXTAL
14	VCC	VCC
15	P35/NMI	P35/UPSEL/NMI
16	P34/MTIOC0A/TMCI3/POE2#/SCK6/IRQ4	P34/TRST#/MTIOC0A/TMCI3/PO12/POE10#/SCK6/SCK0/IRQ4
17	P33/MTIOC0D/TMRI3/POE3#/RXD6/SMISO6/SSCL6/IRQ3-DS	P33/EDREQ1/MTIOC0D/TIOC0D/TMRI3/PO11/POE4#/POE11#/RXD6/RXD0/SMISO6/SMISO0/SSCL6/SSCL0/CRX0/IRQ3-DS
18	P32/MTIOC0C/TMO3/TXD6/SMOSI6/SSDA6/IRQ2-DS/RTCOU2/RTCIC2	P32/MTIOC0C/TIOCC0/TMO3/PO10/RTCOU2/RTCIC2/POE0#/POE10#/TXD6/TXD0/SMOSI6/SMOSI0/SSDA6/SSDA0/CTX0/USB0_VBUSEN/IRQ2-DS
19	P31/MTIOC4D/TMCI2/CTS1#/RTS1#/SS1#/IRQ1-DS/RTCIC1	P31/TMS/MTIOC4D/TMCI2/PO9/RTCIC1/CTS1#/RTS1#/SS1#/SSLB0-A/IRQ1-DS
20	P30/MTIOC4B/TMRI3/POE8#/RXD1/SMISO1/SSCL1/IRQ0-DS/RTCIC0	P30/TDI/MTIOC4B/TMRI3/PO8/RTCIC0/POE8#/RXD1/SMISO1/SSCL1/MISOB-A/IRQ0-DS
21	P27/CS3#/MTIOC2B/TMCI3/SCK1	P27/TCK/CS7#/MTIOC2B/TMCI3/PO7/SCK1/RSPCKB-A
22	P26/CS2#/MTIOC2A/TMO1/TXD1/SMOSI1/SSDA1	P26/TDO/CS6#/MTIOC2A/TMO1/PO6/TXD1/CTS3#/RTS3#/SMOSI1/SS3#/SSDA1/MOSIB-A
23	P25/CS1#/MTIOC4C/MTCLKB/ADTRG0#	P25/CS5#/EDACK1/MTIOC4C/MTCLKB/TIOCA4/PO5/RXD3/SMISO3/SSCL3/ADTRG0#
24	P24/CS0#/MTIOC4A/MTCLKA/TMRI1	P24/CS4#/EDREQ1/MTIOC4A/MTCLKA/TIOC0B4/TMRI1/PO4/SCK3/USB0_VBUSEN
25	P23/MTIOC3D/MTCLKD/CTS0#/RTS0#/SS0#	P23/EDACK0/MTIOC3D/MTCLKD/TIOC0D3/PO3/TXD3/CTS0#/RTS0#/SMOSI3/SS0#/SSDA3
26	P22/MTIOC3B/MTCLKC/TMO0/SCK0	P22/EDREQ0/MTIOC3B/MTCLKC/TIOCC3/TMO0/PO2/SCK0/USB0_OVRCURB
27	P21/MTIOC1B/TMCI0/RXD0/SMISO0/SSCL0	P21/MTIOC1B/MTIOC4A/TIOCA3/TMCI0/PO1/RXD0/SMISO0/SSCL0/USB0_EXICEN/IRQ9

100 ピン	RX210 (LFQFP)	RX651 (LQFP)
28	P20/MTIOC1A/TMRI0/TXD0/SMOSI0/SSDA0	P20/MTIOC1A/ TIOC3B /TMRI0/ PO0 /TXD0/SMOSI0/SSDA0/ USB0_ID /IRQ8
29	P17/MTIOC3A/MTIOC3B/TMO1/POE8#/SCK1/ MISOA / SDA-DS /IRQ7	P17/MTIOC3A/MTIOC3B/ MTIOC4B / TIOC3B /TCLKD/TMO1/ PO15 /POE8#/SCK1/TXD3/SMOSI3/SSDA3/ SDA2-DS /IRQ7/ADTRG1#
30	P16/MTIOC3C/MTIOC3D/TMO2/TXD1/SMOSI1/SSDA1/ MOSIA / SCL-DS /IRQ6/RTCOUT/ADTRG0#	P16/MTIOC3C/MTIOC3D/ TIOC3B /TCLKC/TMO2/ PO14 /RTCOUT/TXD1/ RXD3 /SMOSI1/SMISO3/SSDA1/ SSCL3 / SCL2-DS / USB0_VBUS / USB0_VBUSEN / USB0_OVRCURB /IRQ6/ADTRG0#
31	P15/MTIOC0B/MTCLKB/TMCI2/RXD1/SMISO1/SSCL1/IRQ5	P15/MTIOC0B/MTCLKB/ TIOC3B /TCLKB/TMCI2/ PO13 /RXD1/ SCK3 /SMISO1/SSCL1/ CRX1-DS /IRQ5
32	P14/MTIOC3A/MTCLKA/TMRI2/CTS1#/RTS1#/SS1#/IRQ4	P14/MTIOC3A/MTCLKA/ TIOC3B /TCLKA/TMRI2/ PO15 /CTS1#/RTS1#/SS1#/ CTX1 / USB0_OVRCURA /IRQ4
33	P13/MTIOC0B/TMO3/ SDA /IRQ3	P13/MTIOC0B/ TIOCA5 /TMO3/ PO13 /TXD2/SMOSI2/SSDA2/ SDA0 [FM+]/IRQ3/ADTRG1#
34	P12/TMCI1/ SCL /IRQ2	P12/TMCI1/ RXD2 /SMISO2/SSCL2/ SCL0 [FM+]/IRQ2
35	PH3 /TMCI0	VCC_USB
36	PH2 /TMRI0/IRQ1	USB0_DM
37	PH1 /TMO0/IRQ0	USB0_DP
38	PH0 /CACREF	VSS_USB
39	P55/WAIT#/MTIOC4D/TMO3	P55/WAIT#/ EDREQ0 /MTIOC4D/TMO3/ CRX1 /IRQ10
40	P54/ALE/MTIOC4B/TMCI1	P54/ALE/ EDACK0 /MTIOC4B/TMCI1/ CTS2 #/ RTS2 #/ SS2 #/ CTX1
41	BCLK/P53	P53/BCLK
42	P52/RD#	P52/RD#/ RXD2 /SMISO2/SSCL2/SSLB3-A
43	P51/WR1#/BC1#/WAIT#	P51/WR1#/BC1#/WAIT#/ SCK2 /SSLB2-A
44	P50/WR0#/WR#	P50/WR0#/WR#/ TXD2 /SMOSI2/SSDA2/SSLB1-A
45	PC7/A23/CS0#/MTIOC3A/TMO2/MTCLKB/TXD8/SMOSI8/SSDA8/MISOA/CACREF	PC7/ UB /A23/CS0#/MTIOC3A/MTCLKB/TMO2/ TOC0 / PO31 /CACREF/TXD8/SMOSI8/SSDA8/MISOA-A/ TXD10 /SMOSI10/SSDA10/IRQ14
46	PC6/A22/CS1#/MTIOC3C/MTCLKA/TMCI2/RXD8/SMISO8/SSCL8/MOSIA	PC6/A22/CS1#/MTIOC3C/MTCLKA/TMCI2/ TIC0 / PO30 /RXD8/SMISO8/SSCL8/MOSIA-A/ RXD10 /SMISO10/SSCL10/IRQ13
47	PC5/A21/CS2#/WAIT#/MTIOC3B/MTCLKD/TMRI2/SCK8/RSPCKA	PC5/A21/CS2#/WAIT#/MTIOC3B/MTCLKD/TMRI2/ PO29 /SCK8/RSPCKA-A/ SCK10
48	PC4/A20/CS3#/MTIOC3D/MTCLKC/TMCI1/POE0#/SCK5/CTS8#/RTS8#/SS8#/SSLA0	PC4/A20/CS3#/MTIOC3D/MTCLKC/TMCI1/ PO25 /POE0#/SCK5/CTS8#/RTS8#/SS8#/SSLA0-A/ CTS10 #/ RTS10 #/ SS10 #
49	PC3/A19/MTIOC4D/TXD5/SMOSI5/SSDA5	PC3/A19/MTIOC4D/ TCLKB / PO24 /TXD5/SMOSI5/SSDA5
50	PC2/A18/MTIOC4B/RXD5/SMISO5/SSCL5/SSLA3	PC2/A18/MTIOC4B/ TCLKA / PO21 /RXD5/SMISO5/SSCL5/SSLA3-A
51	PC1/A17/MTIOC3A/SCK5/SSLA2	PC1/A17/MTIOC3A/ TCLKD / PO18 /SCK5/SSLA2-A/ IRQ12
52	PC0/A16/MTIOC3C/CTS5#/RTS5#/SS5#/SSLA1	PC0/A16/MTIOC3C/ TCLKC / PO17 /CTS5#/RTS5#/SS5#/SSLA1-A/ IRQ14

100 ピン	RX210 (LFQFP)	RX651 (LQFP)
53	PB7/A15/MTIOC3B/TXD9/SMOSI9/SSDA9	PB7/A15/MTIOC3B/TIOCB5/PO31/TXD9/SMOSI9/SSDA9/TXD11/SMOSI11/SSDA11/SDSI_D1-B
54	PB6/A14/MTIOC3D/RXD9/SMISO9/SSCL9	PB6/A14/MTIOC3D/TIOCA5/PO30/RXD9/SMISO9/SSCL9/RXD11/SMISO11/SSCL11/SDSI_D0-B
55	PB5/A13/MTIOC2A/MTIOC1B/TMRI1/POE1#/SCK9	PB5/A13/MTIOC2A/MTIOC1B/TIOCB4/TMRI1/PO29/POE4#/SCK9/SCK11/SDSI_CLK-B
56	PB4/A12/CTS9#/RTS9#/SS9#	PB4/A12/TIOCA4/PO28/CTS9#/RTS9#/SS9#/CTS11#/RTS11#/SS11#/SDSI_CMD-B
57	PB3/A11/MTIOC0A/MTIOC4A/TMO0/POE3#/SCK6	PB3/A11/MTIOC0A/MTIOC4A/TIOCD3/TCLKD/TMO0/PO27/POE1#/SCK6/SDSI_D3-B
58	PB2/A10/CTS6#/RTS6#/SS6#	PB2/A10/TIOCC3/TCLKC/PO26/CTS6#/RTS6#/SS6#/SDSI_D2-B
59	PB1/A9/MTIOC0C/MTIOC4C/TMCI0/TXD6/SMOSI6/SSDA6/IRQ4-DS	PB1/A9/MTIOC0C/MTIOC4C/TIOCB3/TMCI0/PO25/TXD6/SMOSI6/SSDA6/IRQ4-DS
60	VCC	VCC
61	PB0/A8/MTIC5W/RXD6/SMISO6/SSCL6/RS PCKA	PB0/A8/MTIC5W/TIOCA3/PO24/RXD6/SMISO6/SSCL6/IRQ12
62	VSS	VSS
63	PA7/A7/MISOA	PA7/A7/TIOCB2/PO23/MISOA-B
64	PA6/A6/MTIC5V/MTCLKB/TMCI3/POE2#/CTS5#/RTS5#/SS5#/MOSIA	PA6/A6/MTIC5V/MTCLKB/TIOCA2/TMCI3/PO22/POE10#/CTS5#/RTS5#/SS5#/MOSIA-B
65	PA5/A5/RSPCKA	PA5/A5/MTIOC6B/TIOCB1/PO21/RSPCKA-B
66	PA4/A4/MTIC5U/MTCLKA/TMRI0/TXD5/SMOSI5/SSDA5/SSLA0/IRQ5-DS/CVREFB1	PA4/A4/MTIC5U/MTCLKA/TIOCA1/TMRI0/PO20/TXD5/SMOSI5/SSDA5/SSLA0-B/IRQ5-DS
67	PA3/A3/MTIOC0D/MTCLKD/RXD5/SMISO5/SSCL5/IRQ6-DS/CMPB1	PA3/A3/MTIOC0D/MTCLKD/TIOCD0/TCLKB/PO19/RXD5/SMISO5/SSCL5/IRQ6-DS
68	PA2/A2/RXD5/SMISO5/SSCL5/SSLA3	PA2/A2/MTIOC7A/PO18/RXD5/SMISO5/SSCL5/SSLA3-B
69	PA1/A1/MTIOC0B/MTCLKC/SCK5/SSLA2/CVREFA	PA1/A1/MTIOC0B/MTCLKC/MTIOC7B/TIOCB0/PO17/SCK5/SSLA2-B/IRQ11
70	PA0/A0/BC0#/MTIOC4A/SSLA1/CACREF	PA0/A0/BC0#/MTIOC4A/MTIOC6D/TIOCA0/CACREF/PO16/SSLA1-B
71	PE7/D15[A15/D15]/IRQ7/AN015	PE7/D15[A15/D15]/MTIOC6A/TOC1/MISOB-B/MMC_RES#-B/SDHI_WP-B/IRQ7/AN105
72	PE6/D14[A14/D14]/IRQ6/AN014	PE6/D14[A14/D14]/MTIOC6C/TIC1/MOSIB-B/MMC_CD-B/SDHI_CD-B/IRQ6/AN104
73	PE5/D13[A13/D13]/MTIOC4C/MTIOC2B/IRQ5/AN013	PE5/D13[A13/D13]/MTIOC4C/MTIOC2B/RSPCKB-B/IRQ5/AN103
74	PE4/D12[A12/D12]/MTIOC4D/MTIOC1A/AN012/CMPA2	PE4/D12[A12/D12]/MTIOC4D/MTIOC1A/PO28/SSLB0-B/AN102
75	PE3/D11[A11/D11]/MTIOC4B/POE8#/CTS12#/RTS12#/SS12#/AN011/CMPA1	PE3/D11[A11/D11]/MTIOC4B/PO26/POE8#/TOC3/CTS12#/RTS12#/SS12#/MMC_D7-B/AN101
76	PE2/D10[A10/D10]/MTIOC4A/RXD12/RXDX12/SMISO12/SSCL12/IRQ7-DS/AN010/CVREFB0	PE2/D10[A10/D10]/MTIOC4A/PO23/TIC3/RXD12/SMISO12/SSCL12/RXDX12/SSLB3-B/MMC_D6-B/IRQ7-DS/AN100
77	PE1/D9[A9/D9]/MTIOC4C/TXD12/TXDX12/SIOX12/SMOSI12/SSDA12/AN009/CMPB0	PE1/D9[A9/D9]/MTIOC4C/MTIOC3B/PO18/TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/SSLB2-B/MMC_D5-B/ANEX1

100 ピン	RX210 (LFQFP)	RX651 (LQFP)
78	PE0/D8[A8/D8]/SCK12/ AN008	PE0/D8[A8/D8]/ MTIOC3D /SCK12/ SSLB1-B/MMC_D4-B/ANEX0
79	PD7/D7[A7/D7]/MTIC5U/POE0#/IRQ7	PD7/D7[A7/D7]/MTIC5U/POE0#/ SSLC3/MMC_D1-B/SDHI_D1-B/QIO1-B/QMI-B/IRQ7/AN107
80	PD6/D6[A6/D6]/MTIC5V/ POE1# /IRQ6	PD6/D6[A6/D6]/MTIC5V/ MTIOC8A/POE4# / SSLC2/MMC_D0-B/SDHI_D0-B/QIO0-B/QMO-B/IRQ6/AN106
81	PD5/D5[A5/D5]/MTIC5W/ POE2# /IRQ5	PD5/D5[A5/D5]/MTIC5W/ MTIOC8C/POE10# / SSLC1/MMC_CLK-B/SDHI_CLK-B/QSPCLK-B/IRQ5/AN113
82	PD4/D4[A4/D4]/ POE3# /IRQ4	PD4/D4[A4/D4]/ MTIOC8B/POE11# / SSLC0/MMC_CMD-B/SDHI_CMD-B/QSSL-B/IRQ4/AN112
83	PD3/D3[A3/D3]/POE8#/IRQ3	PD3/D3[A3/D3]/ MTIOC8D/POE8# / TOC2/RSPCKC/MMC_D3-B/SDHI_D3-B/QIO3-B/IRQ3/AN111
84	PD2/D2[A2/D2]/MTIOC4D/IRQ2	PD2/D2[A2/D2]/MTIOC4D/ TIC2/CRX0/MISOC/MMC_D2-B/SDHI_D2-B/QIO2-B/IRQ2/AN110
85	PD1/D1[A1/D1]/MTIOC4B/IRQ1	PD1/D1[A1/D1]/MTIOC4B/ POE0# / CTX0/MOSIC/IRQ1/AN109
86	PD0/D0[A0/D0]/IRQ0	PD0/D0[A0/D0]/ POE4# /IRQ0/ AN108
87	P47/AN007	P47/ IRQ15-DS /AN007
88	P46/AN006	P46/ IRQ14-DS /AN006
89	P45/AN005	P45/ IRQ13-DS /AN005
90	P44/AN004	P44/ IRQ12-DS /AN004
91	P43/AN003	P43/ IRQ11-DS /AN003
92	P42/AN002	P42/ IRQ10-DS /AN002
93	P41/AN001	P41/ IRQ9-DS /AN001
94	VREFL0	VREFL0
95	P40/AN000	P40/ IRQ8-DS /AN000
96	VREFH0	VREFH0
97	AVCC0	AVCC0
98	P07/ADTRG0#	P07/ IRQ15 /ADTRG0#
99	AVSS0	AVSS0
100	P05/DA1	P05/ IRQ13 /DA1

3.4 100 ピンパッケージ (TFLGA)

表 3.4 に 100 ピンパッケージ端子機能の比較 (TFLGA) を示します。

表 3.4 100 ピンパッケージ端子機能の比較 (TFLGA)

100 ピン TFLGA	RX210	RX651
A1	P05/DA1	P05/ IRQ13 /DA1
A2	VREFH	AVCC1
A3	P07/ADTRG0#	P07/ IRQ15 /ADTRG0#
A4	VREFL0	VREFL0
A5	P43/AN003	P43/ IRQ11-DS /AN003
A6	PD0/D0[A0/D0]/IRQ0	PD0/D0[A0/D0]/ POE4# /IRQ0/ AN108
A7	PD4/D4[A4/D4]/ POE3# /IRQ4	PD4/D4[A4/D4]/ MTIOC8B / POE11# / SSLC0 / MMC_CMD-B / SDHI_CMD-B / QSSL-B /IRQ4/ AN112
A8	PE0/D8[A8/D8]/SCK12/ AN008	PE0/D8[A8/D8]/ MTIOC3D /SCK12/ SSLB1-B / MMC_D4-B / ANEX0
A9	PE1/D9[A9/D9]/MTIOC4C/TXD12/TXDX12/ SIOX12/SMOSI12/SSDA12/ AN009 / CMPB0	PE1/D9[A9/D9]/MTIOC4C/ MTIOC3B / PO18 / TXD12/SMOSI12/SSDA12/TXDX12/SIOX12 / SSLB2-B / MMC_D5-B / ANEX1
A10	PE2/D10[A10/D10]/MTIOC4A/RXD12/RXDX 12/SMISO12/SSCL12/IRQ7-DS/ AN010 / CVR EFB0	PE2/D10[A10/D10]/MTIOC4A/ PO23 / TIC3 /R XD12/SMISO12/SSCL12/RXDX12/ SSLB3-B / MMC_D6-B /IRQ7-DS/ AN100
A11	P03 / DA0	EMLE
A12	AVSS0	AVSS0
A13	AVCC0	AVCC0
B1	P40/AN000	P40/ IRQ8-DS /AN000
B2	P44/AN004	P44/ IRQ12-DS /AN004
B3	PD1/D1[A1/D1]/MTIOC4B/IRQ1	PD1/D1[A1/D1]/MTIOC4B/ POE0# / CTX0 / MO SIC /IRQ1/ AN109
B4	PD3/D3[A3/D3]/POE8#/IRQ3	PD3/D3[A3/D3]/ MTIOC8D /POE8#/ TOC2 / RS PCKC / MMC_D3-B / SDHI_D3-B / QIO3-B /IRQ 3/ AN111
B5	PD6/D6[A6/D6]/MTIC5V/ POE1# /IRQ6	PD6/D6[A6/D6]/MTIC5V/ MTIOC8A / POE4# / SSLC2 / MMC_D0-B / SDHI_D0-B / QIO0-B / QM O-B /IRQ6/ AN106
B6	PD7/D7[A7/D7]/MTIC5U/POE0#/IRQ7	PD7/D7[A7/D7]/MTIC5U/POE0#/ SSLC3 / MM C_D1-B / SDHI_D1-B / QIO1 / QMI-B /IRQ7/ AN1 07
B7	PE3/D11[A11/D11]/MTIOC4B/POE8#/CTS1 2#/RTS12#/SS12#/ AN011 / CMPA1	PE3/D11[A11/D11]/MTIOC4B/ PO26 /POE8#/ TOC3 /CTS12#/RTS12#/SS12#/ MMC_D7-B / AN101
B8	VCL	VCL
B9	VREFL	AVSS1
B10	PJ3/MTIOC3C/CTS6#/RTS6#/SS6#	PJ3/ EDACK1 /MTIOC3C/CTS6#/RTS6#/ CT S0# /RTS0#/SS6#/ SS0#
B11	VREFH0	VREFH0
B12	P42/AN002	P42/ IRQ10-DS /AN002
B13	P47/AN007	P47/ IRQ15-DS /AN007
C1	PD2/D2[A2/D2]/MTIOC4D/IRQ2	PD2/D2[A2/D2]/MTIOC4D/ TIC2 / CRX0 / MIS OC / MMC_D2-B / SDHI_D2-B / QIO2-B /IRQ2/ A N110

100 ピン TFLGA	RX210	RX651
C2	PD5/D5[A5/D5]/MTIC5W/ POE2# /IRQ5	PD5/D5[A5/D5]/MTIC5W/ MTIOC8C / POE10# / SSLC1 / MMC_CLK-B / SDHI_CLK-B / QSPCLK-B /IRQ5/ AN113
C3	PE5/D13[A13/D13]/MTIOC4C/MTIOC2B/IRQ5/ AN013	PE5/D13[A13/D13]/MTIOC4C/MTIOC2B/ RS / PCKB-B /IRQ5/ AN103
C4	PE4/D12[A12/D12]/MTIOC4D/MTIOC1A/ AN012 / CMPA2	PE4/D12[A12/D12]/MTIOC4D/MTIOC1A/ PO28 / SSLB0-B / AN102
C5	XCIN	XCIN
C6	XCOUT	XCOUT
C7	MD/FINED	MD/FINED
C8	PJ1 / MTIOC3A	VBATT
C9	P45/AN005	P45/ IRQ13-DS /AN005
C10	P46/AN006	P46/ IRQ14-DS /AN006
C11	PE6/D14[A14/D14]/IRQ6/ AN014	PE6/D14[A14/D14]/ MTIOC6C / TIC1 / MOSIB-B / MMC_CD-B / SDHI_CD-B /IRQ6/ AN104
C12	PE7/D15[A15/D15]/IRQ7/ AN015	PE7/D15[A15/D15]/ MTIOC6A / TOC1 / MISOB-B / MMC_RES#-B / SDHI_WP-B /IRQ7/ AN105
C13	PA1/A1/MTIOC0B/MTCLKC/SCK5/SSLA2/ C / VREFA	PA1/A1/MTIOC0B/MTCLKC/ MTIOC7B / TIOCB0 / PO17 /SCK5/SSLA2-B/IRQ11
D1	PA0/A0/BC0#/MTIOC4A/SSLA1/CACREF	PA0/A0/BC0#/MTIOC4A/ MTIOC6D / TIOCA0 /CACREF/ PO16 /SSLA1-B
D2	XTAL/P37	XTAL/P37
D3	VSS	VSS
D4	RES#	RES#
D5	P34/MTIOC0A/TMCI3/ POE2# /SCK6/IRQ4	TRST# /P34/MTIOC0A/TMCI3/ PO12 / POE10# /SCK6/ SCK0 /IRQ4
D6	P41/AN001	P41/ IRQ9-DS /AN001
D7	PA2/A2/RXD5/SMISO5/SSCL5/SSLA3	PA2/A2/ MTIOC7A / PO18 /RXD5/SMISO5/SSCL5/SSLA3-B
D8	PA6/A6/MTIC5V/MTCLKB/TMCI3/ POE2# / CTS5# /RTS5#/SS5#/MOSIA	PA6/A6/MTIC5V/MTCLKB/ TIOCA2 /TMCI3/ PO22 / POE10# /CTS5#/RTS5#/SS5#/MOSIA-B
D9	PA4/A4/MTIC5U/MTCLKA/TMRI0/TXD5/SMOSI5/SSDA5/SSLA0/IRQ5-DS/ CVREFB1	PA4/A4/MTIC5U/MTCLKA/ TIOCA1 /TMRI0/ PO20 /TXD5/SMOSI5/SSDA5/SSLA0-B/IRQ5-DS
D10	PA5/A5/RSPCKA	PA5/A5/ MTIOC6B / TIOCB1 / PO21 /RSPCKA-B
D11	PA3/A3/MTIOC0D/MTCLKD/RXD5/SMISO5/SSCL5/IRQ6-DS/ CMPB1	PA3/A3/MTIOC0D/MTCLKD/ TIOCD0 / TCLKB / PO19 /RXD5/SMISO5/SSCL5/IRQ6-DS
D12	EXTAL/P36	EXTAL/P36
D13	VCC	VCC
E1	P35/NMI	UPSEL /P35/NMI
E2	P32/MTIOC0C/TMO3/TXD6/SMOSI6/SSDA6/IRQ2-DS/RTCCOUT/RTCIC2	P32/MTIOC0C/ TIOCC0 /TMO3/ PO10 /RTCCOUT/RTCIC2/ POE0# / POE10# /TXD6/ TXD0 /SMOSI6/ SMOSI0 /SSDA6/ SSDA0 / CTX0 / USB0_VBUSEN /IRQ2-DS
E3	P12/TMCI1/ SCL /IRQ2	P12/TMCI1/ RXD2 /SMISO2/SSCL2/ SCL0 [F / M+]/IRQ2
E4	PB3/A11/MTIOC0A/MTIOC4A/TMO0/ POE3# /SCK6	PB3/A11/MTIOC0A/MTIOC4A/ TIOCD3 / TCLKD /TMO0/ PO27 / POE11# /SCK6/ SDSI_D3-B
E5	PB2/A10/CTS6#/RTS6#/SS6#	PB2/A10/ TIOCC3 / TCLKC / PO26 /CTS6#/RTS6#SS6#/ SDSI_D2-B

100 ピン TFLGA	RX210	RX651
E10	PB0/A8/MTIC5W/RXD6/SMISO6/SSCL6/ RS PCKA	PB0/A8/MTIC5W/ TIOCA3/PO24 /RXD6/SMISO6/SSCL6/ IRQ12
E11	PA7/A7/MISOA	PA7/A7/ TIOCB2/PO23 /MISOA-B
E12	VSS	VSS
E13	P33/MTIOC0D/TMRI3/ POE3# /RXD6/SMISO6/SSCL6/IRQ3-DS	P33/ EDREQ1 /MTIOC0D/ TIOCDO /TMRI3/ PO11/POE4#/POE11# /RXD6/ RXD0 /SMISO6/ SMISO0 /SSCL6/ SSCL0/CRX0 /IRQ3-DS
F1	P31/MTIOC4D/TMCI2/CTS1#/RTS1#/SS1#/IRQ1-DS/RTCIC1	TMS /P31/MTIOC4D/TMCI2/ PO9 /RTCIC1/CTS1#/RTS1#/SS1#/ SSLB0-A /IRQ1-DS
F2	P30/MTIOC4B/TMRI3/POE8#/RXD1/SMISO1/SSCL1/IRQ0-DS/RTCIC0	TDI /P30/MTIOC4B/TMRI3/ PO8 /RTCIC0/POE8#/RXD1/SMISO1/SSCL1/ MISOB-A /IRQ0-DS
F3	P27/ CS3# /MTIOC2B/TMCI3/SCK1	TCK /P27/ CS7# /MTIOC2B/TMCI3/ PO7 /SCK1/ RSPCKB-A
F4	BCLK/P53	P53/BCLK
F10	P52/RD#	P52/RD#/ RXD2/SMISO2/SSCL2/SSLB3-A
F11	PB5/A13/MTIOC2A/MTIOC1B/TMRI1/ POE1# /SCK9	PB5/A13/MTIOC2A/MTIOC1B/ TIOCB4 /TMRI1/ PO29/POE4# /SCK9/ SCK11/SDSI_CLK-B
F12	PB4/A12/CTS9#/RTS9#/SS9#	PB4/A12/ TIOCA4/PO28 /CTS9#/RTS9#/SS9#/ CTS11#/RTS11#/SS11# /SDSI_CMD-B
F13	PB1/A9/MTIOC0C/MTIOC4C/TMCI0/TXD6/SMOSI6/SSDA6/IRQ4-DS	PB1/A9/MTIOC0C/MTIOC4C/ TIOCB3 /TMCI0/ PO25 /TXD6/SMOSI6/SSDA6/IRQ4-DS
G1	VCC	VCC
G2	P26/ CS2# /MTIOC2A/TMO1/TXD1/SMOSI1/SSDA1	TDO /P26/ CS6# /MTIOC2A/TMO1/ PO6 /TXD1/ CTS3#/RTS3# /SMOSI1/ SS3# /SSDA1/ MOSIB-A
G3	P25/ CS1# /MTIOC4C/MTCLKB/ADTRG0#	P25/ CS5# / EDACK1 /MTIOC4C/MTCLKB/ TIOCA4/PO5/RXD3/SMISO3/SSCL3 /ADTRG0#
G4	P16/MTIOC3C/MTIOC3D/TMO2/TXD1/SMOSI1/SSDA1/MOSIA/ SCL-DS /IRQ6/RTCOUT/ADTRG0#	P16/MTIOC3C/MTIOC3D/ TIOCB1/TCLKC /TMO2/ PO14 /RTCOUT/TXD1/ RXD3 /SMOSI1/ SMISO3 /SSDA1/ SSCL3/SCL2-DS /USB0_VBUS/USB0_VBUSEN/USB0_OVRCURB/IRQ6/ADTRG0#
G10	P15/MTIOC0B/MTCLKB/TMCI2/RXD1/SMISO1/SSCL1/IRQ5	P15/MTIOC0B/MTCLKB/ TIOCB2/TCLKB /TMCI2/ PO13 /RXD1/ SCK3 /SMISO1/SSCL1/ CRX1-DS /IRQ5
G11	P55/WAIT#/MTIOC4D/TMO3	P55/WAIT#/ EDREQ0 /MTIOC4D/TMO3/ CRX1 /IRQ10
G12	P54/ALE/MTIOC4B/TMCI1	P54/ALE/ EDACK0 /MTIOC4B/TMCI1/ CTS2#/RTS2#/SS2#/CTX1
G13	PC7/A23/CS0#/MTIOC3A/TMO2/MTCLKB/TXD8/SMOSI8/SSDA8/MISOA/CACREF	UB /PC7/A23/CS0#/MTIOC3A/MTCLKB/TMO2/ TOC0/PO31 /CACREF/TXD8/SMOSI8/SSDA8/MISOA-A/ TXD10/SMOSI10/SSDA10/IRQ14
H1	PC6/A22/CS1#/MTIOC3C/MTCLKA/TMCI2/RXD8/SMISO8/SSCL8/MOSIA	PC6/A22/CS1#/MTIOC3C/MTCLKA/TMCI2/ TIC0/PO30 /RXD8/SMISO8/SSCL8/MOSIA-A/ RXD10/SMISO10/SSCL10/IRQ13
H2	PB6/A14/MTIOC3D/RXD9/SMISO9/SSCL9	PB6/A14/MTIOC3D/ TIOCA5/PO30 /RXD9/SMISO9/SSCL9/ SMISO11/SSCL11/SDSI_D0-B

100 ピン TFLGA	RX210	RX651
H3	PB7/A15/MTIOC3B/TXD9/SMOSI9/SSDA9	PB7/A15/MTIOC3B/TIOCB5/PO31/TXD9/S MOSI9/SSDA9/TXD11/SMOSI11/SSDA11/S DSI_D1-B
H4	P24/CS0#/MTIOC4A/MTCLKA/TMRI1	P24/CS4#/EDREQ1/MTIOC4A/MTCLKA/TI OCB4/TMRI1/PO4/SCK3/USB0_VBUSEN
H10	P21/MTIOC1B/TMCI0/RXD0/SMISO0/SSCL 0	P21/MTIOC1B/MTIOC4A/TIOCA3/TMCI0/P O1/RXD0/SMISO0/SSCL0/USB0_EXICEN/I RQ9
H11	P17/MTIOC3A/MTIOC3B/TMO1/POE8#/SC K1/MISOA/SDA-DS/IRQ7	P17/MTIOC3A/MTIOC3B/MTIOC4B/TIOCB 0/TCLKD/TMO1/PO15/POE8#/SCK1/TXD3/ SMOSI3/SSDA3/SDA2-DS/IRQ7/ADTRG1#
H12	P13/MTIOC0B/TMO3/SDA/IRQ3	P13/MTIOC0B/TIOCA5/TMO3/PO13/TXD2/ SMOSI2/SSDA2/SDA0[FM+]/IRQ3/ADTRG1 #
H13	PH0/CACREF	VSS_USB
J1	PH3/TMCI0	VCC_USB
J2	P50/WR0#/WR#	P50/WR0#/WR#/TXD2/SMOSI2/SSDA2/SS LB1-A
J3	PC4/A20/CS3#/MTIOC3D/MTCLKC/TMCI1/ POE0#/SCK5/CTS8#/RTS8#/SS8#/SSLA0	PC4/A20/CS3#/MTIOC3D/MTCLKC/TMCI1/ PO25/POE0#/SCK5/CTS8#/RTS8#/SS8#/S SLA0-A/CTS10#/RTS10#/SS10#
J4	PC0/A16/MTIOC3C/CTS5#/RTS5#/SS5#/S SLA1	PC0/A16/MTIOC3C/TCLKC/PO17/CTS5#/R TS5#/SS5#/SSLA1-A/IRQ14
J10	PC1/A17/MTIOC3A/SCK5/SSLA2	PC1/A17/MTIOC3A/TCLKD/PO18/SCK5/SS LA2-A/IRQ12
J11	P23/MTIOC3D/MTCLKD/CTS0#/RTS0#/SS 0#	P23/EDACK0/MTIOC3D/MTCLKD/TIOCD3/ PO3/TXD3/CTS0#/RTS0#/SMOSI3/SS0#/S SDA3
J12	P22/MTIOC3B/MTCLKC/TMO0/SCK0	P22/EDREQ0/MTIOC3B/MTCLKC/TIOCC3/ TMO0/PO2/SCK0/USB0_OVRCURB
J13	P20/MTIOC1A/TMRI0/TXD0/SMOSI0/SSDA 0	P20/MTIOC1A/TIOCB3/TMRI0/PO0/TXD0/S MOSI0/SSDA0/USB0_ID/IRQ8
K1	P14/MTIOC3A/MTCLKA/TMRI2/CTS1#/RTS 1#/SS1#/IRQ4	P14/MTIOC3A/MTCLKA/TIOCB5/TCLKA/T MRI2/PO15/CTS1#/RTS1#/SS1#/CTX1/US B0_OVRCURA/IRQ4
K2	PH2/TMRI0/IRQ1	USB0_DM
K3	PH1/TMO0/IRQ0	USB0_DP
K4	P51/WR1#/BC1#/WAIT#	P51/WR1#/BC1#/WAIT#/SCK2/SSLB2-A
K5	PC5/A21/CS2#/WAIT#/MTIOC3B/MTCLKD/ TMRI2/SCK8/RSPCKA	PC5/A21/CS2#/WAIT#/MTIOC3B/MTCLKD/ TMRI2/PO29/SCK8/RSPCKA-A/SCK10
K6	PC3/A19/MTIOC4D/TXD5/SMOSI5/SSDA5	PC3/A19/MTIOC4D/TCLKB/PO24/TXD5/SM OSI5/SSDA5
K7	PC2/A18/MTIOC4B/RXD5/SMISO5/SSCL5/ SSLA3	PC2/A18/MTIOC4B/TCLKA/PO21/RXD5/SM ISO5/SSCL5/SSLA3-A
K8	P05/DA1	P05/IRQ13/DA1
K9	VREFH	AVCC1
K10	P07/ADTRG0#	P07/IRQ15/ADTRG0#

4. 移行の際の留意点

RX210 グループと RX651 グループの相違について、いくつかの留意点があります。ハードウェアに関する留意点を「4.1 端子設計の留意点」で説明します。

また、ソフトウェアに関する留意点を「4.2 機能設定の留意点」で説明します。

4.1 端子設計の留意点

4.1.1 動作モード

RX210 グループと RX651 グループでは動作モード設定端子、設定方法が異なります。RX651 グループでは、MD 端子を Low でリセット解除後、20～100msec 以内に High へ切り替えることでブートモード（FINE インタフェース）に遷移します。

表 4.1 動作モード設定比較

RX210			RX651		
MD1	PC7	動作モード	MD	UB	動作モード
0	0	ブートモード	0	0	ブートモード（SCI インタフェース）
0	1	ユーザブートモード	0	1	ブートモード（USB インタフェース）
—	—	—	0→1	0	ブートモード（FINE インタフェース）
1	—	シングルチップモード	1	—	シングルチップモード

4.1.2 VCL 端子（外付け容量）

RX651 グループの VCL 端子に接続する内部電源安定用の平滑コンデンサは 0.22μF の容量を使用してください。

4.1.3 VBATT 端子

RX651 グループの MCU は VCC 端子の電圧が低下したとき、専用のバッテリバックアップ用電源端子（VBATT 端子）からリアルタイムクロック（RTC）とサブクロック発振器に電源を供給することができます。

リアルタイムクロック（RTC）でバッテリバックアップ機能を使用しない、またはサブクロック発振器を使用しない場合、VBATT 端子を VCC 端子に接続してください。

4.1.4 メインクロック発振器

RX651 グループの EXTAL 端子、XTAL 端子に発振子を接続する場合、発振子周波数：8MHz～24MHz の発振子を接続してください。

RX651 グループの EXTAL 端子、XTAL 端子は汎用ポートとして使用できません

4.2 機能設定の留意点

4.2.1 パワーオンリセットと PLL 回路を併用する場合の注意事項

RX651 グループでは、パワーオンリセットと PLL 回路を併用する場合、LVD1CR1.LVD1IDTSEL[1:0]ビット、または LVD2CR1.LVD2IDTSEL[1:0]ビットを“01b”に設定して、電圧監視割り込みを下降検出時 ($V_{cc} < V_{det}$) に選択してください。

さらに割り込み処理ルーチンの先頭で、SCKCR3.CKSEL[2:0]ビットを“100b”以外にして PLL 回路以外を選択した後、PLLCR2.PLLEN ビットを“1”にして PLL 回路を停止してください。

4.2.2 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

RX651 グループでは、オプション設定メモリの予約領域および予約ビットにプログラムする値は“1”としてください。“0”をプログラムすると正常動作できないことがあります。

4.2.3 低速動作モードからソフトウェアスタンバイモードへ移行するための注意事項

RX651 グループでは、ソフトウェアスタンバイモードから復帰した後は、高速動作モードになります。低速動作モードで WAIT 命令を実行しても、ソフトウェアスタンバイモードへの移行が完了する前に復帰割り込みが発生し、移行処理が解除された場合は、WAIT 命令実行前のモードに戻りません。このことが問題になる場合は、復帰割り込み処理中で OPCCR.OPCM[2:0]ビットを“000b”にしてください。

4.2.4 ソフトウェアスタンバイモード中の割り込み要求

RX651 グループでは、ソフトウェアスタンバイモードからの復帰要因に設定していない割り込み要因からソフトウェアスタンバイモード中に割り込み要求が発生した場合、その要求は割り込みコントローラ内部に保持され、他の割り込み要因によって復帰した後に順次処理されます。

ただし、外部端子割り込みについては、この割り込み要求は保持されません。

4.2.5 パッケージ毎のポート方向レジスタ (PDR) の設定値

RX651 グループのポート方向レジスタ (PDR) の予約ビットは、ユーザーズマニュアル ハードウェア「22.4 ポート方向レジスタ (PDR) の初期化」を参照して初期化してください。

4.2.6 RTC を使用しない場合の初期化手順

RX651 グループでは、RTC 内のレジスタは、リセットによる初期化が行われないため、初期状態によっては意図しない割り込み要求が発生したり、カウンタが動作することにより、電力消費量が多くなります。

リアルタイムクロックを必要としない製品では、図 4.1 に示す初期化手順に従って、レジスタの初期化をしてください。

他の方法として、サブクロックをシステムクロックおよびリアルタイムクロックのいずれにも使用しない場合は、RCR4.RCKSEL ビットへの“0”（サブクロック発振器を選択）の書き込みと、サブクロックを停止にすることでカウンタを停止できます。

サブクロックの停止設定は、RCR3.RTCEN ビットへの“0”の書き込みと SOSCCR.SOSTP ビットへの“1”書き込みで行ってください。

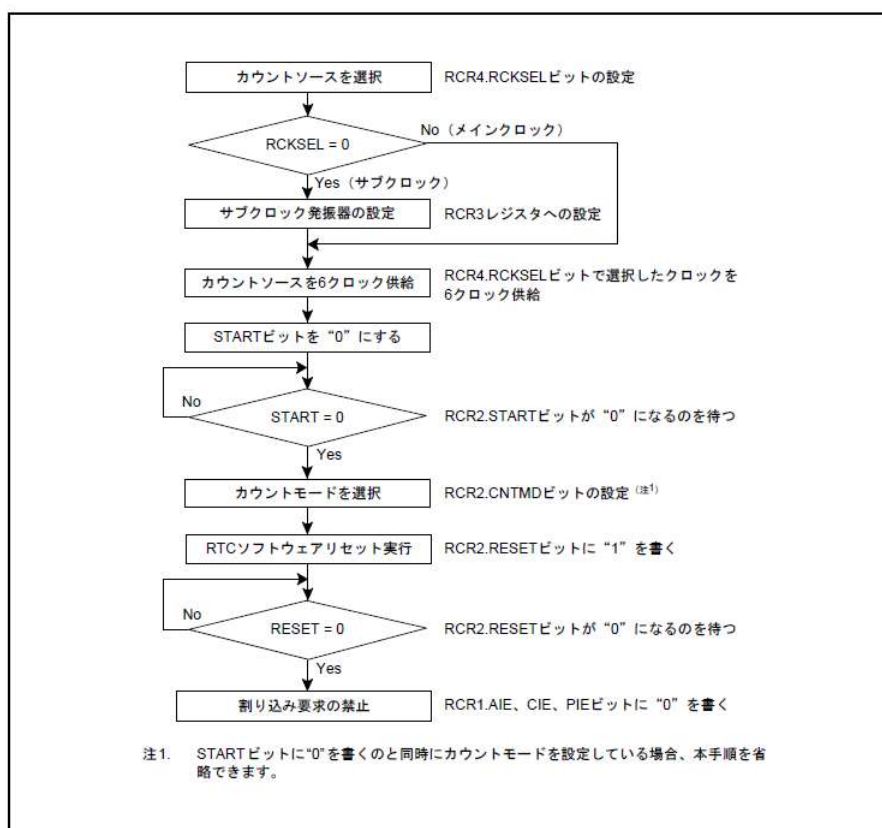


図 4.1 RTC を使用しない場合の初期化手順

4.2.7 SCI トランスミットイネーブルビット (TE ビット) に関する注意事項

RX651 グループでは、端子の機能を「TXDn」に設定した状態で、SCR.TE ビットを“0”（シリアル送信動作を禁止）にすると、端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

(1) TXDn ラインにプルアップ抵抗を接続する。

(2) SCR.TE ビットを“0”にする前に、端子の機能を「汎用入出力ポート、出力」に変更する。

また、SCR.TE ビットを“1”にしてから、端子の機能を「TXDn」に変更する。

4.2.8 SCI 調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項

RX651 グループでは、調歩同期式モードでは、SCR.RE ビットを“0”にしてから RTS 信号生成回路が停止するまでに、PCLK で 1 サイクル必要です。

RE ビットを“0”にしてから RDR（または RDRL）レジスタを読み出す場合は、これら 2 つの処理が連続して行われないように、RE ビットが“0”になったのを確認してから RDR（または RDRL）レジスタを読み出してください。

4.2.9 S12AD A/D 変換強制停止と開始時の動作タイミング

RX651 グループでは、12 ビット A/D コンバータのアナログ部が停止した状態で ADCSR.ADST ビットを“1”に設定し 12 ビット A/D コンバータのアナログ部が動作を開始するのに ADCLK で最大 6 クロックの時間を必要とします（RX210 グループは最大 4 クロック）。ADCSR.ADST ビットを“0”に設定して A/D 変換を強制停止させると、12 ビット A/D コンバータのアナログ部が動作を停止するのに、ADCLK で最大 2 クロックの時間を必要とします。

4.2.10 S12AD 12 ビット A/D コンバータを使用する場合の端子の設定

12 ビット A/D コンバータのユニット 0 を使用する場合は、P40～P47、P03、P05、P07 端子を出力端子として使用しないでください。また、P00～P02、P90～P93、PD0～PD7、PE0～PE7 端子についても出力端子として使用しないことを推奨します。P00～P02、P90～P93、PD0～PD7、PE0～PE7 端子を出力端子として使用する場合は、A/D 変換を複数回実施し、最大値と最小値を除いて平均化するなどの対策を行ってください。

12 ビット A/D コンバータのユニット 1 を使用する場合は、P00～P02、P90～P93、PD0～PD7、PE0～PE7 端子を出力端子として使用しないことを推奨します。これらの端子を出力端子として使用する場合は、A/D 変換を複数回実施し、最大値と最小値を除いて平均化するなどの対策を行ってください。

4.2.11 S12AD 外部バス使用時の注意事項

RX651 グループでは、外部バスをアクセス中に A/D 変換をする場合、精度が悪化する可能性があります。

このような場合は、複数回の変換を実施し、最大値/ 最小値を除いた A/D 変換値の平均をとるなどのソフト対策を実施してください。

4.2.12 D/A 変換と A/D 変換の干渉対策有効時の注意事項

RX651 グループでは、DAADSCR.DAADST ビットが“1”（D/A 変換と A/D 変換の干渉対策が有効）の場合、12 ビット A/D コンバータ（ユニット 1）をモジュールストップ状態にしないでください。A/D 変換が停止するだけでなく、D/A 変換が停止する可能性があります。

4.2.13 D/A イベントリンク動作における注意事項

RX651 グループで、D/A のイベントリンク機能を使用する場合、出力バッファアンプを使用しないでください。

4.2.14 出力バッファアンプ使用時の初期設定手順

RX651 グループでは、出力バッファアンプを使用する場合は、以下に示す手順でアンプ出力を行ってください。チャンネル 0 を例に説明します。

- (1) DACR.DAE ビット、DACR.DAOE0 ビットがともに"0"であることを確認してください。
- (2) DACR0 レジスタに"0000h"を書き込みます。
- (3) DAASWCR.DAASW0 ビットを"1"にしてください。
- (4) DAASWCR.DAAMP0 ビットを"1"にしてください。
- (5) DACR.DAE ビットまたは DACR.DAOE0 ビットを"1"にしてください。出力バッファアンプが起動します。
- (6) 3 μ s 以上待ってから、DAASWCR.DAASW0 ビットを"0"にしてください。
- (7) DADR0 レジスタに変換したい値を書き込んでください。

なお、出力バッファアンプが動作している状態で、DACR.DAE ビットと DACR.DAOE0 ビットを"0"にした場合、出力バッファアンプは停止状態になります。再び出力バッファアンプを使用する場合には、手順(1)～(7)の再実行が必要となります。

4.2.15 RAM 自己診断時の補足事項

RX651 グループでは、RAM に書き込みを行った後に、同一アドレスから読み出しを行うと、RAM ではなくバッファからデータが読み出される場合があります。確実に RAM からデータを読み出すには、RAM に書き込みを行った後、4 バイトアライメント内のアドレスの RAM データを読み出したい場合、読み出した RAM アドレスに対して 4 バイトアライメントと異なる RAM アドレスへライトを行った後、読み出した RAM アドレスからリードしてください。

4.2.16 フラッシュメモリのアクセスウェイト数の設定

RX651 グループでは、MCU のシステムクロック (ICLK) の周波数によって、フラッシュメモリへのアクセスウェイト数を変更する必要があります。設定レジスタは ROMWT レジスタです。

表 4.2 に ICLK 周波数におけるフラッシュメモリへのアクセスウェイト数を示します。

表 4.2 ICLK 周波数におけるフラッシュメモリへのアクセスウェイト数

項目	ICLK $\leq$ 50MHz	50MHz < ICLK $\leq$ 100MHz	100MHz < ICLK $\leq$ 120MHz
ウェイト数	0～2	1 または 2	2

[FB 処置]

TB-RX*-A177A/J 削除

4.2.17 FCU RAM へのファームウェア転送

RX210 グループでは FCU コマンドを使用するためには、FCU RAM に FCU 用のファームウェアを格納する必要がありますでしたが、RX651 グループでは本処理は必要ありません。

4.2.18 フラッシュメモリのコマンド使用方法

RX210 グループでは、FCU に FCU コマンドを発行することにより、フラッシュメモリのプログラム/イレーズ等を行います。RX651 グループでは、FACI コマンド発行領域に FACI コマンドを設定することにより、FCU を制御してフラッシュメモリのプログラム/イレーズ等を行います。

表 4.3 に FCU コマンドと FACI コマンドの仕様比較を示します。

表 4.3 FCU コマンドと FACI コマンドの仕様比較

項目	FCU コマンド (RX210)	FACI コマンド (RX651)
コマンド発行領域	● P/E 用アドレス (00E0 0000h~00FF FFFFh)	● FACI コマンド発行領域 (007E 0000h)
使用可能コマンド	● P/E ノーマルモード移行 ● ステータスリードモード移行 ● ロックビットリードモード移行 ● 周辺クロック通知 ● プログラム ● ブロックイレーズ ● P/E サスペンド ● P/E レジューム ● ステータスレジスタクリア ● ロックビットリード2 ● ロックビットプログラム ● ブランクチェック	● プログラム ● ブロックイレーズ ● P/E サスペンド ● P/E レジューム ● ステータスクリア ● 強制終了 ● コンフィギュレーション設定

4.2.19 ID コードプロテクト機能の注意点

RX210 グループでは制御コードが 52h、ID コードが 1 から順に 50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, …, FFh を設定した場合は、ID コード一致判定をせず、常に不一致とし、ホストからの読み出し/プログラム/イレーズを禁止します。

RX65N グループでは SPCC.SPE に"0"を設定した場合、制御コードにかかわらず、読み出し/プログラム/イレーズを禁止します。

ただしオンチップデバッグは、SPCC.SPE の設定にかかわらず ID コードの認証を行います。

RX65N の ID コード認証動作の詳細は RENESAS TECHNICAL UPDATE (TN-RX*-A166A/J) を参照ください。

5. 参考ドキュメント

ユーザーズマニュアル：ハードウェア

RX210 グループ ユーザーズマニュアル ハードウェア編 Rev.1.50 (R01UH0037JJ0150)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00

(R01UH0590JJ0100)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX65N グループ、RX651 グループ フラッシュメモリ ユーザーズマニュアル ハードウェア インタ
フェース編 Rev.1.00 (R01UH0602JJ0100)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデートの対応について

本アプリケーションノートは以下のテクニカルアップデートの内容を反映しています。

- TN-RX*-A164A/J
- TN-RX*-A165A/J
- TN-RX*-A166A/J
- TN-RX*-A173A/J
- TN-RX*-A176A/J

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2018.09.21	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
 家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、
 金融端末基幹システム、各種安全制御装置等

- 当社製品は、データシート等により高信頼性、Harsh environment向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>