

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

PLL を使った周波数シンセサイザ回路の基礎

目 次

1. 概 要	2
2. 周波数シンセサイザの役割	2
3. PLL 周波数シンセサイザの動作	3
4. ローパス・フィルタの種類によるループ特性	4
4.1 ラグ・フィルタ	4
4.2 ラグリード・フィルタ	5
4.3 アクティブ・フィルタ	6
5. ループ定数の決定	7
6. PLL シンセサイザの基本システム	8
6.1 ダイレクト PLL 方式	8
6.2 プリスケラ PLL 方式	8
6.3 パルス・スワロ・カウンタ方式	9
6.4 周波数ミキシング方式	10
6.5 マルチプライヤ PLL 方式	11
6.6 基準周波数を得る方法	11
7. PLL 各ブロックの特性	11
7.1 位相比较器	11
7.2 チャージ・ポンプ/ローパス・フィルタ	13
7.3 VCO	15
7.4 プログラマブル・カウンタ	18
7.5 デジタル・ミキサ	19
参考文献	20
付 録	
PLL の動作解析	21

本書は技術解説書であり、特定製品のアプリケーションを説明するものではありません。したがって、本書の内容についてさらにお知りになりたい場合は、市販の文献や学会論文などをご覧いただくことを推奨いたします。

本書は技術動向の変化などにより改版する場合があります。

1. 概 要

位相同期ループすなわち PLL (Phase locked loop) を応用した機器は多分野にわたり、また機器の中でも様々なブロックに使用されています。たとえばアナログ、デジタル・ブロック、そしてアナログでも高周波や低周波などのブロックがあげられます。

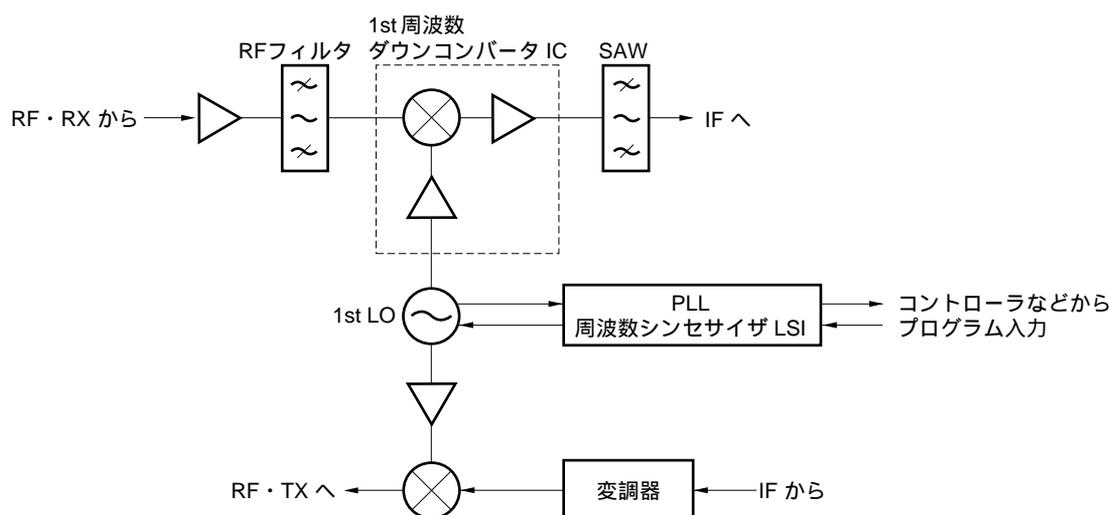
ここでは、とくにアナログの発振器を制御する周波数シンセサイザの基本的な動作および PLL を構成するブロックの基本的動作について学術的な説明を行います。

なお、PLL を使った周波数シンセサイザを以下、PLL 周波数シンセサイザと呼びます。

2. 周波数シンセサイザの役割

PLL 周波数シンセサイザは、HF 帯から UHF 帯までの信号送受信機の RF (無線) 周波数を選局するために用いられます。この選局は、ヘテロダイン送受信回路において PLL 周波数シンセサイザがローカル・オシレータ (LO) 周波数を制御する役割を果たすことにより実現されます。ヘテロダイン送受信回路の周波数シンセサイザ周辺ブロック図を図 1 に示します。

図 1 ヘテロダイン送受信回路の周波数シンセサイザ周辺ブロック

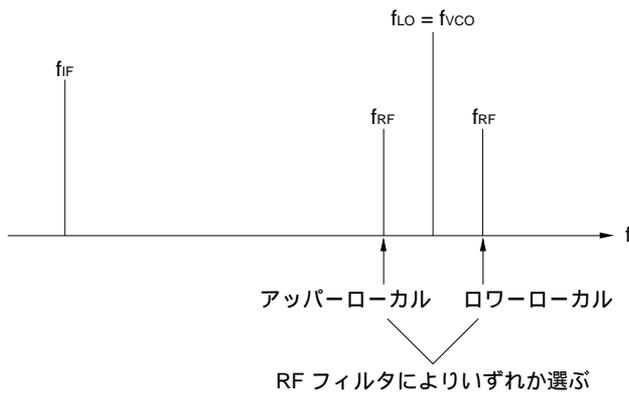


ヘテロダイン送受信機は無線周波数である RF 周波数を選局するとともに信号処理系ブロックの周波数である IF (中間) 周波数と RF 周波数との変換をつかさどっています。下記の周波数関係によりこの周波数変換および選局が成り立ちます。

$$f_{LO} = |f_{RF} \pm f_{IF}|$$

ここでローカル周波数が RF 周波数より高い場合 ($f_{LO} = f_{RF} + f_{IF}$) がアッパーローカル、低い場合 ($f_{LO} = |f_{RF} - f_{IF}|$) がローローカルと呼ばれます。図 2 に周波数関係を示す模式図を示します。このアッパーローカルとローローカルは、ヘテロダイン送受信回路の RF 段にシステム上必要な帯域のみを通過させるバンドパス・フィルタ (BPF) を挿入することにより決定されます。

図2 ヘテロダイン送受信回路の周波数関係



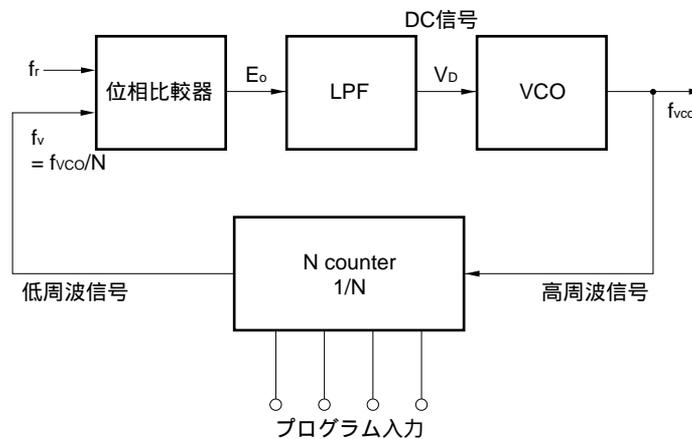
f_{IF} を一定にすれば、 f_{LO} を周波数シンセサイザで制御することによりシステムの送受信周波数である f_{RF} を選局できる。

ここでローカル周波数 (f_{LO}) はヘテロダイン送受信回路上の呼び名 (略号) であり、VCO 周波数 (f_{VCO}) は周波数シンセサイザ・システム上の呼び名 (略号) で同じものを指しています。

3. PLL 周波数シンセサイザの動作

図3 は PLL 周波数シンセサイザの基本ブロック図を示します。

図3 PLL 周波数シンセサイザ基本ブロック



このグループは $E_o = 0$ の方向に、すなわち $f_r = f_v$ になるように動作する。

図3中、位相比較器は2入力の位相あるいは周波数の差を検出するブロック、LPFは位相比較出力を積分して位相差の量に応じてDC出力を得るためのローパス・フィルタ、VCOはVoltage Controlled Oscillatorと呼ばれる発振器で、外部から電圧を加えることによって発振周波数を変えることが可能な発振器です。また1/Nはプログラマブル・カウンタあるいはNカウンタと呼ばれ、プログラムを変えることにより、分周比(N値)が変わるカウンタです。

さて、このそれぞれのブロックが図3のように接続され、なおかつ位相比較器の誤差信号パルス出力 E_o が0になるように動作を行うようにします。

f_r と f_v に位相あるいは周波数差があると誤差パルス E_o が出ますが、 E_o は積分回路であるLPFを通すことによりDC電圧 V_D に変換され、 V_D はVCOの出力周波数 f_{VCO} を変化させます。 f_{VCO} の出力はNカウンタで1/Nに分周され f_v となりますが、このときの f_v は E_o が0になるように動作しますので f_v は f_r により近づきます。同様の動作を繰返した

あと、 $f_v = f_r$ となり、ループが安定な状態でバランスし、誤差補正動作は完了します。この位相が同期した状態をロックしたと呼びます。これが位相同期ループすなわち PLL という技術です。そして N 値を可変できる N カウンタは周波数シンセサイザ固有のブロックです。

このときの周波数関係は、 $f_r = f_v = f_{vco}/N$

$$f_{vco} = N \cdot f_r \dots\dots\dots$$

となりますが 式は PLL 周波数シンセサイザの基本形で重要な式です。

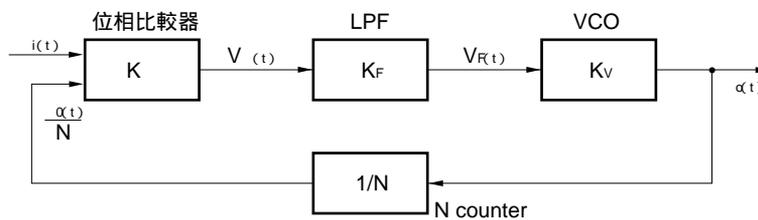
このときの N は整数です。

さて f_r を基準周波数として N を変化させますと、式より、 f_{vco} も N に従って変化します。たとえば、 $f_r = 10 \text{ kHz}$ 、 $N = 53, 54, 55, \dots\dots$ とすると f_{vco} は $f_{vco} = Nf_r = 530 \text{ kHz}, 540 \text{ kHz}, 550 \text{ kHz}, \dots\dots$ となります。ここで重要なのは f_{vco} は f_r の周波数間隔で変化しますが、PLL 周波数シンセサイザはこのように等間隔周波数変化を得るには最適です。(不規則な場合は不利になりますが) 現在の電波法は、電波を有効に利用するため、ほとんど周波数が等間隔に割り当てられているので PLL 周波数シンセサイザの応用分野は広がりつつあります。

4. ローパス・フィルタの種類によるループ特性

アナログ VCO とデジタル位相比較器・カウンタからなるアナログ・デジタル混成タイプの PLL 周波数シンセサイザでは、ローパス・フィルタは各種考えられます。ここでは代表的フィルタである、ラグ・フィルタ、ラグリード・フィルタ、アクティブ・フィルタを使用した場合のそれぞれのインディシャル応答(ステップ信号入力時のループ系の応答)と閉ループ周波数、位相特性を図 4 をもとにして示します。なお式の誘導は付録を参照してください。

図 4 ゲイン定数を考慮した PLL 周波数シンセサイザ・ブロック

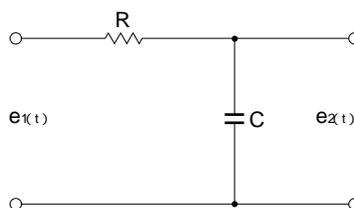


- $i(t)$: 位相入力信号
- $V(t)$: 位相誤差出力
- $V_R(t)$: LPF出力電圧
- $\alpha(t)$: 位相出力信号
- K : 位相比較器ゲイン定数
- K_F : LPF伝達関数
- K_V : VCOゲイン定数
- 1/N : Nカウント値

4.1 ラグ・フィルタ

ラグ・フィルタは図 5 に示されるように C, R の積分回路です。

図 5 ラグ・フィルタ



ループの伝達関数 $H(s)$ は 式で、周波数特性 $|H(j\omega)|$ は 式、位相特性 ϕ_L は 式で示されます。

図8に示されるラグリード・フィルタの伝達特性は、

$$H(s) = \left\{ \frac{\omega_n^2 + \omega_n \left(2\zeta - \frac{N\omega_n}{K\phi K_v} \right) S}{S^2 + 2\zeta\omega_n + \omega_n^2} \right\} N \quad \dots$$

ここで

$$\omega_n = \sqrt{\frac{K\phi K_v}{N(\tau_1 + \tau_2)}} \quad \zeta = \frac{N + K\phi K_v \tau_2}{2\sqrt{NK\phi K_v}(\tau_1 + \tau_2)} \quad \begin{matrix} \tau_1 = CR_1 \\ \tau_2 = CR_2 \end{matrix}$$

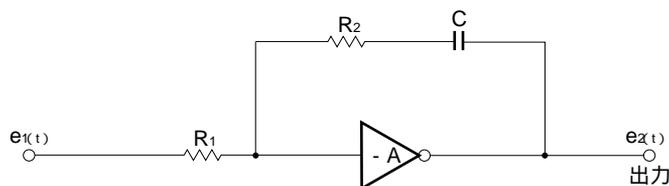
なお、 $2\zeta \gg N\omega_n/K\phi K_v$ なら 式は 式の形をとり、これは4-3で述べるアクティブ・フィルタと同じ特性となります。

$$H(s) = N \left(\frac{2\zeta\omega_n S + \omega_n^2}{S^2 + 2\zeta\omega_n + \omega_n^2} \right) \dots\dots\dots$$

4.3 アクティブ・フィルタ

ラグ、ラグリード・フィルタは、受動形のフィルタですが、アクティブ・フィルタは図9に示されるように能動回路を用いたものです。独立した能動回路とするため電源電圧をPLLの基本ブロックと個別に設定できるメリットがあり、VCO制御電圧がPLL出力電圧より大きいTVチューナ用周波数シンセサイザなどに用いられます（出力電圧範囲は電源電圧に制限を受けるため）。

図9 アクティブ・フィルタ



$$H(s) = \frac{2\zeta\omega_n S + \omega_n^2}{S^2 + 2\zeta\omega_n S + \omega_n^2} \quad \text{ただし} \quad \omega_n = \sqrt{\frac{K\phi K_v}{N\tau_1}} \quad \dots\dots$$

$$\zeta = \frac{\tau_2}{2} \sqrt{\frac{K\phi K_v}{N\tau_1}} = \frac{\tau_2}{2} \omega_n$$

$$\tau_1 = CR_1$$

$$\tau_2 = CR_2$$

$$|H(j\omega)| = \frac{\sqrt{1 + (2\zeta n)^2}}{\sqrt{(1-n^2)^2 + (2\zeta n)^2}} \quad \text{ただし} \quad n = \frac{\omega}{\omega_n} \quad \dots\dots\dots$$

$$\phi_L = \tan^{-1}(2\zeta n) - \tan^{-1}\left(\frac{2\zeta n}{1-n^2}\right) \dots\dots\dots$$

図 10 にアクティブ・フィルタを用いたループのインディシャル応答を図 11 に周波数特性を示します。

図 10 ラグリード、アクティブ・フィルタ使用
PLL ループのインディシャル応答

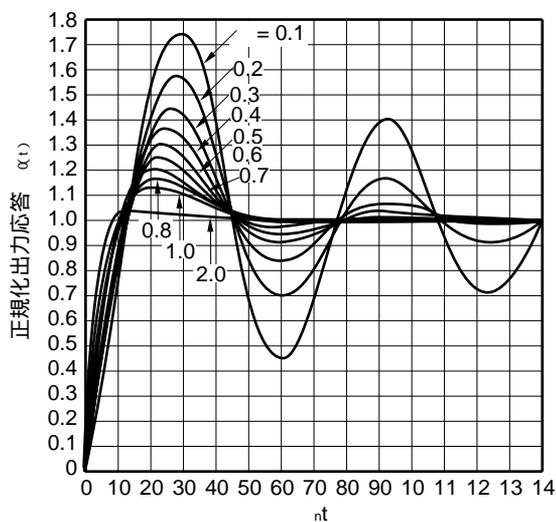
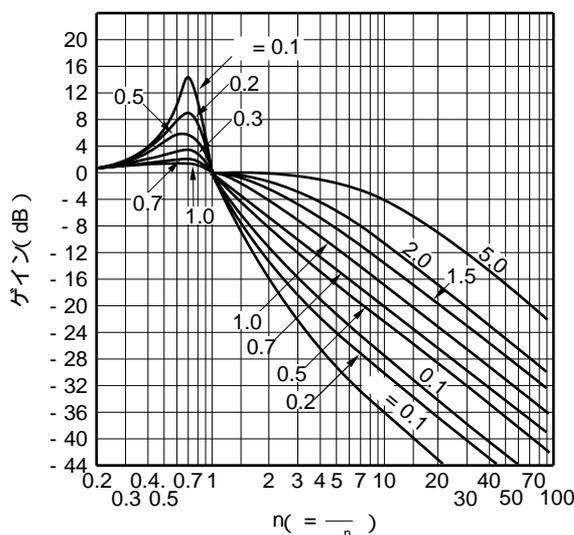


図 11 ラグリード、アクティブ・フィルタ閉ループ
周波数特性



5. ループ定数の決定

PLL 周波数シンセサイザのループ定数を決定する上で重要なことは、

- (1) ループ系が安定なこと
- (2) ロックするまでの時間（ロックアップタイム）が小さいこと。
- (3) ロック時の系の雑音が少ないこと

などがあげられます。

(1) についてはダンピングファクタ ζ を大きくすると系は安定になります。

(2) はインディシャル応答特性から安定におちつく ωnt を小さくすれば良いので ζ を大きくし、また ωnt が決定すれば ω_n を大きくとれば t は小さくできます。

(3) は位相比較角周波数を ω_n より小さくする方向に定数を決定するか、 ζ を小さくして周波数特性の高域減衰特性を大きくすることにより可能になります。

しかしながら上記(1),(2),(3)を同時に満足させることは特性的に相反しますので、希望項目の着目によってそれぞれ定数の決定を行います。

ループ定数を決定する上で、 $K\phi$ は使用される回路あるいはデバイスで初期的に決定されます。また Kv は出力周波数範囲が決まるとある程度初期的に決まり、カウント数 N についても同様に変化範囲が決定されます。

したがってループ系の特性を大きく変化させることを考慮するならば、ローパス・フィルタの方式をかえることにより（ラグ・フィルタ、ラグリード・フィルタおよびアクティブ・フィルタの選択等）希望の特性を得ることができます。逆に述べるとローパス・フィルタの決定はPLLループ特性を左右する、と言えます。一例としてアクティブ・フィルタの定数を決定します。

図 10 より、 ωnt に対する出力応答は細かい振動を伴って安定しますのでどの点で安定すると見るか判断に迷います。しかし実験値等から $\theta_0(s)$ が振動の最終値で1~1.05以内であればさしつかえないようです。これより ωnt が求まりますので、任意のロックアップタイム t を決定すると $\omega_n = \omega nt/t$ より求まります。また初期的にダンピングファクタを決定しなければなりません、 $\zeta > 0.3$ ならばほぼ問題ないようです。図 9 の定数を求めるには

$$\text{式より } \omega_n^2 = \frac{K\phi K_V}{N\tau_1} \quad \therefore \tau_1 = CR_1 = \frac{K\phi K_V}{\omega_n^2 N}$$

$$\zeta = \frac{\tau_2}{2} \omega_n \quad \therefore \tau_2 = CR_2 = \frac{2\zeta}{\omega_n} \quad \text{から得られます。}$$

今までの定数決定は t を初期設定して行いましたが、ループ雑音を問題にする場合は ω_n を初期設定します。すなわち、図3における f_r 成分を除去する場合は ω_r / ω_n ($\omega_r = 2\pi f_r$) を大きくします。(減衰量は図11より求められます)

6. PLL シンセサイザの基本システム

実用回路においては使用されるデバイスの特性、価格で制約されるため、以下に述べるように実用化するには、各種のシステムが考え出されています。

6.1 ダイレクト PLL 方式

図12 ダイレクト PLL 方式

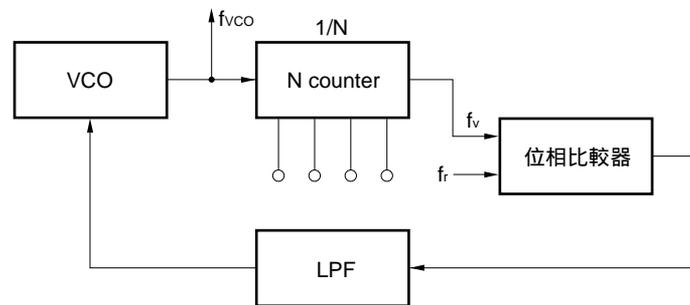


図12は図3と同じですが直接希望する周波数をVCOで発振させ、N counterで受けるため、このプログラマブル・カウンタの周波数応答は、VCOの発振周波数を満足しなければなりません。逆にいえば、プログラマブル・カウンタに使用されるデバイスによって、上限周波数が決定されます。たとえば、

- * TTL < 25 MHz
- * CMOS < 5 MHz
- * PMOS < 0.2 MHz
- * ECL < 数百 MHz

しかし、この方式は調整個所が少なく、スプリアスの点で有利であるところから、周波数の低い回路にはよく使用されます。周波数計算は次のように行います。

$$\left. \begin{aligned} f_{vco} &= N \cdot f_r, \quad N = f_{vco} / \Delta f \\ \Delta f &= f_r \end{aligned} \right\} \dots\dots\dots$$

f_{vco} : 出力周波数

Δf : チャンネル・スペース

f_r : 位相比較器での基準周波数

N : プログラマブル・カウント値

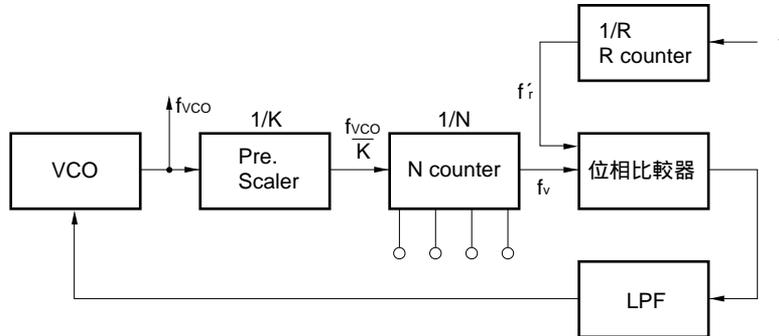
6.2 プリスケアラ PLL 方式

図13は6-1項のようにプログラマブル・カウンタは、VCOの周波数を直接受けなければならないという負担をさけるため、VCOとプログラマブル・カウンタ間に単純な分周器、すなわちプリスケアラを挿入し、プリスケアラに周波数の上限特性を負担させ、見かけ上のプログラマブル・カウンタの周波数特性を良好にするために用いられます。

プログラマブル・カウンタはプログラマブル特性を得るため、回路的にフィードバックをかけるので、最大応答特

性はフィードバックのない状態の 1/2 ~ 1/3 に低下します。その点プリスケアラは、フィードバックがないので周波数特性を良くすることができます。

図 13 プリスケアラ PLL 方式



プリスケアラを使用した場合、位相比較器に加わる基準周波数も、プリスケアラの分周比だけ分周しなければなりません。なぜならば、いま図 13 から周波数計算を行うと、ロック状態では、

$$\left. \begin{aligned} f_{vco} &= NKf_r' = Nf_r \\ \therefore f_r &= Kf_r', f_r' = f_r / K \\ f_r &= \Delta f \end{aligned} \right\} \dots\dots\dots$$

(K はプリスケアラの分周比)

もし f_r/K を行わなければ、

$$f_{vco} = NKf_r = N(K\Delta f)$$

となり、N を可変すると $K\Delta f$ のステップで、出力周波数が変化するので、希望するチャンネル・スペース Δf は得られなくなります。プリスケアラを使用した場合でも、からプログラマブル・カウンタの分周比 N は、プリスケアラがない状態と同じです。

6.3 パルス・スワロ・カウンタ方式

プリスケアラ方式は、位相比較器に加わる基準周波数も、プリスケアラに使用した分周比だけ分周しなければなりません。基準周波数が低くなることは、ローパス・フィルタの減衰度が小さくなることなので、ループ系の S/N 比を考えると好ましくありません。それでは、この問題をさけるには、どうすればよいでしょうか。

式を見直しますと、 f_r を K で分周しないと、N を 1 変化させるごとに f_{vco} は K のステップで変化します。(f_r は希望するチャンネル・スペースと同じ) 逆に見方を変えて f_{vco} の大きい変化をメイン・カウンタの分周 M で行わせ、さらに細かい桁を補足係数 S で補足すると

$$f_{vco} = NKf_r = (P \times M + S) f_r \dots\dots\dots$$

式 () 内に $AK - AK$ を加えると、

$$\begin{aligned} f_{vco} &= (MP + S + SP - SP) f_r \\ &= \{ (M - S)P + S(P + 1) \} f_r \dots\dots\dots \end{aligned}$$

が得られます。

式を検討しますと、今 $P + 1$ の状態にあるとするとプリスケアラは $P + 1$ で分周し、その出力を S でカウント・ダウンしますが、S がゼロの状態になったとき、 $S(P + 1)$ の動作は終了します。

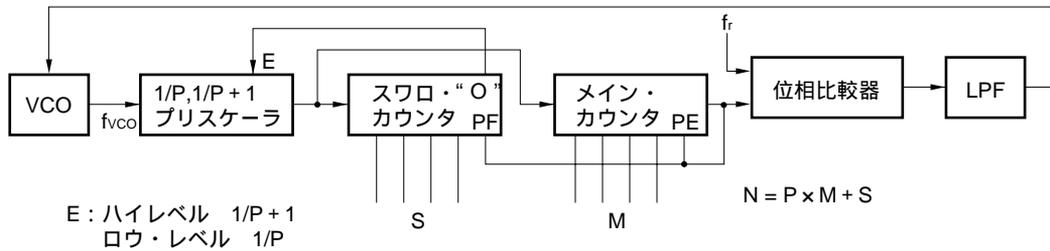
そうすると、カウンタは $(M - S)$ 状態になりますが、このときプリスケアラの分周が K になるように切替え、その出力を分周して $(M - S)$ がゼロになったときすべての動作が終了し、プログラム・データが再びプリセットされ同様の動作を繰り返します。

このときの分周比 N は 式から ,

$$N = P \times M + S$$

となります。また 式から f_{vco} は f_r ステップで変化することがわかります。

図 14 パルス・スワロ・カウンタ方式

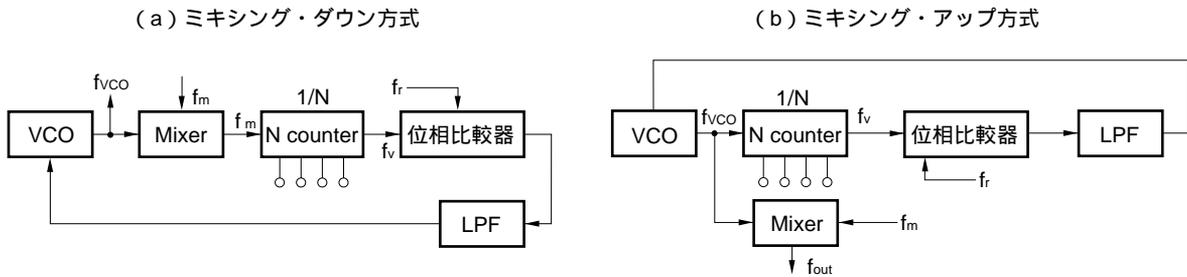


式をブロック化すると、図 14 のようになります。この中で、P と (P + 1) が切替えられて分周できるパルス・スワロ・プリスケータまたは 2 モジュラス・プリスケータは容易に入手できます。また最近では N カウンタをパルス・スワロ・カウンタとする方式が一般になり、この方式もダイレクト PLL 方式に含まれています。主に高周波 VCO の制御に用いられます。

6.4 周波数ミキシング方式

周波数を簡単にオフセットさせる方式は、従来からよく用いられる周波数ミキシングがあります。PLL に使用する場合、図 15 (a) に示されるように、ループ内にミキサを入れるミキシング・ダウン方式と、同図 (b) のようにループ外におくミキシング・アップ方式があります。

図 15 ミキシング方式



周波数関係は、次のようになります。

ミキシング・ダウンの場合

$$\left. \begin{aligned} f_{vco} - f_m &= N \Delta f \\ N &= \frac{f_{vco} - f_m}{\Delta f}, \Delta f = f_r \end{aligned} \right\} \dots\dots\dots$$

ただし、 f_m はミキシング・ダウン用局部発振周波数

ミキシング・アップの場合

$$\left. \begin{aligned} f_{out} &= N f_r \pm f_m \\ N &= \frac{f_{out} \mp f_m}{\Delta f} \end{aligned} \right\} \dots\dots\dots$$

となり、式とほとんど同じです。

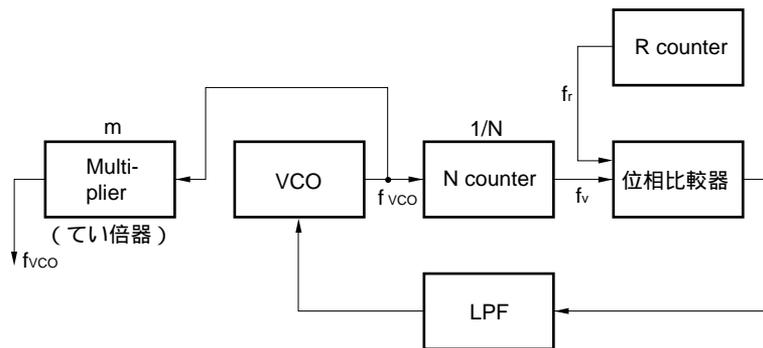
式からわかるように、 f_m を変えることにより出力周波数 f_{vco} は、任意の周波数を得ることができます。

分周比についてみますと、特にミキシング・アップの場合、分周比は f_m と関係がありません。これはトランシーバのように、送・受信の 2 系統の周波数をもっている回路においては、プログラムを動かさずに f_m だけで周波数をコントロールできるので、送・受スイッチ機構が簡単になります。

6.5 マルチプライヤ PLL (周波数でい倍) 方式

図 16 は、VCO の後にてい倍器を設け、 m てい倍 (m は整数) を行って出力を得る方法です。この場合プリスケラ方式と同様に、位相検波器に加わる基準周波数は $1/m$ に分周されなければなりません。

図 16 マルチプライヤ PLL 方式



周波数関係は、

$$f_{vco} = Nmfr$$

(ただし、 m はてい倍数)

$$N = \frac{f_{vco}}{mfr}, \Delta f = mfr \dots\dots\dots$$

(ただし、 Δf はチャンネル・スペース)

6.6 基準周波数を得る方法

チャンネル・スペースの項で述べたように、一般の通信機は変調信号の帯域に相当する、チャンネル・スペースをとる関係からその周波数は数 kHz から数百 kHz です。PLL の場合は、この周波数を基準に使わなければなりません。当然、基準になるからには周波数の安定度が要求されますから、水晶発振子の使用が考えられますが、数 kHz から数百 kHz の水晶発振子は、価格、外形の大きさ、特性などから入手が困難です。

したがって最も安価で、特性のよい周波数である 4 ~ 14 MHz を使用し、それをリファレンス・カウンタ (R counter) で分周して基準の周波数を得る方法が一般的です。

7. PLL 各ブロックの特性

これから基本システムに使われている各ブロックについて、実際の回路、特性を IC 中心に話をすすめます。

7.1 位相比較器

位相比較器の役目は、2 周波の入力の位相差を検出しそれを位相の進みや遅れを、弁別し出力します。振幅は、動作レベル以上であれば関係ありません。

図 17 μPD1700 シリーズの位相比較器

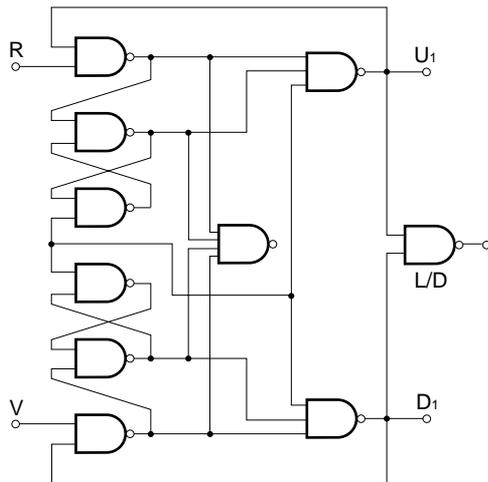


表 1 μPD1700 シリーズのディテクタ・フローテーブル

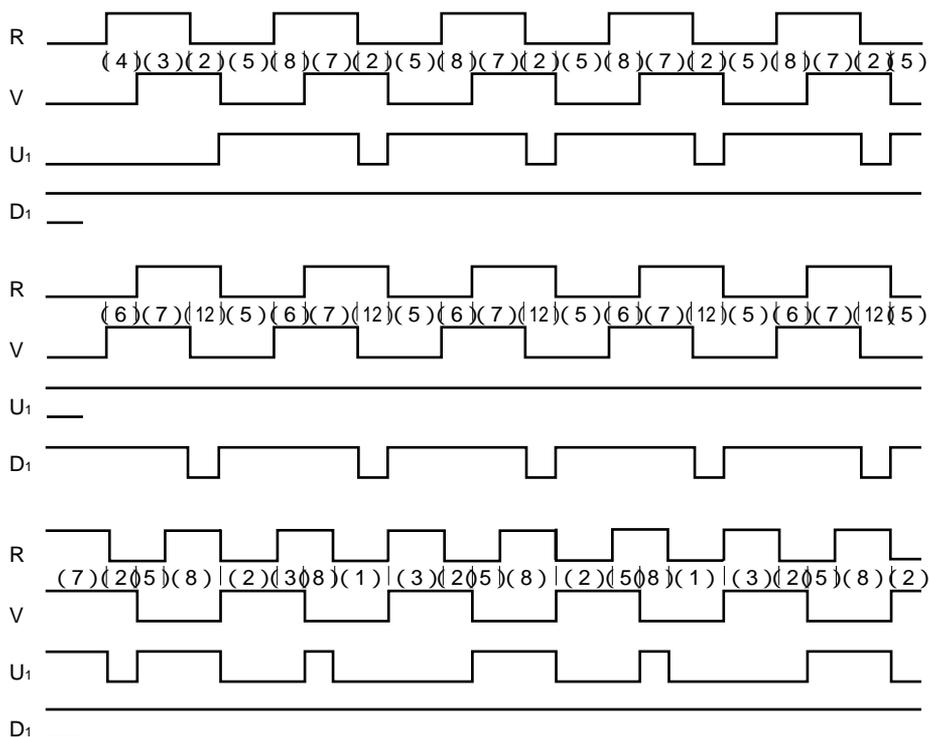
R-V	R-V	R-V	R-V	U ₁	D ₁
0-0	0-1	1-1	1-0		
(1)	2	3	(4)	0	1
5	(2)	(3)	8	0	1
(5)	6	7	8	1	1
9	(6)	(7)	12	1	1
5	2	(7)	12	1	1
1	2	7	(8)	1	1
(9)	(10)	11	12	1	0
5	6	(11)	(12)	1	0

この回路は図 17 に示されるようにシーケンシャル・ロジック回路になっていますので、各ゲート出力の動作前の状態によって、次の動作時の状態が決まります。したがって、その動作は表 1 に示される、フローテーブルにしています。

表 1 は横方向に入力の変化を、縦方向に状態の変化を示します。表中 () 内の数字は安定状態、() なしは不安定状態を示しますが、最終的には同列の () 内の同番号におちつきます。このときの出力が U₁ と D₁ に得られます。たとえば、いま R - V が 1 - 0 で (4) の状態に安定しているものとしますと、このときの出力 U₁ - D₁ は 0 - 1 です。

次に入力を 1 - 1 に変えると、左隣の 3 の状態に移りますが、不安定なため同列すぐ下の (3) で落ちつきます。このときの出力は、0 - 1 で前と変わりません。さらに入力が 0 - 1 に変わっても (2) の状態で安定し、出力は 0 - 1 で変わりません。さらに、0 - 0 の入力になると、5 の状態になりますが、これは不安定なので同列下の (5) に安定し、出力 1 - 1 が得られます。

図 18 位相比較器のタイミング・チャート



このような動作を位相の進み、遅れおよび周波数差別にタイミング・チャート上に示すと、図 18 のようになります。そして、これからわかるように、V が R より位相が遅れている時は、U₁ に“0”出力、D₁ は“1”出力を保持しており、逆に V の位相が進んだときは D₁ に“0”、U₁ は“1”レベルのまま出力されます。位相が完全に一致したときは U₁, D₁ とともに“1”レベルの状態にあります。また U₁, D₁ の両方が同時に“0”レベルになることはありません。

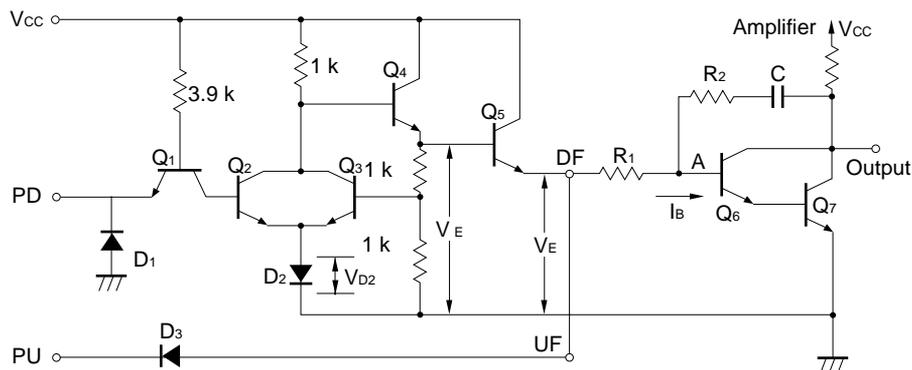
この形式の位相比較器は位相すなわち $\theta (= 2\pi ft + \theta_0)$ の比較だけでなく、周波数の高い低い比較も行いますので、後述のチャージ・ポンプを含めたブロックで、位相周波数比較器と呼ばれます。

7.2 チャージ・ポンプ/ローパス・フィルタ

位相比較器では位相の進み、遅れの判別を行いましたが、その誤差パルス信号を直接 DC に変換するのは困難ですので、チャージ・ポンプを用いてその処理を行います。チャージ・ポンプは、次段のローパス・フィルタと組み合わせればよりわかりやすいので、図 19 のように両者を組み合わせます。

チャージ・ポンプはフィルタへ充電するインバータ（図 19 で PD 入力から DF 出力までの部分）と、放電するダイオード D₃ から構成されています。図 18 の D₁ と図 19 の PD, U₁ と PU が、また図 19 において UF と DF がそれぞれ接続され、また DF と A 間に抵抗 R₁ が、A と Output 間に R₂ および C が、アクティブ・フィルタを構成するように、接続されている場合を考えてみよう。

図 19 バイポーラ・チャージポンプとアクティブ・フィルタ用アンプ



V が R より進み位相の場合、D₁ に“0”レベルの信号が出ます。その結果チャージ・ポンプの Q₁ が ON し、Q₂ は OFF しますので、Q₃ は A 級動作を行います。さらにこのとき、 $V_{E'} = 4V_{BE} = 4 \times 0.75 = 3V$ 、 $V_E = V_{E'} - V_{BEQ5} = 2.25V$ が得られ、この電圧で C をチャージ・アップし、Output の電圧を下げ、VCO の周波数を下げる方向に動作します。このとき、PU は“1”レベルにあるので D₃ は逆バイアスされチャージ・アップ動作には影響しません。

逆に V が遅れ位相の場合は、D₁ は“1”レベル、U₁ には“0”レベルが現れますが、このとき Q₁ は OFF、Q₂ は ON するので、 $V_{E'} = V_{D2} + V_{CE(SAT)Q2} - V_{BEQ4}$ となり、Q₅ はカットオフするため、DF 端子はフローティング・レベルになります。

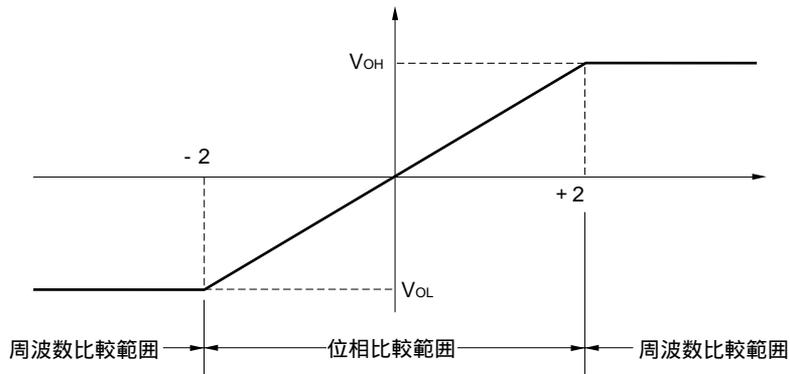
一方 PU は、U₁ が“0”レベルとなるので、D₃ が U₁ の方向に順方向となり、C にチャージしていた電圧は放電します。その結果 Output 電圧は上昇し、VCO 周波数を高める方向に働きます。位相が完全に一致したときは U₁, D₁ とともに“1”レベルのため、DF, UF はフローティング・レベルになって、充・放電は行いません。

したがって、Q₆ の I_B が非常に小さいと、C に充電された電圧がホールド状態であり、Output の電圧は安定しているので、VCO の周波数も安定します。すなわち、ホールド時間が長いほど VCO の CN 比 (Carrier と Noise の比) が良いので、フローティング時の DF, UF 側へのリーク電流および Q₆ の I_B が小さいほうが、すなわち h_{FE} が高いほうが望ましいといえます。

図 20 は、位相差に対するチャージ・ポンプ出力ですが、駆動電流が小さい場合は図 17 のようなバイポーラ・トラ

ンジスタ・タイプでは -2π (rad) の時に最低電位 V_{BE} となり、 $+2\pi$ (rad) で最高の $3V_{BE}$ に相当する電圧変化が得られます。

図 20 位相差対チャージ・ポンプ出力 (LPF 付き)

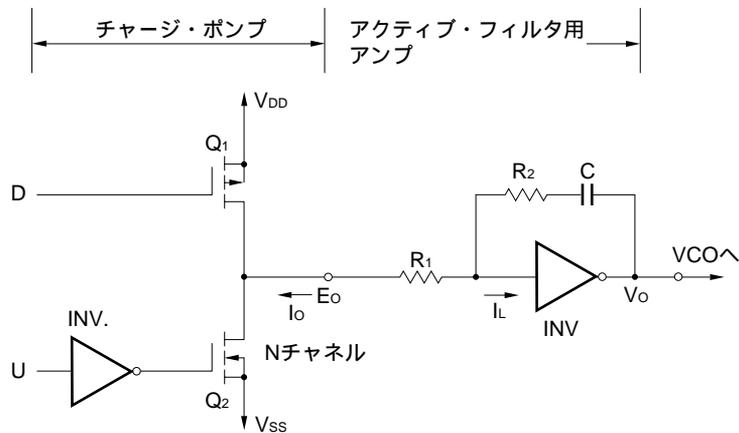


$V_{BE} = 0.7\text{ V}$ とすると、検波器のゲイン定数 $K\phi$ は、

$$K\phi = (3V_{BE} - V_{BE}) / 4\pi = 0.111 \text{ [V/rad]}$$

が得られます。次に説明する CMOS チャージ・ポンプの場合は $K\phi = (V_{DD} - 0) / 4\pi$ [V/rad] となります。駆動電流が比較的大きい場合はチャージ・ポンプのハイ出力 V_{OH} とロー出力 V_{OL} により $K\phi = (V_{OH} - V_{OL}) / 4\pi$ [V/rad] として求めます。 $K\phi$ は、後述するループ・フィルタ定数を求めるのに使用されます。

図 21 CMOS を使ったチャージ・ポンプ



CMOS を使用したチャージ・ポンプは図 21 に示されるように、N チャネル MOS のゲートに、インバータ (INV) が接続され、U が “0” の場合は Q_2 を ON させて C の放電をはかります。D が “0” の場合、P チャネルである Q_1 が ON して、C に充電を行います。

また U, D とも “1” レベルのときは Q_1, Q_2 とも OFF するため、 E_O はフローティング状態となり、C に充電されている電圧は、ホールドされたままになります。

アンプに CMOS を使用すると、CMOS の入力リーク電流が非常に小さいため ($< 1\text{ nA}$)、CN 比の良い回路が得られます。また、フィルタにはアクティブ・フィルタを使用しましたが、もちろんパッシブ・フィルタも同様の考え方で結構です。

7.3 VCO

VCO に要求される特性は、

- (1) 所定の周波数範囲を充分カバーすること
- (2) 入力 DC 電圧に対する発振周波数のリニアリティが良い
- (3) 発振周波数が温度、電源電圧変動に対して安定していること
- (4) 発振器自身の雑音レベルが低いこと

があげられますが、その方式を大別すると三通りがあります。

- (i) 水晶発振器 VCO
- (ii) LC 発振器 VCO
- (iii) CR 発振器 VCO (マルチバイブレータ)

発振周波数範囲の最大と最小の比は (i) で 1.05 以下 (ii) は主にバラクタ・ダイオードが使用され、その可変容量範囲で決まりますが、現状では約 1.5~2. (iii) では約 4 程度の変化が得られます。(i) の場合は小さすぎてほとんどトランシーバ用には使用されません。したがってここでは、(ii) と (iii) について検討します。

図 22 バラクタ・ダイオードによる VCO

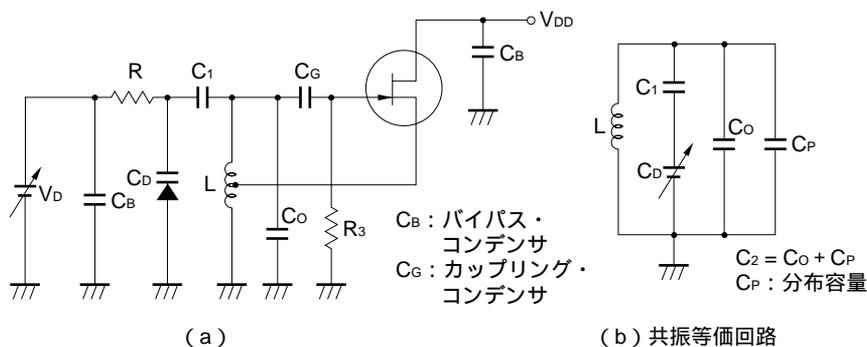


図 22 は、バラクタを用いた VCO です。ダイオードに逆方向に電圧を加えると、空乏層が広がり電圧に反比例して容量が変りますが、その容量変化は、

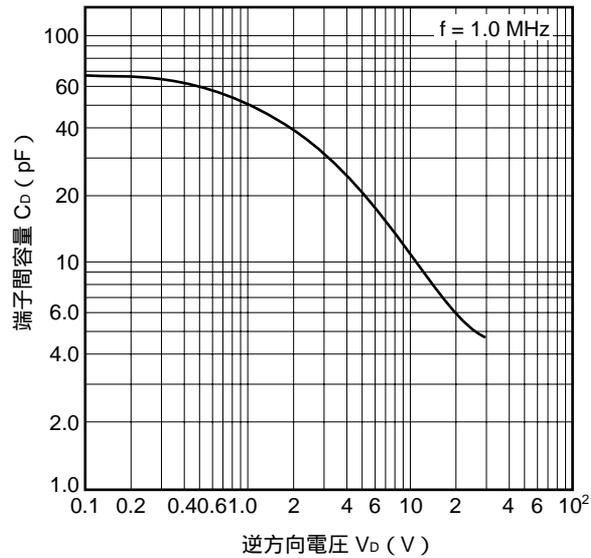
$$C = C_P + \frac{C_0}{\{1 + (V_R / \phi)\}^K} \dots\dots\dots$$

ただし、

- C_0 : $V_R = 0$ 時の容量
- ϕ : コンタクト・ポテンシャル
- C_P : 寄生容量
- K : 接合状態によって異なり、階段接合 (アロイ形などの場合) で $K = 1/2$ 、傾斜接合 (主に拡散形) で $K = 1/3$ 、さらに超階段接合で $K > 0.7$ となる。
- V_R : 逆方向電圧

したがって、超階段形ダイオードを用いれば、電圧変化に対して大きい容量変化が得られ、VCO 範囲を広くとることができます。このような容量可変ダイオードのことをバラクタ・ダイオードと呼ばれ、図 23 にその一例として、1SV50 の C - V 特性を示します。

図 23 バラクタ・ダイオード 1SV50 の C - V 特性
(NEC のバラクタ・ダイオードは全品種廃止しました。)



さて話を再び図 22 に戻して，(a) はバラクタとインダクタンスを組合わせた，ハートレ発振回路による VCO ですが，その周波数関係を求めてみましょう。

図 24 バラクタ電圧対バラクタ容量，発振周波数特性

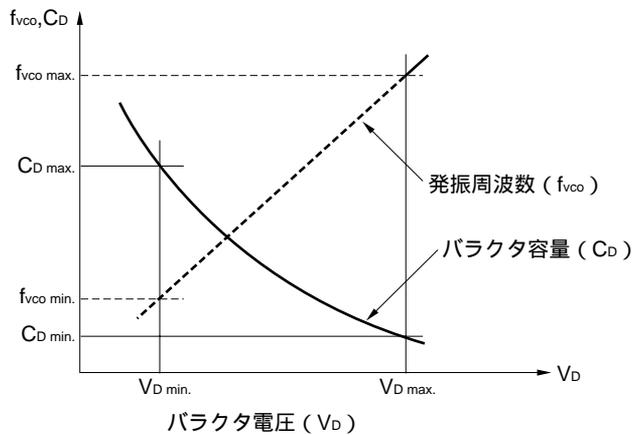


図 22 (b) は共振等価回路で，バラクタ電圧 V_D と発振周波数 f_{VCO} ，さらに容量変化 C_D との関係は図 24 のようになります。すなわち L を一定とすると，

希望する発振周波数の下限を f_{VCOmin} ，このときの共振容量を C_{max}

希望する発振周波数の上限を f_{VCOmax} ，このときの共振容量を C_{min}

C_{max} 時のバラクタ電圧を V_{Dmin} ， C_{min} 時のバラクタ電圧を V_{Dmax} とすると図 22 (b) から，

$$C_{max} = C_2 + \{ C_1 \cdot C_{Dmax} / (C_1 + C_{Dmax}) \} \quad (C_{Dmax} \text{ は } V_{Dmin} \text{ 時のバラクタ容量})$$

$$C_{min} = C_2 + \{ C_1 \cdot C_{Dmin} / (C_1 + C_{Dmax}) \} \quad (C_{Dmin} \text{ は } V_{Dmax} \text{ 時のバラクタ容量})$$

で表されます。一般には f_{VCOmin} ， f_{VCOmax} ， V_{Dmin} ， V_{Dmax} が決まると， C_{Dmax} ， C_{Dmin} が決まり，さらに C_2 が初期設定されていれば， C_1 は次のように求まります。

$$C_1 = \frac{-b + \sqrt{b^2 - 4ac}}{2a} \dots\dots\dots$$

ただし、

$$A = (f_{VCOmax}/f_{VCOmin})^2 \text{とおくと、}$$

$$a = C_{Dmax} - AC_{Dmin} + (1 - A) C_2$$

$$b = (1 - A) \{ C_{Dmin}C_{Dmax} + C_2 (C_{Dmin} + C_{Dmax}) \}$$

$$c = (1 - A) C_2 C_{Dmin}C_{Dmax}$$

C_1 と C_2 で、バラクタ容量変化比をコントロールでき、 C_1 を小さく、 C_2 を大きくするほど、バラクタの容量変化は小さくなります。

逆に C_2 が小さすぎると、分布容量などの影響で周波数のバラツキが大きくなります。また C_1 , C_2 に温度係数をもたせると、周波数の温度補償ができます。

図 22 (b) のインダクタンス L は、

$$L = \frac{1}{4\pi^2 f_{VCO}^2 \max C_{min}} = \frac{1}{4\pi^2 f_{VCO}^2 \min C_{max}} \dots\dots\dots$$

また VCO ゲイン K_V は、

$$K_V = \frac{2\pi (f_{VCOmax} - f_{VCOmin})}{V_{Dmax} - V_{Dmin}} \text{ (rad/S/V) } \dots\dots\dots$$

K_V は K_ϕ と同様に、ループ・フィルタを求めるときに使われます。

V_D を低い電圧で使用すると、バラクタの Q が低下し、発振回路が不安定になったり、また発振振幅が大きいとバラクタの順方向まで振られるので、波形がクリップされひずみが大きくなったり、あるいは雑音源になることもあります。一般的には V_D の最低値が、0.5~1V 以上とすると問題ないようです。

次に、図 25 に示されるマルチバイブレータによる VCO を考えてみましょう。 $Q_1 - Q_2$ 間にタイミング用コンデンサ C を接続し、 Q_6 と Q_9 を定電流回路とします。 D_1 と D_2 はレベルシフト用のダイオードです。

動作初期条件に Q_1 を ON, Q_2 を OFF として考えますと C には Q_1 のエミッタ側から充電が行われます。そうすると、 Q_2 の電位が下がってきますが、その電位差が Q_2 のベース電圧より約 0.7 V (トランジスタの $V_{BE(ON)}$ 電圧) 下がると Q_2 が ON し、 Q_1 が OFF しますので、 Q_2 のコレクタ電位が反転します。その結果、逆に Q_1 から Q_2 側に向かって C にチャージが行われ、同様の動作が繰返されます。

図 25 マルチバイブレータによる VCO

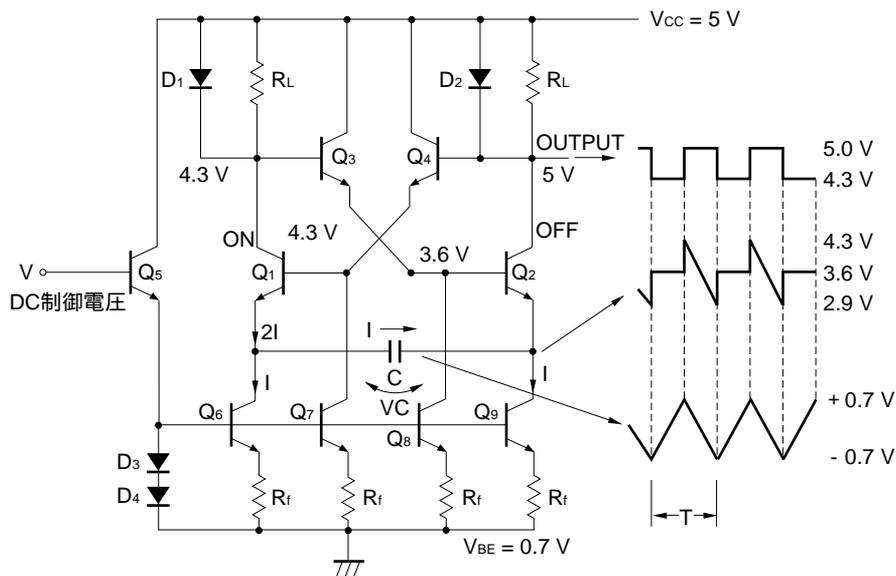


図 25 の右側にタイミング波形を示しますが、このときの発振周期 T は、 $T = 4CV_{BE}/I$ で決定されます。 C , V_{BE} を一

定とすると、T は I によって制御されるので、そのため電流・電圧変換として Q₅ を使い、Q₅ のベース電位を変えて T を変化させるすなわち VCO ができます。この方式は、別名 VCM (Voltage Controlled Multivibrator) と呼ばれます。

7.4 プログラマブル・カウンタ

カウンタの分周比を外部プログラムで、任意に変える方法は各種ありますが、ここではダウン・カウンタを用いたプリセット方式を考えてみます。図 26 は、プリセッタブル 10 進カウンタ 74LS192 を 2 個用いた、1 ~ 99 までの任意分周が可能な、プログラマブル・カウンタです。

LOAD ラインがハイレベルのときは、プリセット入力 A₀ ~ D₀ および A₁ ~ D₁ の入力は禁止され、カウンタは入力周波数をカウント・ダウンしていますが、LOAD ラインがローレベルになると、入力周波数の状態に関係なく、プリセット・データが優先され、各フリップフロップにセットされます。LOAD ラインをハイレベルに戻すと、プリセットされた値からカウンタはカウント・ダウンを行います。

さて、プログラマブル・カウンタ動作を行わせるため、図 26 (a) の回路において、各カウンタの“0”を OR ゲートで検出し、LOAD ラインにフィードバックしておきます。

図 26 (a) ダウンカウント方式プログラマブル・カウンタの回路図

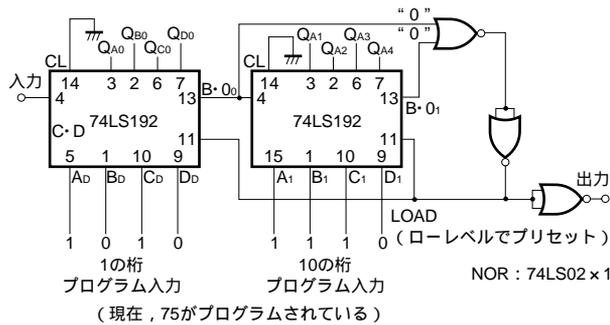
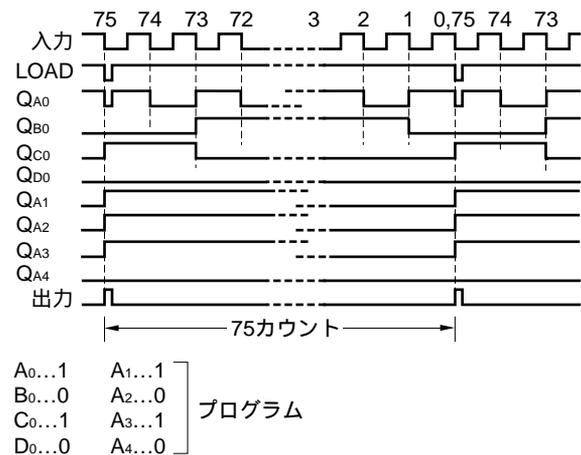


図 26 (b) 75 にプリセットしたときのタイミング・チャート



LOAD ラインがローレベルになったとき、75 が各カウンタにセットされ、ハイレベルに戻ったとき 75 からカウント・ダウン (75, 74, 73.....) を行います。しかし、0 になったとき OR ゲートの出力がローレベル、すなわち再びプリセット・データを読み込みますが、読み込んだ瞬間カウント出力は 0 でなくなるので、再びプリセット値からカウント・ダウンが行われます。

この LOAD 信号を見ると、入力パルスが 75 発に 1 発の値で、プリセットが行われているので、LOAD 信号を出力として取り出せば、プリセット値と同じ分周出力が得られます。したがって、プリセットの値を任意に設定すれば、それに応じた分周比が得られます。すなわち、プログラマブル・カウンタとなります。

なお、プログラム・コードはいろいろありますが、一般的にはバイナリ・コードと、BCD コードがよく使われますので、その計算方法を参考までに表 2 に示しておきます。

表2 プログラム・コードの計算方法

<p>(1) 十進数 バイナリ・コード (例) 91 をバイナリ・コードへ</p> <pre> 2) 91 1 LSB) 45 1) 22 0) 11 1) 5 1) 2 0 MSB 1 </pre> <p>LSB MSB (答) 1101101</p> <p>方法 : 十進数を 2 で割算し、余りがあれば右側に 1 を、割切れれば 0 を書いて割った順にならべると、バイナリ・コードが得られる。LSB は二進法の最下桁、MSB は最上桁を示す。</p> <p>(LSB : Least Significant Bit) (MSB : Most Significant Bit)</p>	<p>(2) バイナリ・コード 十進数 LSB MSB (例) 1101101 を十進数へ</p> <pre> 1 1 0 1 1 0 1 1⁰ 2¹ 2² 2³ 2⁴ 2⁵ 2⁶ </pre> <p>$(2^0 \times 1) + (2^1 \times 1) + (2^2 \times 0) + (2^3 \times 1) + (2^4 \times 1) + (2^5 \times 0) + (2^6 \times 1) = 1 + 2 + 8 + 16 + 64 = 91$</p> <p>(答) 91</p> <p>方法 : バイナリ・コードを 2^n に対応してならべ、そのときのコードの値を 2^n を乗算しその総和をとると、十進数が得られる。</p>	<p>(3) BCD コード LSD</p> <table border="1"> <thead> <tr> <th>十進</th> <th colspan="4">一の桁</th> <th colspan="2">十の桁</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>2</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>3</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>4</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>5</td><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>6</td><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>7</td><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>8</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>9</td><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>10</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>11</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>12</td><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td></tr> <tr><td>19</td><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>20</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>21</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> </tbody> </table> <p>バイナリ・コードで 9 までカウントすると、次のビットに桁上げる。したがって 0~9 までのコードをおぼえておけば良い。</p>	十進	一の桁				十の桁		0	0	0	0	0	0	0	1	1	0	0	0	0	0	2	0	1	0	0	0	0	3	1	1	0	0	0	0	4	0	0	1	0	0	0	5	1	0	1	0	0	0	6	0	1	1	0	0	0	7	1	1	1	0	0	0	8	0	0	0	1	0	0	9	1	0	0	1	0	0	10	0	0	0	0	1	0	11	1	0	0	0	1	0	12	0	1	0	0	1	0	⋮	⋮	⋮	⋮	⋮	⋮	⋮	19	1	0	0	1	1	0	20	0	0	0	0	0	1	21	1	0	0	0	0	1
十進	一の桁				十の桁																																																																																																																											
0	0	0	0	0	0	0																																																																																																																										
1	1	0	0	0	0	0																																																																																																																										
2	0	1	0	0	0	0																																																																																																																										
3	1	1	0	0	0	0																																																																																																																										
4	0	0	1	0	0	0																																																																																																																										
5	1	0	1	0	0	0																																																																																																																										
6	0	1	1	0	0	0																																																																																																																										
7	1	1	1	0	0	0																																																																																																																										
8	0	0	0	1	0	0																																																																																																																										
9	1	0	0	1	0	0																																																																																																																										
10	0	0	0	0	1	0																																																																																																																										
11	1	0	0	0	1	0																																																																																																																										
12	0	1	0	0	1	0																																																																																																																										
⋮	⋮	⋮	⋮	⋮	⋮	⋮																																																																																																																										
19	1	0	0	1	1	0																																																																																																																										
20	0	0	0	0	0	1																																																																																																																										
21	1	0	0	0	0	1																																																																																																																										

7.5 デジタル・ミキサ

周波数ミキシング回路は、一般にはアナログが使用されていますが、D フリップフロップを使用しても、デジタル的にミキシングができます。図 27 に示される D フリップフロップの D (データ) と、C (クロック) 端子を入力としますが、このとき f_D は f_C より高くなければなりません。

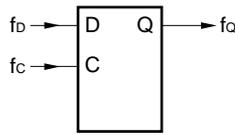
その動作は同図 (b) で示されるように、クロックの立ち上がりで D 入力のレベルをサンプリングし、Q に出力しますが、サンプリング時のデータは、次のクロックの立ち上がりまで保持します。したがって、クロック周波数の高次の周波数は、同じレベルしかサンプリングしないので、Q 出力周波数は 0 です。

(c) は、 f_D 入力周波数と Q 出力の伝達特性です。これからわかるように f_Q の最大値は $f_C/2$ です。 f_D の最大入力周波数は、D フリップフロップの最大応答周波数で決定され、TTL は約 30 MHz、ECL は 700~800 MHz、CMOS は約 10 MHz です。PLL ループに使用した場合、VCO の周波数範囲が適切でないと、図 27 (c) からわかるように、高次の周波数とミキシングしてしまうので、その範囲選択は重要です。

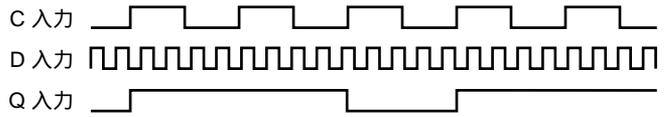
図 28 は、PLL ループにデジタル・ミキサを使用したブロック図と、周波数関係ですが、同図 (b) より希望する f_{VCO} の出力を、 f_{VCOmin} から f_{VCOmax} として、 f_{VCOmin} のロック点を A、 f_{VCOmax} を B とします。

図 27 デジタル・ミキサ

(a) D フリップフロップによるミキサ



(b) D/FF のタイミング・チャート



(c) 入出力周波数特性

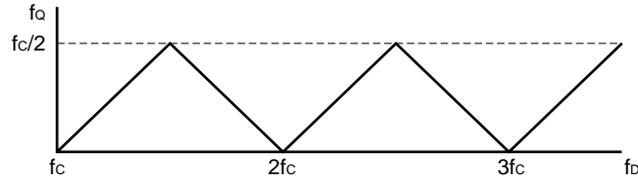
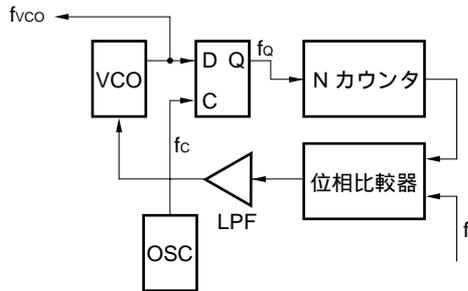
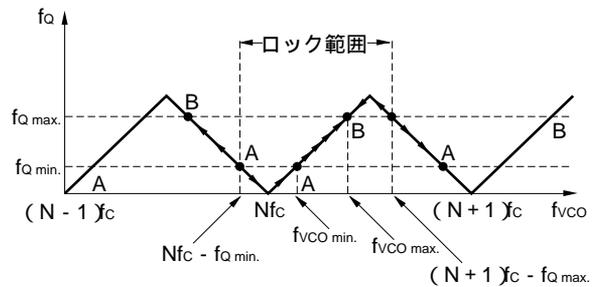


図 28 デジタル・ミキサの VCO 範囲

(a)



(b)



A にロックさせようとした場合、 f_{vco} が $A' < f_{vco} < A''$ であれば、PLL は A 点にロックするように動作します。しかし、 $f_{vco} < A'$ ならば PLL は A' にロックし、見かけ上ロックがはずれます。同様に B 点についても、 $B''' < f_{vco} < B'$ でなければならず、結局 $f_{vco min}$ から $f_{vco max}$ までカバーするための f_{vco} の範囲は $A' < f_{vco} < B'$ となります。

参考文献

- ・トランジスタ技術 1976年8月号, CQ 出版
- ・近藤, 藤井; 制御工学 1972年, オーム社
- ・PHASE LOCKED LOOP DATA BOOK MOTOROLA INC;1973
- ・久保; PLL IC の基礎知識
- ・小沢; PLL 周波数シンセサイザ回路設計法 1994年, 総合電子出版社

付 録

PLL の動作解析

ゲイン定数を考慮した PLL 周波数シンセサイザのブロックを図 4 に示します。

図 4 より位相比較器の出力 $V\phi(t)$ は $\theta_i(t)$ と $\theta_o(t)/N$ の位相差に比例して、

$$V\phi(t) = K\phi (\theta_i(t) - \theta_o(t)/N) \dots\dots\dots$$

$V\phi(t)$ は LPF で高周波成分が除去され誤差電圧 V_F となります。VCO は V_F で制御されますが、このときの VCO の出力周波数の変化分 $\Delta\omega_o$ は、

$$\Delta\omega_o = K_V \cdot V_F \dots\dots\dots$$

角周波数は位相の時間微分ですので、

$$\Delta\omega_o = \frac{d\theta_o(t)}{dt} = K_V K_F \dots\dots\dots$$

式をラプラス変換すると、

$$L\left[\frac{d\theta_o(t)}{dt}\right] = S \cdot \theta_o(s) = K_V \cdot V_F(s)$$

$$\therefore \theta_o(s) = \frac{K_V \cdot V_F(s)}{S} \dots\dots\dots$$

が得られます。

同様に 式をラプラス変換すると、

$$V\phi(s) = K\phi \left(\theta_i(s) - \frac{\theta_o(s)}{N} \right) = K\phi\theta_e(s) \dots\dots\dots$$

$\theta_e(s)$: 入力位相誤差

$$V_F(s) = K_F(s) \cdot V\phi(s) \dots\dots\dots$$

、式から

$$\theta_o(s) = \left(\theta_i(s) - \frac{\theta_o(s)}{N} \right) K\phi \cdot \frac{K_V}{S} \cdot K_F(s) \dots\dots\dots$$

式よりループ伝達関数 $H(s) = \frac{\theta_o(s)}{\theta_i(s)}$ は次式ようになります。

$$H(s) = \frac{K\phi K_V K_F(s)}{S + \frac{K\phi K_V K_F(s)}{N}} \dots\dots\dots$$

式は PLL の基本式です。

$K\phi, K_V, N$ は定数とするとフィルタの伝達関数 $K_F(s)$ の種類による $H(s)$ の状態を求めてみます。フィルタは一般的によく用いられるラグ・フィルタ、ラグリード・フィルタ、アクティブ・フィルタについて検討を行います。

a. ラグ・フィルタ

図 5 より、

伝達特性 $K_F(t) = \frac{e_2(t)}{e_1(t)}$ は

$$K_F(t) = \frac{1}{R + \frac{1}{j\omega C}} = \frac{1}{1 + j\omega CR} \dots\dots\dots$$

式をラプラス変換すると、 $j\omega \rightarrow S$ とおくと、

$$K_F(s) = \frac{1}{1+SCR} = \frac{1}{1+S\tau} \dots\dots\dots$$

$\tau = CR$

式を 式に代入すると,

$$H(s) = \frac{\frac{K\phi K_V}{1+S\tau}}{S + \frac{K\phi K_V}{N(1+S\tau)}} = \frac{\frac{K\phi K_V}{\tau}}{S^2 + \frac{S}{\tau} + \frac{K\phi K_V}{N\tau}}$$

$$= \frac{N\omega_n^2}{S^2 + 2\zeta\omega_n S + \omega_n^2} \dots\dots\dots$$

ただし $\omega_n = \sqrt{\frac{K\phi K_V}{N\tau}} \dots\dots$ ループの自然周波数

$\zeta = \frac{1}{2} \sqrt{\frac{N}{K\phi K_V \tau}} \dots$ ダンピングファクタ

式の特徴を持つ伝達関数にステップ入力を与えたインディシャル応答は,

$$\theta_o(s) = H(s) \cdot \theta_i(s) = H(s) \cdot \frac{1}{S} \dots\dots\dots$$

$\frac{1}{S}$ はステップ関数

式をラプラス逆変換して出力の時間に対する応答を求めると,

$$\theta_o(t) = L^{-1} \left[H(s) \cdot \frac{1}{S} \right] = L^{-1} \left[\frac{1}{S} \cdot \frac{\omega_n^2}{S^2 + 2\zeta\omega_n S + \omega_n^2} \right]$$

$$= \begin{cases} 1 - \frac{e^{-\zeta\omega_n t}}{\sqrt{1-\zeta^2}} \zeta - (\sqrt{1-\zeta^2} \omega_n t + \phi), & (\zeta < 1) \\ \frac{1}{\zeta^2} \{ 1 - e^{-\zeta\omega_n t} (1 + \zeta\omega_n t) \} & (\zeta = 1) \\ 1 - \frac{\alpha^2 (e^{\frac{1}{\alpha}\omega_n t} - e^{-\alpha\omega_n t})}{\alpha^2 - 1} & (\zeta > 1) \end{cases} \dots$$

ただし $\alpha = \zeta + \sqrt{\zeta^2 - 1}$

式をグラフにすると図 6 が得られます。

次にループの周波数特性を求めます。

式において $S = j\omega$ とおくと,

$$H(j\omega) = \frac{N\omega_n^2}{(\omega_n^2 - \omega^2) + j2\zeta\omega_n\omega} \dots\dots\dots$$

伝達特性 $|H(j\omega)|$ は

$$|H(j\omega)| = \frac{N\omega_n^2}{\sqrt{(\omega_n^2 - \omega^2)^2 + 4\zeta^2\omega_n^2\omega^2}}$$

ω を ω_n で正規化した特性は,

$$|H_n(j\omega)| = \frac{1}{\sqrt{(1 - n^2)^2 + 4n^2\zeta^2}} \dots\dots\dots$$

ただし $n = \frac{\omega}{\omega_n}$

位相特性

$$\phi = \tan^{-1} \left(\frac{2n\zeta}{1-n^2} \right)$$

式をグラフ化すると図7のようになります。

b. ラグリード・フィルタ

図8はラグリード・フィルタです。図8よりラグリード・フィルタの伝達関数は、

$$K_F(s) = \frac{e_2(s)}{e_1(s)} = \frac{1+j\omega\tau_2}{1+j\omega(\tau_1+\tau_2)} \quad \text{ただし } \tau_1 = CR_1 \\ \tau_2 = CR_2$$

ラプラス変換すると、 $j\omega$ を S とおいて、

$$K_F(s) = \frac{1+S\tau_2}{1+S(\tau_1+\tau_2)} \dots\dots\dots$$

となります。式を式に代入してループ伝達関数 $H(s)$ を求めます。

$$H(s) = \frac{N\omega_n^2(1+S\tau_2)}{S^2+2\zeta\omega_nS+\omega_n^2} \\ = N \cdot \left\{ \frac{\omega_n^2 + \omega_n \left(2\zeta - \frac{N\omega_n}{K\phi K_V} \right) S}{S^2 + 2\zeta\omega_nS + \omega_n^2} \right\} \dots\dots\dots$$

ここで

$$\omega_n = \sqrt{\frac{K\phi K_V}{N(\tau_1+\tau_2)}}, \quad \zeta = \frac{N + K\phi K_V\tau_2}{2\sqrt{NK\phi K_V(\tau_1+\tau_2)}}$$

ここで $2\zeta \gg N\omega_n/K\phi K_V$ とすると式は、

$$H(s) = N \left\{ \frac{2\zeta\omega_nS + \omega_n^2}{S^2 + 2\zeta\omega_nS + \omega_n^2} \right\}$$

となりますが、これは次に述べるアクティブ・フィルタの場合と同じになります。ラグリード・フィルタは不完全2次ループ・フィルタとも呼ばれます。

c. アクティブ・フィルタ

図9に示されるアクティブ・フィルタの伝達関数は次式で表されます。

$$K_F(s) = \frac{1+SCR_2}{\frac{1+SC(R_1+R_2)}{A} - SCR_1}$$

今 A が十分に大きく $SCR_1 \gg \frac{1+SC(R_1+R_2)}{A}$ を

満足できるならば、

$$K_F(s) = \frac{1+SCR_2}{SCR_1} = \frac{1+S\tau_2}{S\tau_1} \quad \tau_1 = CR_1 \dots\dots\dots \\ \tau_2 = CR_2$$

式を式に代入してループ伝達関数を求めますと、

$$H(s) = \frac{\omega_n^2(1+S\tau_2)}{S^2+2\zeta\omega_nS+\omega_n^2} = \frac{2\zeta\omega_nS + \omega_n^2}{S^2+2\zeta\omega_nS+\omega_n^2} \dots\dots\dots \\ \text{ただし } \omega_n = \sqrt{\frac{K\phi K_V}{N\tau_1}}, \quad \zeta = \frac{\tau_2}{2} \sqrt{\frac{K\phi K_V}{N\tau_1}} = \frac{\tau_2}{2} \omega_n$$

式のループ伝達特性を持つループのインディシャル応答はラプラス逆変換を行って図示すると図10のようになります。また閉ループ周波数特性は式において $S = j\omega$ とおくことにより求められます。

$$H(j\omega) = \frac{\omega_n^2 + j2\zeta\omega_n\omega}{(\omega_n^2 - \omega^2) + j2\zeta\omega_n\omega}$$

$$|H(j\omega)| = \frac{\sqrt{\omega_n^4 + (2\zeta\omega_n\omega)^2}}{\sqrt{(\omega_n^2 - \omega^2)^2 + (2\zeta\omega_n\omega)^2}}$$

ω を ω_n で正規化すると,

$$\left. \begin{aligned} |H(j\omega)| &= \frac{\sqrt{1 + (2\zeta n)^2}}{\sqrt{(1 - n^2)^2 + (2\zeta n)^2}} \\ \text{ただし } n &= \frac{\omega}{\omega_n} \\ \text{位相特性 } \phi &\text{は,} \\ \phi &= \tan^{-1}(2\zeta n) - \tan^{-1}\left(\frac{2\zeta n}{1 - n^2}\right) \end{aligned} \right\} \dots\dots\dots$$

式の閉ループ周波数特性は図 11 に示されます。

(メ モ)

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目1番1号（NEC本社ビル）	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 札幌 (011)231-0161 東北支社 仙台 (022)267-8740 岩手支店 盛岡 (0196)51-4344 山形支店 山形 (0236)23-5511 郡山支店 郡山 (0249)23-5511 いわき支店 いわき (0246)21-5511 長岡支店 長岡 (0258)36-2155 土浦支店 土浦 (0298)23-6161 水戸支店 水戸 (029)226-1717 神奈川支社 横浜 (045)324-5524 群馬支店 高崎 (0273)26-1255	太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (028)621-2281 小山支店 小山 (0285)24-5011 長野支店 小松本 (0263)35-1662 甲府支店 甲府 (0552)24-4141 埼玉支店 埼玉 (048)641-1411 立川支店 立川 (0425)26-5981 千葉支店 千葉 (043)238-8116 静岡支店 静岡 (054)255-2211 北陸支店 金沢 (0762)23-1621 福井支店 福井 (0776)22-1866	富山支店 富山 (0764)31-8461 三重支店 津 (0592)25-7341 京都支店 京都 (075)344-7824 神戸支店 神戸 (078)333-3854 中国支店 広島 (082)242-5504 鳥取支店 鳥取 (0857)27-5311 岡山支店 岡山 (086)225-4455 四国支店 高松 (0878)36-1200 新居浜支店 新居浜 (0897)32-5001 松山支店 松山 (089)945-4149 九州支社 福岡 (092)271-7700

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 超高周波・光デバイス技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-8881	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3383	