

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## M16C/62P、R32C/111 グループ

### M16C/62P と R32C/111 との相違点 (100ピン版)

#### 1. 要約

この資料は、M16C/62P グループ 100ピン版と R32C/111 グループ 100ピン版との機能の相違点を確認するための参考資料です。各機能の詳細については、ハードウェアマニュアルまたはソフトウェアマニュアルを参照ください。

#### 2. はじめに

この資料は次のマイコンに適用されます。

- マイコン : M16C/62P 100ピン版、R32C/111 100ピン版

### 3. 概要比較

#### 3.1 機能の概要比較

表 3.1 に機能の相違点を示します。

表 3.1 機能の相違点

項目	M16C/62P	R32C/111
基本命令数	91 命令	108 命令 削除：14、追加：31、変更：5
最小命令実行時間	41.7ns (f(BCLK)=24MHz、VCC1=3.0V~5.5V)	20ns (f(CPU)=50MHz)
乗算器	16ビット×16ビット→32ビット	32ビット×32ビット→64ビット
積和演算命令	なし	32ビット×32ビット+64ビット→64ビット
FPU	なし	単精度 (IEEE-754 準拠)
パレルシフタ	なし	32ビット
動作モード	シングルチップ、メモリ拡張、 マイクロプロセッサモード	シングルチップ、メモリ拡張、 マイクロプロセッサモード (オプション (注1))
アドレス空間	1Mバイト (メモリ空間拡張機能により4Mバイトに拡張可能)	4Gバイト (うち64Mバイトまで使用可能)
電圧検出回路 (オプション (注1))	リセット領域検出回路、電圧低下検出回路 コールドスタート/ウォームスタート判定機能	電圧低下検出回路 電圧低下検出割り込み
クロック	メインクロック発振回路：0~16MHz PLL シンセサイザ：10~24MHz オンチップオシレータ：約1MHz 周波数分周回路：1、2、4、8、10、16分周選択	メインクロック発振回路：4~16MHz PLL シンセサイザ：96MHz~128MHz オンチップオシレータ：約125kHz 周波数分周回路：2~24分周選択
割り込み	割り込みベクタ数：70	割り込みベクタ数：261
DMAC	2チャンネル 起動要因：24	4チャンネル 起動要因：51
DMAC II	なし	あり
X/Y変換回路	なし	あり
入出力ポート	入出力87本、入力1本	CMOS入出力82本、入力2本
シリアル インターフェース	3チャンネル (UART0~UART2) クロック同期シリアルI/O クロック非同期シリアルI/O 1チャンネル (UART2) I <sup>2</sup> C bus、IEBus (注2) 2チャンネル (SI/O3、SI/O4) クロック同期シリアルI/O	9チャンネル (UART0~UART8) クロック同期シリアルI/O クロック非同期シリアルI/O 7チャンネル (UART0~UART6) I <sup>2</sup> C bus、特殊モード2、 IEBus (オプション (注1))(注2)
インテリジェント I/O	なし	時間計測機能：16ビット×16 波形生成機能：16ビット×19 通信機能： 可変長クロック同期型シリアルI/O IEBus (オプション (注1))(注2)
フラッシュメモリ	プログラムイレーズ電圧：3.3±0.3Vまたは5.0±0.5V プログラム、イレーズ回数： 100回全領域 または、1000回(ブロックA、ブロック1以外のユーザ ROM領域)/10000回(ブロックA、ブロック1)	プログラム、イレーズ電圧：Vcc1=Vcc2=3.0~5.5V プログラム、イレーズ回数： 1000回(プログラム領域)/10000回(データ領域) 強制イレーズ機能(オプション (注1)) 標準シリアル入出力モード禁止機能 (オプション (注1))
動作周波数/ 電源電圧	24MHz / VCC1=3.0~5.5V VCC2=2.7V~VCC1 10MHz / VCC1=2.7~5.5V VCC2=2.7V~VCC1	50MHz / VCC1=3.0~5.5V VCC2=3.0V~VCC1
消費電流	14mA (VCC1=VCC2=5V、f(BCLK)=24MHz) 8mA (VCC1=VCC2=3V、f(BCLK)=10MHz) 1.8μA (VCC1=VCC2=3.0V、 f(XCIN)=32.768kHz、ウェイトモード) 0.7μA (VCC1=VCC2=3.0Vストップモード)	32mA (VCC1=VCC2=5.0V、f(CPU)=50MHz) 8μA (VCC1=VCC2=3.3V~5.0V、 f(XCIN)=32.768kHz、ウェイトモード) 5μA (VCC1=VCC2=3.3V~5.0V、 クロック停止、メインレギュレータ停止)

注1. オプション機能をご使用になる場合は、弊社営業窓口までご連絡ください。

注2. IEBusはNECエレクトロニクス株式会社の登録商標です。

### 3.2 端子機能比較

表 3.2~表 3.4に端子機能の相違点を示します。

表 3.2 端子機能の相違点 (1/3)

M16C/62P	R32C/111	相違点
P9_4/TB4IN/DA1	P9_4/TB4IN/DA1/CTS4/RTS4/SS4	【追加】 CTS4/RTS4/SS4
P9_2/TB2IN/SOUT3	VDC0	【追加】 VDC0 【削除】 P9_2/TB2IN/SOUT3
P9_1/TB1IN/SIN3	P9_1	【削除】 TB1IN/SIN3
P9_0/TB0IN/CLK3	VDC1	【追加】 VDC1 【削除】 P9_0/TB0IN/CLK3
BYTE	NSD	【追加】 NSD 【削除】 BYTE
P8_4/INT2/ZP	P8_4/INT2	【削除】 ZP
P8_1/TA4IN/U	P8_1/TA4IN/U/CTS5/RTS5/SS5/IIO1_5/ UD0B/UD1B	【追加】 CTS5/RTS5/SS5/IIO1_5/ UD0B/UD1B
P8_0/TA4OUT/U	P8_0/TA4OUT/U/RXD5/SCL5/STXD5/ UD0A/UD1A	【追加】 RXD5/SCL5/STXD5/UD0A/ UD1A
P7_7/TA3IN	P7_7/TA3IN/CLK5/IIO1_4/UD0B/UD1B	【追加】 CLK5/IIO1_4/UD0B/UD1B
P7_6/TA3OUT	P7_6/TA3OUT/SRXD5/SDA5/TXD5/ CTS8/RTS8/IIO1_3/UD0A/UD1A	【追加】 SRXD5/SDA5/TXD5/CTS8/ RTS8/IIO1_3/UD0A/UD1A
P7_5/TA2IN/W	P7_5/TA2IN/W/RXD8/IIO1_2	【追加】 RXD8/IIO1_2
P7_4/TA2OUT/W	P7_4/TA2OUT/W/CLK8/IIO1_1	【追加】 CLK8/IIO1_1
P7_3/TA1IN/V/CTS2/RTS2	P7_3/TA1IN/V/CTS2/RTS2/SS2/TXD8/ IIO1_0	【追加】 SS2/TXD8/IIO1_0
P7_1/TA0IN/TB5IN/RXD2/SCL2	P7_1/TA0IN/TB5IN/RXD2/SCL2/STXD2/ IIO1_7/OUTC2_2/ISRXD2/IEIN	【追加】 STXD2/IIO1_7/OUTC2_2/ ISRXD2/IEIN
P7_0/TA0OUT/TXD2/SDA2	P7_0/TA0OUT/TXD2/SDA2/SRXD2/ IIO1_6/OUTC2_0/ISTXD2/IEOUT	【追加】 SRXD2/IIO1_6/OUTC2_0/ ISTXD2/IEOUT
P6_7/TXD1/SDA1	P6_7/TXD1/SDA1/SRXD1	【追加】 SRXD1
P6_6/RXD1/SCL1	P6_6/RXD1/SCL1/STXD1	【追加】 STXD1
P6_4/CTS1/RTS1/CTS0/CLKS1	P6_4/CTS1/RTS1/SS1/OUTC2_1/ ISCLK2	【追加】 SS1/OUTC2_1/ISCLK2 【削除】 CTS0/CLKS1
P6_3/TXD0/SDA0	P6_3/TXD0/SDA0/SRXD0	【追加】 SRXD0
P6_2/RXD0/SCL0	P6_2/TB2IN/RXD0/SCL0/STXD0	【追加】 TB2IN/STXD0
P6_1/CLK0	P6_1/TB1IN/CLK0	【追加】 TB1IN
P6_0/CTS0/RTS0	P6_0/TB0IN/CTS0/RTS0/SS0	【追加】 TB0IN/SS0
P5_7/RDY/CLKOUT	P5_7/RDY/CS3/CTS7/RTS7	【追加】 CS3/CTS7/RTS7 【削除】 CLKOUT
P5_6/ALE	P5_6/ALE/CS2/RXD7	【追加】 CS2/RXD7
P5_5/HOLD	P5_5/HOLD/CLK7	【追加】 CLK7
P5_4/HLDA	P5_4/HLDA/CS1/TXD7	【追加】 CS1/TXD7
P5_3/BCLK	P5_3/CLKOUT/BCLK	【追加】 CLKOUT

表 3.3 端子機能の相違点 (2/3)

M16C/62P	R32C/111	相違点
P5_1/ $\overline{\text{WRH}}$ / $\overline{\text{BHE}}$ (注1、注2)	P5_1/ $\overline{\text{WR1}}$ / $\overline{\text{BC1}}$ (注1、注2)	
P5_0/ $\overline{\text{WRL}}$ / $\overline{\text{WR}}$ (注3)	P5_0/ $\overline{\text{WR0}}$ / $\overline{\text{WR}}$ (注3)	
P4_7/ $\overline{\text{CS3}}$	P4_7/ $\overline{\text{CS0}}$ /A23/TXD6/SDA6/SRXD6	【追加】 $\overline{\text{CS0}}$ /A23/TXD6/SDA6/SRXD6 【削除】 $\overline{\text{CS3}}$
P4_6/ $\overline{\text{CS2}}$	P4_6/ $\overline{\text{CS1}}$ /A22/RXD6/SCL6/STXD6	【追加】 $\overline{\text{CS1}}$ /A22/RXD6/SCL6/STXD6 【削除】 $\overline{\text{CS2}}$
P4_5/ $\overline{\text{CS1}}$	P4_5/ $\overline{\text{CS2}}$ /A21/CLK6	【追加】 $\overline{\text{CS2}}$ /A21/CLK6 【削除】 $\overline{\text{CS1}}$
P4_4/ $\overline{\text{CS0}}$	P4_4/ $\overline{\text{CS3}}$ /A20/ $\overline{\text{CTS6}}$ / $\overline{\text{RTS6}}$ / $\overline{\text{SS6}}$	【追加】 $\overline{\text{CS3}}$ /A20/ $\overline{\text{CTS6}}$ / $\overline{\text{RTS6}}$ / $\overline{\text{SS6}}$ 【削除】 $\overline{\text{CS0}}$
P4_3/A19	P4_3/A19/TXD3/SDA3/SRXD3/ OUTC2_0/ISTXD2/IEOUT	【追加】TXD3/SDA3/SRXD3/ OUTC2_0/ISTXD2/IEOUT
P4_2/A18	P4_2/A18/RXD3/SCL3/STXD3/ISRXD2/ IEIN	【追加】RXD3/SCL3/STXD3/ISRXD2/ IEIN
P4_1/A17	P4_1/A17/CLK3	【追加】CLK3
P4_0/A16	P4_0/A16/ $\overline{\text{CTS3}}$ / $\overline{\text{RTS3}}$ / $\overline{\text{SS3}}$	【追加】 $\overline{\text{CTS3}}$ / $\overline{\text{RTS3}}$ / $\overline{\text{SS3}}$
P3_7/A15	P3_7/A15/ [A15/D15] /TA4IN/ $\overline{\text{U}}$	【追加】[A15/D15] /TA4IN/ $\overline{\text{U}}$
P3_6/A14	P3_6/A14/ [A14/D14] /TA4OUT/U	【追加】[A14/D14] /TA4OUT/U
P3_5/A13	P3_5/A13/ [A13/D13] /TA2IN/ $\overline{\text{W}}$	【追加】[A13/D13] /TA2IN/ $\overline{\text{W}}$
P3_4/A12	P3_4/A12/ [A12/D12] /TA2OUT/W	【追加】[A12/D12] /TA2OUT/W
P3_3/A11	P3_3/A11/ [A11/D11] /TA1IN/ $\overline{\text{V}}$	【追加】[A11/D11] /TA1IN/ $\overline{\text{V}}$
P3_2/A10	P3_2/A10/ [A10/D10] /TA1OUT/V	【追加】[A10/D10] /TA1OUT/V
P3_1/A9	P3_1/A9/ [A9/D9] /TA3OUT/UD0B/ UD1B	【追加】[A9/D9] /TA3OUT/UD0B/ UD1B
P3_0/A8/ [A8/-] / [A8/D7]	P3_0/A8/ [A8/D8] /TA0OUT/UD0A/ UD1A	【追加】[A8/D8] TA0OUT/UD0A/ UD1A 【削除】[A8/-] / [A8/D7]
P2_7/A7/ [A7/D7] / [A7/D6] / AN2_7	P2_7/A7/ [A7/D7] /AN2_7	【削除】[A7/D6]
P2_6/A6/ [A6/D6] / [A6/D5] / AN2_6	P2_6/A6/ [A6/D6] /AN2_6	【削除】[A6/D5]
P2_5/A5/ [A5/D5] / [A5/D4] / AN2_5	P2_5/A5/ [A5/D5] /AN2_5	【削除】[A5/D4]
P2_4/A4/ [A4/D4] / [A4/D3] / AN2_4	P2_4/A4/ [A4/D4] /AN2_4	【削除】[A4/D3]
P2_3/A3/ [A3/D3] / [A3/D2] / AN2_3	P2_3/A3/ [A3/D3] /AN2_3	【削除】[A3/D2]
P2_2/A2/ [A2/D2] / [A2/D1] / AN2_2	P2_2/A2/ [A2/D2] /AN2_2	【削除】[A2/D1]

注1. バス機能の端子名で、M16C/62Pの $\overline{\text{WRH}}$ とR32C/111の $\overline{\text{WR1}}$ とは同じ機能の端子です。

注2. バス機能の端子名で、M16C/62Pの $\overline{\text{BHE}}$ とR32C/111の $\overline{\text{BC1}}$ とは同じ機能の端子です。

注3. バス機能の端子名で、M16C/62Pの $\overline{\text{WRL}}$ とR32C/111の $\overline{\text{WR0}}$ とは同じ機能の端子です。

表 3.4 端子機能の相違点 (3/3)

M16C/62P	R32C/111	相違点
P2_1/A1/ [A1/D1] / [A1/D0] / AN2_1	P2_1/A1/ [A1/D1] /AN2_1	【削除】 [A1/D0]
P2_0/A0/ [A0/D0] / [A0/-] /AN2_0	P2_0/A0/ [A0/D0] / $\overline{BC0}$ / [BC0/D0] / AN2_0	【追加】 $\overline{BC0}$ / [BC0/D0] 【削除】 [A0/-]
P1_7/D15/ $\overline{INT5}$	P1_7/D15/ $\overline{INT5}$ /IIO0_7/IIO1_7	【追加】 IIO0_7/IIO1_7
P1_6/D14/ $\overline{INT4}$	P1_6/D14/ $\overline{INT4}$ /IIO0_6/IIO1_6	【追加】 IIO0_6/IIO1_6
P1_5/D13/ $\overline{INT3}$	P1_5/D13/ $\overline{INT3}$ /IIO0_5/IIO1_5	【追加】 IIO0_5/IIO1_5
P1_4/D12	P1_4/D12/IIO0_4/IIO1_4	【追加】 IIO0_4/IIO1_4
P1_3/D11	P1_3/D11/IIO0_3/IIO1_3	【追加】 IIO0_3/IIO1_3
P1_2/D10	P1_2/D10/IIO0_2/IIO1_2	【追加】 IIO0_2/IIO1_2
P1_1/D9	P1_1/D9/IIO0_1/IIO1_1	【追加】 IIO0_1/IIO1_1
P1_0/D8	P1_0/D8/IIO0_0/IIO1_0	【追加】 IIO0_0/IIO1_0
P9_7/ $\overline{ADTRG}$ /SIN4	P9_7/ $\overline{ADTRG}$ /RXD4/SCL4/STXD4	【追加】 RXD4/SCL4/STXD4 【削除】 SIN4
P9_6/ANEX1/SOUT4	P9_6/TXD4/SDA4/SRXD4/ANEX1	【追加】 TXD4/SDA4/SRXD4 【削除】 SOUT4

## 4. 詳細比較

### 4.1 CPU機能比較

表 4.1 に命令の相違点、表 4.2~表 4.3 に内部レジスタのビット長の相違点、表 4.4 にレジスタバンクの相違点、表 4.5 にフラグレジスタの相違点を示します。

表 4.1 命令の相違点

項目	M16C/62P	R32C/111	
追加命令	-	ADDF、ADSF、BITINDEX、BRK2、CLIP、CMPF、CNVIF、DIVF、EXITI、EXTZ、FREIT、INDEX Type、MAX、MIN、MULX、MULF、ROUND、SCCnd、SCMPU、SIN、SMOVU、SOUT、STOP、SUBF、SUNTIL、SWHILE	
追加命令 (ニーモニック がM16C/62P と同じもの)	-	DIV	サイズ指定子に(.B)を指定した場合、 16bit÷8bit=8bitから8bit÷8bit=8bitに変更 サイズ指定子に(.W)を指定した場合、 32bit÷16bit=16bitから16bit÷16bit=16bitに変更
		DIVU	サイズ指定子に(.B)を指定した場合、 16bit÷8bit=8bitから8bit÷8bit=8bitに変更 サイズ指定子に(.W)を指定した場合、 32bit÷16bit=16bitから16bit÷16bit=16bitに変更
		DIVX	サイズ指定子に(.B)を指定した場合、 16bit÷8bit=8bitから8bit÷8bit=8bitに変更 サイズ指定子に(.W)を指定した場合、 32bit÷16bit=16bitから16bit÷16bit=16bitに変更
		MUL	サイズ指定子に(.B)を指定した場合、 8bit×8bit=16bitから8bit×8bit=8bitに変更 サイズ指定子に(.W)を指定した場合、 16bit×16bit=32bitから16bit×16bit=16bitに変更
		MULU	サイズ指定子に(.B)を指定した場合、 8bit×8bit=16bitから8bit×8bit=8bitに変更 サイズ指定子に(.W)を指定した場合、 16bit×16bit=32bitから16bit×16bit=16bitに変更
削除命令	-	ADJNZ、BAND、BNAND、BNOR、BNTST、BNXOR、BOR、BXOR、JMPS、JSRS、LDE、LDINTB、STE、SBJNZ	
変更命令 (ニーモニック 変更)	-	EDIV	DIVからニーモニック変更
		EDIVU	DIVUからニーモニック変更
		EDIVX	DIVXからニーモニック変更
		EMUL	MULからニーモニック変更
		EMULU	MULUからニーモニック変更
ビット操作	レジスタのビット操作は0~15ビットまで可能 例： BSET bit,R0 (bit 0~15)	レジスタのビット操作は0~7ビットまで可能  例： BSET bit,R0L (bit 0~7) BSET bit,R0H (bit 0~7)	



表 4.2 内部レジスタのビット長の相違点 (1/2)

内部 レジスタ名	M16C/62P		R32C/111	
	レジスタ名	ビット長	レジスタ名	ビット長
データレジスタ (注1)	R0、R1、R2、 R3	16ビット R0、R1は上位、下位を分 割して8ビットで 使用可能	R0、R1、R2、 R3	16ビット R0、R1、R2、R3は上位、 下位を分割して8ビットで 使用可能 R2とR0、R3とR1を組み 合わせて32ビットレジスタ として使用可能
			R4、R5、R6、 R7	16ビット R6とR4、R7とR5を組み 合わせて32ビットレジスタ として使用可能
アドレスレジスタ (注1)	A0、A1	16ビット	A0、A1、A2、 A3	32ビット
スタティック ベースレジスタ	SB	16ビット	SB(注1)	32ビット
フレームベース レジスタ(注1)	FB	16ビット	FB	32ビット
ユーザスタック ポインタ	USP	16ビット	USP	32ビット
割り込みスタック ポインタ	ISP	16ビット	ISP	32ビット
割り込みテーブル レジスタ	INTB	20ビット	INTB	32ビット
	INTBL	16ビット	-	-
	INTBH	4ビット	-	-
プログラム カウンタ	PC	20ビット	PC	32ビット
フラグレジスタ	FLG	16ビット	FLG	32ビット
高速割り込み関連 レジスタ	-	-	SVF	32ビット
	-	-	SVP	32ビット
	-	-	VCT	32ビット

注1. これらのレジスタは2レジスタバンクあります

表 4.3 内部レジスタのビット長の相違点 (2/2)

内部 レジスタ名	M16C/62P		R32C/111	
	レジスタ名	ビット長	レジスタ名	ビット長
DMAC 関連 レジスタ	-	-	DMD0、DMD1、 DMD2、DMD3	32ビット
	-	-	DCT0、DCT1、 DCT2、DCT3	24ビット
	-	-	DCR0、DCR1、 DCR2、DCR3	
	-	-	DSA0、DSA1、 DSA2、DSA3	32ビット
	-	-	DSR0、DSR1、 DSR2、DSR3	
	-	-	DDA0、DDA1、 DDA2、DDA3	
	-	-	DDR0、DDR1、 DDR2、DDR3	

表 4.4 レジスタバンクの相違点

内部レジスタ名		M16C/62P	R32C/111
スタティックベースレジスタ	SB	レジスタバンク 0	レジスタバンク 0 レジスタバンク 1

表 4.5 フラグレジスタの相違点

フラグ名	M16C/62P		R32C/111	
	フラグ名	フラグレジスタビット位置	フラグ名	フラグレジスタビット位置
浮動小数点 アンダフローフラグ	-	-	FU	b8
浮動小数点 オーバフローフラグ	-	-	FO	b9
固定小数点 位置指定ビット	-	-	DP	b16
浮動小数点丸め 演算モード	-	-	RND	b19-b18

## 4.2 リセットの相違点

リセットには、ハードウェアリセット1、電圧低下検出リセット(ハードウェアリセット2)(M16C/62Pのみ)ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット(M16C/62Pのみ)があります。

リセットを行っても一部のSFRは初期化されず値を保持します。

表 4.6にリセット後の値を保持するレジスタの相違点、表 4.7にリセット時のクロック源と分周比の相違点、表 4.8にソフトウェアリセット移行前クロック設定の相違点を示します。

表 4.6 リセット後の値を保持するレジスタの相違点

リセットの種類	レジスタ	リセット後の状態	
		M16C/62P	R32C/111
ハードウェアリセット1	PUR1	CNVSSの設定で値が変わる 00h(CNVSS 端子“L”) 02h(CNVSS 端子“H”)	CNVSSのレベルに関係なく 初期化する
	WDC	WDC5ビットは初期化しない	-
電圧低下検出リセット (ハードウェアリセット2) (M16C/62P)	PUR1	CNVSSの設定で値が変わる 00h(CNVSS 端子“L”) 02h(CNVSS 端子“H”)	-
	WDC	WDC5ビットは初期化しない	-
ソフトウェアリセット	PM0	PM01、PM00ビットは初期化しない	
	VCR1	初期化しない	-
	VCR2	初期化しない	-
	PUR1	PM01、PM00の値により 異なる 00h(PM01、PM00=“00b”) 02h(PM01、PM00=“01b”) 02h(PM01、PM00=“10b”)	PM01、PM00の値に関係なく 初期化する
	WDC	WDC5ビットは初期化しない	-
ウォッチドッグタイマリセット	PM0	PM01、PM00ビットは初期化しない	
	VCR1	初期化しない	-
	VCR2	初期化しない	-
	PUR1	PM01、PM00の値により 異なる 00h(PM01、PM00=“00b”) 02h(PM01、PM00=“01b”) 02h(PM01、PM00=“10b”)	PM01、PM00の値に関係なく 初期化する
	WDC	WDC5ビットは初期化しない	-
発振停止検出リセット (M16C/62P)	PM0	PM01、PM00ビットは初期化 しない	-
	CM2	CM27、CM21、CM20ビット は初期化しない	-
	VCR1	初期化しない	-
	VCR2	初期化しない	-
	PUR1	PM01、PM00の値により 異なる 00h(PM01、PM00=“00b”) 02h(PM01、PM00=“01b”) 02h(PM01、PM00=“10b”)	-
	WDC	WDC5ビットは初期化しない	-

表 4.7 リセット時のクロック源と分周比の相違点

項目	M16C/62P	R32C/111
クロック源	メインクロック	PLLクロック (自励発振)
CPUクロック	8分周	12分周 (クロック源基準)
周辺バスクロック	8分周	12分周 (クロック源基準)
その他	-	ベースクロック : 6分周 CPUクロック : 2分周 周辺バスクロック : 2分周

表 4.8 ソフトウェアリセット移行前クロック設定の相違点

項目	M16C/62P	R32C/111
クロック源の設定	メインクロック	PLLクロック

### 4.3 電圧レギュレータの相違点

R32C/111 の内部ロジック電圧は、内部電圧レギュレータを使用して VCC1 端子からの入力を降圧して生成します。内部電圧を安定させる為に VDC1 端子と VDC0 端子の間に平滑コンデンサを接続する必要があります。M16C/62P には平滑コンデンサは必要ありません。表 4.9 に電圧レギュレータ制御レジスタの相違点を示します。

表 4.9 電圧レギュレータ制御レジスタの相違点

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
VRCR	-	40060h	-	-	R32C/111 のみ

### 4.4 電圧低下検出機能の相違点

表 4.10 に電圧低下検出機能 SFR の相違点を示します。

表 4.10 電圧低下検出機能 SFR の相違点

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
VCR1	0019h	-	-	M16C/62P のみ	-
VCR2	001Ah	-	-	M16C/62P のみ	-
D4INT	001Fh	-	-	M16C/62P のみ	-
WDC	000Fh	4404Fh	-	アドレス変更	
			5	コールドスタート/ウォームスタート判定フラグ	予約ビット
LVDC	-	40062h	-		R32C/111 のみ
DVCR	-	40064h	-		R32C/111 のみ

#### 4.5 プロセッサモードの相違点

表 4.11 にプロセッサモード関連SFRの相違点を示します。

表 4.11 プロセッサモード関連SFRの相違点

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
PM0	0004h	40044h	5-4	マルチプレクスバス空間選択ビット	予約ビット
			6	ポートP4_0~P4_3機能選択ビット	予約ビット
PM1	0005h	-	-	M16C/62Pのみ	-

#### 4.6 クロックの相違点

表 4.12~表 4.13 にクロックの相違点、表 4.14 にクロック関連設定の相違点、表 4.15 にクロック関連端子の相違点、表 4.16 にクロック関連SFRの相違点を示します。

表 4.12 クロックの相違点 (1/2)

項目	M16C/62P	R32C/111
リセット後のCPUクロック	メインクロックの8分周	PLL周波数シンセサイザの自励発振周波数の12分周
メインクロック分周	分周なし、2、4、8、16分周から選択	分周なし、2、3、4分周から選択
ベースクロック分周	なし	2、3、4、6分周から選択
CPUクロック分周	なし	分周なし、2、3、4分周から選択
周辺バスクロック分周	なし	2、3、4分周から選択
PLL通倍率	2、4、6、8通倍から選択	ハードウェアマニュアルの設定値からの選択
周辺機能クロック	f1、f2、f8、f32、 f1SIO、f2SIO、f8SIO、f32SIO、 fAD、fC32	f1、f8、f2n、f32、 fAD、fC32
ストップモード	M16C/62PとR32C/111では移行手順が異なる	
中速モード(8分周)モードでのストップ、ウェイトモードへの移行	可能	なし
高速モード、中速モードでのストップ、ウェイトモードへの移行	可能	なし
メインクロック通倍モード(高速/中速)でのストップ、ウェイトモードへの移行	なし	不可
PLL通倍モードでのストップ、ウェイトモードへの移行	不可	なし
低速モード、低消費電力モードでのストップモード、ウェイトモードへの移行	可能	可能
オンチップオシレータモード、オンチップオシレータ低消費電力モードでのストップモード、ウェイトモードへの移行	可能	なし

表 4.13 クロックの相違点 (2/2)

項目	M16C/62P	R32C/111
PLL 自励発振モードでの ストップモード、ウェイト モードへの移行	なし	ウェイト可能、ストップ不可
ストップモードから復帰した 場合の CPU クロック分周比	メインクロックの 8 分周	STOP 命令実行時と同じ CPU クロック分周

表 4.14 クロック関連設定の相違点

項目	M16C/62P	R32C/111
XIN-XOUT 駆動能力	CM1 レジスタの CM15 ビット	CM1 レジスタの CM16、CM15 ビット
メインクロック分周	CM0 レジスタの CM06 ビット CM1 レジスタの CM17、CM16 ビット	CCR レジスタの CCD1、CCD0 ビット
ベースクロック分周	-	CCR レジスタの BCD1、BCD0 ビット
周辺バスクロック分周	-	CCR レジスタの PCD1、PCD0 ビット
PLL 通倍率	PLC0 レジスタの PLC02~PLC00 ビット	ハードウェアマニュアルに記載された PLC1、PLC0 レジスタ設定

表 4.15 クロック関連端子の相違点

端子名	M16C/62P	R32C/111
CLKOUT	P5_7	P5_3

表 4.16 クロック関連SFRの相違点

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
CCR	-	0004h	-	-	R32C/111のみ
PBC	-	001Fh-001Eh	-	-	R32C/111のみ
CM0	0006h	40046h	-	アドレス変更	
			6	メインクロック分周比選択ビット0	ウォッチドッグタイマ機能選択ビット
			7	システムクロック選択ビット	予約ビット
CM1	0007h	40047h	-	アドレス変更	
			0	全クロック停止制御ビット	PLL発振停止ビット
			1	システムクロック選択ビット1	予約ビット
			5	XIN-XOUT駆動能力選択ビット	XIN-XOUT駆動能力選択ビット
			6	メインクロック分周比選択ビット1	
			7		予約ビット
CM2	000Dh	4004Dh	-	アドレス変更	
			1	システムクロック選択ビット2	予約ビット
			7	発振停止、再発振検出時の動作選択ビット	予約ビット
PCLKR	025Eh	-	-	M16C/62Pのみ	-
CM3	-	4005Ah	-	-	R32C/111のみ
TCSPR	-	035Fh	-	-	R32C/111のみ
PLC0	001Ch	40020h	-	アドレス変更	
			2-0	PLL通倍率選択ビット (PLC02、PLC01、PLC00)	メインカウンタ分周比設定ビット (MCV2、MCV1、MCV0)
			3	-	メインカウンタ分周比設定ビット (MCV3)
			4	予約ビット	メインカウンタ分周比設定ビット (MCV4)
			6-5		スローカウンタ分周比設定ビット (SVC1、SVC0)
			7	動作許可ビット (PLC07)	スローカウンタ分周比設定ビット (SVC2)
PLC1	-	40021h	-	-	R32C/111のみ
PM2	001Eh	40053h	-	アドレス変更	
			0	PLL動作時のSFRアクセスウェイト指定	予約ビット
			2	WDTカウントカウントソース保護ビット	-
			4	予約ビット	NMI許可ビット
			6	-	f2nクロックソース選択ビット
			7	-	予約ビット
CPSRF	0381h	0341h	-	アドレス変更	
PM3	-	40048h	-	-	R32C/111のみ

#### 4.7 バスの相違点

表 4.17 にバスの相違点、表 4.18 にバス設定の相違点、表 4.19~表 4.20 にバス関連端子の相違点、表 4.21 にバス関連SFRの相違点を示します。

表 4.17 バスの相違点

項目	M16C/62P	R32C/111
アドレス空間	1Mバイト/4Mバイト(メモリ空間拡張機能参照)	4Gバイト (そのうち64MBまで利用可能)
アドレスバス幅	12ビット/16ビット/20ビット	24ビット固定
外部領域ウェイト	1~3ウェイト (BCLKサイクル基準)	1~28ウェイト (ベースクロックサイクル基準)
リカバリサイクル挿入 (リード後/ライト後 アドレスホールド時間)	なし	あり
SFR領域ウェイト数	1ウェイト/2ウェイト(PLL動作時)	ウェイト設定なし CCRレジスタによる設定 (分周なし、2、3、4分周)

表 4.18 バス設定の相違点

項目	M16C/62P	R32C/111
アドレスバス幅	PM0レジスタのPM06ビット PM1レジスタのPM11ビット	-
データバス幅	全領域のバス幅設定 BYTE端子で設定 BYTE端子 “H”：バス幅8ビット “L”：バス幅16ビット	外部領域毎のバス幅設定 EBC0~EBC3レジスタの BW0ビット “0”：バス幅8ビット “1”：バス幅16ビット 外部領域の最大バス幅設定 PBCレジスタのEXBW0ビット “0”：外部最大バス幅8ビット “1”：外部最大バス幅16ビット リセット後のバス幅設定 外部領域CS0のみ リセットベクタ下位2bitで設定 リセットベクタ下位2bit “11b”：バス幅8ビット “10b”：バス幅16ビット
チップセレクト信号	CSRレジスタのCSiビット(i=0~3)	CSOP0、CSOP1レジスタ
SFR領域バスタイミング	PM2レジスタのPM20ビット	PBCレジスタ
外部領域バスタイミング	CSRレジスタのCSiWビット(i=0~3) CSEレジスタのCSEi0、CSEi1ビット (i=0~3)	EBCiレジスタ (i=0~3)
BCLK出力	PM0レジスタのPM07ビット	PM0レジスタのPM07ビット CM0レジスタのCM01、CM00ビット



表 4.19 バス関連端子の相違点 (マルチプレクスバス (8/16 ビット)、 $\overline{RD}$ 、 $\overline{WR0}$ 、 $\overline{WR1}$  出力選択時)

項目	M16C/62P	R32C/111
CS3	P4_7	P4_4(A20)(注1)
		P5_7(RDY)(注1)
$\overline{CS2}$	P4_6	P4_5(A21)(注1)
		P5_6(ALE)(注1)
$\overline{CS1}$	p4_5	P4_6(A22)(注1)
		P5_4(HLDA)(注1)
$\overline{CS0}$	P4_4	P4_7(A23)(注1)
$\overline{WRH}/\overline{WR1}$ (注2)	P5_1	P5_1
$\overline{WRL}/\overline{WR0}$ (注3)	P5_0	P5_0
A23	-	P4_7( $\overline{CS0}$ )(注1)
A22	-	P4_6( $\overline{CS1}$ )(注1)
A21	-	P4_5( $\overline{CS2}$ )(注1)
A20	-	P4_4( $\overline{CS3}$ )(注1)
A15	P3_7/A15	P3_7/A15/[A15/D15]
A14	P3_6/A14	P3_6/A14/[A14/D14]
A13	P3_5/A13	P3_5/A13/[A13/D13]
A12	P3_4/A12	P3_4/A12/[A12/D12]
A11	P3_3/A11	P3_3/A11/[A11/D11]
A10	P3_2/A10	P3_2/A10/[A10/D10]
A9	P3_1/A9	P3_1/A9/[A9/D9]
A8	P3_0/A8/[A8/D7]	P3_0/A8/[A8/D8]
[A7/D7] または [A7/D6]	P2_7/[A7/D7]/[A7/D6]	P2_7/[A7/D7]/[A7/D7]
[A6/D6] または [A6/D5]	P2_6/[A6/D6]/[A6/D5]	P2_6/[A6/D6]/[A6/D6]
[A5/D5] または [A5/D4]	P2_5/[A5/D5]/[A5/D4]	P2_5/[A5/D5]/[A5/D5]
[A4/D4] または [A4/D3]	P2_4/[A4/D4]/[A4/D3]	P2_4/[A4/D4]/[A4/D4]
[A3/D3] または [A3/D2]	P2_3/[A3/D3]/[A3/D2]	P2_3/[A3/D3]/[A3/D3]
[A2/D2] または [A2/D1]	P2_2/[A2/D2]/[A2/D1]	P2_2/[A2/D2]/[A2/D2]
[A1/D1] または [A1/D0]	P2_1/[A1/D1]/[A1/D0]	P2_1/[A1/D1]/[A1/D1]
[A0/D0] または A0	P2_0/[A0/D0]/A0	P2_0/[A0/D0]/[A0/D0]

注1. 表の左欄の制御端子とカッコ内の制御端子は、出力端子を共用しているので同時に使用できません。

注2. バス端子名で M16C/62P の  $\overline{WRH}$  と R32C/111 の  $\overline{WR1}$  は同じ機能の端子です。

注3. バス端子名で M16C/62P の  $\overline{WRL}$  と R32C/111 の  $\overline{WR0}$  は同じ機能の端子です。

表 4.20 バス関連端子の相違点 (マルチプレクスバス (8/16 ビット)、 $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{BC0}$ 、 $\overline{BC1}$  出力選択時)

項目	M16C/62P	R32C/111
CS3	P4_7	P4_4(A20)(注1)
		P5_7(RDY)(注1)
$\overline{CS2}$	P4_6	P4_5(A21)(注1)
		P5_6(ALE)(注1)
$\overline{CS1}$	p4_5	P4_6(A22)(注1)
		P5_4(HLDA)(注1)
$\overline{CS0}$	P4_4	P4_7(A23)(注1)
$\overline{BHE/BC1}$ (注2)	P5_1	P5_1
A23	-	P4_7( $\overline{CS0}$ )(注1)
A22	-	P4_6( $\overline{CS1}$ )(注1)
A21	-	P4_5( $\overline{CS2}$ )(注1)
A20	-	P4_4( $\overline{CS3}$ )(注1)
A15	P3_7/A15	P3_7/A15/[A15/D15]
A14	P3_6/A14	P3_6/A14/[A14/D14]
A13	P3_5/A13	P3_5/A13/[A13/D13]
A12	P3_4/A12	P3_4/A12/[A12/D12]
A11	P3_3/A11	P3_3/A11/[A11/D11]
A10	P3_2/A10	P3_2/A10/[A10/D10]
A9	P3_1/A9	P3_1/A9/[A9/D9]
A8または[A8/D7]	P3_0/A8/[A8/D7]	P3_0/A8/[A8/D8]
[A7/D7]または[A7/D6]	P2_7/[A7/D7]/[A7/D6]	P2_7/[A7/D7]/[A7/D7]
[A6/D6]または[A6/D5]	P2_6/[A6/D6]/[A6/D5]	P2_6/[A6/D6]/[A6/D6]
[A5/D5]または[A5/D4]	P2_5/[A5/D5]/[A5/D4]	P2_5/[A5/D5]/[A5/D5]
[A4/D4]または[A4/D3]	P2_4/[A4/D4]/[A4/D3]	P2_4/[A4/D4]/[A4/D4]
[A3/D3]または[A3/D2]	P2_3/[A3/D3]/[A3/D2]	P2_3/[A3/D3]/[A3/D3]
[A2/D2]または[A2/D1]	P2_2/[A2/D2]/[A2/D1]	P2_2/[A2/D2]/[A2/D2]
[A1/D1]または[A1/D0]	P2_1/[A1/D1]/[A1/D0]	P2_1/[A1/D1]/[A1/D1]
[A0/D0]またはA0	P2_0/[A0/D0]/A0(注3)	P2_0/[A0/D0]/ $\overline{BC0/D0}$ (注3)

注1. 表の左欄の制御端子とカッコ内の制御端子は、出力端子を共用しているので同時に使用できません。

注2. バス端子名で、M16C/62Pの $\overline{BHE}$ とR32C/111の $\overline{BC1}$ は同じ機能の端子です。

注3. バス端子名で、M16C/62PのA0とR32C/111の $\overline{BC0}$ は同じ機能の端子です。

表 4.21 バス関連SFRの相違点

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
PM0	0004h	40044h	-	アドレス変更	
			5-4	マルチプレクスバス領域 選択ビット	予約ビット
			6	ポートP4_0~P4_3機能選択 ビット	予約ビット
PM1	0005h	-	-	M16C/62Pのみ	-
CSR	0008h	-	-	M16C/62Pのみ	-
CSE	001Bh	-	-	M16C/62Pのみ	-
DBR	000Bh	-	-	M16C/62Pのみ	-
PBC	-	001Fh-001Eh	-	-	R32C/111のみ
CSOP0	-	40054h	-	-	R32C/111のみ
CSOP1	-	40055h	-	-	R32C/111のみ
CB01	-	001Ah	-	-	R32C/111のみ
CB12	-	0016h	-	-	R32C/111のみ
CB23	-	0012h	-	-	R32C/111のみ
EBC0	-	001Dh-001Ch	-	-	R32C/111のみ
EBC1	-	0019h-0018h	-	-	R32C/111のみ
EBC2	-	0015h-0014h	-	-	R32C/111のみ
EBC3	-	0011h-0010h	-	-	R32C/111のみ

#### 4.8 プロテクトの相違点

表 4.22 にプロテクト関連SFRの相違点を示します。

表 4.22 プロテクト関連SFRの相違点

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
PRCR	000Ah	4004Ah	-	アドレス変更	
			0	プロテクト0 CM0、CM1、CM2、PLC0、 PCLKRレジスタに対する 書き込み許可	プロテクト0 CM0、CM1、CM2、PM3 レジスタに対する書き込み許可
			1	プロテクト1 PM0、PM1、PM2、TB2SC、 INVC0、INVC1レジスタに 対する書き込み許可	プロテクト1 PM0、PM2、INVC0、INVC1、 IOBC、CSOP0、CSOP1 レジスタに対する書き込み許可
			2	プロテクト2 PD9、S3C、S4Cレジスタに 対する書き込み許可	プロテクト2 PD9、P9_iS(i=3~7)、 PLC0、PLC1レジスタに対する 書き込み許可
			3	プロテクト3 VCR2、D4INTレジスタに 対する書き込み許可	-
PRCR2	-	4405Fh	7	-	プロテクト3 CM3レジスタに対する 書き込み許可
PRCR3	-	4004Ch	1	-	プロテクト1 VRCR、LVDC、DVCR レジスタに対する書き込み許可
PRR	-	0007h	7-0	-	CCR、FMCR、PBC、FEBC0、 FEBC3、EBC0、EBC1、 EBC2、EBC3、CB01、 CB12、CB23レジスタに対する 書き込み許可 “AAh” : 書き込み許可 “AAh” 以外 : 書き込み禁止

#### 4.9 割り込みの相違点

表 4.23 に割り込みの相違点、表 4.24~表 4.25 に割り込み関連SFRの相違点を示します。  
可変ベクタテーブル、および割り込み優先レベル判定回路が異なります。

表 4.23 割り込みの相違点

項目	M16C/62P	R32C/111
アドレス一致割り込み	4ポイント設定可能	なし

表 4.24 割り込み関連SFRの相違点 (1/2)

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
TB0IC	005Ah	0094h	-	アドレス変更	
TB1IC	005Bh	0076h	-	アドレス変更	
TB2IC	005Ch	0096h	-	アドレス変更	
TB3IC	0047h	0078h	-	アドレス変更	
TB4IC	0046h	0098h	-	アドレス変更	
TB5IC	0045h	0061h	-	アドレス変更	
BCN0IC BCN3IC	-	0069h	-	-	R32C/111のみ
BCN1IC BCN4IC	-	0089h	-	-	R32C/111のみ
BCNIC (BCN2IC)	004Ah	0087h	-	アドレス変更 シンボルがBCNICからBCN2ICに変更	
BCN5IC BCN6IC	-	0066h	-	-	R32C/111のみ
DM0IC	004Bh	0068h	-	アドレス変更	
DM1IC	004Ch	0088h	-	アドレス変更	
DM2IC	-	006Ah	-	-	R32C/111のみ
DM3IC	-	008Ah	-	-	R32C/111のみ
KUPIC	004Dh	008Bh	-	アドレス変更	
ADIC (AD0IC)	004Eh	006Bh	-	アドレス変更 シンボルがADICからAD0ICに変更	
S0TIC	0051h	0090h	-	アドレス変更	
S1TIC	0053h	0092h	-	アドレス変更	
S2TIC	004Fh	0081h	-	アドレス変更	
S3TIC	-	0083h	-	-	R32C/111のみ
S4TIC	-	0085h	-	-	R32C/111のみ
S5TIC	-	0062h	-	-	R32C/111のみ
S6TIC	-	0064h	-	-	R32C/111のみ
S7TIC	-	00DDh	-	-	R32C/111のみ
S8TIC	-	00DFh	-	-	R32C/111のみ
S0RIC	0052h	0072h	-	アドレス変更	
S1RiC	0054h	0074h	-	アドレス変更	
S2RIC	0050h	0063h	-	アドレス変更	
S3RIC	-	0065h	-	-	R32C/111のみ
S4RIC	-	0067h	-	-	R32C/111のみ
S5RIC	-	0082h	-	-	R32C/111のみ
S6RIC	-	0084h	-	-	R32C/111のみ
S7RIC	-	00FDh	-	-	R32C/111のみ
S8RIC	-	00FFh	-	-	R32C/111のみ
TA0IC	0055h	006Ch	-	アドレス変更	
TA1IC	0056h	008Ch	-	アドレス変更	
TA2IC	0057h	006Eh	-	アドレス変更	
TA3IC	0058h	008Eh	-	アドレス変更	
TA4IC	0059h	0070h	-	アドレス変更	
IIO0IC	-	006Dh	-	-	R32C/111のみ
IIO1IC	-	008Dh	-	-	R32C/111のみ

表 4.25 割り込み関連SFRの相違点 (2/2)

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
IIO2IC	-	006Fh	-	-	R32C/111のみ
IIO3IC	-	008Fh	-	-	R32C/111のみ
IIO4IC	-	0071h	-	-	R32C/111のみ
IIO5IC	-	0091h	-	-	R32C/111のみ
IIO6IC	-	0073h	-	-	R32C/111のみ
IIO7IC	-	0093h	-	-	R32C/111のみ
IIO8IC	-	0075h	-	-	R32C/111のみ
IIO9IC	-	0095h	-	-	R32C/111のみ
IIO10IC	-	0077h	-	-	R32C/111のみ
IIO11IC	-	0097h	-	-	R32C/111のみ
INT0IC	005Dh	009Eh	-	アドレス変更	
			5	予約ビット	レベルセンス/エッジセンス切り替えビット
INT1IC	005Eh	007Eh	-	アドレス変更	
			5	予約ビット	レベルセンス/エッジセンス切り替えビット
INT2IC	005Fh	009Ch	-	アドレス変更	
			5	予約ビット	レベルセンス/エッジセンス切り替えビット
INT3IC	0044h	007Ch	-	アドレス変更	
			5	予約ビット	レベルセンス/エッジセンス切り替えビット
INT4IC	0049h	009Ah	-	アドレス変更	
			5	予約ビット	レベルセンス/エッジセンス切り替えビット
INT5IC	0048h	007Ah	-	アドレス変更	
			5	予約ビット	レベルセンス/エッジセンス切り替えビット
RIPL1	-	4407Fh	-	-	R32C/111のみ
RIPL2	-	4407Dh	-	-	R32C/111のみ
IFSR (IFSR0)	035Fh	4406Fh	-	アドレス変更 シンボルがIFSRからIFSR0に変更	
			6	割り込み要因切り替えビット 0: SI/O3、1: INT4	UART0、3割り込み要因選択ビット
			7	割り込み要因切り替えビット 0: SI/O4、1: INT5	UART1、4割り込み要因選択ビット
IFSR1	-	4406Dh	-	-	R32C/111のみ
IFSR2A	035Eh	-	-	M16C/62Pのみ	-
RMAD0	0012h-0010h	-	-	M16C/62Pのみ	-
RMAD1	0016h-0014h	-	-	M16C/62Pのみ	-
RMAD2	01BAh-01B8h	-	-	M16C/62Pのみ	-
RMAD3	01BEh-01BCh	-	-	M16C/62Pのみ	-
AIER	0009h	-	-	M16C/62Pのみ	-
AIER2	01BBh	-	-	M16C/62Pのみ	-

#### 4.10 ウォッチドッグタイマの相違点

表 4.26 にウォッチドッグタイマの相違点、表 4.27 にウォッチドッグタイマ関連 SFR の相違点を示します。

表 4.26 ウォッチドッグタイマの相違点

項目	M16C/62P	R32C/111
ウォッチドッグタイマの クロック源	<ul style="list-style-type: none"> <li>・ CPU クロック (PLL クロック、メインクロック、 オンチップオシレータクロック)</li> <li>・ サブクロック</li> <li>・ オンチップオシレータクロック</li> </ul>	<ul style="list-style-type: none"> <li>・ 周辺バスクロック CCR レジスタで分周した PLL クロック、 CCR レジスタで分周した サブクロック、 CCR レジスタで分周した オンチップオシレータクロック</li> </ul>
ウォッチドッグタイマ プリスケアラ分周比	16、128、2分周(サブクロック選択時)	16、128分周
カウントソース保護モード	あり	なし

表 4.27 ウォッチドッグタイマ関連 SFR の相違点

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
CM0	0006h	40046h	-	アドレス変更	
			6	メインクロック分周比選択 ビット0	ウォッチドッグタイマ機能 選択ビット
			7	CPU クロック 選択ビット0	予約ビット
PM1	0005h	-	-	M16C/62P のみ	-
WDC	000Fh	4404Fh	-	アドレス変更	
			5	コールドスタート/ウォーム スタート判定ビット	予約ビット
WDTS	000Eh	4404Eh	-	アドレス変更	

#### 4.11 DMACの相違点

表 4.28 に DMAC の相違点、表 4.29 に DMAC 設定の相違点、表 4.30 に DMAC 関連 SFR の相違点を示します。DMAC 転送元、転送先のレジスタが異なる為、設定方法が異なります。

表 4.28 DMACの相違点

項目	M16C/62P	R32C/111
DMAC 関連レジスタ	SFR に配置	CPU 内部レジスタと SFR に配置
チャンネル数	2 チャンネル	4 チャンネル
転送空間	1M バイトの任意の空間から固定番地、 固定番地から 1M バイトの任意の空間	64M バイト (00000000h~01FFFFFFh および FE000000h~FFFFFFFh) の任意の 空間から 64M バイトの任意の空間
最大転送バイト数	128K バイト (16 ビット転送時) 64K バイト (8 ビット転送時)	64M バイト (32 ビット転送時) 32M バイト (16 ビット転送時) 16M バイト (8 ビット転送時)
転送単位	8 ビット、16 ビット	8 ビット、16 ビット、32 ビット
転送元アドレス、 転送先アドレス	固定番地 : 指定したアドレス 順方向番地 : 転送単位で加算されるアドレス (転送元、転送先を両方とも順方向番地に指定 できません)	順方向、または固定
転送回数	DMAi 転送カウンタ (i=0~1) に設定した値+1	DCTi レジスタ (i=0~3) に設定した値
割り込み要求発生 タイミング	DMAi 転送カウンタがアンダフローしたとき	DCTi レジスタが "00000001h" から "00000000h" になったとき

表 4.29 DMAC 設定の相違点

項目	M16C/62P	R32C/111
DMA 転送要因の選択	DMiSL レジスタ (i=0、1) の DSEL3~DSEL0 ビットで選択	DMiSL レジスタ (i=0~3) の DSEL4~DSEL0 ビット、 DMiSL2 レジスタ (i=0~3) の DSEL24~DSEL20 ビットで選択
転送モード	DMiCON レジスタ (i=0、1)	DMDi (i=0~3) レジスタ
転送元番地	SARi レジスタ (i=0、1)	DSAi (i=0~3) レジスタ (リピート転送時のリロード値は DSRi レジスタに設定)
転送先番地	DARi レジスタ (i=0、1)	DDAi レジスタ (i=0~3) (リピート転送時のリロード値は DDRi レジスタに設定)
転送回数	TCRi レジスタ (i=0、1) に転送回数-1 を設定	DCTi レジスタ (i=0~3) に転送回数を設定 (リピート転送時のリロード値は DCRi レジスタに設定)



表 4.30 DMAC 関連 SFR の相違点

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
DM0SL	03B8h	44078h	-	アドレス変更	
			4	-	DMA 起動要因選択ビット
			6	DMA 起動要因選択ビット	-
			7	ソフトウェア DMA 要求ビット	DM0SL2 の 5 ビット目に定義
DM1SL	03BAh	44079h	-	アドレス変更	
			4	-	DMA 起動要因選択ビット
			6	DMA 起動要因選択ビット	-
			7	ソフトウェア DMA 要求ビット	DM1SL2 の 5 ビット目に定義
DM2SL	-	4407Ah	-	-	R32C/111 のみ
DM3SL	-	4407Bh	-	-	R32C/111 のみ
DM0SL2	-	44070h	-	-	R32C/111 のみ
DM1SL2	-	44071h	-	-	R32C/111 のみ
DM2SL2	-	44072h	-	-	R32C/111 のみ
DM3SL2	-	44073h	-	-	R32C/111 のみ
DM0CON	002Ch	-	-	M16C/62P のみ	-
DM1CON	003Ch	-	-	M16C/62P のみ	-
SAR0	0022h-0020h	-	-	M16C/62P のみ	-
SAR1	0032h-0030h	-	-	M16C/62P のみ	-
DAR0	0026h-0024h	-	-	M16C/62P のみ	-
DAR1	0036h-0034h	-	-	M16C/62P のみ	-
TCR0	0029h-0028h	-	-	M16C/62P のみ	-
TCR1	0039h-0038h	-	-	M16C/62P のみ	-
DMD0 ~ DMD3	-	CPU 内部 レジスタ (注1)	-	-	R32C/111 のみ
DCT0 ~ DCT3	-	CPU 内部 レジスタ (注1)	-	-	R32C/111 のみ
DCR0 ~ DCR3	-	CPU 内部 レジスタ (注1)	-	-	R32C/111 のみ
DSA0 ~ DSA3	-	CPU 内部 レジスタ (注1)	-	-	R32C/111 のみ
DSR0 ~ DSR3	-	CPU 内部 レジスタ (注1)	-	-	R32C/111 のみ
DDA0 ~ DDA3	-	CPU 内部 レジスタ (注1)	-	-	R32C/111 のみ
DDR0 ~ DDR3	-	CPU 内部 レジスタ (注1)	-	-	R32C/111 のみ

注1. レジスタへの書き込みは LDC 命令を使用してください。

#### 4.12 タイマ機能の相違点

表 4.31 にタイマの相違点を、表 4.32~表 4.33 にタイマ関連SFRの相違点を示します。

表 4.31 タイマの相違点

項目	M16C/62P	R32C/111
カウントソース	f1/f2、f8、f32、fC32	f1、f8、f2n、fC32
パルス出力機能設定	TAiMR レジスタのMR0ビット (i=0~4)	機能選択レジスタ

表 4.32 タイマ関連SFRの相違点 (1/2)

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
TA0 ~ TA4	0387h-0386h ~ 038Fh-038Eh	0347h-0346h ~ 034Fh-034Eh	-	アドレス変更	
TA0MR	0396h	0356h	-	アドレス変更	
			2	パルス出力選択	予約ビット
			7-6	カウントソース選択 (f1/f2、f32)	カウントソース選択 (f1、f2n)
TA1MR	0397h	0357h	-	アドレス変更	
			2	パルス出力選択	予約ビット
			7-6	カウントソース選択 (f1/f2、f32)	カウントソース選択 (f1、f2n)
TA2MR	0398h	0358h	-	アドレス変更	
			2	パルス出力選択	予約ビット
			7-6	カウントソース選択 (f1/f2、f32)	カウントソース選択 (f1、f2n)
TA3MR	0399h	0359h	-	アドレス変更	
			2	パルス出力選択	予約ビット
			7-6	カウントソース選択 (f1/f2、f32)	カウントソース選択 (f1、f2n)
TA4MR	039Ah	035Ah	-	アドレス変更	
			2	パルス出力選択	予約ビット
			7-6	カウントソース選択 (f1/f2、f32)	カウントソース選択 (f1、f2n)
TABSR	0380h	0340h	-	アドレス変更	
UDF	0384h	0344h	-	アドレス変更	
ONSF	0382h	0342h	-	アドレス変更	
TRGSR	0383h	0343h	-	アドレス変更	
TCSPR	-	035Fh	-	-	R32C/111 のみ
CPSRF	0381h	0341h	-	アドレス変更	
TB0 ~ TB2	0391h-0390h ~ 0395h-0394h	0351h-0350h ~ 0355h-0354h	-	アドレス変更	
TB3 ~ TB5	0351h-0350h ~ 0355h-0354h	0311h-0310h ~ 0315h-0314h	-	アドレス変更	

表 4.33 タイマ関連SFRの相違点(2/2)

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
TB0MR	039Bh	035Bh	-	アドレス変更	
			7-6	カウントソース選択 (f1/f2、f32)	カウントソース選択 (f1、f2n)
TB1MR	039Ch	035Ch	-	アドレス変更	
			7-6	カウントソース選択 (f1/f2、f32)	カウントソース選択 (f1、f2n)
TB2MR	039Dh	035Dh	-	アドレス変更	
			7-6	カウントソース選択 (f1/f2、f32)	カウントソース選択 (f1、f2n)
TB3MR	035Bh	031Bh	-	アドレス変更	
			7-6	カウントソース選択 (f1/f2、f32)	カウントソース選択 (f1、f2n)
TB4MR	035Ch	031Ch	-	アドレス変更	
			7-6	カウントソース選択 (f1/f2、f32)	カウントソース選択 (f1、f2n)
TB5MR	035Dh	031Dh	-	アドレス変更	
			7-6	カウントソース選択 (f1/f2、f32)	カウントソース選択 (f1、f2n)
TBSR	0340h	0300h	-	アドレス変更	

### 4.13 三相モータ制御用タイマ機能

表 4.34 に三相モータ制御用タイマ機能の相違点、表 4.35 に三相モータ制御用タイマ機能関連 SFR の相違点を示します。

表 4.34 三相モータ制御用タイマ機能の相違点

項目	M16C/62P	R32C/111
出力機能の切り替え	-	P7、P8のU、 $\bar{U}$ 、V、 $\bar{V}$ 、W、 $\bar{W}$ 端子と P3のU、 $\bar{U}$ 、V、 $\bar{V}$ 、W、 $\bar{W}$ 端子を選択可能
カウントソース	f1/f2、f8、f32、fC32	f1、f8、f2n、fC32

表 4.35 三相モータ制御用タイマ機能関連 SFR の相違点

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
INVC0	0348h	0308h	-	アドレス変更	
INVC1	0349h	0309h	-	アドレス変更	
IOBC	-	40097h	-	-	R32C/111のみ
IDB0	034Ah	030Ah	-	アドレス変更	
IDB1	034Bh	030Bh	-	アドレス変更	
ICTB2	034Dh	030Dh	-	アドレス変更	
TB2SC	039Eh	035Eh	-	アドレス変更	
TA11	0343h-0342h	0303h-0302h	-	アドレス変更	
TA21	0345h-0344h	0305h-0304h	-	アドレス変更	
TA41	0347h-0346h	0307h-0306h	-	アドレス変更	
DTT	034Ch	030Ch	-	アドレス変更	

#### 4.14 シリアルインタフェースの相違点

表 4.36 にシリアルインタフェースの相違点、表 4.37~表 4.38 にシリアルインタフェース関連端子の相違点、表 4.39~表 4.42 にシリアルインタフェース関連 SFR の相違点を示します。

表 4.36 シリアルインタフェースの相違点

項目	M16C/62P	R32C/111
クロック同期/非同期兼用	3チャンネル (UART0~UART2)	9チャンネル (UART0~UART8)
I <sup>2</sup> C bus	3チャンネル (UART0~UART2)	7チャンネル (UART0~UART6)
特殊モード2	3チャンネル (UART0~UART2)	7チャンネル (UART0~UART6)
IEBus(注2)	3チャンネル (UART0~UART2)	7チャンネル (UART0~UART6) (オプション(注1))
特殊モード4 (SIMモード)	1チャンネル (UART2)	-
クロック同期シリアルI/O	2チャンネル (SI/O3、SI/O4)	-
カウントソース	f1/f2、f8、f32	f1、f8、f2n
転送クロック複数端子出力機能	UART1 で選択可能	機能なし
CTS/RTS分離機能	UART0 で選択可能	機能なし
端子出力機能	UART関連レジスタで設定したとき	機能選択レジスタで設定したとき

注1. オプション機能をご使用になる場合は、弊社営業窓口までご連絡ください。

注2. IEBusはNECエレクトロニクス株式会社の登録商標です。

表 4.37 シリアルインタフェース関連端子の相違点 (1/2)

チャンネル	端子	M16C/62P	R32C/111
UART0	P6_0	CTS0/RTS0	CTS0/RTS0/SS0
	P6_1	CLK0	CLK0
	P6_2	RXD0/SCL0	RXD0/SCL0/STXD0
	P6_3	TXD0/SDA0	TXD0/SDA0/SRXD0
UART1	P6_4	CTS1/RTS1/CTS0/CLKS1	CTS1/RTS1/SS1
	P6_5	CLK1	CLK1
	P6_6	RXD1/SCL1	RXD1/SCL1/STXD1
	P6_7	TXD1/SDA1	TXD1/SDA1/SRXD1
UART2	P7_0	TXD2/SDA2	TXD2/SDA2/SRXD2
	P7_1	RXD2/SCL2	RXD2/SCL2/STXD2
	P7_2	CLK2	CLK2
	P7_3	CTS2/RTS2	CTS2/RTS2/SS2
SI/O3 / UART3	P9_0	CLK3	-
	P9_1	SIN3	-
	P9_2	SOUT3	-
	P4_0	-	CTS3/RTS3/SS3
	P4_1	-	CLK3
	P4_2	-	RXD3/SCL3/STXD3
	P4_3	-	TXD3/SDA3/SRXD3
SI/O4 / UART4	P9_4	-	CTS4/RTS4/SS4
	P9_5	CLK4	CLK4
	P9_6	SOUT4	TXD4/SDA4/SRXD4
	P9_7	SIN4	RXD4/SCL4/STXD4

表 4.38 シリアルインタフェース関連端子の相違点 (2/2)

チャンネル	端子	M16C/62P	R32C/111
UART5	P7_6	-	TXD5/SDA5/SRXD5
	P7_7	-	CLK5
	P8_0	-	RXD5/SCL5/STXD5
	P8_1	-	$\overline{\text{CTS5}}/\overline{\text{RTS5}}/\overline{\text{SS5}}$
UART6	P4_4	-	$\overline{\text{CTS6}}/\overline{\text{RTS6}}/\overline{\text{SS6}}$
	P4_5	-	CLK6
	P4_6	-	RXD6/SCL6/STXD6
	P4_7	-	TXD6/SDA6/SRXD6
UART7	P5_4	-	TXD7
	P5_5	-	CLK7
	P5_6	-	RXD7
	P5_7	-	$\overline{\text{CTS7}}/\overline{\text{RTS7}}$
UART8	P7_3	-	TXD8
	P7_4	-	CLK8
	P7_5	-	RXD8
	P7_6	-	$\overline{\text{CTS8}}/\overline{\text{RTS8}}$

表 4.39 シリアルインタフェース関連SFRの相違点 (1/4)

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
U0MR	03A0h	0368h	-	アドレス変更	
U1MR	03A8h	02E8h	-	アドレス変更	
U2MR	0378h	0338h	-	アドレス変更	
U3MR	-	0328h	-	-	R32C/111のみ
U4MR	-	02F8h	-	-	R32C/111のみ
U5MR	-	01C8h	-	-	R32C/111のみ
U6MR	-	01D8h	-	-	R32C/111のみ
U7MR	-	01E0h	-	-	R32C/111のみ
U8MR	-	01E8h	-	-	R32C/111のみ
U0C0	03A4h	036Ch	-	アドレス変更	
			2	$\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能選択ビット	予約ビット
U1C0	03ACh	02ECh	-	アドレス変更	
			2	$\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能選択ビット	予約ビット
U2C0	037Ch	033Ch	-	アドレス変更	
			2	$\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能選択ビット	予約ビット
U3C0	-	032Ch	-	-	R32C/111のみ
U4C0	-	02FCh	-	-	R32C/111のみ
U5C0	-	01CCh	-	-	R32C/111のみ
U6C0	-	01DCh	-	-	R32C/111のみ
U7C0	-	01E4h	-	-	R32C/111のみ
U8C0	-	01ECh	-	-	R32C/111のみ

表 4.40 シリアルインターフェース関連SFRの相違点(2/4)

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
U0C1	03A5h	036Dh	-	アドレス変更	
			4	-	UART0送信割り込み要因 選択ビット
			5	-	UART0連続受信モード許可 ビット
			7	エラー信号出力許可ビット	予約ビット
U1C1	03ADh	02EDh	-	アドレス変更	
			4	-	UART1送信割り込み要因 選択ビット
			5	-	UART1連続受信モード許可 ビット
			7	エラー信号出力許可ビット	予約ビット
U2C1	037Dh	033Dh	-	アドレス変更	
			7	エラー信号出力許可ビット	予約ビット
U3C1	-	032Dh	-	-	R32C/111のみ
U4C1	-	02FDh	-	-	R32C/111のみ
U5C1	-	01CDh	-	-	R32C/111のみ
U6C1	-	01DDh	-	-	R32C/111のみ
U7C1	-	01E5h	-	-	R32C/111のみ
U8C1	-	01EDh	-	-	R32C/111のみ
UCON	03B0h	-	-	M16C/62Pのみ	-
U78CON	-	01F0h	-	-	R32C/111のみ
U0SMR	036Fh	0367h	-	アドレス変更	
			4	LSYNビット(注1)	予約ビット
U1SMR	0373h	02E7h	-	アドレス変更	
			4	LSYNビット(注1)	予約ビット
U2SMR	0377h	0337h	-	アドレス変更	
			4	LSYNビット(注1)	予約ビット
U3SMR	-	0327h	-	-	R32C/111のみ
U4SMR	-	02F7h	-	-	R32C/111のみ
U5SMR	-	01C7h	-	-	R32C/111のみ
U6SMR	-	01D7h	-	-	R32C/111のみ
U0SMR2	036Eh	0366h	-	アドレス変更	
U1SMR2	0372h	02E6h	-	アドレス変更	
U2SMR2	0376h	0336h	-	アドレス変更	
U3SMR2	-	0326h	-	-	R32C/111のみ
U4SMR2	-	02F6h	-	-	R32C/111のみ
U5SMR2	-	01C6h	-	-	R32C/111のみ
U6SMR2	-	01D6h	-	-	R32C/111のみ
U0SMR3	036Dh	0365h	-	アドレス変更	
			0	-	SS端子機能許可ビット
			2	-	シリアル入力端子選択ビット
			4	-	モードフォールトフラグ

注1. このビットは製品によって機能が異なります。

- ・ M3062LFGFP、M3062LFGPFP以外の製品 予約ビット
- ・ M3062LFGFP、M3062LFGPFP LSYNビット

表 4.41 シリアルインターフェース関連SFRの相違点(3/4)

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
U1SMR3	0371h	02E5h	-	アドレス変更	
			0	-	SS端子機能許可ビット
			2	-	シリアル入力端子選択ビット
			4	-	モードフォールトフラグ
U2SMR3	0375h	0335h	-	アドレス変更	
			0	-	SS端子機能許可ビット
			2	-	シリアル入力端子選択ビット
			4	-	モードフォールトフラグ
U3SMR3	-	0325h	-	-	R32C/111のみ
U4SMR3	-	02F5h	-	-	R32C/111のみ
U5SMR3	-	01C5h	-	-	R32C/111のみ
U6SMR3	-	01D5h	-	-	R32C/111のみ
U0SMR4	036Ch	0364h	-	アドレス変更	
U1SMR4	0370h	02E4h	-	アドレス変更	
U2SMR4	0374h	0334h	-	アドレス変更	
U3SMR4	-	0324h	-	-	R32C/111のみ
U4SMR4	-	02F4h	-	-	R32C/111のみ
U5SMR4	-	01C4h	-	-	R32C/111のみ
U6SMR4	-	01D4h	-	-	R32C/111のみ
U0BRG	03A1h	0369h	-	アドレス変更	
U1BRG	03A9h	02E9h	-	アドレス変更	
U2BRG	0379h	0339h	-	アドレス変更	
U3BRG	-	0329h	-	-	R32C/111のみ
U4BRG	-	02F9h	-	-	R32C/111のみ
U5BRG	-	01C9h	-	-	R32C/111のみ
U6BRG	-	01D9h	-	-	R32C/111のみ
U7BRG	-	01E1h	-	-	R32C/111のみ
U8BRG	-	01E9h	-	-	R32C/111のみ
U0TB	03A3h-03A2h	036Bh-036Ah	-	アドレス変更	
U1TB	03ABh-03AAh	02EBh-02EAh	-	アドレス変更	
U2TB	037Bh-037Ah	033Bh-033Ah	-	アドレス変更	
U3TB	-	032Bh-032Ah	-	-	R32C/111のみ
U4TB	-	02FBh-02FAh	-	-	R32C/111のみ
U5TB	-	01CBh-01CAh	-	-	R32C/111のみ
U6TB	-	01DBh-01DAh	-	-	R32C/111のみ
U7TB	-	01E3h-01E2h	-	-	R32C/111のみ
U8TB	-	01EBh-01EAh	-	-	R32C/111のみ
U0RB	03A7h-03A6h	036Fh-036Eh	-	アドレス変更	
U1RB	03AFh-03AEh	02EFh-02EEh	-	アドレス変更	
U2RB	037Fh-037Eh	033Fh-033Eh	-	アドレス変更	
U3RB	-	032Fh-032Eh	-	-	R32C/111のみ
U4RB	-	02FFh-02FEh	-	-	R32C/111のみ
U5RB	-	01CFh-01CEh	-	-	R32C/111のみ
U6RB	-	01DFh-01DEh	-	-	R32C/111のみ



表 4.42 シリアルインターフェース関連SFRの相違点(4/4)

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
U7RB	-	01E7h-01E6h	-	-	R32C/111のみ
U8RB	-	01EFh-01EEh	-	-	R32C/111のみ
IFSR (IFSR0)	035Fh	4406Fh	-	アドレス変更 シンボルがIFSRからIFSR0に変更	
			6	割り込み要因切り替えビット 0: SI/O3、1: INT4	UART0、3割り込み要因 切り替えビット
			7	割り込み要因切り替えビット 0: SI/O4、1: INT5	UART1、4割り込み要因 切り替えビット
IFSR2A	035Eh	-	-	M16C/62Pのみ	-
IFSR1	-	4406Dh	-	-	R32C/111のみ
S3C	0362h	-	-	M16C/62Pのみ	-
S4C	0366h	-	-	M16C/62Pのみ	-
S3BRG	0363h	-	-	M16C/62Pのみ	-
S4BRG	0367h	-	-	M16C/62Pのみ	-
S3TRR	0360h	-	-	M16C/62Pのみ	-
S4TRR	0364h	-	-	M16C/62Pのみ	-

#### 4.15 A/Dコンバータの相違点

表 4.43 に A/D コンバータの相違点、表 4.44~表 4.45 に A/D コンバータ関連 SFR の相違点を示します。

表 4.43 A/D コンバータの相違点

項目	M16C/62P	R32C/111
動作クロック $\phi$ AD	fAD、fADの2分周、fADの3分周、fADの4分周、fADの6分周、またはfADの12分周	fAD、fADの2分周、fADの3分周、fADの4分周、fADの6分周、またはfADの8分周
動作クロックの注記	$\phi$ ADの周波数は12MHz以下にしてください。VCC1が4.0V未満の場合は、fADを分周し、 $\phi$ ADの周波数は10MHz以下にしてください	$\phi$ ADの周波数はVCC1=5Vのとき16MHz以下に、VCC1=3.3Vのとき10MHz以下にしてください
動作モード	5種類 単発モード、 繰り返しモード、 単掃引モード、 繰り返し単掃引モード0、 繰り返し単掃引モード1	7種類 単発モード、 繰り返しモード、 単掃引モード、 繰り返し単掃引モード0、 繰り返し単掃引モード1、 マルチポート単掃引モード、 マルチポート繰り返し単掃引モード0
A/D変換開始条件	ソフトウェアトリガ、 外部トリガ(再トリガ可能)	ソフトウェアトリガ、 外部トリガ(再トリガ可能)、 ハードウェアトリガ(再トリガ可能)

表 4.44 A/D コンバータ関連 SFR の相違点 (1/2)

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
ADCON0 (AD0CON0)	03D6h	0396h	-	アドレス変更 シンボルがADCON0からAD0CON0に変更	
ADCON1 (AD0CON1)	03D7h	0397h	-	アドレス変更 シンボルがADCON1からAD0CON1に変更	
ADCON2 (AD0CON2)	03D4h	0394h	-	アドレス変更 シンボルがADCON2からAD0CON2に変更	
			4	周波数選択ビット2	予約ビット AD0CON3レジスタの bit2(CKS2)に移設
AD0CON3	-	0395h	-	-	R32C/111のみ
AD0CON4	-	0392h	-	-	R32C/111のみ
AD0 (AD00)	03C1h-03C0h	0381h-0380h	-	アドレス変更 シンボルがAD0からAD00に変更	
AD1 (AD01)	03C3h-03C2h	0383h-0382h	-	アドレス変更 シンボルがAD1からAD01に変更	
AD2 (AD02)	03C5h-03C4h	0385h-0384h	-	アドレス変更 シンボルがAD2からAD02に変更	
AD3 (AD03)	03C7h-03C6h	0387h-0386h	-	アドレス変更 シンボルがAD3からAD03に変更	
AD4 (AD04)	03C9h-03C8h	0389h-0388h	-	アドレス変更 シンボルがAD4からAD04に変更	

表 4.45 A/Dコンバータ関連SFRの相違点 (2/2)

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
AD5 (AD05)	03CBh-03CAh	038Bh-038Ah	-	アドレス変更 シンボルがAD5からAD05に変更	
AD6 (AD06)	03CDh-03CCh	038Dh-038Ch	-	アドレス変更 シンボルがAD6からAD06に変更	
AD7 (AD07)	03CFh-03CEh	038Fh-038Eh	-	アドレス変更 シンボルがAD7からAD07に変更	

#### 4.16 D/Aコンバータの相違点

表 4.46にD/Aコンバータ関連SFRの相違点を示します。

表 4.46 D/Aコンバータ関連SFRの相違点

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
DACON	03DCh	039Ch	-	アドレス変更	
DA0	03D8h	0398h	-	アドレス変更	
DA1	03DAh	039Ah	-	アドレス変更	

#### 4.17 CRC演算回路の相違点

表 4.47にCRC演算回路関連SFRの相違点を示します。

表 4.47 CRC演算回路関連SFRの相違点

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
CRCD	03BDh-03BCh	037Dh-037Ch	-	アドレス変更	
CRCIN	03BEh	037Eh	-	アドレス変更	

## 4.18 ポートの相違点

### 4.18.1 ポートPiレジスタ、ポートPi方向レジスタの相違点

表 4.48 にポート Pi レジスタの相違点 (i=0~10)、表 4.49 にポート Pi 方向レジスタの相違点 (i=0~10)、表 4.50 にポート Pi プルアップ制御レジスタの相違点 (i=0~10) を示します。

表 4.48 ポート Pi レジスタの相違点 (i=0~10)

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
P0	03E0h	03C0h	-	アドレス変更	
P1	03E1h	03C1h	-	アドレス変更	
P2	03E4h	03C4h	-	アドレス変更	
P3	03E5h	03C5h	-	アドレス変更	
P4	03E8h	03C8h	-	アドレス変更	
P5	03E9h	03C9h	-	アドレス変更	
P6	03ECh	03CCh	-	アドレス変更	
P7	03EDh	03CDh	-	アドレス変更	
P8	03F0h	03D0h	-	アドレス変更	
P9	03F1h	03D1h	-	アドレス変更	
			0	P9_0	予約ビット
			1	P9_1	P9_1入力専用
P9	03F1h	03D1h	2	P9_2	予約ビット
			-	アドレス変更	
P10	03F4h	03D4h	-	アドレス変更	

表 4.49 ポート Pi 方向レジスタの相違点 (i=0~10)

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
PD0	03E2h	03C2h	-	アドレス変更	
PD1	03E3h	03C3h	-	アドレス変更	
PD2	03E6h	03C6h	-	アドレス変更	
PD3	03E7h	03C7h	-	アドレス変更	
PD4	03EAh	03CAh	-	アドレス変更	
PD5	03EBh	03CBh	-	アドレス変更	
PD6	03EEh	03CEh	-	アドレス変更	
PD7	03EFh	03CFh	-	アドレス変更	
PD8	03F2h	03D2h	-	アドレス変更	
PD9	03F3h	03D3h	-	アドレス変更	
			0	PD9_0	予約ビット
			1	PD9_1	予約ビット
PD9	03F3h	03D3h	2	PD9_2	予約ビット
			-	アドレス変更	
PD10	03F6h	03D6h	-	アドレス変更	

表 4.50 ポートPiプルアップ制御レジスタの相違点 (i=0~10)

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
PUR0	03FCh	03F0h	-	アドレス変更	
PUR1	03FDh	03F1h	-	アドレス変更	
			4	P6_0-P6_3プルアップ制御ビット	予約ビット
			5	P6_4-P6_7プルアップ制御ビット	予約ビット
			6	P7_2-P7_3プルアップ制御ビット	予約ビット
			7	P7_4-P7_7プルアップ制御ビット	予約ビット
PUR2	03FEh	03F2h	-	アドレス変更	
			0	P8_0-P8_3プルアップ制御ビット	P6_0-P6_3プルアップ制御ビット
			1	P8_4-P8_7プルアップ制御ビット	P6_4-P6_7プルアップ制御ビット
			2	P9_0-P9_3プルアップ制御ビット	P7_2-P7_3プルアップ制御ビット
			3	P9_4-P9_7プルアップ制御ビット	P7_4-P7_7プルアップ制御ビット
			4	P10_0-P10_3プルアップ制御ビット	P8_0-P8_3プルアップ制御ビット
			5	P10_4-P10_7プルアップ制御ビット	P8_4-P8_7プルアップ制御ビット
			6	-	P9_1、P9_3プルアップ制御ビット
			7	-	P9_4-P9_7プルアップ制御ビット
PUR3	-	03F3h	-	R32C/111のみ	

#### 4.18.2 ポート入出力機能選択の相違点

R32C/111 では、プログラマブル入出力ポートと周辺機能出力が端子を共用している場合、その端子の出力機能を決定する機能選択レジスタを設定する必要があります。同様に、周辺機能の入力が複数の端子に配置されている場合、どの端子の入力を周辺機能に接続するか決定する入力機能選択レジスタを設定する必要があります。

設定の詳細はハードウェアマニュアルを参照してください。

## 4.19 フラッシュメモリの相違点

### 4.19.1 フラッシュメモリの相違点

表 4.51 にフラッシュメモリの相違点、表 4.52 にソフトウェアコマンドの相違点、表 4.53 にフラッシュメモリ関連SFRの相違点を示します。

表 4.51 フラッシュメモリの相違点

項目	M16C/62P	R32C/111
書き込み単位	2バイト単位	8バイト単位
消去、書き込み回数	100回 (全領域) または、1000回 (ブロックA、ブロック1以外のユーザROM領域) / 10000回 (ブロックA、ブロック1)	1000回 (プログラム領域) / 10000回 (データ領域)
コマンド数	8コマンド	9コマンド

表 4.52 ソフトウェアコマンドの相違点

ソフトウェア コマンド	M16C/62P				R32C/111			
	第1コマンド		第2コマンド		第1コマンド		第2コマンド	
	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
リードアレイモード移行	x	xxFFh	-	-	FFFFFF800h	00FFh	-	-
リードステータス レジスタモード移行(注1)	x	xx70h	-	-	FFFFFF800h	0070h	-	-
クリアステータス レジスタ	x	xx50h	-	-	FFFFFF800h	0050h	-	-
プログラム(注2、注3)	WA	xx40h	WA	WD	FFFFFF800h	0043h	WA	WD
イレーズ全アンロック ブロック	x	xxA7h	x	xxD0h	-	-	-	-
ブロックイレーズ	x	xx20h	BA	xxD0h	FFFFFF800h	0020h	BA	00D0h
ロックビットプログラム	BA	xx77h	BA	xxD0h	FFFFFF800h	0077h	BA	00D0h
リードロックビット ステータス	x	xx71h	BA	xxD0h	FFFFFF800h	0071h	BA	00D0h
リードロックビット ステータスモード移行(注4)	-	-	-	-	FFFFFF800h	0071h	-	-
プロテクトビット プログラム	-	-	-	-	FFFFFF800h	0067h	PBA	00D0h
リードプロテクトビットス テータスモード移行(注4)	-	-	-	-	FFFFFF800h	0061h	-	-

WA : 書き込みアドレス(偶数)

WD : 書き込みデータ(16ビット)

BA : 対象ブロックの任意の偶数番地

PBA : プロテクトビットのアドレス

x : ユーザROM領域内の任意の偶数番地

xx : コマンドの上位8ビット(無視されます)

注1. EW1モードでは使用できません

注2. プログラムは、M16C/62Pでは16ビット(1ワード)単位で行います。第2コマンドまでが一連のコマンドです。

注3. R32C/111では64ビット(4ワード)単位で行います。第2コマンドから第5コマンドまでが一連のコマンドです。アドレス(WA)の上位29ビットは固定、下位3ビットは、第二コマンドから順に、000b-010b-100b-110b(0h-2h-4h-6hまたは8h-Ah-Ch-Eh)となるように指定してください。

注4. RAM上のプログラムから発行してください。

表 4.53 フラッシュメモリ関連SFRの相違点

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
FIDR	01B4h	-	-	M16C/62Pのみ	-
FMR0	0057h	40000h	7-0	レジスタ構成がすべて異なる	
FMR1	0055h	40009h	7-0	レジスタ構成がすべて異なる	
FMCR	-	0006h	-	-	R32C/111のみ
FEBC0	-	001Dh-001Ch	-	-	R32C/111のみ
FEBC3	-	0011h-0010h	-	-	R32C/111のみ
FPR0	-	40008h	-	-	R32C/111のみ
FMSR0	-	40001h	-	-	R32C/111のみ
FBPM0	-	4000Ah	-	-	R32C/111のみ
FBPM1	-	4000Bh	-	-	R32C/111のみ

#### 4.19.2 フラッシュメモリのブロック構成の相違点

M16C/62PとR32C/111は、フラッシュメモリのブロック分割が異なります。

図 4.1 にフラッシュメモリのブロック構成の相違点を示します。

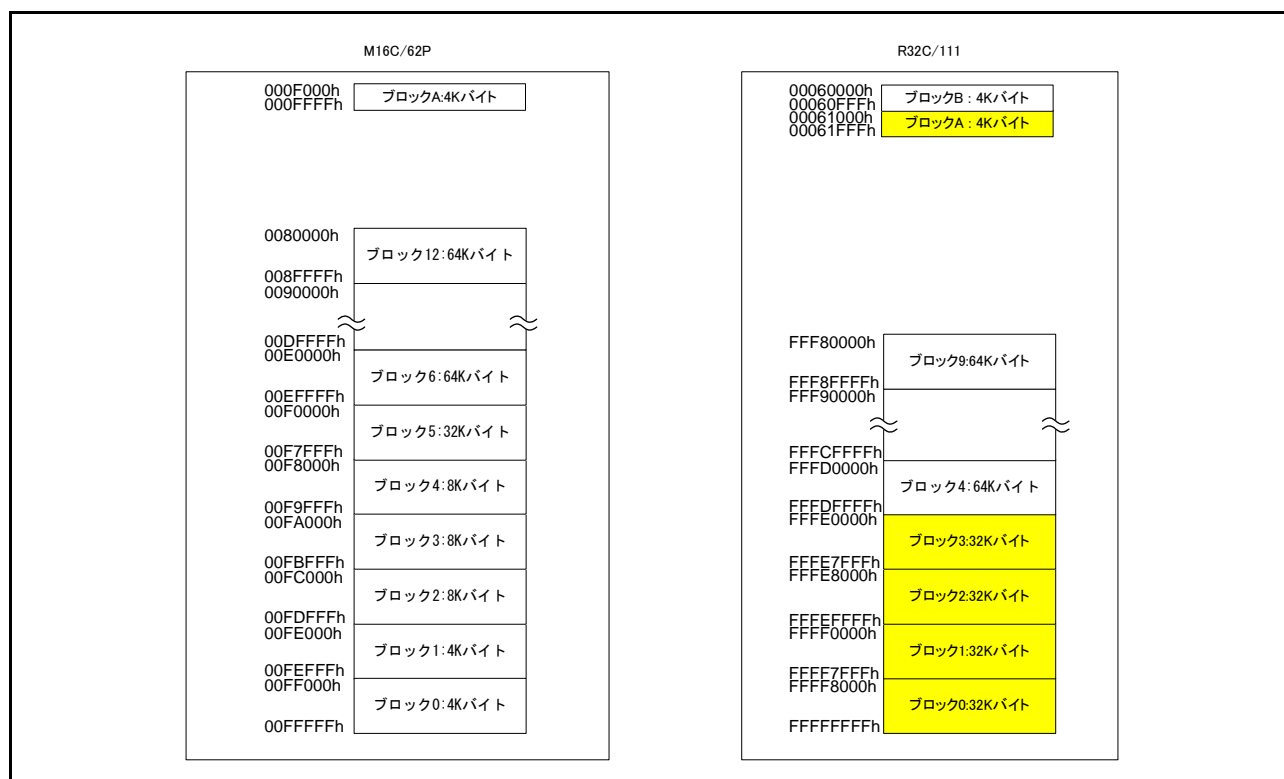


図 4.1 フラッシュメモリのブロック構成の相違点

### 4.19.3 IDコードプロテクトの相違点

M16C/62P と R32C/111 では ID コードの格納番地が異なります。  
図 4.2 に ID コード格納番地の相違点を示します。

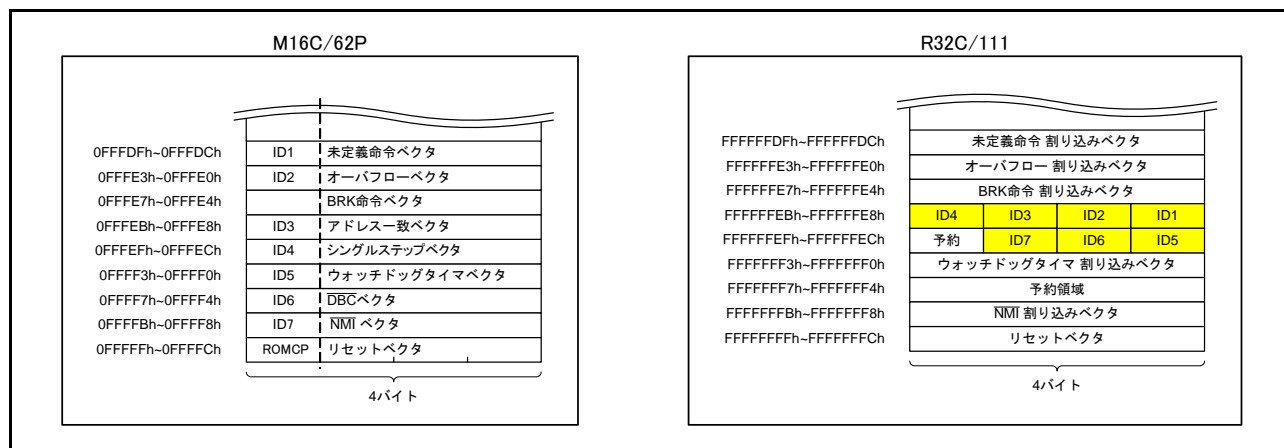


図 4.2 IDコード格納番地の相違点

### 4.19.4 ROMコードプロテクトの相違点

表 4.54 に ROM コードプロテクトの相違点を示します。

表 4.54 ROMコードプロテクトの相違点

シンボル	アドレス		bit	M16C/62P	R32C/111
	M16C/62P	R32C/111			
ROMCP	FFFFFFh	-	7-6	M16C/62Pのみ	-

R32C/111 フラッシュメモリは、各ブロックにプロテクトビットが2ビットずつあります。表 4.55 にプロテクトビットアドレスを示します。表 4.55 に示す R32C/111 ROM コードプロテクトのうちいずれかひとつでも "0" (プロテクト状態) にすると、全ブロックがプロテクトされます。詳細はハードウェアマニュアルを参照してください。

表 4.55 R32C/111 ROMコードプロテクト

ブロック	プロテクトビット0	プロテクトビット1
BlockB	00060100h	00060300h
BlockA	00061100h	00061300h
Block9	FFF80100h	FFF80300h
Block8	FFF90100h	FFF90300h
Block7	FFFA0100h	FFFA0300h
Block6	FFFB0100h	FFFB0300h
Block5	FFFC0100h	FFFC0300h
Block4	FFFD0100h	FFFD0300h
Block3	FFFE0100h	FFFE0300h
Block2	FFFE8100h	FFFE8300h
Block1	FFFF0100h	FFFF0300h
Block0	FFFF8100h	FFFF8300h



#### 4.20 R32C/111 で追加された周辺機能

R32C/111 で追加された周辺機能は以下の通りです。

- ・高速割り込み
- ・DMAC II
- ・X/Y変換回路
- ・インテリジェントI/O

#### 4.21 開発ツールの相違

表 4.56 に開発ツールの相違を示します。

表 4.56 開発ツールの相違

ツール種類名	M16C/62P用ツール製品名	R32C/111用ツール製品名
Cコンパイラ (シミュレータデバッガを含む)	M3T-NC30WA	R32Cシリーズ用 Cコンパイラパッケージ
リアルタイムOS	M3T-MR30/4	M3T-MR100/4
エミュレータデバッガ	PC7501	E30A(R0E00030AKCT100)
エミュレーションプロンプ	M3062PT2-EPB	-
コンパクトエミュレータ	M3062PT3-CPE	-
Renesas Starter Kit	R0K33062PS001BE	R0K564112S000BE

## 5. 参考ドキュメント

データシート

M16C/62P グループハードウェアマニュアル(Rev.2.41 2006年1月10日発行)

R32C/111 グループハードウェアマニュアル(Rev.1.10 2009年10月20日発行)

(最新版をルネサス テクノロジホームページから入手してください。)

テクニカルニュース/テクニカルアップデート

(最新の情報をルネサス テクノロジホームページから入手してください。)

ホームページとサポート窓口

ルネサス テクノロジホームページ  
<http://japan.renesas.com/>

お問合せ先  
<http://japan.renesas.com/inquiry>  
[csc@renesas.com](mailto:csc@renesas.com)

改訂記録	M16C/62P、R32C/111 グループ M16C/62P と R32C/111 との相違点 (100 ピン版)
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2008.08.28	—	初版発行
1.00	2009.03.25	—	ハードウェアマニュアルRev.1.00に対応して改定
1.01	2010.02.03	—	ハードウェアマニュアルRev.1.10に対応して改定
		2	表 3.1 フラッシュメモリの欄を追記
		39	表 4.56 型名、開発中の文を削除

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続きを行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承ください。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いいたします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444